

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年11月25日 (2010.11.25)

【公開番号】特開2009-10409(P2009-10409A)

【公開日】平成21年1月15日 (2009.1.15)

【年通号数】公開・登録公報2009-002

【出願番号】特願2008-213117(P2008-213117)

【国際特許分類】

H 0 1 L 27/105 (2006.01)

H 0 1 L 21/8246 (2006.01)

H 0 1 L 21/02 (2006.01)

H 0 1 L 21/265 (2006.01)

【F I】

H 0 1 L 27/10 4 4 4 B

H 0 1 L 21/02 Z

H 0 1 L 21/265 Q

H 0 1 L 21/265 Y

【手続補正書】

【提出日】平成22年10月8日 (2010.10.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

強誘電体材料の薄膜を形成する方法であって、

前記強誘電体材料から成る基板 ( 1 0 0 ) を下記の段階を含んだ工程により処理することを特徴とする薄膜形成方法：

- 前記基板 ( 1 0 0 ) の本体内の平均イオン侵入深さに近い深さの位置に該基板を二つの領域 ( 1 0 3 , 1 0 4 ) に分離する複数の微小キャビティから成る層 ( 1 0 2 ) が生じるように、前記基板 ( 1 0 0 ) の一方の面 ( 1 0 1 ) に、水素イオンによって衝撃を付与するイオン注入段階；

- 支持体上に前記基板の一方の面 ( 1 0 1 ) を固定する段階であって、前記支持体 ( 1 ) が半導体材料から成り、少なくとも一つの電子制御回路がこの支持体 ( 1 ) の一方の面 ( 1 5 ) に構成され、かつ該支持体 ( 1 ) 上には、強誘電体材料から成る薄膜 ( 1 0 3 ) が、前記電子制御回路により制御されるメモリキャパシタのための誘電体として機能してメモリポイントを構成するように固定されるところの段階；

- 前記微小キャビティの層 ( 1 0 2 ) を約 5 0 0 度で加熱して前記基板の二つの領域間に分離を生じさせる熱処理段階。

【請求項 2】

請求項 1 記載の方法において、前記強誘電体材料は、 $PbZrTiO_3$  ( P Z T ) であることを特徴とする方法。

【請求項 3】

請求項 1 記載の方法において、前記基板 ( 1 0 0 ) の前記面 ( 1 0 1 ) を、接着剤によって前記支持体 ( 1 ) に固定することを特徴とする方法。

【請求項 4】

請求項 1 記載の方法において、前記基板 ( 1 0 0 ) の前記面 ( 1 0 1 ) を、原子間結合

に好適なる処理によって前記支持体（１）に固定することを特徴とする方法。

【請求項５】

請求項１記載の方法において、前記電子制御回路がＭＯＳトランジスタタイプのものであることを特徴とする方法。