

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年7月4日(04.07.2019)



(10) 国際公開番号
WO 2019/131028 A1

- (51) 国際特許分類:
H04N 5/374 (2011.01) *H01L 31/10* (2006.01)
H01L 27/146 (2006.01) *H01L 51/42* (2006.01)
- (21) 国際出願番号: PCT/JP2018/044808
- (22) 国際出願日: 2018年12月6日(06.12.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
 特願 2017-253343 2017年12月28日(28.12.2017) JP
- (71) 出願人: パナソニックIPマネジメント株式会社(PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5406207
- 大阪府大阪市中央区城見2丁目1番61号 Osaka (JP).
- (72) 発明者: 徳原 健富 (TOKUHARA Takeyoshi).
 三宅 康夫 (MIYAKE Yasuo). 宍戸 三四郎 (SHISHIDO Sanshiro).
- (74) 代理人: 鎌田 健司, 外 (KAMATA Kenji et al.);
 〒5406207 大阪府大阪市中央区城見2丁目1番61号 パナソニックIPマネジメント株式会社内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: IMAGING DEVICE

(54) 発明の名称: 撮像装置

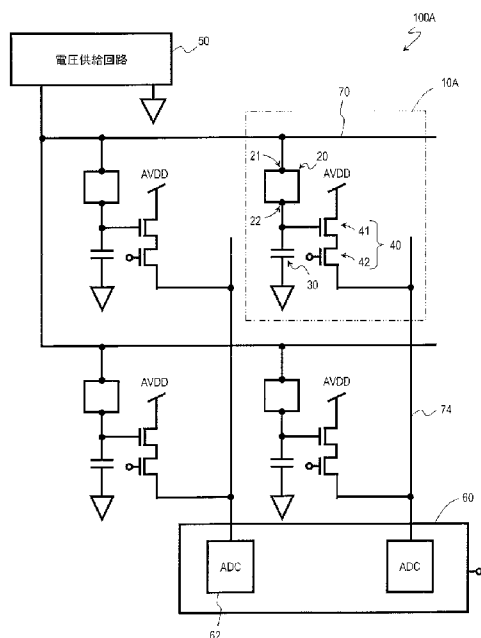


FIG. 1:
50 Voltage supply circuit

(57) Abstract: This imaging device is provided with pixels each including: a permittivity modulation element including a first terminal, a second terminal, and a permittivity modulation structure located between the first terminal and the second terminal and having a permittivity that changes by light irradiation; a capacitive element including a first electrode and a second electrode, the second electrode being electrically connected to the second terminal of the permittivity modulation element; and a detection circuit which outputs a signal corresponding to the potential of the second terminal. The imaging



WO 2019/131028 A1

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

device is further provided with a voltage supply circuit which applies first voltage to one of the first terminal of the permittivity modulation element and the first electrode of the capacitive element during a first period, and applies second voltage thereto during a second period different from the first period, and a signal processing circuit which generates a third signal that is a difference between a first signal outputted from the detection circuit during the first period and a second signal outputted from the detection circuit during the second period, and a potential difference between the first terminal and the first electrode when the second voltage is applied to the one is lower than a potential difference between the first terminal and the first electrode when the first voltage is applied to the one.

(57) 要約 : 本開示の撮像装置は、第1端子、第2端子、および、第1端子と第2端子との間に位置し、光の照射によって誘電率が変化する誘電率変調構造を含む誘電率変調素子と、第1電極および第2電極を含み、第2電極が誘電率変調素子の第2端子に電気的に接続される容量素子と、第2端子の電位に応じた信号を出力する検出回路とをそれぞれが含む画素を備える。撮像装置は、さらに、誘電率変調素子の第1端子および容量素子の第1電極のうち的一方に対して、第1期間に第1電圧を印加し、第1期間とは異なる第2期間に第2電圧を印加する電圧供給回路と、第1期間に検出回路から出力された第1信号と、第2期間に検出回路から出力された第2信号との差分である第3信号を生成する信号処理回路とを備え、第2電圧が前記一方に印加されたときの第1端子および第1電極間の電位差は、第1電圧が前記一方に印加されたときの第1端子および第1電極間の電位差よりも小さい。

明 細 書

発明の名称 : 撮像装置

技術分野

[0001] 本開示は、撮像装置に関する。

背景技術

[0002] 従来、光検出装置、イメージセンサなどに光検出素子が用いられている。光検出素子の典型例は、フォトダイオード、フォトトランジスタなどの光電変換素子である。よく知られているように、光の照射によって光電変換素子に生じる光電流を検出することにより、光を検出することができる。

[0003] 下記の特許文献1は、図2に、所定の化合物が有機重合体中に分散された有機膜をゲート絶縁膜として有する薄膜トランジスタ(TFT)を開示している。有機膜を構成する所定の化合物としては、光の照射によって分極の状態が変化する化合物が選ばれる。特許文献1の薄膜トランジスタでは、ゲート絶縁膜に光が照射されると、ゲート絶縁膜の誘電率が変化する。そのため、ゲート絶縁膜への光の照射によって、ソースドレイン間を流れる電流が変化する。特許文献1には、このような薄膜トランジスタを光センサに用いることが可能であると記載されている。

[0004] 下記の特許文献2および特許文献3は、光の照射によって生じる、光電変換層を挟む2つの電極の間の容量の変化または光電変換層の誘電率の変化を通して光を検出することが可能な装置を開示している。参考のために、国際公開第2017/081847号の開示内容の全ておよび国際公開第2017/081831号の開示内容の全てを本明細書に援用する。

先行技術文献

特許文献

[0005] 特許文献1 : 特開2011-60830号公報

特許文献2 : 国際公開第2017/081847号

特許文献3 : 国際公開第2017/081831号

発明の概要

- [0006] 新規な構成を有する撮像装置を提供する。
- [0007] 本開示の限定的ではないある例示的な実施形態によれば、以下が提供される。
- [0008] 1以上の画素を備える撮像装置であって、前記1以上の画素のそれぞれは、第1端子、第2端子、および、前記第1端子と前記第2端子との間に位置し、光の照射によって誘電率が変化する誘電率変調構造を含む誘電率変調素子と、第1電極および第2電極を含み、前記第2電極が前記誘電率変調素子の前記第2端子に電氣的に接続される容量素子と、前記第2端子の電位に応じた信号を出力する検出回路とを含み、前記撮像装置は、さらに、前記誘電率変調素子の前記第1端子および前記容量素子の前記第1電極のうち的一方に対して、第1期間に第1電圧を印加し、前記第1期間とは異なる第2期間に第2電圧を印加する電圧供給回路と、前記第1期間に前記検出回路から出力された第1信号と、前記第2期間に前記検出回路から出力された第2信号との差分である第3信号を生成する信号処理回路とを備え、前記第2電圧が前記一方に印加されたときの前記第1端子および前記第1電極間の電位差は、前記第1電圧が前記一方に印加されたときの前記第1端子および前記第1電極間の電位差よりも小さい、撮像装置。
- [0009] 本開示の一態様によれば、新規な構成を有する光センサが提供される。

図面の簡単な説明

- [0010] [図1]図1は、本開示の第1の実施形態による撮像装置の構成を模式的に示す図である。
- [図2]図2は、画素の例示的なデバイス構造を示す模式的な断面図である。
- [図3]図3は、画素10Aa中の誘電率変調素子20aおよび容量素子30としての不純物領域30aに関する等価回路図である。
- [図4]図4は、 $V_{IN} = 5V$ 、 $C_{ref} = 1.2fF$ であるときの、容量値 C_{PC} の変化に対する V_{OUT} の計算結果を示す図である。
- [図5]図5は、本開示の実施形態による撮像装置の例示的な動作を説明するた

めのタイミングチャートである。

[図6]図6は、複数のフレームにわたる撮像動作の一例を説明するためのタイミングチャートである。

[図7]図7は、2次元に配列された複数の画素を含む撮像装置の読み出し動作の一例を説明するための図である。

[図8]図8は、2次元に配列された複数の画素を含む撮像装置の読み出し動作の他の一例を説明するための図である。

[図9]図9は、2次元に配列された複数の画素を含む撮像装置の読み出し動作のさらに他の一例を説明するための図である。

[図10]図10は、2次元に配列された複数の画素を含む撮像装置の読み出し動作のさらに他の一例を説明するための図である。

[図11]図11は、フレームメモリを有する画素の例を示す図である。

[図12]図12は、オフセットレベルに対応する信号を取得する第1の方法を説明するための模式的な断面図である。

[図13]図13は、オフセットレベルに対応する信号を取得する第2の方法を説明するための図である。

[図14]図14は、オフセットレベルに対応する信号を取得する第3の方法を説明するための図である。

[図15]図15は、画素内にリセットトランジスタを設けた変形例を示す図である。

[図16]図16は、画素のデバイス構造の他の例を示す模式的な断面図である。

[図17]図17は、誘電率変調素子20の他の例を示す模式的な断面図である。

[図18]図18は、本開示の第2の実施形態による撮像装置の構成を模式的に示す図である。

[図19]図19は、図18に示す撮像装置100Eにおける読み出し動作の一例を説明するための図である。

[図20]図20は、本開示の第3の実施形態による撮像装置の例示的な構成を概略的に示す図である。

[図21]図21は、実施例1として作製したサンプルの構造を模式的に示す図である。

[図22]図22は、実施例1のサンプルに関する、照度を変化させたときの容量値の変化の測定結果を各バイアスについて示す図である。

発明を実施するための形態

[0011] 本開示の一態様の概要は以下のとおりである。

[0012] [項目1]

1以上の画素を備える撮像装置であって、

1以上の画素のそれぞれは、

第1端子、第2端子、および、第1端子と第2端子との間に位置し、光の照射によって誘電率が変化する誘電率変調構造を含む誘電率変調素子と、

第1電極および第2電極を含み、前記第2電極が前記誘電率変調素子の第2端子に電氣的に接続される容量素子と、

第2端子の電位に応じた信号を出力する検出回路と

を含み、

撮像装置は、さらに、

誘電率変調素子の第1端子および容量素子の第1電極のうち的一方に対して、第1期間に第1電圧を印加し、第1期間とは異なる第2期間に第2電圧を印加する電圧供給回路と、

第1期間に検出回路から出力された第1信号と、第2期間に検出回路から出力された第2信号との差分である第3信号を生成する信号処理回路とを備え、

前記第2電圧が前記一方に印加されたときの前記第1端子および前記第1電極間の電位差は、前記第1電圧が前記一方に印加されたときの前記第1端子および前記第1電極間の電位差よりも小さい、撮像装置。

[0013] 項目1の構成によれば、光の照射による誘電率変調素子の誘電率の変化を

通して、光を検出することができる。例えば、電圧供給回路が、露光期間に各画素に例えばハイレベルの第1電圧を供給し、基準レベルの読み出しの期間に各画素にローレベルの第2電圧を供給する。信号検出回路によって、第1電圧が供給される第1期間に取得された信号と、第2電圧が供給される第2期間に取得された信号との差分が生成される。これにより、ノイズ成分を抑えてSN比を確保することができる。

[0014] [項目2]

信号処理回路は、第3信号からオフセットレベルに対応する第4信号を減算した第5信号を出力する、項目1に記載の撮像装置。

[0015] 項目2の構成によれば、初期状態において誘電率変調素子の第2端子と容量素子の第2電極との間のノードに蓄積されている電荷量の如何によらずに、光の照射による誘電率の変化に相当する実効的な電圧レベルの変化を取得することができる。よって、画素ごとのオフセットレベルのバラつきに起因する固定パターンノイズを低減することが可能である。

[0016] [項目3]

第4信号は、第1端子および第1電極のうち的一方に第1電圧が印加され、かつ、誘電率変調構造に光が照射されていない状態において検出回路から出力された信号である、項目2に記載の撮像装置。

[0017] 項目3の構成によれば、第4信号として、オフセットレベルに対応する信号を取得することができる。

[0018] [項目4]

1以上の画素は、複数の画素であり、
複数の画素は、誘電率変調構造を覆う遮光層をさらに有するダミー画素を含み、

第4信号は、第1端子および第1電極のうち的一方に第1電圧が印加された状態にあるダミー画素の検出回路から出力された信号である、項目3に記載の撮像装置。

[0019] 項目4の構成によれば、ダミー画素の検出回路の出力を第4信号として利

用できるので、比較的簡易な構成によって、オフセットレベルに対応する信号を得ることができる。

[0020] [項目5]

誘電率変調構造への光の入射および遮断を切り替えるメカニカルシャッタをさらに備え、

第1信号は、メカニカルシャッタが開とされた状態において検出回路から出力された信号であり、

第4信号は、第1端子および第1電極のうち的一方に第1電圧が印加され、かつ、メカニカルシャッタが閉とされた状態において検出回路から出力された信号である、項目3に記載の撮像装置。

[0021] 項目5の構成によれば、第1端子および第1電極のうち的一方に第1電圧が印加され、かつ、メカニカルシャッタが閉とされた状態において検出回路から出力された信号が、オフセットレベルに対応する信号を表現する。よって、画素ごとにオフセットレベルが異なっていたとしても、正確にオフセットを求めることが可能である。

[0022] [項目6]

第4信号は、第1端子および第1電極のうち的一方に印加される電圧が第2電圧から第1電圧に切り替えられた直後に検出回路から出力される信号である、項目2に記載の撮像装置。

[0023] 項目6の構成によれば、第1期間の初期に検出回路から出力される信号を、オフセットレベルに対応する信号として取得するので、特別な構造を設けることなく、オフセットレベルに対応する信号を得ることが可能である。

[0024] [項目7]

光源をさらに備え、

光源は、第1期間に所定の波長域の光で被写体を照射し、

第4信号は、第1端子および第1電極のうち的一方に第1電圧が印加され、かつ、光源が消灯状態とされた状態で検出回路から出力された信号である、項目2に記載の撮像装置。

[0025] 項目7の構成によれば、環境光に含まれる強度が小さい波長域の光で被写体を照射し、その波長域の光を検出することにより、各画素に応じた正確なオフセットレベルを求めることが可能である。

[0026] [項目8]

連続する2以上のフレーム期間において、検出回路による第2信号の読み出し回数は、検出回路による第1信号の読み出し回数よりも少ない、項目1から7のいずれか一項に記載の撮像装置。

[0027] 項目8の構成によれば、フレーム期間ごとの第2信号の取得が省略されるので、信号の読み出しに要する期間を短縮して高速に撮像を実行し得る。あるいは、露光時間を拡大して、より高いSN比を実現可能である。

[0028] [項目9]

第1端子および第2端子は、誘電率変調構造を挟む画素電極と透光性の対向電極との組であり、

誘電率変調構造は、

光電変換層と、

画素電極または対向電極と光電変換層との間に位置する電荷ブロッキング層と

を含む、項目1から8のいずれか一項に記載の撮像装置。

[0029] 項目9の構成によれば、光電変換層と、画素電極および対向電極との間の電荷の移動を抑制することができる。そのため、光電変換によって生じた電荷を光電変換層内に留めることができ、電極における電荷密度を増大させ、誘電率変調構造の誘電率の変化を通して光を検出することが可能になる。

[0030] [項目10]

光電変換層は、有機材料を含む、項目9に記載の撮像装置。

[0031] [項目11]

第1端子および第2端子は、誘電率変調構造を挟む画素電極と透光性の対向電極との組であり、

誘電率変調構造は、

光の照射によって電荷対を発生させる量子ドットを含む層と、
画素電極または対向電極と量子ドットを含む層との間に位置する電荷ブ
ロッキング層と
を含む、項目 1 から 8 のいずれか一項に記載の撮像装置。

[0032] 項目 1 1 の構成によれば、量子ドットを含む層と、画素電極および対向電
極との間の電荷の移動を抑制することができるので、項目 9 の構成と同様の
効果を得ることができる。

[0033] [項目 1 2]

第 1 端子および第 2 端子は、誘電率変調構造を挟む画素電極と透光性の対
向電極との組であり、
誘電率変調構造は、光の照射によって誘電率が変化する材料を含む層を有
する、項目 1 から 8 のいずれか一項に記載の撮像装置。

[0034] 項目 1 2 の構成によれば、光電変換層を有する誘電率変調素子を適用した
場合と同様に、光の照射による誘電率変調素子の誘電率の変化を通して光を
検出することが可能である。

[0035] [項目 1 3]

誘電率変調構造は、
対向電極と光電変換層との間に位置する第 1 電荷ブロッキング層と、
画素電極と光電変換層との間に位置する第 2 電荷ブロッキング層と
を含む、項目 9 または 1 0 に記載の撮像装置。

[0036] 項目 1 3 の構成によれば、光電変換層と電極との間における電荷の移動を
より確実に抑制し得る。

[0037] [項目 1 4]

誘電率変調構造は、
対向電極と量子ドットを含む層との間に位置する第 1 電荷ブロッキング
層と、
画素電極と量子ドットを含む層との間に位置する第 2 電荷ブロッキング
層と

を含む、項目 1 1 に記載の撮像装置。

[0038] 項目 1 4 の構成によれば、量子ドットを含む層と電極との間における電荷の移動をより確実に抑制し得る。

[0039] [項目 1 5]

第 1 電荷ブロッキング層および第 2 電荷ブロッキング層は、絶縁層である、項目 1 3 または 1 4 に記載の撮像装置。

[0040] [項目 1 6]

画素電極にソースおよびドレインの一方が電氣的に接続されたリセットトランジスタをさらに備え、

リセットトランジスタは、画素電極の電位をリセットするリセット電圧を第 2 期間に画素電極に供給する、項目 9 から 1 5 のいずれか一項に記載の撮像装置。

[0041] 項目 1 6 の構成によれば、リセットトランジスタをオンすることにより、各画素の画素電極の電位をリセット電圧に揃えることができるので、画素ごとの基準レベルのバラつきを解消できる。

[0042] [項目 1 7]

検出回路は、リセットトランジスタが画素電極の電位をリセットした後に、第 2 信号の読み出しを行う、項目 1 6 に記載の撮像装置。

[0043] [項目 1 8]

電圧供給回路は、第 2 期間に第 2 電圧を誘電率変調素子の第 1 端子に印加し、

リセット電圧は、第 2 電圧に等しい、項目 1 6 または 1 7 に記載の撮像装置。

[0044] 項目 1 8 の構成によれば、リセット動作後に誘電率変調構造にかかる電位差をほぼ 0 V とすることが可能であり、例えば、特定の画素の感度を任意のタイミングでゼロにすることなどが可能になる。

[0045] [項目 1 9]

各画素の検出回路が形成された第 1 基板であって、誘電率変調素子を支持

する第1基板と、

信号処理回路が形成された、第1基板とは異なる第2基板とをさらに備える、項目1から18のいずれか一項に記載の撮像装置。

[0046] [項目20]

前記第1期間と前記第2期間とは、同じ一つのフレーム期間内に含まれる、項目1から19のいずれか一項に記載の撮像装置。

[0047] 以下、図面を参照しながら、本開示の実施形態を詳細に説明する。なお、以下で説明する実施形態は、いずれも包括的または具体的な例を示す。以下の実施形態で示される数値、形状、材料、構成要素、構成要素の配置および接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する主旨ではない。本明細書において説明される種々の態様は、矛盾が生じない限り互いに組み合わせることが可能である。また、以下の実施形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。以下の説明において、実質的に同じ機能を有する構成要素は共通の参照符号で示し、説明を省略することがある。

[0048] (第1の実施形態)

図1は、本開示の第1の実施形態による撮像装置の構成を模式的に示す。図1に示す撮像装置100Aは、複数の画素10Aと、これらの画素10Aに電氣的に接続された電圧供給回路50と、画素10Aからの出力を受ける信号処理回路60とを有する。画素10Aは、例えば2次元に配列されることにより、撮像領域を形成する。ここでは、簡単のため、撮像装置100Aが有する複数の画素10Aのうちの4つを取り出して示している。図1に示す例において、これら4つの画素10Aは、2行2列のマトリクス状の配置を有している。なお、撮像装置100Aにおける画素10Aの数および配置は、任意であり、画素10Aの数は、1つであってもよい。また、例えば、画素10Aが1次元の配列を有する場合には、撮像装置100Aをラインセンサとして機能させ得る。

- [0049] 図1に模式的に示すように、各画素10Aは、概略的には、誘電率変調素子20と、容量素子30と、検出回路40とを含む。誘電率変調素子20は、光の照射によって誘電率が変化する性質を示す誘電率変調構造をその一部に含む素子であり、第1端子21および第2端子22を有する。誘電率変調素子20は、光の照射を受けて、例えば、第1端子21と第2端子22との間の容量値を変化させる。誘電率変調素子20の構成の例は、後述する。
- [0050] 図示するように、容量素子30の一方の電極は、第2端子22に電氣的に接続される。図1に例示する構成において、容量素子30の他方の電極の電位は、接地に固定されている。容量素子30の具体的な構成は、特定の構成に限定されない。容量素子30は、複数の容量素子の合成容量として構成されていてもよいし、1以上の容量素子、および、配線などの寄生容量の並列接続または直列接続による合成容量であってもよい。容量素子30は、画素10Aに光が入射していない、暗時の状態において比較したときに、誘電率変調素子20と同等かそれ以上の容量値を有するように設計され得る。
- [0051] 検出回路40は、第2端子22に電氣的に接続され、第2端子22の電位に応じた信号を出力する。この例では、検出回路40は、信号検出トランジスタ41と、アドレスタランジスタ42とを有する。信号検出トランジスタ41およびアドレスタランジスタ42は、典型的には、電界効果トランジスタ(FET)である。以下では、信号検出トランジスタ41およびアドレスタランジスタ42として、NチャンネルMOSを例示する。
- [0052] 図示するように、信号検出トランジスタ41のゲートは、第2端子22に接続される。動作時、信号検出トランジスタ41は、そのドレインに例えば電源電圧が供給されることにより、ソースフォロワとして動作する。このような構成によれば、画素10Aからの信号の読み出しによっても第2端子22の電位は変化しない。すなわち、非破壊で信号を読み出すことができる。
- [0053] 信号検出トランジスタ41のソースは、アドレスタランジスタ42を介して出力信号線74に接続される。アドレスタランジスタ42のオンおよびオフは、例えば、不図示の行走査回路により、複数の画素10Aの行ごとに設

けられたアドレス信号線を介して制御され得る。アドレスランジスタ42を行単位または列単位で制御することにより、複数の画素10Aのうちいずれの画素10Aからどのようなタイミングで信号を読み出すかを任意に決定することができる。

[0054] 出力信号線74は、複数の画素10Aの列ごとに設けられ、信号処理回路60に接続される。信号処理回路60は、画素10Aから読み出された出力信号に対し、相関二重サンプリングに代表される雑音抑圧信号処理、アナログーデジタル変換などを行う。この例では、信号処理回路60は、複数のアナログーデジタル変換回路62（以下、単に「AD変換回路62」と呼ぶ。）を含む。図示するように、AD変換回路62は、出力信号線74ごとに設けられる。換言すれば、各AD変換回路62は、対応する出力信号線74に接続される。

[0055] 信号処理回路60の出力は、例えば出力回路を介して撮像装置100Aの外部に読み出される。なお、AD変換回路62は、複数の画素10Aの行または列ごとに配置されてもよいし、画素10Aごとに配置されていてもよい。

[0056] 図1に例示する構成において、電圧供給回路50は、電源線70を介して各画素10Aの誘電率変調素子20の第1端子21に接続されている。電圧供給回路50は、動作時、各画素10Aに所定の電圧を供給する。電圧供給回路50は、少なくとも、各画素10Aに2つの異なる電圧を切り替えて供給可能な構成を有する。後に詳しく説明するように、電圧供給回路50は、第1期間に第1電圧を誘電率変調素子20に印加し、第1期間とは異なる第2期間に第1電圧とは異なる第2電圧を誘電率変調素子20に印加する。電圧供給回路50は、特定の電源回路に限定されず、所定の電圧を生成する回路であってもよいし、他の電源から供給された電圧を所定の電圧に変換する回路であってもよい。

[0057] （画素のデバイス構造）

図2は、本開示の撮像装置が有する画素の例示的なデバイス構造を模式的

に示す。図2に示す画素10Aaは、上述の画素10Aの一例である。なお、図2は、画素10Aを構成する各部の配置をあくまでも模式的に示しており、図2に示す各部の寸法は、必ずしも現実のデバイスにおける寸法を反映しない。このことは、本開示の他の図面においても同様である。

[0058] 図2に示す画素10Aaは、概略的には、半導体基板80と、半導体基板80を覆う絶縁層90と、絶縁層90に支持された誘電率変調素子20aとを含む。絶縁層90は、典型的には、二酸化シリコンから形成された2以上の絶縁層を含む。誘電率変調素子20aは、上述の誘電率変調素子20の一例である。図示するように、誘電率変調素子20aの上方には、カラーフィルタなどの光学フィルタ86、マイクロレンズ88などが配置され得る。

[0059] 図2に例示する構成において、誘電率変調素子20aは、絶縁層90に支持された画素電極22e、画素電極22eよりも半導体基板80から遠くに位置する対向電極21e、および、画素電極22eと対向電極21eとの間に位置する誘電率変調構造26aを含む。ここで、対向電極21eは、上述の誘電率変調素子20の第1端子21に相当し、画素電極22eは、第2端子22に相当する。

[0060] 画素電極22eは、隣接する他の画素10Aaとの間で空間的に分離されることにより、隣接する他の画素10Aaの画素電極22eから電氣的に分離される。画素電極22eの材料としては、例えば、安定であり、かつ高い遮光性を示すTiN、TaNなどの導電材料を用いることができる。

[0061] 他方、対向電極21eは、例えばITOなどの透光性の導電材料から形成される。なお、本明細書における「透光性」の用語は、検出しようとする波長範囲の光の少なくとも一部を透過することを意味し、可視光の波長範囲全体にわたって光を透過することは必須ではない。本開示の撮像装置によって検出される光は、可視光の波長範囲の光、すなわち、380nm以上780nm以下の波長を有する光に限定されない。本明細書では、赤外線および紫外線を含めた電磁波全般を、便宜上「光」と表現する。

[0062] 対向電極21eは、典型的には、複数の画素10Aaにわたって連続した

単一の電極の形で形成される。したがって、対向電極 21e に電源線 70 を接続することにより、電源線 70 を介して複数の画素 10Aa の対向電極 21e に一括して所望の電圧を印加することができる。もちろん、全ての画素 10Aa の間で対向電極 21e が連続していることは必須ではなく、例えば、複数の画素 10Aa の間で、対向電極 21e が行または列ごとに分離されていることもあり得る。

[0063] 誘電率変調構造 26a には、対向電極 21e を通過した光が入射する。誘電率変調構造 26a は、光の照射を受けてその誘電率を変化させる。画素電極 22e と対向電極 21e との間に所定の電位差が与えられた状態で誘電率変調構造 26a に光を入射させることにより、誘電率変調構造 26a における誘電率の変化を通して、光を検出することができる。誘電率変調構造 26a の構成の詳細、および、誘電率変調構造 26a における誘電率の変化を利用した光検出の機構の詳細は、後述する。

[0064] この例では、画素電極 22e は、絶縁層 90 の内部に配置された接続部 95a を介して、半導体基板 80 に形成された不純物領域 30a に電氣的に接続されている。ここでは、半導体基板 80 として P 型シリコン基板を例示する。不純物領域 30a は、例えば N 型の拡散領域である。不純物領域 30a を含む p n 接合によって形成される接合容量は、上述の容量素子 30 として機能し得る。半導体基板 80 は、その全体が半導体である基板に限定されず、誘電率変調素子 20a が配置される側の表面に半導体層が設けられた絶縁基板などであってもよい。

[0065] 図示するように、半導体基板 80 には、さらに、信号検出トランジスタ 41 およびアドレスタランジスタ 42 が形成され得る。信号検出トランジスタ 41 のゲート電極 41g には、プラグ 91 が接続されている。プラグ 91 は、配線 92 を介して、上述の不純物領域 30a に接続されたプラグ 93a に接続されている。すなわち、接続部 95a は、信号検出トランジスタ 41 のゲート電極 41g との接続も有する。プラグ 91 およびプラグ 93a は、典型的には、ポリシリコンプラグである。配線 92 は、例えば、ポリシリコン

配線であり、配線 9 2 と画素電極 2 2 e とを互いに接続するプラグ 9 4 は、例えば、銅などから形成されるメタルプラグである。

[0066] 半導体基板 8 0 は、さらに、不純物領域 8 1、8 2 および 8 3 と、素子分離領域 8 4 とを有する。不純物領域 8 1 は、信号検出トランジスタ 4 1 のドレイン領域としての機能を有し、不純物領域 8 2 は、信号検出トランジスタ 4 1 のソース領域としての機能を有する。この例では、アドレスタランジスタ 4 2 は、不純物領域 8 2 を信号検出トランジスタ 4 1 と共有しており、不純物領域 8 2 は、アドレスタランジスタ 4 2 のドレイン領域としても機能する。不純物領域 8 3 は、アドレスタランジスタ 4 2 のソース領域として機能する。不純物領域 8 3 には、上述の出力信号線 7 4 が接続される。出力信号線 7 4 は、図 2 において図示が省略されている。アドレスタランジスタ 4 2 のゲート電極 4 2 g には、行走査回路に接続されたアドレス信号線が接続される。なお、絶縁層 9 0 内には、配線層 9 6 が配置されている。配線層 9 6 は、上述の出力信号線 7 4、アドレス信号線などをその一部に含む。

[0067] (誘電率変調素子の例示的な構成および光検出の機構)

上述したように、誘電率変調素子 2 0 a は、画素電極 2 2 e と対向電極 2 1 e とに挟まれた誘電率変調構造 2 6 a を含む。図 2 に例示する構成において、誘電率変調構造 2 6 a は、第 1 電荷ブロッキング層 2 3 と、第 2 電荷ブロッキング層 2 4 と、これらブロッキング層の間に位置する光電変換層 2 5 とを含む積層構造を有する。

[0068] 光電変換層 2 5 は、光の照射を受けて内部に励起子を生成する。光電変換層 2 5 の材料の典型例は、半導体材料である。以下では、光電変換層 2 5 を構成する材料として有機半導体材料を例示する。例えば水素化アモルファスシリコン、CdSe などに代表される化合物半導体材料、または、ZnO などの金属酸化物半導体材料を光電変換層 2 5 の材料に用いることも可能である。

[0069] 光電変換層 2 5 が有機半導体材料から構成される場合、光電変換層 2 5 は、ドナー性有機化合物およびアクセプター性有機化合物の積層構造、換言す

れば、ヘテロ接合を含んでいてもよい。あるいは、バルクヘテロ接合構造を有する混合層を含んでいてもよい。光電変換層 25 は、これらの組み合わせであってもよい。光電変換層 25 に入射した光は、ドナー性有機化合物およびアクセプター性有機化合物のいずれか一方またはそれらの両方によって吸収され得る。

[0070] 第 1 電荷ブロッキング層 23 は、対向電極 21 e と光電変換層 25 との間に位置し、対向電極 21 e と光電変換層 25 との間における電荷のやりとりを抑制する。すなわち、第 1 電荷ブロッキング層 23 は、光電変換層 25 からの対向電極 21 e への電荷の移動、および、対向電極 21 e からの光電変換層 25 への電荷の移動を抑制する機能を有する。同様に、第 2 電荷ブロッキング層 24 は、画素電極 22 e と光電変換層 25 との間に位置し、光電変換層 25 からの画素電極 22 e への電荷の移動、および、画素電極 22 e からの光電変換層 25 への電荷の移動を抑制する。

[0071] 後に詳しく説明するように、光の検出においては、電圧供給回路 50 が例えば対向電極 21 e に所定の電圧を印加することにより、対向電極 21 e と画素電極 22 e との間に電位差が与えられる。したがって、誘電率変調構造 26 a は、外部から電場が印加された状態となる。そのため、仮に、誘電率変調構造 26 a に例えば第 1 電荷ブロッキング層 23 が設けられていないとすれば、画素電極 22 e に対して対向電極 21 e が高電位とされた場合、光電変換層 25 から対向電極 21 e に負の電荷が移動し、対向電極 21 e から光電変換層 25 に正の電荷が移動し得る。

[0072] これに対し、対向電極 21 e と光電変換層 25 との間に第 1 電荷ブロッキング層 23 を設けることにより、光電変換層 25 と対向電極 21 e との間における電荷の移動を抑制して、光電変換層 25 内の電荷を光電変換層 25 に留めることができる。例えば、画素電極 22 e に対して対向電極 21 e が高電位とされる場合、電子ブロッキング層を第 1 電荷ブロッキング層 23 として配置することにより、光電変換層 25 からの対向電極 21 e への電子の移動を制限することができる。同様に、第 2 電荷ブロッキング層 24 として正

孔ブロッキング層を配置することにより、光電変換層 25 からの画素電極 22 e への正孔の移動を制限することができる。

[0073] ここで、光電変換層 25 は、対向電極 21 e を介した光の入射により、光電変換層 25 内に励起子を生成する。光電変換層 25 と電極との間における電荷の移動が抑制された状態で励起子が生成されると、対向電極 21 e および画素電極 22 e における電荷密度が増大する。対向電極 21 e と画素電極 22 e との間に電位差が与えられた状態での励起子の生成は、誘電率変調構造 26 a における分極の変化に寄与する。そのため、電極における電荷密度の増大は、結果として、対向電極 21 e と画素電極 22 e との間の誘電率の増大、換言すれば、誘電率変調構造 26 a の誘電率の増大をもたらす。光の照射により、対向電極 21 e と画素電極 22 e との間の容量値が変化するといいてもよい。誘電率変調構造 26 a の誘電率の変化を検出回路 40 によって例えば電圧の変化の形で検出することにより、光を検出することができる。

[0074] 第 1 電荷ブロッキング層 23 および第 2 電荷ブロッキング層 24 の材料としては、例えば、有機材料を用いることができる。上述したように、光電変換層 25 は、主に有機半導体材料から構成され得る。すなわち、誘電率変調構造 26 a は、本質的に有機材料からなる構造であり得る。

[0075] 第 1 電荷ブロッキング層 23 および第 2 電荷ブロッキング層 24 の材料は、絶縁材料に限定されない。以下に説明するように、隣接する層または電極の材料を適切に選択することにより、電圧の印加によって一方の極性の電荷は輸送させるが、逆極性の電荷は輸送させない性質を示す材料を第 1 電荷ブロッキング層 23 および第 2 電荷ブロッキング層 24 の材料として用い得る。

[0076] 例えば画素電極 22 e に対して対向電極 21 e が高電位とされる場合には、第 1 電荷ブロッキング層 23 の材料として、正孔輸送性有機化合物を用い得る。このとき、対向電極 21 e の材料として、第 1 電荷ブロッキング層 23 の最高被占分子軌道のエネルギー準位よりも浅いフェルミ準位をもつ導電

性材料を用いることにより、電極との間のショットキー障壁を利用して、対向電極 2 1 e から第 1 電荷ブロッキング層 2 3 への正孔の移動および第 1 電荷ブロッキング層 2 3 から対向電極 2 1 e への電子の移動の両方を抑制することが可能になる。同様に、画素電極 2 2 e に対して対向電極 2 1 e が高電位とされる場合、第 2 電荷ブロッキング層 2 4 の材料として、電子輸送性有機化合物を用い得る。このとき、画素電極 2 2 e の材料として、第 2 電荷ブロッキング層 2 4 の最低空分子軌道のエネルギー準位よりも深いフェルミ準位をもつ導電性材料を用いることにより、画素電極 2 2 e から第 2 電荷ブロッキング層 2 4 への電子の移動および第 2 電荷ブロッキング層 2 4 から画素電極 2 2 e への正孔の移動の両方を抑制することができる。以下、最高被占分子軌道のエネルギー準位を単に「HOMO準位」と呼ぶことがあり、最低空分子軌道のエネルギー準位を単に「LUMO準位」と呼ぶことがある。

[0077] 例えば、光電変換層 2 5 が 4. 0 e V の LUMO 準位を有し、画素電極 2 2 e が 5. 1 e V のフェルミ準位を有する電極材料から形成された構成における電荷の移動を想定する。例えば上述の TiN は、5. 1 ~ 5. 2 e V 程度のフェルミ準位をもつ電極材料であり、画素電極 2 2 e の材料に適用し得る。

[0078] この場合、電子輸送性有機化合物から形成された正孔ブロック層を第 2 電荷ブロッキング層 2 4 に用いることができる。このようなエネルギー準位の組み合わせにおいて、第 2 電荷ブロッキング層 2 4 の HOMO 準位が 5. 1 e V よりも深ければ、光電変換層 2 5 と第 2 電荷ブロッキング層 2 4 との間の正孔輸送過程におけるエネルギー障壁が大きくなるので、正孔の移動に対する阻害能力が向上する。例えば、フラーレンは、LUMO 準位が 4. 0 e V であり、HOMO 準位が 6. 4 e V である。したがって、この場合の第 2 電荷ブロッキング層 2 4 の材料に適用できる。なお、第 2 電荷ブロッキング層 2 4 の LUMO 準位が 4. 0 e V と同等かそれよりも深いほど電子輸送過程におけるエネルギー障壁が低下し、光電変換層 2 5 から画素電極 2 2 e へ向かっての電子の輸送効率は向上する。ただし、ここでは、画素電極 2 2 e

に対して対向電極 21 e が高電位とされる場合を想定しており、このような電子の移動は考えなくてよい。

[0079] 第1電荷ブロッキング層 23 および第2電荷ブロッキング層 24 を構成する材料は、隣接する層との間の接合強度、安定性、イオン化ポテンシャルの差および電子親和力の差等を考慮して公知の材料から選択することができる。光電変換層 25 内に電荷を留める効果は、誘電率変調構造 26 a に第1電荷ブロッキング層 23 および第2電荷ブロッキング層 24 の少なくとも一方を設けることにより得ることが可能である。上述の例においては、第1電荷ブロッキング層 23、第2電荷ブロッキング層 24 および光電変換層 25 が有機材料であるような場合について述べたが、これらの層が無機化合物である場合には、HOMOを価電子帯とし、LUMOを伝導帯に置き換えればよい。なお、有機材料のHOMO準位は、例えば、光電子分光法、光電子収量分光法などによって求めることができる。また、LUMO準位は、逆光電子分光法、あるいは、吸収スペクトル末端のエネルギーをHOMO準位から差し引くことによって求めることができる。

[0080] あるいは、第1電荷ブロッキング層 23 および第2電荷ブロッキング層 24 の一方または両方に代えて、絶縁層を配置してもよい。この場合、絶縁層は、対向電極 21 e と光電変換層 25 との間、および、画素電極 22 e と光電変換層 25 との間のいずれに配置されてもよい。また、絶縁層は、対向電極 21 e と光電変換層 25 との間、および、画素電極 22 e と光電変換層 25 との間の両方に配置されてもよい。絶縁層の材料としては、 SiO_2 、 Al_2O_3 、 HfO_2 、 ZrO_2 などの酸化物、 SiN などの窒化物、もしくは、それらの組み合わせによって得られる化合物、または、ポリメタクリル酸メチル樹脂 (PMMA)、ポリイミド、ポリスチレンなどの有機材料を広く用いることができる。

[0081] 以下、第2端子 22 の電位の変化から照度を検出する原理を説明する。図 3は、画素 10 A a 中の誘電率変調素子 20 a および容量素子 30 としての不純物領域 30 a に関する等価回路図である。

[0082] 図2を参照しながら説明したように、誘電率変調素子20a中の誘電率変調構造26aは、入射光量に応じてその誘電率を変化させる。また、誘電率変調構造26aが電荷ブロッキング層または絶縁層を含むことにより、誘電率変調構造26aと画素電極22eとの間には、基本的に、直流電流は流れない。これらのことから、図3では、誘電率変調素子20aを、可変容量と同様の回路記号を用いて便宜的に表現している。

[0083] 図3に示す等価回路において、誘電率変調素子20aの第1端子21側、すなわち、対向電極21eに電圧供給回路50から印加される電圧を V_{IN} とする。また、誘電率変調素子20aの第2端子22側、換言すれば、誘電率変調素子20aと容量素子30（例えば、不純物領域30a）との間のノードMの電圧を V_{OUT} とする。上述の検出回路40は、ノードMに接続されている。したがって、上述の検出回路40は、電圧 V_{OUT} に応じた信号を出力する。なお、図1に示す、信号検出トランジスタ41およびアドレスタランジスタ42の組は、検出回路40の一例に過ぎず、同様の機能を有していれば、検出回路40の構成は、図1に示す構成に限られない。

[0084] 誘電率変調素子20a中の誘電率変調構造26aの容量値を C_{PC} とし、容量素子30としての不純物領域30aの容量値を C_{ref} とすると、ノードMの電圧 V_{OUT} は、下記の式(1)で表される。

[0085] [数1]

$$V_{OUT} = \frac{C_{PC}}{C_{PC} + C_{ref}} V_{IN} \quad (1)$$

[0086] 光電変換層25に光が入射すると、励起子の生成によって対向電極21eおよび画素電極22eにおける電荷密度が増大し、対向電極21eと画素電極22eとの間の容量値が変化する。つまり、光の照射によって容量値 C_{PC} が変化する。このとき、容量素子30の容量値 C_{ref} は、画素10Aaへの光の照射によってほとんど変化せず、光の照射による容量値 C_{ref} の変化は、容量値 C_{PC} の変化と比較して十分に小さいとする。この場合、ノードMの電圧

V_{OUT} は、誘電率変調構造26aの容量値 C_{PC} の変化に従って変化する。

[0087] 図4は、 V_{IN} として5Vの電圧を印加し、 C_{ref} が1.2fFであるときの、容量値 C_{PC} の変化に対する V_{OUT} の変化を示す。図4からわかるように、光の照射によって容量値 C_{PC} が増大することにより、第2端子22の電位である V_{OUT} の値も上昇する。したがって、ノードMに検出回路40を接続することにより、画素10Aaに対する照度の変化を、ソースフォロワとしての信号検出トランジスタ41への入力電圧の変化の形で検出可能である。なお、式(1)からわかるように、容量値 C_{PC} の初期値、例えば、光が照射されていない状態における誘電率変調構造26aの容量値 C_{PC} が容量値 C_{ref} に対して大きい値であると、光の照射による容量値 C_{PC} の増大に対する電圧 V_{OUT} の変化が小さくなる。そのため、容量素子30が容量値 C_{PC} の初期値に対して比較的大きな容量値を有することが有益である。

[0088] このように、本開示の実施形態によれば、光の照射による誘電率変調素子20の誘電率の変化を通して、光を検出することができる。さらに、本開示の実施形態では、光電変換によって生じた正孔または電子を信号電荷として取り出してその電荷量を読み出す構成とは異なり、誘電率変調素子20からは電荷を取り出さない。そのため、電圧供給回路50から誘電率変調素子20に印加する電圧を制御して、例えば、対向電極21eと画素電極22eとの間の電位差を0Vに近づける。そうすれば、誘電率変調構造26a中の正および負の電荷が速やかに再結合し、光の照射によって上昇していた誘電率変調構造26aの誘電率が低下する。すなわち、本開示の実施形態によれば、リセット電圧の供給によるリセット動作を基本的に不要とすることができる。

[0089] (撮像装置の例示的な動作)

次に、本開示の実施形態による撮像装置の例示的な動作を説明する。図5は、本開示の実施形態による撮像装置の例示的な動作を説明するためのタイミングチャートである。図5中、最上段のグラフは、電圧供給回路50から電源線70に供給される電圧 V_{IN} の変化を示し、真ん中のグラフは、アドレ

ストランジスタ42のゲートに接続されたアドレス信号線の電位 V_{SEL} の変化を示す。最下段のグラフは、AD変換回路62の駆動を制御するための電圧 V_{AD} の変化を示す。

- [0090] 上述したように、電圧供給回路50は、少なくとも2つの異なる電圧を切り替えて可能な構成を有する。ここでは、電圧供給回路50が、ハイレベルの第1電圧および第1電圧よりも低いローレベルの第2電圧のいずれかを選択的に電源線70に供給可能であるとする。上述の式(1)からわかるように、検出回路40の信号検出トランジスタ41のゲートに印加される電圧 V_{OUT} は、誘電率変調素子20の第1端子21に印加される電圧 V_{IN} 、換言すれば、電圧供給回路50が電源線70に印加する電圧に比例する。上述のように、誘電率変調構造26aの容量値 C_{PC} は、照度に応じて変化し、それに伴って電圧 V_{OUT} も変化するが、電圧 V_{IN} が小さければ、照度の変化に伴う電圧 V_{OUT} の変化も小さい。図3に示すように、ここでは、容量素子30の、ノードMに接続されていない側の電極の電位が接地である。そのため、ローレベルの第2電圧が例えば接地、すなわち、0Vであるとする、照度の如何にかかわらず、信号検出トランジスタ41のゲートに印加される電圧 V_{OUT} は、基本的には0Vとなる。したがって、電圧供給回路50がローレベルの第2電圧を電源線70に印加している期間が、非露光期間に相当するといえる。
- [0091] 図5に示す例では、初期の状態において、電源線70に第2電圧が印加されている。ここでは、第2電圧が0Vであるとする。
- [0092] 電圧供給回路50は、時刻 t_1 において、電源線70に印加する電圧をハイレベルの第1電圧としている。誘電率変調素子20aの対向電極21eに印加される電圧 V_{IN} が第1電圧とされることにより、式(1)および図4からわかるように、電圧 V_{OUT} は、照度に応じた容量値 C_{PC} の変化に伴って変化する。すなわち、照度に応じた電圧 V_{OUT} が信号検出トランジスタ41のゲートに印加された状態となる。
- [0093] 次に、時刻 t_2 においてアドレス信号線の電位 V_{SEL} をハイレベルとし、アドレストランジスタ42をオンとする。アドレストランジスタ42がオンと

されることにより、選択された画素 10A の検出回路 40 から、照度に応じた信号が出力信号線 74 に出力される。この例では、照度に応じた電圧信号が出力信号線 74 に出力される。

[0094] 図 5 に示す例において、時刻 t_3 に AD 変換回路 62 の駆動パルスが立ち上げられている。すなわち、電圧供給回路 50 が電源線 70 にハイレベルの第 1 電圧を供給し、かつ、アドレストランジスタ 42 がオンとされた状態で、AD 変換回路 62 が動作されている。AD 変換回路 62 の動作によってこのときに得られるデジタル値が、この例における、照度に応じた画素信号である。

[0095] 次に、時刻 t_4 において、電圧供給回路 50 は、電源線 70 に供給する電圧をローレベルの第 2 電圧に切り替えている。電源線 70 に供給される電圧が第 2 電圧に切り替えられることにより、対向電極 21e と画素電極 22e との間の電位差が縮小し、光の照射によって光電変換層 25 内に生成された正および負の電荷の対が速やかに再結合する。特に、ここでは、第 2 電圧が 0V とされているので、電圧 V_{OUT} が 0V となる。つまり、信号検出トランジスタ 41 のゲートに印加される電圧 V_{OUT} が、電源線 70 にハイレベルの第 1 電圧が供給される前の状態に戻る。すなわち、本開示の実施形態では、各画素 10A に対して電圧供給回路 50 が相対的に高い電圧を供給している期間を露光期間とみなすことができる。図 5 中の両矢印 EXP は、この露光期間を模式的に表現している。

[0096] 電源線 70 に供給される電圧が第 2 電圧に切り替えられた後、時刻 t_5 において、AD 変換回路 62 の駆動パルスが再び立ち上げられる。AD 変換回路 62 の動作により、電源線 70 にハイレベルの第 1 電圧が供給される前の基準レベルの信号に相当するデジタル値が得られる。電源線 70 に第 2 電圧が供給されている第 2 期間に読み出しを実行することにより、照度の大小の影響を受けずに基準レベルの信号を読み出すことが可能である。

[0097] 信号処理回路 60 は、時刻 t_3 に得られたデジタル値と、時刻 t_5 に得られたデジタル値との差分を生成して出力する。すなわち、信号処理回路 60

は、被写体の照度を示す信号として、電源線 70 にハイレベルの第 1 電圧が供給されている期間に得られた画素信号と、電源線 70 にローレベルの第 2 電圧が供給されている期間に得られた基準レベルの信号との差分を生成する。その後、時刻 t_6 においてアドレストランジスタ 42 がオフとされる。

[0098] 電圧供給回路 50 が第 1 端子 21 に対して第 1 電圧を印加する第 1 の期間と、第 1 電圧とは異なる第 2 電圧を印加する第 2 の期間とのそれぞれについて検出回路 40 によって電圧 V_{OUT} を検出し、各期間の検出回路 40 の出力の差分を取る。このようにして得られた信号成分は、第 1 端子 21 にハイレベルの電圧が印加されているときに得られた信号成分を、被写体の照度を示す信号としてそのまま出力する場合と比較して、ノイズ成分が抑えられている。なお、画素信号の検出と、基準レベルの信号の検出の順序は、図 5 に示す例に限定されず、基準レベルの信号の検出を先に実行してもよい。また、検出回路 40 の出力の差分も、デジタル値同士の差分の形に限定されず、例えば、アナログ波形の振幅の差分の形であってもよい。

[0099] 図 6 は、複数のフレームにわたる撮像動作の一例を示す。図 6 に示す例では、まず、電圧供給回路 50 から電源線 70 に印加される電圧が、時刻 t_1 においてハイレベルの第 1 電圧とされている。電圧供給回路 50 による第 1 電圧の印加の開始が、0 番目のフレーム期間の露光期間の開始に相当する。所定の期間の経過後、例えば時刻 t_{12} にアドレストランジスタ 42 をオンとする。さらに、時刻 t_{13} において AD 変換回路 62 を動作させることにより、照度に応じた画素信号が得られる。

[0100] 照度に応じた画素信号を得た後、時刻 t_{14} において、電圧供給回路 50 から電源線 70 に印加される電圧が、ローレベルの第 2 電圧に切り替えられる。図 5 を参照して説明したように、第 2 電圧への切り替えのタイミングが、0 番目のフレーム期間における露光期間の終了に相当する。

[0101] 次に、電圧供給回路 50 から第 2 電圧が供給されている状態で、時刻 t_{15} において再び AD 変換回路 62 が動作され、基準レベルの信号が取得される。その後、時刻 t_{16} にアドレストランジスタ 42 がオフとされ、0 番目

のフレーム期間が終了する。信号処理回路60は、被写体の照度を示す信号として、画素信号と、時刻 t_{15} に得られた基準レベルの信号との差分を生成する。

[0102] その後、時刻 t_{21} に、電圧供給回路50が電源線70に印加する電圧を再びハイレベルの第1電圧に切り替えることにより、次のフレーム期間、すなわち、1番目のフレーム期間が開始される。

[0103] 1番目のフレーム期間の開始後、時刻 t_{22} にアドレストランジスタ42がオンとされ、時刻 t_{23} にAD変換回路62が動作させられることにより、1番目のフレームに関する、照度に応じた画素信号が取得される。

[0104] 1番目のフレームに関する画素信号の取得後、この例では、時刻 t_{24} に、電源線70に印加される電圧がローレベルの第2電圧に切り替えられるとともに、アドレストランジスタ42がオフとされている。さらに、基準レベルの信号の取得が実行されることなく、電源線70に印加される電圧が、時刻 t_{31} において再び第1電圧に切り替えられている。換言すれば、2番目のフレーム期間が開始されている。

[0105] ここで、信号処理回路60は、被写体の照度を示す信号として、時刻 t_{23} に得られた画素信号と、0番目のフレーム期間中の時刻 t_{15} に得られた基準レベルの信号との差分を生成する。本開示の典型的な実施形態によれば、第1端子21に印加する電圧 V_{1N} を初期状態に戻すことにより、換言すれば、電圧供給回路50が電源線70に印加する電圧をローレベルの第2電圧に戻すことにより、誘電率変調素子20の状態を、光を照射する前の状態に戻し得る。つまり、画素にリセット電圧を供給することによるリセット動作を実行せずとも、ノードMの電位を実質的にリセットすることが可能である。そのため、リセット動作に伴うリセットノイズの混入を回避でき、リセットノイズの混入による、フレーム間の基準レベルの変動を回避することができる。これは、低照度の場合にSN比を確保する観点からは、特に有利な点である。フレーム間の基準レベルの変動が生じないので、連続するフレーム期間の最初のフレーム期間に基準レベルの信号を一度取得しておけば、その

後のフレーム期間についてもその基準レベルの信号を使いまわすことが可能である。

[0106] 続く2番目のフレーム期間における動作も、1番目のフレーム期間における動作と同様であり得る。この例では、時刻 t_{32} にアドレストランジスタ42をオンとし、時刻 t_{33} にAD変換回路62を動作させて、2番目のフレームに関する、照度に応じた画素信号を取得している。画素信号の取得後、時刻 t_{34} に電圧 V_{1N} を第2電圧に切り替え、アドレストランジスタ42をオフとすることにより、2番目のフレーム期間が終了する。信号処理回路60が、被写体の照度を示す信号として、時刻 t_{33} に得られた画素信号と、0番目のフレーム期間中に得られた基準レベルの信号との差分を生成する点は、1番目のフレームと同様である。

[0107] このように、連続する2以上のフレーム期間において、電圧供給回路50が各画素10Aに第2電圧を供給している期間に検出回路40を介して信号が読み出される回数は、電圧供給回路50が第1電圧を供給している期間に検出回路40を介して信号が読み出される回数よりも少ないことがあり得る。すなわち、基準レベルの信号の読み出しの回数が、照度に応じた画素信号の読み出しの回数よりも少なくてもよい。このような動作によれば、フレーム期間ごとの基準レベルの信号の取得が省略されるので、信号の読み出しに要する期間を短縮して高速に撮像を実行し得る。あるいは、フレーム期間ごとの基準レベルの信号の取得を省略した分、露光時間を長くすることができ、より高いSN比を実現可能である。

[0108] 図7は、2次元に配列された複数の画素を含む撮像装置の読み出し動作の一例を模式的に示す。図7中、最上段の白い矩形Hは、電圧供給回路50が第1端子21にハイレベルの第1電圧を印加する第1期間を表現し、ハッチングの付された矩形Lは、電圧供給回路50が第1端子21にローレベルの第2電圧を印加する第2期間を表現している。なお、ここでは、各画素10Aaの対向電極21eに共通の電圧が印加されるとしている。

[0109] 図7では、簡単のため、複数の行のうち、第*i*行に属する画素、第(*i*+

1) 行に属する画素、および、第 (i + 2) 行に属する画素の動作を代表して示している。図 7 中、白い矩形 $E \times p$ は、各行における露光期間を表現し、網掛けの矩形 R_d は、信号の読み出し期間を表現している。ここでは、矩形 R_d で表されたタイミングで、画素信号の読み出しと基準レベルの信号の読み出しとを実行する。画素信号の読み出しは、第 1 期間に実行され、基準レベルの信号の読み出しは、第 2 期間に実行される。上述したように、本開示の実施形態によれば、フレーム期間ごとの基準レベルの信号の取得を省略し得る。この例では、画素信号および基準レベルの信号の読み出しを行単位でタイミングをずらして順次に実行している。

[0110] 図 8 は、2次元に配列された複数の画素を含む撮像装置の読み出し動作の他の一例を模式的に示す。図 8 中、網掛けの矩形 R_{d1} は、画素信号の読み出し期間を表現し、網掛けの矩形 R_{d2} は、基準レベルの信号の読み出し期間を表現している。この例では、第 1 期間において画素信号の読み出しを行単位で順次に実行し、また、第 2 期間において基準レベルの信号の読み出しを行単位で順次に実行している。この例のように、1 フレーム期間に、第 1 電圧から第 2 電圧への電圧切り替えと、第 2 電圧から第 1 の電圧への切り替えとを 1 回ずつ行うようにしてもよい。

[0111] 図 9 および図 10 は、2次元に配列された複数の画素を含む撮像装置の読み出し動作のさらに他の一例を模式的に示す。図 9 に示す例では、各フレーム期間において、全ての行について共通のタイミングで信号の読み出しを実行しており、露光期間の開始および終了が全ての画素に共通となっている。すなわち、いわゆるグローバルシャッタが実現されている。

[0112] このような読み出し動作は、撮像領域が形成されたチップとは別のチップに信号処理回路 60 と、撮像領域中の特定の画素を指定する X Y デコーダとを配置し、例えばこれらのチップを積層して複数の画素の各行と信号処理回路 60 とを電氣的に接続することによって実現可能である。各画素にアナログ-デジタル変換回路を配置してもよい。チップ積層技術によれば、画素の大型化を回避しながら、このような読み出し方式に適合した撮像装置を実現

し得る。

[0113] 図10に示す例でも同様に、露光期間の開始および終了が全ての画素に共通とされている。図10は、フレームメモリを有する画素に適用可能な動作例である。図10中、網掛けの矩形Trsは、信号レベルに関する情報をフレームメモリに転送する期間を表現している。図10は、露光期間に得られた画素信号の電圧レベルをフレームメモリに転送しておき、次のフレーム期間の露光期間中に画素信号の電圧レベルをフレームメモリから読み出す例である。なお、基準レベルの信号の読み出しは、いずれかのフレーム期間中の第2期間に実行されればよい。

[0114] 図11は、フレームメモリを有する画素の例を示す。図11に示す画素10Bは、ノードMと信号検出トランジスタ41のゲート間に接続された転送トランジスタ45と、一方の電極が信号検出トランジスタ41のゲートに接続された容量素子44との組を含む。容量素子44の他方の電極は、例えば不図示の電源に接続されることにより、撮像装置100Aの動作時に所定の電圧 V_0 を印加可能に構成される。

[0115] 第1期間の開始から所定の期間の経過後に転送トランジスタ45をオンとし、再びオフとすることにより、露光後のノードMの電圧レベルを容量素子44によって一時的に保持することができる。電圧レベルを容量素子44に保持させた後は、アドレストランジスタ42をオンとすることにより、容量素子44に保持させた電圧レベルに対応する信号を所望のタイミングで出力信号線74に読み出すことができる。転送トランジスタ45のおよびオフは、例えば、不図示の行走査回路によって制御され得る。なお、高感度化の観点から、容量素子44が、容量素子30（例えば、不純物領域30a）の容量値よりも小さな容量値を有すると有益である。

[0116] （オフセットレベルの除去）

上述したように、本開示の実施形態によれば、第1端子21と第2端子22との間の電位差を0Vに近づけることにより、光の照射の如何にかかわらずノードMの電位をほぼ0Vとできるので、一般的な撮像装置に要求される

リセット動作は、基本的に不要である。ただし、例えば、容量素子30の電極のうち、ノードMに接続されていない側の電極に与えられる電圧と、電圧供給回路50が誘電率変調素子20に印加する第2電圧とが一致していないとする。このような場合においては、誘電率変調素子20に印加される電圧が第1電圧に切り替えられると、光が照射されていなくても、ノードMの電位が0Vから上昇し得る。電圧供給回路50から対向電極21eに印加される第2電圧と、容量素子30の電極のうち、ノードMに接続されていない側に与えられる電圧との間の差分を ΔV 、暗時における誘電率変調構造26aの容量値を C_{ini} とすれば、第1電圧に切り替えによって生じる、電圧 V_{OUT} のオフセット V_{offset} は、下記の式(2)で与えられる。

[0117] [数2]

$$V_{offset} = \frac{C_{ini}}{C_{ini} + C_{ref}} \Delta V \quad (2)$$

[0118] このような電圧のオフセットが存在する場合、光の照射による誘電率の変化分に対応する本来の出力は、オフセット分を差し引いた下記の式(3)で与えられることになる。

[0119] [数3]

$$V_{OUT} = \left(\frac{C_{PC}}{C_{PC} + C_{ref}} - \frac{C_{ini}}{C_{ini} + C_{ref}} \right) V_{IN} \quad (3)$$

[0120] つまり、画素信号と基準レベルの信号との差分から上述のオフセットレベルに対応する信号をさらに差し引くことにより、初期状態においてノードMに蓄積されている電荷量の如何によらずに、光の照射による誘電率の変化に相当する実効的な電圧レベルの変化を取得することができる。例えば、信号処理回路60は、電源線70にハイレベルの第1電圧が供給されている期間に得られた画素信号と、電源線70にローレベルの第2電圧が供給されている期間に得られた基準レベルの信号との差分から、オフセットレベルに対応

する信号をさらに減算した信号を、被写体の照度を示す信号として出力してもよい。オフセットレベルに対応する信号の減算は、デジタル信号同士の減算の形で実行されてもよいし、アナログ信号同士の減算の形で実行されてもよい。オフセットレベルに対応する信号の減算により、画素ごとのオフセットレベルのバラつきに起因する固定パターンノイズを低減することが可能である。

[0121] (オフセットレベルに対応する信号の取得)

オフセットレベルに対応する信号は、誘電率変調素子 20 に光が照射されておらず、かつ、電圧供給回路 50 から電源線 70 にハイレベルの第 1 電圧が供給されている状態において検出回路 40 が出力する信号である。以下に説明するように、オフセットレベルに対応する信号は、種々の方法により取得可能である。

[0122] 図 12 は、オフセットレベルに対応する信号を取得可能な構成の第 1 の例を示す。図 12 に例示する構成において、撮像装置は、上述の画素 10Aa に加えてダミー画素 10Dm を含む複数の画素の配列を有する。ダミー画素 10Dm において、遮光層 28 は、誘電率変調素子 20a を覆い、誘電率変調素子 20a への光の入射を遮断する。ダミー画素 10Dm の基本的なデバイス構造は、遮光層 28 を有する点を除き、画素 10Aa と同様である。なお、ダミー画素 10Dm の誘電率変調素子 20a への光の入射は不要であるので、図 12 に示すように、ダミー画素 10Dm では光学フィルタ 86 およびマイクロレンズ 88 は省略され得る。

[0123] ダミー画素 10Dm の誘電率変調素子 20a への光の入射は、遮光層 28 によって防止されている。したがって、対向電極 21e に第 1 電圧が印加された状態にあるダミー画素 10Dm の検出回路 40 の出力を読み出すことにより、比較的簡易な構成によって、オフセットレベルに対応する信号を得ることができる。このようなダミー画素 10Dm は、画素 10Aa の配列から形成される撮像領域の外側の周辺領域に配置され得る。特に、画素ごとのオフセットレベルのバラつきの影響が小さい場合に、このような構成が有効で

ある。

[0124] 図13は、オフセットレベルに対応する信号を取得可能な構成の第2の例を示す。図13に例示する構成において、撮像装置は、各画素10Aaへの光の入射および遮断を切り替えるメカニカルシャッタ110を有している。

[0125] 対向電極21eに第1電圧が印加された状態でメカニカルシャッタ110をオープンとすれば、検出回路40を介して画素信号が得られる。他方、対向電極21eに第1電圧が印加された状態、かつ、メカニカルシャッタ110がクローズとされた状態で検出回路40からの出力を取得することにより、オフセットレベルに対応する信号を得ることができる。このように、信号処理回路60と同期して動作するメカニカルシャッタ110を利用してオフセットレベルに対応する信号を取得してもよい。ここで説明した第2の例によれば、画素ごとにオフセットレベルが異なっていたとしても、正確にオフセットを求めることが可能である。

[0126] 図14は、オフセットレベルに対応する信号を取得可能な構成の第3の例を示す。図14に示す撮像装置100Bは、光源120と、光源120および複数の画素10Aaを同期して駆動させる制御回路130とを含む。光源120は、対向電極21eにハイレベルの第1電圧が印加されている第1期間に、所定の波長域の光、例えば、赤外線で被写体Obを照射する。複数の画素10Aaは、被写体Obからの所定の波長域の反射光に基づく信号を出力する。

[0127] このような構成においては、光源120が消灯状態かつ対向電極21eにハイレベルの第1電圧が印加された状態で画素10Aaの検出回路40によって検出される信号が、オフセットレベルに対応する信号に相当する。特定の波長域の光に基づく画像を得ようとする場合には、図14に例示するような構成も有用である。

[0128] 図14に例示するような構成は、特に、環境光に含まれる強度が小さい波長域の光の検出を行う場合に有用である。例えば、屋内での撮影においては900nm超、屋外での撮影であれば1400nm程度の波長を有する赤外

線を光源 120 から発せられる光として利用することができる。光源 120 から発せられる光の波長が環境光のスペクトルに含まれていない場合には、光源 120 が消灯状態かつ対向電極 21e にハイレベルの第 1 電圧が印加された状態で各画素 10Aa の検出回路 40 によって検出される信号は、オフセットレベルに対応する信号の正確な値を与える。

[0129] これら第 1～第 3 の例は、いずれも、オフセットレベルに対応する信号として、暗時の信号レベルに相当する出力を利用する例である。あるいは、オフセットレベルに対応する信号の取得に特化した構造を設けることなく、オフセットレベルに対応する信号を得ることも可能である。例えば、電圧供給回路 50 が電源線 70 に印加する電圧をローレベルの第 2 電圧からハイレベルの第 1 電圧に切り替えた直後、換言すれば、露光期間に相当する第 1 期間のごく初期に検出回路 40 から出力される信号を、オフセットレベルに対応する信号として取得してもよい。この例においても、各画素に応じたオフセットレベルを取得可能である。

[0130] このように、画素ごとのオフセットレベルに対応する信号を画素信号の読み出しとは別のタイミングで一度読み出してもよい。また、暗時の条件で予め画素ごとにノード M の電位を求めておき、このときに得られた電位に対応する信号を、オフセットレベルに対応する信号として用いてもよい。また、信号処理回路 60 にメモリを設け、メモリ内にオフセットレベルの値を予め保持させておいてもよい。任意のタイミングでキャリブレーションを実行することにより、メモリ内のオフセットレベルの値が更新されるような構成を採用してもよい。なお、画素ごとのオフセットレベルのバラつきが小さい場合には、全ての画素に対して共通のオフセットレベルを一律に適用してもよい。

[0131] (変形例)

図 15 は、画素内にリセットトランジスタを設けた変形例を示す。図 15 に例示する画素 10C は、ノード M に接続されたリセットトランジスタ 46 を有する。図示する例において、リセットトランジスタ 46 のソースおよび

ドレインの一方は、誘電率変調素子 20 a のノード M に接続された端子（例えば、画素電極 22 e）に電氣的に接続されている。動作時、リセットトランジスタ 46 のソースおよびドレインの他方には、所定のリセット電圧 V_{Ref} が供給される。リセットトランジスタ 46 がオンとされることにより、画素電極 22 e の電位、換言すれば、ノード M の電位が V_{Ref} にリセットされる。リセットトランジスタ 46 のオンおよびオフは、例えば不図示の行走査回路からリセットトランジスタ 46 のゲートにリセット信号 V_{RST} が印加されることによって制御される。

[0132] 本開示の実施形態によれば、光電変換によって生成された電荷をノード M に取り出してノード M に蓄積することはない。既に説明したように、誘電率変調素子 20 a のノード M とは反対側の端子（例えば、対向電極 21 e）に印加される電圧 V_{IN} を例えば 0 V にすることにより、ノード M の電圧 V_{OUT} 、換言すれば、検出回路 40 に対する入力を 0 V とすることが可能である。そのため、電圧供給回路 50 が電源線 70 に印加する電圧をハイレベルの第 1 電圧からローレベルの第 2 電圧に切り替えれば、ノード M へのリセット電圧の印加を行うことなく、次のフレームの露光を開始することができる。したがって、たとえ誘電率変調素子 20 に光が常に照射される状態であっても、電圧供給回路 50 によって第 1 端子 21 に印加される電圧を第 1 電圧と第 2 電圧との間で切り替え、各画素に第 1 電圧が供給される第 1 期間と、第 2 電圧が供給される第 2 期間とのそれぞれにおいて検出回路 40 がノード M の電位を検出することにより、光を検出可能である。このように、本開示の典型的な実施形態によれば、ノード M のリセットのための回路は、基本的に不要である。

[0133] ただし、各画素内にリセットトランジスタ 46 のようなリセット回路を設けることにより、ノード M 中の電荷量を複数の画素の間で揃えることができる。換言すれば、露光前のノード M の電位を複数の画素の間で任意の値に揃え、画素ごとの基準レベルのバラつきを解消できる。したがって、電圧レンジを有効に使うことができるという利点を得られる。また、適当なリセット

電圧 V_{Ref} を用いることにより、リセット後の画素電極 22e の電位を対向電極 21e の電位と揃えることもできる。例えば、リセット電圧 V_{Ref} は、第2電圧と同じ電圧であってもよい。電圧供給回路 50 が第2期間に第2電圧を対向電極 21e に印加し、かつ、リセット電圧 V_{Ref} が第2電圧と等しい場合、リセット動作後に誘電率変調構造 26a にかかる電位差をほぼ 0V とすることが可能である。したがって、特定の画素の感度を任意のタイミングでゼロにすることなども可能になる。

[0134] 画素 10C を有する撮像装置では、典型的には、画素 10C に第2電圧が供給される第2期間にリセットトランジスタ 46 がオンとされることにより、リセット電圧 V_{Ref} が画素電極 22e に供給され、画素電極 22e の電位のリセットが実行される。検出回路 40 を介した基準レベルの信号の読み出しは、リセットトランジスタ 46 による画素電極 22e の電位のリセット後に実行される。上述したように、基準レベルの信号の読み出しは、例えば、連続する複数のフレームのうち、最初のフレーム期間が始まる前の第2期間、または、最初のフレーム期間中の第2期間に1度実行すればよい。画素 10C に供給される電圧を第1電圧に切り替えることにより、最初のフレーム期間の露光期間が開始する。画素 10C に供給される電圧を第2電圧に戻せば、ノードMの電位は、 V_{Ref} に戻る。

[0135] 図16は、画素のデバイス構造の他の例を示す。図16に示す画素 10Ab と、図2に示す画素 10Aa との間の相違点は、画素 10Ab が、容量素子 30 としての不純物領域 30a に代えて、絶縁層 90 内に配置された、MIM (metal-insulator-metal) 構造の容量素子 30b を有する点である。

[0136] 図16に例示する構成において、容量素子 30b は、上部電極 33、上部電極 33 と半導体基板 80 との間に位置する下部電極 34、および、上部電極 33 と下部電極 34 とに挟まれた誘電体層 35 を有する。画素 10Ab 中の接続部 95b は、上部電極 33 と配線 92 とを互いに電氣的に接続するプラグ 93b を含む。下部電極 34 は、不図示の配線が接続されることにより、動作時、その電位が例えば接地に固定される。

- [0137] このように、ノードMに接続される容量素子30は、pn接合によって形成される接合容量の形に限定されず、容量素子30bのようにMIM構造の形で実現されてもよいし、一方の電極を半導体層としたMOS容量の形で実現されてもよい。MIM構造を適用する場合、配線層96の一部を上部電極33および下部電極34の一方または両方として利用してもよい。誘電体層35の材料としては、例えば、 SiO_2 、 Al_2O_3 、 HfO_2 、 ZrO_2 などの酸化物もしくは SiN などの窒化物、または、それらの組み合わせによって得られる化合物のほか、PMMA、ポリイミド、ポリスチレンなどの有機材料を広く用いることができる。異種材料の組み合わせにより、実質的に1つの容量素子を形成してもよい。あるいは、絶縁層90の一部を誘電体層35として利用してもよい。この場合、容量素子30bのMIM構造は、MOM構造とも呼ばれる。
- [0138] 容量素子30bは、光が入射しても容量値がほとんど変化しないか、あるいは、光の入射による容量値の変化が誘電率変調素子20aにおける容量値の変化と比較して十分小さくなるような構造として形成される。例えば、誘電体層35の材料として、 SiO_2 のように光の入射に対して比誘電率がほとんど変化しない材料が選択され得る。あるいは、上部電極33および／または下部電極34の材料として、高い遮光性を有するTiNを適用し得る。周囲が遮光材料で覆われるように容量素子30bを絶縁層90中に配置し、容量素子30bへの光の入射を抑制してもよい。
- [0139] 上述の不純物領域30aが典型的にはイオン注入によって形成されることに対して、容量素子30をMIM構造の形とした構成によれば、ノードMが、シリコン基板とコンタクトプラグとの界面を含まない。したがって、界面準位に起因する暗電流の影響を回避することが可能である。リセットトランジスタ46を薄膜トランジスタとして形成すれば、リセットトランジスタ46を含むリセット回路と組み合わせた場合にも、界面準位に起因する暗電流の発生を回避し得る。
- [0140] 誘電率変調素子20の構成も、図2を参照して説明した構成に限定されな

い。例えば、図2に示す誘電率変調構造26a中の光電変換層25に代えて、量子ドットを含む層を適用してもよい。量子ドットは、光の入射を受けて電荷対を発生させる。この場合も図2に示す例と同様に、量子ドットを含む層と対向電極21eとの間、および、量子ドットを含む層と画素電極22eとの間の少なくとも一方に、絶縁層または電荷の移動を抑制する電荷ブロッキング層が設けられる。

[0141] なお、誘電率変調素子20が、光の入射によって電荷または励起子を生成する構造を含むことは、必須ではない。図17は、誘電率変調素子20の他の例を示す。図17に示す画素10Dは、対向電極21e、画素電極22e、および、対向電極21eと画素電極22eとの間に位置する誘電率変調構造26dを含む誘電率変調素子20dを有する。この例では、誘電率変調構造26dは、酸化ハフニウムのように光の照射によって誘電率が変化する材料を含む層である。このような構成によっても、光の照射による誘電率変調素子20dの誘電率の変化を通して、光を検出することが可能である。

[0142] 光の入射に対する、誘電率変調素子20における誘電率の応答は、入射光の強度または時間に対して非線形であってもよいし、線形であってもよい。いずれの場合であっても、光の検出が可能である。対向電極21eと画素電極22eとの間の電位差が大きいほど光の照射に対してより大きな誘電率の変化を示すような誘電率変調構造を採用することにより、画素信号の検出時と基準レベルの信号の検出時との間における誘電率の変化量が拡大するので、より高感度の検出を行い得る。このような誘電率変調構造を採用した場合、電圧供給回路50から印加される第2電圧が、対向電極21eと画素電極22eとの間の電位差をほぼ0Vとするような電圧であると、露光期間における出力と、非露光期間における出力との差を拡大し得るので有益である。

[0143] (第2の実施形態)

図18は、本開示の第2の実施形態による撮像装置の構成を模式的に示す。図1に示す撮像装置100Aと比較して、図18に示す撮像装置100Eは、複数の画素10Aに代えて複数の画素10Eを有する。

[0144] 図18に示すように、この例では、容量素子30の電極のうち、誘電率変調素子20の第2端子22に接続されていない側の電極が、電源線71、72を介して電圧供給回路50に電氣的に接続されている。つまり、この例では、電圧供給回路50は、容量素子30を介して、誘電率変調素子20の第2端子22に第1電圧および第2電圧を切り替えて供給可能に構成されている。他方、第1端子21の電位は、動作時、共通して例えば接地に固定される。

[0145] 容量素子30を介して誘電率変調素子20の第2端子22側に電圧供給回路50から印加される電圧を V_{IN} とすると、このような回路構成におけるノードMの電圧 V_{OUT} は、上述の式(1)に代えて下記の式(4)で表される。

[0146] [数4]

$$V_{OUT} = \frac{C_{ref}}{C_{PC} + C_{ref}} V_{IN} \quad (4)$$

[0147] 式(4)からわかるように、図18に例示する回路構成では、光の照射によって容量値 C_{PC} が増大すると、電圧 V_{OUT} は、減少する変化を示す。電圧供給回路50によって第1端子21側の電位を変える構成、および、第2端子22側の電位を変える構成のいずれの構成であっても、光の照射によって、ソースフォロワとしての信号検出トランジスタ41への入力電圧が変化するので、検出回路40は、誘電率変調素子20における誘電率変化を電圧変化の形で検出可能である。

[0148] 第1の実施形態では、誘電率変調素子20の第2端子22側の電位を基準として電圧供給回路50によって第1端子21側の電位を変更するように構成していたが、この例のように、誘電率変調素子20の第1端子21側の電位を基準として、容量素子30の電極のうち第2端子22に接続されていない側の電極の電位を変更するような構成も可能である。電圧供給回路50は、誘電率変調素子20の第1端子21または第2端子22のいずれかを基準として、他方の端子に所定の電圧を印加できるように構成されていればよい

。電圧供給回路50によって第1端子21側または容量素子30の電極のうち第2端子22に接続されていない側の電極のいずれかに電圧を供給することにより、第1端子21と第2端子22との間の電位差を一意に決定することができる。したがって、例えば、誘電率変調構造26aまたは26dに印加される電位差も一意に決まる。図18に例示する回路構成では、各画素10Eの第2端子22と電圧供給回路50との間に容量素子30が介在しているが、電圧供給回路50が供給する電圧によって第1端子21と第2端子22との間の電位差を実質的に制御しているといえる。

[0149] ここでは、図18に示す4つの画素10Eのうち、第1行に属する2つの画素10Eの容量素子30に電源線71が接続され、第2行に属する2つの画素10Eの容量素子30に電源線72が接続されている。したがって、このような接続の形態によれば、ノードMの電位を行単位で個別に制御可能である。

[0150] 図19は、図18に示す撮像装置100Eにおける読み出し動作の一例を模式的に示す。図19では、複数の行のうち、第*i*行に属する画素、第(*i*+1)行に属する画素、および、第(*i*+2)行に属する画素のそれぞれについて、第2端子22側に印加される電圧 V_{1N} の変化と、露光期間および読み出し期間との関係をあわせて示している。図7に示す例と同様に、網掛けの矩形Rdは、画素信号の読み出しと基準レベルの信号の読み出しとを実行する期間を表現している。画素信号の読み出しが第1期間に実行され、基準レベルの信号の読み出しが第2期間に実行される点は、図7を参照して説明した例と同じである。

[0151] 図18に例示するように、容量素子30を介して第2端子22側の電位を変更する構成によれば、第1電圧と第2電圧との間の切り替えを例えば行ごとに任意のタイミングで実行することが可能である。そのため、図19に示すように、第1電圧と第2電圧との間の切り替えおよび信号の読み出しの期間を行ごとにならして、いわゆるローリングシャッタと同様の読み出し動作を適用することができる。このように、第1電圧と第2電圧との間の切り替

えを例えば行ごとに実行することにより、図7および図8において濃い網掛けの矩形で示す、誘電率の変化にも寄与せず、信号の読み出しも行われない期間を無くすることができる。したがって、例えば露光期間を拡大して、よりSN比の向上された撮像が可能になる。なお、このような行単位の電圧の切り替えは、電源線70を対向電極21eに接続した構成において、複数の画素の各行で分離されるように対向電極21eをパターンニングすることによっても実現し得る。ただし、この場合は、対向電極21eの配線抵抗による遅延を考慮する必要がある、図18に例示する構成の方が動作の高速化には有利である。

[0152] ここでは、複数の画素10Eの行ごとに独立して電源線71、72を設け、第1電圧と第2電圧との間の切り替えを行単位で独立して実行する例を説明したが、この例に限定されず、複数の画素10Eの列ごとまたは画素10Eの各々に独立して、電圧供給回路50に接続された電源線を接続してもよい。つまり、電圧供給回路50が列単位または画素単位で独立して異なる電圧を供給できるように構成し、ノードMの電位を列単位または画素単位で個別に制御してもよい。

[0153] (第3の実施形態)

図20は、本開示の第3の実施形態による撮像装置の例示的な構成を概略的に示す。図20に示す撮像装置100Fは、撮像素子200と、撮像素子200からの電気信号に対して信号処理を行う信号処理回路60Fとを含む。

[0154] 図20に模式的に示すように、撮像素子200は、上述の撮像装置100Aと同様に、例えば複数の画素10Aを有し、入射光を電気信号に変換して信号処理回路60Fに出力する。画素10Aに代えて、上述の画素10B、10C、10Dおよび10Eのいずれをも適用可能である。図20に例示する構成において、撮像素子200は、画素10Aの各々に所定の電圧を供給する電圧供給回路50をさらに有する。電圧供給回路50が、第1電圧と第2電圧とを切り替えて各画素10Aに供給可能な点、および、各画素10A

に対して第1期間に第1電圧を供給し、第1期間とは異なる第2期間に第2電圧を供給する点は、上述の各例と同様である。

[0155] 信号処理回路60Fは、上述の各例における信号処理回路60と同様に、電圧供給回路50に接続された電源線にハイレベルの第1電圧が供給されている期間に得られた画素信号と、電源線にローレベルの第2電圧が供給されている期間に得られた基準レベルの信号との差分を生成して出力する。なお、信号処理回路60Fには、典型的には、複数の画素10Aの列の数と同数のAD変換回路62が設けられる。図20では、簡単のため、これらのうち2つのAD変換回路62を代表して示している。

[0156] 撮像素子200において複数の画素10Aが半導体基板80に形成され、電圧供給回路50も半導体基板80に設けられることに対して、この例では、信号処理回路60Fは、半導体基板80とは異なる回路基板89に設けられている。この例のように、AD変換回路62を含む一部の回路を、画素が配置された基板とは異なる基板に形成してもよい。例えば、これら2つの基板を積層して互いに電氣的に接続させることによって1つのカメラシステムを構築し得る。

[0157] 以上に説明したように、本開示の実施形態では、電圧供給回路50が、誘電率変調素子20の第1端子21および第2端子22の一方を基準として、他方に第1電圧および第2電圧のいずれかを選択的に印加する。例えば、電圧供給回路50は、露光期間において各画素にハイレベルの第1電圧を供給し、基準レベルの読み出しの期間に各画素にローレベルの第2電圧を供給する。また、検出回路40は、電圧供給回路50が第1電圧を供給する第1期間に、照度に対応したレベルの画素信号の読み出しを実行し、電圧供給回路50が第2電圧を供給する第2期間に、基準レベルの信号の読み出しを実行する。これにより、SN比を確保しながら、誘電率変調素子20の誘電率の変化を通して光を検出することが可能である。なお、第1電圧および／または第2電圧は、パルスとして印加されてもよいし、周期的または準周期的に印加が繰り返されてもよい。

実施例

[0158] (実施例 1)

上述の誘電率変調素子 20 を模したサンプルを製作し、バイアスを変化させて容量値を測定することにより、製作したサンプルにおける、照度に対する誘電率の変化を評価した。図 21 は、実施例 1 として作製したサンプルの構造を模式的に示す。サンプルは、以下のようにして作製した。

[0159] まず、ガラス基板 90 S を用意した。次に、ITO および Al_2O_3 をそれぞれスパッタリングおよび原子層堆積法 (ALD) によってガラス基板上に順次に堆積することにより、下面電極 22 S および絶縁層 24 S をガラス基板上に形成した。次に、スズナフタロシアニン (SnNc) およびフラーレン (C_{60}) を蒸着によって順次に堆積することにより、光電変換層 25 S を形成した。ここで、スズナフタロシアニン層およびフラーレン層の厚さは、いずれもおおよそ 75 nm であった。

[0160] 光電変換層 25 S の形成後、ALD およびスパッタリングによって Al_2O_3 および ITO を光電変換層 25 S 上にさらに順次に堆積することにより、絶縁層 23 S および上面電極 21 S の積層構造を形成した。以上の手順により、実施例 1 のサンプルを得た。ここで、絶縁層 24 S および 23 S の厚さは、おおよそ 20 nm であり、光電変換層 25 S の厚さは、おおよそ 150 nm であり、上面電極 21 S の厚さは、おおよそ 50 nm であった。

[0161] 次に、波長が 940 nm の光を上面電極 21 S 側から照射しながら、下面電極 22 S および上面電極 21 S の間に印加するバイアス V_{bias} を変えて交流電圧に対する電流応答を測定することにより、下面電極 22 S と上面電極 21 S との間の容量値を測定した。測定には、HEWLETT PACKARD 社製プレシジョン LCR メータ 4284 A を用い、交流電圧振幅を 100 mV、測定周波数を 100 Hz とし、シーケンシャルモードで容量値の測定を行った。

[0162] 図 22 は、実施例 1 のサンプルに関する、照度を変化させたときの容量値の変化の測定結果を各バイアスについて示す。図 22 に示すグラフの横軸は

、サンプルに照射した光の強度を示し、縦軸は、下面電極 2 2 S と上面電極 2 1 S との間の容量値を示す。なお、図 2 2 に示す光の強度の単位は、任意単位である。

[0163] ここでは、バイアス V_{bias} を 0 V、3 V、5 V および 10 V としたときの照度に対する容量値の変化をそれぞれ測定した。図 2 2 からわかるように、バイアス V_{bias} が 0 V のときは、光を照射しても容量値はほとんど変化を示さないものの、バイアス V_{bias} が 3 V、5 V および 10 V のときは、いずれも、照度が増大するに従って容量値が増大している。また、絶縁層 2 4 S、光電変換層 2 5 S および絶縁層 2 3 S の積層構造に印加される電位差が拡大するほど、照度の変化に対する誘電率の変化が大きくなることもわかる。このように、誘電率変調構造として例えば光電変換層を絶縁層で挟んだ構造を採用することにより、誘電率の変化を通して照度の変化を検出可能である。

産業上の利用可能性

[0164] 本開示の撮像装置は、イメージセンサなどに適用可能である。特に、暗電流の影響を受けやすい赤外域の光を検出するためのイメージセンサに有用である。本開示の撮像装置は、デジタルカメラ、医療用カメラ、マシンビジョン用カメラ（例えばロボット用カメラ）などに用いることができる。マシンビジョン用カメラは、例えば、生産工場における生産物の状態の判断、分類、あるいは、不良の検出などを画像認識で行うための入力に利用され得る。本開示の実施形態は、セキュリティカメラ、車両に搭載されて使用されるカメラなどにも有用である。車両搭載用カメラは、例えば、車両が安全に走行するための、制御装置に対する入力として利用され得る。あるいは、車両が安全に走行するための、オペレータの支援に利用され得る。赤外面像は、例えば距離検出、物体認識などのセンシングに利用可能である。

符号の説明

[0165] 10A、10Aa、10Ab 画素

10B~10E 画素

10Dm ダミー画素

- 20、20a、20d 誘電率変調素子
- 21 第1端子
- 21e 対向電極
- 22 第2端子
- 22e 画素電極
- 23 第1電荷ブロッキング層
- 24 第2電荷ブロッキング層
- 25 光電変換層
- 26a、26d 誘電率変調構造
- 28 遮光層
- 30、30b 容量素子
- 40 検出回路
- 41 信号検出トランジスタ
- 44 容量素子
- 45 転送トランジスタ
- 46 リセットトランジスタ
- 50 電圧供給回路
- 60、60F 信号処理回路
- 62 アナログーデジタル変換回路
- 70～72 電源線
- 74 出力信号線
- 80 半導体基板
- 89 回路基板
- 90 絶縁層
- 95a、95b 接続部
- 100A、100B、100E、100F 撮像装置
- 110 メカニカルシャッタ
- 120 光源

200 撮像素子

請求の範囲

[請求項1]

1以上の画素を備える撮像装置であって、

前記1以上の画素のそれぞれは、

第1端子、第2端子、および、前記第1端子と前記第2端子との間に位置し、光の照射によって誘電率が変化する誘電率変調構造を含む誘電率変調素子と、

第1電極および第2電極を含み、前記第2電極が前記誘電率変調素子の前記第2端子に電氣的に接続される容量素子と、

前記第2端子の電位に応じた信号を出力する検出回路とを含み、

前記撮像装置は、さらに、

前記誘電率変調素子の前記第1端子および前記容量素子の前記第1電極のうち的一方に対して、第1期間に第1電圧を印加し、前記第1期間とは異なる第2期間に第2電圧を印加する電圧供給回路と、

前記第1期間に前記検出回路から出力された第1信号と、前記第2期間に前記検出回路から出力された第2信号との差分である第3信号を生成する信号処理回路と

を備え、

前記第2電圧が前記一方に印加されたときの前記第1端子および前記第1電極間の電位差は、前記第1電圧が前記一方に印加されたときの前記第1端子および前記第1電極間の電位差よりも小さい、撮像装置。

[請求項2]

前記信号処理回路は、前記第3信号からオフセットレベルに対応する第4信号を減算した第5信号を出力する、請求項1に記載の撮像装置。

[請求項3]

前記第4信号は、前記第1端子および前記第1電極のうちの前記一方に前記第1電圧が印加され、かつ、前記誘電率変調構造に光が照射されていない状態において前記検出回路から出力された信号である、

請求項 2 に記載の撮像装置。

[請求項4]

前記 1 以上の画素は、複数の画素であり、

前記複数の画素は、前記誘電率変調構造を覆う遮光層をさらに有するダミー画素を含み、

前記第 4 信号は、前記第 1 端子および前記第 1 電極のうちの前記一方に前記第 1 電圧が印加された状態にある前記ダミー画素の前記検出回路から出力された信号である、請求項 3 に記載の撮像装置。

[請求項5]

前記誘電率変調構造への光の入射および遮断を切り替えるメカニカルシャッタをさらに備え、

前記第 1 信号は、前記メカニカルシャッタが開とされた状態において前記検出回路から出力された信号であり、

前記第 4 信号は、前記第 1 端子および前記第 1 電極のうちの前記一方に前記第 1 電圧が印加され、かつ、前記メカニカルシャッタが閉とされた状態において前記検出回路から出力された信号である、請求項 3 に記載の撮像装置。

[請求項6]

前記第 4 信号は、前記第 1 端子および前記第 1 電極のうちの前記一方に印加される電圧が前記第 2 電圧から前記第 1 電圧に切り替えられた直後に前記検出回路から出力される信号である、請求項 2 に記載の撮像装置。

[請求項7]

光源をさらに備え、

前記光源は、前記第 1 期間に所定の波長域の光で被写体を照射し、

前記第 4 信号は、前記第 1 端子および前記第 1 電極のうちの前記一方に前記第 1 電圧が印加され、かつ、前記光源が消灯状態とされた状態で前記検出回路から出力された信号である、請求項 2 に記載の撮像装置。

[請求項8]

連続する 2 以上のフレーム期間において、前記検出回路による前記第 2 信号の読み出し回数は、前記検出回路による前記第 1 信号の読み出し回数よりも少ない、請求項 1 から 7 のいずれか一項に記載の撮像

装置。

- [請求項9] 前記第1端子および前記第2端子は、前記誘電率変調構造を挟む画素電極と透光性の対向電極との組であり、
前記誘電率変調構造は、
光電変換層と、
前記画素電極または前記対向電極と前記光電変換層との間に位置する電荷ブロッキング層と
を含む、請求項1から8のいずれか一項に記載の撮像装置。
- [請求項10] 前記光電変換層は、有機材料を含む、請求項9に記載の撮像装置。
- [請求項11] 前記第1端子および前記第2端子は、前記誘電率変調構造を挟む画素電極と透光性の対向電極との組であり、
前記誘電率変調構造は、
光の照射によって電荷対を発生させる量子ドットを含む層と、
前記画素電極または前記対向電極と量子ドットを含む前記層との間に位置する電荷ブロッキング層と
を含む、請求項1から8のいずれか一項に記載の撮像装置。
- [請求項12] 前記第1端子および前記第2端子は、前記誘電率変調構造を挟む画素電極と透光性の対向電極との組であり、
前記誘電率変調構造は、光の照射によって誘電率が変化する材料を含む層を有する、請求項1から8のいずれか一項に記載の撮像装置。
- [請求項13] 前記誘電率変調構造は、
前記対向電極と前記光電変換層との間に位置する第1電荷ブロッキング層と、
前記画素電極と前記光電変換層との間に位置する第2電荷ブロッキング層と
を含む、請求項9または10に記載の撮像装置。
- [請求項14] 前記誘電率変調構造は、
前記対向電極と量子ドットを含む前記層との間に位置する第1電

荷ブロッキング層と、

前記画素電極と量子ドットを含む前記層との間に位置する第2電荷ブロッキング層と

を含む、請求項11に記載の撮像装置。

[請求項15] 前記第1電荷ブロッキング層および前記第2電荷ブロッキング層は、絶縁層である、請求項13または14に記載の撮像装置。

[請求項16] 前記画素電極にソースおよびドレインの一方が電氣的に接続されたりセットトランジスタをさらに備え、

前記リセットトランジスタは、前記画素電極の電位をリセットするリセット電圧を前記第2期間に前記画素電極に供給する、請求項9から15のいずれか一項に記載の撮像装置。

[請求項17] 前記検出回路は、前記リセットトランジスタが前記画素電極の電位をリセットした後に、前記第2信号の読み出しを行う、請求項16に記載の撮像装置。

[請求項18] 前記電圧供給回路は、前記第2期間に前記第2電圧を前記誘電率変調素子の前記第1端子に印加し、

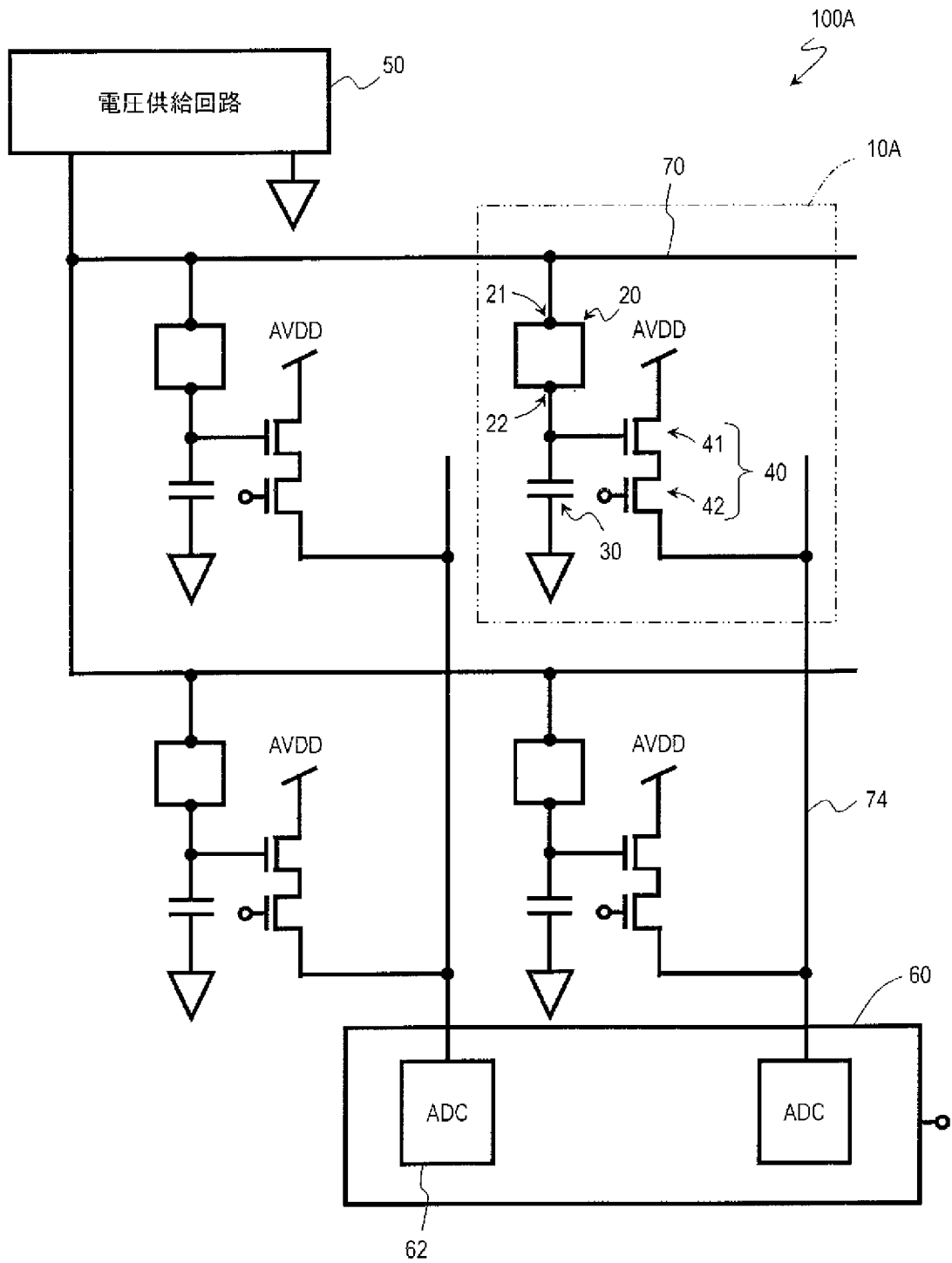
前記リセット電圧は、前記第2電圧に等しい、請求項16または17に記載の撮像装置。

[請求項19] 各画素の前記検出回路が形成された第1基板であって、前記誘電率変調素子を支持する第1基板と、

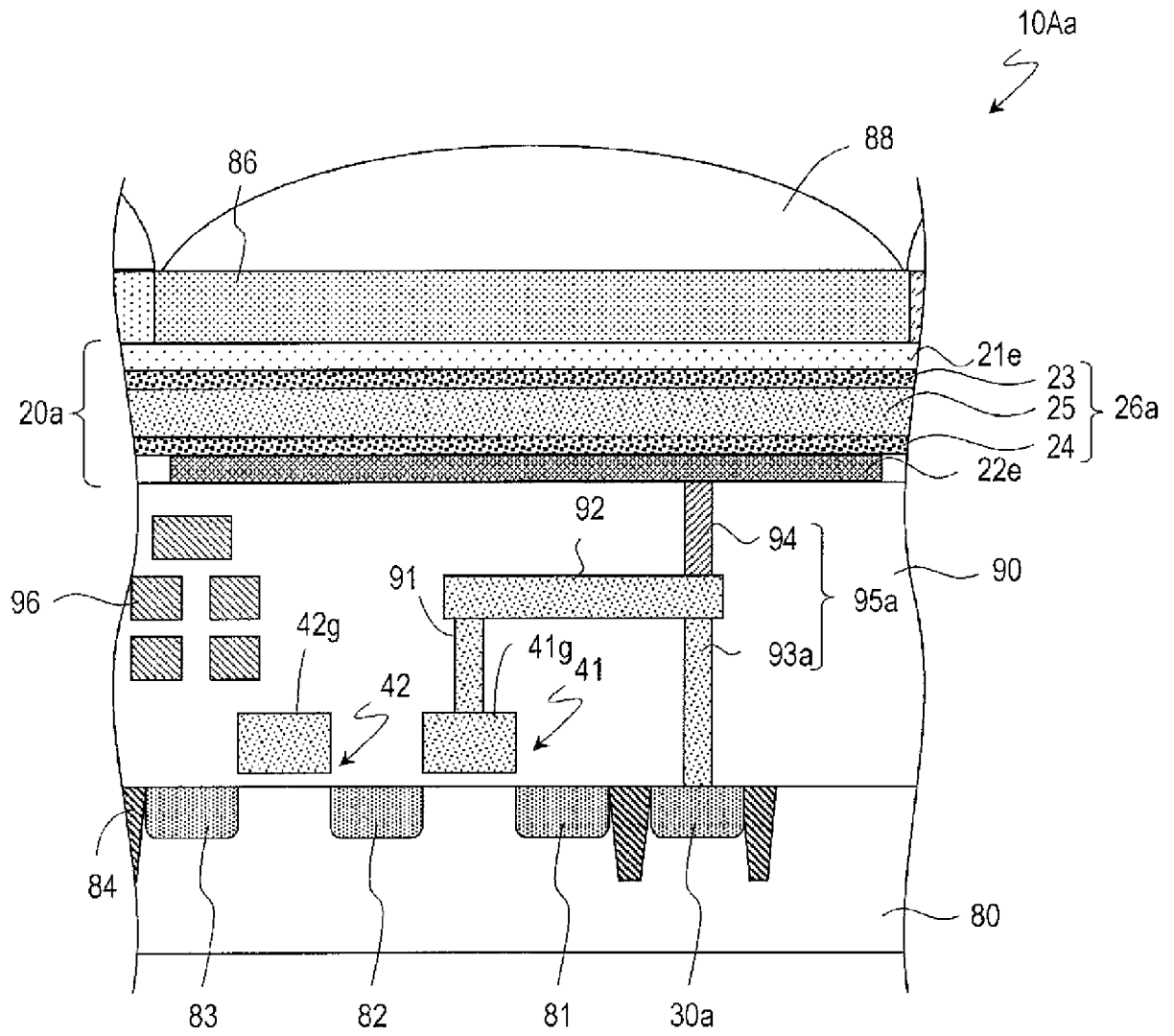
前記信号処理回路が形成された、前記第1基板とは異なる第2基板とをさらに備える、請求項1から18のいずれか一項に記載の撮像装置。

[請求項20] 前記第1期間と前記第2期間とは、同じ一つのフレーム期間内に含まれる、請求項1から19のいずれか一項に記載の撮像装置。

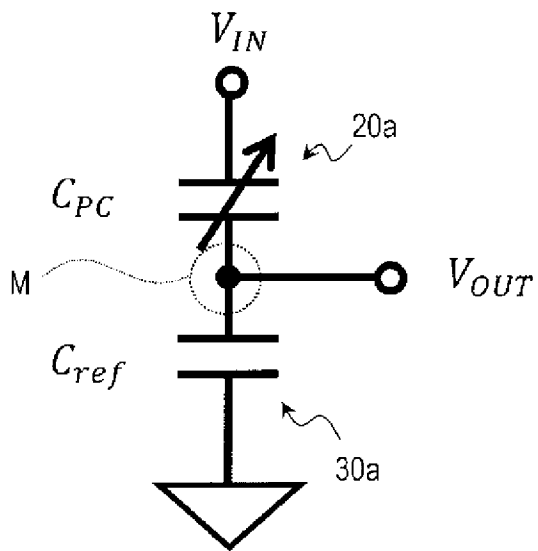
[図1]



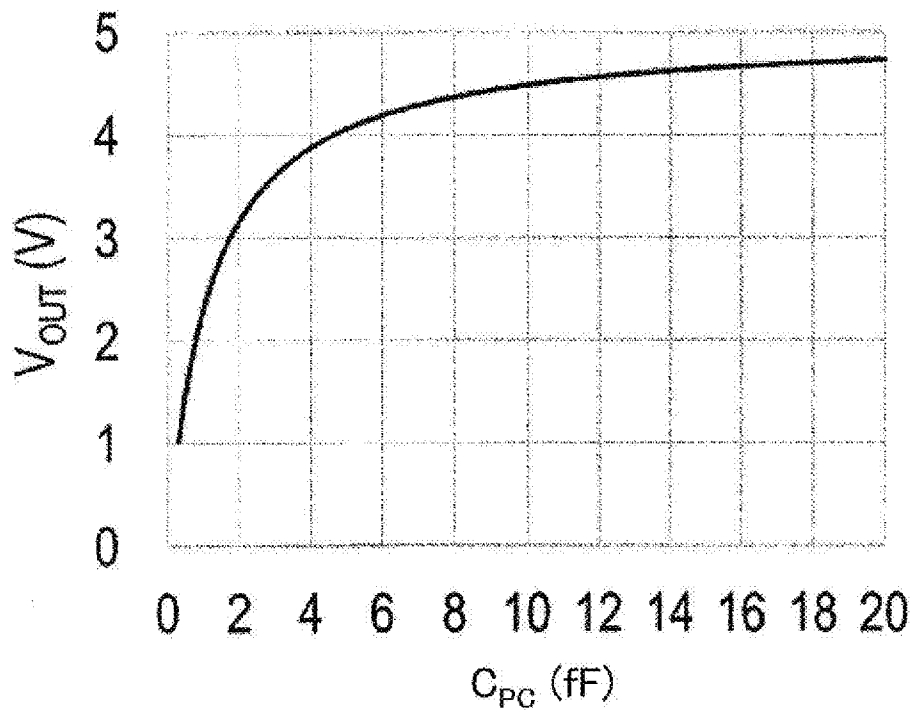
[図2]



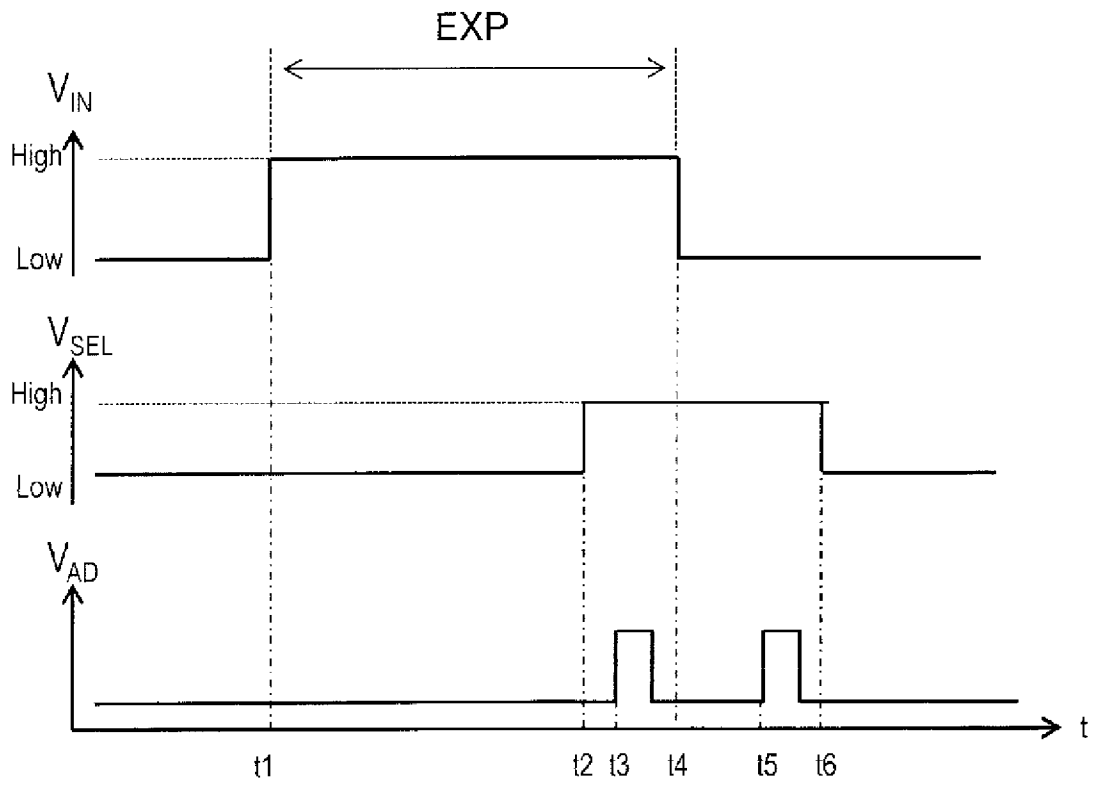
[圖3]



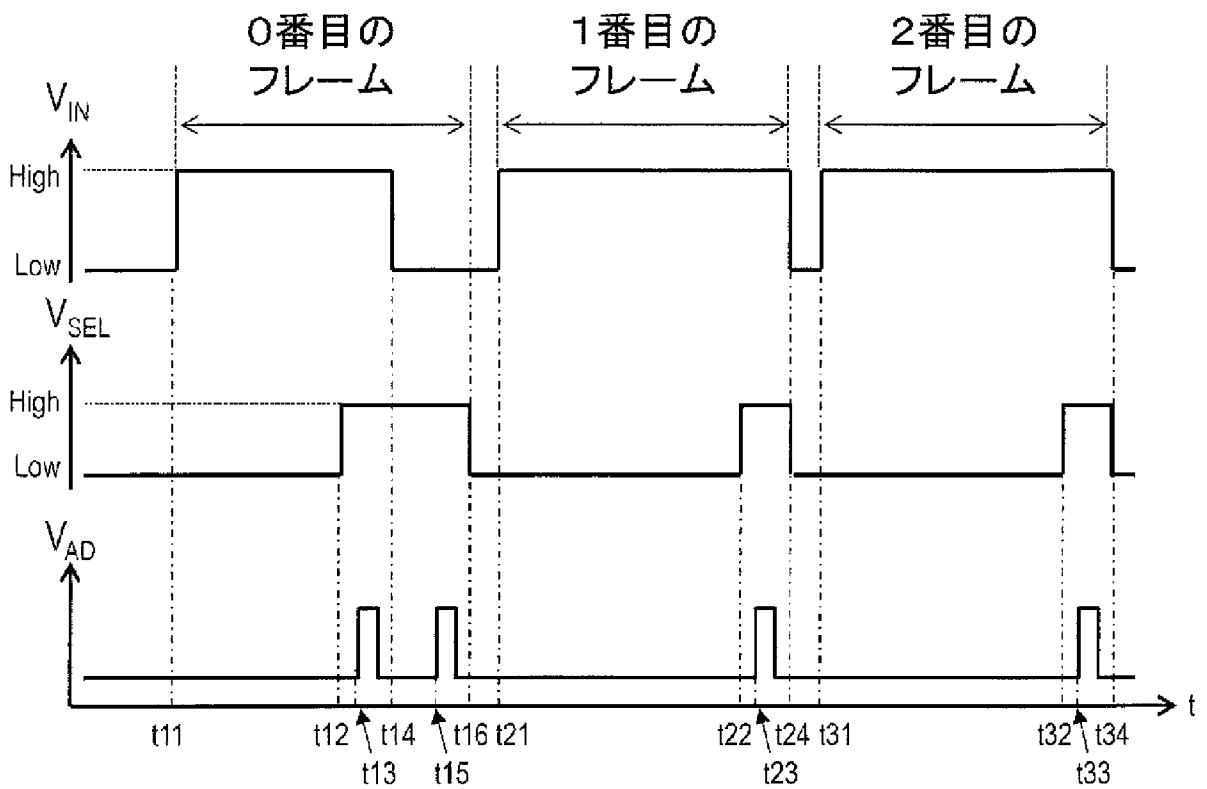
[圖4]



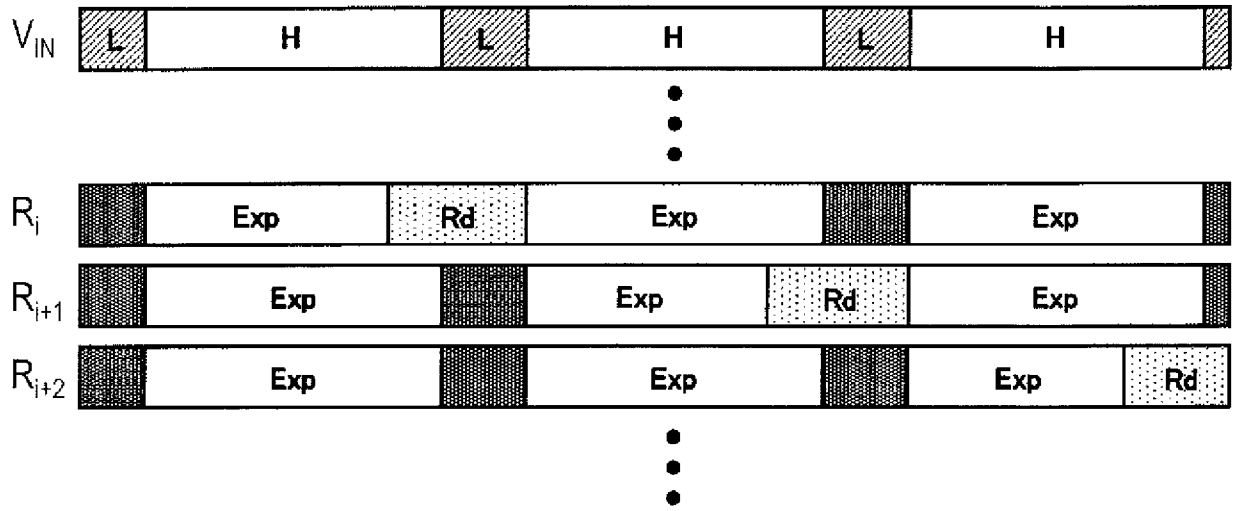
[図5]



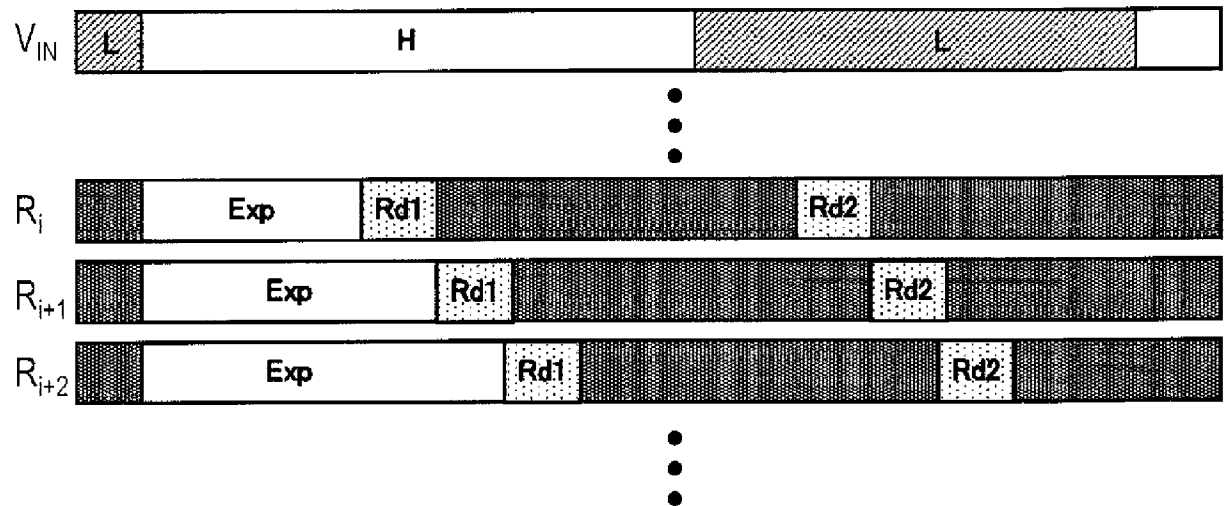
[図6]



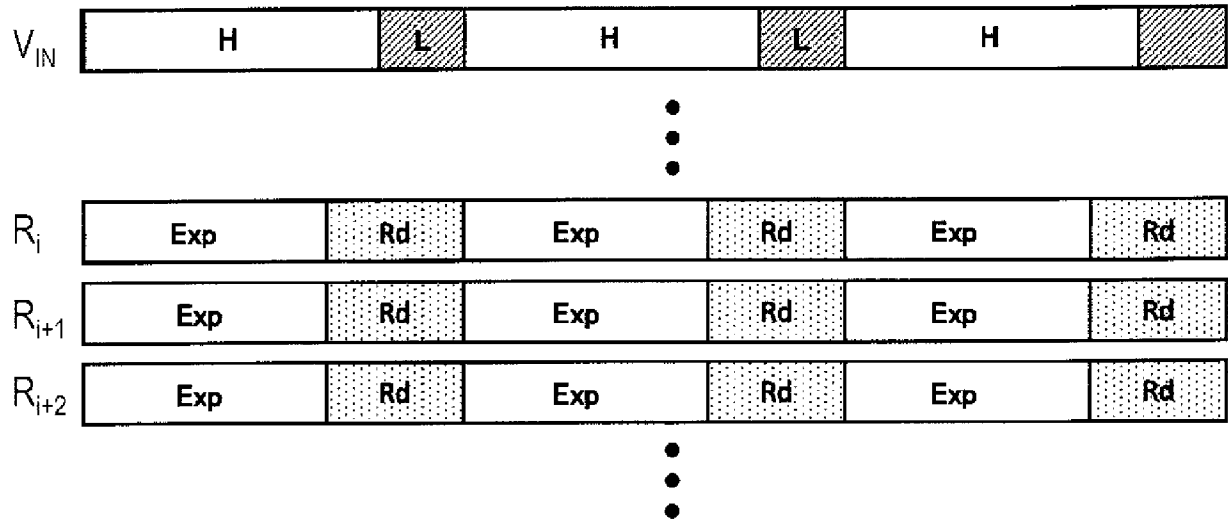
[図7]



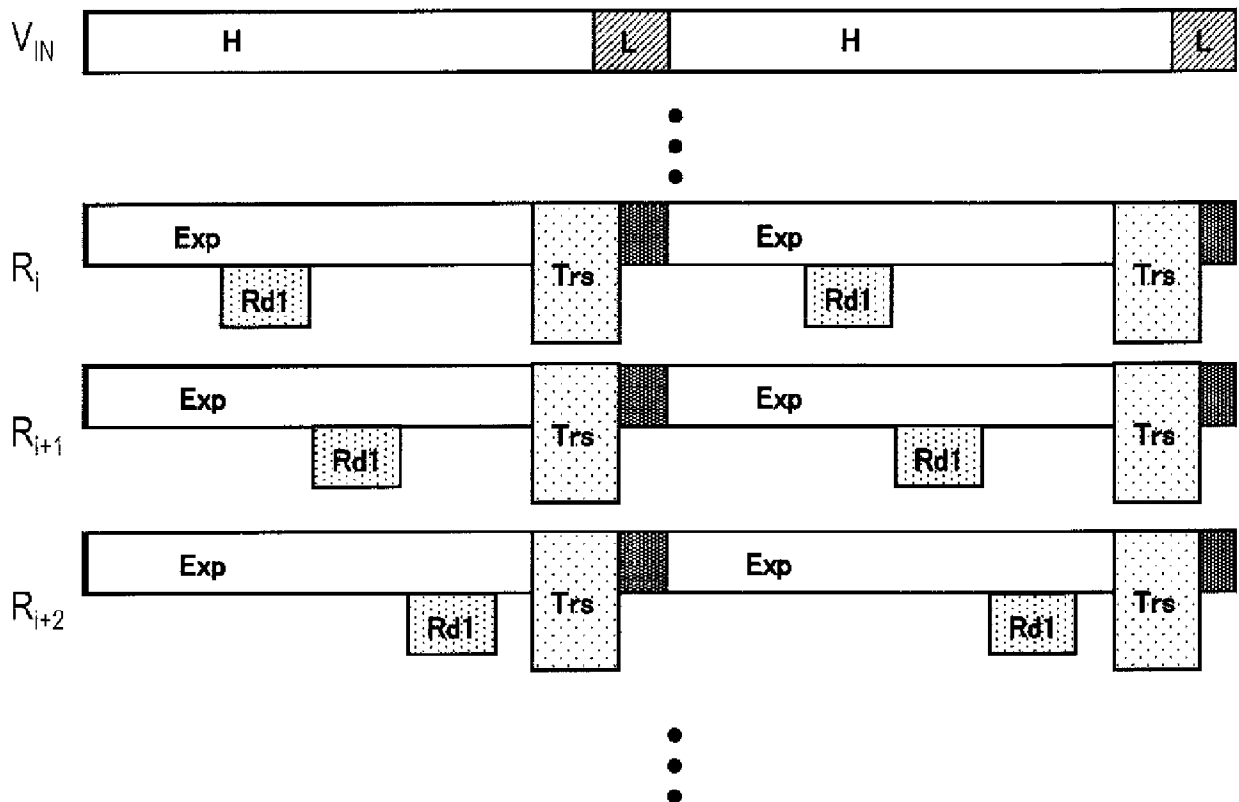
[図8]



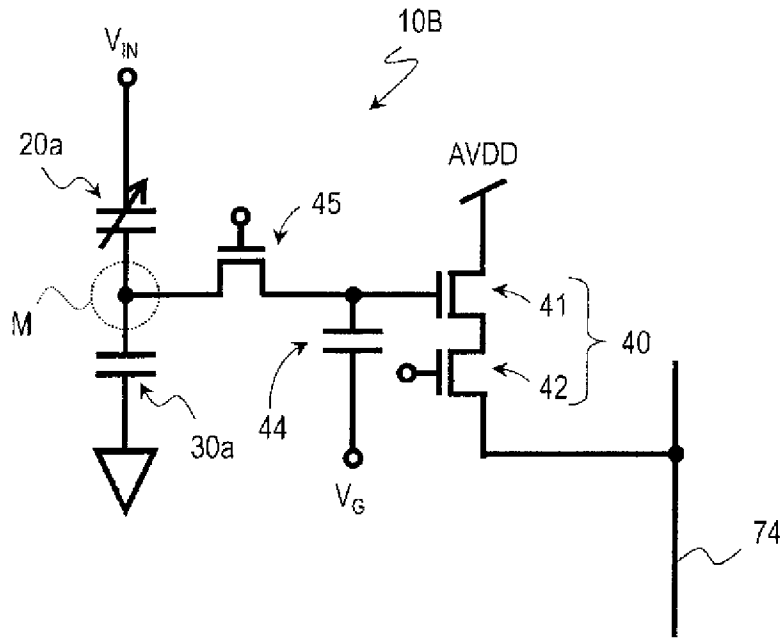
[図9]



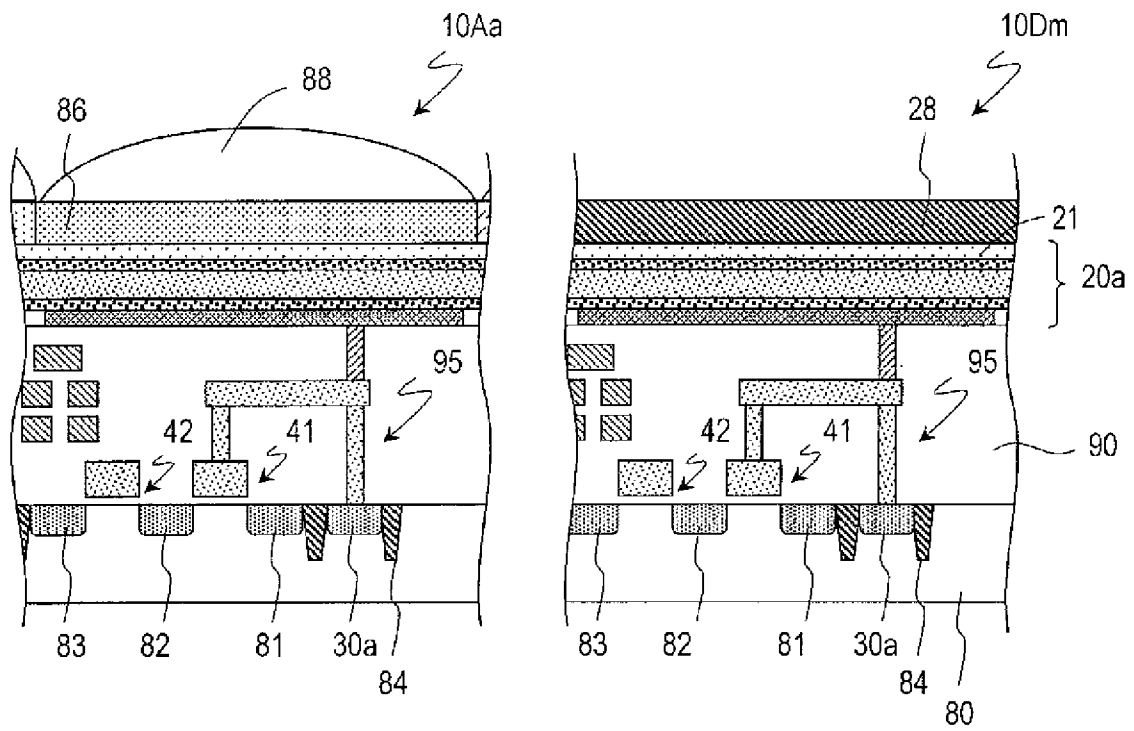
[図10]



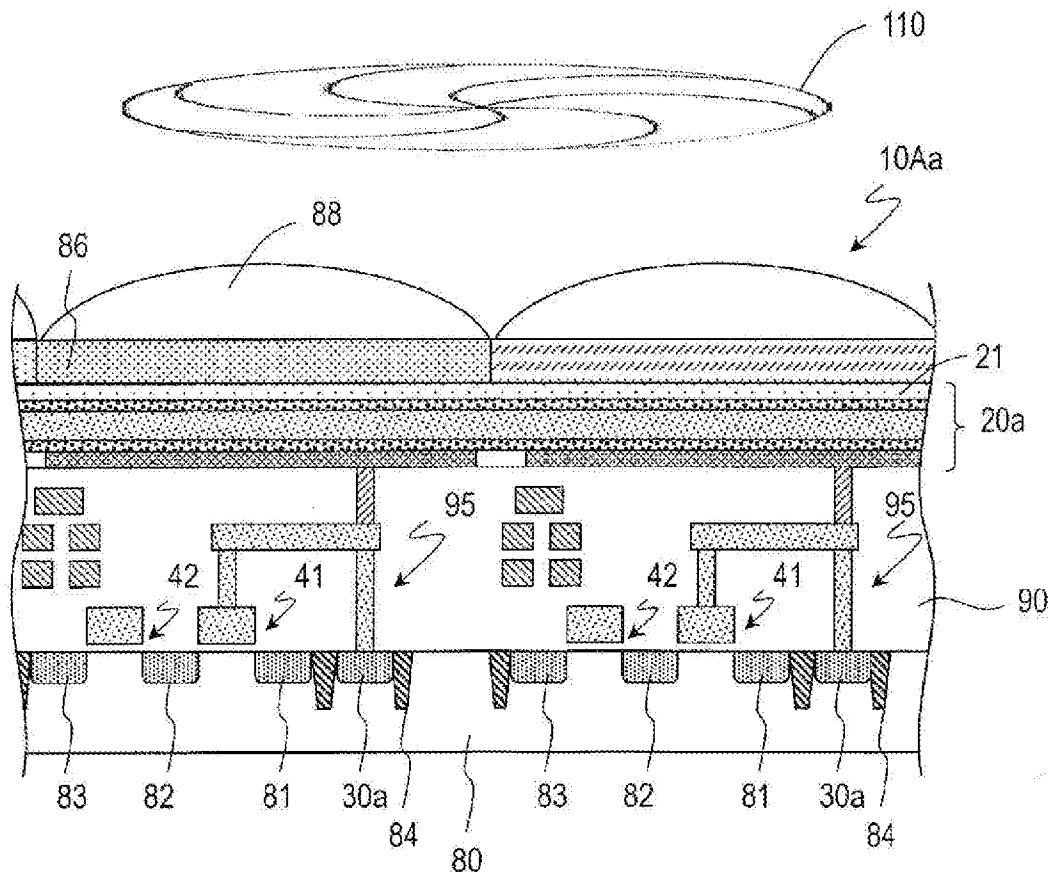
[図11]



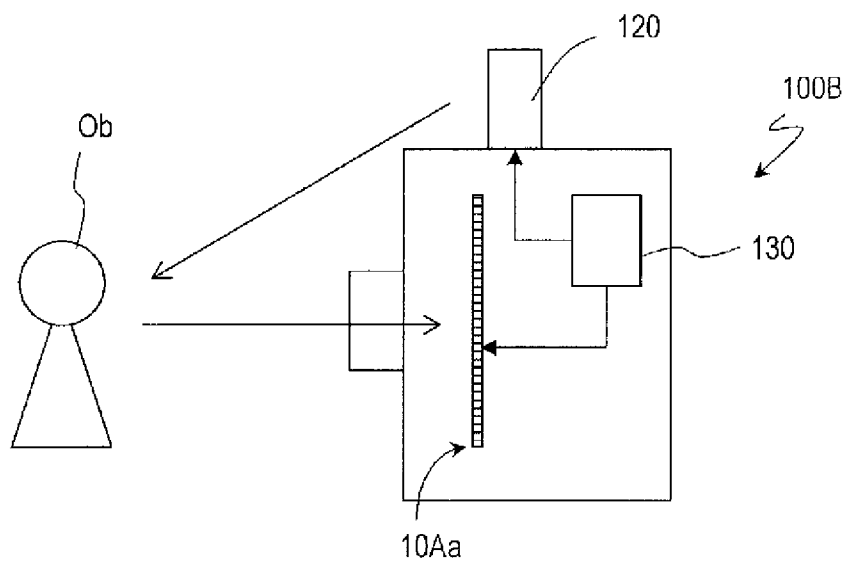
[図12]



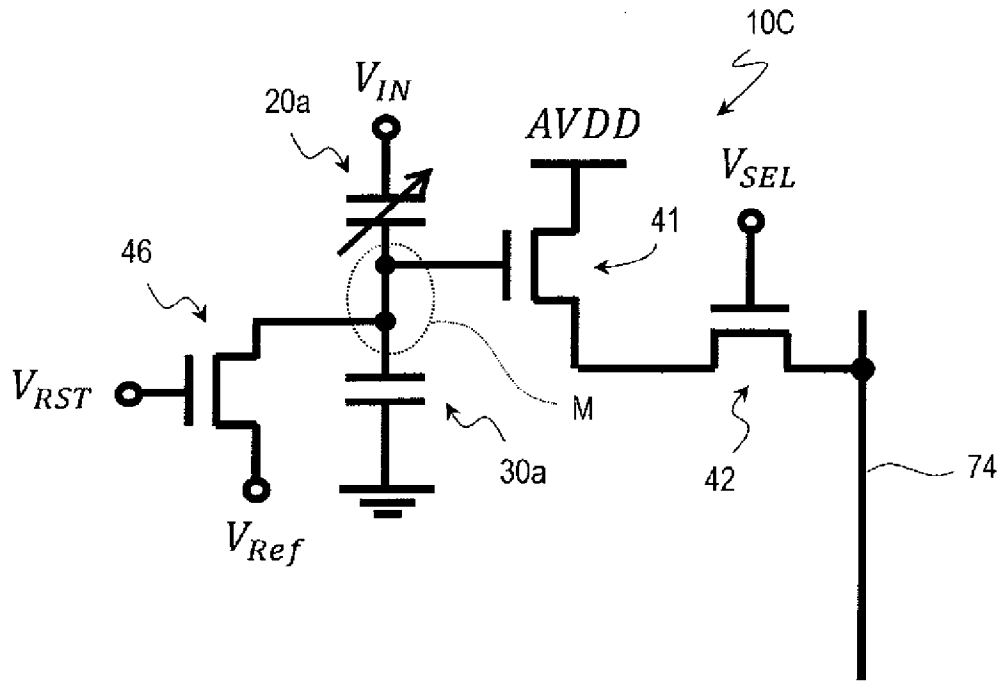
[図13]



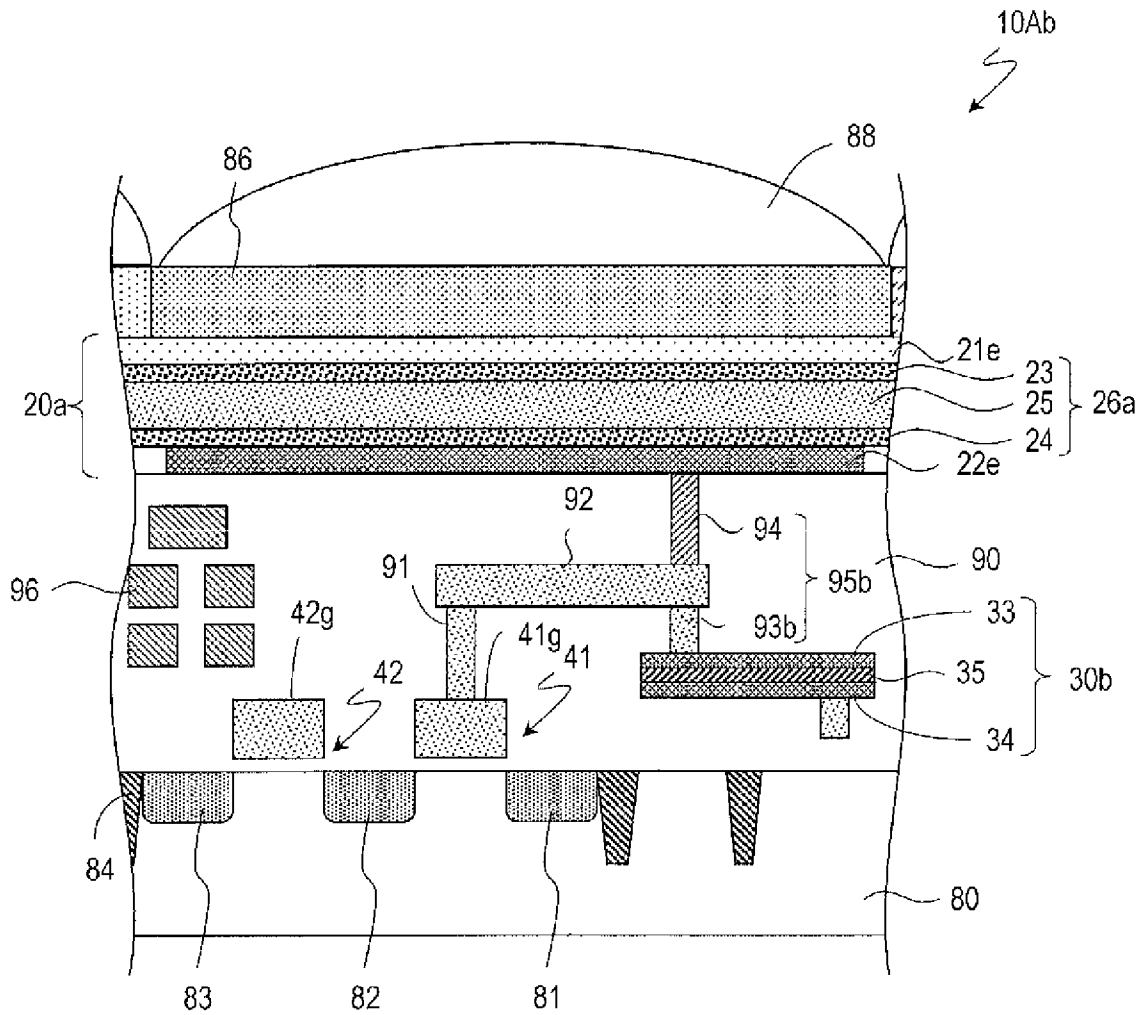
[図14]



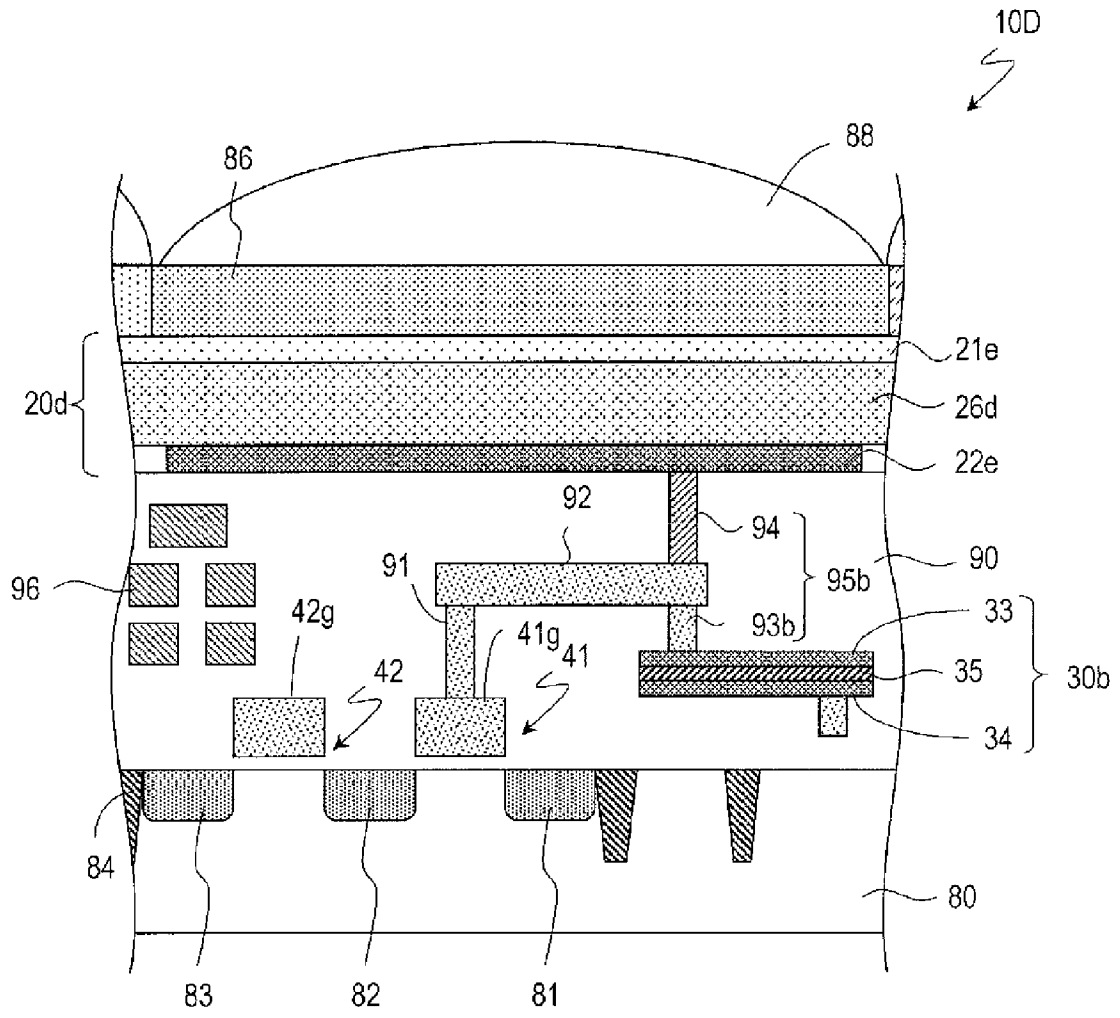
[図15]



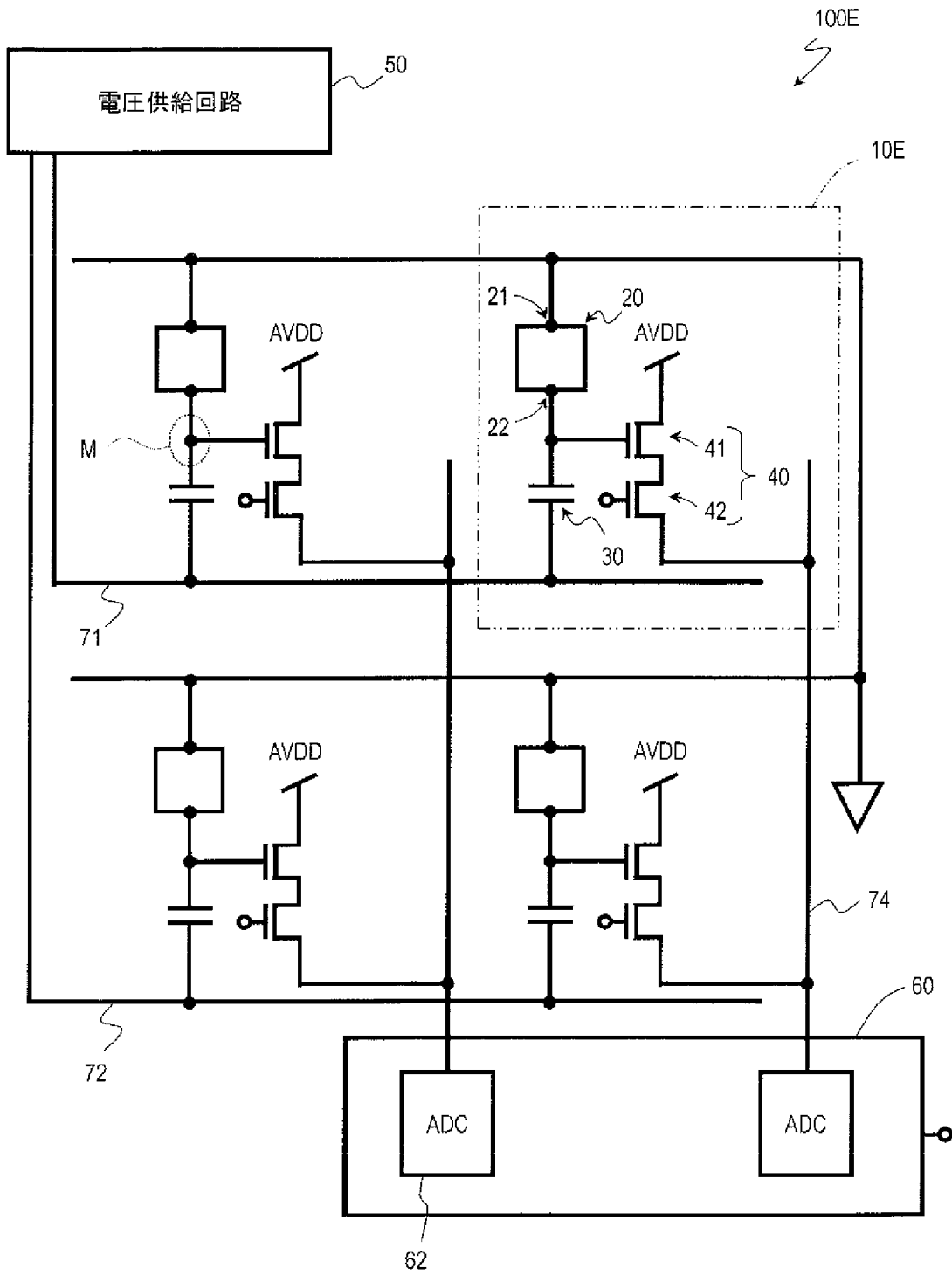
[図16]



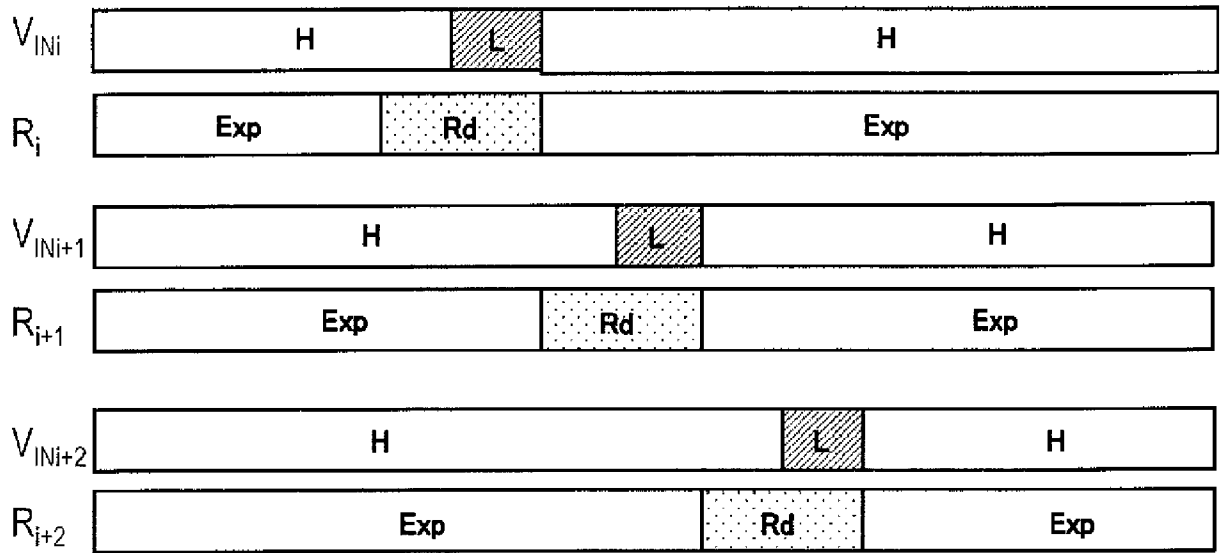
[図17]



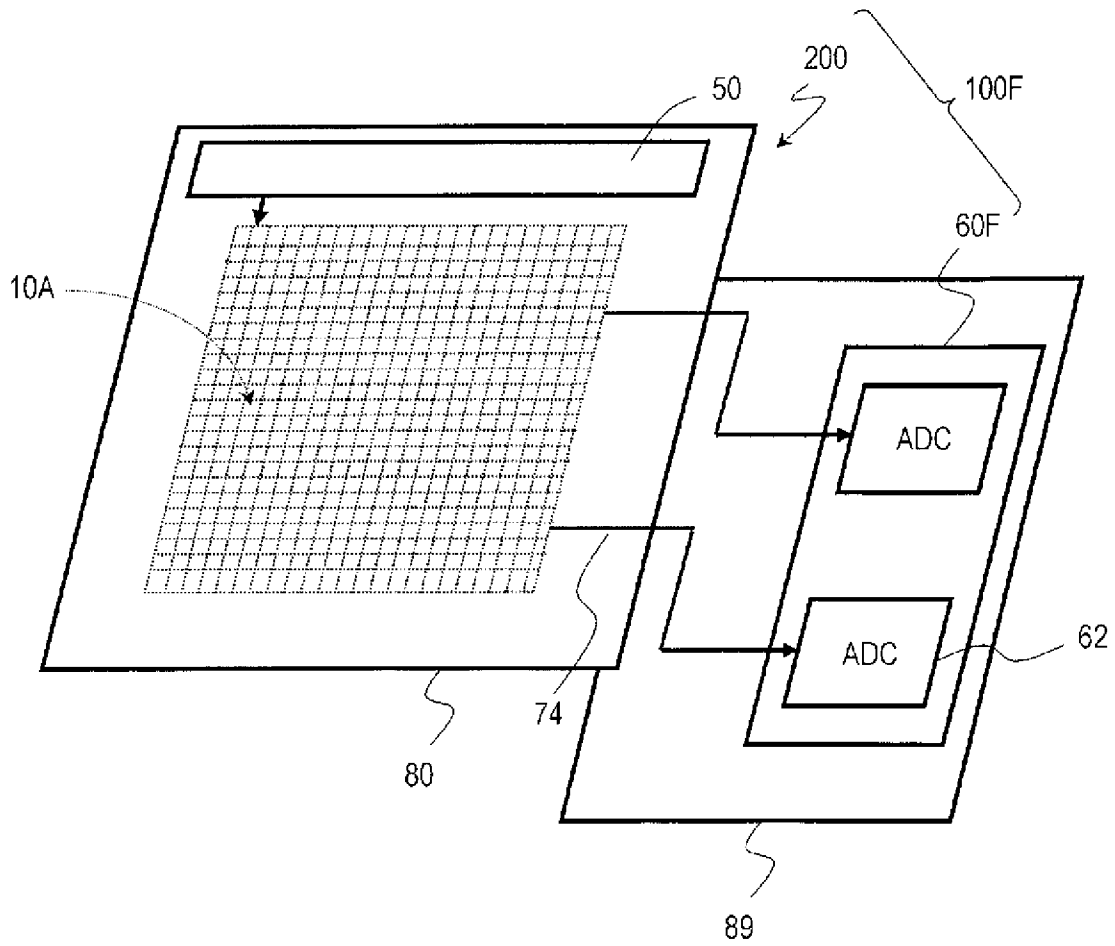
[図18]



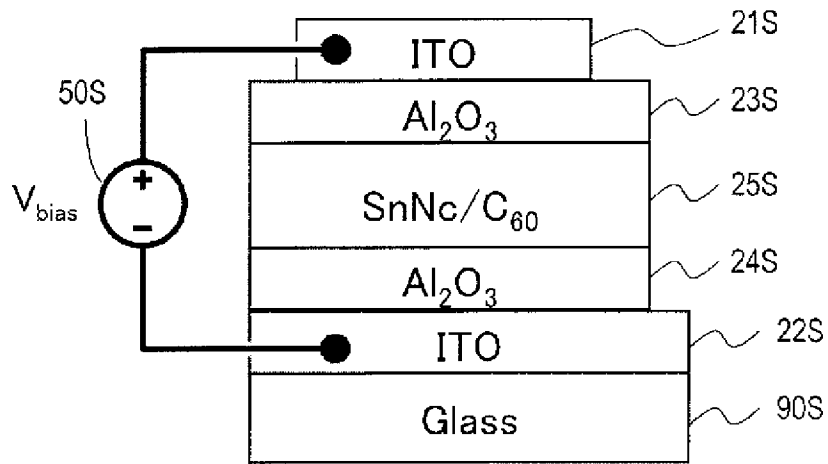
[図19]



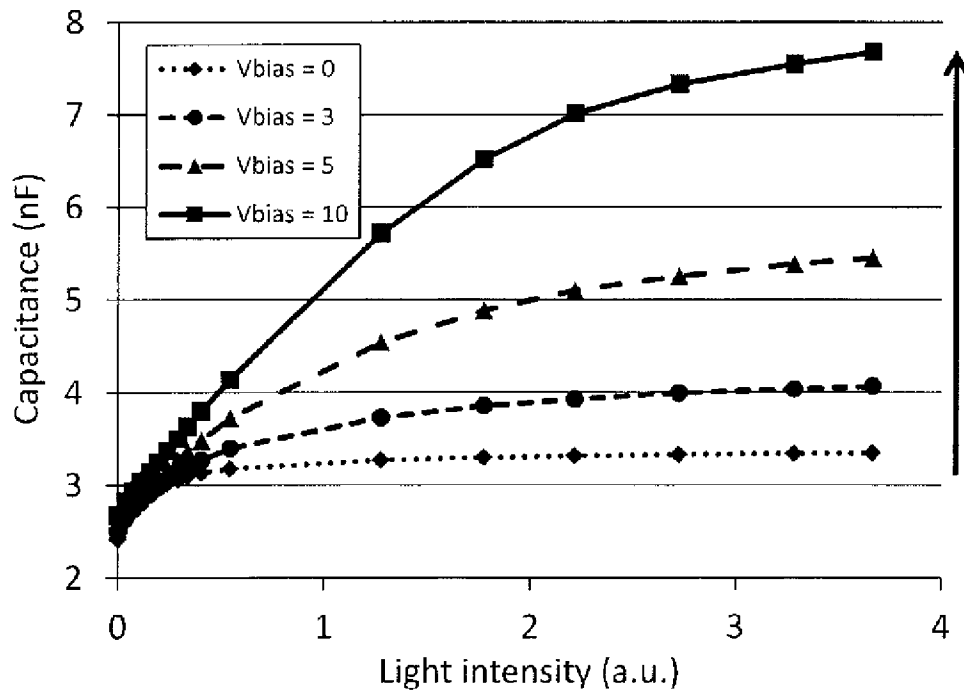
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/044808

A. CLASSIFICATION OF SUBJECT MATTER
 Int.Cl. H04N5/374 (2011.01) i, H01L27/146 (2006.01) i, H01L31/10 (2006.01) i,
 H01L51/42 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 Int.Cl. H04N5/374, H01L27/146, H01L31/10, H01L51/42

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | |
|--|-----------|
| Published examined utility model applications of Japan | 1922-1996 |
| Published unexamined utility model applications of Japan | 1971-2019 |
| Registered utility model specifications of Japan | 1996-2019 |
| Published registered utility model applications of Japan | 1994-2019 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | JP 2017-216459 A (PANASONIC IP MANAGEMENT CO., LTD.) 07 December 2017, paragraphs [0145]-[0176], fig. 13-20 & US 2017/0328776 A1, paragraphs [0188]-[0219], fig. 13-20 & WO 2017/081831 A1 & EP 3376543 A1 | 1-20 |
| A | JP 2017-175108 A (PANASONIC IP MANAGEMENT CO., LTD.) 28 September 2017, paragraphs [0047]-[0090], fig. 1-10 & US 2017/0272662 A1, paragraphs [0126]-[0169], fig. 1-10 | 1-20 |
| A | JP 2016-86407 A (PANASONIC IP MANAGEMENT CO., LTD.) 19 May 2016, paragraphs [0059]-[0131], fig. 1-11 & US 2016/0119562 A1, paragraphs [0055]-[0127], fig. 1-11 | 1-20 |

Further documents are listed in the continuation of Box C. See patent family annex.

| | |
|---|--|
| * Special categories of cited documents: | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "A" document defining the general state of the art which is not considered to be of particular relevance | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "E" earlier application or patent but published on or after the international filing date | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family |
| "O" document referring to an oral disclosure, use, exhibition or other means | |
| "P" document published prior to the international filing date but later than the priority date claimed | |

| | |
|--|--|
| Date of the actual completion of the international search 26 February 2019 (26.02.2019) | Date of mailing of the international search report 05 March 2019 (05.03.2019) |
|--|--|

| | |
|--|---|
| Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan | Authorized officer Telephone No. |
|--|---|

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H04N5/374(2011.01)i, H01L27/146(2006.01)i, H01L31/10(2006.01)i, H01L51/42(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H04N5/374, H01L27/146, H01L31/10, H01L51/42

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|-------------|------------|
| 日本国実用新案公報 | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2019年 |
| 日本国実用新案登録公報 | 1996-2019年 |
| 日本国登録実用新案公報 | 1994-2019年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
|-----------------|---|----------------|
| A | JP 2017-216459 A (パナソニック IPマネジメント株式会社) 2017.12.07, 段落[0145]-[0176], 図 13-20 & US 2017/0328776 A1, 段落[0188]-[0219], 図 13-20 & WO 2017/081831 A1 & EP 3376543 A1 | 1-20 |
| A | JP 2017-175108 A (パナソニック IPマネジメント株式会社) 2017.09.28, 段落[0047]-[0090], 図 1-10 & US 2017/0272662 A1, 段落[0126]-[0169], 図 1-10 | 1-20 |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

| | |
|---|--|
| * 引用文献のカテゴリー | の日の後に公表された文献 |
| 「A」特に関連のある文献ではなく、一般的技術水準を示すもの | 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの |
| 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの | 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの |
| 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) | 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」口頭による開示、使用、展示等に言及する文献 | 「&」同一パテントファミリー文献 |
| 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 | |

| | | | |
|--|---------------------------|----|------|
| 国際調査を完了した日 26.02.2019 | 国際調査報告の発送日 05.03.2019 | | |
| 国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号 | 特許庁審査官 (権限のある職員) 橋 高志 | 5V | 8391 |
| | 電話番号 03-3581-1101 内線 3571 | | |

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|---|----------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| A | JP 2016-86407 A (パナソニック I P マネジメント株式会社) 2016.05.19, 段落[0059]-[0131], 図 1-11 & US 2016/0119562 A1, 段落[0055]-[0127], 図 1-11 | 1-20 |