

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-117397

(P2008-117397A)

(43) 公開日 平成20年5月22日(2008.5.22)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 1/26 (2006.01)	G06F 1/00 330C	5B011
G06F 1/32 (2006.01)	G06F 1/00 332Z	5B062
G06F 15/78 (2006.01)	G06F 15/78 510P	

審査請求 有 請求項の数 30 O L (全 13 頁)

(21) 出願番号	特願2007-281947 (P2007-281947)	(71) 出願人	593096712 インテル コーポレーション アメリカ合衆国 95052 カリフォル ニア州 サンタ クララ ミッション カ レッジ ブールバード 2200
(22) 出願日	平成19年10月30日(2007.10.30)	(74) 代理人	100070150 弁理士 伊東 忠彦
(31) 優先権主張番号	11/555, 609	(74) 代理人	100091214 弁理士 大貫 進介
(32) 優先日	平成18年11月1日(2006.11.1)	(74) 代理人	100107766 弁理士 伊東 忠重
(33) 優先権主張国	米国 (US)	(72) 発明者	スティーヴン ガンサー アメリカ合衆国 97007 オレゴン州 ビーヴァートン サウスウェスト 18 7ス アヴェニュー 8310 最終頁に続く

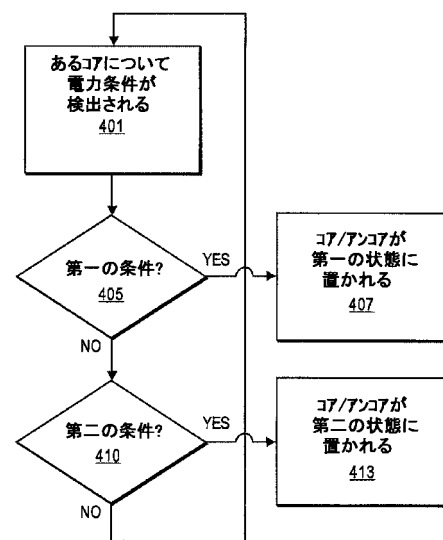
(54) 【発明の名称】 プロセッシング・コアの独立電力制御

(57) 【要約】

【課題】二つ以上のプロセッシング・コアの独立した電力制御。より具体的には、本発明の少なくとも一つの実施形態は、少なくとも一つのプロセッシング・コアを、一つまたは複数の他のプロセッシング・コアの電力状態と協調することなく、ある電力状態に置く技術に係る。

【解決手段】第二のプロセッシング・コアとは独立に第一のプロセッシング・コアの電力消費を制御する電力制御論理を設ける。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

第一のプロセッシング・コアと；
第一のプロセッシング・コアに結合された第二のプロセッシング・コアと；
第二のプロセッシング・コアとは独立に第一のプロセッシング・コアの電力消費を制御する電力制御論理とを有する装置。

【請求項 2】

前記電力制御論理が第一のプロセッシング・コアを複数の電力状態のうちの任意の状態に置く、請求項 1 記載の装置。

【請求項 3】

前記複数の電力状態のうちある第一のものが、第一のプロセッシング・コアをデータ保持電力状態にするものである、請求項 2 記載の装置。

【請求項 4】

前記複数の電力状態のうちある第二のものが、第一のプロセッシング・コアおよび出力を無効にするものである、請求項 3 記載の装置。

【請求項 5】

前記第一のコアによっても前記第二のコアによっても実行されない機能を実行する少なくとも一つのアンコア論理をさらに有する、請求項 1 記載の装置。

【請求項 6】

前記電力制御論理が、前記少なくとも一つのアンコア論理を複数の電力状態のうちの任意の状態に置く、請求項 5 記載の装置。

【請求項 7】

前記複数の電力状態のうちある第一のものが、少なくとも一つのアンコア論理をデータ保持電力状態にするものである、請求項 6 記載の装置。

【請求項 8】

前記複数の電力状態のうちある第二のものが、前記少なくとも一つのアンコア論理を無効にするものである、請求項 7 記載の装置。

【請求項 9】

複数のプロセッシング・コアを有するシステムであって：各プロセッシング・コアは前記複数のプロセッシング・コアのうち残りのもののいずれの電力状態にも関わりなく複数の電力状態に置かれることができ、該複数の電力状態は前記複数のプロセッシング・コアのうち少なくとも一つをプロセッシング・コアのうち前記少なくとも一つ以外の残りとは異なるある第一の電力状態に置くことを含む、システム。

【請求項 10】

前記複数の電力状態が、前記複数のプロセッシング・コアのうち少なくとも一つを無効状態に置くことを含む、請求項 9 記載のシステム。

【請求項 11】

前記複数のプロセッシング・コアのうち前記少なくとも一つが、該複数のプロセッシング・コアのうち前記少なくとも一つの、少なくとも一つの機能ブロック (FUB) が受ける電圧の変化を引き起こす助けとなるパワー・トランジスタを含む、請求項 10 記載のシステム。

【請求項 12】

前記複数のプロセッシング・コアのうち前記少なくとも一つが、前記少なくとも一つの FUB が受けるクロック信号の変化を引き起こす位相ロック・ループ (PLL) を含む、請求項 11 記載のシステム。

【請求項 13】

前記複数の電力状態が、前記電圧を変化させることによって達成される、請求項 12 記載のシステム。

【請求項 14】

前記複数の電力状態が、前記クロック信号を変化させることによって達成される、請求

10

20

30

40

50

項 1 2 記載のシステム。

【請求項 1 5】

前記複数の電力状態が、前記電圧および前記クロック信号を変化させることによって達成される、請求項 1 2 記載のシステム。

【請求項 1 6】

前記複数のコアのうち少なくとも二つを含む少なくとも一つのマルチコア・プロセッサをさらに含んでいる、請求項 9 記載のシステム。

【請求項 1 7】

前記複数のコアのうち一つを含む少なくとも一つの単一コア・プロセッサをさらに含んでいる、請求項 9 記載のシステム。

10

【請求項 1 8】

電力に関係したある条件を示す第一の信号を受領する段階と；

前記第一の信号を受領するのに反応して、複数のプロセッシング・コアのうちの一つを複数の電力状態のうちの一つに置く段階とを有する方法であって、複数の電力状態のうちの前記一つは前記複数のプロセッシング・コアのうちの他のものの他の電力状態とは独立である、方法。

【請求項 1 9】

前記第一の信号がある第一の電力状態に対応する場合、前記複数の電力状態のうちの前記一つが、前記複数のプロセッシング・コアのうちの前記一つがデータ保持状態にあり、前記複数のプロセッシング・コアのうちの前記一つ以外の残りが通常の動作状態にあるという出力を含む、請求項 1 8 記載の方法。

20

【請求項 2 0】

前記第一の信号がある第二の電力状態に対応する場合、前記複数の電力状態のうちの前記一つが、前記複数のプロセッシング・コアのうちの前記一つを無効にすることを含み、請求項 1 9 記載の方法。

【請求項 2 1】

前記複数のプロセッシング・コアのうちの前記一つが受ける電圧を調整することをさらに含む、請求項 2 0 記載の方法。

【請求項 2 2】

前記複数のプロセッシング・コアのうちの前記一つが受けるクロック信号を調整することをさらに含む、請求項 2 0 記載の方法。

30

【請求項 2 3】

前記複数のプロセッシング・コアのうちの前記一つが受けるクロック信号および電圧を調整することをさらに含む、請求項 2 0 記載の方法。

【請求項 2 4】

前記複数のプロセッシング・コアが ACPI 規格に従って定義されたものである、請求項 1 8 記載の方法。

【請求項 2 5】

それぞれが対応する出力を有する少なくとも二つのプロセッシング・コアと；

前記少なくとも二つのプロセッシング・コアのうちのある第一のプロセッシング・コアの電力状態を、前記少なくとも二つのプロセッシング・コアのうちのある第二のプロセッシング・コアの電力状態とは独立に変更する電力制御論理とを有するプロセッサであって、前記第一のプロセッシング・コアが、該第一のプロセッシング・コアへの電圧を調整する少なくとも一つのパワー・トランジスタと、該第一のプロセッシング・コアが受けるクロック信号を調整する少なくとも一つの位相ロック・ループ (PLL) を含んでいる、プロセッサ。

40

【請求項 2 6】

前記少なくとも二つのプロセッシング・コアのうち前記第二のプロセッシング・コアが、前記少なくとも二つのプロセッシング・コアのうち前記第一のプロセッシング・コアと共有されていない少なくとも一つのパワー・トランジスタおよび少なくとも一つの PLL を有する、請求項 2 5 記載のプロセッサ。

50

【請求項 27】

前記少なくとも二つのプロセッシング・コアのうち前記第二のプロセッシング・コアが、前記少なくとも二つのプロセッシング・コアのうち前記第一のプロセッシング・コアと共有されていない電力制御論理を含む、請求項 26 記載のプロセッサ。

【請求項 28】

前記少なくとも二つのプロセッシング・コアのうち前記第一のプロセッシング・コアが、データ保持電圧を受け取る電力状態に置かれ、前記少なくとも二つのプロセッシング・コアのうち前記第一のプロセッシング・コア以外の残りが通常の動作電圧を受け取る、請求項 25 記載のプロセッサ。

【請求項 29】

前記少なくとも二つのプロセッシング・コアのうち前記第一のプロセッシング・コアおよびその対応する出力が無効にされる、請求項 25 記載のプロセッサ。

【請求項 30】

他のコアまたは論理に関わりなくある電力状態に置かれるアンコア論理をさらに有する、請求項 25 記載のプロセッサ。

【発明の詳細な説明】**【技術分野】****【0001】**

本開示は、コンピューティングおよびコンピュータ・システムに係り、より特定的にはマイクロプロセッサの電力制御の分野に係る。

【背景技術】**【0002】**

いくつかのコンピューティング・システムおよびマイクロプロセッサは、プログラムの命令を実行し、それに応じて何らかの機能を実行する複数のプロセッシング要素すなわち「コア」を含むことがある。たとえば、複数のプロセッシング・コアが同じプロセッサ・ダイの上存在することがある。代替的または結合的に、いくつかのコンピュータ・システムは、それぞれが一つまたは複数のプロセッシング・コアを有する複数のプロセッサを含むことがある。さらに、いくつかのコンピュータ・システムおよびマイクロプロセッサは、一つまたは複数のプロセッシング・コアの電力消費を、コアをさまざまな電力状態に置くことによって制御できることがある。該電力状態は、ACPI（定義済み）または他の何らかの規格といった電力規格に従って定義されうる。

【発明の開示】**【発明が解決しようとする課題】****【0003】**

しかしながら、プロセッシング・システムおよびマイクロプロセッサは、各プロセッシング・コアの電力状態を独立して制御できないこともあるが、システムまたはプロセッサ内に存在しているさまざまなコアの間での電力状態変化を、他のプロセッシング・コアの電力状態をポーリングするとか、あるいはそれ以外でも何らかの方法で他のコアの電力状態を検出するといった技法を使うことによって調整しなければならない。したがって、あるプロセッシング・コアの電力状態が、コンピューティング・システムまたはプロセッサ内の少なくとも一つの他のプロセッシング・コアに依存することがある。

【0004】

いくつかのプロセッシング・システムまたはプロセッサは、特定のコアのプロセッシング状態を制御するために一つまたは複数のコアのプロセッシング状態に頼ることがあるので、該システムまたはプロセッサは、コアの電力状態を変えるために追加的な制御回路を必要とすることがある。さらに、特定のプロセッシング・コアの電力状態を変えることができるようになる前に他のプロセッシング・コアの電力状態をポーリングまたはそれ以外で検出することは、コアのプロセッサ状態が変更されうるまでに追加的な時間を要求することがあり、それは処理パフォーマンスを劣化させることがありうる。皮肉なことに、あるプロセッシング・コアの電力状態変化を一つまたは複数の他のプロセッシング・コアと調整するために

10

20

30

40

50

必要とされる前記追加的な回路が、プロセッサまたはシステムをしてより多くの電力を引き出させることになりえ、それにより、電力を節約するために意図された低減電力状態変化の電力消費低減を少なくとも部分的に打ち消してしまう。

【0005】

本発明は、限定ではなく例として、付属の図面において例示されている。

【発明を実施するための最良の形態】

【0006】

本発明の実施形態はコンピュータ・システムに関する。より具体的には、本発明のいくつかの実施形態は二つ以上のプロセッシング・コアまたはコア部分の電力消費を互いに独立して制御する技法に関する。本発明の少なくとも一つの実施形態は、少なくとも一つのプロセッシング・コアが、同じプロセッサまたはコンピューティング・システム内の少なくとも一つの他のプロセッシング・コアの電力状態への考慮なしにいくつかの電力状態にはいれるようにする。少なくとも一つの実施形態は、一つまたは複数のコア内の回路または機能ブロックの独立な電力制御を可能にする。

10

【0007】

本発明の少なくとも一つの実施形態は、コアが使用する一つもしくは複数のクロックおよび/または動作電圧を調整することによって一つまたは複数のコアの電力消費を制御しうる。たとえば、ある実施形態は、プロセッサまたはプロセッシング・コアの一つまたは複数の部分への電圧を制御するために、有効または無効にする制御論理、電圧変圧器、チャージポンプまたは他の何らかの電圧変更機構を使用しうる。代替的または結合的に、ある実施形態は、プロセッサまたはプロセッシング・コアの一つまたは複数の部分を動作させるのに使われる一つまたは複数のクロック信号の周波数、位相、継続時間(duration)などを制御するために、一つまたは複数の位相ロック・ループ(PLL)を有効または無効にする制御論理、クロック分割器または他の何らかのクロック・ゲーティング機構を使用しうる。

20

【0008】

さらに、プロセッサまたはコアのようなプロセッシング・コンポーネントの電力消費の制御は、ある規格によれば、オペレーティング・システムまたは他のソフトウェアもしくはハードウェアが該コンポーネントを一つまたは複数の電力状態に置くことを、電力消費変化の差、比または範囲が他の電力消費状態との関係で知られうるような形でなしうるように行われる。そのような規格の一つがACPI電力規格であり、これはなかでも、該コンポーネントを特定の電力状態に置くことによって該コンポーネントによって消費される電力が他のコンポーネントの電力状態との関係で変化する範囲に従って、いくつかのコンポーネント電力状態(または「c状態」)を定義しうる。プロセッシング・コアのようなコンポーネントは、クロック、動作電圧またはその両方を調節することによって、規格によって定義されたいくつかの電力消費範囲をサポートできうる。

30

【0009】

たとえばACPIの場合、ある実施形態によれば、処理コアは「c3」状態にはいる機能をサポートしうる。この状態では、コアまたはプロセッサの動作電圧は、該動作電圧の間出力データを変えるよりは状態を保持するための最低レベルに低下させられる。他の実施形態では、プロセッサおよび/またはコアによって、ACPI規格または他の何らかの規格のいずれかに含まれている他の電力状態がサポートされうる。

40

【0010】

本発明の少なくとも一つの実施形態は、同じシステムまたはダイ内の別のプロセッサやコアを顧慮することなく、かつそうした別のプロセッサやコアと最初に調整することなく、プロセッサまたはプロセッシング・コアをある特定の電力状態(ACPIまたはその他によって定義された)に置きうる。有利なことに、本発明の実施形態は、プロセッサまたはコアの電力状態を変えるのに必要な時間および/または論理を減らしつつ、従来技術のいくつかよりもより大なる電力制御柔軟性を享受しうる。

【0011】

50

図1は、本発明の少なくとも一つの実施形態が使用されうるマルチコア・プロセッサを示している。具体的には、図1は、同じダイ内に統合されているプロセッシング・コア105および110を有するプロセッサ100を示している。他の実施形態では、複数のコアは別個のダイ上にあってもよいし、あるいは別個のプロセッサ内にあってもよい。さらに、本発明の実施形態は、三つ以上のコアまたはプロセッサを有するプロセッサまたはシステムにも適用されうる。図1のコアの厳密な配置または配位は本発明の実施形態にとって重要ではない。いくつかの実施形態では、多数のコアが、リングなど他の配位で配置されうる。図1の各コア内には、各コアによって消費される電力を制御する電力コントローラが位置している。他の実施形態では、各コアの電力はプロセッサ外も含めて他所に位置する論理（ソフトウェア、ハードウェアまたはその両方）によって制御されてもよい。

10

【0012】

図1のコア内には、処理命令のためのパイプライン段が示されている。他の実施形態では、コア内に他の論理が見出されてもよい。ある実施形態では、コアはアウトオブオーダー実行コアであるが、他の実施形態では命令を順序通りに処理するのでもよい。さらに、他の実施形態では、複数のコアは、その内部に位置する論理が異なる種々の型のものでありうる。

【0013】

図2は、少なくとも一つの実施形態が使用されうるプロセッサ・コアを示している。図1に示されているプロセッサ・コア200は、一方または両方のコアに接続された一つまたは複数のバス上にデータを駆動してプロセッサ内またはプロセッサ外の他の回路、デバイスまたは論理にデータを届けられるようにする、一つまたは複数の出力回路207を含みうる。また、図1の各プロセッサ・コア内に位置するか、他の仕方で付随しているものとして、コアの一つまたは複数の部分の動作電圧を増減するための一つまたは複数の電力回路208ならびに一つまたは複数のクロック信号周波数、位相、仕事サイクルなどを修正する一つまたは複数のPLLのような一つまたは複数のクロック修正回路209がある。ある実施形態では、前記一つまたは複数の電力回路は、電圧分割回路を実装するいくつかのトランジスタを含みうる。電力回路は、コアへの電力を増減するための、チャージポンプ、電圧変圧器回路などを含む他のデバイスまたは回路を使用してもよい。

20

【0014】

ある実施形態では、図2のコアは、電力制御論理215を通じて、さまざまな電力状態に応じてその電力消費が調節されうる。ある実施形態では、電力制御論理は、各コアの活動レベルに互いに独立に反応して、他のコアの電力状態と調整したり、他の仕方で他のコアの電力状態を検出したりすることなく、各コアが使う電圧および/またはクロックを調整することができる。たとえば、ある実施形態では、電力制御論理は仕事負荷または活動の変化を検出するか、あるいは対応するコアの仕事負荷または活動の変化を検出する検出回路からの信号を受信するかして、電圧（電力回路を介して）または一つもしくは複数のクロック（クロック修正回路を介して）またはその両方を調整して、コアを活動レベルまたは負荷の要求に最もよく合う電力状態にする。さらに、ある実施形態では、制御論理はコアの電圧および/またはクロックを、コア内の熱的な変化またはコアから引き出される電流の量の変化に反応して変更しうる。

30

40

【0015】

ある実施形態では、たとえば、コアによって引き出される電力は、コアがある時間期間にわたって比較的アイドルである場合には減らされる。ある実施形態では、コアにおいて電力を減らされるのは、コアをc3状態または他の何らかの電力状態に置くことによる。さらに、ある実施形態では、コアは、まずプロセッサまたはシステム内の別のコアの電力状態を検出したり、他の仕方で別のコアと電力状態の変化を調整したりすることなく、新たな電力状態に置かれる。有利には、少なくとも一つの実施形態は、各コアが電力条件およびそのコアに対する要求に対し、他のコアとは独立に反応できるようにしうる。それにより、各コアはその電力消費を、他のコアの電力状態を顧慮することなく調節しうる。

【0016】

50

コア論理に加えて、「アンコア (un-core)」論理のような他の回路がプロセッサに含まれていてもよい。アンコア論理は、メモリ・インターフェース機能、デジタル信号処理機能、グラフィック機能などといった、コアによって実行される以外の他の機能を実行する回路を含みうる。ある実施形態では、アンコア論理によって消費される電力は、前記一つまたは複数のコアに関して記述したのと同様の仕方で制御されうる。さらに、コアおよびアンコア論理が異なる電圧および/またはクロック要件をもついくつかの実施形態では、コアおよびアンコア論理によって消費される電力は、互いに独立に制御されうる。これはちょうど、コアによって消費される電力が互いに独立に制御されうるのと同様である。

【 0 0 1 7 】

10

図 3 は、コアまたはアンコア論理および対応する出力を表 1 に示されている電力状態のうちの一つに置くある実施形態に基づく電力制御論理を示している。電力制御論理 3 0 0 は、対応するコアまたはアンコア論理の少なくとも一つの条件を検出するために少なくとも一つの入力 3 0 1 を含む。ある実施形態では、該少なくとも一つの条件は、ある規定の期間にわたってコアまたはアンコアが比較的不活動であることでありうる。一方、他の実施形態では、該条件は、コアまたはアンコア論理の電力消費のある特定のレベルまたは熱的条件でありうる。他の実施形態では、制御論理に、対応するコアまたはアンコア論理を異なる電力状態に置くべきかどうかを示すために、他の諸条件または諸条件の何らかの組み合わせが電力制御論理または他の何らかの検出論理によって検出されうる。

【 0 0 1 8 】

20

電力制御論理 3 0 0 はまた、対応するコアまたはアンコア論理にクロック信号を届ける役割を担う一つまたは複数の PLL を制御する出力 3 1 0 を含む。さらに、電力制御論理 3 0 0 は、電圧修正論理または回路を制御する出力をも含む。一つまたは複数のパワー・トランジスタを使うもの、電圧分割器または電圧変成デバイスといったものである。他の実施形態では、電力制御論理はより多くの入力および/またはより多いか少ない出力を含んでいてもよい。さらに、ある実施形態では、電力制御論理は、それが制御するコアと同じプロセッサ内に位置していてもよいが、他方では他の実施形態ではそれが制御するコアを含むプロセッサの外に位置していてもよい。ある実施形態では、電力制御論理は、ハードウェア回路を使って実装されてもよいが、他方では他の実施形態では電力制御論理はソフトウェアで、またはハードウェアとソフトウェアの両方で実装されてもよい。

30

【 0 0 1 9 】

電力制御論理は、コアが電力制御されるべきときの状況に依存して、いくつかの論理演算に基づいてコアの電力を制御してもよい。しかしながら、電力制御論理は、他のコアの電力を制御する他の制御論理との調整は要求しなくてもよい。よって、電力制御論理は、コアの電力を、他のいかなるコアまたはプロセッシング要素の電力状態や電力制御とも独立に制御しうる。有利なことに、電力制御論理は、別のコアの電力状態を検出したり、他の仕方で他のコアと協調したりすることなく、コア (単数または複数) の電力消費を制御しうる。それにより、各コアの電力制御は、いくつかの従来技術の電力制御技法よりも効率的に実行されうる。

【 0 0 2 0 】

40

図 4 は、ある実施形態に基づいて実行されうる動作を示す流れ図である。たとえば、動作 4 0 1 では、電力制御論理は、該電力制御論理によって電力制御されているコアの何らかの電力関係の条件を示す信号を受領する。動作 4 0 5 で該信号が第一の条件を示す場合、電力制御論理は動作 4 0 7 で、コアまたはアンコア論理を ACPI の c3 状態のような第一の電力状態に置きうる。他方、動作 4 1 0 でもし前記信号によって第二の条件が示される場合には、電力制御論理は動作 4 1 3 で、コアまたはアンコア論理を第二の電力状態に置きうる。少なくとも一つの実施形態では、いくつかのコアが少なくとも上記動作に従って互いに独立に電力制御されうる。

【 0 0 2 1 】

図 5 は、本発明のある実施形態が使用されうるフロントサイドバス (FSB: front-side

50

-bus)・コンピュータ・システムを示している。プロセッサ505は一次(L1)キャッシュ・メモリ510およびメイン・メモリ515からのデータにアクセスする。本発明の他の実施形態では、該キャッシュ・メモリは二次(L2)キャッシュまたはコンピュータ・システム・メモリ階層内の他のメモリでもよい。さらに、いくつかの実施形態では、図5のコンピュータ・システムはL1キャッシュおよびL2キャッシュの両方を含んでいてもよい。

【0022】

メイン・メモリは、ダイナミック・ランダム・アクセス・メモリ(DRAM)、ハード・ディスク・ドライブ(HDD)520またはネットワーク・インターフェース530を介して当該コンピュータ・システムから遠隔に位置するメモリ・ソースのようなさまざまな記憶デバイスおよび技術を含むさまざまなメモリ・ソースで実装されうる。キャッシュ・メモリはプロセッサ内に位置されてもよいし、あるいはプロセッサのローカル・バス507上などプロセッサの直近に位置されてもよい。

【0023】

さらに、前記キャッシュ・メモリは比較的高速なメモリ・セルを含みうる。6トランジスタ(6T)セルまたはほぼ同じまたはそれ以上のアクセス・スピードのその他のメモリ・セルなどである。図5のコンピュータ・システムは、マイクロプロセッサのような諸バス・エージェントのポイント・ツー・ポイント(PtP)ネットワークであってもよい。バス・エージェントは、各エージェント専用のバス信号を介してPtPネットワーク上で通信する。図6は、ポイント・ツー・ポイント(PtP)配位に構成されたコンピュータ・システムを示している。具体的には、図6は、プロセッサ、メモリおよび入出力装置がいくつかのポイント・ツー・ポイント・インターフェースによって相互接続されているシステムを示している。

【0024】

図6のシステムは、いくつかのプロセッサを含んでいてもよいが、明確のためそのうち二つのプロセッサ670、680しか図示していない。プロセッサ670、680はそれぞれメモリ22、24と接続するローカルなメモリ・コントローラ・ハブ(MCH)672、682を含んでいてもよい。プロセッサ670、680は、ポイント・ツー・ポイント(PtP)インターフェース650を介してPtPインターフェース回路678、688を使ってデータを交換しうる。プロセッサ670、680はそれぞれ、個別のPtPインターフェース652、654を介してポイント・ツー・ポイント・インターフェース回路676、694、686、698を使ってチップセット690とデータを交換しうる。チップセット690はまた、高パフォーマンス・グラフィクス・インターフェース639を介して高パフォーマンス・グラフィクス回路638とデータを交換しうる。本発明の実施形態は、いくつかのプロセッシング・コアをもついかなるプロセッサ内に位置されても、あるいは図6のPtPバス・エージェントのそれぞれの中に位置されてもよい。

【0025】

しかしながら、本発明の他の実施形態は、図6のシステム内の他の回路、論理ユニットまたはデバイス内に存在しうる。さらに、本発明の他の実施形態は、図6に示したいいくつかの回路、論理ユニットまたはデバイスを通じて分散されていてもよい。

【0026】

ここで言及されているプロセッサ、あるいは本発明の実施形態に基づいて設計される他の任意のコンポーネントは、創造からシミュレーション、製造へとさまざまな段階において設計されうる。設計を表現するデータは該設計をいくつかの仕方で表現しうる。まず、シミュレーションにおいて有用なように、ハードウェアはハードウェア記述言語または他の機能記述言語を使って表現されてもよい。追加的または代替的に、論理および/またはトランジスタ・ゲートをもつ回路レベル・モデルは設計プロセスのいくつかの段階において生成されてもよい。さらに、ほとんどの設計は、何らかの段階で、さまざまなデバイスの物理的な配置を表現するデータを用いてモデル化されうるレベルに達する。通常、半導体製造技術が使用される場合、デバイス配置モデルを表現するデータは、集積回路を生産するために使われるマスクのための種々のマスク層上におけるさまざまな特徴の存在また

10

20

30

40

50

は不在を指定するデータでありうる。

【 0 0 2 7 】

設計のいかなる表現においても、データはいかなる形の機械可読媒体に記憶されていてもよい。変調されるか、あるいはそのような情報を伝送するために他の仕方でも生成されている光学的または電氣的な波、メモリまたはディスクのような磁気もしくは光記憶媒体が、前記の機械可読媒体でありうる。これらの媒体のいずれも、前記設計またはエラー回復ルーチン内の命令のような本発明のある実施形態で使われるその他の情報を「担持し」または「示し」うる。前記情報を示すか担持するかする電氣的搬送波が伝送されるとき、該電気信号のコピー、パッファリングまたは再伝送が実行される限りにおいて、新たなコピーが作られる。こうして、通信プロバイダーまたはネットワーク・プロバイダーの行動は、本発明の諸技法を具現する品、たとえば搬送波のコピーを作ることでありうる。

10

【 0 0 2 8 】

このように、ロードまたはストアといったメモリ・アクセスを操る諸技法が開示される。ある種の実施形態を記載し、付属の図面に示してきたが、そのような実施形態が単に例示するものであって、広い本発明を制限するものではないこと、そして本発明が図示および記述された特定の構成および配置に限定されないことは理解しておくべきである。というのも、本開示を研究すれば当業者にはさまざまな他の修正が思いつきうるからである。成長が速く、さらなる進歩が簡単には予見できないこのような技術領域においては、開示された実施形態は、本開示または付属の請求項の範囲の原理から外れることなく、可能にする技術的進展によって容易化されるように、構成および詳細において容易に修正可能でありうる。

20

【 0 0 2 9 】

本発明の一つまたは複数の実施形態のさまざまな側面は、本発明の一つまたは複数の実施形態が使用されうるプロセッサまたはコンピュータ・システムのための広告において記述され、議論され、あるいは他の仕方而言及されることがありうる。そのような広告は、これに限られないが、新聞、雑誌、ビルボードまたは他の紙もしくはその他の具体的な媒体を含みうる。特に、本発明の一つまたは複数の実施形態のさまざまな側面は、インターネット上でウェブサイト、「ポップアップ」広告またはその他のウェブ・ベースの媒体を介して宣伝されることがありえ、該ウェブサイトまたはポップアップを生成するためのプログラムをホストするサーバーがアメリカ合衆国またはその領土内に位置しているかどうかにはよらない。

30

【 図面の簡単な説明 】

【 0 0 3 0 】

【 図 1 】 本発明のある実施形態が使用されうるマルチコア・プロセッサを示す図である。

【 図 2 】 本発明のある実施形態が使用されうるプロセッサ・コアおよびアンコア論理を示す図である。

【 図 3 】 本発明のある実施形態に基づく電力制御論理を示す図である。

【 図 4 】 本発明のある実施形態に基づく少なくとも一つのプロセッシング・コアの電力状態を変化させることにおいて使用される動作を示す流れ図である。

40

【 図 5 】 本発明の少なくとも一つの実施形態が使用されうる共有バス・コンピューティング・システムを示す図である。

【 図 6 】 本発明の少なくとも一つの実施形態が使用されうるポイント・ツー・ポイントのコンピューティング・システムを示す図である。

【 符号の説明 】

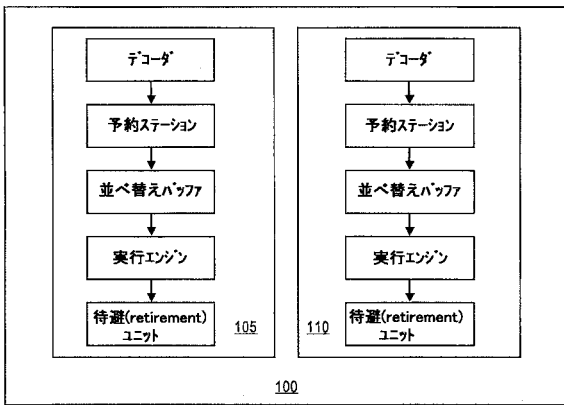
【 0 0 3 1 】

1 0 0 プロセッサ
 1 0 5 プロセッシング・コア
 1 1 0 プロセッシング・コア
 2 0 0 プロセッサ・コア

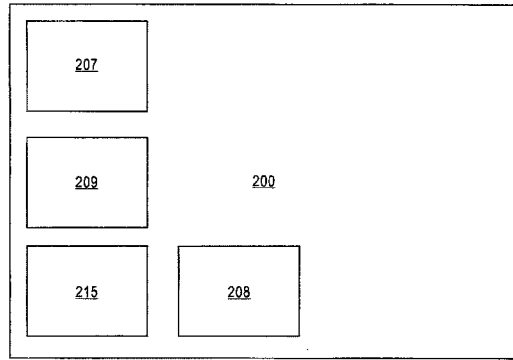
50

2 0 7	出力回路	
2 0 8	電力回路	
2 0 9	クロック修正回路	
2 1 5	電力制御論理	
3 0 0	電力制御論理	
3 0 1	入力	
3 1 0	出力	
4 0 1	あるコアについて電力条件が検出される	
4 0 5	第一の条件?	
4 0 7	コア/アンコアが第一の状態に置かれる	10
4 1 0	第二の条件?	
4 1 3	コア/アンコアが第二の状態に置かれる	
5 0 5	プロセッサ	
5 1 0	キャッシュ・メモリ	
5 1 5	メイン・メモリ	
5 2 0	ハード・ディスク・ドライブ	
5 3 0	インターフェース	
6 2	メモリ	
6 4	メモリ	
6 1 4	I/Oデバイス	20
6 1 8	バス・ブリッジ	
6 2 4	オーディオI/O	
6 2 2	キーボード/マウス	
6 2 6	通信デバイス	
6 2 8	データ記憶装置	
6 3 0	コード	
6 3 8	高パフォーマンス・グラフィクス回路	
6 3 9	高パフォーマンス・グラフィクス・インターフェース	
6 5 0	ポイント・ツー・ポイント (PtP) インターフェース	
6 5 2	個別のPtPインターフェース	30
6 5 4	個別のPtPインターフェース	
6 7 0	プロセッサ	
6 7 2	メモリ・コントローラ・ハブ (MCH)	
6 7 4	プロセッシング・コア	
6 7 6	PtPインターフェース回路	
6 7 8	PtPインターフェース回路	
6 8 0	プロセッサ	
6 8 2	メモリ・コントローラ・ハブ (MCH)	
6 8 4	プロセッシング・コア	
6 8 6	PtPインターフェース回路	40
6 8 8	PtPインターフェース回路	
6 9 4	PtPインターフェース回路	
6 9 8	PtPインターフェース回路	
6 9 0	チップセット	

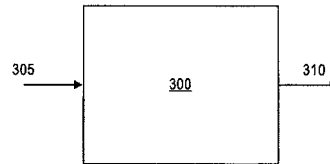
【 図 1 】



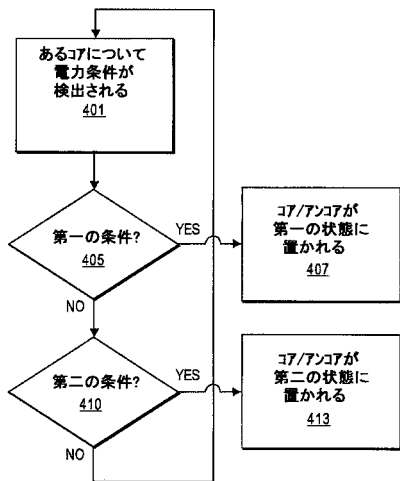
【 図 2 】



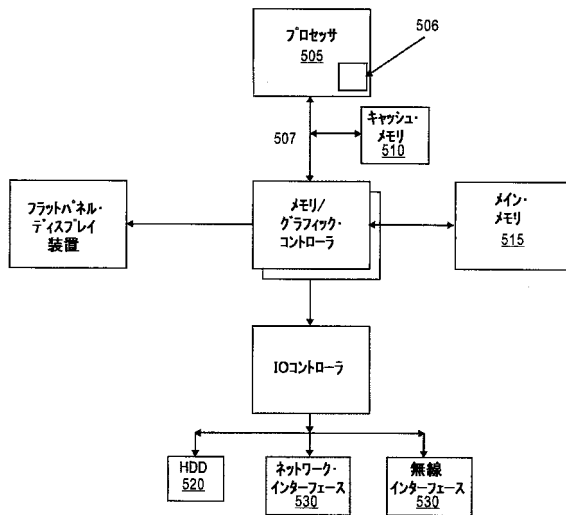
【 図 3 】



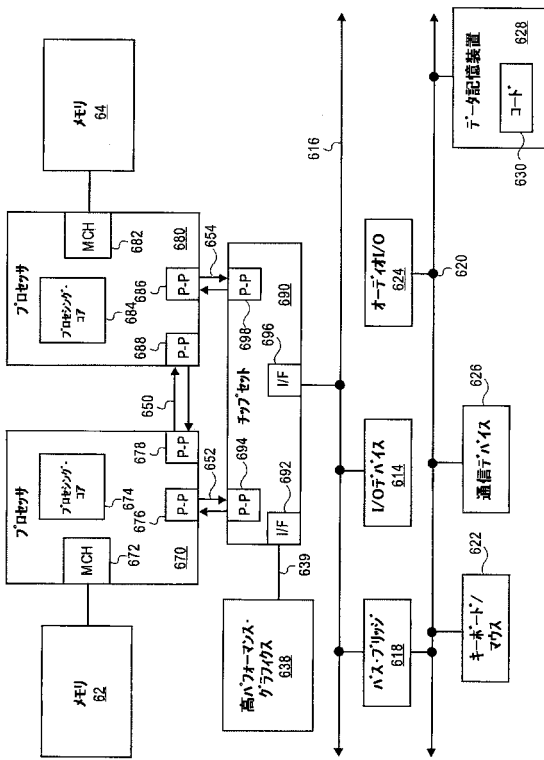
【 図 4 】



【 図 5 】



【図 6】



フロントページの続き

- (72)発明者 エドワード エイ バートン
アメリカ合衆国 97124 オレゴン州 ヒルズボロ ノースイースト ジェイミー ドライヴ
2258
- (72)発明者 アナント デヴァル
アメリカ合衆国 97007 オレゴン州 ビーヴァートン サウスウエスト シアーウォーター
ループ 10425
- (72)発明者 ステファン ジュールダン
アメリカ合衆国 97229 オレゴン州 ポートランド ノースウエスト リッチ コート 1
4664
- (72)発明者 ロバート グレイナー
アメリカ合衆国 97006 オレゴン州 ビーヴァートン ノースウエスト ジャノーラ コー
ト 16245
- (72)発明者 マイク コーナビー
アメリカ合衆国 97123 オレゴン州 ヒルズボロ サウスイースト 72nd アヴェニュー
- 851

Fターム(参考) 5B011 EA08 FF02 LL02 LL12 LL13
5B062 AA05 CC04 GG04 HH02 HH04