

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6883972号
(P6883972)

(45) 発行日 令和3年6月9日 (2021. 6. 9)

(24) 登録日 令和3年5月13日 (2021. 5. 13)

(51) Int. Cl.	F I
H03K 3/356 (2006.01)	H03K 3/356 B
H03K 19/173 (2006.01)	H03K 19/173 130
H03K 19/177 (2020.01)	H03K 19/177
H01L 21/8234 (2006.01)	H01L 27/088 E
H01L 27/088 (2006.01)	H01L 29/78 614
請求項の数 8 (全 60 頁) 最終頁に続く	

(21) 出願番号	特願2016-208295 (P2016-208295)	(73) 特許権者	000153878
(22) 出願日	平成28年10月25日 (2016. 10. 25)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2017-85565 (P2017-85565A)		神奈川県厚木市長谷398番地
(43) 公開日	平成29年5月18日 (2017. 5. 18)	(72) 発明者	上妻 宗広
審査請求日	令和1年10月18日 (2019. 10. 18)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2015-214977 (P2015-214977)		半導体エネルギー研究所内
(32) 優先日	平成27年10月30日 (2015. 10. 30)	(72) 発明者	黒川 義元
(33) 優先権主張国・地域又は機関	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	工藤 一光
			最終頁に続く

(54) 【発明の名称】 半導体装置、電子部品および電子機器

(57) 【特許請求の範囲】

【請求項1】

第1および第2の回路と、第1乃至第5の配線と、第1乃至第4のトランジスタと、を有し、

前記第1の回路は、前記第1の配線と電氣的に接続され、

前記第1の回路は、前記第1のトランジスタのゲートと電氣的に接続され、

前記第1のトランジスタのソースまたはドレインの一方は、前記第2の配線と電氣的に接続され、

前記第1のトランジスタのソースまたはドレインの他方は、前記第2のトランジスタのゲートと電氣的に接続され、

前記第2の回路は、前記第1の配線と電氣的に接続され、

前記第2の回路は、前記第3のトランジスタのゲートと電氣的に接続され、

前記第3のトランジスタのソースまたはドレインの一方は、前記第3の配線と電氣的に接続され、

前記第3のトランジスタのソースまたはドレインの他方は、前記第4のトランジスタのゲートと電氣的に接続され、

前記第4のトランジスタのソースまたはドレインの一方は、前記第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第4のトランジスタのソースまたはドレインの他方は、前記第2のトランジスタのソースまたはドレインの他方と電氣的に接続され、

10

20

前記第1の配線は、列ドライバ回路が生成した第1のコンフィギュレーションデータを前記第1の回路に供給し、前記列ドライバ回路が生成した第2のコンフィギュレーションデータを前記第2の回路に供給する機能を有し、

前記第2の配線は、コンテキストコントローラが生成した第1のコンテキストデータ信号を前記第2のトランジスタのゲートに供給する機能を有し、

前記第3の配線は、前記コンテキストコントローラが生成した第2のコンテキストデータ信号を前記第4のトランジスタのゲートに供給する機能を有し、

前記第1のコンテキストデータ信号で選択される前記第1のコンフィギュレーションデータに対してリコンフィギュレーションを行い、

前記第2のコンテキストデータ信号で選択される前記第2のコンフィギュレーションデータに対してリコンフィギュレーションを行い、

前記第4の配線は、前記第2のトランジスタのソースまたはドレインの一方及び前記第4のトランジスタのソースまたはドレインの一方と電氣的に接続され、入力信号線としての機能を有し、

前記第5の配線は、前記第2のトランジスタのソースまたはドレインの他方及び前記第4のトランジスタのソースまたはドレインの他方と電氣的に接続され、出力信号線としての機能を有し、

前記第1の回路は、前記第1のコンフィギュレーションデータを保持する機能を有し、

前記第2の回路は、前記第2のコンフィギュレーションデータを保持する機能を有する、半導体装置。

【請求項2】

請求項1において、

前記第1のトランジスタおよび前記第3のトランジスタは、酸化物半導体を有する、半導体装置。

【請求項3】

請求項1または2において、

前記第1の回路は、第5のトランジスタと、第1の容量素子と、を有し、

前記第2の回路は、第6のトランジスタと、第2の容量素子と、を有し、

前記第5のトランジスタおよび前記第6のトランジスタは、酸化物半導体を有し、

前記第5のトランジスタのソースまたはドレインの一方は、前記第1の配線と電氣的に接続され、

前記第5のトランジスタのソースまたはドレインの他方は、前記第1のトランジスタのゲートと電氣的に接続され、

前記第1のトランジスタのゲートは、前記第1の容量素子の一方の端子と電氣的に接続され、

前記第6のトランジスタのソースまたはドレインの一方は、前記第1の配線と電氣的に接続され、

前記第6のトランジスタのソースまたはドレインの他方は、前記第3のトランジスタのゲートと電氣的に接続され、

前記第3のトランジスタのゲートは、前記第2の容量素子の一方の端子と電氣的に接続されている、半導体装置。

【請求項4】

請求項1乃至3のいずれか一項において、

第7および第8のトランジスタを有し、

前記第7のトランジスタのソースまたはドレインの一方は、前記第2のトランジスタのゲートと電氣的に接続され、

前記第8のトランジスタのソースまたはドレインの一方は、前記第4のトランジスタのゲートと電氣的に接続されている、半導体装置。

【請求項5】

請求項4において、

前記第7のトランジスタおよび前記第8のトランジスタは、酸化物半導体を有する、半導体装置。

【請求項6】

請求項2、3及び5のいずれか一項において、

前記酸化物半導体は、Inと、Znと、M（MはAl、Ti、Ga、Sn、Y、Zr、La、Ce、NdまたはHf）と、を有する、半導体装置。

【請求項7】

請求項1乃至6のいずれか一項に記載の半導体装置と、

当該半導体装置と電気的に接続されたリードと、を有する、電子部品。

【請求項8】

請求項1乃至6のいずれか一項に記載の半導体装置または請求項7に記載の電子部品と、

表示装置、タッチパネル、マイクロホン、スピーカ、操作キー、および筐体の少なくとも1つと、を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書などで開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの動作方法、または、それらの製造方法、を一例として挙げることができる。

【0003】

なお、本明細書などにおいて半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

【背景技術】

【0004】

プログラマブルロジックデバイス（PLD：Programmable Logic Device）は、複数のプログラマブルロジックエレメント（PLE：Programmable Logic Element）およびプログラマブルスイッチエレメント（PSE：Programmable Switch Element）を有する。PLDでは、各PLEの機能の情報や、PSEによるPLE間の接続構造の情報をコンフィギュレーションデータとして、コンフィギュレーションメモリ内に格納している。

【0005】

瞬時にコンフィギュレーションデータを更新することのできるマルチコンテキスト方式のリコンフィギュラブルデバイスが提案されている（例えば、非特許文献1）。また、特許文献1乃至5には、酸化物半導体をチャネル形成領域に有するトランジスタ（以下、OSTランジスタと呼ぶ）を用いた、マルチコンテキスト方式のリコンフィギュラブルな回路として機能するフィールドプログラマブルゲートアレイ（FPGA：Field-Programmable Gate Array）が提案されている。

【0006】

特許文献1乃至5では、コンフィギュレーションデータを記憶するコンフィギュレーションメモリとして、OSTランジスタのメモリを利用することで、コンフィギュレーションメモリを高密度に配置し、コンフィギュレーションメモリの集積度を高めている。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0007】

【特許文献1】米国特許出願公開第2013/0293263号明細書

【特許文献2】米国特許出願公開第2013/0314124号明細書

【特許文献3】米国特許出願公開第2014/0159771号明細書

【特許文献4】米国特許出願公開第2014/0368235号明細書

【特許文献5】米国特許出願公開第2015/0008958号明細書

【非特許文献】

【0008】

【非特許文献1】H. M. Waidyasooriya et al., "Implementation of a Partially Reconfigurable Multi-Context FPGA Based on Asynchronous Architecture," IEICE TRANSACTIONS on Electronics Vol. E92-C, pp. 539-549, 2009

10

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明の一態様では、処理性能の高い半導体装置を提供することを課題の1つとする。または、動作の安定性が高い半導体装置を提供することを課題の1つとする。または、小型の半導体装置を提供することを課題の1つとする。または、集積度の高い半導体装置を提供することを課題の1つとする。または、オフ電流が小さいトランジスタを有する半導体装置を提供することを課題の1つとする。または、広い温度範囲で使用することができる半導体装置を提供することを課題の1つとする。または、信頼性の高い半導体装置を提供することを課題の1つとする。

20

【0010】

または、本発明の一態様では、新規な半導体装置および新規な電子機器などを提供することを課題の1つとする。

【0011】

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書または図面などの記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した記載、および／または他の課題のうち、少なくとも一つの課題を解決するものである。

30

【課題を解決するための手段】

【0012】

本発明の一態様は、第1および第2の回路と、第1乃至第3の配線と、第1乃至第4のトランジスタと、を有し、第1の回路は、第1の配線と電気的に接続され、第1の回路は、第1のトランジスタのゲートと電気的に接続され、第1のトランジスタのソースまたはドレインの一方は、第2の配線と電気的に接続され、第1のトランジスタのソースまたはドレインの他方は、第2のトランジスタのゲートと電気的に接続され、第2の回路は、第1の配線と電気的に接続され、第2の回路は、第3のトランジスタのゲートと電気的に接続され、第3のトランジスタのソースまたはドレインの一方は、第3の配線と電気的に接続され、第3のトランジスタのソースまたはドレインの他方は、第4のトランジスタのゲートと電気的に接続され、第4のトランジスタのソースまたはドレインの一方は、第2のトランジスタのソースまたはドレインの一方と電気的に接続され、第4のトランジスタのソースまたはドレインの他方は、第2のトランジスタのソースまたはドレインの他方と電気的に接続されることを特徴とする半導体装置である。

40

【0013】

また、第1の配線は、第1のコンフィギュレーションデータを第1の回路に供給し、第2

50

のコンフィギュレーションデータを第2の回路に供給する機能を有し、第2の配線は、第1のコンテキストデータ信号を第2のトランジスタのゲートに供給する機能を有し、第3の配線は、第2のコンテキストデータ信号を第4のトランジスタのゲートに供給する機能を有し、第1の回路は、第1のコンフィギュレーションデータを保持する機能を有し、第2の回路は、第2のコンフィギュレーションデータを保持する機能を有してもよい。

【0014】

また、第1のトランジスタと、第3のトランジスタとは活性層に酸化物半導体を有してもよい。

【0015】

また、第1の回路は第5のトランジスタと、第1の容量素子と、を有し、第2の回路は第6のトランジスタと、第2の容量素子と、を有し、第5のトランジスタと、第6のトランジスタとは活性層に酸化物半導体を有し、第5のトランジスタのソースまたはドレインの一方は、第1の配線と電氣的に接続され、第5のトランジスタのソースまたはドレインの他方は、第1のトランジスタのゲートと電氣的に接続され、第1のトランジスタのゲートは、第1の容量素子の一方の端子と電氣的に接続され、第6のトランジスタのソースまたはドレインの一方は、第1の配線と電氣的に接続され、第6のトランジスタのソースまたはドレインの他方は、第3のトランジスタのゲートと電氣的に接続され、第3のトランジスタのゲートは、第2の容量素子の一方の端子と電氣的に接続されていてもよい。

10

【0016】

また、第7および第8のトランジスタを有し、第7のトランジスタのソースまたはドレインの一方は、第2のトランジスタのゲートと電氣的に接続され、第8のトランジスタのソースまたはドレインの一方は、第4のトランジスタのゲートと電氣的に接続されていてもよい。

20

【0017】

また、第7のトランジスタと、第8のトランジスタとは活性層に酸化物半導体を有してもよい。

【0018】

また、酸化物半導体は、Inと、Znと、M（MはAl、Ti、Ga、Sn、Y、Zr、La、Ce、NdまたはHf）と、を有してもよい。

【0019】

本発明の一態様の半導体装置と、当該半導体装置と電氣的に接続されたリードと、を有することを特徴とする電子部品も本発明の一態様である。

30

【0020】

また、本発明の一態様の半導体装置と、本発明の一態様の電子部品と、表示装置、タッチパネル、マイクロホン、スピーカ、操作キー、および筐体の少なくとも1つと、を有する電子機器も本発明の一態様である。

【発明の効果】

【0021】

本発明の一態様では、処理性能の高い半導体装置を提供することができる。または、動作の安定性が高い半導体装置を提供することができる。または、小型の半導体装置を提供することができる。または、集積度の高い半導体装置を提供することができる。または、オフ電流が小さいトランジスタを有する半導体装置を提供することができる。または、広い温度範囲で使用することができる半導体装置を提供することができる。または、信頼性の高い半導体装置を提供することができる。

40

【0022】

または、本発明の一態様では、新規な半導体装置および新規な電子機器などを提供することができる。

【0023】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で

50

言及していない効果である。本項目で言及していない効果は、当業者であれば明細書または図面などの記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、および／または他の効果のうち、少なくとも一つの効果を有するものである。したがって本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

【図面の簡単な説明】

【0024】

【図1】半導体装置の構成例を説明する回路図。

【図2】半導体装置の構成例を説明する回路図。

【図3】半導体装置の構成例を説明する回路図。

10

【図4】半導体装置の動作例を説明するタイミングチャート。

【図5】半導体装置の動作例を説明する回路図。

【図6】半導体装置の動作例を説明する回路図。

【図7】半導体装置の動作例を説明する回路図。

【図8】半導体装置の動作例を説明する回路図。

【図9】半導体装置の動作例を説明する回路図。

【図10】半導体装置の動作例を説明する回路図。

【図11】半導体装置の動作例を説明する回路図。

【図12】半導体装置の動作例を説明する回路図。

【図13】半導体装置の構成例を説明する回路図。

20

【図14】半導体装置の構成例を説明する回路図。

【図15】半導体装置の構成例を説明する回路図。

【図16】半導体装置の構成例を説明する回路図。

【図17】半導体装置の構成例を説明する回路図。

【図18】半導体装置の構成例を説明する回路図。

【図19】半導体装置の構成例を説明するブロック図。

【図20】半導体装置の構成例を説明する断面図。

【図21】半導体装置の構成例を説明する断面図。

【図22】トランジスタを説明する上面図および断面図。

【図23】トランジスタを説明する上面図および断面図。

30

【図24】トランジスタのチャンネル幅方向の断面を説明する図。

【図25】半導体層を説明する上面図および断面図。

【図26】トランジスタを説明する上面図およびチャンネル長方向の断面を説明する図。

【図27】トランジスタを説明する上面図およびチャンネル長方向の断面を説明する図。

【図28】トランジスタのチャンネル幅方向の断面を説明する図。

【図29】トランジスタのチャンネル長方向の断面を説明する図。

【図30】トランジスタのチャンネル長方向の断面を説明する図。

【図31】トランジスタを説明する上面図および断面図。

【図32】トランジスタを説明する上面図。

【図33】酸化物半導体の原子数比の範囲を説明する図。

40

【図34】 InMZnO_4 の結晶構造を説明する図。

【図35】酸化物半導体の積層構造におけるバンド図。

【図36】 CAAC-OS および単結晶酸化物半導体のXRDによる構造解析を説明する図、ならびに CAAC-OS の制限視野電子回折パターンを示す図。

【図37】 CAAC-OS の断面TEM像、ならびに平面TEM像およびその画像解析像。

【図38】 nc-OS の電子回折パターンを示す図、および nc-OS の断面TEM像。

【図39】 a-like OS の断面TEM像。

【図40】 In-Ga-Zn 酸化物の電子照射による結晶部の変化を示す図。

【図41】電子部品の作製方法例を示すフローチャートおよび電子部品の構成例を示す斜

50

視模式図。

【図４２】電子機器を説明する図。

【発明を実施するための形態】

【００２５】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。

10

【００２６】

なお、第１、第２として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第１の」を「第２の」または「第３の」などと適宜置き換えて説明することができる。また、本明細書などに記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【００２７】

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

20

【００２８】

また本明細書などにおいて、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことができるものである。

【００２９】

ここで、ソースとドレインとは、トランジスタの構造または動作条件などによって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。このため、「ソース」という用語と、「ドレイン」という用語とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。

30

【００３０】

また、本明細書などにおいて、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書などに開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

40

【００３１】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層など）であるとする。

【００３２】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

50

【0033】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

【0034】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きくできる回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

【0035】

なお、XとYとが電氣的に接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟まずに接続されている場合）とが、本明細書などに開示されているものとする。つまり、電氣的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書などに開示されているものとする。

【0036】

なお、例えば、トランジスタのソース（または第1の端子など）が、Z1を介して（または介さず）、Xと電氣的に接続され、トランジスタのドレイン（または第2の端子など）が、Z2を介して（または介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（または第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（または第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することができる。

【0037】

例えば、「XとYとトランジスタのソース（または第1の端子など）とドレイン（または第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（または第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（または第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（または第1の端子など）とドレイン（または第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yは、この接続順序で設けられている」と表現することができる

できる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（または第1の端子など）と、ドレイン（または第2の端子など）とを、区別して、技術的範囲を決定することができる。

【0038】

または、別の表現方法として、例えば、「トランジスタのソース（または第1の端子など）は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース（または第1の端子など）とトランジスタのドレイン（または第2の端子など）との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン（または第2の端子など）は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース（または第1の端子など）は、少なくとも第1の接続経路によって、Z1を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（または第2の端子など）は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（または第1の端子など）は、少なくとも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、前記第1の電氣的パスは、第2の電氣的パスを有しておらず、前記第2の電氣的パスは、トランジスタのソース（または第1の端子など）からトランジスタのドレイン（または第2の端子など）への電氣的パスであり、トランジスタのドレイン（または第2の端子など）は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、前記第3の電氣的パスは、第4の電氣的パスを有しておらず、前記第4の電氣的パスは、トランジスタのドレイン（または第2の端子など）からトランジスタのソース（または第1の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（または第1の端子など）と、ドレイン（または第2の端子など）とを、区別して、技術的範囲を決定することができる。

【0039】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層など）であるとする。

【0040】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としての機能を有する場合は、一の導電膜が、配線の機能、および電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0041】

なお、「膜」という用語と、「層」という用語とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁層」という用語を、「絶縁膜」という用語に変更することが可能な場合がある。

【0042】

なお、一般的に、電位（電圧）は、相対的なものであり、基準の電位からの相対的な大きさによって大きさが決定される。したがって、「接地」「GND」「グラウンド」などと記載されている場合であっても、必ずしも、電位が0ボルトであるとは限らないものとする。例えば、回路で最も低い電位を基準として、「接地」や「GND」を定義する場合も

10

20

30

40

50

ある。または、回路で中間くらいの電位を基準として、「接地」や「GND」を定義する場合もある。その場合には、その電位を基準として、正の電位と負の電位が規定されることとなる。

【0043】

なお本明細書において、「上に」、「下に」などの配置を示す用語は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0044】

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置について説明する。

【0045】

本発明の一態様は、ダイナミックリコンフィギュレーションを行うことができるPSEに関する。本発明の一態様の半導体装置が有するPSEは、入力信号線と出力信号線とが1個のトランジスタを介して接続されている。したがって、入力信号線と出力信号線とが2個以上のトランジスタを介して接続されている場合より本発明の一態様の半導体装置が有するPSEの動作を高速化することができる。また、本発明の一態様の半導体装置が有するPSEは、コンフィギュレーションメモリに保持されたコンフィギュレーションデータの電位が、入力信号線および出力信号線の電位に依存しない。つまり、ダイナミックリコンフィギュレーション中に入力信号線および出力信号線の電位が変化しても、容量結合などの相互作用によるコンフィギュレーションデータの電位の変動が発生しない。したがって、本発明の一態様の半導体装置が有するPSEの動作の安定性を高めることができる。

【0046】

<PSEの構成例>

図1は、本発明の一態様の半導体装置が有する回路10の構成例を示す回路図である。回路10は、PSEとしての機能を有する。回路10は、回路10aおよび回路10bを有する。また、回路10は、配線DL、配線WL a、配線WL b、配線CCSL a、配線CCSL b、配線ISLおよび配線OSLを有する。

【0047】

回路10aは、回路11aと、トランジスタ22aと、トランジスタ23aと、を有する。また、回路10bは、回路11bと、トランジスタ22bと、トランジスタ23bと、を有する。

【0048】

ここでは、トランジスタ22a、トランジスタ22b、トランジスタ23aおよびトランジスタ23bがすべてnチャネル型トランジスタである場合の例を示すが、本発明の一態様はこれに限定されず、一部またはすべてのトランジスタをpチャネル型トランジスタに置き換えてもよい。

【0049】

本明細書ではnチャネル型トランジスタをnch型トランジスタ、pチャネル型トランジスタをpch型トランジスタと呼ぶことがある。

【0050】

回路11aは、配線DL、配線WL aおよびトランジスタ22aのゲートと電氣的に接続されている。回路11bは、配線DL、配線WL bおよびトランジスタ22bのゲートと電氣的に接続されている。トランジスタ22aのソースまたはドレインの一方は、配線CCSL aと電氣的に接続されている。トランジスタ22bのソースまたはドレインの一方は、配線CCSL bと電氣的に接続されている。トランジスタ22aのソースまたはドレインの他方は、トランジスタ23aのゲートと電氣的に接続されている。トランジスタ22bのソースまたはドレインの他方は、トランジスタ23bのゲートと電氣的に接続されている。トランジスタ23aのソースまたはドレインの一方およびトランジスタ23bのソースまたはドレインの一方は、配線ISLと電氣的に接続されている。トランジスタ2

10

20

30

40

50

3 aのソースまたはドレインの他方およびトランジスタ2 3 bのソースまたはドレインの他方は、配線O S Lと電氣的に接続されている。

【0051】

図1に示す構成において、回路1 1 aおよびトランジスタ2 2 aのゲートが接続されているノードをノードN 1 aとする。回路1 1 bおよびトランジスタ2 2 bのゲートが接続されているノードをノードN 1 bとする。トランジスタ2 2 aのソースまたはドレインの他方およびトランジスタ2 3 aのゲートが接続されているノードをノードN 2 aとする。トランジスタ2 2 bのソースまたはドレインの他方およびトランジスタ2 3 bのゲートが接続されているノードをノードN 2 bとする。

【0052】

回路1 1 aおよび回路1 1 bは、コンフィギュレーションデータを保持するコンフィギュレーションメモリとしての機能を有する。なお、回路1 1 aに保持されたコンフィギュレーションデータの電位に応じてノードN 1 aの電位が変化し、回路1 1 bに保持されたコンフィギュレーションデータの電位に応じてノードN 1 bの電位が変化する。

【0053】

トランジスタ2 2 aは、回路1 1 aに保持されたコンフィギュレーションデータの電位に応じてノードN 2 aへのコンテキストデータ信号の書き込みを制御する機能を有する。トランジスタ2 2 bは、回路1 1 bに保持されたコンフィギュレーションデータの電位に応じてノードN 2 bへのコンテキストデータ信号の書き込みを制御する機能を有する。トランジスタ2 3 aは、ノードN 2 aの電位に応じて配線I S Lと配線O S Lの導通状態を制御するパストランジスタとしての機能を有する。トランジスタ2 3 bは、ノードN 2 bの電位に応じて配線I S Lと配線O S Lの導通状態を制御する、パストランジスタとしての機能を有する。

【0054】

また、配線D Lは、コンフィギュレーションデータを回路1 1 aおよび回路1 1 bに供給する、データ線としての機能を有する。配線W L aは、回路1 1 aへのコンフィギュレーションデータの書き込みを制御する、書き込み制御信号線としての機能を有する。配線W L bは、回路1 1 bへのコンフィギュレーションデータの書き込みを制御する書き込み制御信号線としての機能を有する。配線C C S L aは、コンテキストデータ信号をノードN 2 aに供給するコンテキスト制御信号線としての機能を有する。配線C C S L bは、コンテキストデータ信号をノードN 2 bに供給するコンテキスト制御信号線としての機能を有する。配線I S Lは、入力信号線としての機能を有する。配線O S Lは、回路1 1 aに保持されたコンフィギュレーションデータまたは回路1 1 bに保持されたコンフィギュレーションデータに応じた信号を出力する、出力信号線としての機能を有する。

【0055】

なお、詳細は後述するが、配線I S Lおよび配線O S Lは、例えばP L Eや、入出力回路などと接続されている。

【0056】

ここで、トランジスタ2 2 aのオフ電流を低減することで、ノードN 2 aに書き込まれた信号の保持時間を長くすることができる。また、トランジスタ2 2 bのオフ電流を低減することで、ノードN 2 bに書き込まれた信号の保持時間を長くすることができる。ここで、オフ電流とは、トランジスタがオフ状態のときにソースとドレインとの間に流れる電流をいう。トランジスタがn-c h型である場合、例えば、しきい値電圧が0 V乃至2 V程度であれば、ゲートの電圧がソースおよびドレインの電圧に対して負の電圧であるときのソースとドレインとの間に流れる電流をオフ電流と呼ぶことができる。また、オフ電流が極めて小さいとは、例えば、チャネル幅1 μm あたりのオフ電流が100 z A（zeptoアンペア）以下であることをいう。なお、オフ電流は小さいほど好ましいため、この規格化されたオフ電流が10 z A/ μm 以下、あるいは1 z A/ μm 以下とすることが好ましく、10 y A（yoctoアンペア）/ μm 以下であることがより好ましい。1 z Aは 1×10^{-21} Aであり、1 y Aは 1×10^{-24} Aである。

【0057】

このようにオフ電流を極めて小さくするには、トランジスタのチャネル形成領域をバンドギャップが広い半導体で形成すればよい。そのような半導体として、例えば酸化物半導体が挙げられる。酸化物半導体のバンドギャップは3.0 eV以上であるため、活性層または活性領域を酸化物半導体で形成したトランジスタ（OSトランジスタ）は熱励起によるリーク電流が小さく、また、オフ電流が極めて小さい。OSトランジスタのチャネル形成領域は、インジウム（In）および亜鉛（Zn）の少なくとも一方を含む酸化物半導体であることが好ましい。このような酸化物半導体としては、In-M-Zn酸化物（元素Mは、例えばAl、Ga、YまたはSn）が代表的である。電子供与体（ドナー）となる水分または水素などの不純物を低減し、かつ酸素欠損も低減することで、酸化物半導体をi型（真性半導体）にする、あるいはi型に限りなく近づけることができる。ここでは、このような酸化物半導体は高純度化された酸化物半導体と呼ぶことができる。高純度化された酸化物半導体を適用することで、チャネル幅で規格化されたOSトランジスタのオフ電流を数y A/μm以上数z A/μm以下程度に低くすることができる。

10

【0058】

また、OSトランジスタでは、活性層または活性領域をシリコンで形成したトランジスタ（以下、Siトランジスタと呼ぶ）よりオフ電流特性の温度依存性が小さい。そのため、高温（例えば、100℃以上）であっても、OSトランジスタの規格化されたオフ電流を100z A以下とすることができる。よって、トランジスタ22aおよびトランジスタ22bにOSトランジスタを適用することで、高温環境下であってもノードN2aおよびノードN2bに書き込まれた信号を長時間保持することができる。したがって、高温環境下でも高い信頼性を持つ半導体装置を得ることができる。

20

【0059】

なお、トランジスタ23aおよびトランジスタ23bは、Siトランジスタとすることができる。Siトランジスタは、OSトランジスタに比べて高い電界効果移動度を有するといった特性を有する。そのため、パストランジスタとして機能するトランジスタ23aおよびトランジスタ23bに流れる電流値を増加させることができる。これにより、回路10の処理性能を向上することができる。

【0060】

また、トランジスタ23aおよびトランジスタ23bをOSトランジスタとしてもよい。つまり、回路10が有するトランジスタをすべてOSトランジスタとしてもよい。

30

【0061】

回路10では、配線ISLと配線OSLが1個のトランジスタ（トランジスタ23aまたはトランジスタ23b）を介して接続されている。したがって、配線ISLと配線OSLが2個以上のトランジスタを介して接続されている場合より回路10の動作を高速化することができる。

【0062】

また、回路10では、回路11aおよび回路11bの一方へのコンフィギュレーションデータの書き込みと、回路11aおよび回路11bの他方に保持されたコンフィギュレーションデータに応じた信号の配線OSLからの出力と、を同時に行うことができる。つまり、回路10はダイナミックリコンフィギュレーションを行うことができる。これにより、リコンフィギュレーション中でも回路動作を継続することが可能となるため、回路10の処理性能を向上することができる。

40

【0063】

さらに、回路10では、回路11aおよび回路11bに保持されたコンフィギュレーションデータの電位が、配線ISLおよび配線OSLの電位に依存しない。つまり、ダイナミックリコンフィギュレーション中に配線ISLおよび配線OSLの電位が変化しても容量結合などの相互作用によってノードN1aおよびノードN1bの電位が変動することがない。したがって、回路10の動作の安定性を高めることができる。

【0064】

50

回路10bは回路10aと同様の構成を有する。つまり、図1の例では回路10は回路10aの他、回路10aと同様の構成の回路を1個有する。回路10は回路10aの他、回路10aと同様の構成の回路を少なくとも1個有していればよい。例えば、図2に示すように、回路10は、回路10a[0]乃至回路10a[n-1]で表されるn個(nは2以上の整数)の回路10aを有していてもよい。

【0065】

図1に示す回路11aおよび回路11bは、例えば図3に示す構成とすることができる。図3に示す回路11aは、トランジスタ21aと、容量素子31aと、配線51aと、を有する。回路11bは、トランジスタ21bと、容量素子31bと、配線51bと、を有する。

10

【0066】

なお、トランジスタ21aおよびトランジスタ21bがn-ch型トランジスタである場合の例を示すが、本発明の一態様はこれに限定されず、一方あるいは両方のトランジスタをp-ch型トランジスタに置き換えてもよい。

【0067】

トランジスタ21aのソースまたはドレインの一方は、配線DLと電気的に接続されている。トランジスタ21aのソースまたはドレインの他方は、トランジスタ22aのゲートおよび容量素子31aの一方の端子と電気的に接続されている。容量素子31aの他方の端子は、配線51aと電気的に接続されている。

【0068】

トランジスタ21bのソースまたはドレインの一方は、配線DLと電気的に接続されている。トランジスタ21bのソースまたはドレインの他方は、トランジスタ22bのゲートおよび容量素子31bの一方の端子と電気的に接続されている。容量素子31bの他方の端子は、配線51bと電気的に接続されている。

20

【0069】

なお、配線51aおよび配線51bの電位は、例えばLレベル電位とすることができる。

【0070】

本明細書において、Hレベル電位は高電位を、Lレベル電位は低電位をそれぞれ示す。また、Lレベル電位は例えば接地電位とすることができる。

【0071】

ノードN1aにはトランジスタ21aのソースまたはドレインの他方、トランジスタ22aのゲートおよび容量素子31aの一方の端子が接続されている。ノードN1bにはトランジスタ21bのソースまたはドレインの他方、トランジスタ22bのゲートおよび容量素子31bの一方の端子が接続されている。

30

【0072】

トランジスタ21aは、配線DLとノードN1aの導通状態を制御する機能を有する。トランジスタ21bは、配線DLとノードN1bの導通状態を制御する機能を有する。容量素子31aおよび容量素子31bは、コンフィギュレーションデータを保持する機能を有する。

【0073】

ここで、トランジスタ21aおよびトランジスタ21bはOSトランジスタとしてもよい。これにより、トランジスタ21aおよびトランジスタ21bのオフ電流を低減することができる。したがって、コンフィギュレーションデータの保持時間を長くすることができる。

40

【0074】

<回路10の動作例>

次に、図4に示すタイミングチャートおよび図5乃至図12に示す回路図を用いて、回路10の動作例として、図3に示す構成の回路10の動作を詳細に説明する。図4に示すタイミングチャートは、配線DL、配線WL a、配線WL b、配線CCSL a、配線CCSL b、配線ISL、配線OSL、ノードN1 a、ノードN1 b、ノードN2 aおよびノード

50

ドN 2 bの電位を示す。また、図5乃至11において、Hレベル電位をVDD、Lレベル電位をVSSと記載する。

【0075】

時刻T00において、ノードN 2 aおよびノードN 2 bの電位をLレベルに初期化する。これにより、意図せずトランジスタ23 aおよびトランジスタ23 bがオン状態となることを防ぐことができる。

【0076】

時刻T00において、配線WL aおよび配線WL bの電位をHレベルとすることにより、トランジスタ21 aおよびトランジスタ21 bをオン状態とする（図5（A））。この状態で配線DLの電位をHレベルとすることにより、ノードN 1 aおよびノードN 1 bの電位がHレベルとなる。したがってトランジスタ22 aおよびトランジスタ22 bがオン状態となる。ここで、配線CCSL aおよび配線CCSL bの電位がLレベルであるので、ノードN 2 aおよびノードN 2 bの電位もLレベルとなる。

【0077】

なお、時刻T00において、配線ISLおよび配線OSLの電位はLレベルであるとする。

【0078】

時刻T01乃至時刻T02において、回路11 aに、Lレベル電位の信号をコンフィギュレーションデータとして書き込む。また、時刻T02乃至時刻T03において、回路11 bに、Hレベル電位の信号をコンフィギュレーションデータとして書き込む。

【0079】

時刻T01において、配線WL bの電位をLレベルとすることによりトランジスタ21 bをオフ状態とする。その後、配線DLの電位をLレベルとする。また、配線WL aの電位をHレベルに維持することによりトランジスタ21 aをオン状態のままとする。以上により、ノードN 1 aの電位はLレベルとなる。これにより、トランジスタ23 aがオフ状態となり、ノードN 2 aはLレベル電位を保持したまま浮遊状態となる（図5（B））。

【0080】

なお、ノードN 1 bはHレベル電位を保持したまま浮遊状態となる。

【0081】

時刻T02において、配線WL aの電位をLレベルとすることによりトランジスタ21 aをオフ状態とする。これにより、ノードN 1 aはLレベル電位を保持したまま浮遊状態となる。その後、配線WL bの電位をHレベルとすることにより、トランジスタ21 bをオン状態とする。この状態で配線DLの電位をHレベルとすることにより、ノードN 1 bの電位がHレベルとなる。トランジスタ22 bはオン状態となるが、配線CCSL bの電位がLレベルであるのでノードN 2 bはLレベル電位を維持する。以上で回路11 aへのコンフィギュレーションデータの書き込みが終了する（図6（A））。

【0082】

時刻T03において、配線WL bの電位をLレベルとすることにより、トランジスタ21 bをオフ状態とする。その後、配線DLの電位をLレベルとする。以上によりコンフィギュレーション動作が終了し、ノードN 1 bはHレベル電位を、ノードN 1 a、ノードN 2 aおよびノードN 2 bはLレベル電位をそれぞれ保持する。以上で回路11 bへのコンフィギュレーションデータの書き込みが終了する（図6（B））。

【0083】

時刻T04乃至時刻T06において、回路11 aに保持されたコンフィギュレーションデータに基づく信号が出力される。時刻T04において、配線CCSL aおよび配線ISLの電位がHレベルとなる。しかしながら、ノードN 1 aの電位がLレベルであるので、トランジスタ22 aはオフ状態であり、したがってノードN 2 aはLレベル電位を維持する。このため、トランジスタ23 aはオフ状態を維持し、配線ISLの電位がHレベルであるにもかかわらず配線OSLの電位はLレベルのままとなる（図7（A））。

【0084】

時刻T05において、配線ISLの電位がLレベルとなる（図7（B））。また、時刻T06において、配線CCSLaの電位をLレベルとする。以上で回路11aに保持されたコンフィギュレーションデータに基づく信号の出力が終了する（図8（A））。

【0085】

時刻T07乃至時刻T10において、回路11bに保持されたコンフィギュレーションデータに基づく信号が出力される。また、時刻T08乃至時刻T09において、配線CCSLaから供給されるコンテキストデータ信号で選択されるコンフィギュレーションデータに対し、リコンフィギュレーション動作が行われる。つまり、回路10はダイナミックリコンフィギュレーションを行うことができる。これにより、リコンフィギュレーション中も回路動作を継続することが可能となるため、回路10の処理性能を向上することができる。

10

【0086】

なお、時刻T08乃至時刻T09において、回路11aにHレベル電位の信号をコンフィギュレーションデータとして書き込む。つまり、回路11aに保持されるコンフィギュレーションデータがLレベル電位の信号からHレベル電位の信号に変化する。

【0087】

時刻T07において、配線CCSLbの電位がHレベルとなる。ノードN1bの電位がHレベルであるため、トランジスタ22bはオン状態であり、ノードN2bの電位はHレベルとなる。これにより、トランジスタ23bはオン状態となる。なお、ノードN2bの電位は、配線CCSLbの電位からトランジスタ22bのしきい値電圧 V_{thb} 分減少した電位となる。つまり、時刻T07における配線CCSLbの電位をVDDとすると、ノードN2bの電位は $VDD - V_{thb}$ となり、ノードN1bの電位より低くなる。なお、ノードN2bの電位低下は、時刻T02において配線DLの電位を調整し、ノードN1bの電位を時刻T07における配線CCSLbの電位より V_{thb} 以上高い電位とすることで防ぐことができる（図8（B））。

20

【0088】

時刻T08において、配線ISLの電位がHレベルとなる。トランジスタ23bはオン状態であるので、配線OSLの電位もHレベルとなる。配線ISLの電位および配線OSLの電位がHレベルとなることで、トランジスタ23bのゲート電極の容量と、ソース電極ードレイン電極間の容量と、を介した容量結合によってノードN2bの電位が上昇する（ブースティング効果）。これにより、トランジスタ23bを介して配線ISLと配線OSLとの間に流れる電流値を増加させることができる。したがって、回路10の処理性能を向上することができる（図9（A））。

30

【0089】

なお、ブースティング効果によりノードN2bの電位がノードN1bの電位より高くなるので、トランジスタ22bはオフ状態となる。したがって、ノードN2bの電位がノードN1bの電位より高い状態が維持される。

【0090】

また、時刻T08において、配線WL aの電位をHレベルとすることにより、トランジスタ21aをオン状態とする。この状態で配線DLの電位をHレベルとすることにより、ノードN1aの電位はHレベルに書き換えられる。これにより、トランジスタ22aがオン状態となる。

40

【0091】

時刻T09において、配線ISLの電位がLレベルとなる。トランジスタ23bがオン状態であるので、配線OSLの電位もLレベルとなる。配線ISLの電位および配線OSLの電位がLレベルとなることで、トランジスタ23bのゲート電極の容量と、ソース電極ードレイン電極間の容量と、を介した容量結合によってノードN2bの電位が下降し、時刻T07乃至時刻T08における電位 $VDD - V_{thb}$ に戻る。これにより、ノードN2bの電位がノードN1bの電位よりも低くなり、トランジスタ22bがオン状態となる（図9（B））。

50

【0092】

また、時刻T09において、配線WL aの電位をLレベルとすることにより、トランジスタ21 aをオフ状態とする。その後、配線DLの電位をLレベルとする。以上でリコンフィギュレーション動作が終了する。

【0093】

時刻T10において、配線CCSL bの電位をLレベルとする。これにより、ノードN2 bの電位がLレベルとなり、トランジスタ23 bがオフ状態となる。以上で回路11 bに保持されたコンフィギュレーションデータに基づく信号の出力が終了する（図10（A））。

【0094】

時刻T11乃至時刻T14において、回路11 aに保持されたコンフィギュレーションデータに基づく信号が出力される。また、時刻T12乃至時刻T13において、配線CCSL bから供給されるコンテキストデータ信号で選択されるコンフィギュレーションデータに対し、リコンフィギュレーション動作が行われる。

【0095】

なお、時刻T12乃至時刻T13において、回路11 bにLレベル電位の信号をコンフィギュレーションデータとして書き込む。つまり、回路11 bに保持されるコンフィギュレーションデータがHレベル電位の信号からLレベル電位の信号に変化する。

【0096】

時刻T11において、配線CCSL aの電位がHレベルとなる。ノードN1 aの電位がHレベルであるため、トランジスタ22 aはオン状態であり、ノードN2 aの電位はHレベルとなる。これにより、トランジスタ23 aはオン状態となる。なお、ノードN2 aの電位は、配線CCSL aの電位からトランジスタ22 aのしきい値電圧 V_{th_a} 分減少した電位となる。つまり、時刻T11における配線CCSL aの電位をVDDとすると、ノードN2 aの電位は $VDD - V_{th_a}$ となり、ノードN1 aの電位より低くなる。なお、ノードN2 aの電位低下は、時刻T08において配線DLの電位を調整し、ノードN1 aの電位を時刻T11における配線CCSL aの電位より V_{th_a} 以上高い電位とすることで防ぐことができる（図10（B））。

【0097】

時刻T12において、配線ISLの電位がHレベルとなる。トランジスタ23 aはオン状態であるので、配線OSLの電位もHレベルとなる。配線ISLの電位および配線OSLの電位がHレベルとなることで、ブースティング効果によりノードN2 aの電位が上昇する。これにより、トランジスタ23 aを介して配線ISLと、配線OSLと、の間に流れる電流値を増加させることができる。したがって、回路10の処理性能を向上することができる（図11（A））。

【0098】

なお、ブースティング効果によりノードN2 aの電位がノードN1 aの電位より高くなるので、トランジスタ22 aはオフ状態となる。したがって、ノードN2 aの電位がノードN1 aの電位より高い状態が維持される。

【0099】

また、時刻T12において、配線WL bの電位をHレベルとすることにより、トランジスタ21 bをオン状態とする。配線DLの電位はLレベルであるので、ノードN1 bの電位はLレベルに書き換えられる。これにより、トランジスタ22 bがオフ状態となる。

【0100】

時刻T13（図11（B））において、配線ISLの電位がLレベルとなる。トランジスタ23 aがオン状態であるので、配線OSLの電位もLレベルとなる。配線ISLの電位および配線OSLの電位がLレベルとなることで、ノードN2 aの電位が下降し、時刻T10乃至時刻T11における電位 $VDD - V_{th_a}$ に戻る。これにより、ノードN2 aの電位がノードN1 aの電位より低くなり、トランジスタ22 aがオン状態となる。

【0101】

10

20

30

40

50

また、時刻T 1 3において、配線W L bの電位をLレベルとすることにより、トランジスタ2 1 bをオフ状態とする。以上でリコンフィギュレーション動作が終了する。

【0 1 0 2】

時刻T 1 4（図1 2）において、配線C C S L aの電位をLレベルとする。これにより、ノードN 2 aの電位がLレベルとなり、トランジスタ2 3 aがオフ状態となる。以上で回路1 1 aに保持されたコンフィギュレーションデータに基づく信号の出力が終了する。

【0 1 0 3】

以上が図3に示す回路1 0の動作例である。

【0 1 0 4】

図4に示すように、回路1 1 aおよび回路1 1 bに保持されたコンフィギュレーションデータの電位は配線I S Lおよび配線O S Lの電位に依存しない。つまり、ダイナミックリコンフィギュレーション中に配線I S Lおよび配線O S Lの電位が変化しても容量結合などの相互作用によってノードN 1 aおよびノードN 1 bの電位が変動することがない。したがって、回路1 0の動作の安定性を高めることができる。

【0 1 0 5】

図3以外に示す構成の回路1 0の動作についても、図4に示すタイミングチャートを参照することができる。また、トランジスタ2 1 a乃至トランジスタ2 3 aおよびトランジスタ2 1 b乃至トランジスタ2 3 bの一部またはすべてをp-c h型トランジスタとした場合であっても、必要に応じて電位の大小関係を逆にするなどにより、回路1 0の動作は図4に示すタイミングチャートを参照することができる。

【0 1 0 6】

なお、本実施の形態において、本発明の一態様について述べた。または、他の実施の形態において、本発明の一態様について述べる。ただし、本発明の一態様は、これらに限定されない。つまり、本実施の形態および他の実施の形態では、様々な発明の態様が記載されているため、本発明の一態様は、特定の態様に限定されない。例えば、本発明の一態様として、トランジスタのチャネル形成領域、ソースドレイン領域などが、酸化物半導体を有する場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソースドレイン領域などは、様々な半導体を有していてもよい。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソースドレイン領域などは、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、または、有機半導体などの少なくとも一つを有していてもよい。または例えば、場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソースドレイン領域などは、酸化物半導体を有していなくてもよい。

【0 1 0 7】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することができる。

【0 1 0 8】

（実施の形態2）

本実施の形態では、実施の形態1で示した回路1 0の変形例について図面を用いて説明する。

【0 1 0 9】

回路1 0が有する回路1 1 aおよび回路1 1 bは、さまざまな構成とすることができる。例えば、図1 3（A）に示す回路1 4 0 aのように、回路1 1 aはトランジスタ2 1 aおよびラッチ回路3 3 aを有し、回路1 1 bはトランジスタ2 1 bおよびラッチ回路3 3 bを有する構成とすることができる。また、図1 3（B）に示す回路1 4 0 bのように、配線D Lの論理を反転させたデータ（相補データ）を供給する機能を有する配線D L bを設

けてもよい。この場合、ラッチ回路33aと、配線DLbと、はトランジスタ25aを介して電氣的に接続されている。また、ラッチ回路33bと、配線DLbと、はトランジスタ25bを介して接続されている。

【0110】

また、図14(A)に示す回路150aのように、回路11aはトランジスタ21a、ラッチ回路34a、MRAM32a(Magnetoresistive Random Access Memory)および配線53aを有し、回路11bはトランジスタ21b、ラッチ回路34b、MRAM32bおよび配線53bを有する構成としてもよい。また、図14(B)に示す回路150bのように、ラッチ回路34aと、MRAM32aと、がトランジスタ26aを介して接続され、ラッチ回路34bと、MRAM32bと、がトランジスタ26bを介して接続されている構成としてもよい。

10

【0111】

なお、図14(A)(B)に示す回路11aおよび回路11bにおいて、ラッチ回路を設けなくてもよい。

【0112】

また、回路11aおよび回路11bは、例えばReRAM(Resistance Random Access Memory)を有してもよいし、例えばフラッシュメモリを有していてもよい。

【0113】

図15に示す回路160は、図3に示す回路10から容量素子31aおよび容量素子31bを省略した構成である。この場合、ノードN1aに電氣的に接続された配線が有する寄生容量などにより、ノードN1aにコンフィギュレーションデータを保持する。また、ノードN1bに電氣的に接続された配線が有する寄生容量などにより、ノードN1bにコンフィギュレーションデータを保持する。このような構成とすることで、回路10の占有面積を小さくすることができる。これにより、本発明の一態様の半導体装置を小型化することができる。また、本発明の一態様の半導体装置の集積度を高めることができる。

20

【0114】

なお、以上示した回路11aおよび回路11bの構成はあくまで一例であり、コンフィギュレーションデータを保持する機能を有すれば任意の構成とすることができる。

【0115】

図16(A)(B)は、図3に示す回路10が有するトランジスタ21a、トランジスタ21b、トランジスタ22aおよびトランジスタ22bにバックゲートを設けた構成である。図16(A)はバックゲートに定電位を印加する構成であり、しきい値電圧を制御することができる。また、図16(B)はフロントゲートと同じ電位がバックゲートに印加される構成であり、オン電流を増加させることができる。なお、図16(C)(D)に示すように、トランジスタ21a乃至トランジスタ23aおよびトランジスタ21b乃至トランジスタ23bにバックゲートを設ける構成であってもよい。さらに、図16(E)に示すように、フロントゲートと同じ電位がバックゲートに印加される構成のトランジスタと、バックゲートに定電位を印加する構成のトランジスタと、を必要に応じて組み合わせてもよい。

30

40

【0116】

なお、図16において、配線および符号の一部を省略している。

【0117】

図17に示す回路170は、図3に示す構成の回路10が有するトランジスタ21aをスイッチ41aに、トランジスタ21bをスイッチ41bにそれぞれ置き換えた構成である。これらのトランジスタは、スイッチング機能を有していればトランジスタに限らず任意の素子を用いることができる。なお、トランジスタ21aおよびトランジスタ21bのうち一方をトランジスタとし、もう一方をスイッチング機能を有する他の素子としてもよい。

【0118】

50

図18に示す回路180は、図1に示す構成の回路10にトランジスタ24aと、トランジスタ24bと、を追加した構成である。なお、トランジスタ24aおよびトランジスタ24bが両方ともn-c h型トランジスタである場合の例を示すが、本発明の一態様はこれに限定されず、一方または両方のトランジスタをp-c h型トランジスタに置き換えてもよい。

【0119】

トランジスタ24aのソースまたはドレインの一方は、トランジスタ23aのゲートと電氣的に接続されている。トランジスタ24bのソースまたはドレインの一方は、トランジスタ23bのゲートと電氣的に接続されている。トランジスタ24aのソースまたはドレインの他方は、配線52aと電氣的に接続されている。トランジスタ24bのソースまたはドレインの他方は、配線52bと電氣的に接続されている。トランジスタ24aのゲートは、配線WL aと電氣的に接続されている。トランジスタ24bのゲートは、配線WL bと電氣的に接続されている。

10

【0120】

なお、配線52aおよび配線52bの電位は、例えばLレベル電位とすることができる。

【0121】

トランジスタ24aは、回路11aへのコンフィギュレーションデータの書込時に、ノードN2aの電位をトランジスタ23aがオフ状態となる電位に固定する機能を有する。トランジスタ24bは、回路11bへのコンフィギュレーションデータの書込時に、ノードN2bの電位をトランジスタ23bがオフ状態となる電位に固定する機能を有する。これにより、回路10の異常動作を防ぐことができる。また、コンフィギュレーション動作時の信号制御を単純化することができる。

20

【0122】

なお、トランジスタ24aおよびトランジスタ24bはOSトランジスタとしてもよい。これにより、トランジスタ24aおよびトランジスタ24bのオフ電流を低減することができる。したがって、ノードN2aおよびノードN2bに書き込まれた信号の保持時間を長くすることができる。

【0123】

また、トランジスタ24aおよびトランジスタ24bにバックゲートを設けてもよい。バックゲートには例えば定電位を印加してもよいし、例えばフロントゲートと同じ電位を印加してもよい。トランジスタ24aおよびトランジスタ24bは、スイッチング機能を有していればトランジスタに限らず任意の素子を用いることができる。

30

【0124】

なお、図1乃至図3および図13乃至図18に示す構成は、それぞれ任意に組み合わせることができる。

【0125】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することができる。

【0126】

(実施の形態3)

40

本実施の形態では、本発明の一態様のPSEを用いたPLDについて、図面を用いて説明する。

【0127】

図19は、回路10を用いたPLD100のブロック図である。なお図面におけるブロック図の各回路ブロックの配置は、説明のため位置関係を特定するものであり、異なる回路ブロックで別々の機能を実現するよう示していても、実際の回路ブロックにおいては同じ回路ブロック内で別々の機能を実現しうるように設けられている場合もある。また図面における各回路ブロックの機能は、説明のため機能を特定するものであり、一つの回路ブロックとして示していても、実際の回路ブロックにおいては一つの回路ブロックで行う処理を、複数の回路ブロックで行うよう設けられている場合もある。

50

【0128】

PLD100は、回路10と、プログラム可能な論理回路であるPLEとしての機能を有する回路110（PLE）と、入出力回路としての機能を有する回路120（IO）と、回路130と、回路131と、回路132と、回路133と、回路134と、を有する。

【0129】

図19の例では、回路10がマトリクス状に配置されてスイッチアレイ101a（SWAa）、スイッチアレイ101b（SWAb）およびスイッチアレイ101c（SWAc）を構成する。回路110（PLE）が10個配置されてロジックアレイ111a（LAa）を構成し、回路110（PLE）が10個配置されてロジックアレイ111b（LAb）を構成する。回路120（IO）が10個配置されて入出力アレイ121a（IOAa）を構成し、回路120（IO）が10個配置されて入出力アレイ121b（IOAb）を構成する。

10

【0130】

なお、ロジックアレイ111a（LAa）が有する10個の回路110（PLE）を回路110__00（PLE__00）乃至回路110__09（PLE__09）と表記する。ロジックアレイ111b（LAb）が有する10個の回路110（PLE）を回路110__10（PLE__10）乃至回路110__19（PLE__19）と表記する。入出力アレイ121a（IOAa）が有する10個の回路120（IO）を回路120__00（IO__00）乃至回路120__09（IO__09）と表記する。入出力アレイ121b（IOAb）が有する10個の回路120（IO）を回路120__10（IO__10）乃至回路120__19（IO__19）と表記する。

20

【0131】

さらに、図19に示す回路10内の表記はその機能を表している。例えば、“PLE0*to IO00”とは、回路10が、回路110__00（PLE__00）乃至回路110__09（PLE__09）の出力ノードと、回路120__00（IO__00）の入力ノードとの間に配置されたPSEであることを示している。

【0132】

なお、回路120__00（IO__00）乃至回路120__19（IO__19）は、互いに異なる外部端子と電氣的に接続されている。入出力アレイ121a（IOAa）および入出力アレイ121b（IOAb）は、PLD100の外部端子と、ロジックアレイ111a（LAa）およびロジックアレイ111b（LAb）と、の間の信号の入出力を制御する機能を有する。

30

【0133】

回路130は、外部から入力されるクロック信号から、PLD100内で使用される1または複数のクロック信号を生成する、クロック生成装置としての機能を有する。回路131は、コンフィギュレーションデータを生成して配線DLに供給することができる、列ドライバ回路としての機能を有する。回路132は、書き込み制御信号を生成して配線WL aや配線WL bなどに供給することができる、行ドライバ回路としての機能を有する。回路133は、回路131および回路132を制御する機能を有する。回路134は、コンテキストデータ信号を生成して配線CCSL aや配線CCSL bなどに供給することができる、コンテキストコントローラとしての機能を有する。

40

【0134】

なお、配線DL、配線WL a、配線WL b、配線CCSL aおよび配線CCSL bは図19には示していない。

【0135】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせる実施することができる。

【0136】

（実施の形態4）

本実施の形態では、回路10の具体的な構成例について、図面を用いて説明する。

50

【0137】

図20(A)は、本発明の一態様の半導体装置の断面図の一例であり、図3に示す構成の回路10におけるトランジスタ21a、トランジスタ22a、トランジスタ23aおよび容量素子31aの具体的な接続形態の一例を示す。また、図20(B)は、図20(A)に示すトランジスタのチャンネル幅方向の断面図の一例である。

【0138】

ここで、トランジスタ21aおよびトランジスタ22aはOSトランジスタとし、トランジスタ23aはSiトランジスタとする。

【0139】

回路10は、シリコン基板200に形成される。シリコン基板200上には、層201、層202および層204が形成されている。層201にはSiトランジスタを形成し、層202にはOSトランジスタを形成し、層204には容量素子を形成する。つまり、層201にはトランジスタ23aを形成し、層202にはトランジスタ21aおよびトランジスタ22aを形成し、層204には容量素子31aを形成する。このように、OSトランジスタと、Siトランジスタと、容量素子と、が積層された構成とすることにより、回路10の占有面積を小さくすることができるため、本発明の一態様の半導体装置を小型化することができる。また、本発明の一態様の半導体装置の集積度を高めることができる。

【0140】

なお、図20(A)に示す各配線と、各素子と、は導電体210によって電氣的に接続されている。また、各素子間も導電体210によって電氣的に接続されている。

【0141】

なお、本実施の形態で説明する断面図において、配線およびコンタクトプラグ（導電体210）を個別の要素として図示しているが、それらが電氣的に接続している場合においては、同一の要素として設けられる場合もある。

【0142】

また、図面に示される配線などの一部が設けられない場合や、図面に示されない配線などやトランジスタなどが各層に含まれる場合もある。また、図面に示されない層が当該積層構造に含まれる場合もある。また、図面に示される層の一部が含まれない場合もある。

【0143】

また、各要素上には保護膜、層間絶縁膜または平坦化膜としての機能を有する絶縁膜が設けられる。層201には絶縁膜221が、層202には絶縁膜222が、層204には絶縁膜223がそれぞれ設けられる。例えば、絶縁膜221、絶縁膜222および絶縁膜223などは、酸化シリコン膜、酸化窒化シリコン膜などの無機絶縁膜を用いることができる。または、アクリル樹脂、ポリイミド樹脂などの有機絶縁膜などを用いてもよい。絶縁膜221、絶縁膜222および絶縁膜223などの上面は、必要に応じてCMP（Chemical Mechanical Polishing）法などで平坦化処理を行うことが好ましい。

【0144】

さらに、層201と、層202と、の間には絶縁膜203が形成される。絶縁膜203としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア（YSZ：Yttria-Stabilized Zirconia）などを用いることができる。

【0145】

トランジスタ23aの活性領域近傍に設けられる絶縁膜中の水素はシリコンのダングリングボンドを終端する。したがって、当該水素はトランジスタ23aの信頼性を向上させる効果がある。一方、トランジスタ21aおよびトランジスタ22aの活性層である酸化物半導体膜の近傍に設けられる絶縁膜中の水素は、酸化物半導体膜中にキャリアを生成する要因の1つとなる。そのため、当該水素はトランジスタ21aおよびトランジスタ22aの信頼性を低下させる要因となる場合がある。絶縁膜203により、層201に水素を閉

10

20

30

40

50

じ込めることでトランジスタ23aの信頼性が向上する。また、層201から層202への水素の拡散が抑制されることでOSトランジスタであるトランジスタ21aおよびトランジスタ22aの信頼性も向上する。

【0146】

図20において、各トランジスタはバックゲートを有する形態を例示しているが、バックゲートを有さない形態であってもよい。または、一部のトランジスタのみバックゲートを有する形態であってもよい。当該バックゲートは、対向して設けられるトランジスタのフロントゲートと電氣的に接続する場合がある。または、当該バックゲートにフロントゲートとは異なる固定電位が供給される場合がある。

【0147】

なお、図20では、層204は層202の上に積層されているが、これに限られない。例えば、層201と、層202と、の間に層204を形成してもよい。

【0148】

また、図20において、Siトランジスタであるトランジスタ23aはフィン型の構成としているが、図21(A)に示すようにプレーナ型であってもよい。または、図21(B)に示すように、シリコン薄膜の活性層230を有するトランジスタであってもよい。また、活性層230は、多結晶シリコンやSOI(Silicon on Insulator)の単結晶シリコンとすることができる。

【0149】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0150】

(実施の形態5)

本実施の形態では、本発明の一態様に用いることのできる酸化物半導体を有するトランジスタについて図面を用いて説明する。なお、本実施の形態における図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。

【0151】

図22(A)は本発明の一態様のトランジスタ401の上面図である。また、図22(A)に示す一点鎖線B1-B2方向の断面が図22(B)に相当する。また、図22(A)に示す一点鎖線B3-B4方向の断面が図24(A)に相当する。なお、一点鎖線B1-B2方向をチャンネル長方向、一点鎖線B3-B4方向をチャンネル幅方向と呼称する場合がある。

【0152】

トランジスタ401は、基板415と、絶縁膜420と、酸化物半導体膜430と、導電膜440と、導電膜450と、絶縁膜460と、導電膜470と、絶縁膜475と、絶縁膜480と、を有する。

【0153】

絶縁膜420は基板415と接し、酸化物半導体膜430は絶縁膜420と接し、導電膜440および導電膜450は絶縁膜420および酸化物半導体膜430と接し、絶縁膜460は絶縁膜420、酸化物半導体膜430、導電膜440および導電膜450と接し、導電膜470は絶縁膜460と接し、絶縁膜475は絶縁膜420、導電膜440、導電膜450および導電膜470と接し、絶縁膜480は絶縁膜475と接する。

【0154】

ここで、酸化物半導体膜430における、導電膜440と接する領域を領域531、導電膜450と接する領域を領域532、絶縁膜460と接する領域を領域533とする。

【0155】

また、導電膜440および導電膜450は酸化物半導体膜430と電氣的に接続されている。

【0156】

導電膜440はソース電極、導電膜450はドレイン電極、絶縁膜460はゲート絶縁膜

10

20

30

40

50

、導電膜 470 はゲート電極としての機能を有することができる。

【0157】

また、図 22 (B) に示す領域 531 はソース領域、領域 532 はドレイン領域、領域 533 はチャンネル形成領域としての機能を有することができる。

【0158】

また、導電膜 440 および導電膜 450 は単層で形成される例を図示しているが、二層以上の積層であってもよい。さらに、導電膜 470 は、導電膜 471 および導電膜 472 の二層で形成される例を図示しているが、一層または三層以上の積層であってもよい。当該構成は本実施の形態で説明する他のトランジスタにも適用できる。

【0159】

なお、必要に応じて絶縁膜 480 に平坦化膜としての機能を付加してもよい。

【0160】

また、本発明の一態様のトランジスタは、図 22 (C)、(D) に示す構成であってもよい。図 22 (C) はトランジスタ 402 の上面図である。また、図 22 (C) に示す一点鎖線 C1-C2 方向の断面が図 22 (D) に相当する。また、図 22 (C) に示す一点鎖線 C3-C4 方向の断面は、図 24 (B) に相当する。なお、一点鎖線 C1-C2 方向をチャンネル長方向、一点鎖線 C3-C4 方向をチャンネル幅方向と呼称する場合がある。

【0161】

トランジスタ 402 は、絶縁膜 460 の端部と導電膜 470 の端部を一致させない点が、トランジスタ 401 と異なる。トランジスタ 402 の構造は、導電膜 440 および導電膜 450 が絶縁膜 460 で広く覆われているため、導電膜 440 および導電膜 450 と、導電膜 470 の間の電気抵抗が高く、ゲートリーク電流の少ない特徴を有している。

【0162】

トランジスタ 401 およびトランジスタ 402 は、導電膜 470 と導電膜 440 および導電膜 450 が重なる領域を有するトップゲート構造である。当該領域のチャンネル長方向の幅は、寄生容量を小さくするために 3 nm 以上 300 nm 未満とすることが好ましい。当該構成では、酸化物半導体膜 430 にオフセット領域が形成されないため、オン電流の高いトランジスタを形成しやすい。

【0163】

また、本発明の一態様のトランジスタは、図 22 (E)、(F) に示す構成であってもよい。図 22 (E) はトランジスタ 403 の上面図である。また、図 22 (E) に示す一点鎖線 D1-D2 方向の断面が図 22 (F) に相当する。また、図 22 (E) に示す一点鎖線 D3-D4 方向の断面は、図 24 (A) に相当する。なお、一点鎖線 D1-D2 方向をチャンネル長方向、一点鎖線 D3-D4 方向をチャンネル幅方向と呼称する場合がある。

【0164】

トランジスタ 403 の絶縁膜 420 は基板 415 と接し、酸化物半導体膜 430 は絶縁膜 420 と接し、絶縁膜 460 は絶縁膜 420 および酸化物半導体膜 430 と接し、導電膜 470 は絶縁膜 460 と接し、絶縁膜 475 は絶縁膜 420、酸化物半導体膜 430 および導電膜 470 と接し、絶縁膜 480 は絶縁膜 475 と接し、導電膜 440 および導電膜 450 は酸化物半導体膜 430 および絶縁膜 480 と接する。

【0165】

絶縁膜 475 および絶縁膜 480 に開口部が設けられ、当該開口部を通じて導電膜 440 および導電膜 450 が酸化物半導体膜 430 と電氣的に接続されている。

【0166】

なお、必要に応じて導電膜 440、導電膜 450 および絶縁膜 480 に接する絶縁膜（平坦化膜）などを有していてもよい。

【0167】

また、酸化物半導体膜 430 において、絶縁膜 475 と接し、領域 531 と領域 533 に挟まれた領域を領域 534 とする。また、絶縁膜 475 と接し、領域 532 と領域 533 に挟まれた領域を領域 535 とする。

10

20

30

40

50

【0168】

また、本発明の一態様のトランジスタは、図23(A)、(B)に示す構成であってもよい。図23(A)はトランジスタ404の上面図である。また、図23(A)に示す一点鎖線E1-E2方向の断面が図23(B)に相当する。また、図23(A)に示す一点鎖線E3-E4方向の断面は、図24(A)に相当する。なお、一点鎖線E1-E2方向をチャンネル長方向、一点鎖線E3-E4方向をチャンネル幅方向と呼称する場合がある。

【0169】

トランジスタ404の絶縁膜420は基板415と接し、酸化物半導体膜430は絶縁膜420と接し、導電膜440および導電膜450は絶縁膜420および酸化物半導体膜430と接し、絶縁膜460は絶縁膜420および酸化物半導体膜430と接し、導電膜470は絶縁膜460と接し、絶縁膜475は絶縁膜420、酸化物半導体膜430、導電膜440、導電膜450および導電膜470と接し、絶縁膜480は絶縁膜475と接する。

10

【0170】

トランジスタ404は、導電膜440および導電膜450が酸化物半導体膜430の端部を覆うように接している点が、トランジスタ403と異なる。

【0171】

トランジスタ403およびトランジスタ404は導電膜470と、導電膜440および導電膜450が重なる領域を有さないセルフアライン構造である。セルフアライン構造のトランジスタはゲートと、ソースおよびドレインと、の寄生容量が極めて小さいため、高速動作用途に適している。

20

【0172】

また、本発明の一態様のトランジスタは、図23(C)、(D)に示す構成であってもよい。図23(C)はトランジスタ405の上面図である。また、図23(C)に示す一点鎖線F1-F2方向の断面が図23(D)に相当する。また、図23(C)に示す一点鎖線F3-F4方向の断面は、図24(A)に相当する。なお、一点鎖線F1-F2方向をチャンネル長方向、一点鎖線F3-F4方向をチャンネル幅方向と呼称する場合がある。

【0173】

トランジスタ405は、導電膜440が導電膜441と導電膜442の2層で形成され、導電膜450が導電膜451と導電膜452の2層で形成されている。また、絶縁膜420は基板415と接し、酸化物半導体膜430は絶縁膜420と接し、導電膜441および導電膜451は酸化物半導体膜430と接し、絶縁膜460は絶縁膜420、酸化物半導体膜430、導電膜441および導電膜451と接し、導電膜470は絶縁膜460と接し、絶縁膜475は絶縁膜420、導電膜441、導電膜451および導電膜470と接し、絶縁膜480は絶縁膜475と接し、導電膜442は導電膜441および絶縁膜480と接し、導電膜452は導電膜451および絶縁膜480と接する。

30

【0174】

ここで、導電膜441および導電膜451は、酸化物半導体膜430の上面と接し、側面には接しない構成となっている。

【0175】

なお、必要に応じて導電膜442、導電膜452および絶縁膜480に接する絶縁膜などを有していてもよい。

40

【0176】

また、導電膜441および導電膜451が酸化物半導体膜430と電氣的に接続されている。そして、導電膜442が導電膜441と、導電膜452が導電膜451とそれぞれ電氣的に接続されている。

【0177】

酸化物半導体膜430において、導電膜441と重なる領域がソース領域としての機能を有することができる領域531となり、導電膜451と重なる領域がドレイン領域としての機能を有することができる領域532となる。

50

【0178】

また、本発明の一態様のトランジスタは、図23(E)、(F)に示す構成であってもよい。図23(E)はトランジスタ406の上面図である。また、図23(E)に示す一点鎖線G1-G2方向の断面が図23(F)に相当する。また、図23(E)に示す一点鎖線G3-G4方向の断面は、図24(A)に相当する。なお、一点鎖線G1-G2方向をチャンネル長方向、一点鎖線G3-G4方向をチャンネル幅方向と呼称する場合がある。

【0179】

トランジスタ406は、導電膜440が導電膜441および導電膜442の2層で形成され、導電膜450が導電膜451および導電膜452の2層で形成されている点が、トランジスタ403と異なる。

10

【0180】

トランジスタ405およびトランジスタ406の構成では、導電膜440および導電膜450が絶縁膜420と接しない構成であるため、絶縁膜420中の酸素が導電膜440および導電膜450に奪われにくくなり、絶縁膜420から酸化物半導体膜430中への酸素の供給を容易とすることができる。

【0181】

なお、トランジスタ403、トランジスタ404およびトランジスタ406における領域534および領域535には、酸素欠損を形成し導電率を高めるための不純物を添加してもよい。酸化物半導体膜に酸素欠損を形成する不純物としては、例えば、リン、砒素、アンチモン、ホウ素、アルミニウム、シリコン、窒素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、インジウム、フッ素、塩素、チタン、亜鉛、および炭素のいずれかから選択される一つ以上を用いることができる。当該不純物の添加方法としては、プラズマ処理法、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。

20

【0182】

不純物元素として、上記元素が酸化物半導体膜に添加されると、酸化物半導体膜中の金属元素および酸素の結合が切断され、酸素欠損が形成される。酸化物半導体膜に含まれる酸素欠損と酸化物半導体膜中に残存または後から添加される水素の相互作用により、酸化物半導体膜の導電率を高くすることができる。

【0183】

なお、不純物元素の添加により酸素欠損が形成された酸化物半導体に水素を添加すると、酸素欠損サイトに水素が入り伝導帯近傍にドナー準位が形成される。その結果、酸化物導電体を形成することができる。ここでは、導電体化された酸化物半導体を酸化物導電体という。なお、酸化物導電体は酸化物半導体と同様に透光性を有する。

30

【0184】

酸化物導電体は、縮退半導体であり、伝導帯端とフェルミ準位とが一致または略一致していると推定される。このため、酸化物導電体膜とソースおよびドレインとしての機能を有することができる導電膜との接触はオーミック接触であり、酸化物導電体膜と、ソースおよびドレインとしての機能を有することができる導電膜との接触抵抗を低減することができる。

40

【0185】

また、図22乃至図24(A)、(B)におけるトランジスタ401乃至トランジスタ406では、酸化物半導体膜430が単層である例を図示したが、酸化物半導体膜430は積層であってもよい。図25(A)は酸化物半導体膜430の上面図であり、図25(B)、(C)は、酸化物半導体膜430aおよび酸化物半導体膜430bの二層構造を有する酸化物半導体膜430の断面図である。また、図25(D)、(E)は、酸化物半導体膜430a、酸化物半導体膜430bおよび酸化物半導体膜430cの三層構造を有する酸化物半導体膜430の断面図である。

【0186】

なお、酸化物半導体膜430aおよび酸化物半導体膜430cは、チャンネル領域を形成し

50

ないため絶縁膜と呼ぶこともできる。

【0187】

酸化物半導体膜430a、酸化物半導体膜430b、酸化物半導体膜430cには、それぞれ組成の異なる酸化物半導体膜などを用いることができる。

【0188】

トランジスタ401乃至トランジスタ406の酸化物半導体膜430は、図25(B)、(C)または図25(D)、(E)に示す酸化物半導体膜430と入れ替えることができる。

【0189】

また、本発明の一態様のトランジスタは、図26乃至図28に示す構成であってもよい。図26(A)、(C)、(E)および図27(A)、(C)、(E)はトランジスタ407乃至トランジスタ412の上面図である。また、図26(A)、(C)、(E)および図27(A)、(C)、(E)に示す一点鎖線H1-H2方向乃至M1-M2方向の断面が図26(B)、(D)、(F)および図27(B)、(D)、(F)に相当する。また、図26(A)、(E)および図27(A)、(C)、(E)に示す一点鎖線H3-H4およびJ3-J4乃至M3-M4方向の断面が図28(A)に相当する。さらに、図26(C)に示す一点鎖線I3-I4方向の断面が図28(B)に相当する。なお、一点鎖線H1-H2方向乃至M1-M2方向をチャンネル長方向、一点鎖線H3-H4方向乃至M3-M4方向をチャンネル幅方向と呼称する場合がある。

【0190】

トランジスタ407およびトランジスタ408は、領域531および領域532において酸化物半導体膜430が二層（酸化物半導体膜430a、酸化物半導体膜430b）である点、領域533において酸化物半導体膜430が三層（酸化物半導体膜430a、酸化物半導体膜430b、酸化物半導体膜430c）である点、および導電膜440および導電膜450と、絶縁膜460と、の間に酸化物半導体膜の一部（酸化物半導体膜430c）が介在している点を除き、トランジスタ401およびトランジスタ402と同様の構成を有する。

【0191】

トランジスタ409、トランジスタ410およびトランジスタ412は、領域531、領域532、領域534および領域535において酸化物半導体膜430が二層（酸化物半導体膜430a、酸化物半導体膜430b）である点、領域533において酸化物半導体膜430が三層（酸化物半導体膜430a、酸化物半導体膜430b、酸化物半導体膜430c）である点を除き、トランジスタ403、トランジスタ404およびトランジスタ406と同様の構成を有する。

【0192】

トランジスタ411は、領域531および領域532において酸化物半導体膜430が二層（酸化物半導体膜430a、酸化物半導体膜430b）である点、領域533において酸化物半導体膜430が三層（酸化物半導体膜430a、酸化物半導体膜430b、酸化物半導体膜430c）である点、ならびに導電膜441および導電膜451と、絶縁膜460と、の間に酸化物半導体膜の一部（酸化物半導体膜430c）が介在している点を除き、トランジスタ405と同様の構成を有する。

【0193】

また、本発明の一態様のトランジスタは、図29(A)、(B)、(C)、(D)、(E)、(F)および図30(A)、(B)、(C)、(D)、(E)、(F)に示すトランジスタ401乃至トランジスタ412のチャンネル長方向の断面図、ならびに図24(C)に示すトランジスタ401乃至トランジスタ406のチャンネル幅方向の断面図および図28(C)に示すトランジスタ407乃至トランジスタ412のチャンネル幅方向の断面図のように、酸化物半導体膜430と基板415との間に導電膜473を備えていてもよい。導電膜473を第2のゲート（バックゲートともいう）として用いることで、酸化物半導体膜430のチャンネル形成領域は、導電膜470と導電膜473により電気的に取り囲ま

10

20

30

40

50

れる。このようなトランジスタの構造を、surrounded channel (s-channel) 構造とよぶ。これにより、オン電流を増加させることができる。また、しきい値電圧の制御を行うことができる。なお、図29(A)、(B)、(C)、(D)、(E)、(F)および図30(A)、(B)、(C)、(D)、(E)、(F)に示す断面図において、導電膜473の幅を酸化物半導体膜430よりも短くしてもよい。さらに、導電膜473の幅を導電膜470の幅よりも短くしてもよい。

【0194】

オン電流を増加させるには、例えば、導電膜470と導電膜473を同電位とし、ダブルゲートトランジスタとして駆動させればよい。また、しきい値電圧の制御を行うには、導電膜470とは異なる定電位を導電膜473に供給すればよい。導電膜470と導電膜473を同電位とするには、例えば、図24(D)および図28(D)に示すように、導電膜470と導電膜473とをコンタクトホールを介して電氣的に接続すればよい。

10

【0195】

また、本発明の一態様のトランジスタは、図31(A)、(B)、(C)に示す構成とすることもできる。図31(A)はトランジスタ413の上面図である。また、図31(B)は、図31(A)に示す一点鎖線N1-N2に対応する断面図である。また、図31(C)は、図31(A)に示す一点鎖線N3-N4に対応する断面図である。なお、図31(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0196】

トランジスタ413の絶縁膜420は基板415と接し、酸化物半導体膜430(酸化物半導体膜430a、酸化物半導体膜430bおよび酸化物半導体膜430c)は絶縁膜420と接し、導電膜440および導電膜450は酸化物半導体膜430bと接し、絶縁膜460は酸化物半導体膜430cと接し、導電膜470は絶縁膜460と接し、絶縁膜480は絶縁膜420、導電膜440および導電膜450と接する。なお、酸化物半導体膜430c、絶縁膜460および導電膜470は、絶縁膜480に設けられ、酸化物半導体膜430bに達する開口部に設けられている。

20

【0197】

トランジスタ413の構成は、前述したその他のトランジスタの構成と比較して、導電膜440または導電膜450と、導電膜470と、が重なる領域が少ないため、寄生容量を小さくすることができる。したがって、トランジスタ413は、高速動作を必要とする回路の要素として適している。なお、トランジスタ413の上面は、図31(B)、(C)に示すようにCMP(Chemical Mechanical Polishing)法などを用いて平坦化することが好ましいが、平坦化しない構成とすることもできる。

30

【0198】

また、本発明の一態様のトランジスタにおける導電膜440および導電膜450は、図32(A)に示す上面図のように酸化物半導体膜430の幅(W_{OS})よりも導電膜440および導電膜450の幅(W_{SD})が長く形成されていてもよいし、図32(B)に示す上面図のように短く形成されていてもよい。特に、 $W_{OS} \geq W_{SD}$ (W_{SD} は W_{OS} 以下)とすることで、ゲート電界が酸化物半導体膜430全体にかかりやすくなり、トランジスタの電気特性を向上させることができる。また、図32(C)に示すように、導電膜440および導電膜450が酸化物半導体膜430と重なる領域のみに形成されていてもよい。

40

【0199】

なお、図32(A)、(B)、(C)において、酸化物半導体膜430、導電膜440および導電膜450のみ図示している。

【0200】

また、酸化物半導体膜430aおよび酸化物半導体膜430bを有するトランジスタ、ならびに酸化物半導体膜430a、酸化物半導体膜430bおよび酸化物半導体膜430cを有するトランジスタにおいては、酸化物半導体膜430を構成する二層または三層の材料を適切に選択することで酸化物半導体膜430bに電流を流すことができる。酸化物半

50

導体膜 430b に電流が流れることで、界面散乱の影響を受けにくく、高いオン電流を得ることができる。したがって、酸化物半導体膜 430b を厚くすることでオン電流が向上する場合がある。

【0201】

以上の構成のトランジスタを用いることにより、半導体装置に良好な電気特性を付与することができる。

【0202】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0203】

(実施の形態 6)

本実施の形態では、実施の形態 5 に示したトランジスタの構成要素について詳細を説明する。

【0204】

<基板>

基板 415 には、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板、炭化シリコン基板、ガリウムヒ素基板、アルミニウムガリウムヒ素基板、インジウムリン基板、窒化ガリウム基板、ガラス基板、石英基板、半導体基板、有機半導体基板、セラミックス基板、表面が絶縁処理された金属基板などを用いることができる。または、トランジスタやフォトダイオードが形成されたシリコン基板、および当該シリコン基板上に絶縁膜、配線、コンタクトプラグとして機能を有する導電体などが形成されたものを用いることができる。なお、例えばシリコン基板に p-ch 型のトランジスタを形成する場合は、n-型の導電性を有するシリコン基板を用いることが好ましい。または、例えば n-型または i-型のシリコン層を有する SOI 基板であってもよい。また、シリコン基板に設けるトランジスタが p-ch 型である場合は、トランジスタを形成する面の面方位は、(110)面であるシリコン基板を用いることが好ましい。(110)面に p-ch 型トランジスタを形成することで、移動度を高くすることができる。

【0205】

<下地絶縁膜>

下地絶縁膜としての機能を有する絶縁膜 420 は、基板 415 に含まれる要素からの不純物の拡散を防止する役割を有するほか、酸化物半導体膜 430 に酸素を供給する役割を担うことができる。したがって、絶縁膜 420 は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。例えば、膜の表面温度が 100℃ 以上 700℃ 以下、好ましくは 100℃ 以上 500℃ 以下の加熱処理で行われる TDS 法にて、酸素原子に換算した酸素の放出量が $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上である膜とする。また、基板 415 が他のデバイスが形成された基板である場合、絶縁膜 420 は、層間絶縁膜としての機能も有する。その場合は、表面が平坦になるように CMP 法などで平坦化処理を行うことが好ましい。

【0206】

例えば、絶縁膜 420 には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどの酸化物絶縁体、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁体、またはこれらの混合材料を用いることができる。また、上記材料の積層であってもよい。

【0207】

<酸化物半導体膜>

酸化物半導体膜 430 は、酸化物半導体膜 430a、酸化物半導体膜 430b および酸化物半導体膜 430c を絶縁膜 420 側から順に積んだ三層構造とすることができる。

【0208】

なお、酸化物半導体膜430が単層の場合は、本実施の形態に示す、酸化物半導体膜430bに相当する層を用いればよい。

【0209】

また、酸化物半導体膜430が二層の場合は、酸化物半導体膜430aに相当する層および酸化物半導体膜430bに相当する層を絶縁膜420側から順に積んだ積層を用いればよい。この構成の場合、酸化物半導体膜430aと酸化物半導体膜430bとを入れ替えることもできる。

【0210】

一例としては、酸化物半導体膜430bには、酸化物半導体膜430aおよび酸化物半導体膜430cよりも電子親和力（真空準位から伝導帯下端までのエネルギー）が大きい酸化物半導体を用いる。

10

【0211】

このような構造において、導電膜470に電界を印加すると、酸化物半導体膜430のうち、伝導帯下端のエネルギーが最も小さい酸化物半導体膜430bにチャンネルが形成される。したがって、酸化物半導体膜430bは半導体として機能する領域を有するといえるが、酸化物半導体膜430aおよび酸化物半導体膜430cは絶縁体または半絶縁体として機能する領域を有するともいえる。

【0212】

また、酸化物半導体膜430a、酸化物半導体膜430b、および酸化物半導体膜430cとして用いることのできる酸化物半導体は、少なくともInもしくはZnを含むことが好ましい。または、InとZnの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

20

【0213】

スタビライザーとしては、Ga、Sn、Hf、Al、またはZrなどがある。また、他のスタビライザーとしては、ランタノイドである、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Luなどがある。

【0214】

酸化物半導体膜430a、酸化物半導体膜430bおよび酸化物半導体膜430cには、結晶部が含まれることが好ましい。特にc軸に配向した結晶を用いることでトランジスタに安定した電気特性を付与することができる。また、c軸に配向した結晶は歪曲に強く、フレキシブル基板を用いた半導体装置の信頼性を向上させることができる。

30

【0215】

<ソース電極およびドレイン電極>

ソース電極として作用する導電膜440およびドレイン電極として作用する導電膜450には、例えば、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料の単層、または積層を用いることができる。代表的には、特に酸素と結合しやすいTiや、後のプロセス温度が比較的高くできることから、融点の高いWを用いることがより好ましい。また、低抵抗のCuやCu-Mnなどの合金と上記材料との積層を用いてもよい。トランジスタ405、トランジスタ406、トランジスタ411、トランジスタ412においては、例えば、導電膜441および導電膜451にW、導電膜442および導電膜452にTiとAlとの積層膜などを用いることができる。

40

【0216】

上記材料は酸化物半導体膜から酸素を引き抜く性質を有する。そのため、上記材料と接した酸化物半導体膜の一部の領域では酸化物半導体膜中の酸素が脱離し、酸素欠損が形成される。膜中に僅かに含まれる水素と当該酸素欠損が結合することにより当該領域は顕著にn型化する。したがって、n型化した当該領域はトランジスタのソースまたはドレインとして作用させることができる。

【0217】

50

また、導電膜 440 および導電膜 450 に W を用いる場合には、窒素をドーピングしてもよい。窒素をドーピングすることで酸素を引き抜く性質を適度に弱めることができ、n 型化した領域がチャネル領域まで拡大することを防ぐことができる。また、導電膜 440 および導電膜 450 を n 型の半導体層との積層とし、n 型の半導体層と酸化物半導体膜を接触させることによって n 型化した領域がチャネル領域まで拡大することを防ぐことができる。n 型の半導体層としては、窒素が添加された In-Ga-Zn 酸化物、酸化亜鉛、酸化インジウム、酸化スズ、酸化インジウムスズなどを用いることができる。

【0218】

<ゲート絶縁膜>

ゲート絶縁膜として作用する絶縁膜 460 には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、絶縁膜 460 は上記材料の積層であってもよい。なお、絶縁膜 460 に、La、N、Zr などを、不純物として含んでいてもよい。

10

【0219】

また、絶縁膜 460 の積層構造の一例について説明する。絶縁膜 460 は、例えば、酸素、窒素、シリコン、ハフニウムなどを有する。具体的には、酸化ハフニウム、および酸化シリコンまたは酸化窒化シリコンを含むと好ましい。

【0220】

酸化ハフニウムおよび酸化アルミニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、酸化シリコンを用いた場合と比べて、絶縁膜 460 の膜厚を大きくできるため、トンネル電流によるリーク電流を小さくすることができる。即ち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

20

【0221】

また、酸化物半導体膜 430 と接する絶縁膜 420 および絶縁膜 460 は、窒素酸化物の放出量の少ない膜を用いることが好ましい。窒素酸化物の放出量の多い絶縁膜と酸化物半導体が接した場合、窒素酸化物に起因する準位密度が高くなることがある。絶縁膜 420 および絶縁膜 460 には、例えば、窒素酸化物の放出量の少ない酸化窒化シリコン膜または酸化窒化アルミニウム膜などの酸化物絶縁膜を用いることができる。

30

【0222】

窒素酸化物の放出量の少ない酸化窒化シリコン膜は、TDS 法において、窒素酸化物の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が $1 \times 10^{18} / \text{cm}^3$ 以上 $5 \times 10^{19} / \text{cm}^3$ 以下である。なお、アンモニアの放出量は、膜の表面温度が 50°C 以上 650°C 以下、好ましくは 50°C 以上 550°C 以下の加熱処理による放出量とする。

40

【0223】

絶縁膜 420 および絶縁膜 460 として、上記酸化物絶縁膜を用いることで、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

【0224】

<ゲート電極>

ゲート電極として作用する導電膜 470 には、例えば、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Mn、Nd、Sc、Ta および W などの導電膜を用いることができる。また、上記材料の合金や上記材料の導電性窒化物を用いてもよい。また、上記材料、上記材料の合金、および上記材料の導電性窒化物から選ばれた複数の材料

50

の積層であってもよい。代表的には、タングステン、タングステンと窒化チタンの積層、タングステンと窒化タンタルの積層などを用いることができる。また、低抵抗のCuまたはCu-Mnなどの合金や上記材料とCuまたはCu-Mnなどの合金との積層を用いてもよい。本実施の形態では、導電膜471に窒化タンタル、導電膜472にタングステンを用いて導電膜470を形成する。

【0225】

<保護絶縁膜>

保護絶縁膜としての機能を有する絶縁膜475には、水素を含む窒化シリコン膜または窒化アルミニウム膜などを用いることができる。実施の形態5に示したトランジスタ403、トランジスタ404、トランジスタ406、トランジスタ409、トランジスタ410、およびトランジスタ412では、絶縁膜475として水素を含む絶縁膜を用いることで酸化物半導体膜の一部をn型化することができる。また、窒化絶縁膜は水分などのブロッキング膜としての作用も有し、トランジスタの信頼性を向上させることができる。

【0226】

また、絶縁膜475としては酸化アルミニウム膜を用いることもできる。特に、実施の形態5に示したトランジスタ401、トランジスタ402、トランジスタ405、トランジスタ407、トランジスタ408、およびトランジスタ411では絶縁膜475に酸化アルミニウム膜を用いることが好ましい。酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウム膜は、トランジスタの作製工程中および作製後において、水素、水分などの不純物の酸化物半導体膜430への混入防止、酸素の酸化物半導体膜からの放出防止、絶縁膜420からの酸素の不必要な放出防止の効果を有する保護膜として用いることに適している。また、酸化アルミニウム膜に含まれる酸素を酸化物半導体膜中に拡散させることもできる。

【0227】

また、絶縁膜475上には絶縁膜480が形成されていることが好ましい。当該絶縁膜には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、当該絶縁膜は上記材料の積層であってもよい。

【0228】

ここで、絶縁膜480は絶縁膜420と同様に化学量論組成よりも多くの酸素を有することが好ましい。絶縁膜480から放出される酸素は絶縁膜460を経由して酸化物半導体膜430のチャンネル形成領域に拡散させることができることから、チャンネル形成領域に形成された酸素欠損に酸素を補填することができる。したがって、安定したトランジスタの電気特性を得ることができる。

【0229】

半導体装置を高集積化するにはトランジスタの微細化が必須である。一方、トランジスタの微細化によりトランジスタの電気特性が悪化することが知られており、特にチャンネル幅が縮小するとオン電流が低下する。

【0230】

本発明の一態様のトランジスタ407乃至トランジスタ412では、チャンネルが形成される酸化物半導体膜430bを覆うように酸化物半導体膜430cが形成されており、チャンネル形成層とゲート絶縁膜が接しない構成となっている。そのため、チャンネル形成層とゲート絶縁膜との界面で生じるキャリアの散乱を抑えることができ、トランジスタのオン電流を大きくすることができる。

【0231】

また、本発明の一態様のトランジスタでは、前述したように酸化物半導体膜430のチャンネル幅方向を電気的に取り囲むようにゲート電極（導電膜470）が形成されているため、酸化物半導体膜430に対しては上面に垂直な方向からのゲート電界に加えて、側面に

垂直な方向からのゲート電界が印加される。すなわち、チャネル形成層に対して全体的にゲート電界が印加されることになり実効チャネル幅が拡大するため、さらにオン電流を高められる。

【0232】

<成膜方法>

本実施の形態で説明した金属膜、半導体膜、無機絶縁膜など様々な膜は、代表的にはスパッタ法やプラズマCVD法により形成することができるが、他の方法、例えば、熱CVD法により形成してもよい。熱CVD法の例としては、MOCVD (Metal Organic Chemical Vapor Deposition) 法やALD (Atomic Layer Deposition) 法などがある。

10

【0233】

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0234】

また、熱CVD法では、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0235】

ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスをチャンバーに導入・反応させ、これを繰り返すことで成膜を行う。原料ガスと一緒に不活性ガス（アルゴン、或いは窒素など）をキャリアガスとして導入してもよい。例えば2種類以上の原料ガスを順番にチャンバーに供給してもよい。その際、複数種の原料ガスが混ざらないように第1の原料ガスの反応後、不活性ガスを導入し、第2の原料ガスを導入する。あるいは、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着・反応して第1の層を成膜し、後から導入される第2の原料ガスが第1の層上に吸着・反応する。つまり、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入の繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

20

30

【0236】

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された金属膜、半導体膜、無機絶縁膜など様々な膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム ($\text{In}(\text{CH}_3)_3$)、トリメチルガリウム ($\text{Ga}(\text{CH}_3)_3$)、およびジメチル亜鉛 ($\text{Zn}(\text{CH}_3)_2$) を用いることができる。これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム ($\text{Ga}(\text{C}_2\text{H}_5)_3$) を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛 ($\text{Zn}(\text{C}_2\text{H}_5)_2$) を用いることもできる。

【0237】

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体を含む液体（ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム (TDMAH , $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$) やテトラキス（エチルメチルアミド）ハフニウムなどのハフニウムアミド）を気化させた原料ガスと、酸化剤としてオゾン (O_3) の2種類のガスを用いる。

40

【0238】

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体を含む液体（トリメチルアルミニウム (TMA , $\text{Al}(\text{CH}_3)_3$) など）を気化させた原料ガスと、酸化剤として H_2O の2種類のガスを用いる。他の材料としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオナート）など

50

がある。

【0239】

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、酸化性ガス(O_2 、一酸化二窒素)のラジカルを供給して吸着物と反応させる。

【0240】

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを順次導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

10

【0241】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えば $In-Ga-Zn-O$ 膜を成膜する場合には、 $In(CH_3)_3$ ガスと O_3 ガスを順次導入して $In-O$ 層を形成し、その後、 $Ga(CH_3)_3$ ガスと O_3 ガスを順次導入して $Ga-O$ 層を形成し、更にその後 $Zn(CH_3)_2$ ガスと O_3 ガスを順次導入して $Zn-O$ 層を形成する。なお、これらの層の順番はこの例に限らない。これらのガスを用いて $In-Ga-O$ 層や $In-Zn-O$ 層、 $Ga-Zn-O$ 層などの混合化合物層を形成してもよい。なお、 O_3 ガスに変えて Ar などの不活性ガスでバブリングして得られた H_2O ガスを用いてもよいが、 H を含まない O_3 ガスを用いる方が好ましい。

【0242】

酸化物半導体膜の成膜には、対向ターゲット式スパッタリング装置を用いることもできる。当該対向ターゲット式スパッタリング装置を用いた成膜法を、VDSF(vapor deposition SP)と呼ぶこともできる。

20

【0243】

対向ターゲット式スパッタリング装置を用いて酸化物半導体膜を成膜することによって、酸化物半導体膜の成膜時におけるプラズマ損傷を低減することができる。そのため、膜中の酸素欠損を低減することができる。また、対向ターゲット式スパッタリング装置を用いることで低圧での成膜が可能となるため、成膜された酸化物半導体膜中の不純物濃度(例えば水素、希ガス(アルゴンなど)、水など)を低減させることができる。

【0244】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

30

【0245】

(実施の形態7)

本実施の形態では、本発明の一態様に用いることのできる酸化物半導体について説明する。

【0246】

<酸化物半導体>

以下に、本発明に係る酸化物半導体について説明する。

【0247】

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはズズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

40

【0248】

ここで、酸化物半導体が、インジウム、元素M及び亜鉛を有する場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはズズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム

50

、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

【0249】

まず、図33(A)、図33(B)、および図33(C)を用いて、本発明に係る酸化物半導体が有するインジウム、元素M及び亜鉛の原子数比の好ましい範囲について説明する。なお、図33には、酸素の原子数比については記載しない。また、酸化物半導体が有するインジウム、元素M、及び亜鉛の原子数比のそれぞれの項を $[In]$ 、 $[M]$ 、および $[Zn]$ とする。

【0250】

図33(A)、図33(B)、および図33(C)において、破線は、 $[In] : [M] : [Zn] = (1 + \alpha) : (1 - \alpha) : 1$ の原子数比($-1 \leq \alpha \leq 1$)となるライン、 $[In] : [M] : [Zn] = (1 + \alpha) : (1 - \alpha) : 2$ の原子数比となるライン、 $[In] : [M] : [Zn] = (1 + \alpha) : (1 - \alpha) : 3$ の原子数比となるライン、 $[In] : [M] : [Zn] = (1 + \alpha) : (1 - \alpha) : 4$ の原子数比となるライン、および $[In] : [M] : [Zn] = (1 + \alpha) : (1 - \alpha) : 5$ の原子数比となるラインを表す。

【0251】

また、一点鎖線は、 $[In] : [M] : [Zn] = 1 : 1 : \beta$ の原子数比($\beta \geq 0$)となるライン、 $[In] : [M] : [Zn] = 1 : 2 : \beta$ の原子数比となるライン、 $[In] : [M] : [Zn] = 1 : 3 : \beta$ の原子数比となるライン、 $[In] : [M] : [Zn] = 1 : 4 : \beta$ の原子数比となるライン、 $[In] : [M] : [Zn] = 2 : 1 : \beta$ の原子数比となるライン、及び $[In] : [M] : [Zn] = 5 : 1 : \beta$ の原子数比となるラインを表す。

【0252】

図33(A)および図33(B)では、本発明の一態様の酸化物半導体が有する、インジウム、元素M、及び亜鉛の原子数比の好ましい範囲の一例について示している。

【0253】

一例として、図34に、 $[In] : [M] : [Zn] = 1 : 1 : 1$ である、 $InMZnO_4$ の結晶構造を示す。また、図34は、b軸に平行な方向から観察した場合の $InMZnO_4$ の結晶構造である。なお、図34に示すM、Zn、酸素を有する層(以下、(M, Zn)層)における金属元素は、元素Mまたは亜鉛を表している。この場合、元素Mと亜鉛の割合が等しいものとする。元素Mと亜鉛とは、置換が可能であり、配列は不規則である。

【0254】

$InMZnO_4$ は、層状の結晶構造(層状構造ともいう)をとり、図34に示すように、インジウム、および酸素を有する層(以下、In層)が1に対し、元素M、亜鉛、および酸素を有する(M, Zn)層が2となる。

【0255】

また、インジウムと元素Mは、互いに置換可能である。そのため、(M, Zn)層の元素Mがインジウムと置換し、(In, M, Zn)層と表すこともできる。その場合、In層が1に対し、(In, M, Zn)層が2である層状構造をとる。

【0256】

$[In] : [M] : [Zn] = 1 : 1 : 2$ となる原子数比の酸化物半導体は、In層が1に対し、(M, Zn)層が3である層状構造をとる。つまり、 $[In]$ および $[M]$ に対し $[Zn]$ が大きくなると、酸化物半導体が結晶化した場合、In層に対する(M, Zn)層の割合が増加する。

【0257】

ただし、酸化物半導体中において、In層が1層に対し、(M, Zn)層の層数が非整数である場合、In層が1層に対し、(M, Zn)層の層数が整数である層状構造を複数種

10

20

30

40

50

有する場合がある。例えば、 $[In] : [M] : [Zn] = 1 : 1 : 1.5$ である場合、 In 層が1に対し、 (M, Zn) 層が2である層状構造と、 (M, Zn) 層が3である層状構造とが混在する層状構造となる場合がある。

【0258】

例えば、酸化物半導体をスパッタリング装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。特に、成膜時の基板温度によっては、ターゲットの $[Zn]$ よりも、膜の $[Zn]$ が小さくなる場合がある。

【0259】

また、酸化物半導体中に複数の相が共存する場合がある（二相共存、三相共存など）。例えば、 $[In] : [M] : [Zn] = 0 : 2 : 1$ の原子数比の近傍値である原子数比では、スピネル型の結晶構造と層状の結晶構造との二相が共存しやすい。また、 $[In] : [M] : [Zn] = 1 : 0 : 0$ を示す原子数比の近傍値である原子数比では、ビックスバイト型の結晶構造と層状の結晶構造との二相が共存しやすい。酸化物半導体中に複数の相が共存する場合、異なる結晶構造の間において、粒界（グレインバウンダリーともいう）が形成される場合がある。

10

【0260】

また、インジウムの含有率を高くすることで、酸化物半導体のキャリア移動度（電子移動度）を高くすることができる。これは、インジウム、元素M及び亜鉛を有する酸化物半導体では、主として重金属のs軌道がキャリア伝導に寄与しており、インジウムの含有率を高くすることにより、s軌道が重なる領域がより大きくなるため、インジウムの含有率が高い酸化物半導体はインジウムの含有率が低い酸化物半導体と比較してキャリア移動度が高くなるためである。

20

【0261】

一方、酸化物半導体中のインジウムおよび亜鉛の含有率が低くなると、キャリア移動度が低くなる。従って、 $[In] : [M] : [Zn] = 0 : 1 : 0$ を示す原子数比、およびその近傍値である原子数比（例えば図33（C）に示す領域C）では、絶縁性が高くなる。

【0262】

従って、本発明の一態様の酸化物半導体は、キャリア移動度が高く、かつ、粒界が少ない層状構造となりやすい、図33（A）の領域Aで示される原子数比を有することが好ましい。

30

【0263】

また、図33（B）に示す領域Bは、 $[In] : [M] : [Zn] = 4 : 2 : 3$ から4.1、およびその近傍値を示している。近傍値には、例えば、原子数比が $[In] : [M] : [Zn] = 5 : 3 : 4$ が含まれる。領域Bで示される原子数比を有する酸化物半導体は、特に、結晶性が高く、キャリア移動度も高い優れた酸化物半導体である。

【0264】

なお、酸化物半導体が、層状構造を形成する条件は、原子数比によって一義的に定まらない。原子数比により、層状構造を形成するための難易の差はある。一方、同じ原子数比であっても、形成条件により、層状構造になる場合も層状構造にならない場合もある。従って、図示する領域は、酸化物半導体が層状構造を有する原子数比を示す領域であり、領域A乃至領域Cの境界は厳密ではない。

40

【0265】

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0266】

なお、上記酸化物半導体をトランジスタに用いることで、粒界におけるキャリア散乱等を減少させることができるため、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0267】

また、トランジスタには、キャリア密度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは 1×10

50

$10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

【0268】

なお、高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる。また、高純度真性または実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0269】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

【0270】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0271】

ここで、酸化物半導体中における各不純物の影響について説明する。

【0272】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0273】

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

【0274】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体において、窒素はできる限り低減されていることが好ましい。例えば、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0275】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは 1×1

10

20

30

40

50

0.1^9 atoms/cm^3 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

【0276】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0277】

続いて、該酸化物半導体を2層構造、または3層構造とした場合について述べる。酸化物半導体S1、酸化物半導体S2、および酸化物半導体S3の積層構造に接する絶縁体のバンド図と、酸化物半導体S2および酸化物半導体S3の積層構造に接する絶縁体のバンド図と、について、図35を用いて説明する。

10

【0278】

図35(A)は、絶縁体I1、酸化物半導体S1、酸化物半導体S2、酸化物半導体S3、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。また、図35(B)は、絶縁体I1、酸化物半導体S2、酸化物半導体S3、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。なお、バンド図は、理解を容易にするため絶縁体I1、酸化物半導体S1、酸化物半導体S2、酸化物半導体S3、及び絶縁体I2の伝導帯下端のエネルギー準位(E_c)を示す。

【0279】

酸化物半導体S1、酸化物半導体S3は、酸化物半導体S2よりも伝導帯下端のエネルギー準位が真空準位に近く、代表的には、酸化物半導体S2の伝導帯下端のエネルギー準位と、酸化物半導体S1、酸化物半導体S3の伝導帯下端のエネルギー準位との差が、0.15 eV以上、または0.5 eV以上、かつ2 eV以下、または1 eV以下であることが好ましい。すなわち、酸化物半導体S1、酸化物半導体S3の電子親和力よりも、酸化物半導体S2の電子親和力が大きく、酸化物半導体S1、酸化物半導体S3の電子親和力と、酸化物半導体S2の電子親和力との差は、0.15 eV以上、または0.5 eV以上、かつ2 eV以下、または1 eV以下であることが好ましい。

20

【0280】

図35(A)、および図35(B)に示すように、酸化物半導体S1、酸化物半導体S2、酸化物半導体S3において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化するまたは連続接合するともいうことができる。このようなバンド図を有するためには、酸化物半導体S1と酸化物半導体S2との界面、または酸化物半導体S2と酸化物半導体S3との界面において形成される混合層の欠陥準位密度を低くするとよい。

30

【0281】

具体的には、酸化物半導体S1と酸化物半導体S2、酸化物半導体S2と酸化物半導体S3が、酸素以外に共通の元素を有する(主成分とする)ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物半導体S2がIn-Ga-Zn酸化物半導体の場合、酸化物半導体S1、酸化物半導体S3として、In-Ga-Zn酸化物半導体、Ga-Zn酸化物半導体、酸化ガリウムなどを用いるとよい。

【0282】

このとき、キャリアの主たる経路は酸化物半導体S2となる。酸化物半導体S1と酸化物半導体S2との界面、および酸化物半導体S2と酸化物半導体S3との界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

40

【0283】

トラップ準位に電子が捕獲されることで、捕獲された電子は固定電荷のように振る舞うため、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。酸化物半導体S1、酸化物半導体S3を設けることにより、トラップ準位を酸化物半導体S2より遠ざけることができる。当該構成とすることで、トランジスタのしきい値電圧がプラス方向にシフトすることを防止することができる。

50

【0284】

酸化物半導体S1、酸化物半導体S3は、酸化物半導体S2と比較して、導電率が十分に低い材料を用いる。このとき、酸化物半導体S2、酸化物半導体S2と酸化物半導体S1との界面、および酸化物半導体S2と酸化物半導体S3との界面が、主にチャネル領域として機能する。例えば、酸化物半導体S1、酸化物半導体S3には、図33(C)において、絶縁性が高くなる領域Cで示す原子数比の酸化物半導体を用いればよい。なお、図33(C)に示す領域Cは、 $[In] : [M] : [Zn] = 0 : 1 : 0$ 、またはその近傍値である原子数比を示している。

【0285】

特に、酸化物半導体S2に領域Aで示される原子数比の酸化物半導体を用いる場合、酸化物半導体S1および酸化物半導体S3には、 $[M] / [In]$ が1以上、好ましくは2以上である酸化物半導体を用いることが好ましい。また、酸化物半導体S3として、十分に高い絶縁性を得ることができる $[M] / ([Zn] + [In])$ が1以上である酸化物半導体を用いることが好適である。

【0286】

<酸化物半導体の構造>

以下では、酸化物半導体の構造について説明する。

【0287】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0288】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0289】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS (c-axis-aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。

【0290】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体およびnc-OSなどがある。

【0291】

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

【0292】

即ち、安定な酸化物半導体を完全な非晶質 (completely amorphous) 酸化物半導体とは呼べない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-like OSは、等方的でないが、鬆 (ボイドともいう。) を有する不安定な構造である。不安定であるという点では、a-like OSは、物性的に非晶質酸化物半導体に近い。

10

20

30

40

50

【0293】

<CAAC-OS>

まずは、CAAC-OSについて説明する。

【0294】

CAAC-OSは、c軸配向した複数の結晶部（ペレットともいう。）を有する酸化物半導体の一種である。

【0295】

CAAC-OSをX線回折（XRD：X-Ray Diffraction）によって解析した場合について説明する。例えば、空間群R-3mに分類されるInGaZnO₄の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図36（A）に示すように回折角（2θ）が31°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の（009）面に帰属されることから、CAAC-OSでは、結晶がc軸配向性を有し、c軸がCAAC-OSの膜を形成する面（被形成面ともいう。）、または上面に略垂直な方向を向いていることが確認できる。なお、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、空間群Fd-3mに分類される結晶構造に起因する。そのため、CAAC-OSは、該ピークを示さないことが好ましい。

10

【0296】

一方、CAAC-OSに対し、被形成面に平行な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の（110）面に帰属される。そして、2θを56°近傍に固定し、試料面の法線ベクトルを軸（φ軸）として試料を回転させながら分析（φスキャン）を行っても、図36（B）に示すように明瞭なピークは現れない。一方、単結晶InGaZnO₄に対し、2θを56°近傍に固定してφスキャンした場合、図36（C）に示すように（110）面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、a軸およびb軸の配向が不規則であることが確認できる。

20

【0297】

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-OSに対し、CAAC-OSの被形成面に平行にプローブ径が300nmの電子線を入射させると、図36（D）に示すような回折パターン（制限視野電子回折パターンともいう。）が現れる場合がある。この回折パターンには、InGaZnO₄の結晶の（009）面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図36（E）に示す。図36（E）より、リング状の回折パターンが確認される。したがって、プローブ径が300nmの電子線を用いた電子回折によっても、CAAC-OSに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図36（E）における第1リングは、InGaZnO₄の結晶の（010）面および（100）面などに起因すると考えられる。また、図36（E）における第2リングは（110）面などに起因すると考えられる。

30

40

【0298】

また、透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって、CAAC-OSの明視野像と回折パターンとの複合解析像（高分解能TEM像ともいう。）を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を明確に確認することができない場合がある。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0299】

50

図37(A)に、試料面と略平行な方向から観察したCAAC-Osの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

【0300】

図37(A)より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは1nm以上のものや、3nm以上のものがあることがわかる。したがって、ペレットを、ナノ結晶(nc:nanocrystal)と呼ぶこともできる。また、CAAC-Osを、CAN(C-Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-Osの被形成面または上面の凹凸を反映しており、CAAC-Osの被形成面または上面と平行となる。

【0301】

また、図37(B)および図37(C)に、試料面と略垂直な方向から観察したCAAC-Osの平面のCs補正高分解能TEM像を示す。図37(D)および図37(E)は、それぞれ図37(B)および図37(C)を画像処理した像である。以下では、画像処理の方法について説明する。まず、図37(B)を高速フーリエ変換(FFT:Fast Fourier Transform)処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 2.8nm^{-1} から 5.0nm^{-1} の間の範囲を残すマスク処理する。次に、マスク処理したFFT像を、逆高速フーリエ変換(IFFT:Inverse Fast Fourier Transform)処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。

【0302】

図37(D)では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部である。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

【0303】

図37(E)では、格子配列の揃った領域と、別の格子配列の揃った領域と、の間を点線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形や、五角形または／および七角形などが形成できる。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわかる。これは、CAAC-Osが、a-b面方向において原子配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

【0304】

以上に示すように、CAAC-Osは、c軸配向性を有し、かつa-b面方向において複数のペレット(ナノ結晶)が連結し、歪みを有した結晶構造となっている。よって、CAAC-Osを、CAAc crystal(c-axis-aligned a-b-plane-anchored crystal)を有する酸化物半導体と称することもできる。

【0305】

CAAC-Osは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-Osは不純物や欠陥(酸素欠損など)の少ない酸化物半導体ともいえる。

【0306】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0307】

<nc-Os>

次に、nc-Osについて説明する。

【0308】

nc-OsをXRDによって解析した場合について説明する。例えば、nc-Osに対し、out-of-plane法による構造解析を行うと、配向性を示すピークが現れない。即ち、nc-Osの結晶は配向性を有さない。

【0309】

また、例えば、InGaZnO₄の結晶を有するnc-Osを薄片化し、厚さが34nmの領域に対し、被形成面に平行にプローブ径が50nmの電子線を入射させると、図38（A）に示すようなリング状の回折パターン（ナノビーム電子回折パターン）が観測される。また、同じ試料にプローブ径が1nmの電子線を入射させたときの回折パターン（ナノビーム電子回折パターン）を図38（B）に示す。図38（B）より、リング状の領域内に複数のスポットが観測される。したがって、nc-Osは、プローブ径が50nmの電子線を入射させることでは秩序性が確認されないが、プローブ径が1nmの電子線を入射させることでは秩序性が確認される。

【0310】

また、厚さが10nm未満の領域に対し、プローブ径が1nmの電子線を入射させると、図38（C）に示すように、スポットが略正六角状に配置された電子回折パターンが観測される場合がある。したがって、厚さが10nm未満の範囲において、nc-Osが秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。

【0311】

図38（D）に、被形成面と略平行な方向から観察したnc-Osの断面のCs補正高分解能TEM像を示す。nc-Osは、高分解能TEM像において、補助線で示す箇所などのように結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-Osに含まれる結晶部は、1nm以上10nm以下の大きさであり、特に1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体を微結晶酸化物半導体（microcrystalline oxide semiconductor）と呼ぶことがある。nc-Osは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-Osにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-Osの結晶部をペレットと呼ぶ場合がある。

【0312】

このように、nc-Osは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-Osは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-Osは、分析方法によっては、a-like Osや非晶質酸化物半導体と区別が付かない場合がある。

【0313】

なお、ペレット（ナノ結晶）間で結晶方位が規則性を有さないことから、nc-Osを、RANC（Random Aligned nanocrystals）を有する酸化物半導体、またはNANC（Non-Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

【0314】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

【0315】

<a-like OS>

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【0316】

図39に、a-like OSの高分解能断面TEM像を示す。ここで、図39(A)は電子照射開始時におけるa-like OSの高分解能断面TEM像である。図39(B)は $4.3 \times 10^8 \text{ e}^-/\text{nm}^2$ の電子(e^-)照射後におけるa-like OSの高分解能断面TEM像である。図39(A)および図39(B)より、a-like OSは電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆または低密度領域と推測される。

【0317】

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0318】

試料として、a-like OS、nc-OSおよびCAAC-OSを準備する。いずれの試料もIn-Ga-Zn酸化物である。

【0319】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有する。

【0320】

なお、InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29 nmと求められている。したがって、以下では、格子縞の間隔が0.28 nm以上0.30 nm以下である箇所を、InGaZnO₄の結晶部と見なした。なお、格子縞は、InGaZnO₄の結晶のa-b面に対応する。

【0321】

図40は、各試料の結晶部(22箇所から30箇所)の平均の大きさを調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図40より、a-like OSは、TEM像の取得などに係る電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。図40より、TEMによる観察初期においては1.2 nm程度の大きさだった結晶部(初期核ともいう。)が、電子(e^-)の累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ においては1.9 nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図40より、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.3 nm程度および1.8 nm程度であることがわかる。なお、電子線照射およびTEMの観察は、日立透過電子顕微鏡H-9000NARを用いた。電子線照射条件は、加速電圧を300 kV、電流密度を $6.7 \times 10^5 \text{ e}^-/(\text{nm}^2 \cdot \text{s})$ 、照射領域の直径を230 nmとした。

【0322】

このように、*a-like OS*は、電子照射によって結晶部の成長が見られる場合がある。一方、*nc-OS*および*CAAC-OS*は、電子照射による結晶部の成長がほとんど見られない。即ち、*a-like OS*は、*nc-OS*および*CAAC-OS*と比べて、不安定な構造であることがわかる。

【0323】

また、鬆を有するため、*a-like OS*は、*nc-OS*および*CAAC-OS*と比べて密度の低い構造である。具体的には、*a-like OS*の密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満である。また、*nc-OS*の密度および*CAAC-OS*の密度は、同じ組成の単結晶の密度の92.3%以上100%未満である。単結晶の密度の78%未満である酸化物半導体は、成膜すること自体が困難である。

10

【0324】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 である。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、*a-like OS* の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満である。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、*nc-OS* の密度および *CAAC-OS* の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満である。

【0325】

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

20

【0326】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、*a-like OS*、*nc-OS*、*CAAC-OS* のうち、二種以上を有する積層膜であってもよい。

【0327】

<酸化物半導体のキャリア密度>

30

次に、酸化物半導体のキャリア密度について、以下に説明を行う。

【0328】

酸化物半導体のキャリア密度に影響を与える因子としては、酸化物半導体中の酸素欠損 (Vo)、または酸化物半導体中の不純物などが挙げられる。

【0329】

酸化物半導体中の酸素欠損が多くなると、該酸素欠損に水素が結合（この状態を VoH ともいう）した際に、欠陥準位密度が高くなる。または、酸化物半導体中の不純物が多くなると、該不純物に起因し欠陥準位密度が高くなる。したがって、酸化物半導体中の欠陥準位密度を制御することで、酸化物半導体のキャリア密度を制御することができる。

【0330】

40

ここで、酸化物半導体をチャネル領域に用いるトランジスタを考える。

【0331】

トランジスタのしきい値電圧のマイナスシフトの抑制、またはトランジスタのオフ電流の低減を目的とする場合においては、酸化物半導体のキャリア密度を低くする方が好ましい。酸化物半導体のキャリア密度を低くする場合においては、酸化物半導体中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。高純度真性の酸化物半導体のキャリア密度としては、 $8 \times 10^{15} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^9 \text{ cm}^{-3}$ 以上とすればよい。

50

【0332】

一方で、トランジスタのオン電流の向上、またはトランジスタの電界効果移動度の向上を目的とする場合においては、酸化物半導体のキャリア密度を高くする方が好ましい。酸化物半導体のキャリア密度を高くする場合においては、酸化物半導体の不純物濃度をわずかに高める、または酸化物半導体の欠陥準位密度をわずかに高めればよい。あるいは、酸化物半導体のバンドギャップをより小さくするとよい。例えば、トランジスタの $I_d - V_g$ 特性のオン／オフ比が取れる範囲において、不純物濃度がわずかに高い、または欠陥準位密度がわずかに高い酸化物半導体は、実質的に真性とみなせる。また、電子親和力が大きく、それにとまってバンドギャップが小さくなり、その結果、熱励起された電子（キャリア）の密度が増加した酸化物半導体は、実質的に真性とみなせる。なお、より電子親和力が大きな酸化物半導体を用いた場合には、トランジスタのしきい値電圧がより低くなる。

10

【0333】

上述のキャリア密度が高められた酸化物半導体は、わずかに n 型化している。したがって、キャリア密度が高められた酸化物半導体を、「 $Slightly - n$ 」と呼称してもよい。

【0334】

実質的に真性の酸化物半導体のキャリア密度は、 $1 \times 10^5 \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 未満が好ましく、 $1 \times 10^7 \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下がより好ましく、 $1 \times 10^9 \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下がさらに好ましく、 $1 \times 10^{10} \text{ cm}^{-3}$ 以上 $1 \times 10^{16} \text{ cm}^{-3}$ 以下がさらに好ましく、 $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{15} \text{ cm}^{-3}$ 以下がさらに好ましい。

20

【0335】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0336】

（実施の形態8）

本実施の形態では、半導体装置の一例として、電子部品および電子部品を有する電子機器などについて説明する。

【0337】

図41（A）は、電子部品の作製方法の一例を示すフローチャートである。電子部品は、半導体パッケージ、IC用パッケージ、またはパッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することとする。

30

【0338】

トランジスタで構成される半導体装置は、組み立て工程（後工程）を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。後工程については、図41（A）に示す各工程を経ることで完了することができる。具体的には、前工程で得られる素子基板が完成（S1）した後、基板を複数のチップに分離するダイシング工程を行う（S2）。基板を複数に分割する前に、基板を薄膜化して、前工程での基板の反りなどを低減し、部品の小型化を図る。

40

【0339】

チップをピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う（S3）。ダイボンディング工程におけるチップとリードフレームとの接着は樹脂やテープによって行えばよい。接着方法は製品に適した方法を選択すればよい。ダイボンディング工程で、インターポーザ上にチップを搭載し接合する。ワイヤーボンディング工程で、リードフレームのリードとチップ上の電極とを金属の細線（ワイヤー）で電氣的に接続する（S4）。金属の細線には、銀線や金線を用いることができる。ワイヤーボンディングは、ボールボンディングとウェッジボンディングのいずれでもよい。

【0340】

50

ワイヤーボンディングされたチップは、エポキシ樹脂などで封止される、モールド工程が施される（S5）。リードフレームのリードをメッキ処理する。そしてリードを切断および成形加工する（S6）。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。パッケージの表面に印字処理（マーキング）を施す（S7）。検査工程（S8）を経て、電子部品が完成する（S9）。前述した半導体装置を組み込むことで、低消費電力で、小型な電子部品を提供することができる。

【0341】

図41（B）は電子部品の斜視模式図である。一例として、図41（B）はQFP（Quad Flat Package）を示している。図41（B）に示す電子部品600は、リード601および回路部603を有する。回路部603には、本発明の一態様の半導体装置が作製されている。電子部品600は、例えばプリント基板602に実装される。このような電子部品600が複数組み合わせられて、それぞれがプリント基板602上で電氣的に接続されることで電子機器に搭載することができる。完成した回路基板604は、各種の電子機器などの内部に設けられる。

10

【0342】

本発明の一態様のPLD自体をプロセッサとして、あるいはPLDを中央演算処理装置（CPU：Central Processing Unit）、マイクロコントローラユニット（MCU：Micro Controller Unit）、センサデバイスなどに組み込んで、各種の処理を実行するプロセッサとして用いることができる。PLDと他の回路を1個の半導体チップ（ICチップ）に実装した、System-on-a-chip（SOC、SoC）として電子部品を構成することができる。センサデバイスにPLDを組み込む場合、複数のセンサで検出されたデータを1個のPLDで処理するようにすることで、電子部品の小型化、多機能化が可能である。

20

【0343】

また、本実施の形態の電子部品は、デジタル信号処理、ソフトウェア無線、アビオニクス（通信機器、航法システム、自動操縦装置、飛行管理システムなどの航空に関する電子機器）、ASICのプロトタイピング、医療用画像処理、音声認識、暗号、バイオインフォマティクス（生物情報科学）、機械装置のエミュレータ、および電波天文学における電波望遠鏡など、幅広い分野の電子機器に用いることが可能である。本実施の形態により、電子機器の小型化、消費電力を削減することが可能である。

30

【0344】

例えば、電子機器には、表示装置、パーソナルコンピュータ、記録媒体を備えた画像再生装置（DVDなどの記録媒体の画像データを読み出し、その画像を表示するディスプレイを有する装置）などが挙げられる。その他に、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレーヤなど）、複写機、ファクシミリ、プリンタ、プリンタ複合機などが挙げられる。これら電子機器の具体例を図42に示す。

【0345】

図42（A）に示す携帯型ゲーム機700は、筐体701、筐体702、表示部703、表示部704、マイクロホン705、スピーカ706、操作キー707、およびスタイラス708などを有する。

40

【0346】

図42（B）に示す携帯情報端末710は、筐体711、筐体712、表示部713、表示部714、接続部715および操作キー716などを有する。表示部713は筐体711に設けられ、表示部714は筐体712に設けられている。接続部715により筐体711と筐体712とが接続されており、筐体711と筐体712との間の角度は、接続部715により変更可能となっている。そのため、接続部715における筐体711と筐体712との間の角度によって、表示部713で表示される画像の向きの変更や、画像の表

50

示／非表示の切り換えを行う構成としてもよい。また、表示部 7 1 3 および／または表示部 7 1 4 にタッチパネル付の表示装置を適用してもよい。

【0 3 4 7】

図 4 2 (C) に示すパーソナルコンピュータ 7 2 0 は、筐体 7 2 1、表示部 7 2 2、キーボード 7 2 3 およびポインティングデバイス 7 2 4 などを有する。

【0 3 4 8】

図 4 2 (D) は家庭用電化製品の一例であり、ここでは電気冷凍冷蔵庫を示す。電気冷凍冷蔵庫 7 3 0 は、筐体 7 3 1、冷蔵室用扉 7 3 2 および冷凍室用扉 7 3 3 などを有する。

【0 3 4 9】

図 4 2 (E) に示すビデオカメラ 7 4 0 は、筐体 7 4 1、筐体 7 4 2、表示部 7 4 3、操作キー 7 4 4、レンズ 7 4 5 および接続部 7 4 6 などを有する。操作キー 7 4 4 およびレンズ 7 4 5 は筐体 7 4 1 に設けられており、表示部 7 4 3 は筐体 7 4 2 に設けられている。そして、筐体 7 4 1 と筐体 7 4 2 は、接続部 7 4 6 により接続されており、筐体 7 4 1 と筐体 7 4 2 の間の角度は接続部 7 4 6 により変更可能な構造となっている。筐体 7 4 1 に対する筐体 7 4 2 の角度によって、表示部 7 4 3 に表示される画像の向きの変更や、画像の表示／非表示の切り換えを行う構成としてもよい。

10

【0 3 5 0】

図 4 2 (F) に示す自動車 7 5 0 は、車体 7 5 1、車輪 7 5 2、ダッシュボード 7 5 3 およびライト 7 5 4 などを有する。自動車 7 5 0 は、エンジンを動力とするものでもよいし、電気自動車、またはハイブリッド自動車であってもよい。

20

【0 3 5 1】

なお、本発明の一態様の半導体装置を具備していれば、上記で示した電子機器に特に限定されない。

【0 3 5 2】

本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【符号の説明】

【0 3 5 3】

1 0 回路

1 0 a 回路

1 0 b 回路

30

1 1 a 回路

1 1 b 回路

2 1 a トランジスタ

2 1 b トランジスタ

2 2 a トランジスタ

2 2 b トランジスタ

2 3 a トランジスタ

2 3 b トランジスタ

2 4 a トランジスタ

2 4 b トランジスタ

40

2 5 a トランジスタ

2 5 b トランジスタ

2 6 a トランジスタ

2 6 b トランジスタ

3 1 a 容量素子

3 1 b 容量素子

3 2 a M R A M

3 2 b M R A M

3 3 a ラッチ回路

3 3 b ラッチ回路

50

3 4 a	ラッチ回路	
3 4 b	ラッチ回路	
4 1 a	スイッチ	
4 1 b	スイッチ	
5 1 a	配線	
5 1 b	配線	
5 2 a	配線	
5 2 b	配線	
5 3 a	配線	
5 3 b	配線	10
1 0 0	P L D	
1 0 1 a	スイッチアレイ	
1 0 1 b	スイッチアレイ	
1 0 1 c	スイッチアレイ	
1 1 0	回路	
1 1 1 a	ロジックアレイ	
1 1 1 b	ロジックアレイ	
1 2 0	回路	
1 2 1 a	入出力アレイ	
1 2 1 b	入出力アレイ	20
1 3 0	回路	
1 3 1	回路	
1 3 2	回路	
1 3 3	回路	
1 3 4	回路	
1 4 0 a	回路	
1 4 0 b	回路	
1 5 0 a	回路	
1 5 0 b	回路	
1 6 0	回路	30
1 7 0	回路	
1 8 0	回路	
2 0 0	シリコン基板	
2 0 1	層	
2 0 2	層	
2 0 3	絶縁膜	
2 0 4	層	
2 1 0	導電体	
2 2 1	絶縁膜	
2 2 2	絶縁膜	40
2 2 3	絶縁膜	
2 3 0	活性層	
4 0 1	トランジスタ	
4 0 2	トランジスタ	
4 0 3	トランジスタ	
4 0 4	トランジスタ	
4 0 5	トランジスタ	
4 0 6	トランジスタ	
4 0 7	トランジスタ	
4 0 8	トランジスタ	50

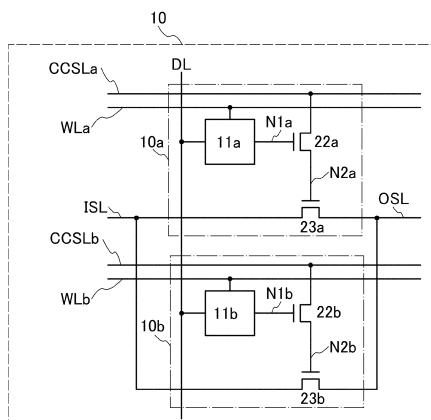
4 0 9	トランジスタ	
4 1 0	トランジスタ	
4 1 1	トランジスタ	
4 1 2	トランジスタ	
4 1 3	トランジスタ	
4 1 5	基板	
4 2 0	絶縁膜	
4 3 0	酸化物半導体膜	
4 3 0 a	酸化物半導体膜	
4 3 0 b	酸化物半導体膜	10
4 3 0 c	酸化物半導体膜	
4 4 0	導電膜	
4 4 1	導電膜	
4 4 2	導電膜	
4 5 0	導電膜	
4 5 1	導電膜	
4 5 2	導電膜	
4 6 0	絶縁膜	
4 7 0	導電膜	
4 7 1	導電膜	20
4 7 2	導電膜	
4 7 3	導電膜	
4 7 5	絶縁膜	
4 8 0	絶縁膜	
5 3 1	領域	
5 3 2	領域	
5 3 3	領域	
5 3 4	領域	
5 3 5	領域	
6 0 0	電子部品	30
6 0 1	リード	
6 0 2	プリント基板	
6 0 3	回路部	
6 0 4	回路基板	
7 0 0	携帯型ゲーム機	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	表示部	
7 0 5	マイクロホン	40
7 0 6	スピーカ	
7 0 7	操作キー	
7 0 8	スタイラス	
7 1 0	携帯情報端末	
7 1 1	筐体	
7 1 2	筐体	
7 1 3	表示部	
7 1 4	表示部	
7 1 5	接続部	
7 1 6	操作キー	50

7 2 0 パーソナルコンピュータ
 7 2 1 筐体
 7 2 2 表示部
 7 2 3 キーボード
 7 2 4 ポインティングデバイス
 7 3 0 電気冷凍冷蔵庫
 7 3 1 筐体
 7 3 2 冷蔵室用扉
 7 3 3 冷凍室用扉
 7 4 0 ビデオカメラ
 7 4 1 筐体
 7 4 2 筐体
 7 4 3 表示部
 7 4 4 操作キー
 7 4 5 レンズ
 7 4 6 接続部
 7 5 0 自動車
 7 5 1 車体
 7 5 2 車輪
 7 5 3 ダッシュボード
 7 5 4 ライト

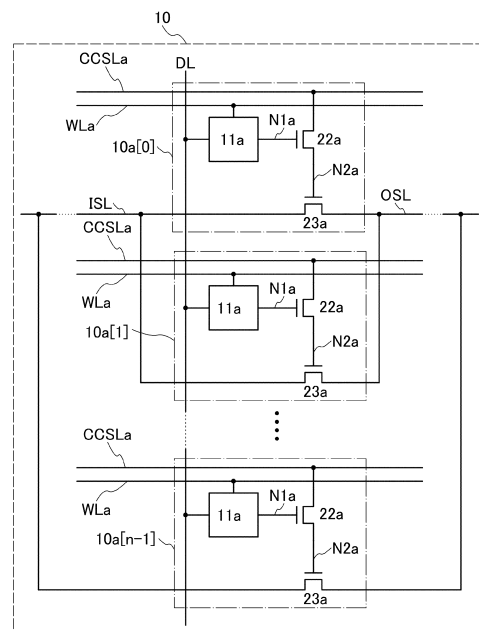
10

20

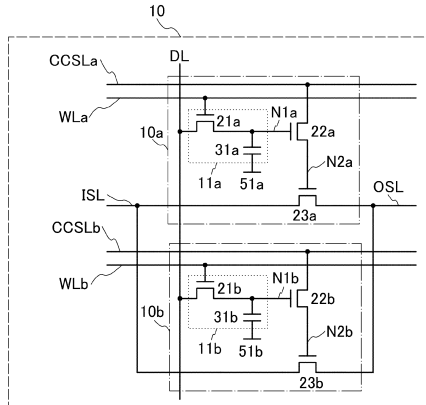
【図 1】



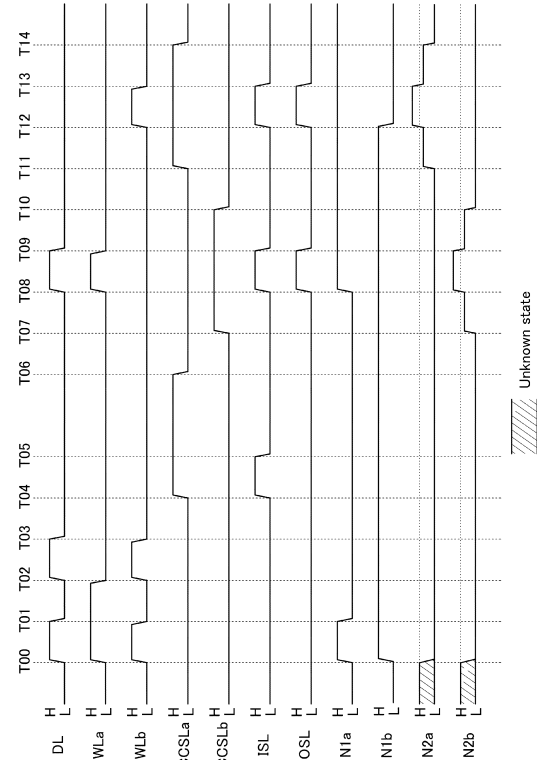
【図 2】



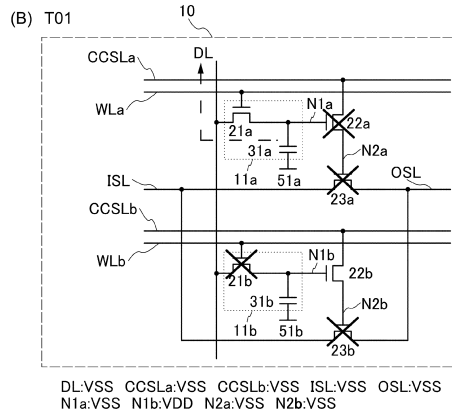
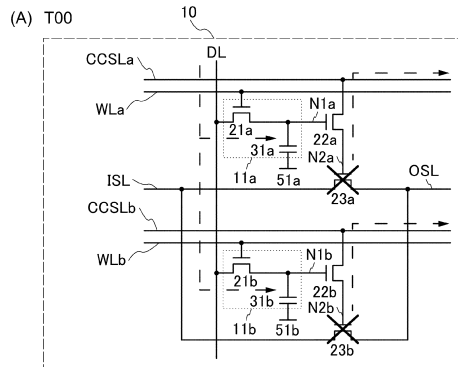
【図 3】



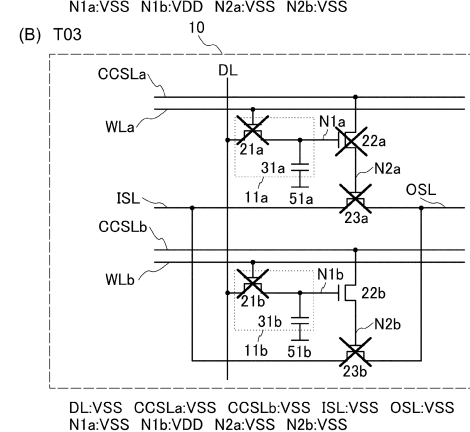
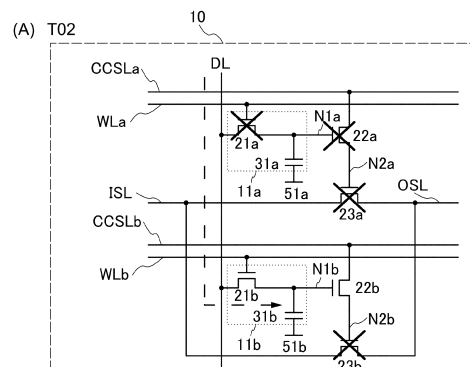
【図 4】



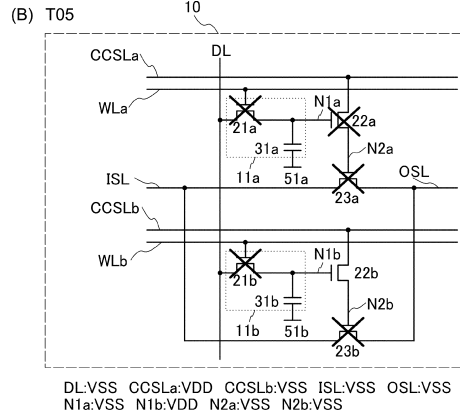
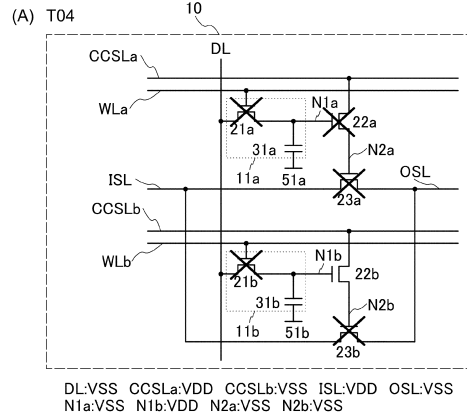
【図 5】



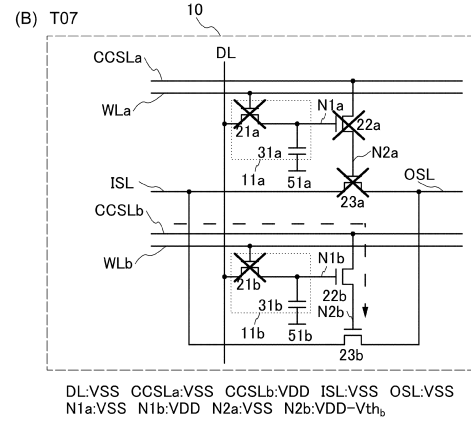
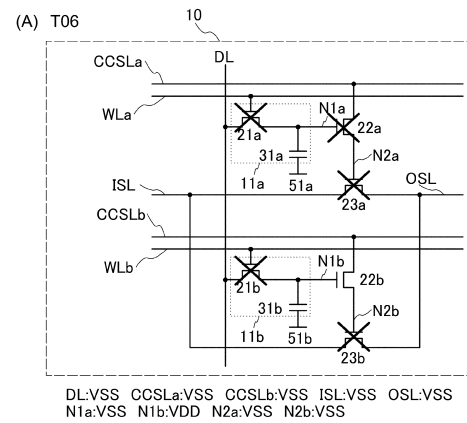
【図 6】



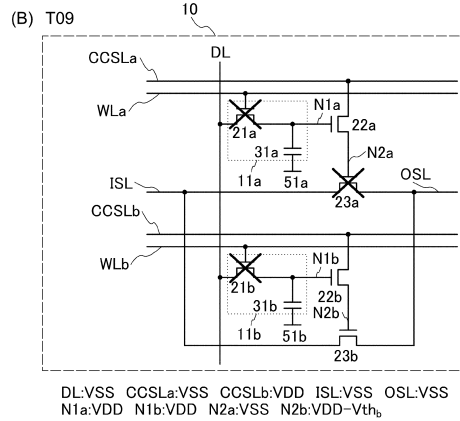
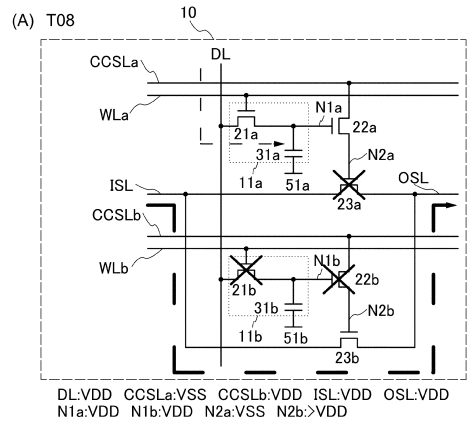
【図 7】



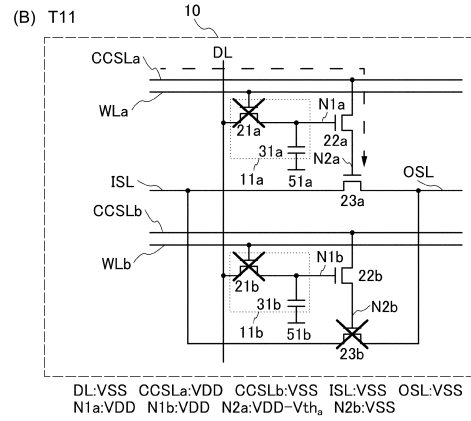
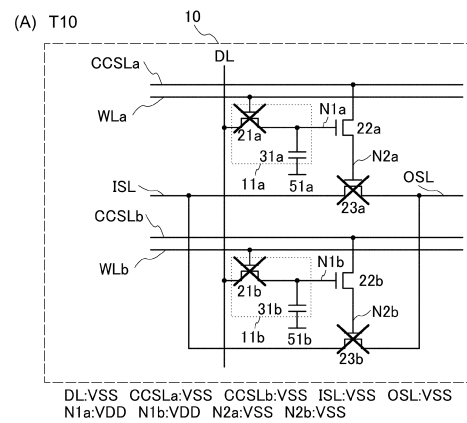
【図 8】



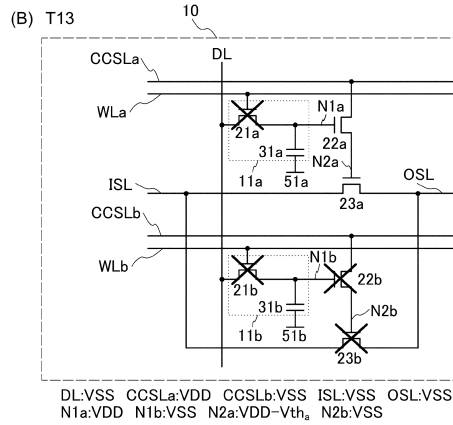
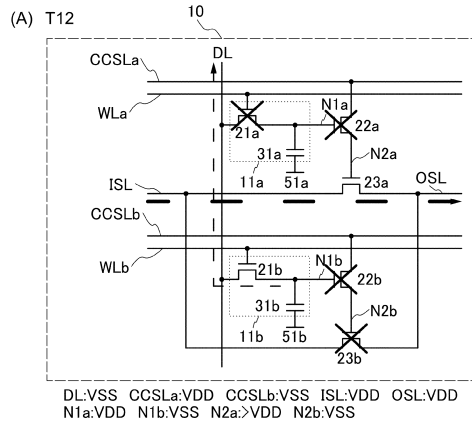
【図 9】



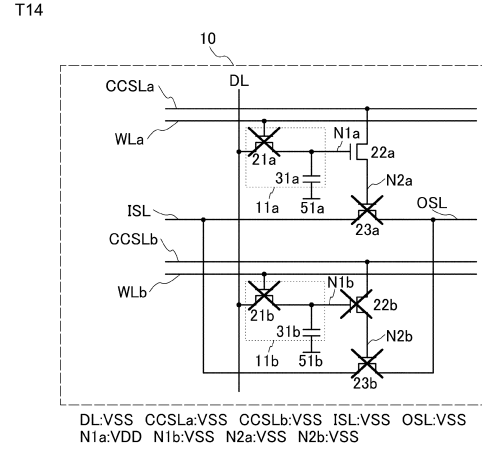
【図 10】



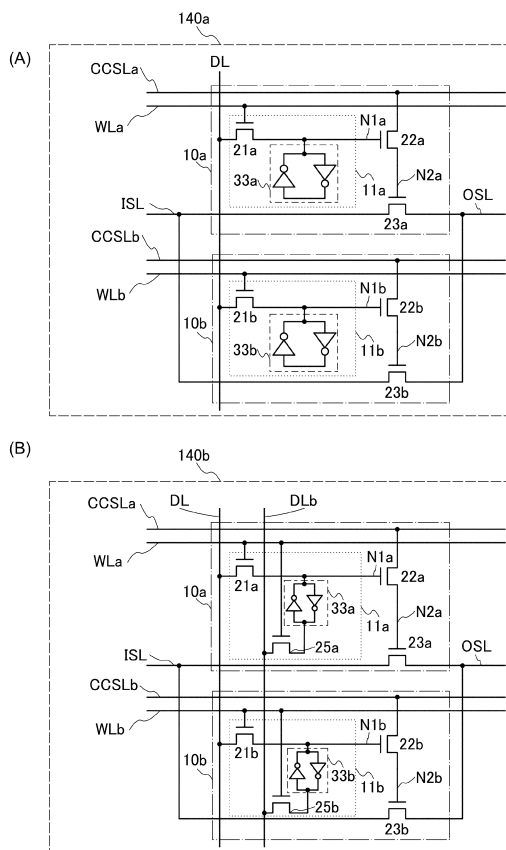
【図 1 1】



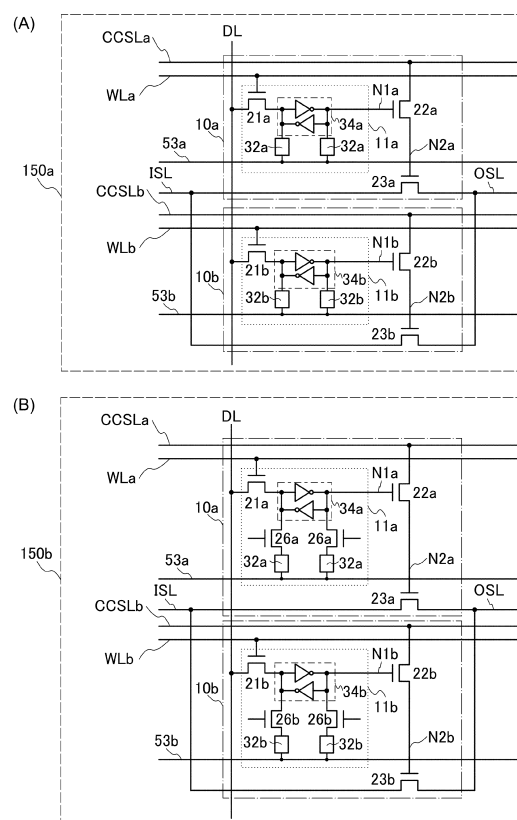
【図 1 2】



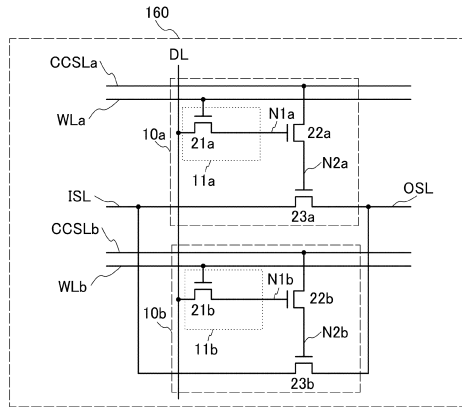
【図 1 3】



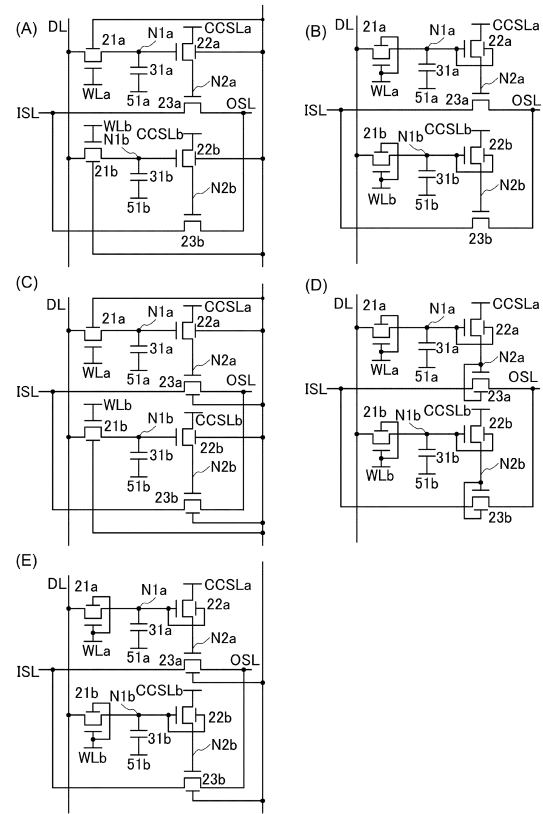
【図 1 4】



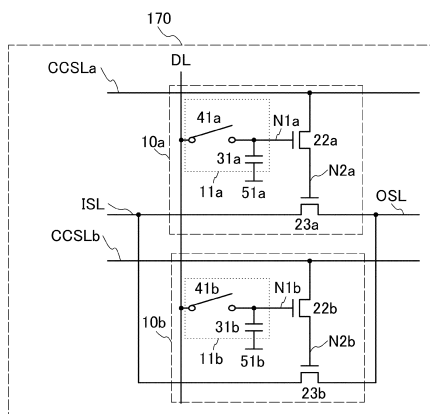
【図 15】



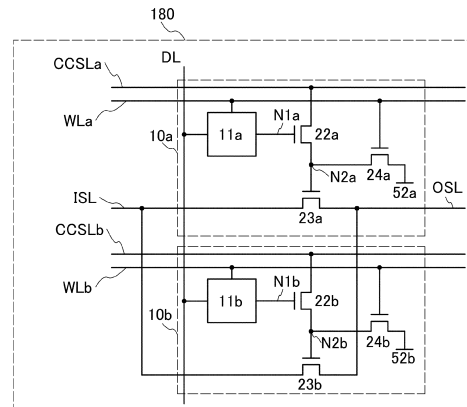
【図 16】



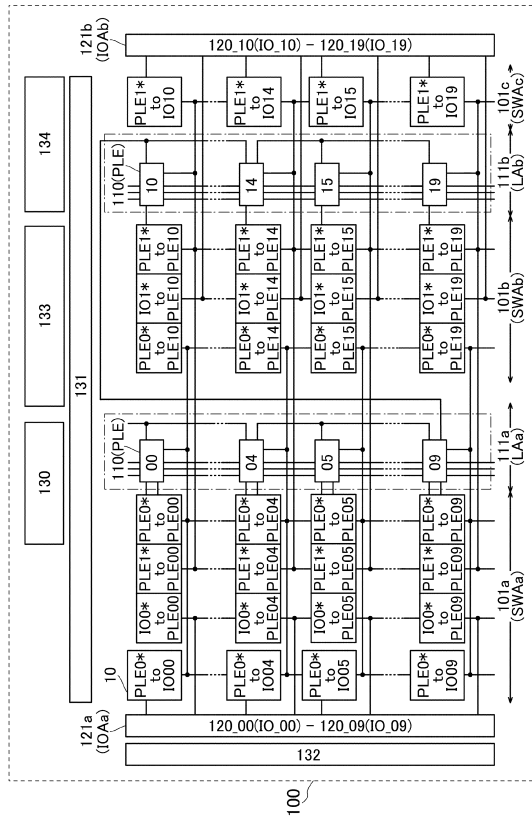
【図 17】



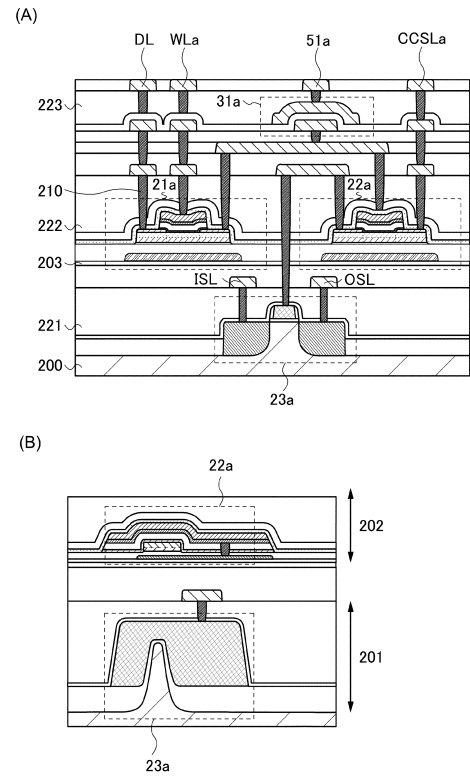
【図 18】



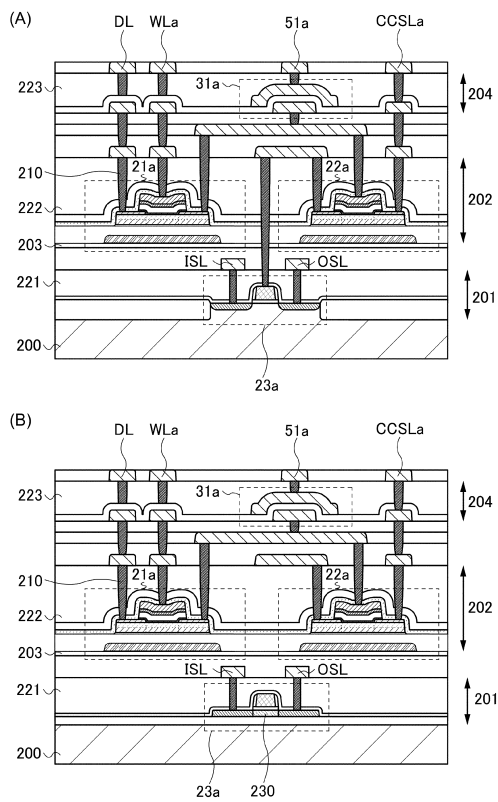
【図 19】



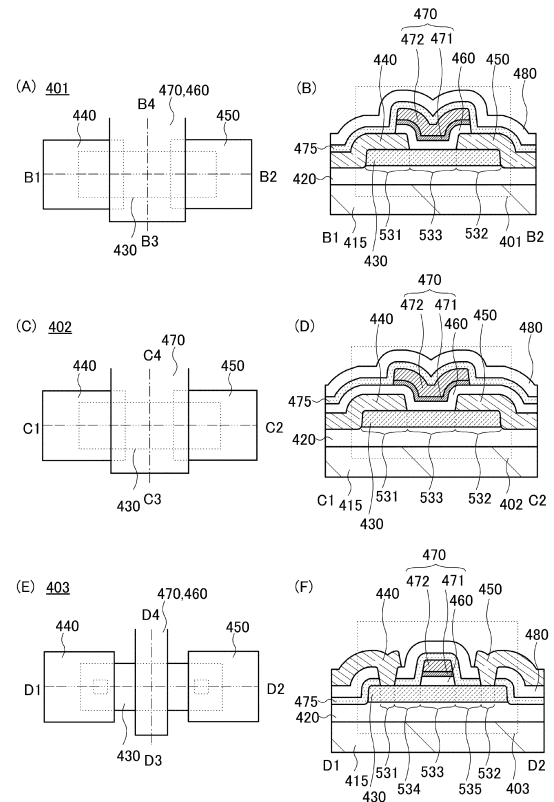
【図 20】



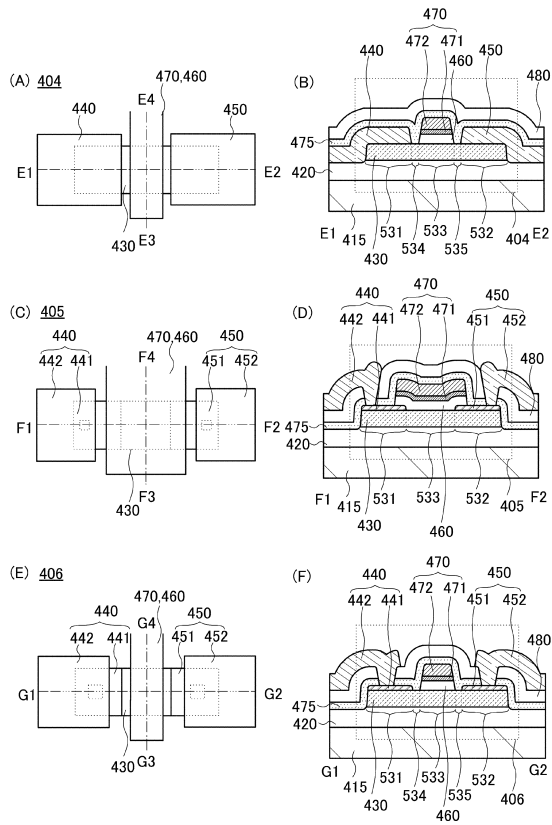
【図 21】



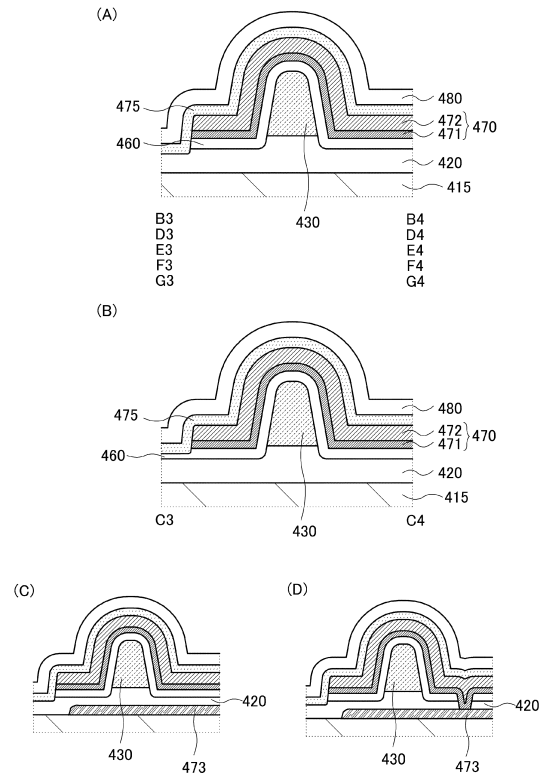
【図 22】



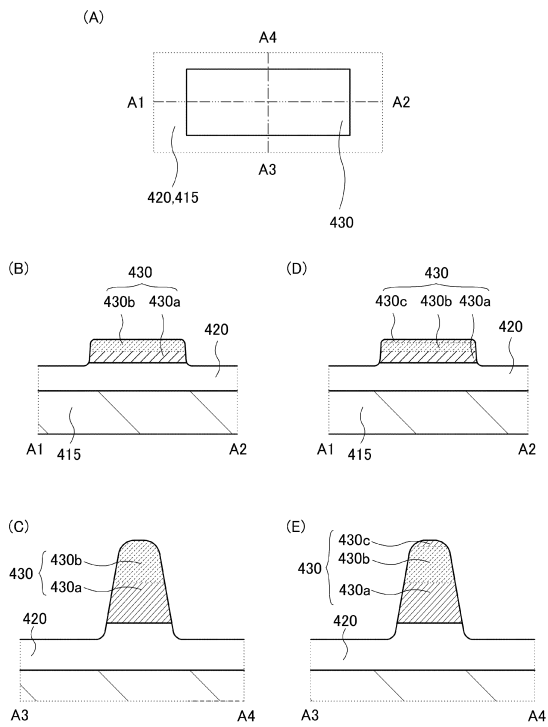
【図 2 3】



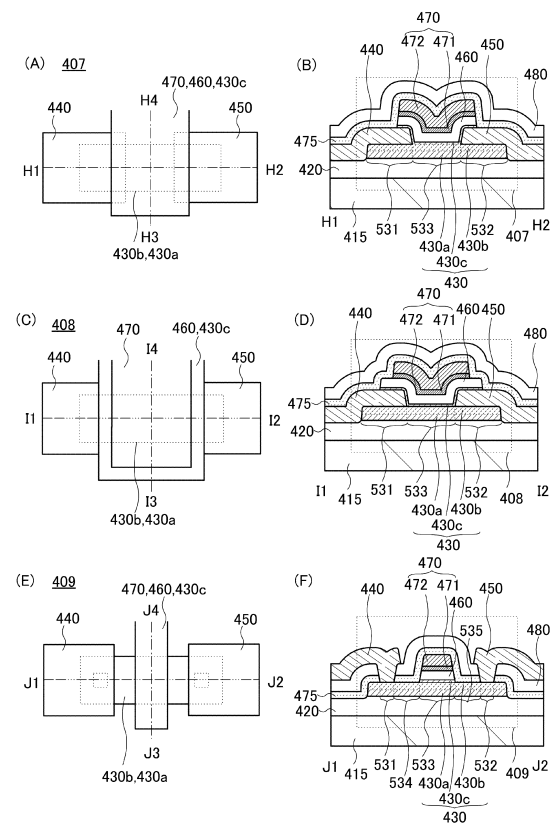
【図 2 4】



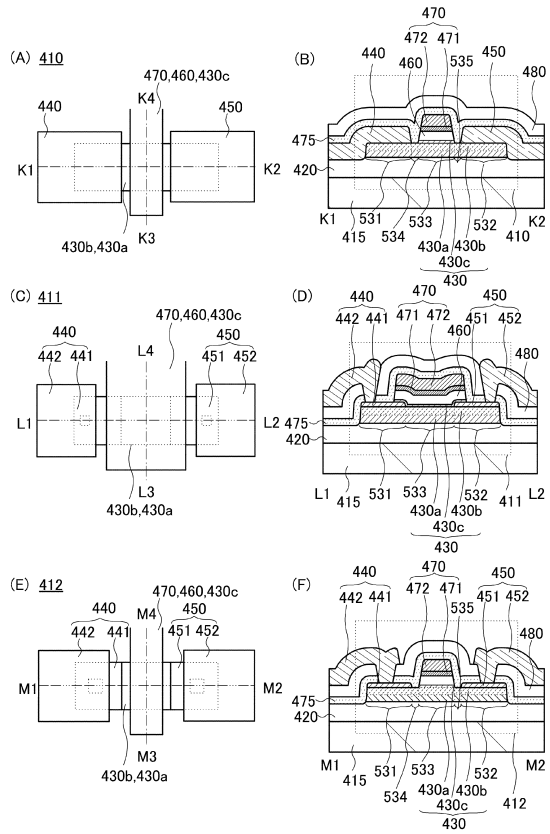
【図 2 5】



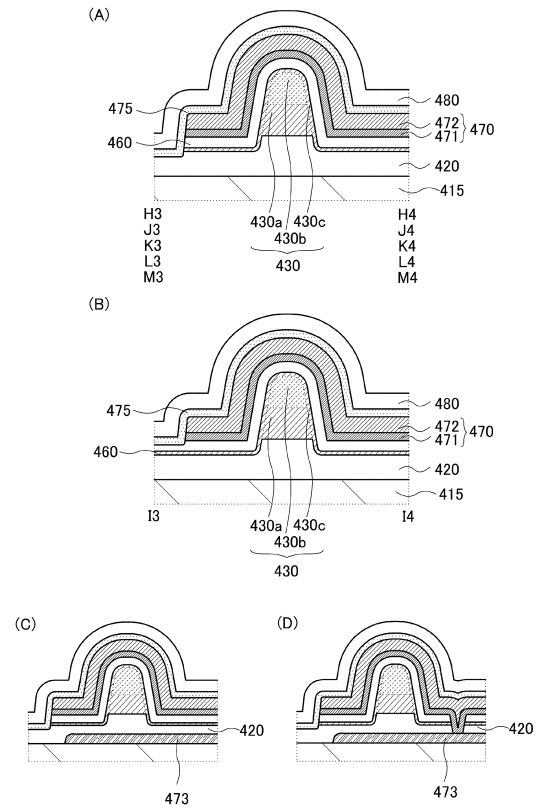
【図 2 6】



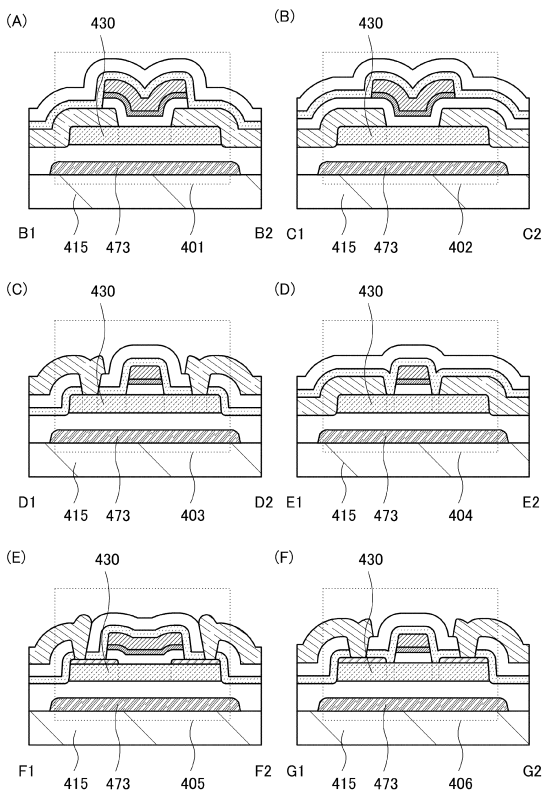
【図 27】



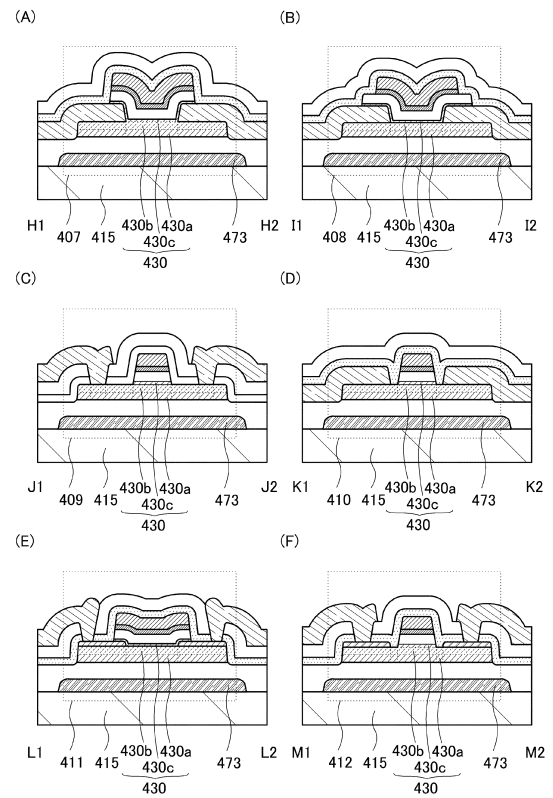
【図 28】



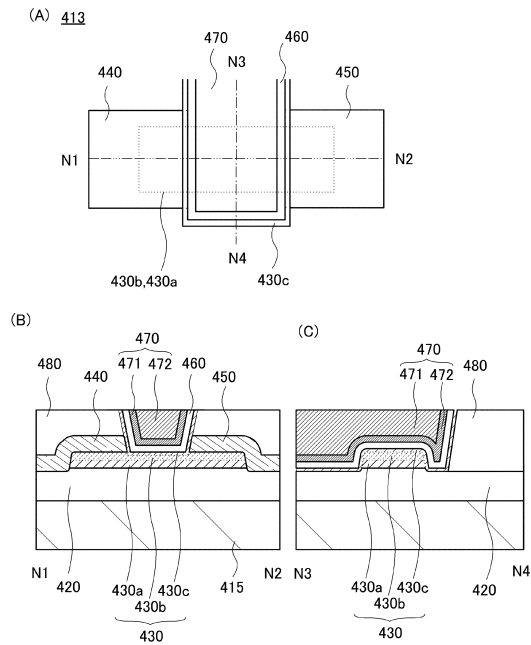
【図 29】



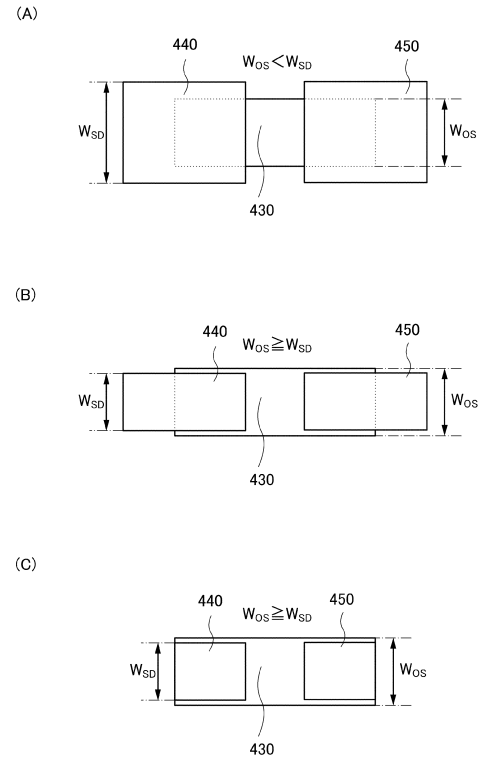
【図 30】



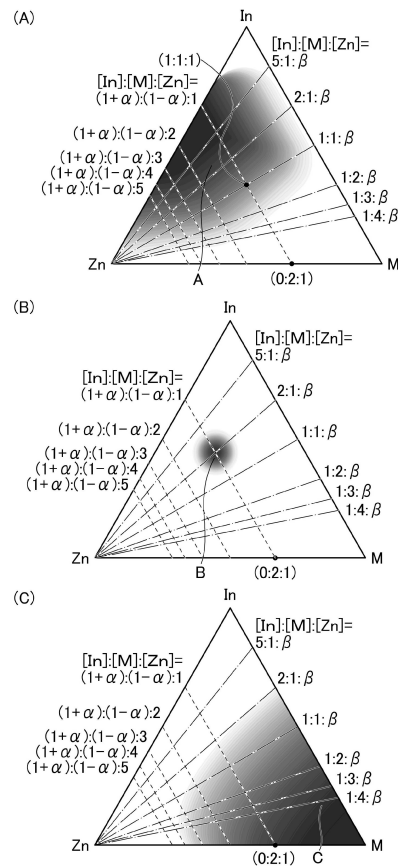
【図 3 1】



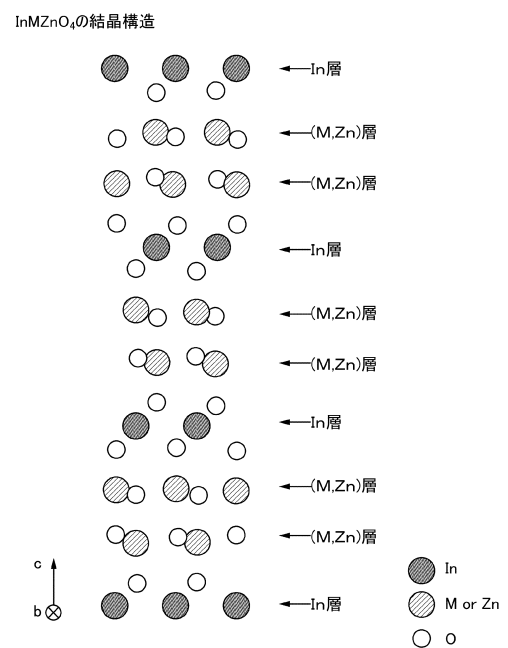
【図 3 2】



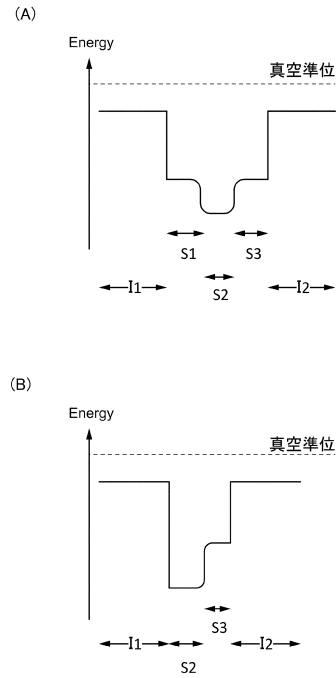
【図 3 3】



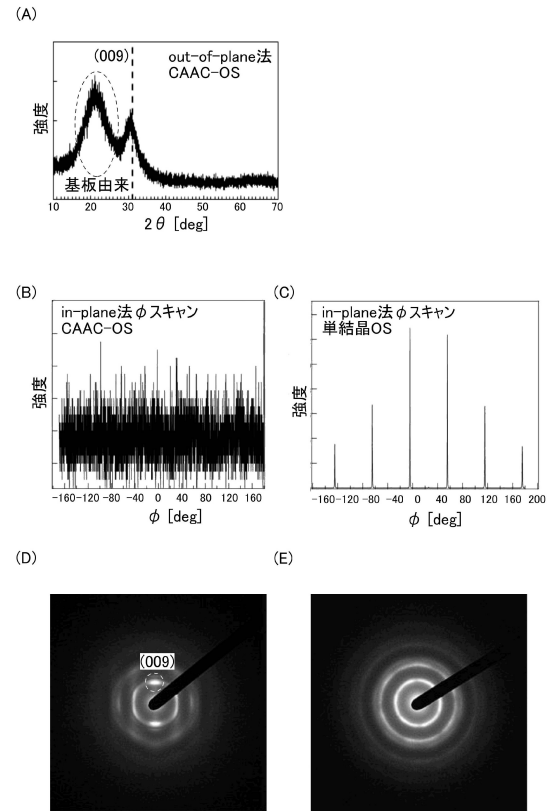
【図 3 4】



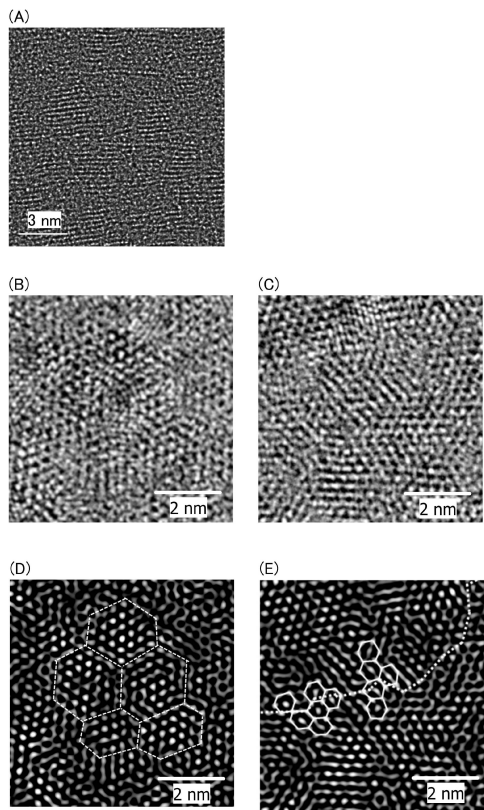
【図 3 5】



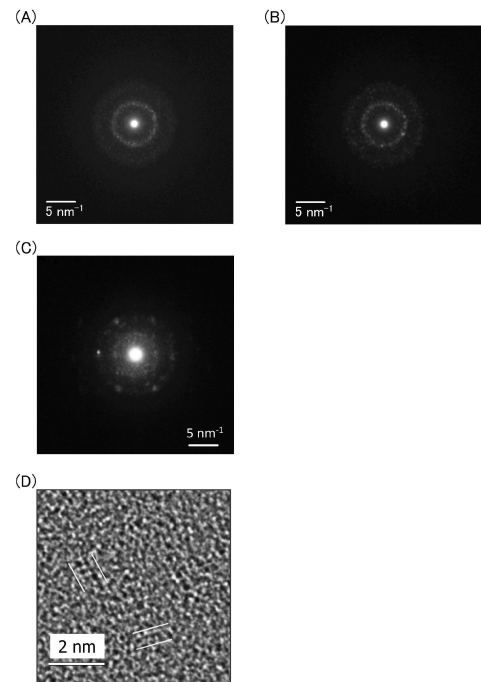
【図 3 6】



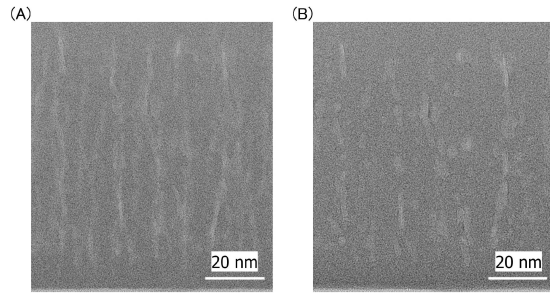
【図 3 7】



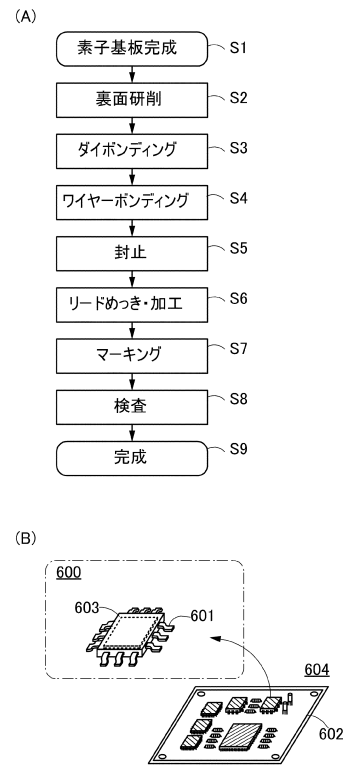
【図 3 8】



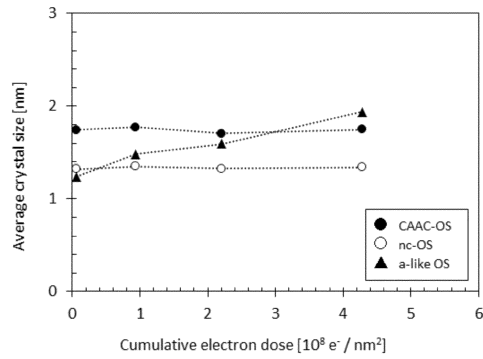
【図 39】



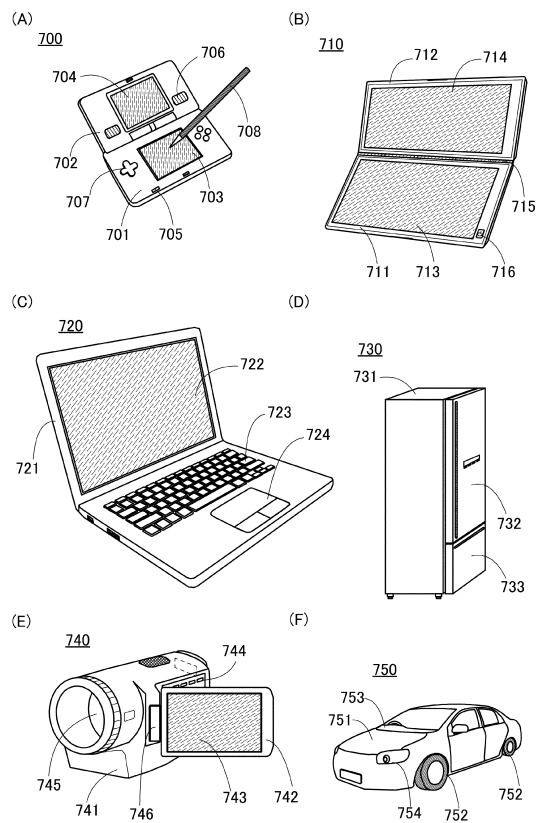
【図 41】



【図 40】



【図 42】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/786 (2006.01) H 0 1 L 29/78 6 1 8 B

(56)参考文献 特開 2 0 1 3 - 2 5 1 8 9 4 (J P, A)
特開 2 0 1 5 - 1 8 1 2 2 3 (J P, A)
特開 2 0 1 4 - 1 5 8 2 5 0 (J P, A)
特開 2 0 1 5 - 2 7 0 8 0 (J P, A)
特開 2 0 1 5 - 2 9 2 6 1 (J P, A)
特開 2 0 1 5 - 8 0 1 8 7 (J P, A)

(58)調査した分野(Int.Cl., DB名)
H 0 3 K 3 / 3 5 6 - 3 / 3 5 6 5
H 0 3 K 1 9 / 1 7 3 - 1 9 / 1 7 7 9 6
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 7 / 0 8 8
H 0 1 L 2 9 / 7 8 6