

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年3月19日 (19.03.2009)

PCT

(10) 国際公開番号
WO 2009/034731 A1

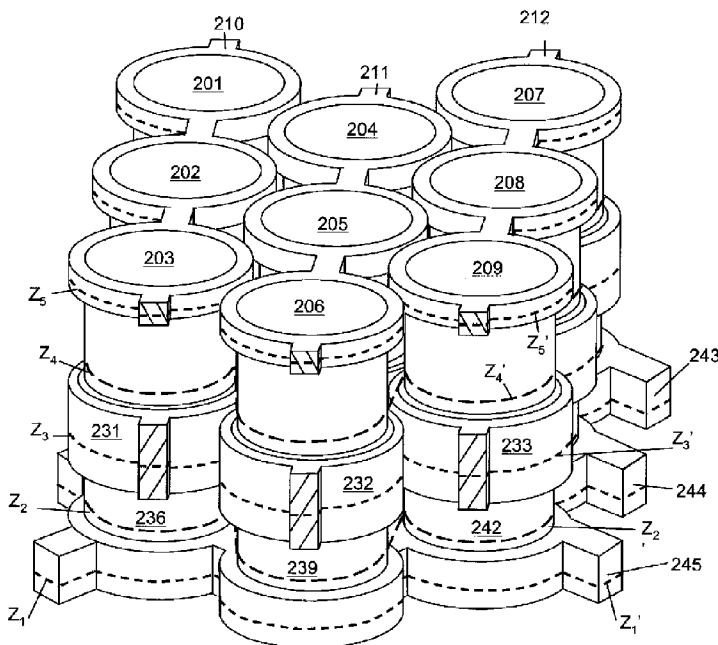
- (51) 国際特許分類: *H01L 27/146* (2006.01) Electronics (Japan) Ltd.) [JP/JP]; 〒1040033 東京都中央区新川 1-2-2-11 フジライト新川ビル 2F Tokyo (JP).
- (21) 国際出願番号: PCT/JP2008/055231
- (22) 国際出願日: 2008年3月21日 (21.03.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: PCT/JP2007/067732
2007年9月12日 (12.09.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本ユニサンティスエレクトロニクス株式会社 (Unisantis) (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 舩岡 富士雄 (MASUOKA, Fujio) [JP/JP]; 〒1040033 東京都中央区新川 1-2-2-11 フジライト新川ビル 2F 日本ユニサンティスエレクトロニクス株式会社内 Tokyo (JP).
中村 広記 (NAKAMURA, Hiroki) [JP/JP]; 〒1040033 東京都中央区新川 1-2-2-11 フジライト新川ビル 2F 日本ユニサンティスエレクトロニクス株式会社内 Tokyo (JP).

[続葉有]

(54) Title: SOLID-STATE IMAGING ELEMENT

(54) 発明の名称: 固体撮像素子

[図10]



(57) Abstract: Provided is an image sensor having a large ratio of the surface area of a light receiving portion to the surface area of one pixel. A solid-state imaging device comprises solid-state imaging elements arranged on a substrate. The solid-state imaging elements include a signal line formed on the substrate, an island semiconductor region disposed on the signal line, and a pixel selection line connected to an upper part of the island semiconductor region. The island semiconductor region includes a first semiconductor layer disposed on a lower part of the island semiconductor region and connected to the signal line, a second semiconductor layer adjacent to the upper side of the first semiconductor layer, a gate connected through an insulating film to the second semiconductor layer, a charge storage portion connected to the second semiconductor layer and including a third semiconductor layer, the charge amount of which changes when receiving light, and a fourth semiconductor layer disposed

adjacent to the upper sides of the second and third semiconductor layers and connected to the pixel selection line. The solid-state imaging elements are arranged in a honeycomb shape on the substrate.

(57) 要約: 1画素の表面積に対する受光部の表面積の割合が大きいイメージセンサを提供することを課題とする。基板上に配列された固体撮像素子を備えた固体撮像装置であって、前記固体撮像素子は、基板上に形成された信号線と、前記信号線の上下

[続葉有]

WO 2009/034731 A1



(74) 代理人: 熊倉 禎男, 外(KUMAKURA, Yoshio et al.);
〒1008355 東京都千代田区丸の内3丁目3番1号 新
東京ビル 中村合同特許法律事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE,
DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH,
GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM,
KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA,
MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE,

SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,
SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

に配置される島状半導体と、前記島状半導体の上部に接続された画素選択線とを備え、前記島状半導体は、
前記島状半導体の下部に配置され、前記信号線に接続された第1の半導体層と、前記第1の半導体層の上側に
隣接する第2の半導体層と、前記第2の半導体層に絶縁膜を介して接続されたゲートと、前記第2の半導体
層に接続された、受光すると電荷量が変化する第3の半導体層からなる前記電荷蓄積部と、前記第2の半導体層
と前記第3の半導体層の上側に隣接し、前記画素選択線に接続された第4の半導体層と、を備え、前記固体撮像
素子を基板上にハニカム状に配列したことを特徴とする固体撮像装置により、上記課題を解決する。

明 細 書

固体撮像素子

技術分野

[0001] この発明は、固体撮像素子に関するものである。

背景技術

[0002] 各画素毎に増幅機能を持たせ、走査回路により読み出す増幅型固体撮像装置すなわちCMOSイメージセンサが提案されている。CMOSイメージセンサでは、1画素内に、光電変換部と増幅部と画素選択部及びリセット部が形成され、フォトダイオードからなる光電変換部の他に3個のMOSトランジスタが用いられる(例えば、特許文献1)。すなわち、従来のCMOSイメージセンサは、4つの素子からなる。CMOSセンサは、フォトダイオードからなる光電変換部で生成された電荷を蓄積し、蓄積した電荷を増幅部にて増幅し、画素選択部を用いて増幅した電荷を読み出す。

[0003] 図1に、従来のCMOSイメージセンサの単位画素を示す。図1において、5は光電変換用フォトダイオード、101は増幅用トランジスタ、102はリセットトランジスタ、103は選択トランジスタ、13は信号線、11は画素選択クロックライン、12はリセットクロックライン、14は電源線、114はリセット用の電源線である。従来のCMOSイメージセンサの単位画素は、フォトダイオードの他に、3個のMOSトランジスタ、計4素子を平面に持つ。すなわち、1画素の表面積に対する、受光部(フォトダイオード)の表面積の割合を大きくすることは、困難であった。

[0004] 0.35 μ m, 1ポリシリコン層, 2金属層CMOSプロセスを用いた、従来のCMOSイメージセンサにおいて、1画素の表面積に対する受光部(フォトダイオード)の割合は17%であると、報告されている(非特許文献1)。また、0.15 μ m wiring-ruleプロセスを用いたとき、1画素の表面積に対する、受光部(フォトダイオード)の表面積の割合は30%であると、報告されている(非特許文献2)。

[0005] 特許文献1:特開2000-244818

非特許文献1:H.Takahashi, M. Kinoshita, K. Morita, T. Shirai, T. Sato, T. Kimura, H. Yuzurihara, S. Inoue, "A 3.9 μ m Pixel Pitch VGA Format 1

Ob Digital Image Sensor with 1.5-Transistor/Pixel”, ISSCC Dig. Tech. Papers, pp. 108–109, 2004.

非特許文献2:M. Kasano, Y. Inaba, M. Mori, S. Kasuga, T. Murata, T. Yamaguchi, “A 2.0 μ m Pixel Pitch MOS Image Sensor with an Amorphous Si Film Color Filter”, ISSCC Dig. Tech. Papers, pp.348–349, 2005.

発明の開示

発明が解決しようとする課題

[0006] そこで、1画素の表面積に対する受光部の表面積の割合が大きいイメージセンサを提供することを課題とする。

課題を解決するための手段

[0007] 本発明の1態様では、

ゲートとソースが光電変換用フォトダイオードとして機能し、ゲートが電荷蓄積部として機能し、電荷蓄積部の電荷を増幅する接合トランジスタからなる増幅用トランジスタと、

増幅用トランジスタのゲートにソースが接続され、電荷蓄積部をリセットするMOSTランジスタからなるリセットトランジスタと、

増幅用トランジスタのドレインに陽極が接続され、リセットトランジスタのドレインに陰極が接続されたダイオードと、

増幅用トランジスタのソースに接続された画素選択線と、

ダイオードの陰極に接続された信号線と、

で構成された固体撮像素子が提供される。

[0008] 本発明の別の態様は、固体撮像素子の駆動方法が提供される。

すなわち、前記画素選択線に第1の駆動電圧を印加し、前記信号線に第2の駆動電圧を印加し、前記ゲートに第3の駆動電圧を印加することにより、前記電荷蓄積部のリセットを行う。

また、前記画素選択線に前記第1の駆動電圧を印加し、前記ゲートに前記第1の駆動電圧を印加し、前記信号線に前記第1の駆動電圧を印加することにより、受光を行い前記電荷蓄積部に蓄積した電荷量を変化させる。

また、前記画素選択線に前記第2の駆動電圧、前記ゲートに前記第1の駆動電圧、前記信号線に前記第1の駆動電圧を印加することにより、前記電荷蓄積部に蓄積した電荷を増幅し、読み出し電流を流し、読み出しを行う。

[0009] また、本発明の好ましい態様では、

基板上に配列された固体撮像素子を備えた固体撮像装置であって、
前記固体撮像素子は、
基板上に形成された信号線と、
前記信号線の上に配置される島状半導体と、
前記島状半導体の上部に接続された画素選択線とを含んでおり、
前記島状半導体は、
前記島状半導体の下部に配置され、前記信号線に接続された第1の半導体層と、
前記第1の半導体層の上側に隣接する第2の半導体層と、
前記第2の半導体層に絶縁膜を介して接続されたゲートと、
前記第2の半導体層に接続された、受光すると電荷量が増加する第3の半導体層からなる前記電荷蓄積部と、
前記第2の半導体層と前記第3の半導体層の上側に隣接し、前記画素選択線に接続された第4の半導体層と、を備え、
前記固体撮像素子は、基板上にハニカム状に配列される固体撮像装置が提供される。

[0010] また、本発明の好ましい態様では、前記第1の半導体層はn+型拡散層であり、前記第2の半導体層はp型不純物添加領域であり、前記第3の半導体層はn型拡散層であり、前記第4の半導体層はp+型拡散層である。

前記p+型拡散層と、n型拡散層とは、光電変換用フォトダイオードとして機能し、
前記p+型拡散層と、n型拡散層と、p型不純物添加領域とは、増幅用トランジスタとして機能し、

前記第1の半導体層のn+型拡散層と、p型不純物添加領域と、n型拡散層とゲートとは、リセットトランジスタとして機能し、

前記p型不純物添加領域と、n+型拡散層とは、ダイオードとして機能する。

- [0011] また、本発明の好ましい態様では、前記固体撮像素子において、前記島状半導体は円柱形状である。
- [0012] また、本発明の好ましい態様では、前記固体撮像素子において、前記島状半導体は六角柱形状である。
- [0013] また、本発明の好ましい態様では、前記固体撮像装置において、前記固体撮像素子は、基板上に n 行 m 列(n, m は1以上)として行列状に配列され、前記島状半導体は円柱形状である。
- [0014] また、本発明の好ましい態様では、前記固体撮像装置において、前記固体撮像素子は、基板上に n 行 m 列(n, m は1以上)として行列状に配列され、前記島状半導体は四角柱形状である。
- [0015] また、本発明の好ましい態様では、前記第1の半導体層は $n+$ 型拡散層であり、前記第2の半導体層は p 型不純物添加領域であり、前記第3の半導体層は n 型拡散層であり、前記第4の半導体層は $p+$ 型拡散層である。
- 前記 $p+$ 型拡散層と、 n 型拡散層とは、光電変換用フォトダイオードとして機能し、
前記 $p+$ 型拡散層と、 n 型拡散層と、 p 型不純物添加領域とは、増幅用トランジスタとして機能し、
前記第1の半導体層の $n+$ 型拡散層と、 p 型不純物添加領域と、 n 型拡散層とゲートとは、リセットトランジスタとして機能し、
前記 p 型不純物添加領域と、 $n+$ 型拡散層とは、ダイオードとして機能する。
- [0016] また、本発明の好ましい態様では、
固体撮像素子の製造方法であって、
基板上に信号線を形成する工程と、
前記信号線上の島状半導体を形成する工程と、
前記島状半導体下部の前記信号線に接続された第1の半導体層を形成する工程と、
、
前記第1の半導体層の上側に隣接する第2の半導体層を形成する工程と、
前記第1の半導体層上に隣接する第2の半導体層に絶縁膜を介して接続されたゲートを形成する工程と、

前記第2の半導体層に接続された第3の半導体層を形成する工程と、
前記第2の半導体層と前記第3の半導体層の上側に隣接する第4の半導体層を形成する工程と、
前記第4の半導体層に接続する画素選択線を形成する工程と、
を含むことを特徴とする前記固体撮像素子の製造方法が提供される。

[0017] また、本発明の好ましい態様では、
固体撮像素子の製造方法であって、
酸化膜上に、p型シリコンを形成し、p型シリコン上に、窒化膜を堆積し、シリコン酸化膜堆積し、
レジストを形成し、酸化膜エッチングを行い、窒化膜エッチングを行い、レジストを剥離し、信号線を形成するための酸化膜マスクと窒化膜マスクを形成し、
p型シリコンをエッチングし、信号線を形成する工程と、
島状半導体を形成するためのレジストを形成し、
酸化膜、窒化膜をエッチングし、
レジストを剥離し、
p型シリコンをエッチングし、島状半導体を形成する工程と、
酸化膜を堆積し、平坦化し、エッチバックを行い、
酸化を行い酸化膜を形成し、
イオン注入時のマスクとするため、ポリシリコンを堆積し、エッチバックし、サイドウォール状に残す工程と、
酸化膜を剥離しリンを注入する場所を露出し、
イオン注入時のイオンチャネリング防止のため酸化膜を形成し、
リンをイオン注入し、熱工程を行い、信号線とn+型拡散層を形成する工程と、
ポリシリコン、酸化膜を剥離し、
酸化膜を堆積し、平坦化し、エッチバックし、酸化膜層を形成し、
ゲート酸化を行いゲート酸化膜を形成し、ポリシリコンを堆積し、平坦化を行い、エッチバックを行い、
ゲートのためのレジストを形成し、

ポリシリコンをエッチングし、ゲートを形成する工程と、
レジストを剥離し、
シリコン柱の側壁の薄い酸化膜を剥離し、イオン注入時のイオンチャネリング防止のため、シリコン柱側壁とゲートのポリシリコンを酸化し、酸化膜を形成し、
リンを注入し、n型拡散層を形成する工程と、
窒化膜を剥離し、
酸化膜を堆積し、平坦化し、エッチバックし、酸化膜層を形成し、
イオン注入時のイオンチャネリング防止のため酸化し、酸化膜を形成し、
ボロンを注入し、熱工程を行い、p+型拡散層を形成する工程と、
酸化膜を剥離し、
金属を堆積し、平坦化し、エッチバックし、
画素選択線のためのレジストを形成し、
金属をエッチングし、画素選択線を形成する工程と、
をさらに含むことを特徴とする前記固体撮像素子の製造方法が提供される。

[0018] また、本発明の好ましい態様では、前記第2の半導体層の一部は円柱形状であり、前記ゲートは、前記絶縁膜を介して、前記第2の半導体層の一部の外周を取り囲む。

前記第2の半導体層の他の一部は円柱形状であり、前記第3の半導体層は、前記第2の半導体層の前記他の一部の外周を取り囲む。

発明の効果

[0019] 従来のCMOSイメージセンサの単位画素は、フォトダイオードの他に、3個のMOSトランジスタ、計4素子を平面に持つ。すなわち、1画素の表面積に対する、受光部(フォトダイオード)の表面積の割合を大きくすることは難しい。0.15 μm wiring-ruleプロセスを用いたとき、1画素の表面積に対する、受光部(フォトダイオード)の表面積の割合は30%であると、報告されている。

本発明では、

ゲートとソースが光電変換用フォトダイオードとして機能し、ゲートが電荷蓄積部として機能し、電荷蓄積部の電荷を増幅する接合トランジスタからなる増幅用トランジスタ

と、

増幅用トランジスタのゲートにソースが接続され、電荷蓄積部をリセットするMOSトランジスタからなるリセットトランジスタと、

増幅用トランジスタのドレインに陽極が接続され、リセットトランジスタのドレインに陰極が接続されたダイオードと、

増幅用トランジスタのソースに接続された画素選択線と、

ダイオードの陰極に接続された信号線と、

で構成された固体撮像素子である。

すなわち、光電変換部と増幅部と画素選択部及びリセット部を、接合トランジスタからなる増幅用トランジスタと、MOSトランジスタからなるリセットトランジスタと、ダイオード、計3素子で構成するため、1画素中の素子数を減らすことができる。

[0020] また、本発明では、

基板上に形成された信号線と、

前記信号線の上に配置される島状半導体と、

前記島状半導体の上部に接続された画素選択線とを含む固体撮像素子であって

、

前記島状半導体は、

前記島状半導体の下部に配置され、前記信号線に接続された第1の半導体層と、

前記第1の半導体層の上側に隣接する第2の半導体層と、

前記第2の半導体層に絶縁膜を介して接続されたゲートと、

前記第2の半導体層に接続された、受光すると電荷量が増加する第3の半導体層からなる前記電荷蓄積部と、

前記第2の半導体層と前記第3の半導体層の上側に隣接し、前記画素選択線に接続された第4の半導体層とを備えた固体撮像素子が提供される。

前記第3の半導体層と前記第4の半導体層は、光電変換用フォトダイオードとして機能し、

前記第2の半導体層と前記第3の半導体層と前記第4の半導体層とは、増幅用トランジスタとして機能し、

前記第1の半導体層と前記第2の半導体層と前記第3の半導体層と前記ゲートとはリセットトランジスタとして機能する。

これにより、光電変換部と増幅部と画素選択部及びリセット部をフォトダイオードの面積で実現するため、1画素の表面積に対する受光部の表面積の割合が大きいイメージセンサを可能とする。

- [0021] また、固体撮像装置において、前記固体撮像素子をハニカム状に配置することにより、1画素の表面積に対する受光部の表面積の割合が大きいイメージセンサを可能とする。

発明を実施するための最良の形態

- [0022] 以下、図面に示す実施形態に基づいてこの発明を記述する。なお、この発明は、これによって限定されるものではない。
- [0023] この発明に係る固体撮像素子の等価回路を図2に示す。この発明に係る固体撮像素子は、フォトダイオード401と電荷蓄積部402と増幅用トランジスタ403とゲート(リセット線)406とリセットトランジスタ405とダイオード409と画素選択線404と信号線407からなる。
- すなわち、光電変換部と増幅部と画素選択部及びリセット部を、接合トランジスタからなる増幅用トランジスタと、MOSトランジスタからなるリセットトランジスタと、ダイオード、計3素子で構成するため、従来のCMOSイメージセンサより1画素中の素子数を減らすことができる。
- [0024] この発明に係る固体撮像素子の駆動方法を図3、図4、図5(a)、図5(b)に示す。

はじめに、画素選択線404に0Vを印加し、信号線407に信号線電圧 V_H 例えば1Vを印加し、ゲート(リセット線)406に $V_H + V_{th}$ を印加することにより、電荷蓄積部402を V_H としリセットを行う(図3)。ただし、 V_{th} はリセットトランジスタのしきい値電圧であり、例えば0.5Vである。

- [0025] 次に、画素選択線404に0V、ゲート(リセット線)406に0Vを印加し、信号線407に0Vを印加することにより、フォトダイオード401に入射した光信号を電荷に変換し、変換された信号電荷を電荷蓄積部402に蓄積する。すなわち、光が入射すると、電荷蓄積部402の電圧は低下する(図4)。

[0026] 次に、画素選択線404に V_H 例えば1V、ゲート(リセット線)406に0V、信号線407に0Vを印加することにより、電荷蓄積部402に蓄積した電荷が増幅され、読み出し電流 I_{read} 408が流れ、電流 I_{read} 408がダイオード409を流れ、読み出される。光が強い程、電荷蓄積部402の電圧は低下し、電流は流れる(図5(a))。また、フォトダイオードに光が入射しなかった場合、電荷蓄積部402の電圧は、 V_H 例えば1Vであり、電流は流れない(図5(b))。

以上の駆動方法により、フォトダイオードからなる光電変換部で生成された電荷を蓄積し、蓄積した電荷を増幅部にて増幅し、画素選択部を用いて増幅した電荷を読み出すことができる。

[0027] この発明に係る固体撮像素子1個の鳥瞰図を図6に示す。また、図7(a)は、図6の $X_1 - X_1'$ 断面図であり、図7(b)は図7(a)の等価回路図であり、図8(a)は、図6の $Y_1 - Y_1'$ 断面図であり、図8(b)は図8(a)の等価回路図である。

本発明では、

シリコン基板160上に、酸化膜161が形成され、酸化膜161上に信号線154が形成され、

前記信号線の上に島状半導体が形成され、前記島状半導体は、
前記島状半導体下部の、前記信号線に接続されたn+型拡散層153と、
前記n+型拡散層の上側に隣接するp型不純物添加領域152と、
前記p型不純物添加領域に絶縁膜を介して接続されたゲート155と、
前記第p型不純物添加領域に接続された、受光すると電荷量が増加するn型拡散層からなる電荷蓄積部151と、

前記p型不純物添加領域と前記n型拡散層の上側に隣接するp+型拡散層150と、
を備え、

前記島状半導体上部の前記p+型拡散層に接続する画素選択線156が形成される。

層間絶縁膜として、酸化膜157が形成される。

p+型拡散層150と、n型拡散層151とは、光電変換用フォトダイオード164として機能し、

p+型拡散層150と、n型拡散層151と、p型不純物添加領域152とは、増幅用トランジスタ165として機能し、

n+型拡散層153と、p型不純物添加領域152と、n型拡散層151とゲート155とは、リセットトランジスタ163として機能し、

p型不純物添加領域152と、n+型拡散層153とは、ダイオード162として機能する。

[0028] また、上記固体撮像素子を、ハニカム状に配置した固体撮像素子行列(固体撮像装置)の平面図を図9に示す。また、図10は鳥瞰図である。図11は図10の $Z_1 - Z_1'$ 断面図であり、図12は図10の $Z_2 - Z_2'$ 断面図であり、図13は図10の $Z_3 - Z_3'$ 断面図であり、図14は図10の $Z_4 - Z_4'$ 断面図である。図15は図10の $Z_5 - Z_5'$ 断面図である。図10に示される例では、固体撮像素子行列(固体撮像装置)は、シリコン基板上に、p+型拡散層201, 202, 203を有する固体撮像素子を所定間隔(垂直画素ピッチVP)で垂直方向に配列した第1の固体撮像素子列と、p+型拡散層204, 205, 206を有する固体撮像素子を第1の固体撮像素子列と同じ間隔で垂直方向に配列し、且つ第1の固体撮像素子列に対して垂直方向に垂直画素ピッチVPに対して1/2ずらして配置された第2の固体撮像素子列と、p+型拡散層207, 208, 209を有する固体撮像素子を第1の固体撮像素子列と同じ間隔で垂直方向に配列した第3の固体撮像素子列と、で構成された素子列を水平方向に複数並べて構成されている。

[0029] 隣り合う第1の固体撮像素子列及び隣り合う第2の固体撮像素子列及び第3の固体撮像素子列は、垂直画素ピッチを $\sqrt{3}/2$ 倍した間隔(水平画素ピッチHP)で配置される。

即ち、固体撮像素子は、いわゆるハニカム状に配列されている。

[0030] 第1の固体撮像素子列のp+型拡散層201, 202, 203は、画素選択線210に接続される。

第2の固体撮像素子列のp+型拡散層204, 205, 206は、画素選択線211に接続される。

第3の固体撮像素子列のp+型拡散層207, 208, 209は、画素選択線212に接続される。

- [0031] 第1の固体撮像素子列のp型不純物添加領域222, 223, 224は、絶縁膜を介してゲート231に接続される。
第2の固体撮像素子列のp型不純物添加領域225, 226, 227は、絶縁膜を介してゲート232に接続される。
第3の固体撮像素子列のp型不純物添加領域228, 229, 230は、絶縁膜を介してゲート233に接続される。
- [0032] 第1の固体撮像素子列のp型不純物添加領域222, 223, 224は、受光すると電荷量が増加するn型拡散層からなる電荷蓄積部213, 214, 215に接続される。
第2の固体撮像素子列のp型不純物添加領域225, 226, 227は、受光すると電荷量が増加するn型拡散層からなる電荷蓄積部216, 217, 218に接続される。
第3の固体撮像素子列のp型不純物添加領域228, 229, 230は、受光すると電荷量が増加するn型拡散層からなる電荷蓄積部219, 220, 221に接続される。
- [0033] p+型拡散層201, 204, 207を有する固体撮像素子のn+型拡散層234, 237, 240は、信号線243に接続される。
p+型拡散層202, 205, 208を有する固体撮像素子のn+型拡散層235, 238, 241は、信号線244に接続される。
p+型拡散層203, 206, 209を有する固体撮像素子のn+型拡散層236, 239, 242は、信号線245に接続される。
- [0034] また、図16は図9の $X_2 - X_2'$ 断面図であり、図17は図9の $Y_2 - Y_2'$ 断面図である。
- [0035] シリコン基板250上に、酸化膜251が形成され、酸化膜251上に信号線245が形成され、
前記信号線の上に島状半導体が形成され、前記島状半導体は、
前記島状半導体下部の、前記信号線に接続されたn+型拡散層236と、
前記n+型拡散層の上側に隣接するp型不純物添加領域224と、
前記p型不純物添加領域に絶縁膜を介して接続されたゲート231と、
前記第p型不純物添加領域に接続された、受光すると電荷量が増加するn型拡散層からなる電荷蓄積部215と、
前記p型不純物添加領域と前記n型拡散層の上側に隣接するp+型拡散層203と、

を備え、

前記島状半導体上部の前記p+型拡散層に接続する画素選択線210が形成され、シリコン基板250上に、酸化膜251が形成され、酸化膜251上に信号線245が形成され、

前記信号線の上に島状半導体が形成され、前記島状半導体は、前記島状半導体下部の、前記信号線に接続されたn+型拡散層242と、前記n+型拡散層の上側に隣接するp型不純物添加領域230と、前記p型不純物添加領域に絶縁膜を介して接続されたゲート233と、前記第p型不純物添加領域に接続された、受光すると電荷量が増加するn型拡散層からなる電荷蓄積部221と、前記p型不純物添加領域と前記n型拡散層の上側に隣接するp+型拡散層209と、を備え、

前記島状半導体上部の前記p+型拡散層に接続する画素選択線212が形成される。

画素選択線210、212の間には、画素選択線211が配線される。

ゲート231、233の間には、ゲート232が配線される。

層間絶縁膜として、酸化膜246が形成される。

[0036] また、シリコン基板250上に、酸化膜251が形成され、酸化膜251上に信号線245が形成され、

前記信号線の上に島状半導体が形成され、前記島状半導体は、前記島状半導体下部の、前記信号線に接続されたn+型拡散層242と、前記n+型拡散層の上側に隣接するp型不純物添加領域230と、前記p型不純物添加領域に絶縁膜を介して接続されたゲート233と、前記第p型不純物添加領域に接続された、受光すると電荷量が増加するn型拡散層からなる電荷蓄積部221と、前記p型不純物添加領域と前記n型拡散層の上側に隣接するp+型拡散層209と、を備え、

前記島状半導体上部の前記p+型拡散層に接続する画素選択線212が形成される

。シリコン基板250上に、酸化膜251が形成され、酸化膜251上に信号線244が形成され、

前記信号線の上に島状半導体が形成され、前記島状半導体は、前記島状半導体下部の、前記信号線に接続されたn+型拡散層241と、前記n+型拡散層の上側に隣接するp型不純物添加領域229と、前記p型不純物添加領域に絶縁膜を介して接続されたゲート233と、前記第p型不純物添加領域に接続された、受光すると電荷量が増加するn型拡散層からなる電荷蓄積部220と、

前記p型不純物添加領域と前記n型拡散層の上側に隣接するp+型拡散層208と、を備え、

前記島状半導体上部の前記p+型拡散層に接続する画素選択線212が形成される

。シリコン基板250上に、酸化膜251が形成され、酸化膜251上に信号線243が形成され、

前記信号線の上に島状半導体が形成され、前記島状半導体は、前記島状半導体下部の、前記信号線に接続されたn+型拡散層240と、前記n+型拡散層の上側に隣接するp型不純物添加領域228と、前記p型不純物添加領域に絶縁膜を介して接続されたゲート233と、前記第p型不純物添加領域に接続された、受光すると電荷量が増加するn型拡散層からなる電荷蓄積部219と、

前記p型不純物添加領域と前記n型拡散層の上側に隣接するp+型拡散層207と、を備え、

前記島状半導体上部の前記p+型拡散層に接続する画素選択線212が形成される

。層間絶縁膜として、酸化膜246が形成される。

[0037] また、実施例では、島状半導体は円柱形状である固体撮像素子を用いたが、図18に示すように、島状半導体820は六角柱形状である固体撮像素子でもよい。

[0038] また、実施例では、島状半導体が円柱形状である、隣り合う第1の固体撮像素子列及び隣り合う第2の固体撮像素子列及び第3の固体撮像素子列は、垂直画素ピッチを $\sqrt{3}/2$ 倍した間隔(水平画素ピッチHP)で配置され、即ち、固体撮像素子は、いわゆるハニカム状に配列されている構造の固体撮像素子列を示したが、図19に示すように、島状半導体821、822、823、824、825、826、827、828、829が円柱形状である、前記固体撮像素子をn行m列(n、mは1以上)基板に対して配列した固体撮像素子行列(固体撮像装置)としてもよい。

[0039] また、実施例では、島状半導体が円柱形状である、隣り合う第1の固体撮像素子列及び隣り合う第2の固体撮像素子列及び第3の固体撮像素子列は、垂直画素ピッチを $\sqrt{3}/2$ 倍した間隔(水平画素ピッチHP)で配置され、即ち、固体撮像素子は、いわゆるハニカム状に配列されている構造の固体撮像素子列を示したが、図20に示すように、島状半導体830、831、832、833、834、835、836、837、838が四角柱形状である、前記固体撮像素子をn行m列(n、mは1以上)基板に対して配列した固体撮像素子行列(固体撮像装置)としてもよい。

このように、固体撮像素子の形状は、円柱、六角柱、又は四角柱であってもよい。さらには、固体撮像素子の形状は、辺の数が5以上の多角柱であってもよい。また、固体撮像素子の基板上での配列は、島状半導体層の柱形状に応じて、ハニカム状であってもよいし、行列状であってもよい。重要なのは、固体撮像素子を基板上に配列したときの密度がより高くなるように、固体撮像素子が有する柱形状に対応させて基板上に固体撮像素子を配列することである。、固体撮像素子が有する柱形状に対応させて基板上に固体撮像素子を配列することにより、固体撮像素子行列(固体撮像装置)の1画素の表面積に対する固体撮像素子の受光部の表面積の割合を高めることができる。

[0040] 以下に、この発明に係る固体撮像素子の構造を形成するための製造工程の一例を図21～図80を参照して説明する。

[0041] 図21、23、25、27、29、31、33、35、37、39、41、43、45、47、49、51、53、55、57、59、61、63、65、67、69、71、73、75、77、79は、TOP Viewである。図22(a)、24(a)、26(a)、28(a)、30(a)、32(a)、34(a)、36(a)、38(a)、40(a)

、42(a)、44(a)、46(a)、48(a)、50(a)、52(a)、54(a)、56(a)、58(a)、60(a)、62(a)、64(a)、66(a)、68(a)、70(a)、72(a)、74(a)、76(a)、78(a)、80(a)は、TOP Viewの X_3-X_3' 断面に対応する。

図22(b)、24(b)、26(b)、28(b)、30(b)、32(b)、34(b)、36(b)、38(b)、40(b)、42(b)、44(b)、46(b)、48(b)、50(b)、52(b)、54(b)、56(b)、58(b)、60(b)、62(b)、64(b)、66(b)、68(b)、70(b)、72(b)、74(b)、76(b)、78(b)、80(b)は、TOP Viewの Y_3-Y_3' 断面に対応する。

はじめに、シリコン基板250上に、酸化膜251が形成され、酸化膜251上に、p型シリコン501が形成され、p型シリコン501上に、窒化膜(SiN)502を堆積し、シリコン酸化膜503を堆積する(図21、22(a)、(b))。

[0042] レジストを形成し、酸化膜エッチングを行い、窒化膜エッチングを行い、レジストを剥離し、窒化膜マスク580、581、582、酸化膜マスク504、505、506を形成する(図23、24(a)、(b))。

[0043] p型シリコンをエッチングし、信号線243、244、245を形成する(図25、26(a)、(b))。

[0044] レジスト507、508、509、510、511、512、513、514、515を形成する(図27、28(a)、(b))。

[0045] 酸化膜、窒化膜をエッチングし、酸化膜マスク583、584、585、586、587、588、589、590、591、窒化膜マスク592、593、594、595、596、597、598、599、600を形成する(図29、30(a)、(b))。

[0046] レジストを剥離する(図31、32(a)、(b))。

[0047] p型シリコンをエッチングし、島状半導体516、517、518、519、520、521、522、523、524を形成する(図33、34(a)、(b))。

[0048] 酸化膜525を堆積し、平坦化し、エッチバックを行う(図35、36(a)、(b))。

[0049] 酸化を行い、酸化膜526、527、528、529、530、531、532、533、534を形成する(図37、38(a)、(b))。

[0050] イオンインプラ時のマスクとするため、ポリシリコンを堆積し、エッチバックし、サイドウォール535、536、537、538、539、540、541、542、543状に残す。(図39、40(

a)、(b))。

- [0051] 酸化膜を剥離し、リンをインプラントする場所を露出する(図41、42(a)、(b))。
- [0052] イオンインプラ時のイオンチャネリング防止のため酸化膜601、602、603を形成する(図43、44(a)、(b))。
- [0053] リンをイオンインプラし、アニールを行い、信号線243、244、245とn+型拡散層234、235、236、237、238、239、240、241、242を形成する(図45、46(a)、(b))。
- [0054] ポリシリコン、酸化膜を剥離する(図47、48(a)、(b))。
- [0055] 酸化膜を堆積し、平坦化し、エッチバックし、酸化膜層544を形成する(図49、50(a)、(b))。
- [0056] ゲート酸化を行いゲート酸化膜545、546、547、548、549、550、551、552、553を形成し、ポリシリコン554を堆積し、平坦化を行い、エッチバックを行う(図51、52(a)、(b))。
- [0057] ゲート(リセット線)のためのレジスト555、556、557を形成する(図53、54(a)、(b))。
- 。
- [0058] ポリシリコンをエッチングし、ゲート(リセット線)231、232、233を形成する(図55、56(a)、(b))。
- [0059] レジストを剥離する(図57、58(a)、(b))。
- [0060] シリコン柱の側壁の薄い酸化膜を剥離し、その後、イオンインプラ時のイオンチャネリング防止のため、シリコン柱側壁とゲートのポリシリコンを酸化し、酸化膜604、605、606を形成する。(図59、60(a)、(b))。
- [0061] リンをインプラントし、n型拡散層213、214、215、216、217、218、219、220、221を形成する(図61、62(a)、(b))。
- [0062] 窒化膜を剥離する(図63、64(a)、(b))。
- [0063] 酸化膜を堆積し、平坦化し、エッチバックし、酸化膜246を形成する(図65、66(a)、(b))。
- [0064] イオンインプラ時のイオンチャネリング防止のため酸化し、酸化膜559、560、561、562、563、564、565、566、567を形成する(図67、68(a)、(b))。
- [0065] ボロンをインプラし、アニールし、p+型拡散層201、202、203、204、205、206、20

7、208、209を形成する(図69、70(a)、(b))。

[0066] 酸化膜を剥離する(図71、72(a)、(b))。

[0067] 金属568を堆積し、平坦化し、エッチバックする(図73、74(a)、(b))。

[0068] 画素選択線のためのレジスト569、570、571を形成する(図75、76(a)、(b))。

[0069] 金属をエッチングし、画素選択線210、211、212を形成する(図77、78(a)、(b))。

[0070] レジストを剥離し、表面保護膜572を形成する(図79、80(a)、(b))。

[0071] また、実施例では、

p型不純物添加領域を、電荷蓄積部が取り囲み、

p型不純物添加領域を、絶縁膜を介してゲートが取り囲む構造の固体撮像素子を用いたが、

図81に示すように、絶縁膜を介してゲート655がp型不純物添加領域652の一部を、取り囲んでもよい。

図81は、この発明に係わる他の実施例を示す鳥瞰図であり、図82(a)は、図81の $X_4 - X_4'$ 断面図であり、図82(b)は図82(a)の等価回路図であり、図83(a)は、図81の $Y_4 - Y_4'$ 断面図であり、図83(b)は図83(a)の等価回路図である。

シリコン基板660上に、酸化膜661が形成され、酸化膜661上に信号線654が形成され、

前記信号線の上に島状半導体が形成され、前記島状半導体は、

前記島状半導体下部の、前記信号線に接続されたn+型拡散層653と、

前記n+型拡散層の上側に隣接するp型不純物添加領域652と、

前記p型不純物添加領域に絶縁膜を介して接続されたゲート655と、

前記第p型不純物添加領域に接続された、受光すると電荷量が増加するn型拡散層からなる電荷蓄積部651と、

前記p型不純物添加領域と前記n型拡散層の上側に隣接するp+型拡散層650と、を備え、

前記島状半導体上部の前記p+型拡散層に接続する画素選択線656が形成される。

層間絶縁膜として、酸化膜657が形成される。

p+型拡散層650と、n型拡散層651とは、光電変換用フォトダイオード664として機能し、

p+型拡散層650と、n型拡散層651と、p型不純物添加領域652とは、増幅用トランジスタ665として機能し、

n+型拡散層653と、p型不純物添加領域652と、n型拡散層651とゲート655とは、リセットトランジスタ663として機能し、

p型不純物添加領域652と、n+型拡散層653とは、ダイオード662として機能する。また、図84に示すように、電荷蓄積部751がp型不純物添加領域752の一部を取り囲み、

絶縁膜を介してゲート755がp型不純物添加領域752の一部を、取り囲んでもよい。

図84は、この発明に係わる他の実施例を示す鳥瞰図であり、図85(a)は、図84の $X_5 - X_5'$ 断面図であり、図85(b)は図85(a)の等価回路図であり、図86(a)は、図84の $Y_5 - Y_5'$ 断面図であり、図86(b)は図86(a)の等価回路図である。

シリコン基板760上に、酸化膜761が形成され、酸化膜761上に信号線754が形成され、

前記信号線の上に島状半導体が形成され、前記島状半導体は、前記島状半導体下部の、前記信号線に接続されたn+型拡散層753と、前記n+型拡散層の上側に隣接するp型不純物添加領域752と、前記p型不純物添加領域に絶縁膜を介して接続されたゲート755と、前記第p型不純物添加領域に接続された、受光すると電荷量が増加するn型拡散層からなる電荷蓄積部751と、

前記p型不純物添加領域と前記n型拡散層の上側に隣接するp+型拡散層750と、を備え、

前記島状半導体上部の前記p+型拡散層に接続する画素選択線756が形成される。

層間絶縁膜として、酸化膜757が形成される。

p+型拡散層750と、n型拡散層751とは、光電変換用フォトダイオード764として機能し、

p+型拡散層750と、n型拡散層751と、p型不純物添加領域752とは、増幅用トランジスタ765として機能し、

n+型拡散層753と、p型不純物添加領域752と、n型拡散層751とゲート755とは、リセットトランジスタ763として機能し、

p型不純物添加領域752と、n+型拡散層753とは、ダイオード762として機能する。

[0072] 本発明では、

ゲートとソースが光電変換用フォトダイオードとして機能し、ゲートが電荷蓄積部として機能し、電荷蓄積部の電荷を増幅する接合トランジスタからなる増幅用トランジスタと、

増幅用トランジスタのゲートにソースが接続され、電荷蓄積部をリセットするMOSTランジスタからなるリセットトランジスタと、

増幅用トランジスタのドレインに陽極が接続され、リセットトランジスタのドレインに陰極が接続されたダイオードと、

増幅用トランジスタのソースに接続された画素選択線と、

ダイオードの陰極に接続された信号線と、

で構成された固体撮像素子である。

すなわち、光電変換部と増幅部と画素選択部及びリセット部を、接合トランジスタからなる増幅用トランジスタと、MOSTランジスタからなるリセットトランジスタと、ダイオード、計3素子で構成するため、1画素中の素子数を減らすことができる。

[0073] また、本発明では、

基板上に形成された信号線と、

前記信号線の上に配置される島状半導体と、

前記島状半導体の上部に接続された画素選択線とを含んでいる固体撮像素子であって、

前記島状半導体は、

前記島状半導体の下部に配置され、前記信号線に接続された第1の半導体層と、

前記第1の半導体層の上側に隣接する第2の半導体層と、

前記第2の半導体層に絶縁膜を介して接続されたゲートと、

前記第2の半導体層に接続された、受光すると電荷量が増加する第3の半導体層からなる前記電荷蓄積部と、

前記第2の半導体層と前記第3の半導体層の上側に隣接し、前記画素選択線に接続された第4の半導体層とを備えた固体撮像素子が提供される。

前記第3の半導体層と前記第4の半導体層は、光電変換用フォトダイオードとして機能し、

前記第2の半導体層と前記第3の半導体層と前記第4の半導体層とは、増幅用トランジスタとして機能し、

前記第1の半導体層と前記第2の半導体層と前記第3の半導体層と前記ゲートとはリセットトランジスタとして機能する。

これにより、光電変換部と増幅部と画素選択部及びリセット部をフォトダイオードの面積で実現するため、1画素の表面積に対する受光部の表面積の割合が大きいイメージセンサを可能とする。

[0074] 従来のCMOSイメージセンサの1画素の表面積に対する、受光部(フォトダイオード)の表面積の割合は30%であった。本発明のイメージセンサを行列状に配置したときの1画素の表面積に対する、受光部(フォトダイオード)の表面積の割合を見積もる。図87は円柱形状の島状半導体を持つ本発明のイメージセンサ901、902、903、904、905、906、907、908、909を行列状に配置した平面図であり、図88は一画素を拡大した平面図であり、受光部911と画素選択線910が示される。Fは、wiring ruleである。1画素当たりの表面積を $2\mu\text{m} \times 2\mu\text{m}$ とし、 $0.15\mu\text{m}$ wiring ruleプロセスを用いた。受光部(フォトダイオード)の表面積は、 $3.14 \times 0.85\mu\text{m} \times 0.85\mu\text{m}$ である。円柱形状の島状半導体を持つ本発明のイメージセンサを行列状に配置したときの1画素の表面積に対する、受光部(フォトダイオード)の表面積の割合は、56.7%となる。

図89は四角柱形状の島状半導体を持つ本発明のイメージセンサ912、913、914、915、916、917、918、919、920を行列状に配置した平面図であり、図90は一画素を拡大した平面図であり、受光部922と画素選択線921が示される。Fは、wiring ruleである。1画素当たりの表面積を $2\mu\text{m} \times 2\mu\text{m}$ とし、 $0.15\mu\text{m}$ wiring ruleプロ

セスを用いた。受光部(フォトダイオード)の表面積は、 $1.7\mu\text{m} \times 1.7\mu\text{m}$ である。四角柱形状の島状半導体を持つ本発明のイメージセンサを行列状に配置したときの1画素の表面積に対する、受光部(フォトダイオード)の表面積の割合は、72.25%となる。すなわち、イメージセンサの単位画素をフォトダイオードの面積で実現するため、1画素の表面積に対する受光部の表面積の割合が大きいイメージセンサを可能とする。

[0075] また、固体撮像装置において固体撮像素子を基板上にハニカム状に配置することにより、1画素の表面積に対する受光部の表面積の割合が大きいイメージセンサを可能とする。

[0076] 本発明のイメージセンサをハニカム状に配置したときの1画素の表面積に対する、受光部(フォトダイオード)の表面積の割合を見積もる。図91は円柱形状の島状半導体を持つ本発明のイメージセンサ923、924、925、926、927、928、929、930、931をハニカム状に配置した平面図であり、図92は一画素を拡大した平面図であり、受光部933と画素選択線932が示される。Fは、wiring ruleである。フォトダイオードの半径を $0.85\mu\text{m}$ とし、 $0.15\mu\text{m}$ wiring ruleプロセスを用いた。受光部(フォトダイオード)の表面積は、 $3.14 \times 0.85\mu\text{m} \times 0.85\mu\text{m}$ である。1画素の表面積は、 $6 \times (1\mu\text{m} \times 2/\sqrt{3}\mu\text{m})/2$ である。円柱形状の島状半導体を持つ本発明のイメージセンサを行列状に配置したときの1画素の表面積に対する、受光部(フォトダイオード)の表面積の割合は、65.5%となる。図93は六角柱形状の島状半導体を持つ本発明のイメージセンサ934、935、936、937、938、939、940、941、942をハニカム状に配置した平面図であり、図94は一画素を拡大した平面図であり、受光部944と画素選択線943が示される。Fは、wiring ruleである。1画素の表面積を $6 \times (1\mu\text{m} \times 2/\sqrt{3}\mu\text{m})/2$ とし、 $0.15\mu\text{m}$ wiring ruleプロセスを用いた。受光部(フォトダイオード)の表面積は、 $6 \times (0.85\mu\text{m} \times 2 \times 0.85/\sqrt{3}\mu\text{m})/2$ である。1画素の表面積は、 $6 \times (1\mu\text{m} \times 2/\sqrt{3}\mu\text{m})/2$ である。六角柱形状の島状半導体を持つ本発明のイメージセンサを行列状に配置したときの1画素の表面積に対する、受光部(フォトダイオード)の表面積の割合は、72.25%となる。すなわちハニカム状に配置することにより、1画素の表面積に対する受光部の表面積の割合が大きいイメージセンサを可能

とする。

図面の簡単な説明

- [0077] [図1]従来のCMOSイメージセンサの単位画素。
[図2]この発明に係る固体撮像素子の等価回路。
[図3]この発明に係る固体撮像素子の駆動方法。
[図4]この発明に係る固体撮像素子の駆動方法。
[図5(a)]この発明に係る固体撮像素子の駆動方法。
[図5(b)]この発明に係る固体撮像素子の駆動方法。
[図6]この発明に係る固体撮像素子1個の鳥瞰図。
[図7(a)]図6の $X_1 - X_1'$ 断面図。
[図7(b)]図7(a)の等価回路図。
[図8(a)]図6の $Y_1 - Y_1'$ 断面図。
[図8(b)]図8(a)の等価回路図。
[図9]この発明に係る固体撮像素子を、ハニカム状に配置した固体撮像素子の平面図。
[図10]鳥瞰図。
[図11]図10の $Z_1 - Z_1'$ 断面図。
[図12]図10の $Z_2 - Z_2'$ 断面図。
[図13]図10の $Z_3 - Z_3'$ 断面図。
[図14]図10の $Z_4 - Z_4'$ 断面図。
[図15]図10の $Z_5 - Z_5'$ 断面図。
[図16]図9の $X_2 - X_2'$ 断面図。
[図17]図9の $Y_2 - Y_2'$ 断面図。
[図18]この発明に係わる他の実施例を示す鳥瞰図。
[図19]この発明に係わる他の実施例を示す鳥瞰図。
[図20]この発明に係わる他の実施例を示す鳥瞰図。
[図21]この発明に係る固体撮像素子の製造例を示すTOP View。
[図22(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図22(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図23]この発明に係る固体撮像素子の製造例を示すTOP View。

[図24(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図24(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図25]この発明に係る固体撮像素子の製造例を示すTOP View。

[図26(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図26(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図27]この発明に係る固体撮像素子の製造例を示すTOP View。

[図28(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図28(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図29]この発明に係る固体撮像素子の製造例を示すTOP View。

[図30(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図30(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図31]この発明に係る固体撮像素子の製造例を示すTOP View。

[図32(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図32(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図33]この発明に係る固体撮像素子の製造例を示すTOP View。

[図34(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図34(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図35]この発明に係る固体撮像素子の製造例を示すTOP View。

[図36(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図36(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図37]この発明に係る固体撮像素子の製造例を示すTOP View。

[図38(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図38(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図39]この発明に係る固体撮像素子の製造例を示すTOP View。

[図40(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図40(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図41]この発明に係る固体撮像素子の製造例を示すTOP View。

[図42(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図42(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図43]この発明に係る固体撮像素子の製造例を示すTOP View。

[図44(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図44(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図45]この発明に係る固体撮像素子の製造例を示すTOP View。

[図46(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図46(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図47]この発明に係る固体撮像素子の製造例を示すTOP View。

[図48(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図48(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図49]この発明に係る固体撮像素子の製造例を示すTOP View。

[図50(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図50(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図51]この発明に係る固体撮像素子の製造例を示すTOP View。

[図52(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図52(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図53]この発明に係る固体撮像素子の製造例を示すTOP View。

[図54(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図54(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図55]この発明に係る固体撮像素子の製造例を示すTOP View。

[図56(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図56(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図57]この発明に係る固体撮像素子の製造例を示すTOP View。

[図58(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図58(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図59]この発明に係る固体撮像素子の製造例を示すTOP View。

- [図60(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。
- [図60(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。
- [図61]この発明に係る固体撮像素子の製造例を示すTOP View。
- [図62(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。
- [図62(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。
- [図63]この発明に係る固体撮像素子の製造例を示すTOP View。
- [図64(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。
- [図64(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。
- [図65]この発明に係る固体撮像素子の製造例を示すTOP View。
- [図66(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。
- [図66(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。
- [図67]この発明に係る固体撮像素子の製造例を示すTOP View。
- [図68(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。
- [図68(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。
- [図69]この発明に係る固体撮像素子の製造例を示すTOP View。
- [図70(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。
- [図70(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。
- [図71]この発明に係る固体撮像素子の製造例を示すTOP View。
- [図72(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面断面工程図。
- [図72(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。
- [図73]この発明に係る固体撮像素子の製造例を示すTOP View。
- [図74(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。
- [図74(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。
- [図75]この発明に係る固体撮像素子の製造例を示すTOP View。
- [図76(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。
- [図76(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。
- [図77]この発明に係る固体撮像素子の製造例を示すTOP View。
- [図78(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図78(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図79]この発明に係る固体撮像素子の製造例を示すTOP View。

[図80(a)]この発明に係る固体撮像素子の製造例を示す $X_3 - X_3'$ 断面工程図。

[図80(b)]この発明に係る固体撮像素子の製造例を示す $Y_3 - Y_3'$ 断面工程図。

[図81]この発明に係る他の実施例を示す鳥瞰図。

[図82(a)]図81の $X_4 - X_4'$ 断面図。

[図82(b)]図82(a)の等価回路図。

[図83(a)]図81の $Y_4 - Y_4'$ 断面図。

[図83(b)]図83(a)の等価回路図。

[図84]この発明に係る他の実施例を示す鳥瞰図。

[図85(a)]図84の $X_5 - X_5'$ 断面図。

[図85(b)]図85(a)の等価回路図。

[図86(a)]図84の $Y_5 - Y_5'$ 断面図。

[図86(b)]図86(a)の等価回路図。

[図87]円柱形状の島状半導体を持つ本発明のイメージセンサを行列状に配置した平面図。

[図88]一画素を拡大した平面図。

[図89]四角柱形状の島状半導体を持つ本発明のイメージセンサを行列状に配置した平面図。

[図90]一画素を拡大した平面図。

[図91]円柱形状の島状半導体を持つ本発明のイメージセンサをハニカム状に配置した平面図。

[図92]一画素を拡大した平面図。

[図93]六角柱形状の島状半導体を持つ本発明のイメージセンサをハニカム状に配置した平面図。

[図94]一画素を拡大した平面図。

符号の説明

[0078] 5. 光電変換用フォトダイオード

11. 画素選択クロックライン
12. リセットクロックライン
13. 信号線
14. 電源線
101. 増幅用トランジスタ
102. リセットトランジスタ
103. 選択トランジスタ
114. リセット用の電源線
150. p+型拡散層
151. 電荷蓄積部
152. p型不純物添加領域
153. n+型拡散層
154. 信号線
155. ゲート
156. 画素選択線
157. 酸化膜
160. シリコン基板
161. 酸化膜
162. ダイオード
163. リセットトランジスタ
164. 光電変換用フォトダイオード
165. 増幅用トランジスタ
201. p+型拡散層
202. p+型拡散層
203. p+型拡散層
204. p+型拡散層
205. p+型拡散層
206. p+型拡散層

- 207. p+型拡散層
- 208. p+型拡散層
- 209. p+型拡散層
- 210. 画素選択線
- 211. 画素選択線
- 212. 画素選択線
- 213. 電荷蓄積部
- 214. 電荷蓄積部
- 215. 電荷蓄積部
- 216. 電荷蓄積部
- 217. 電荷蓄積部
- 218. 電荷蓄積部
- 219. 電荷蓄積部
- 220. 電荷蓄積部
- 221. 電荷蓄積部
- 222. p型不純物添加領域
- 223. p型不純物添加領域
- 224. p型不純物添加領域
- 225. p型不純物添加領域
- 226. p型不純物添加領域
- 227. p型不純物添加領域
- 228. p型不純物添加領域
- 229. p型不純物添加領域
- 230. p型不純物添加領域
- 231. ゲート
- 232. ゲート
- 233. ゲート
- 234. n+型拡散層

- 235. n+型拡散層
- 236. n+型拡散層
- 237. n+型拡散層
- 238. n+型拡散層
- 239. n+型拡散層
- 240. n+型拡散層
- 241. n+型拡散層
- 242. n+型拡散層
- 243. 信号線
- 244. 信号線
- 245. 信号線
- 246. 酸化膜
- 250. シリコン基板
- 251. 酸化膜
- 401. フォトダイオード
- 402. 電荷蓄積部
- 403. 増幅用トランジスタ
- 404. 画素選択線
- 405. リセットトランジスタ
- 406. ゲート(リセット線)
- 407. 信号線
- 408. 読み出し電流Iread
- 409. ダイオード
- 501. p型シリコン
- 502. 窒化膜(SiN)
- 503. シリコン酸化膜
- 504. マスク
- 505. マスク

- 506. マスク
- 507. レジスト
- 508. レジスト
- 509. レジスト
- 510. レジスト
- 511. レジスト
- 512. レジスト
- 513. レジスト
- 514. レジスト
- 515. レジスト
- 516. 島状半導体
- 517. 島状半導体
- 518. 島状半導体
- 519. 島状半導体
- 520. 島状半導体
- 521. 島状半導体
- 522. 島状半導体
- 523. 島状半導体
- 524. 島状半導体
- 525. 酸化膜
- 526. 酸化膜
- 527. 酸化膜
- 528. 酸化膜
- 529. 酸化膜
- 530. 酸化膜
- 531. 酸化膜
- 532. 酸化膜
- 533. 酸化膜

- 534. 酸化膜
- 535. サイドウォール
- 536. サイドウォール
- 537. サイドウォール
- 538. サイドウォール
- 539. サイドウォール
- 540. サイドウォール
- 541. サイドウォール
- 542. サイドウォール
- 543. サイドウォール
- 544. 酸化膜層
- 545. ゲート酸化膜
- 546. ゲート酸化膜
- 547. ゲート酸化膜
- 548. ゲート酸化膜
- 549. ゲート酸化膜
- 550. ゲート酸化膜
- 551. ゲート酸化膜
- 552. ゲート酸化膜
- 553. ゲート酸化膜
- 554. ポリシリコン
- 555. レジスト
- 556. レジスト
- 557. レジスト
- 559. 酸化膜
- 560. 酸化膜
- 561. 酸化膜
- 562. 酸化膜

- 563. 酸化膜
- 564. 酸化膜
- 565. 酸化膜
- 566. 酸化膜
- 567. 酸化膜
- 568. 金属
- 569. レジスト
- 570. レジスト
- 571. レジスト
- 572. 表面保護膜
- 580. 窒化膜マスク
- 581. 窒化膜マスク
- 582. 窒化膜マスク
- 583. 酸化膜マスク
- 584. 酸化膜マスク
- 585. 酸化膜マスク
- 586. 酸化膜マスク
- 587. 酸化膜マスク
- 588. 酸化膜マスク
- 589. 酸化膜マスク
- 590. 酸化膜マスク
- 591. 酸化膜マスク
- 592. 窒化膜マスク
- 593. 窒化膜マスク
- 594. 窒化膜マスク
- 595. 窒化膜マスク
- 596. 窒化膜マスク
- 597. 窒化膜マスク

- 598. 窒化膜マスク
- 599. 窒化膜マスク
- 600. 窒化膜マスク
- 601. 酸化膜
- 602. 酸化膜
- 603. 酸化膜
- 604. 酸化膜
- 605. 酸化膜
- 606. 酸化膜
- 650. p+型拡散層
- 651. 電荷蓄積部
- 652. p型不純物添加領域
- 653. n+型拡散層
- 654. 信号線
- 655. ゲート
- 656. 画素選択線
- 657. 酸化膜
- 660. シリコン基板
- 661. 酸化膜
- 662. ダイオード
- 663. リセットトランジスタ
- 664. 光電変換用フォトダイオード
- 665. 増幅用トランジスタ
- 750. p+型拡散層
- 751. 電荷蓄積部
- 752. p型不純物添加領域
- 753. n+型拡散層
- 754. 信号線

- 755. ゲート
- 756. 画素選択線
- 757. 酸化膜
- 760. シリコン基板
- 761. 酸化膜
- 762. ダイオード
- 763. リセットトランジスタ
- 764. 光電変換用フォトダイオード
- 765. 増幅用トランジスタ
- 820. 島状半導体
- 821. 島状半導体
- 822. 島状半導体
- 823. 島状半導体
- 824. 島状半導体
- 825. 島状半導体
- 826. 島状半導体
- 827. 島状半導体
- 828. 島状半導体
- 829. 島状半導体
- 830. 島状半導体
- 831. 島状半導体
- 832. 島状半導体
- 833. 島状半導体
- 834. 島状半導体
- 835. 島状半導体
- 836. 島状半導体
- 837. 島状半導体
- 838. 島状半導体

901. イメージセンサ
902. イメージセンサ
903. イメージセンサ
904. イメージセンサ
905. イメージセンサ
906. イメージセンサ
907. イメージセンサ
908. イメージセンサ
909. イメージセンサ
910. 画素選択線
911. 受光部
912. イメージセンサ
913. イメージセンサ
914. イメージセンサ
915. イメージセンサ
916. イメージセンサ
917. イメージセンサ
918. イメージセンサ
919. イメージセンサ
920. イメージセンサ
921. 画素選択線
922. 受光部
923. イメージセンサ
924. イメージセンサ
925. イメージセンサ
926. イメージセンサ
927. イメージセンサ
928. イメージセンサ

- 929. イメージセンサ
- 930. イメージセンサ
- 931. イメージセンサ
- 932. 画素選択線
- 933. 受光部
- 934. イメージセンサ
- 935. イメージセンサ
- 936. イメージセンサ
- 937. イメージセンサ
- 938. イメージセンサ
- 939. イメージセンサ
- 940. イメージセンサ
- 941. イメージセンサ
- 942. イメージセンサ
- 943. 画素選択線
- 944. 受光部

請求の範囲

- [1] 基板上に配列された固体撮像素子を備えた固体撮像装置であって、
前記固体撮像素子は、
基板上に形成された信号線と、
前記信号線の上に配置される島状半導体と、
前記島状半導体の上部に接続された画素選択線とを備え、
前記島状半導体は、
前記島状半導体の下部に配置され、前記信号線に接続された第1の半導体層と、
前記第1の半導体層の上側に隣接する第2の半導体層と、
前記第2の半導体層に絶縁膜を介して接続されたゲートと、
前記第2の半導体層に接続された、受光すると電荷量が増加する第3の半導体層
からなる前記電荷蓄積部と、
前記第2の半導体層と前記第3の半導体層の上側に隣接し、前記画素選択線に接
続された第4の半導体層と、を備え、
前記固体撮像素子を基板上にハニカム状に配列したことを特徴とする固体撮像装
置。
- [2] 前記信号線はn+型拡散層であり、前記第1の半導体層はn+型拡散層であり、前記
第2の半導体層はp型不純物添加領域であり、前記第3の半導体層はn型拡散層で
あり、前記第4の半導体層はp+型拡散層である請求項1に記載の固体撮像装置。
- [3] 前記p+型拡散層と、n型拡散層とは、光電変換用フォトダイオードとして機能し、
前記p+型拡散層と、n型拡散層と、p型不純物添加領域とは、増幅用トランジスタと
して機能し、
前記第1の半導体層のn+型拡散層と、p型不純物添加領域と、n型拡散層とゲート
とは、リセットトランジスタとして機能し、
前記p型不純物添加領域と、n+型拡散層とは、ダイオードとして機能する請求項2
に記載の固体撮像装置。
- [4] 前記島状半導体は円柱形状である請求項1から3のいずれか1つに記載の固体撮
像装置。

- [5] 前記島状半導体は六角柱形状である請求項1から3のいずれか1つに記載の固体撮像装置。
- [6] 基板上に配列された固体撮像素子を備えた固体撮像装置であって、
前記固体撮像素子は、
基板上に形成された信号線と、
前記信号線の上に配置される島状半導体と、
前記島状半導体の上部に接続された画素選択線とを含んでおり、
前記島状半導体は、
前記島状半導体の下部に配置され、前記信号線に接続された第1の半導体層と、
前記第1の半導体層の上側に隣接する第2の半導体層と、
前記第2の半導体層に絶縁膜を介して接続されたゲートと、
前記第2の半導体層に接続された、受光すると電荷量が増加する第3の半導体層からなる前記電荷蓄積部と、
前記第2の半導体層と前記第3の半導体層の上側に隣接し、前記画素選択線に接続された第4の半導体層とを備え、
前記固体撮像素子は、基板上に n 行 m 列(n, m は1以上)として行列状に配列され、
前記島状半導体は円柱形状である固体撮像装置。
- [7] 基板上に配列された固体撮像素子を備えた固体撮像装置であって、
前記固体撮像素子は、
基板上に形成された信号線と、
前記信号線の上に配置される島状半導体と、
前記島状半導体の上部に接続された画素選択線とを含んでおり、
前記島状半導体は、
前記島状半導体の下部に配置され、前記信号線に接続された第1の半導体層と、
前記第1の半導体層の上側に隣接する第2の半導体層と、
前記第2の半導体層に絶縁膜を介して接続されたゲートと、
前記第2の半導体層に接続された、受光すると電荷量が増加する第3の半導体層からなる前記電荷蓄積部と、

前記第2の半導体層と前記第3の半導体層の上側に隣接し、前記画素選択線に接続された第4の半導体層とを備え、

前記固体撮像素子は、基板上に n 行 m 列(n, m は1以上)として行列状に配列され、前記島状半導体は四角柱形状である固体撮像装置。

[8] 前記信号線は $n+$ 型拡散層であり、前記第1の半導体層は $n+$ 型拡散層であり、前記第2の半導体層は p 型不純物添加領域であり、前記第3の半導体層は n 型拡散層であり、前記第4の半導体層は $p+$ 型拡散層である請求項6又は7に記載の固体撮像装置。

[9] 前記 $p+$ 型拡散層と、 n 型拡散層とは、光電変換用フォトダイオードとして機能し、前記 $p+$ 型拡散層と、 n 型拡散層と、 p 型不純物添加領域とは、増幅用トランジスタとして機能し、

前記第1の半導体層の $n+$ 型拡散層と、 p 型不純物添加領域と、 n 型拡散層とゲートとは、リセットトランジスタとして機能し、

前記 p 型不純物添加領域と、 $n+$ 型拡散層とは、ダイオードとして機能する請求項8の固体撮像装置。

[10] 固体撮像素子の製造方法であって、
基板上に信号線を形成する工程と、
前記信号線上の島状半導体を形成する工程と、
前記島状半導体下部の前記信号線に接続された第1の半導体層を形成する工程と、
前記第1の半導体層の上側に隣接する第2の半導体層を形成する工程と、
前記第1の半導体層上に隣接する第2の半導体層に絶縁膜を介して接続されたゲートを形成する工程と、
前記第2の半導体層に接続された第3の半導体層を形成する工程と、
前記第2の半導体層と前記第3の半導体層の上側に隣接する第4の半導体層を形成する工程と、
前記第4の半導体層に接続する画素選択線を形成する工程と、
を含むことを特徴とする請求項1から9のいずれか1つに記載の固体撮像素子の製造

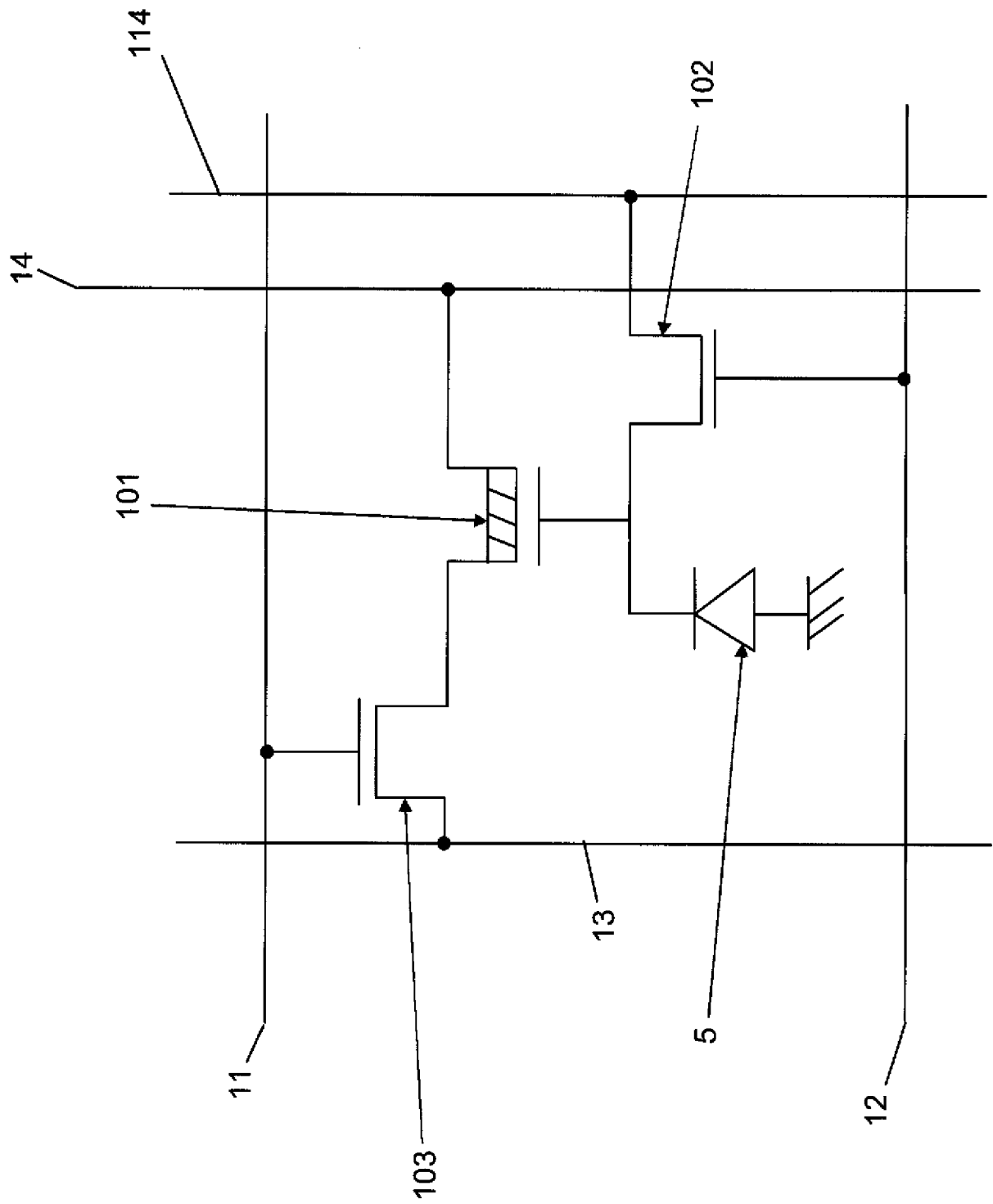
方法。

- [11] 固体撮像素子の製造方法であって、
酸化膜上に、p型シリコンを形成し、p型シリコン上に、窒化膜を堆積し、シリコン酸化膜堆積し、
レジストを形成し、酸化膜エッチングを行い、窒化膜エッチングを行い、レジストを剥離し、信号線を形成するための酸化膜マスクと窒化膜マスクを形成し、
p型シリコンをエッチングし、信号線を形成する工程と、
島状半導体を形成するためのレジストを形成し、
酸化膜、窒化膜をエッチングし、
レジストを剥離し、
p型シリコンをエッチングし、島状半導体を形成する工程と、
酸化膜を堆積し、平坦化し、エッチバックを行い、
酸化を行い酸化膜を形成し、
イオン注入時のマスクとするため、ポリシリコンを堆積し、エッチバックし、サイドウォール状に残す工程と、
酸化膜を剥離しリンを注入する場所を露出し、
イオン注入時のイオンチャネリング防止のため酸化膜を形成し、
リンをイオン注入し、熱工程を行い、信号線とn+型拡散層を形成する工程と、
ポリシリコン、酸化膜を剥離し、
酸化膜を堆積し、平坦化し、エッチバックし、酸化膜層を形成し、
ゲート酸化を行いゲート酸化膜を形成し、ポリシリコンを堆積し、平坦化を行い、エッチバックを行い、
ゲートのためのレジストを形成し、
ポリシリコンをエッチングし、ゲートを形成する工程と、
レジストを剥離し、
シリコン柱の側壁の薄い酸化膜を剥離し、イオン注入時のイオンチャネリング防止のため、シリコン柱側壁とゲートのポリシリコンを酸化し、酸化膜を形成し、
リンを注入し、n型拡散層を形成する工程と、

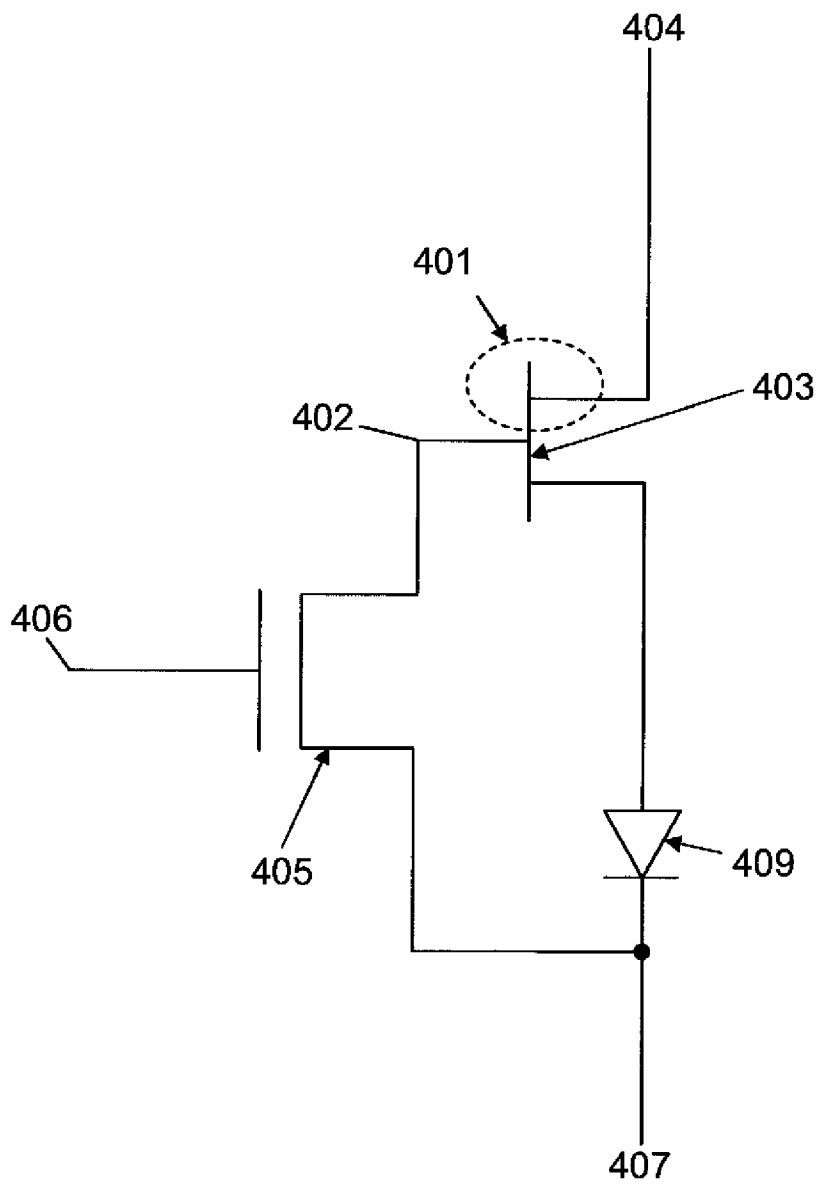
窒化膜を剥離し、
酸化膜を堆積し、平坦化し、エッチバックし、酸化膜層を形成し、
イオン注入時のイオンチャネリング防止のため酸化し、酸化膜を形成し、
ボロンを注入し、熱工程を行い、p+型拡散層を形成する工程と、
酸化膜を剥離し、
金属を堆積し、平坦化し、エッチバックし、
画素選択線のためのレジストを形成し、
金属をエッチングし、画素選択線を形成する工程と、
をさらに含むことを特徴とする請求項10に記載の固体撮像素子の製造方法。

- [12] 前記第2の半導体層の一部は円柱形状であり、前記ゲートは、前記絶縁膜を介して、前記第2の半導体層の一部の外周を取り囲む請求項1に記載の固体撮像素子。
- [13] 前記第2の半導体層の他の一部は円柱形状であり、前記第3の半導体層は、前記第2の半導体層の前記他の一部の外周を取り囲む請求項12に記載の固体撮像素子。

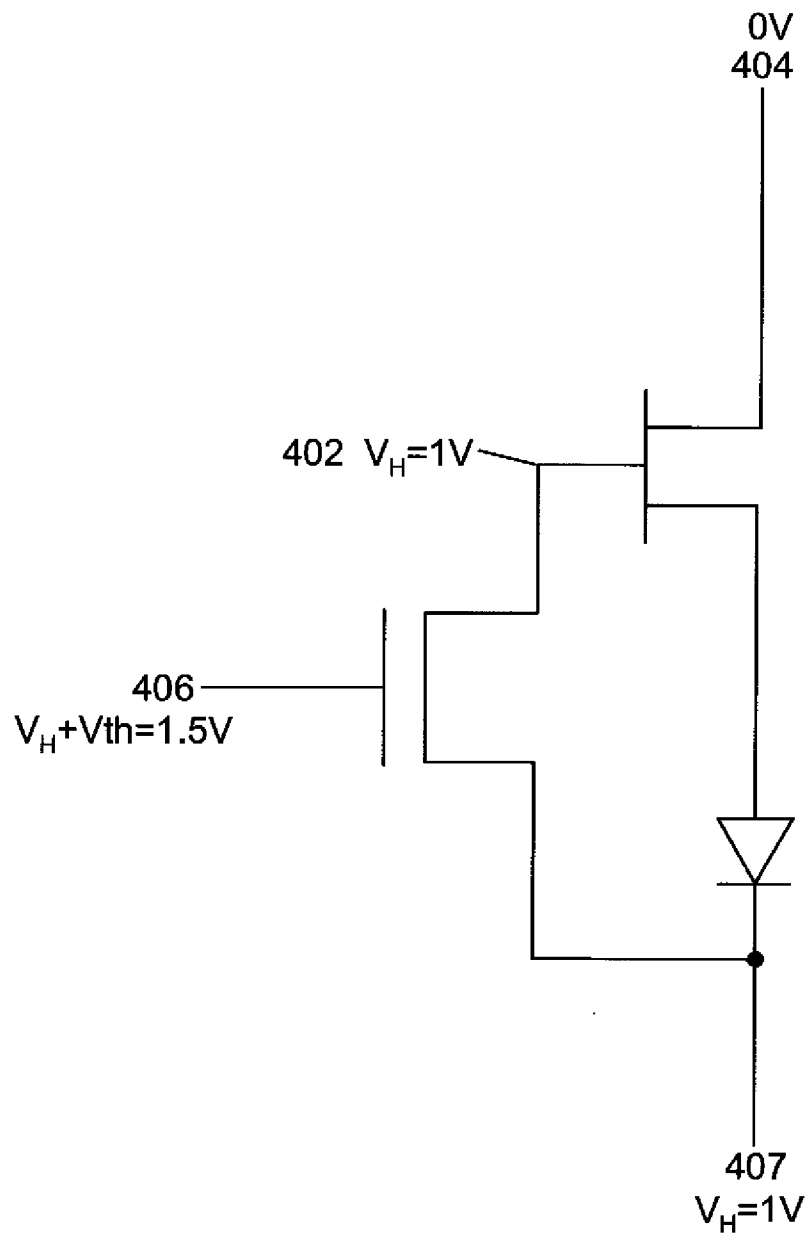
[図1]



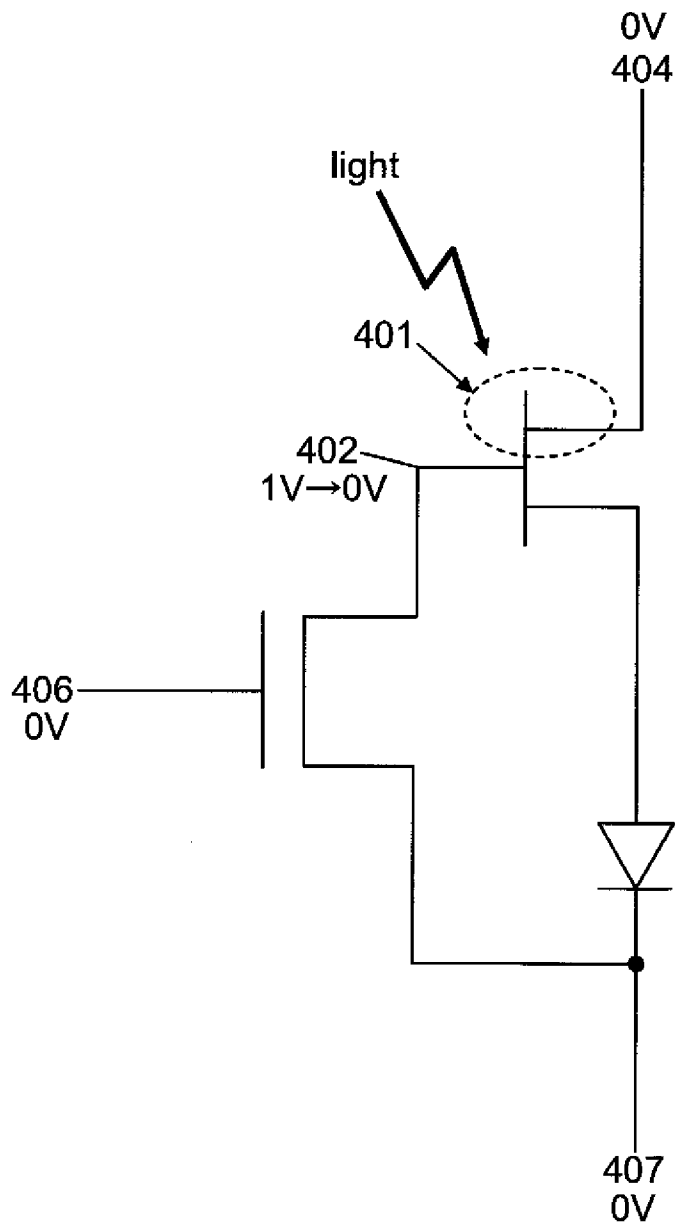
[図2]



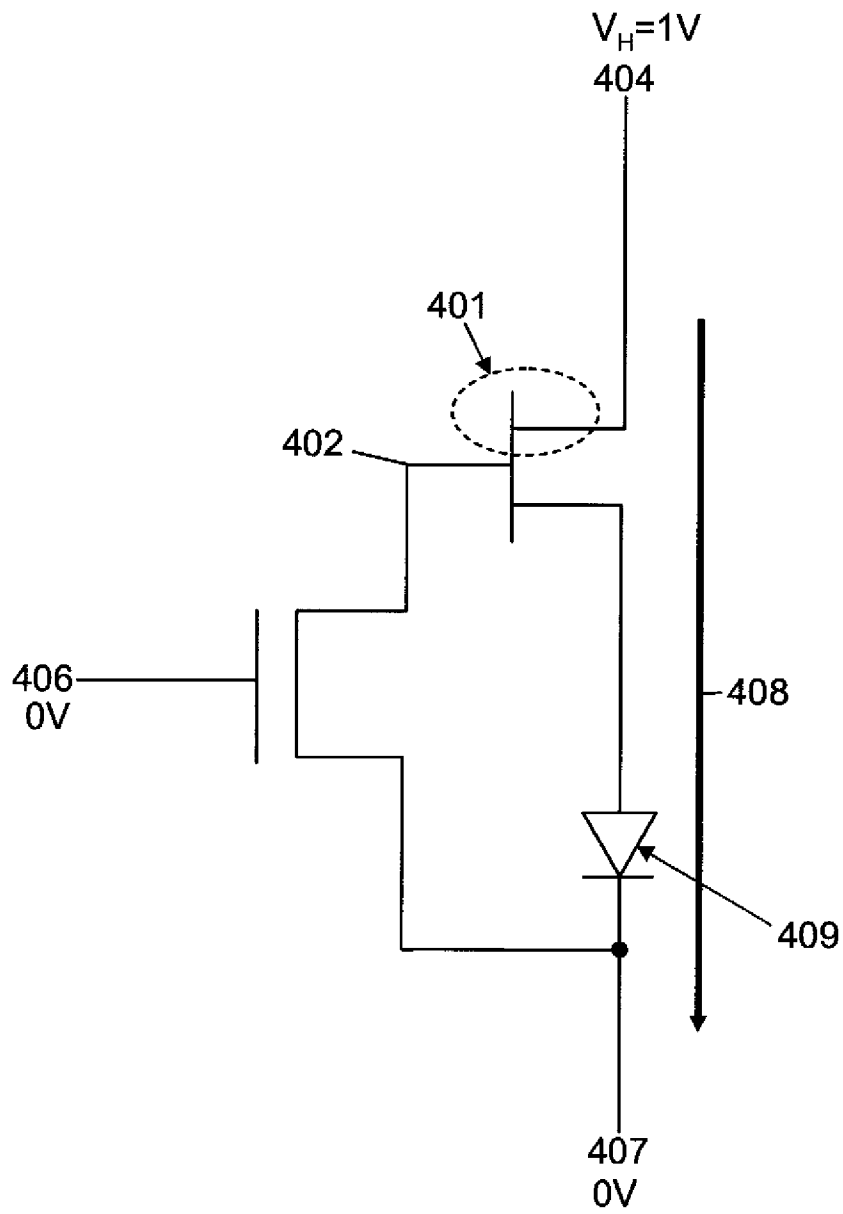
[図3]



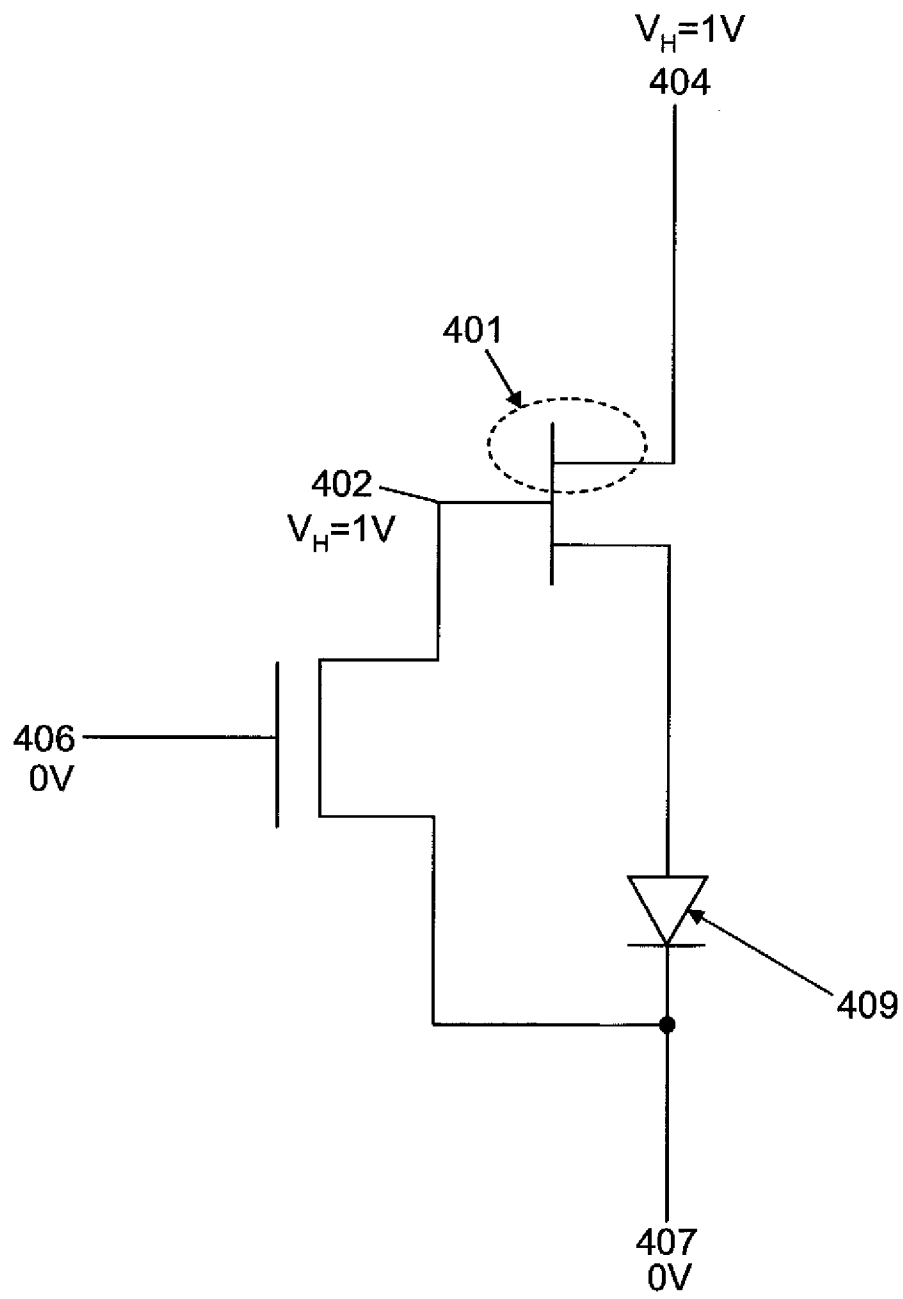
[図4]



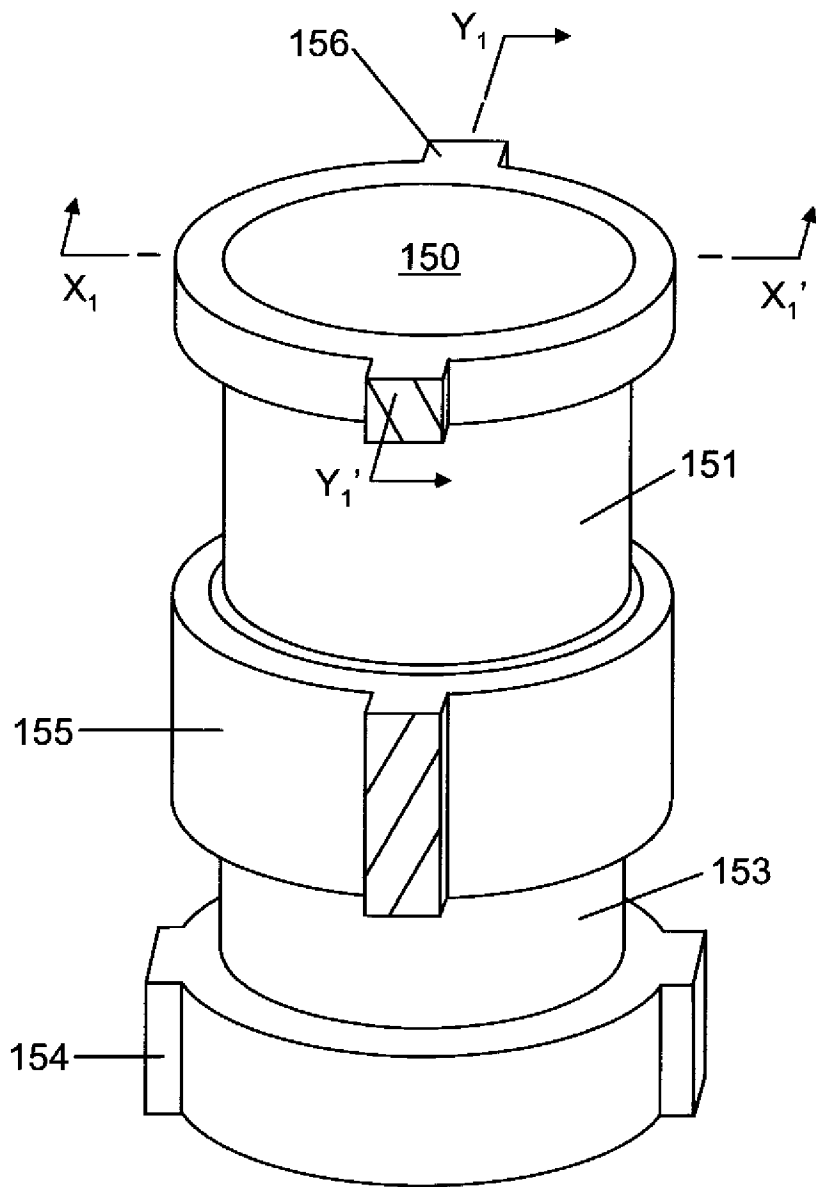
[図]5(a)



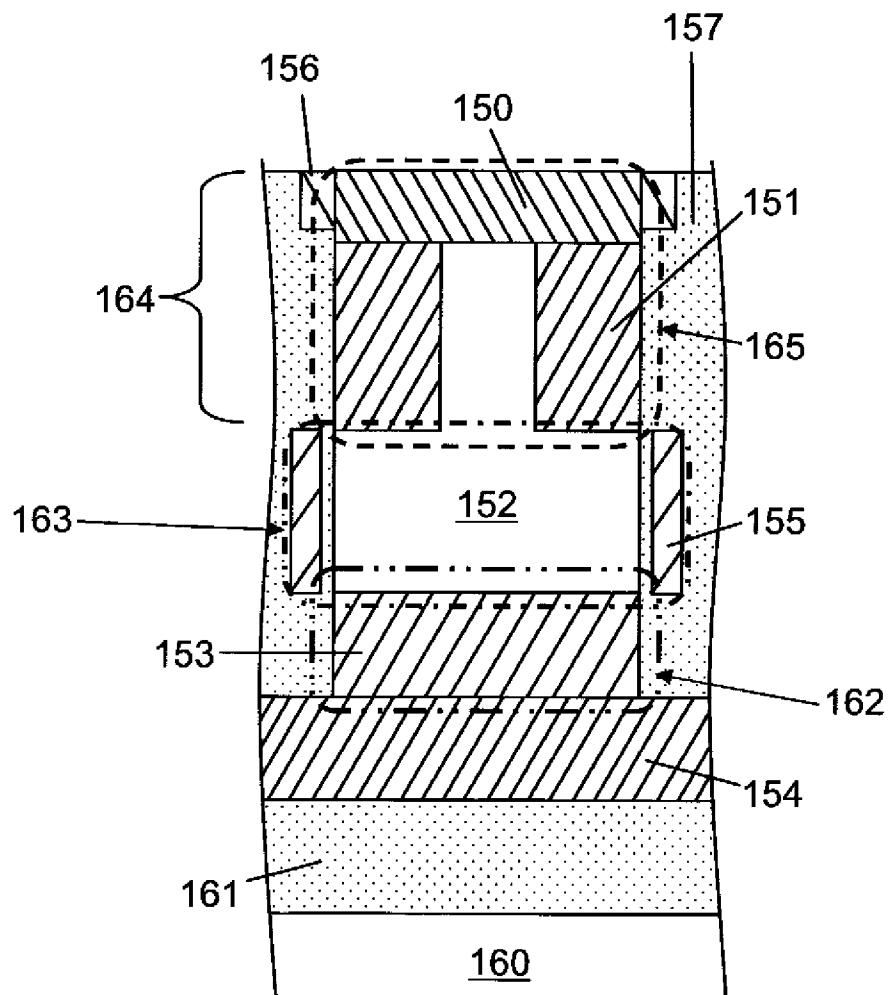
[図]5(b)]



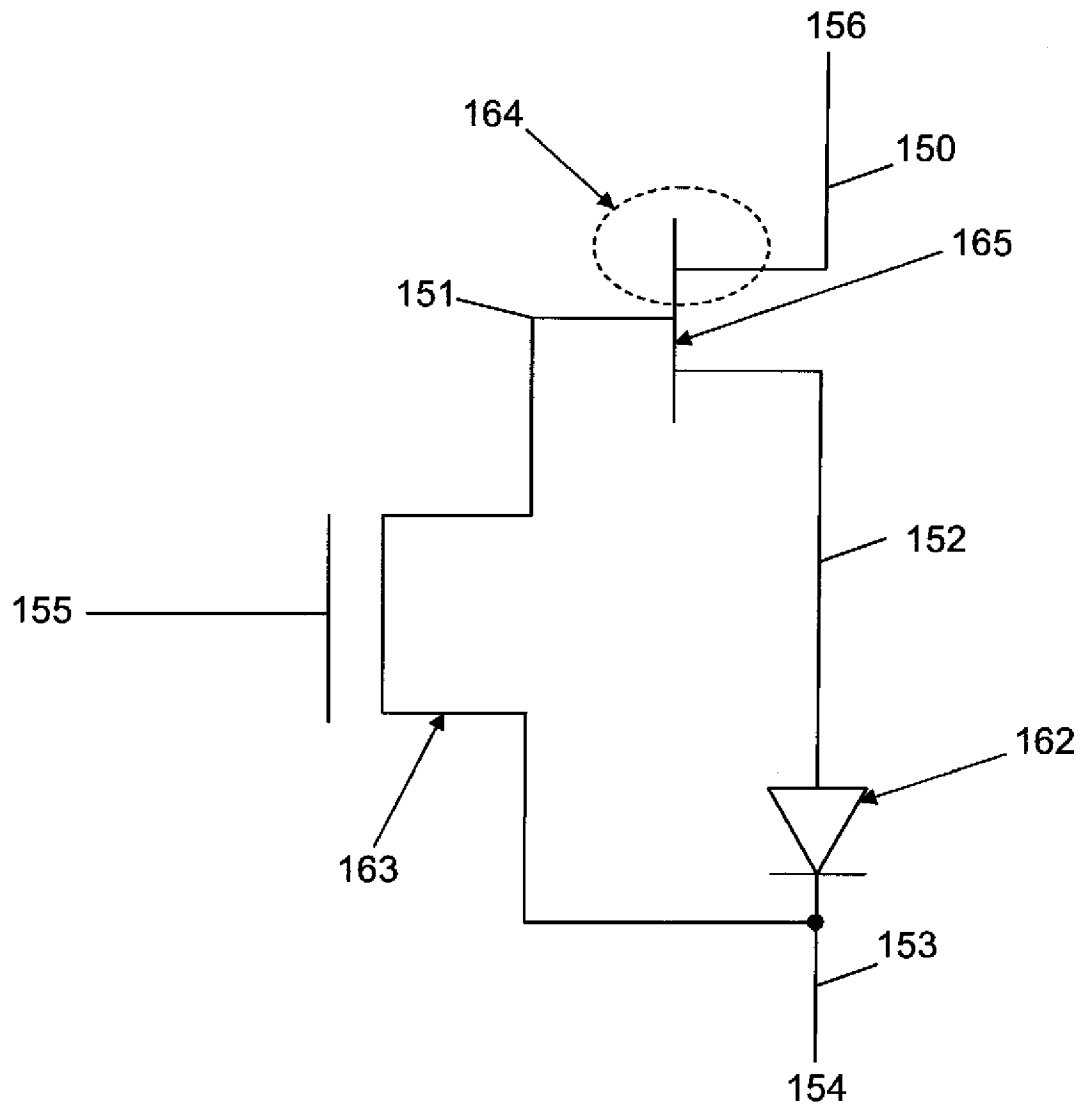
[図6]



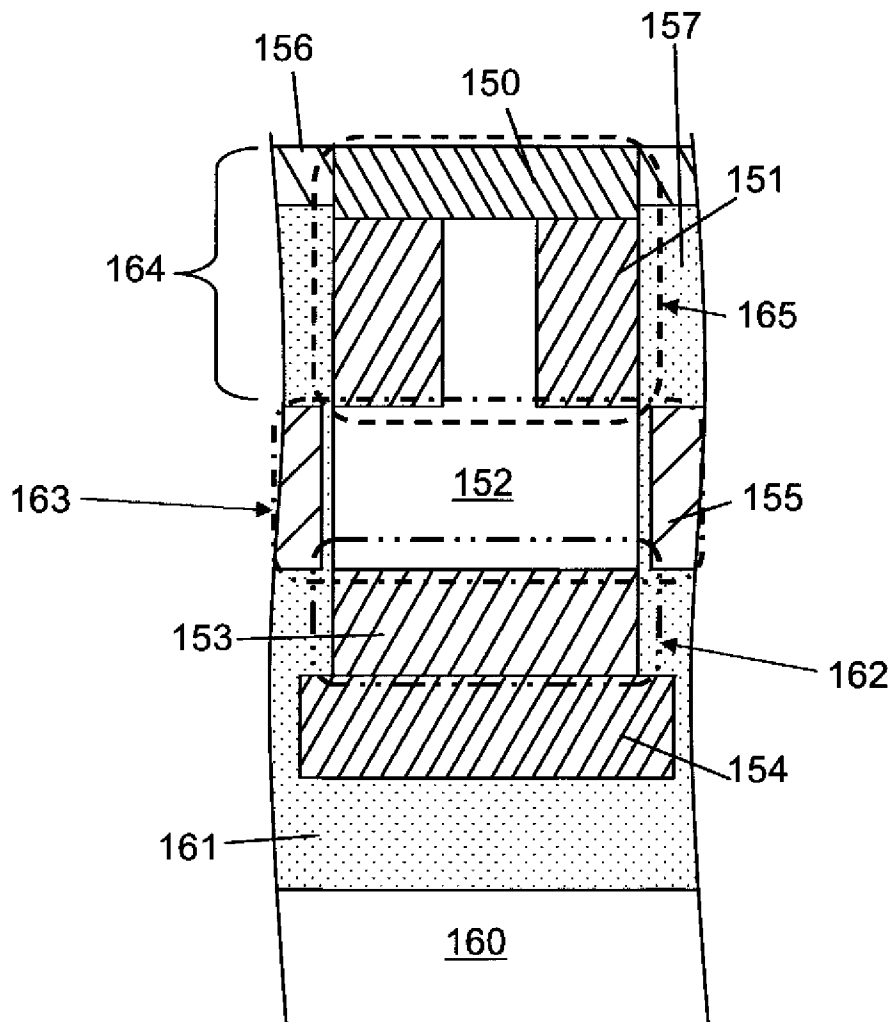
[図7(a)]



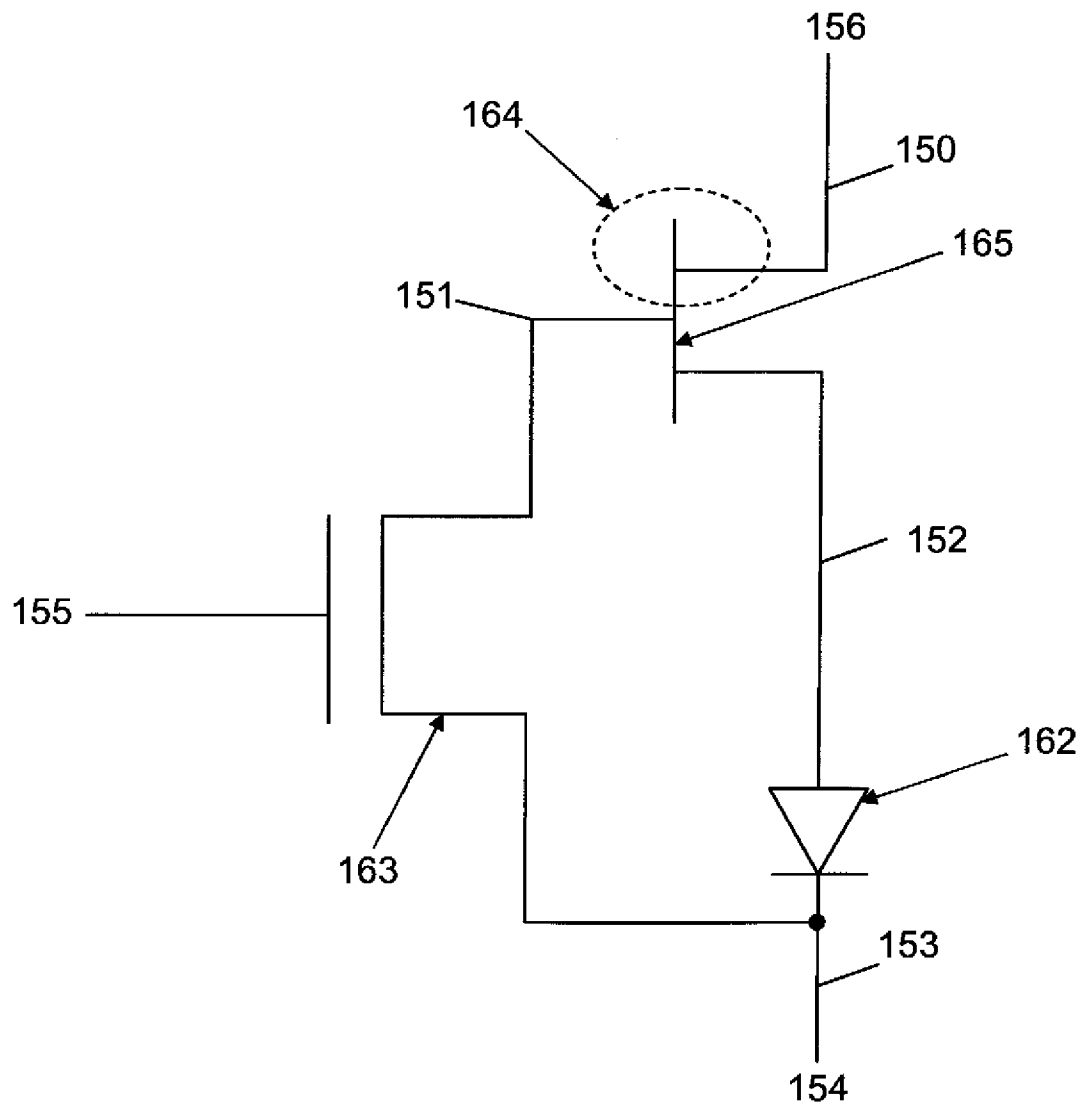
[図7(b)]



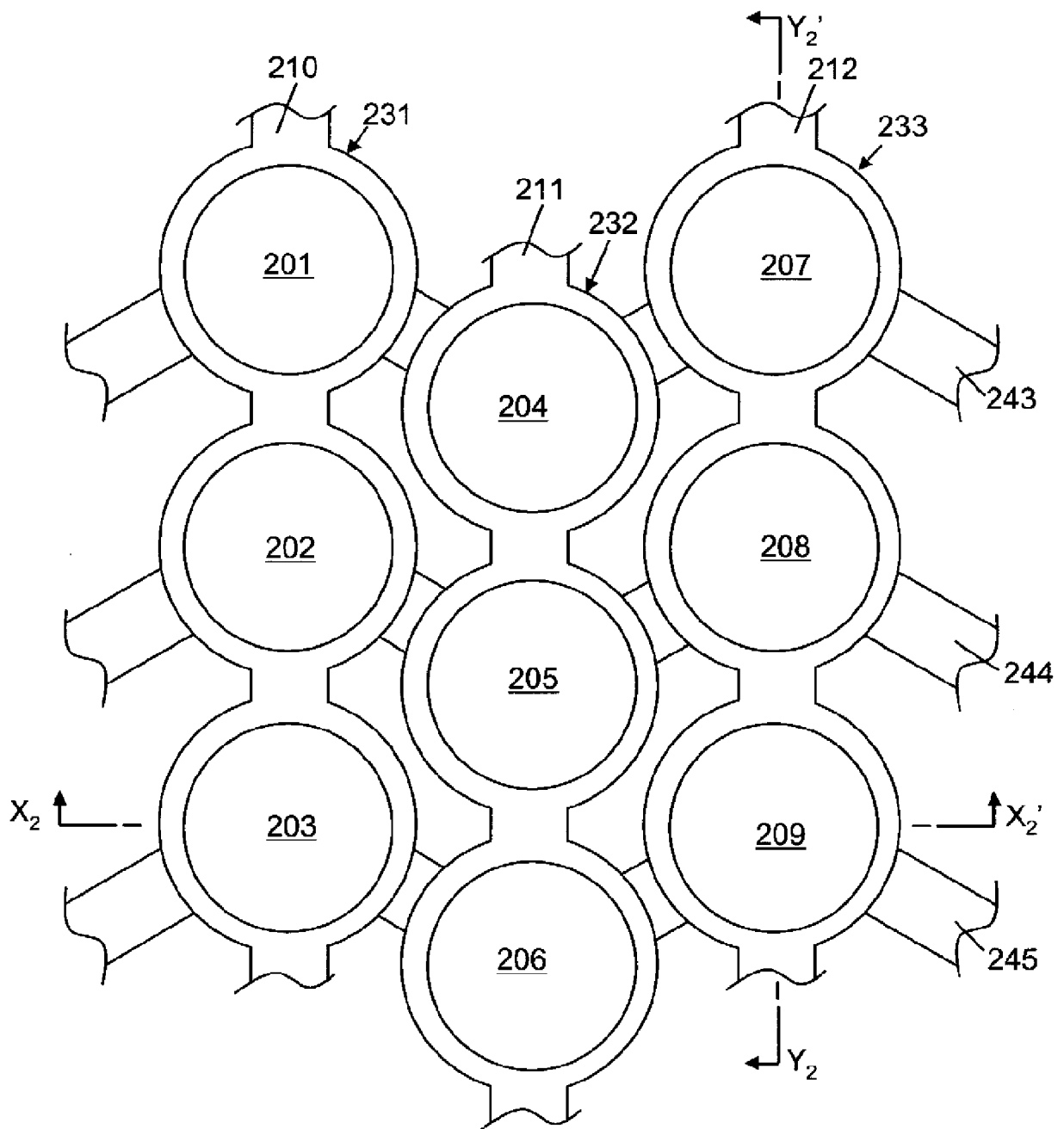
[図]8(a)



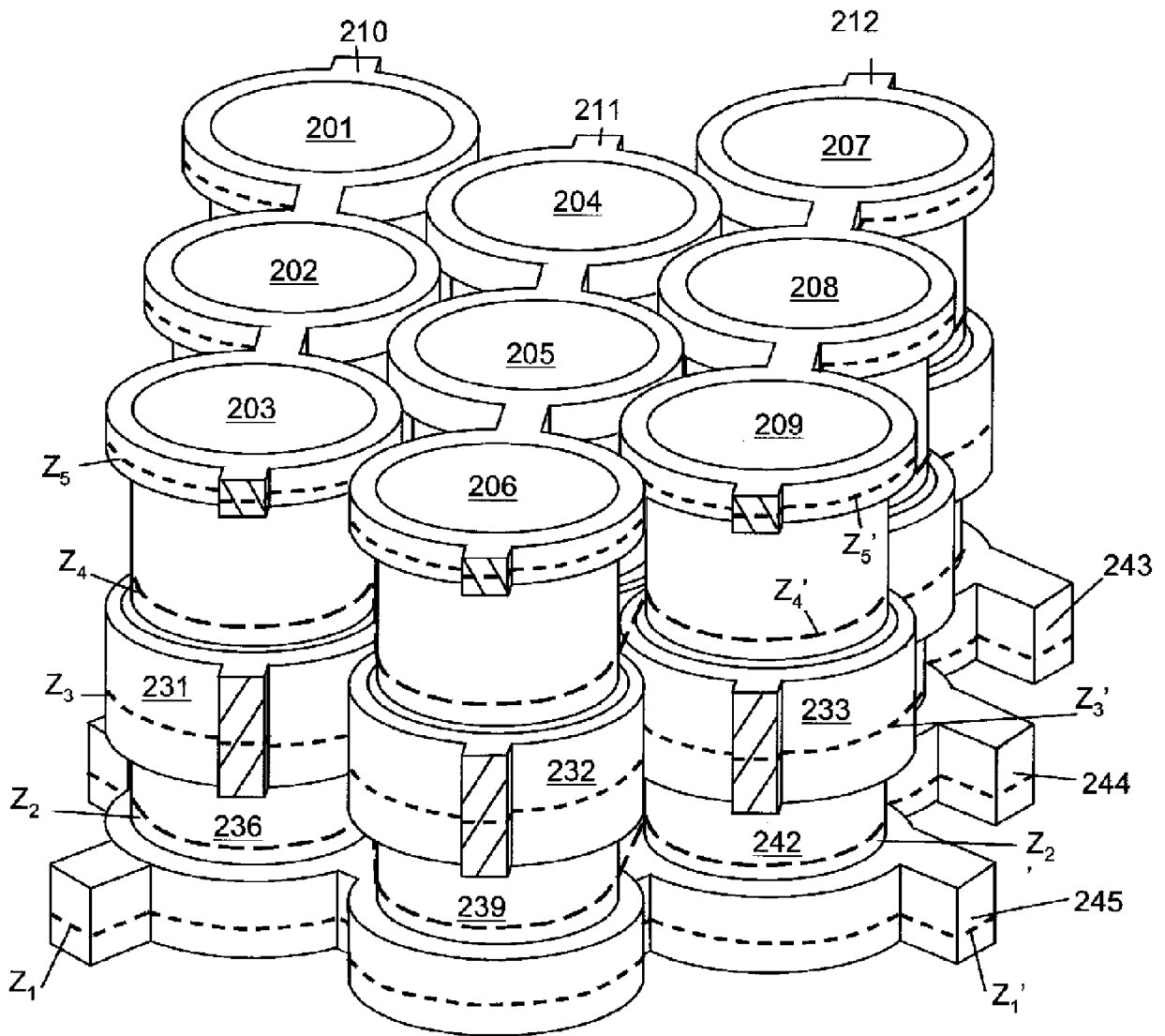
[図]8(b)



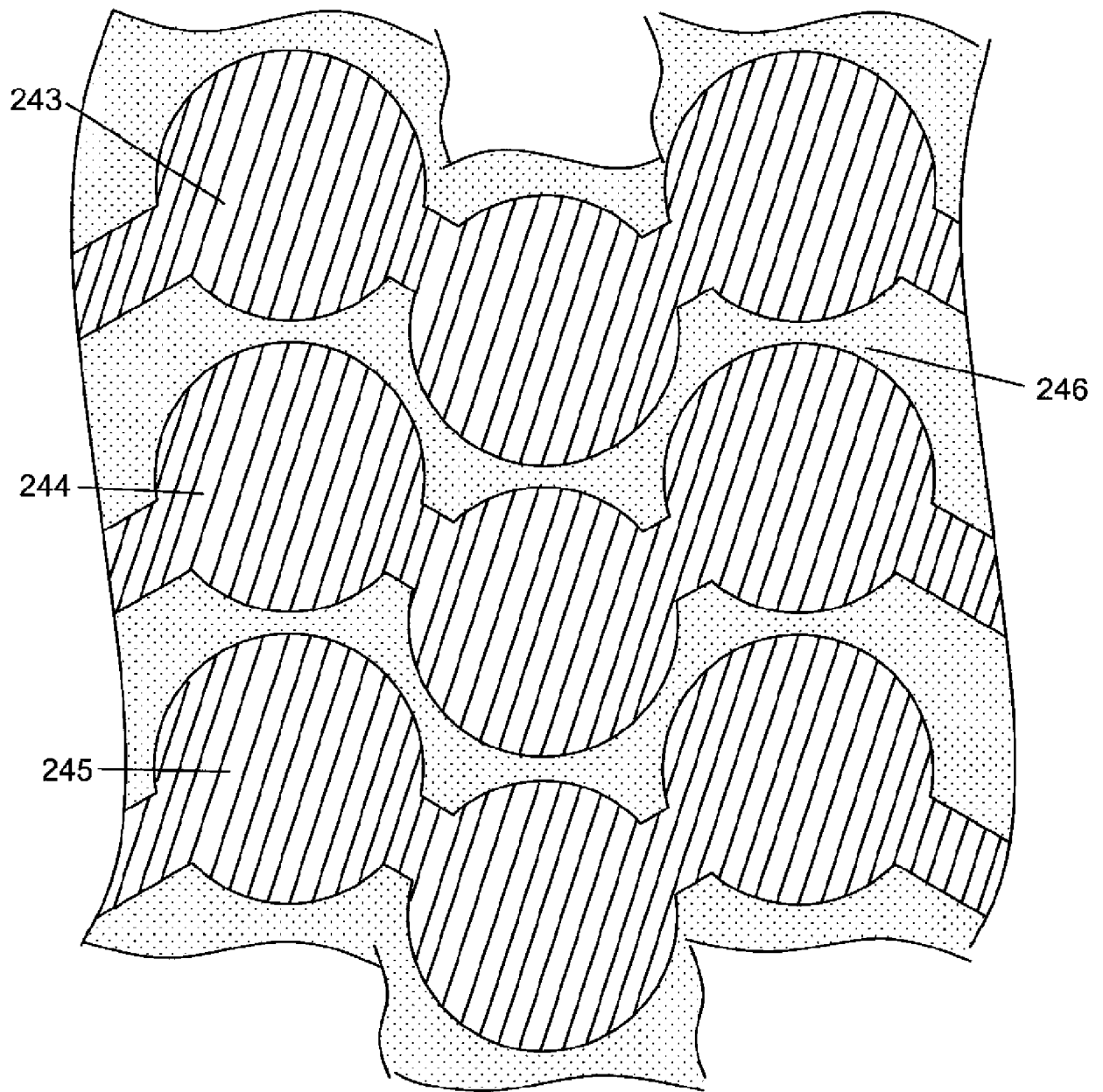
[図9]



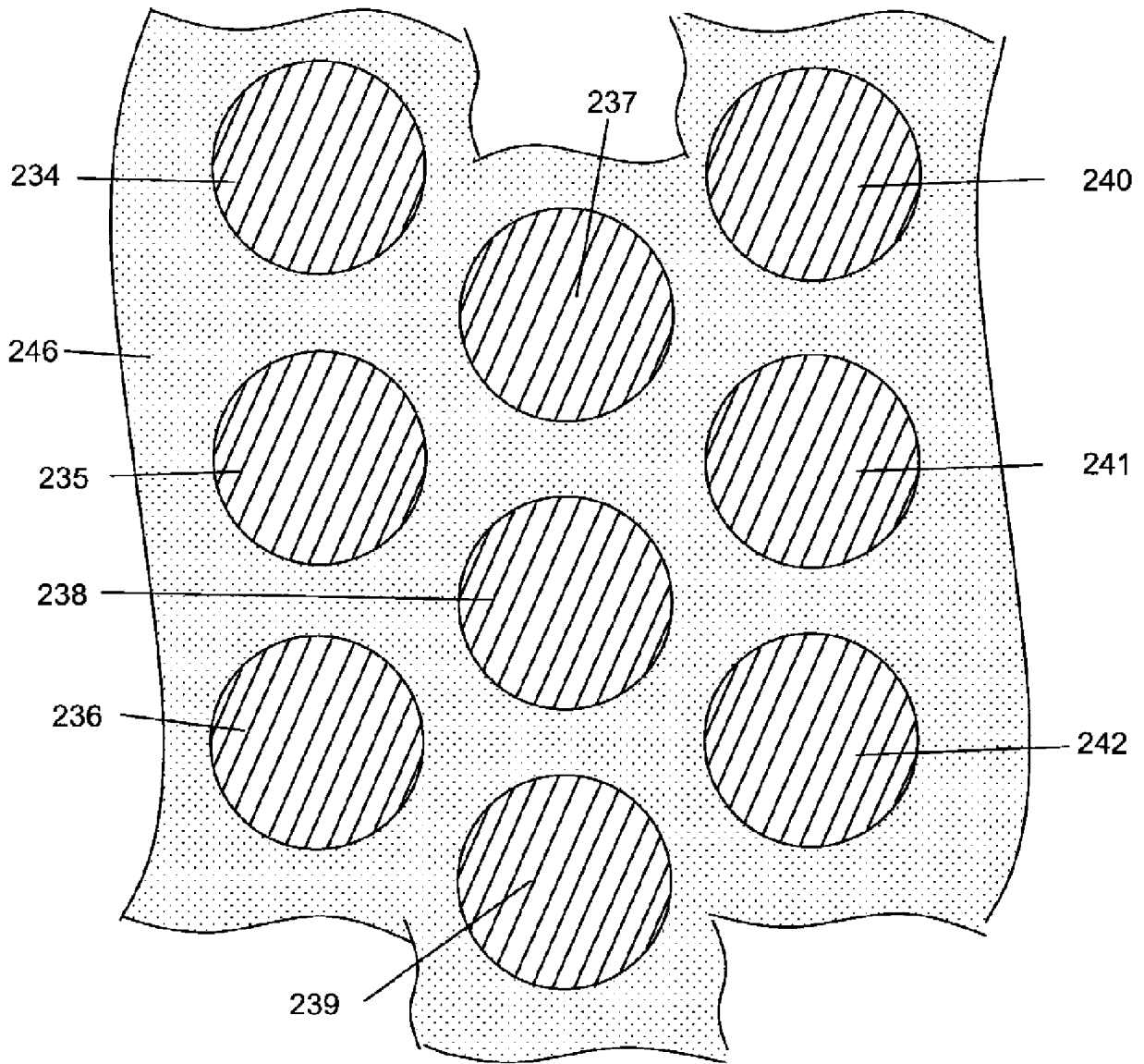
[図10]



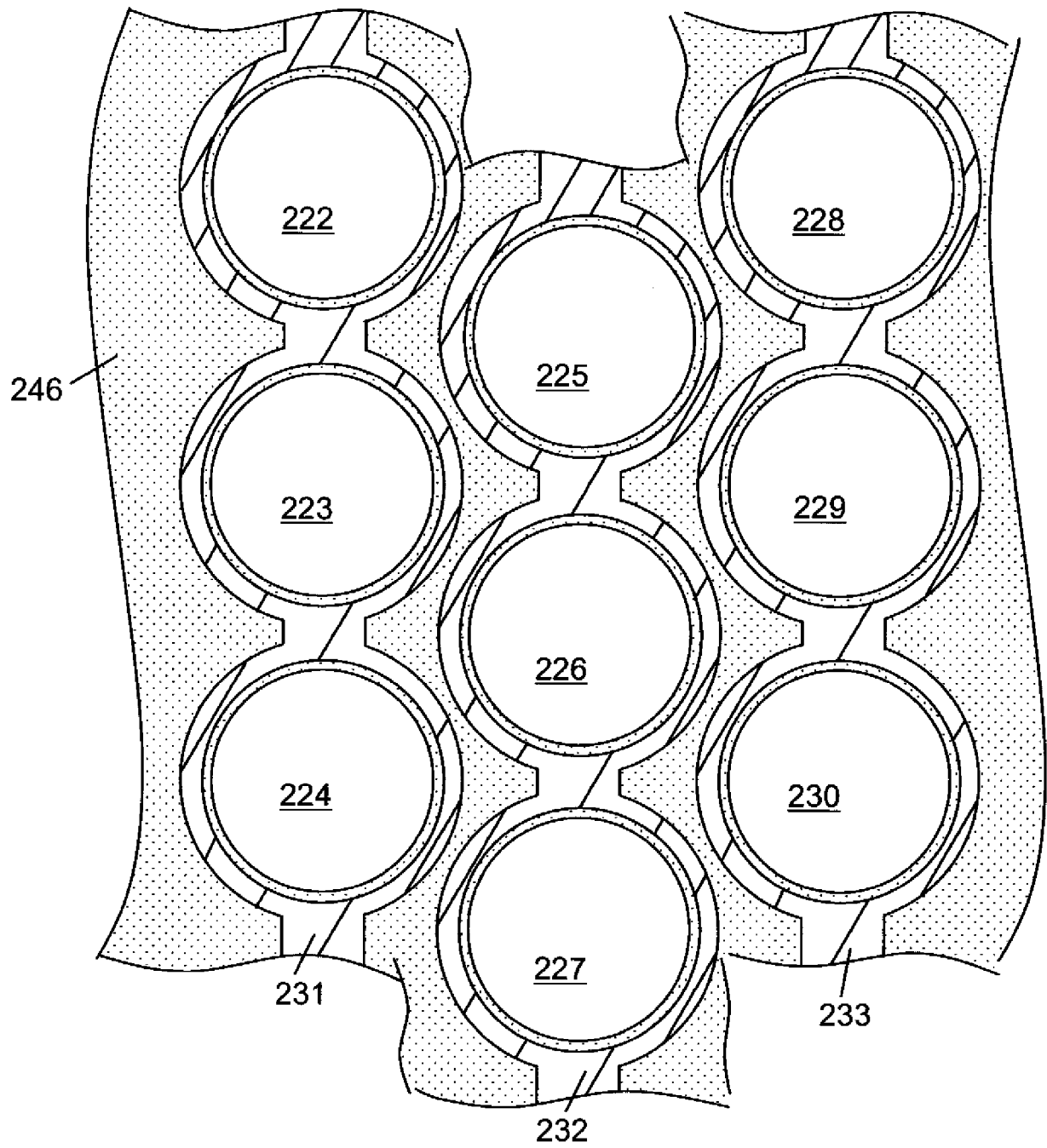
[図11]



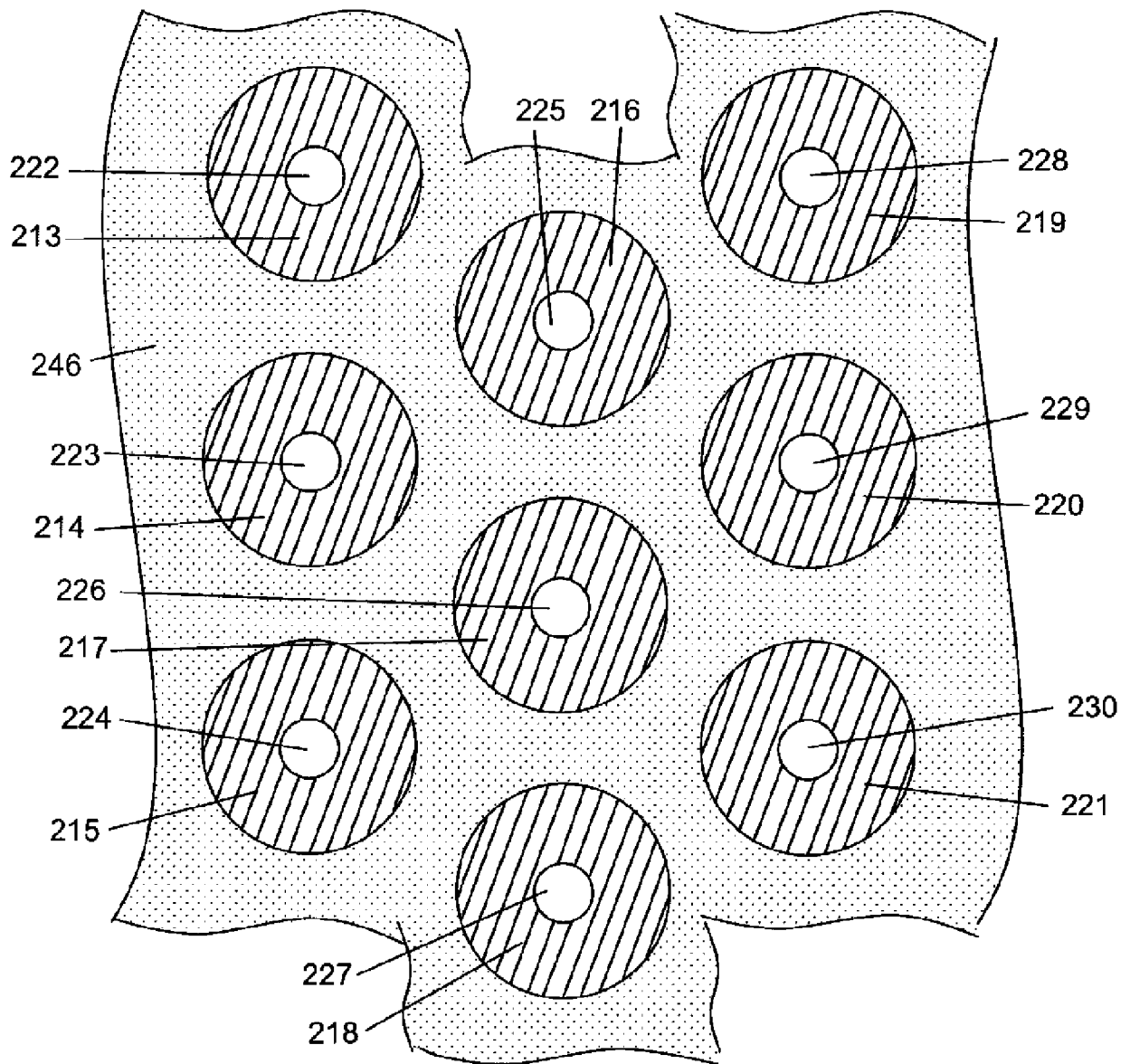
[図12]



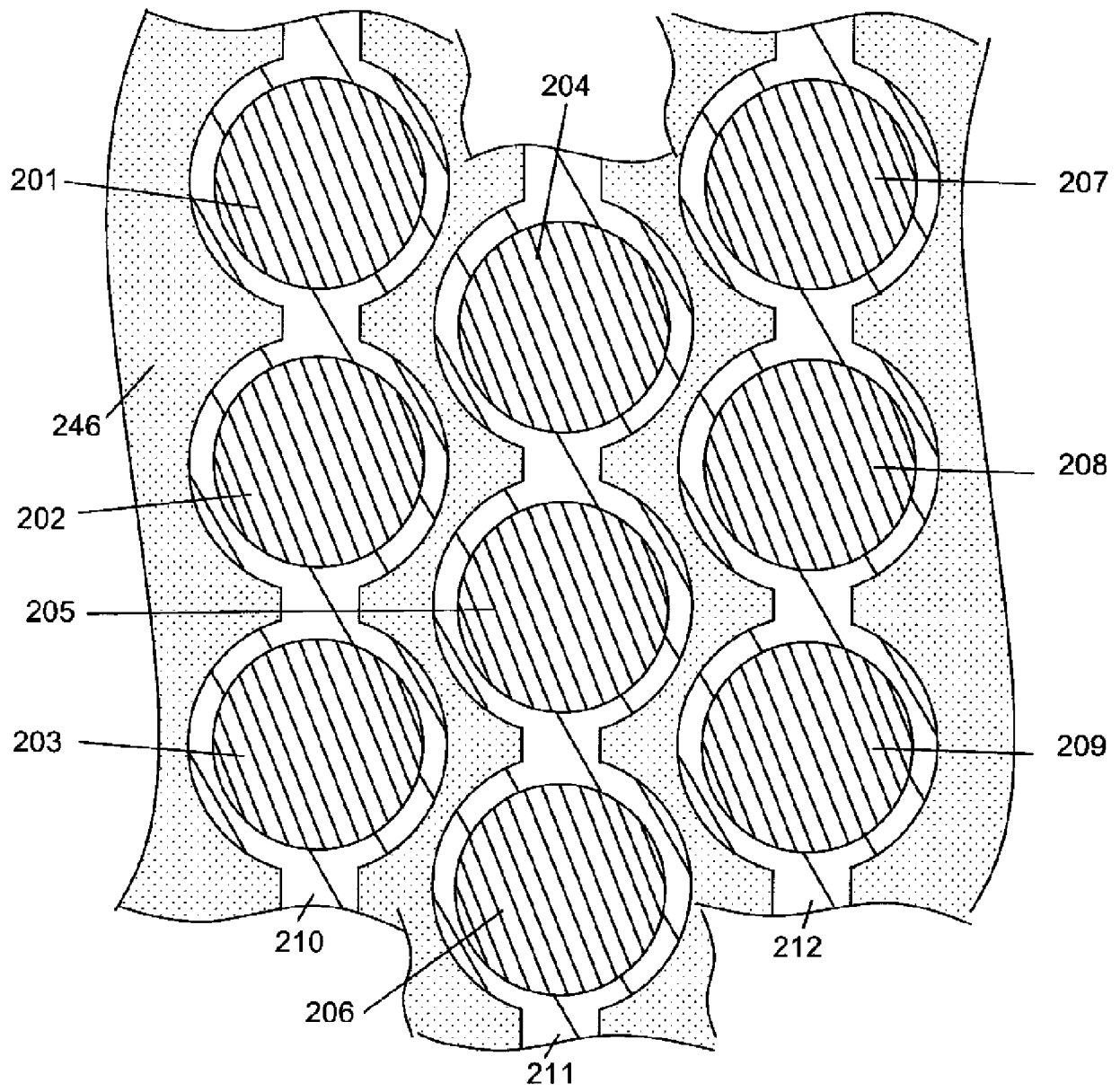
[図13]



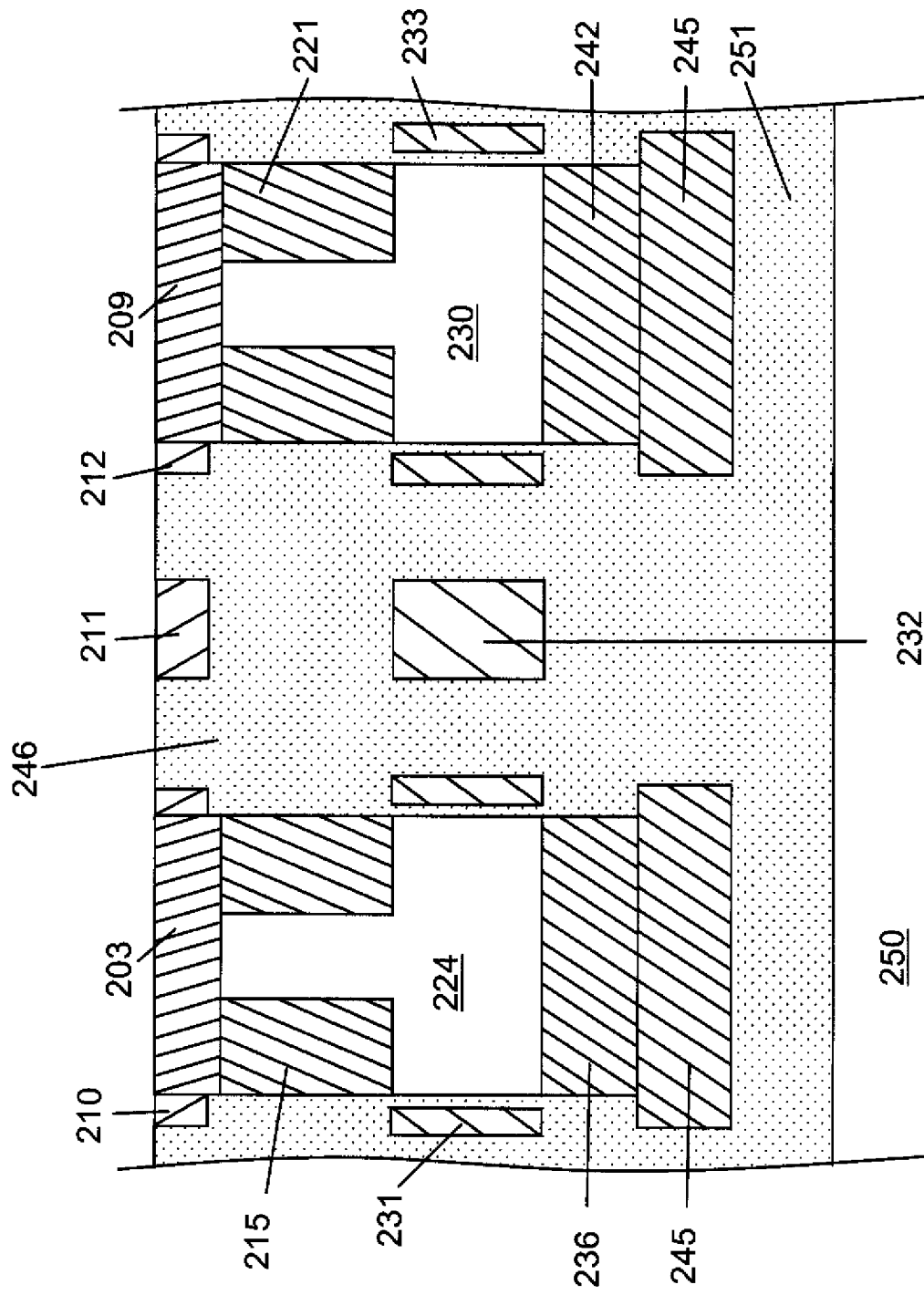
[図14]



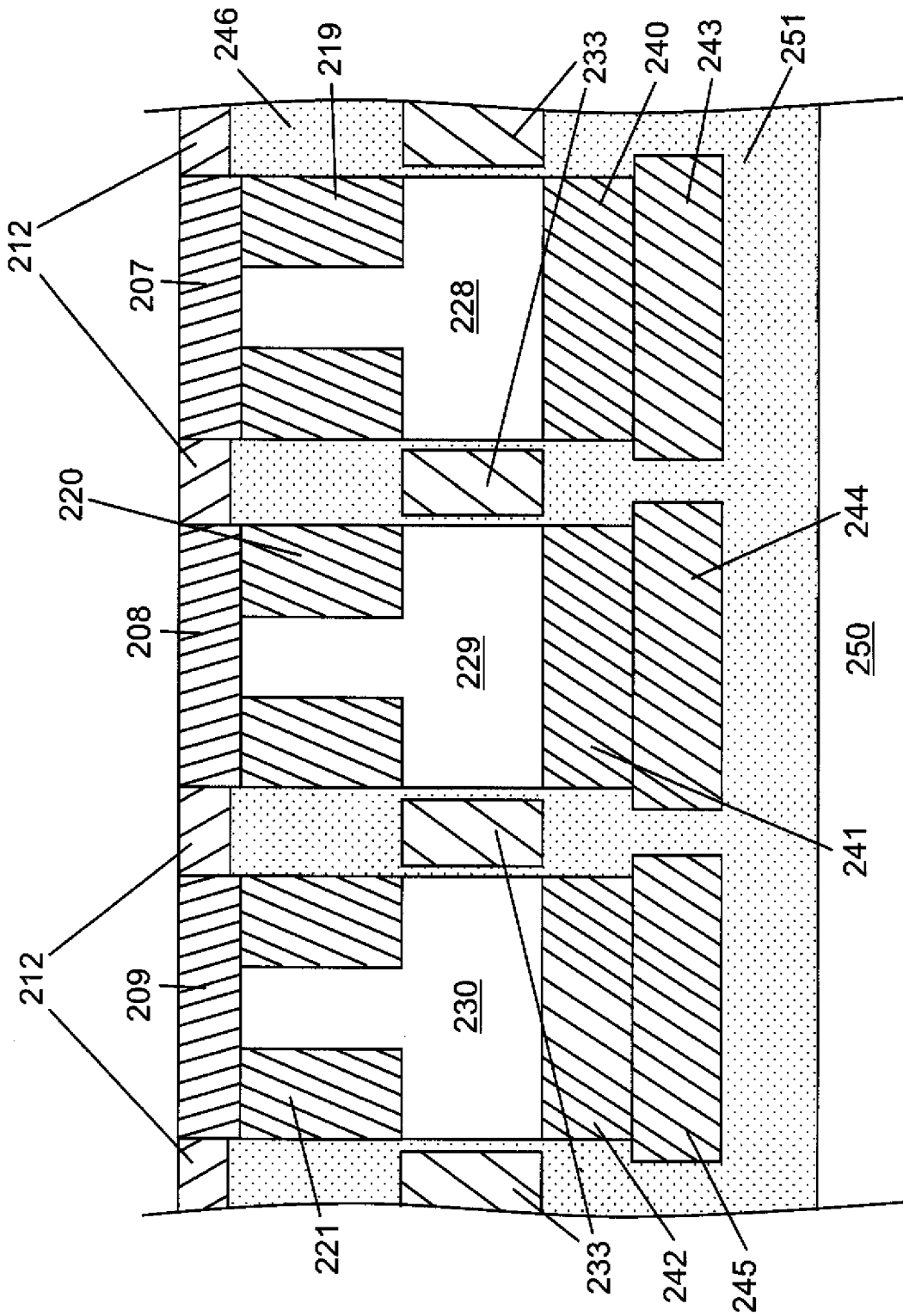
[図15]



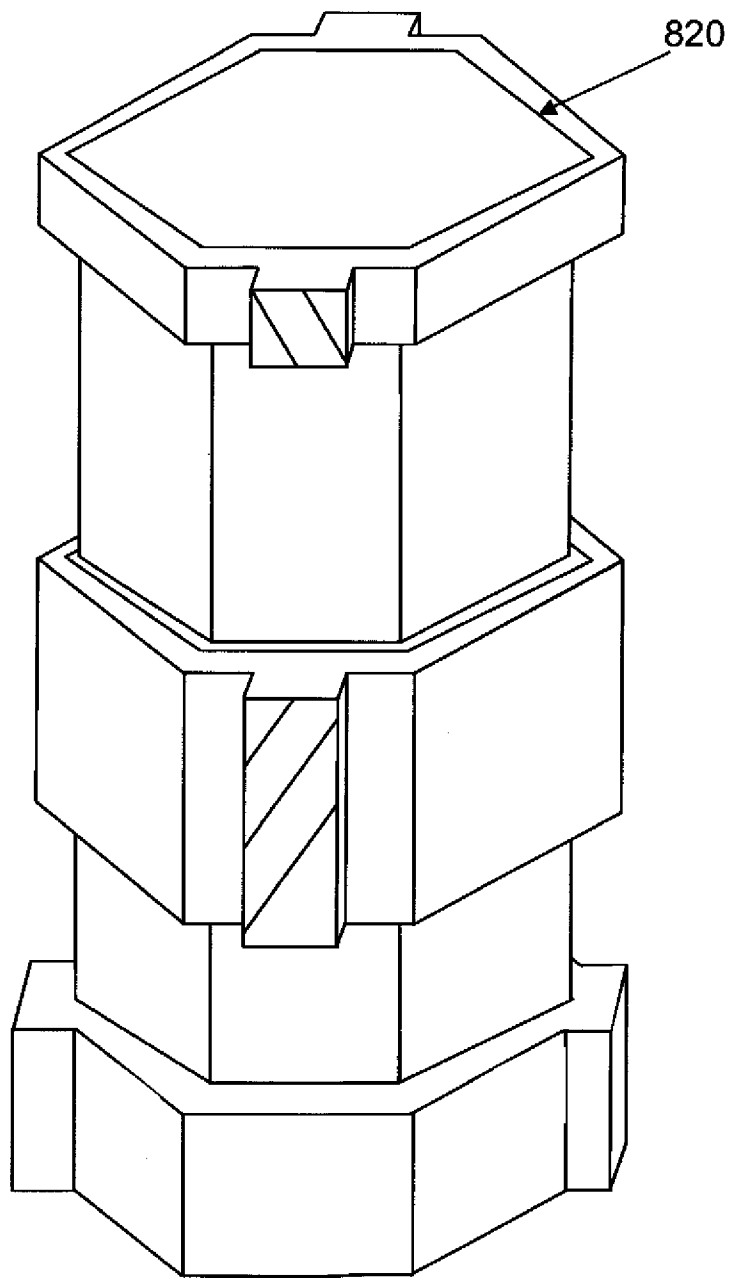
[図16]



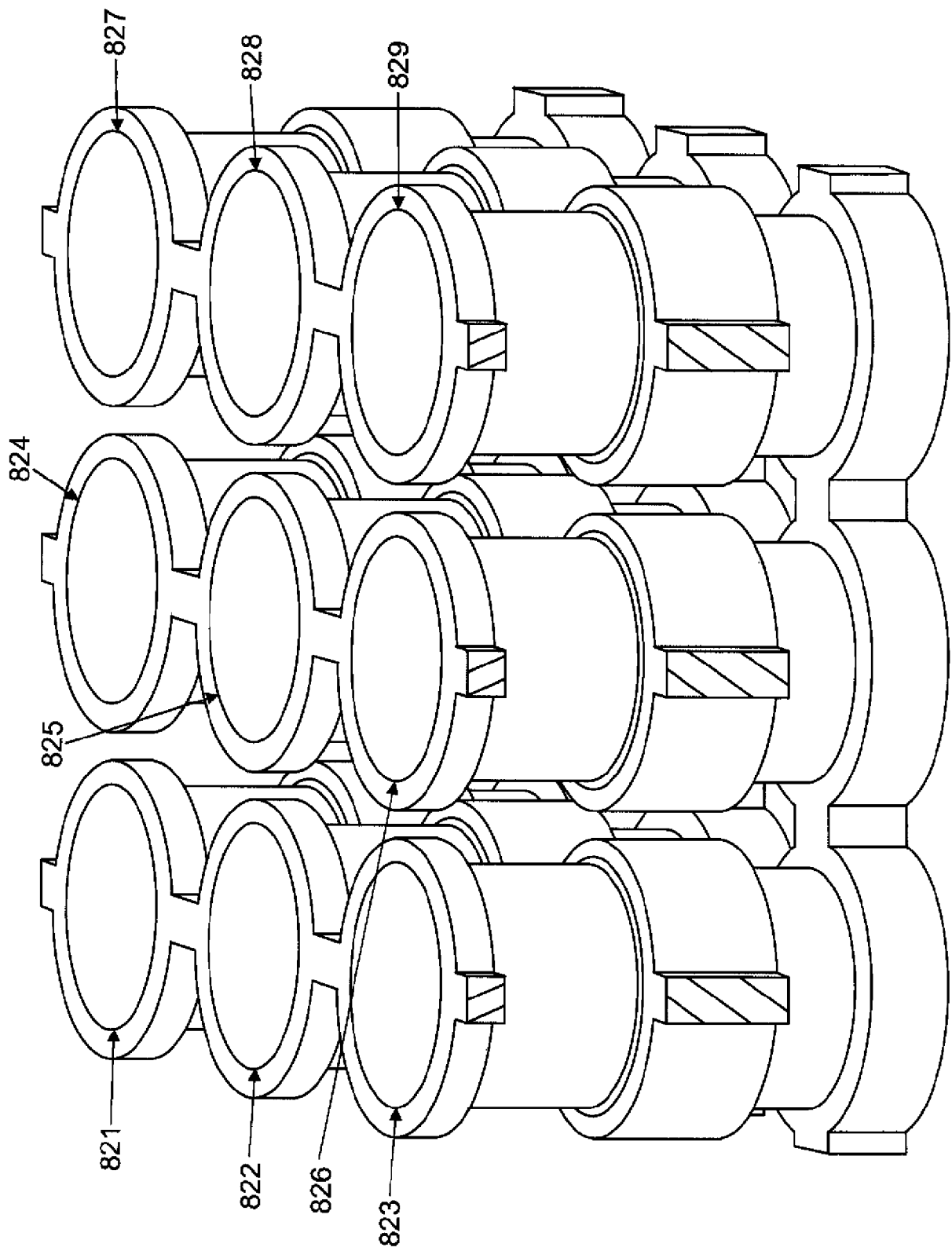
[図17]



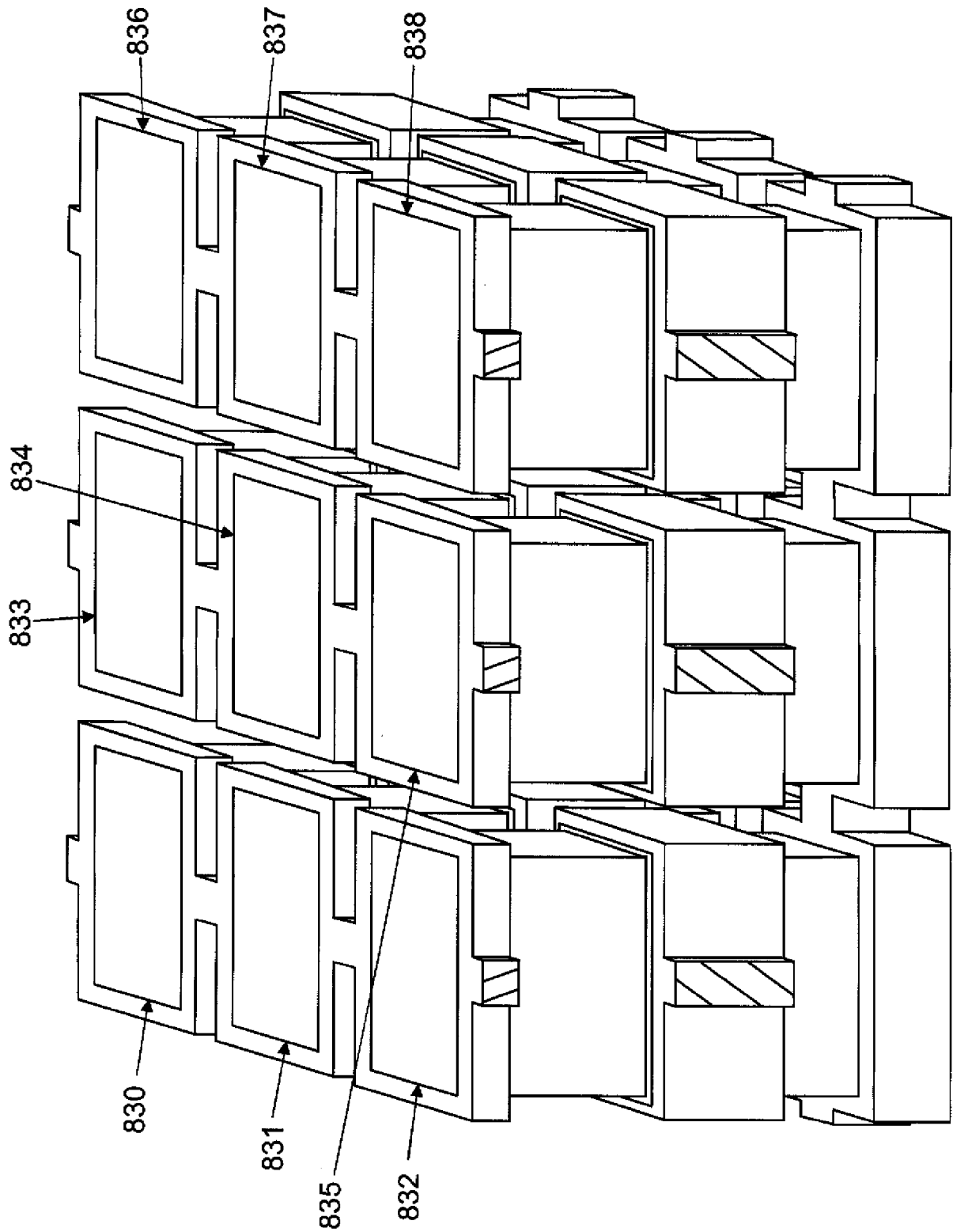
[図18]



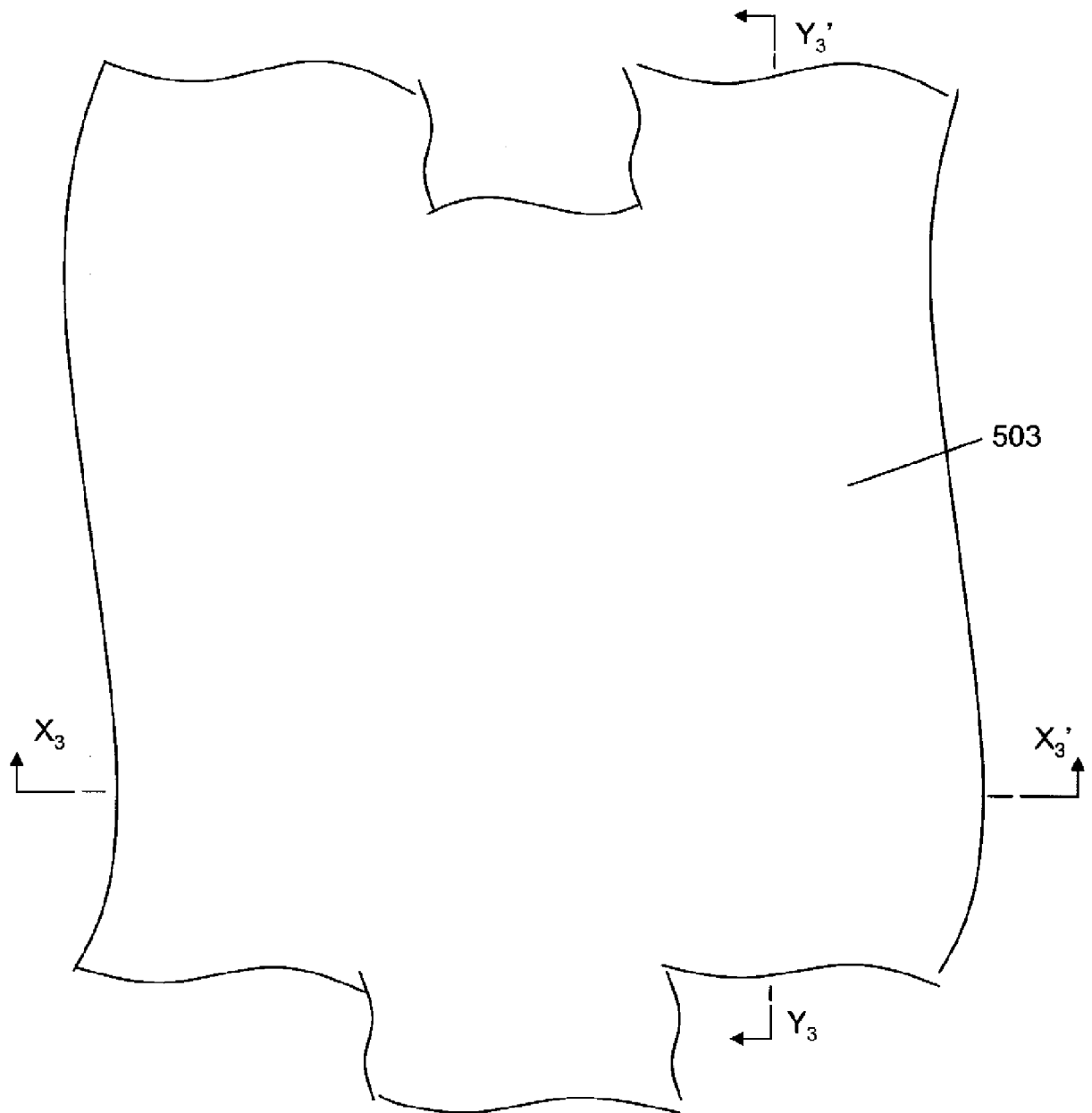
[図19]



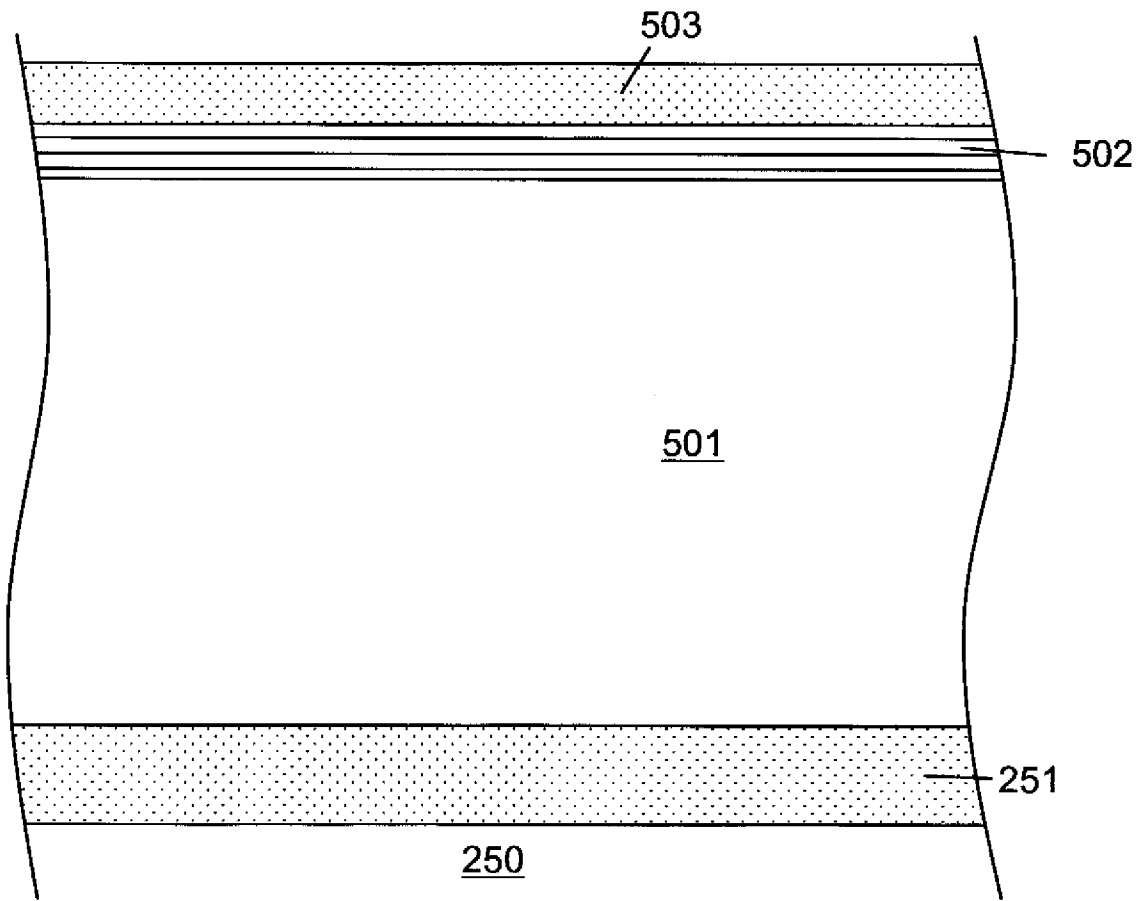
[図20]



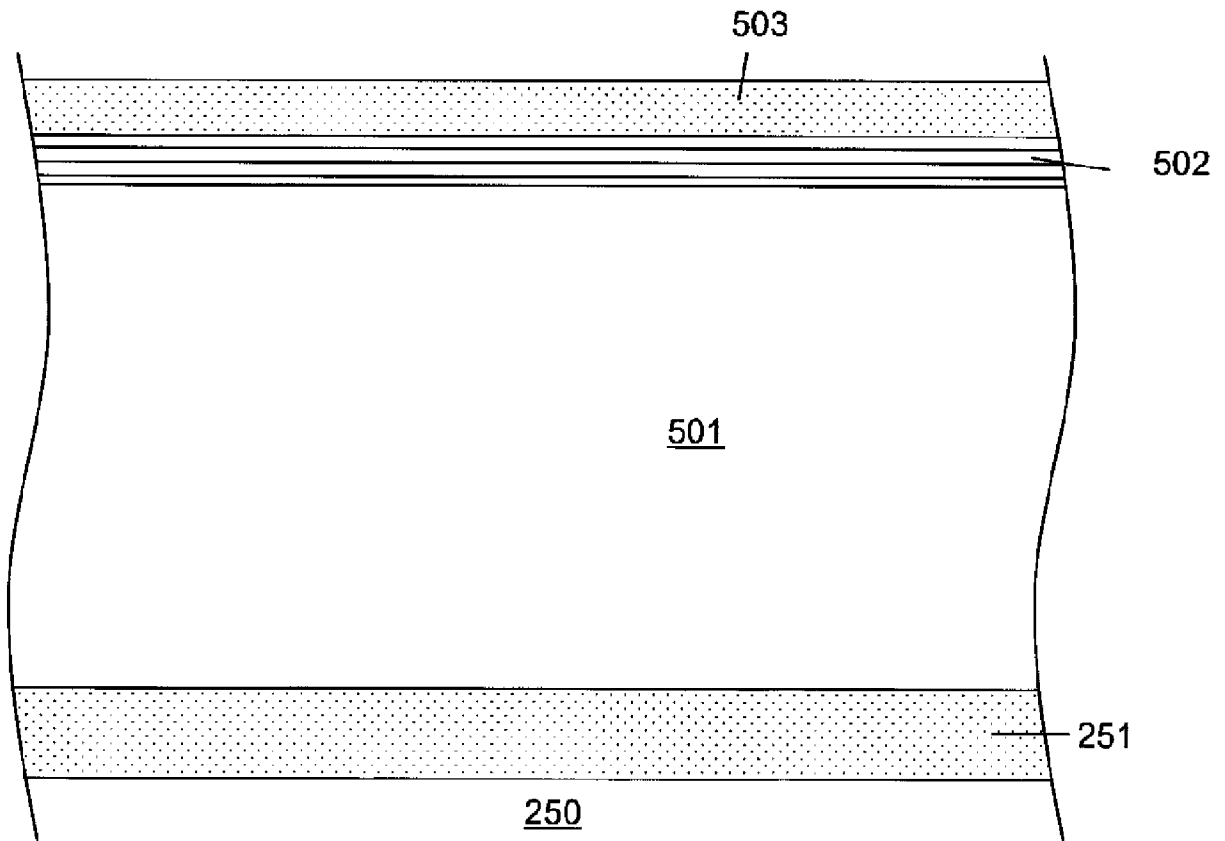
[図21]



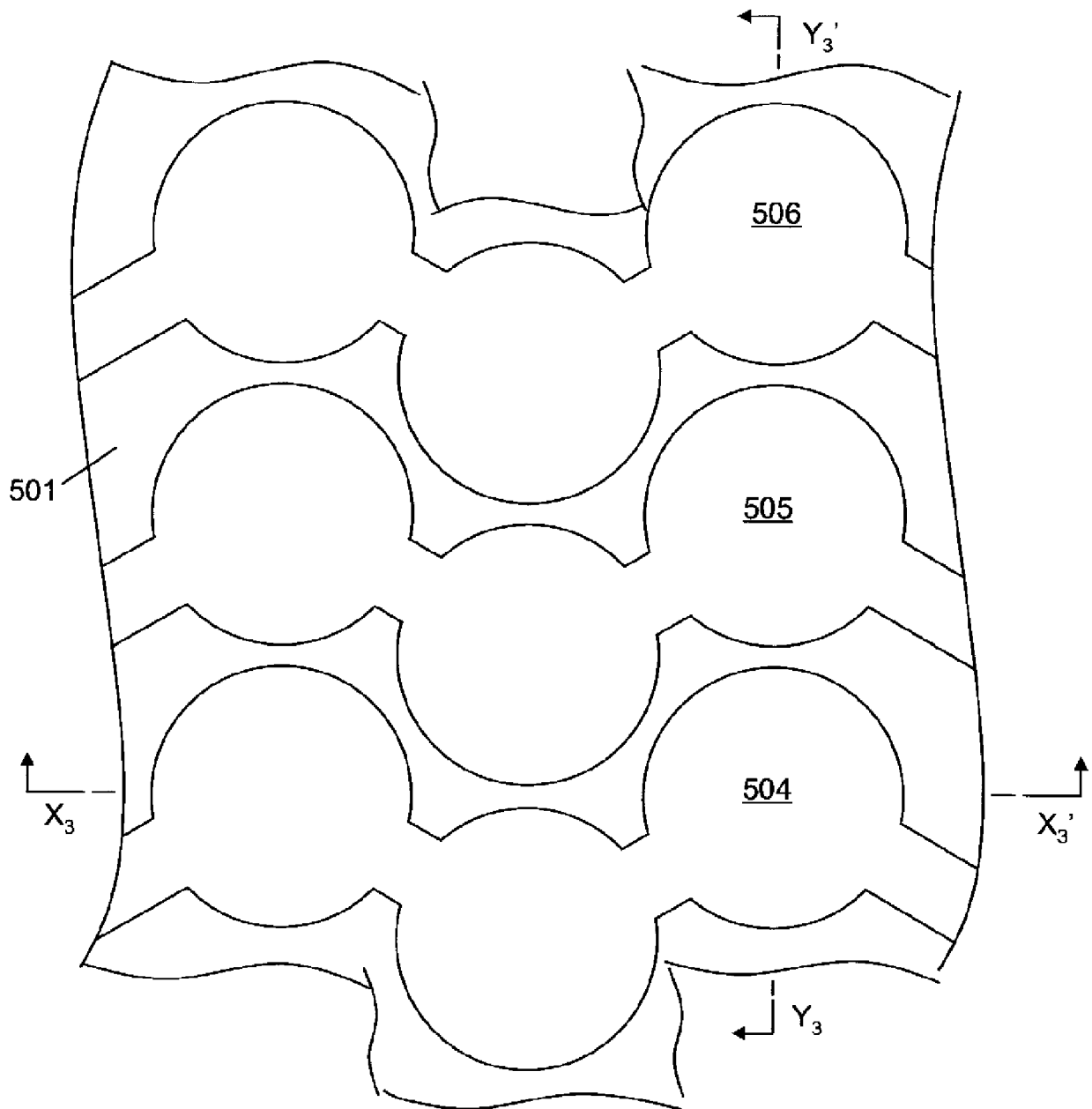
[図22(a)]



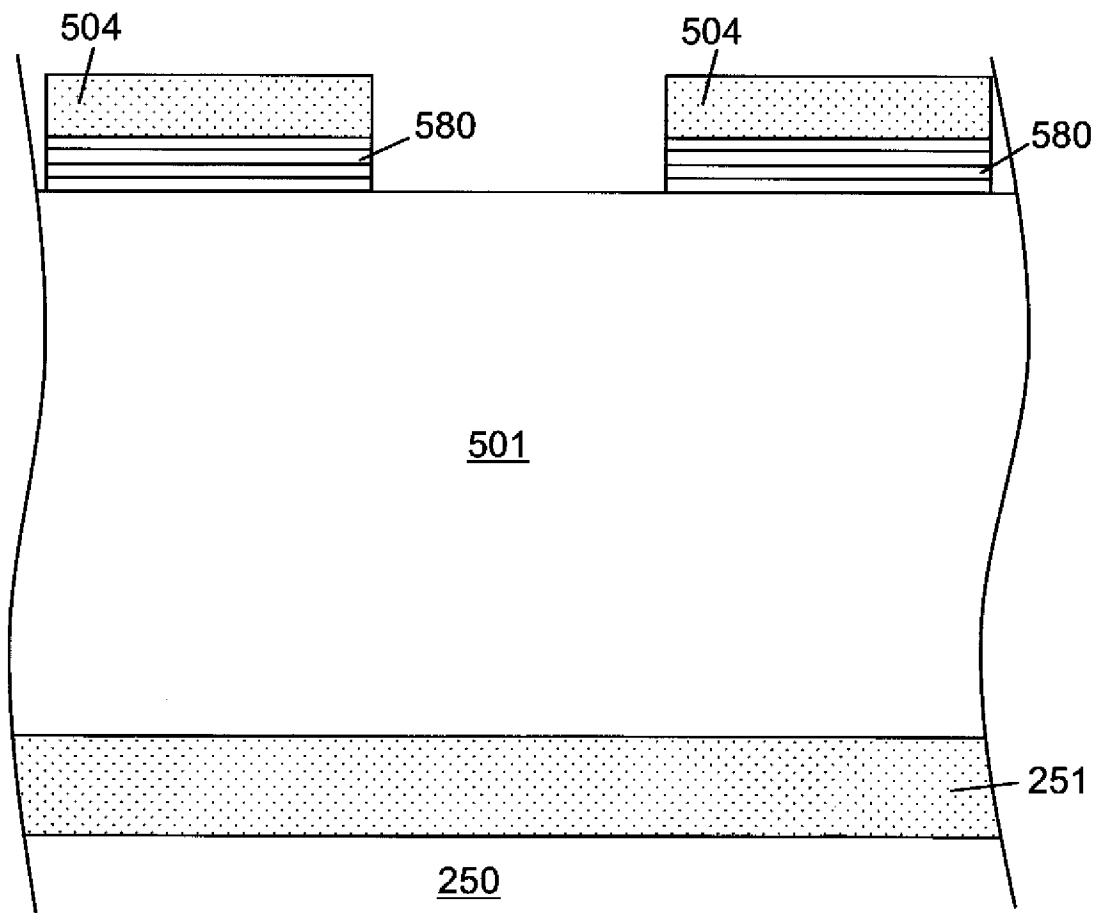
[図22(b)]



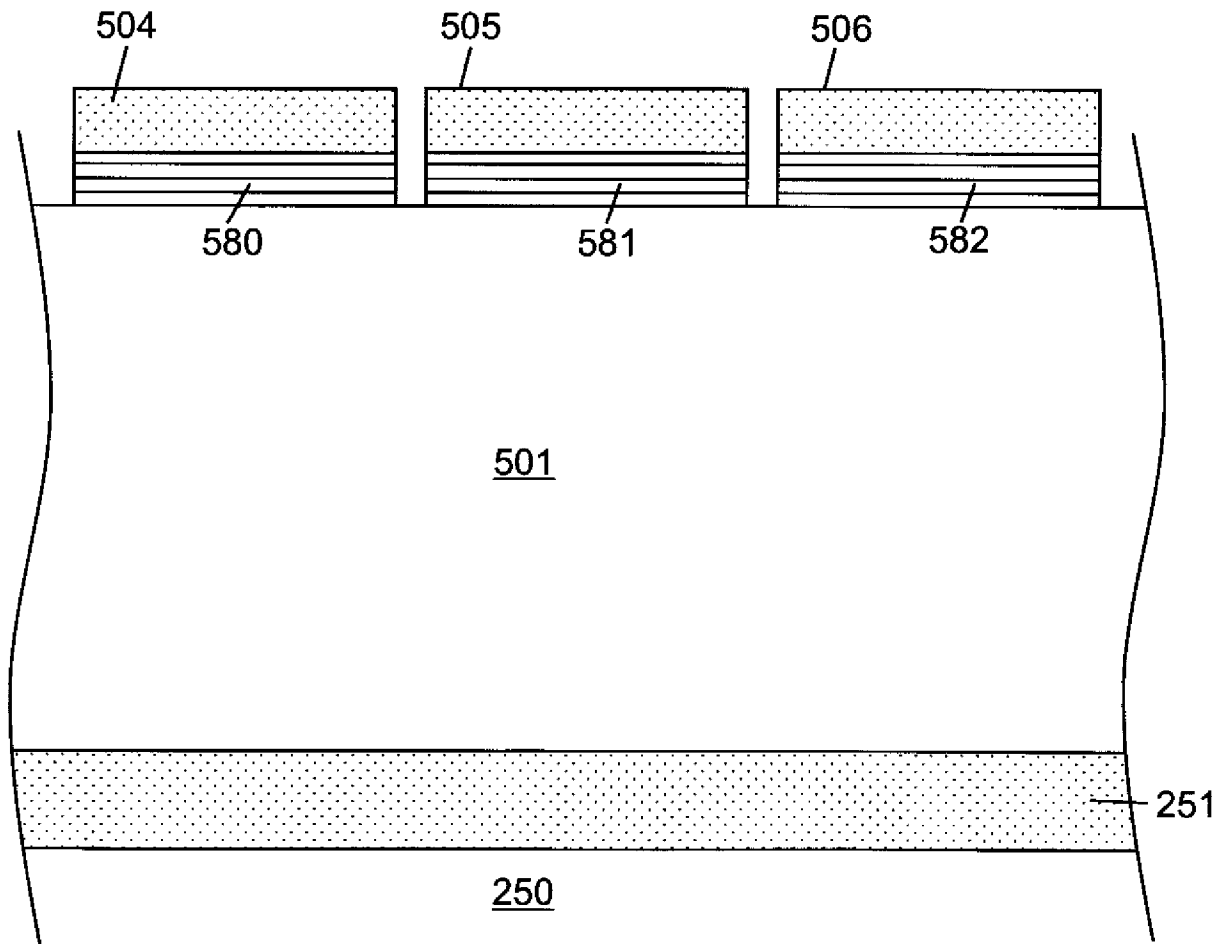
[図23]



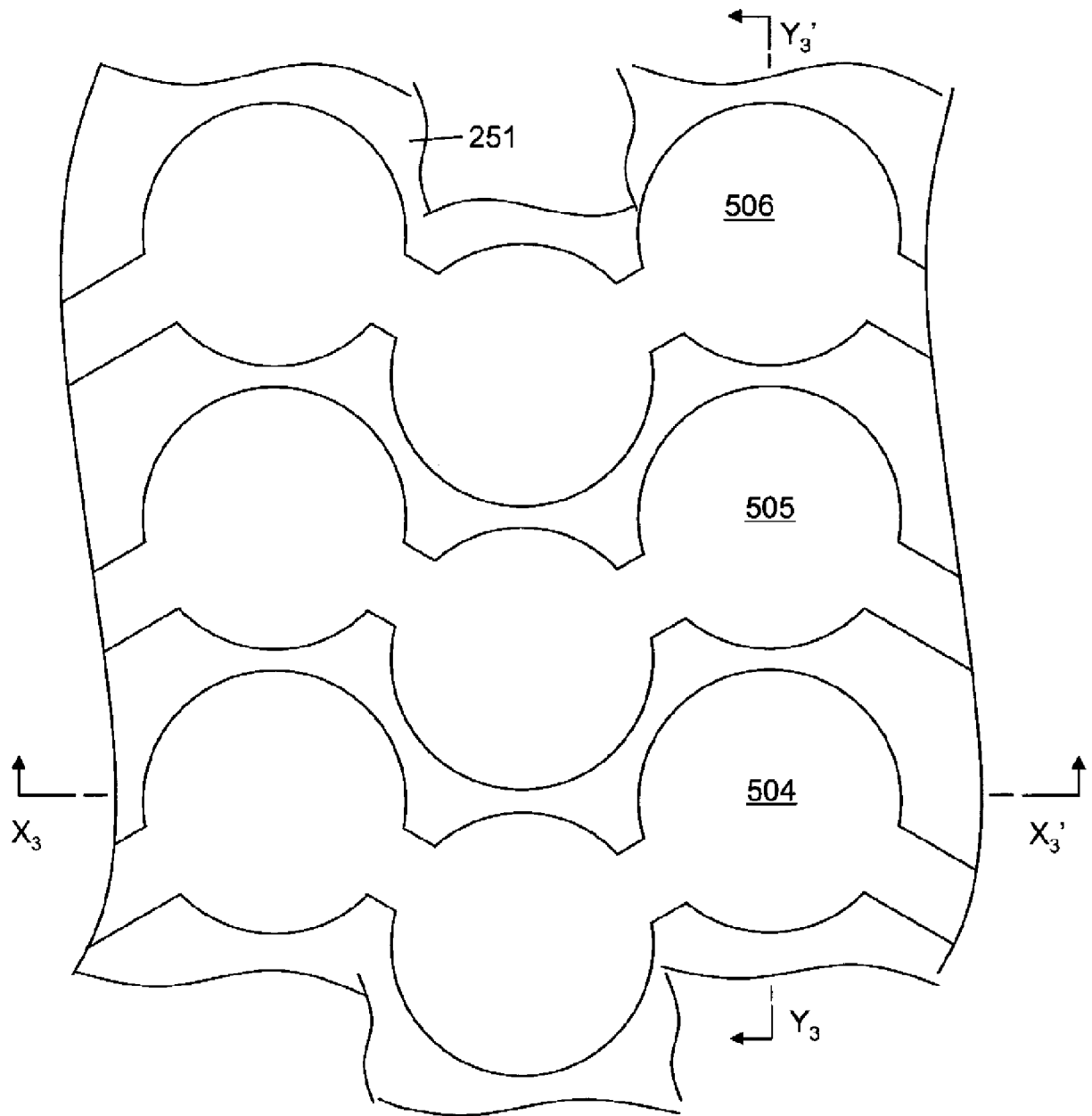
[図24(a)]



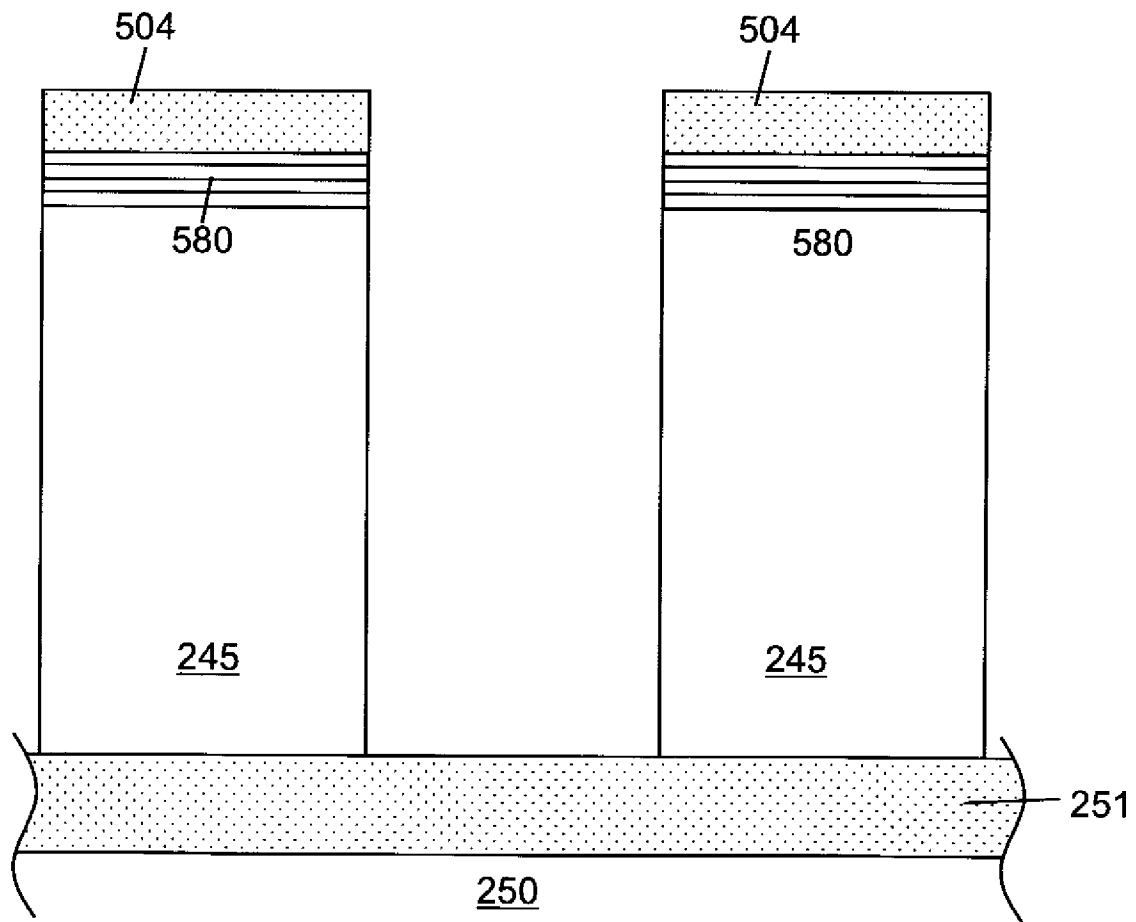
[図24(b)]



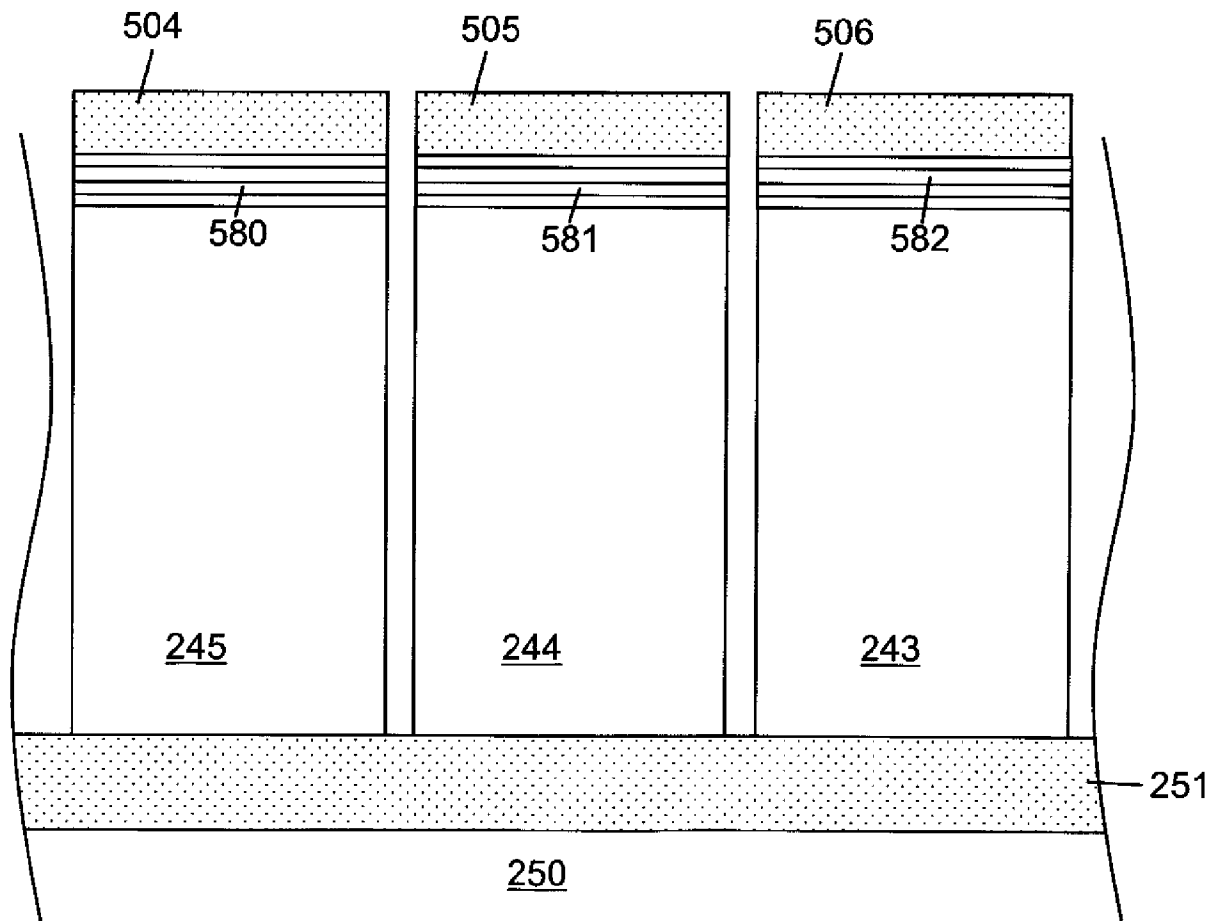
[図25]



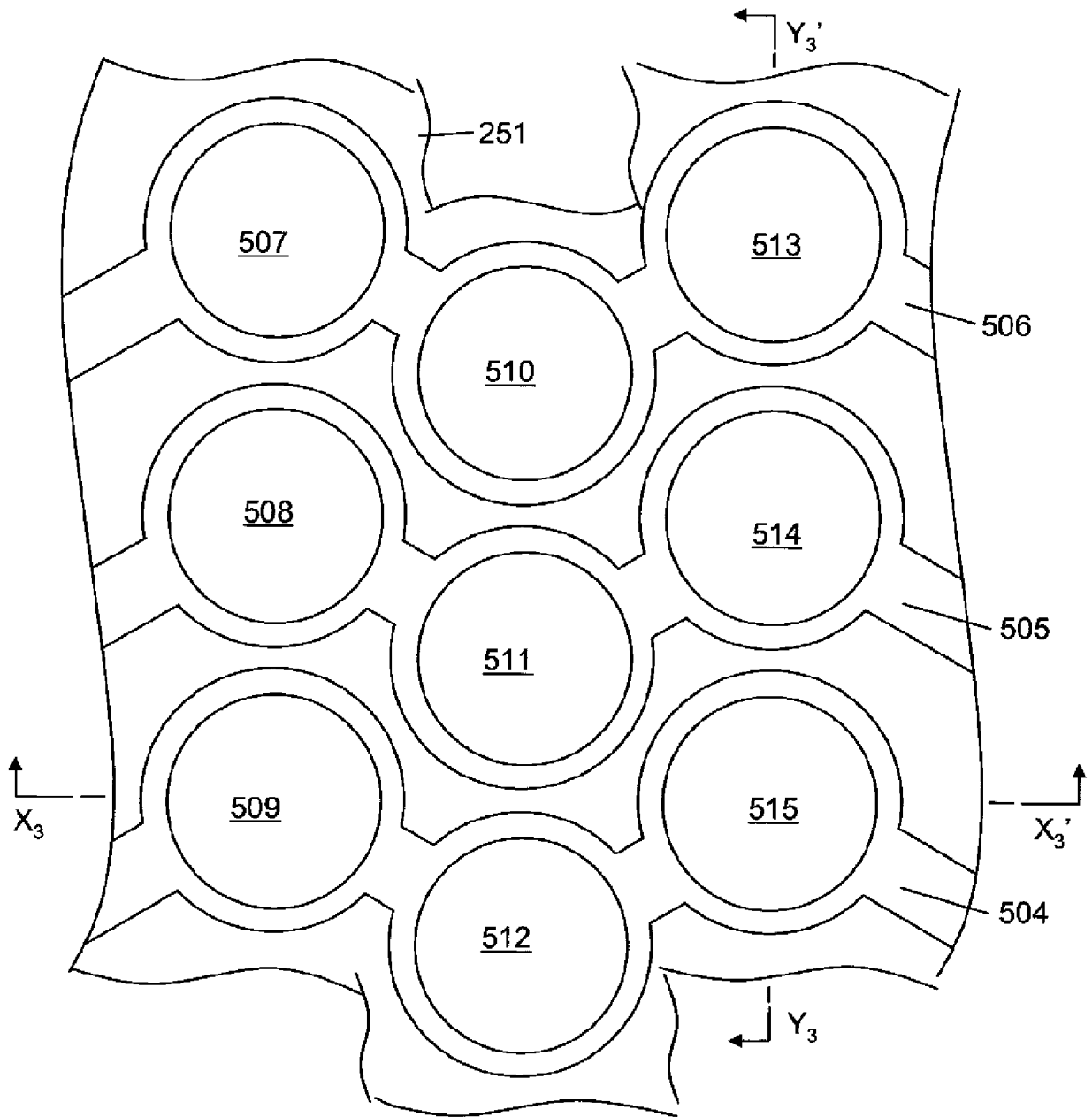
[図26(a)]



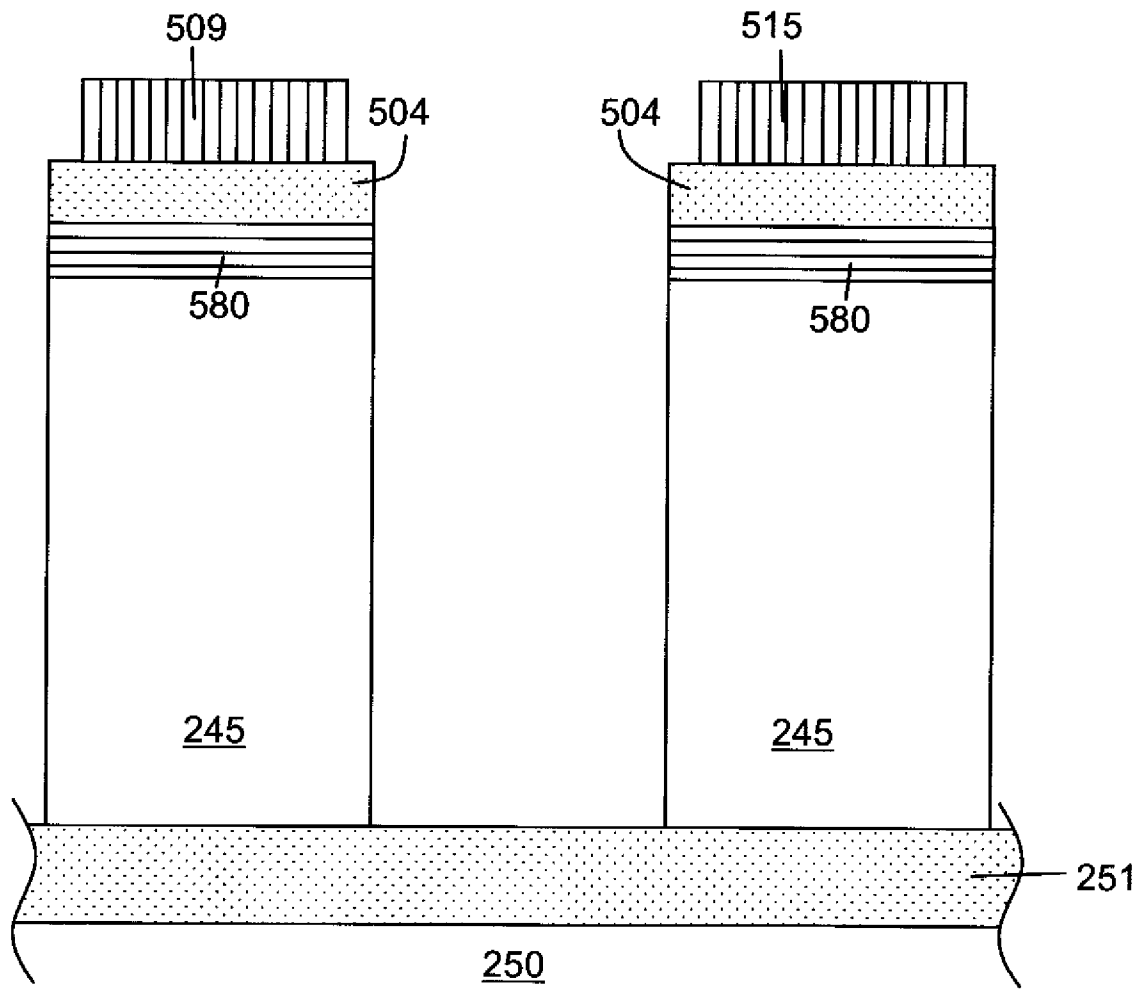
[図26(b)]



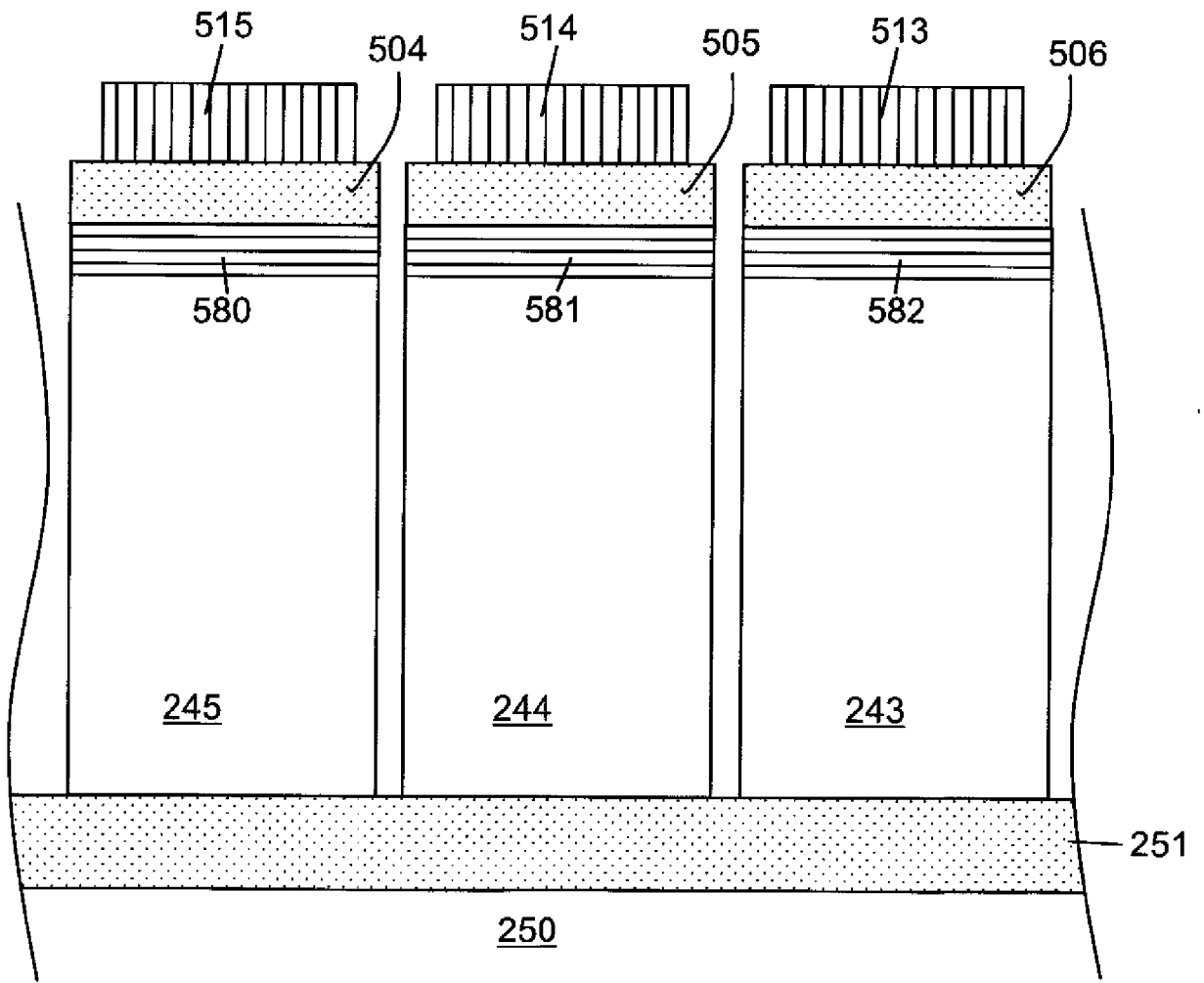
[図27]



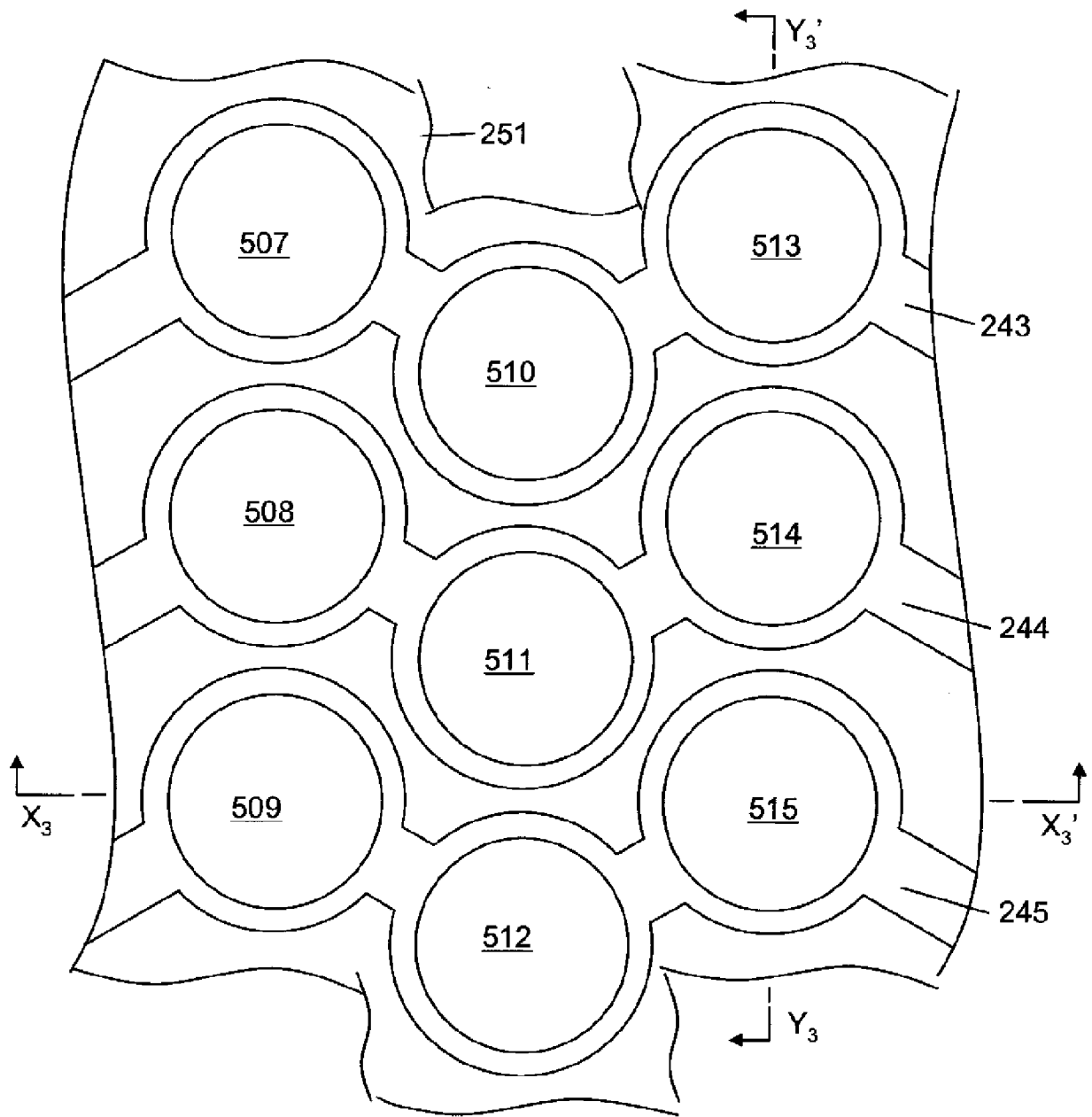
[図28(a)]



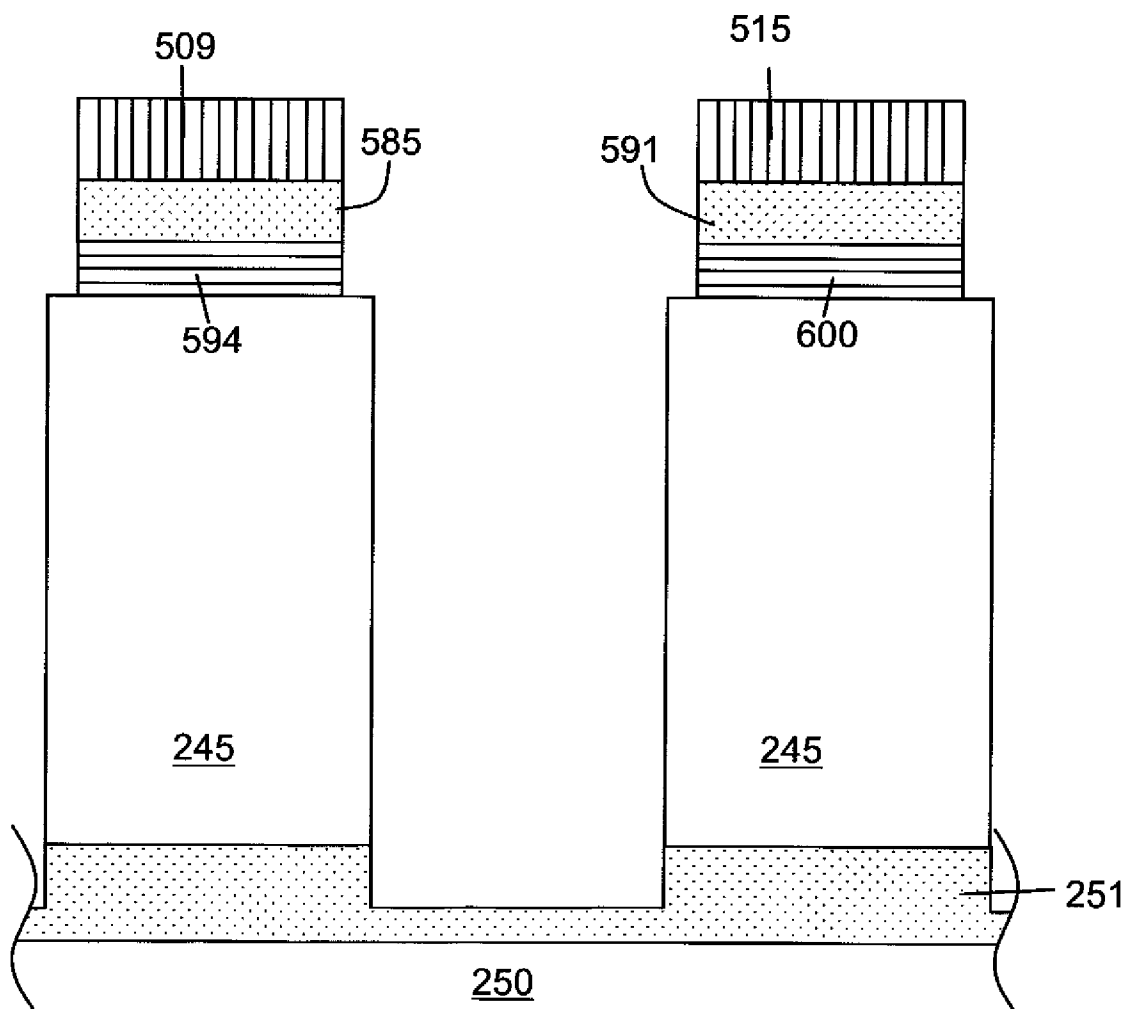
[図28(b)]



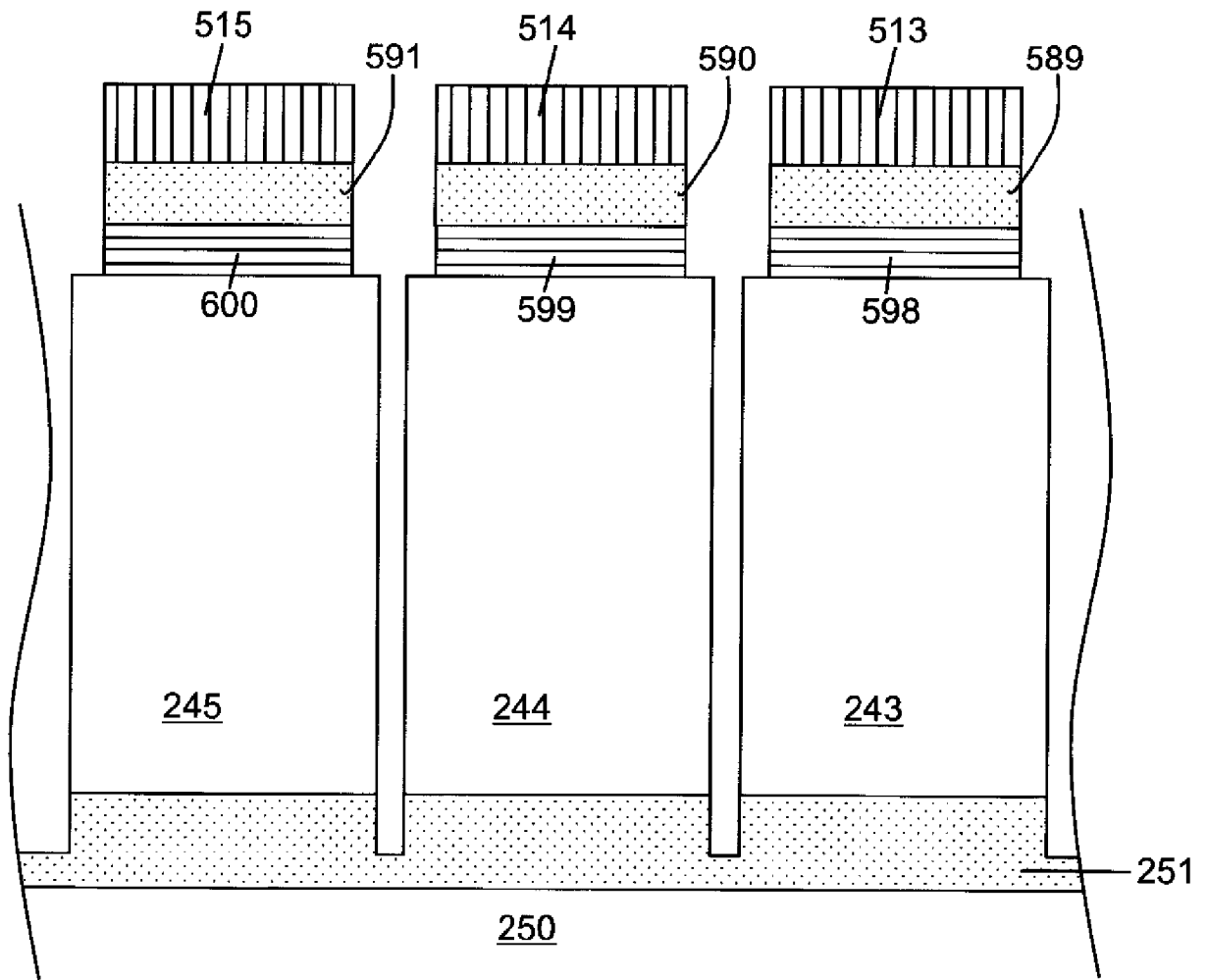
[図29]



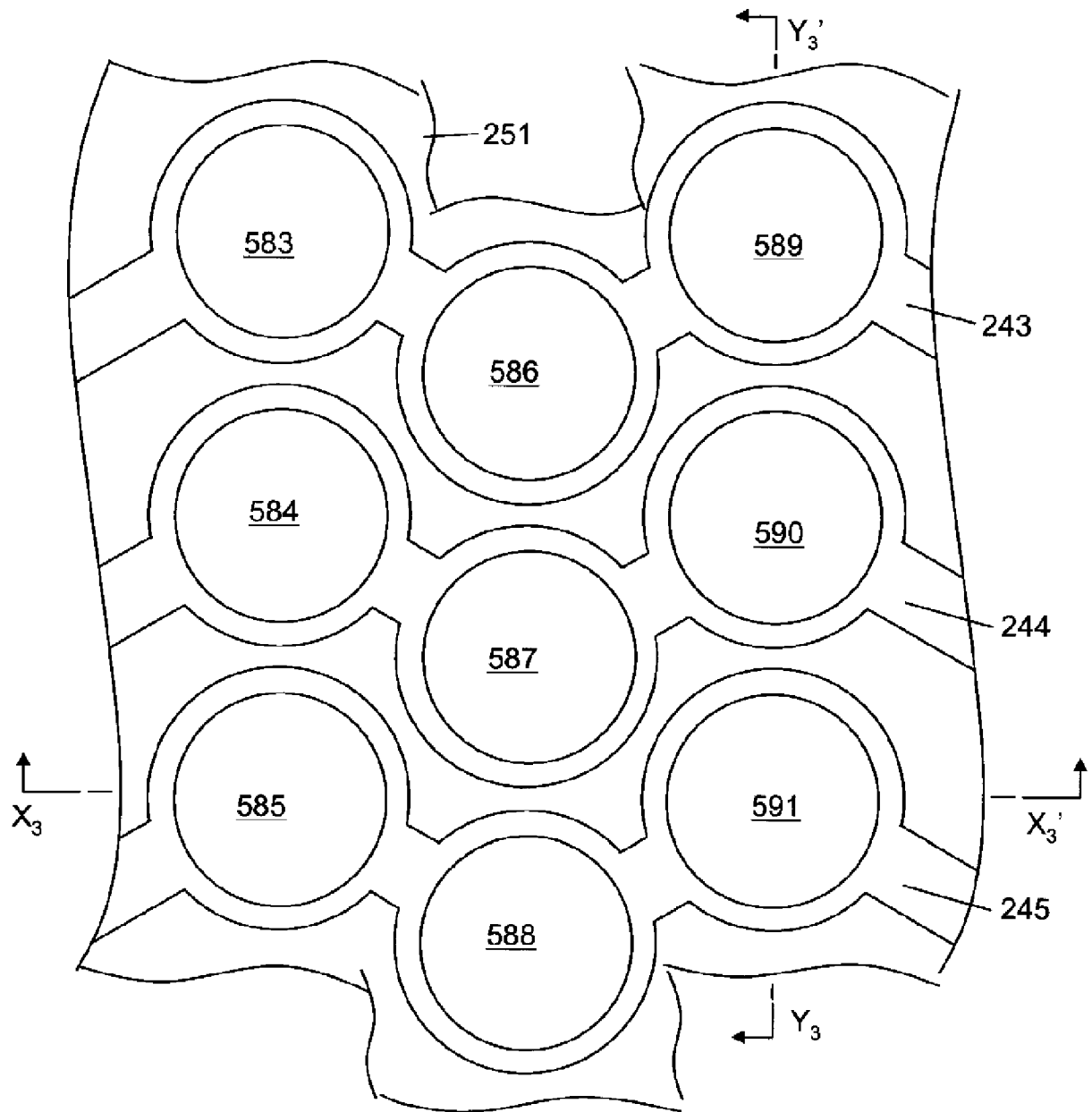
[図30(a)]



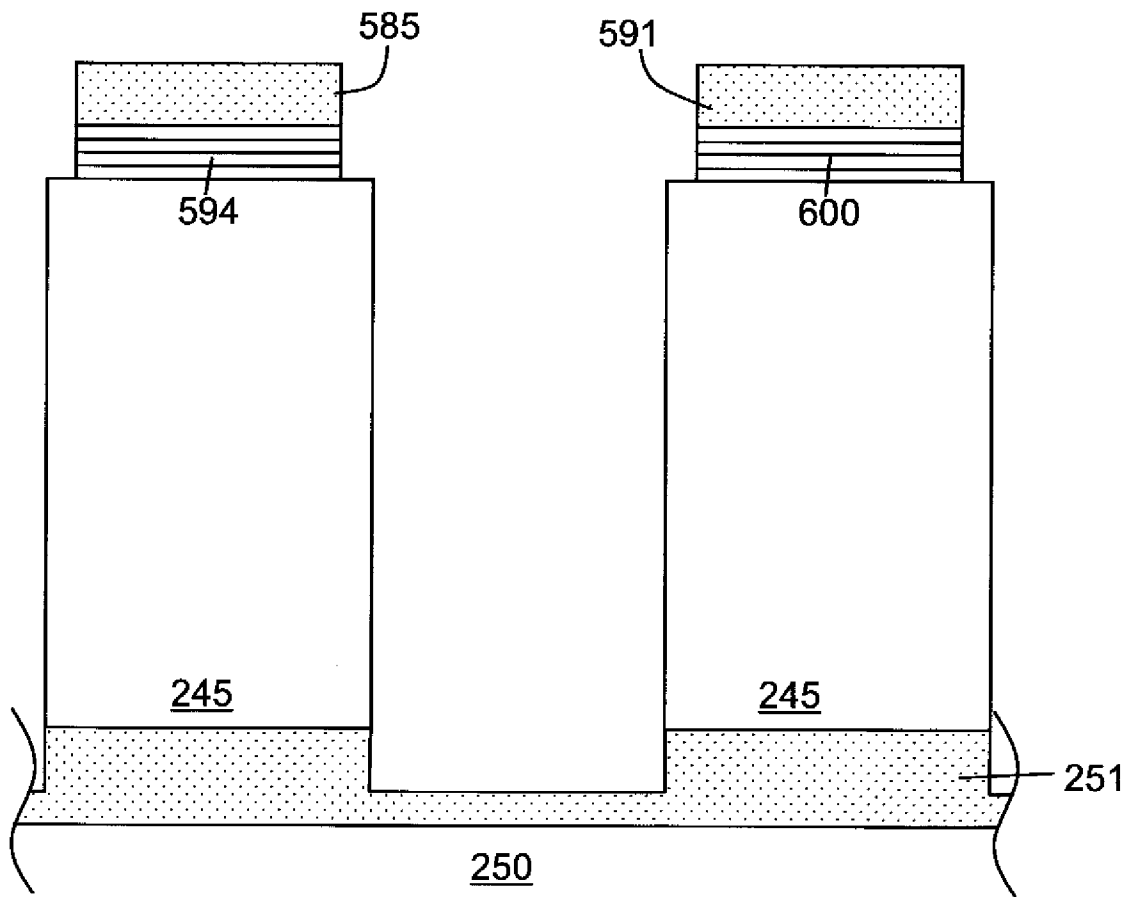
[図30(b)]



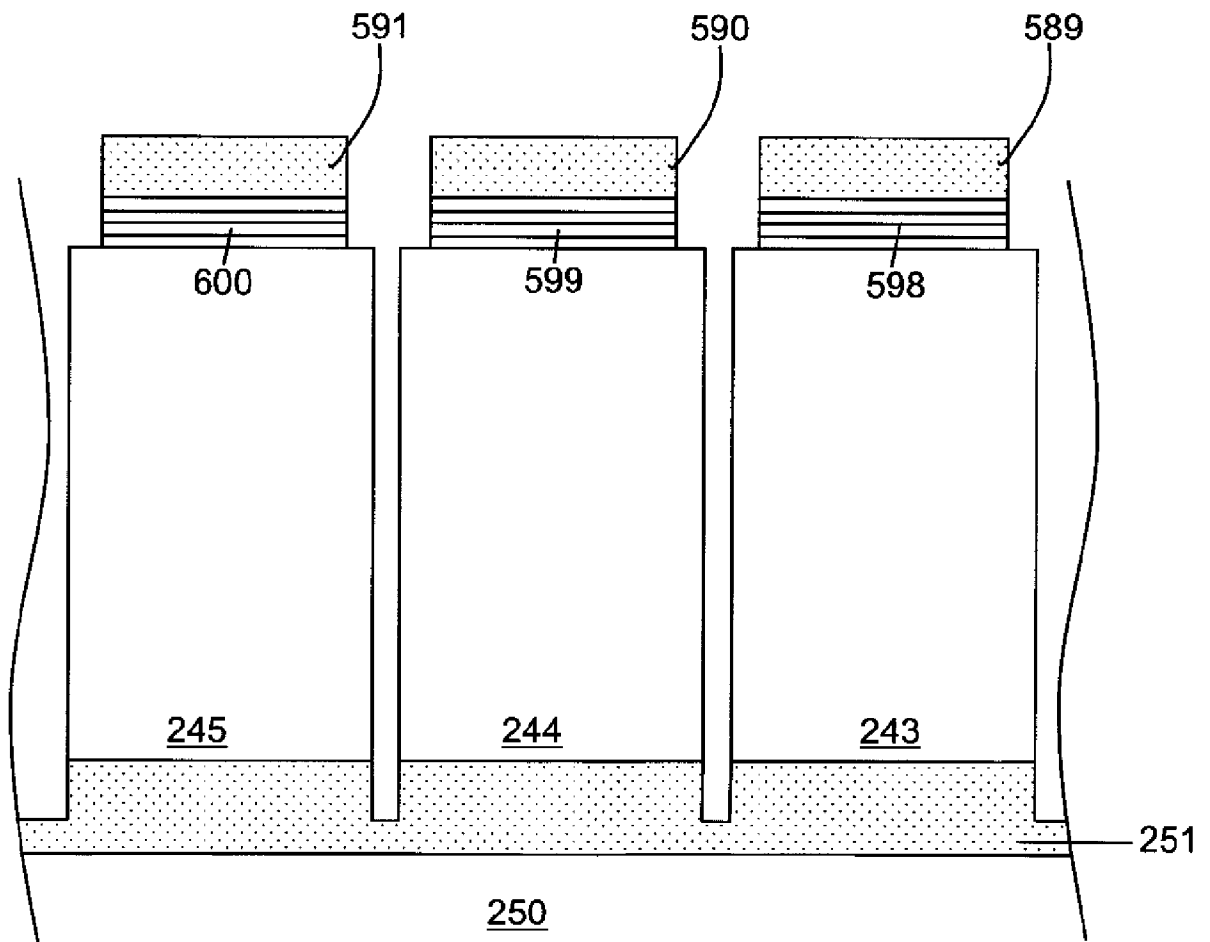
[図31]



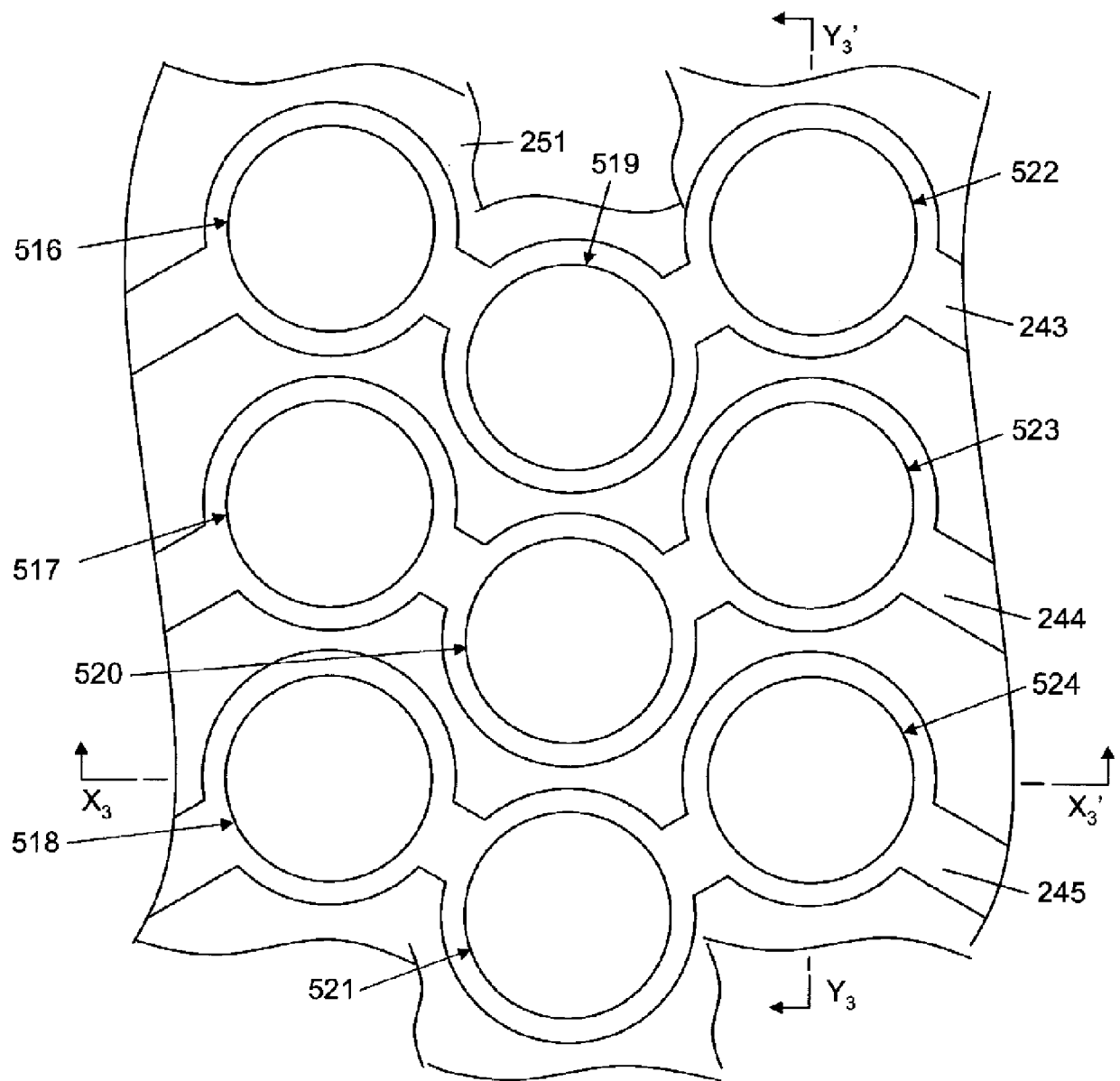
[図32(a)]



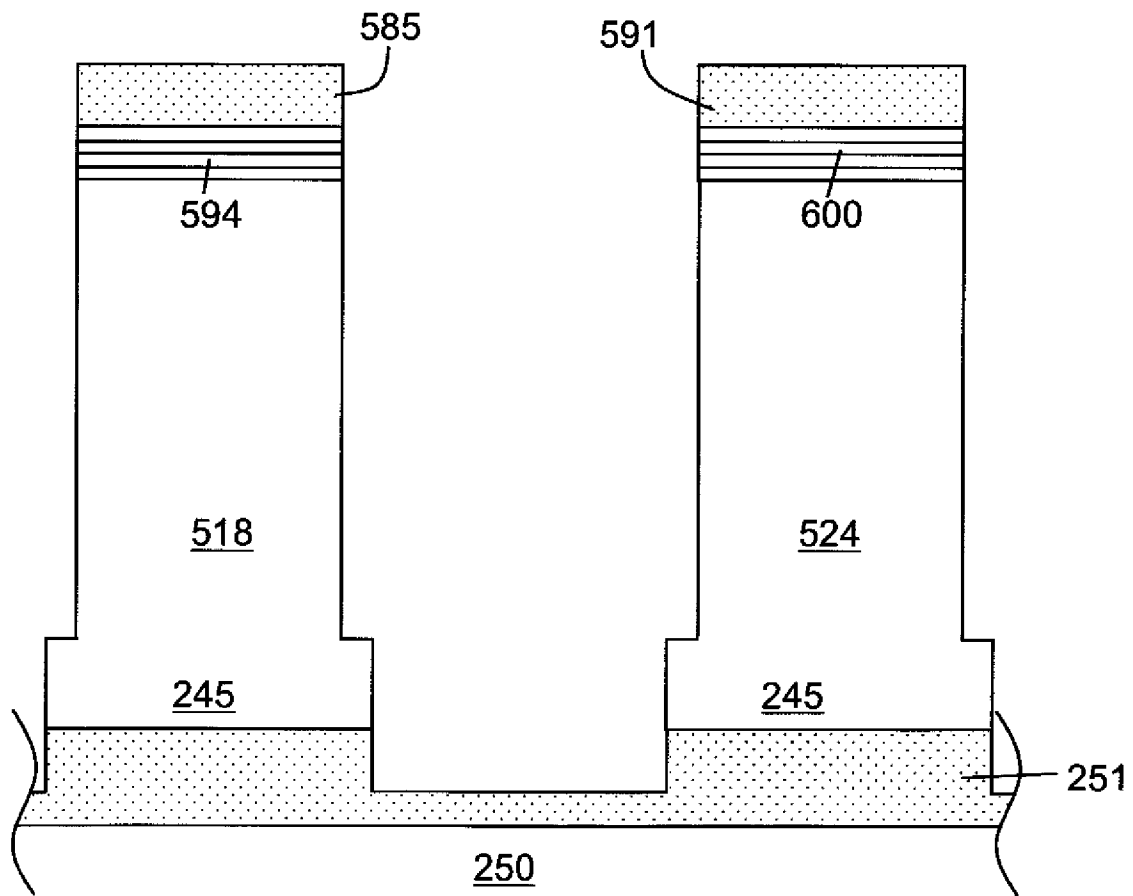
[図32(b)]



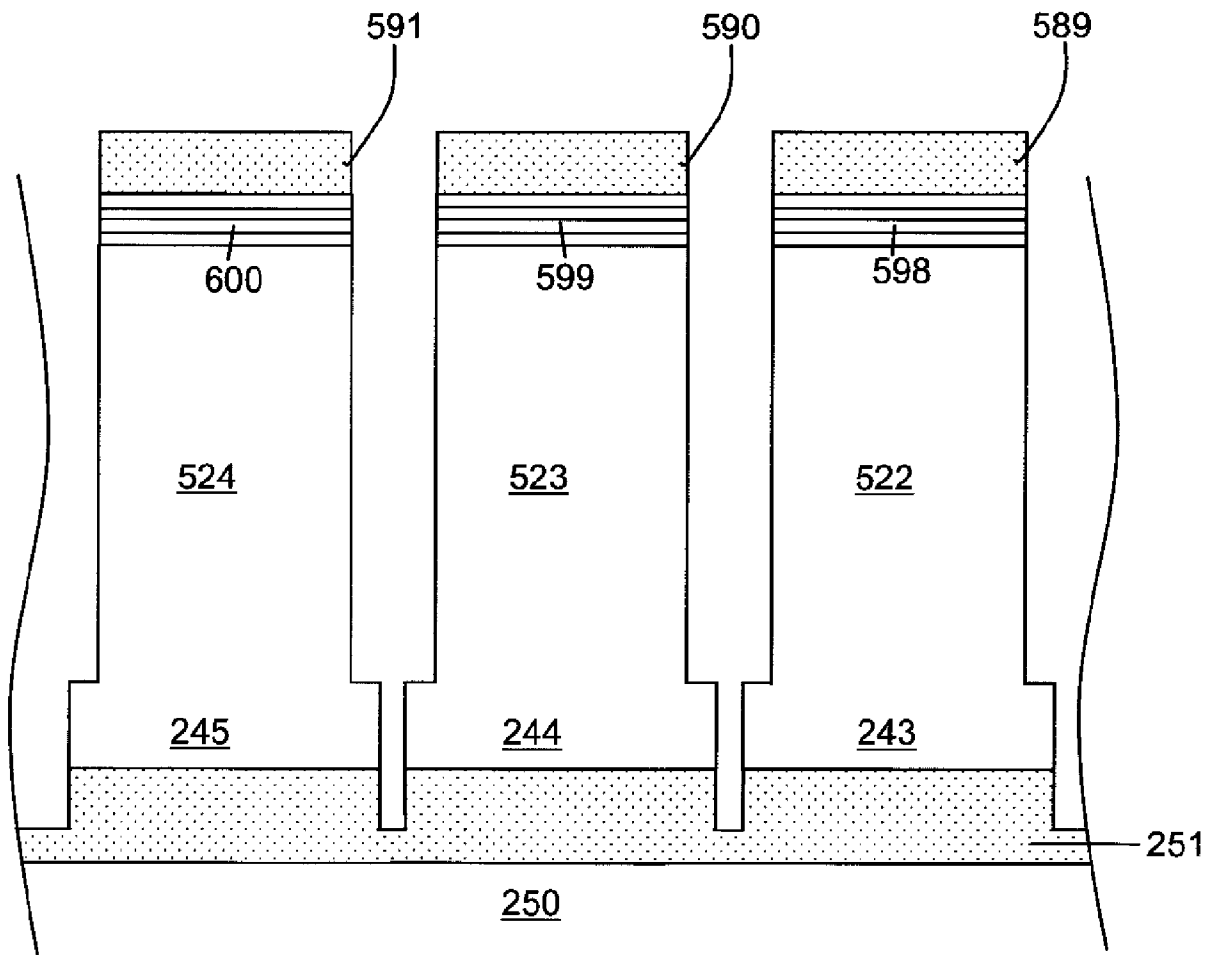
[図33]



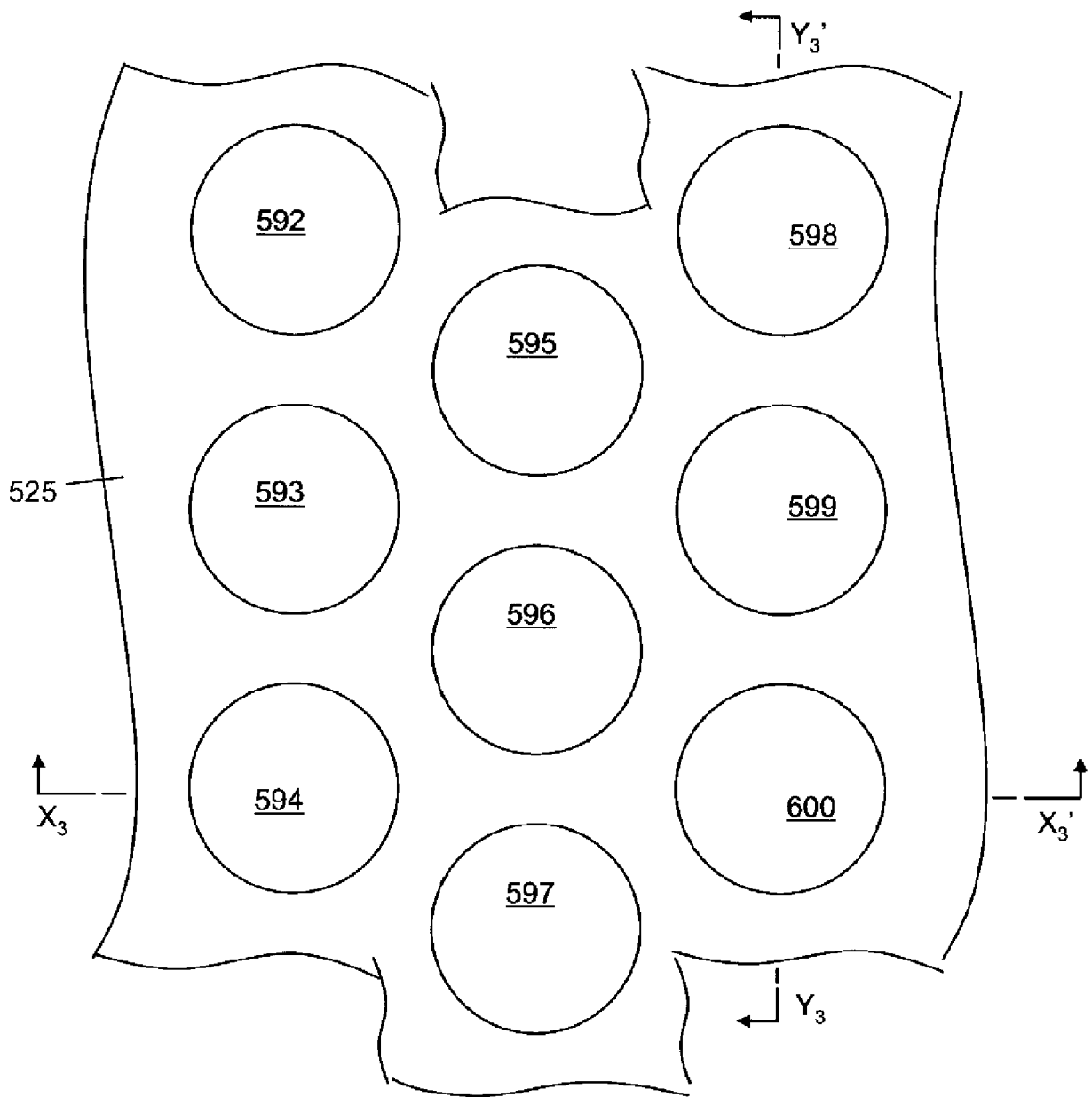
[図34(a)]



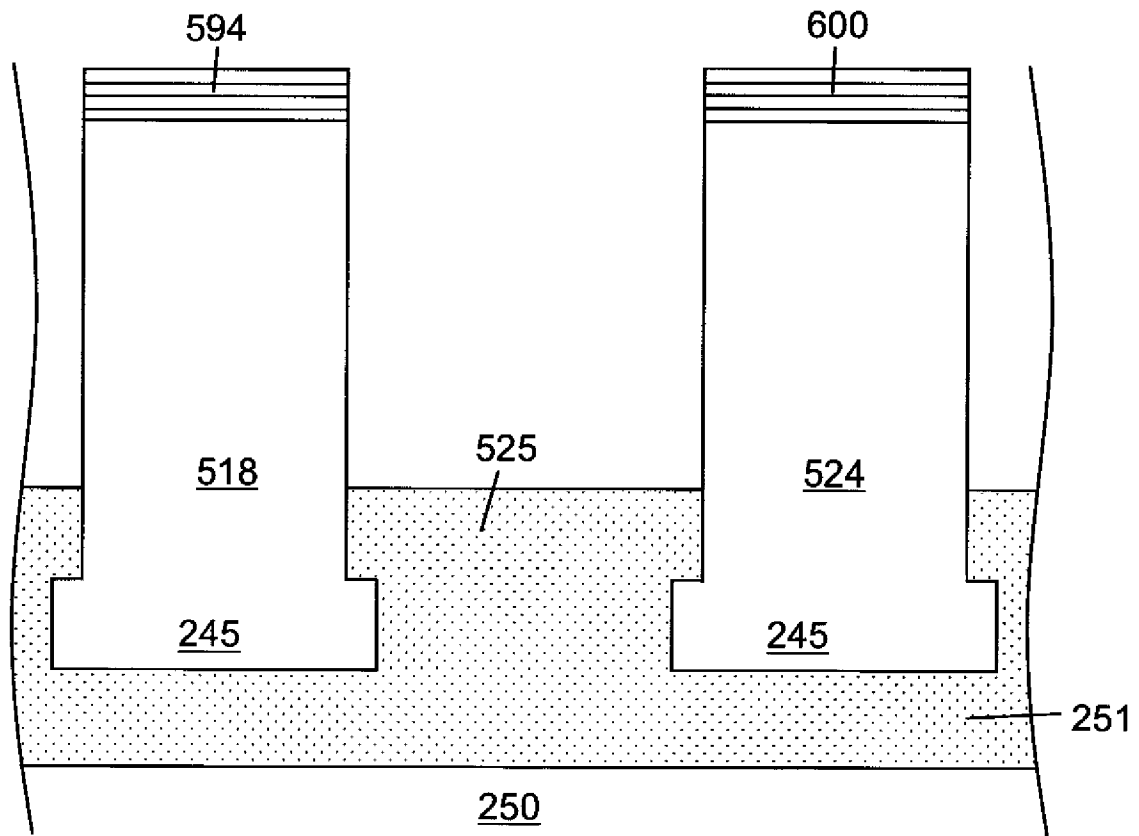
[図34(b)]



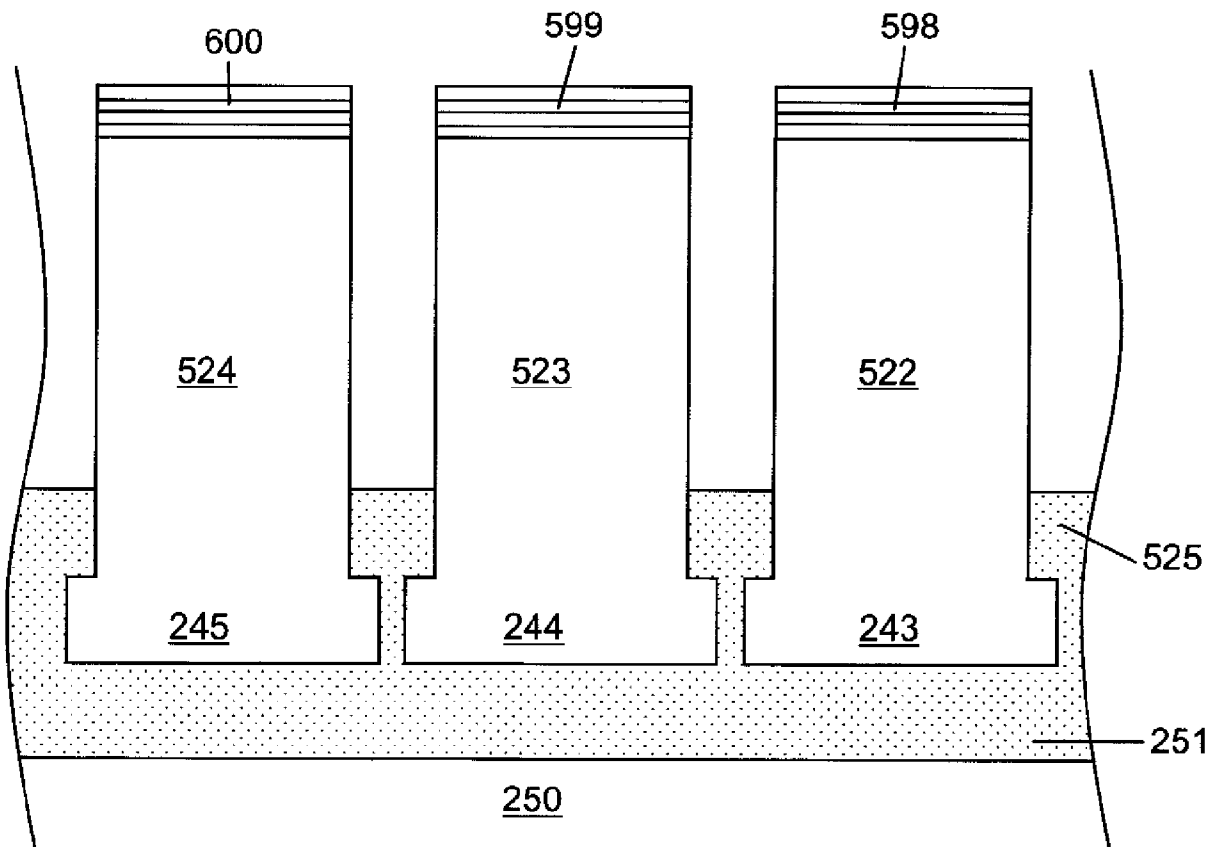
[図35]



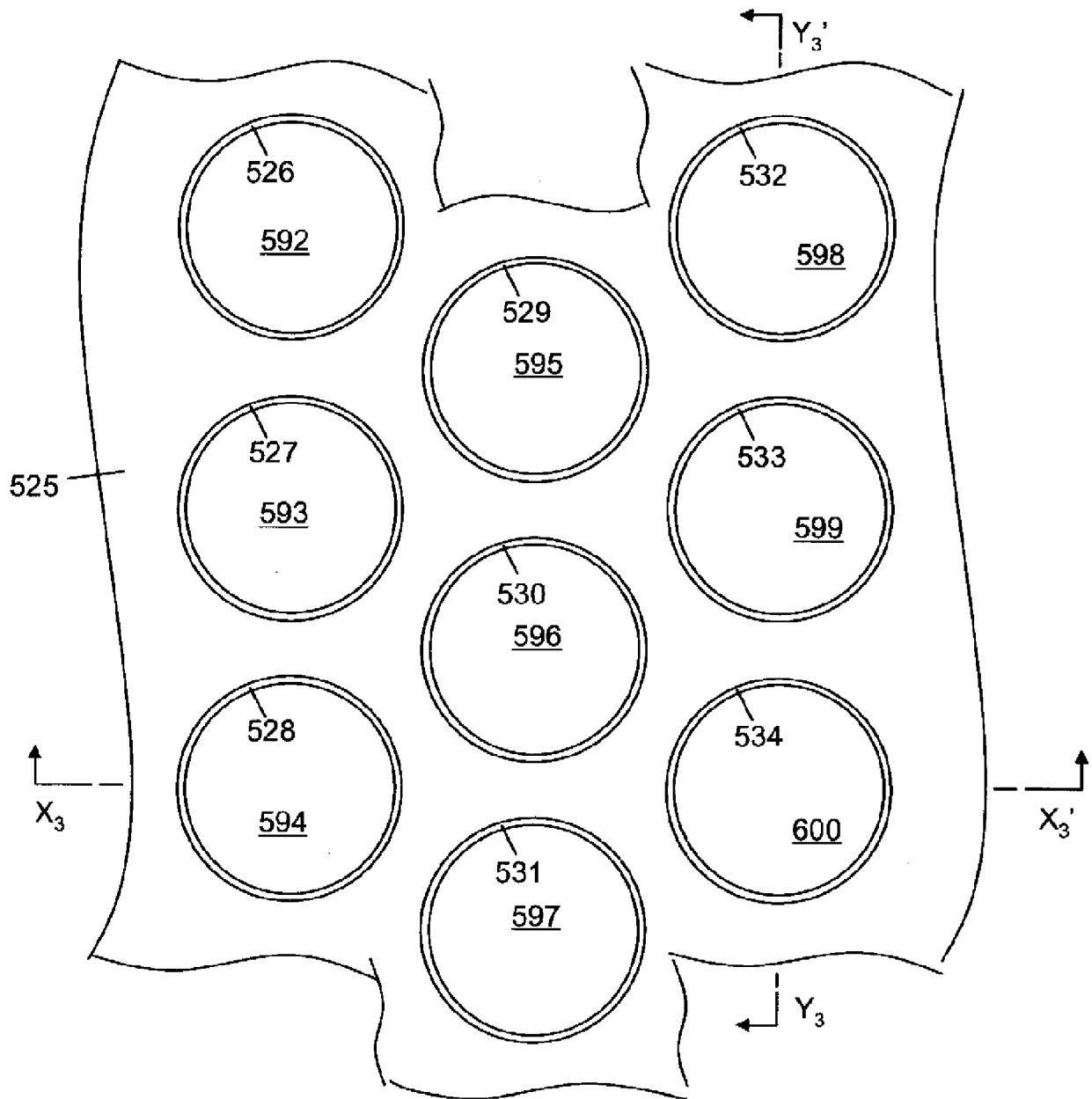
[図36(a)]



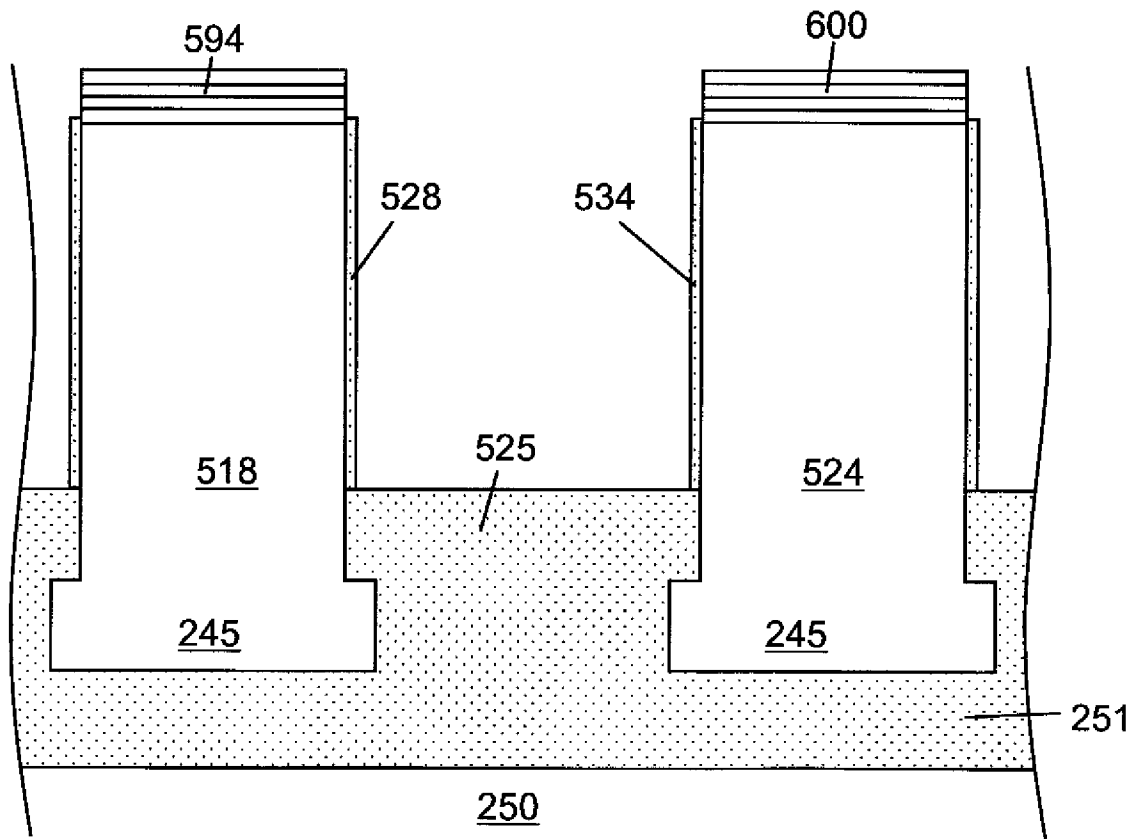
[図36(b)]



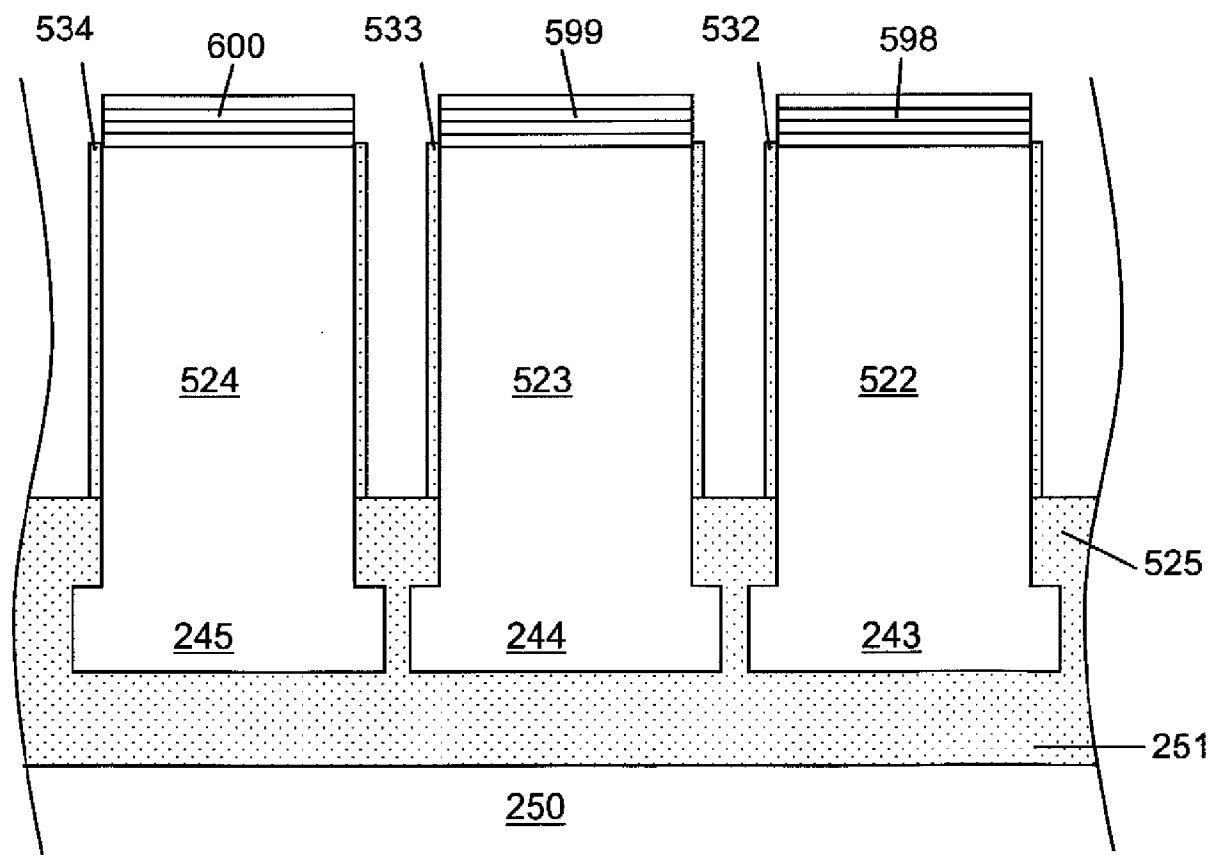
[図37]



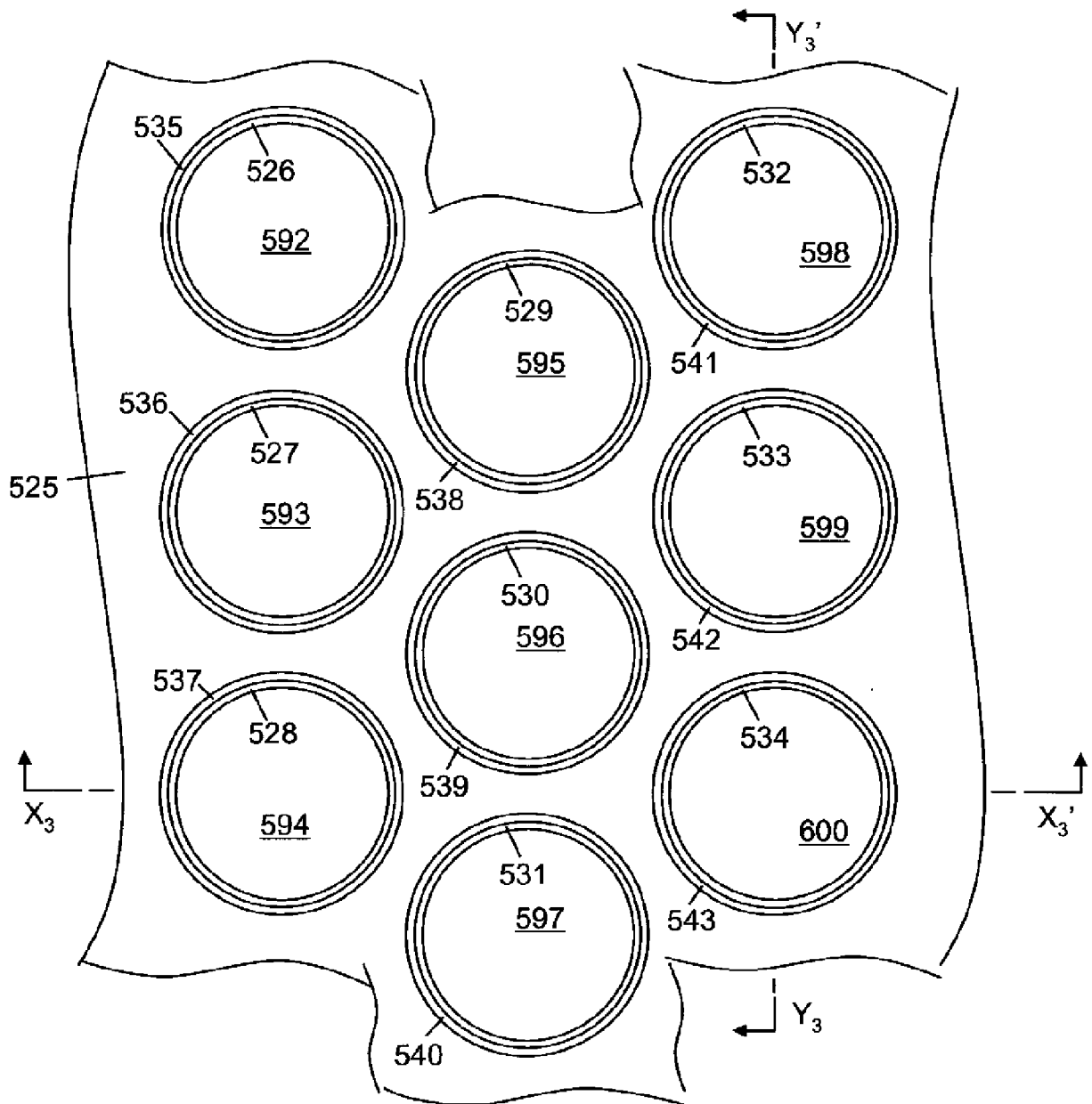
[図38(a)]



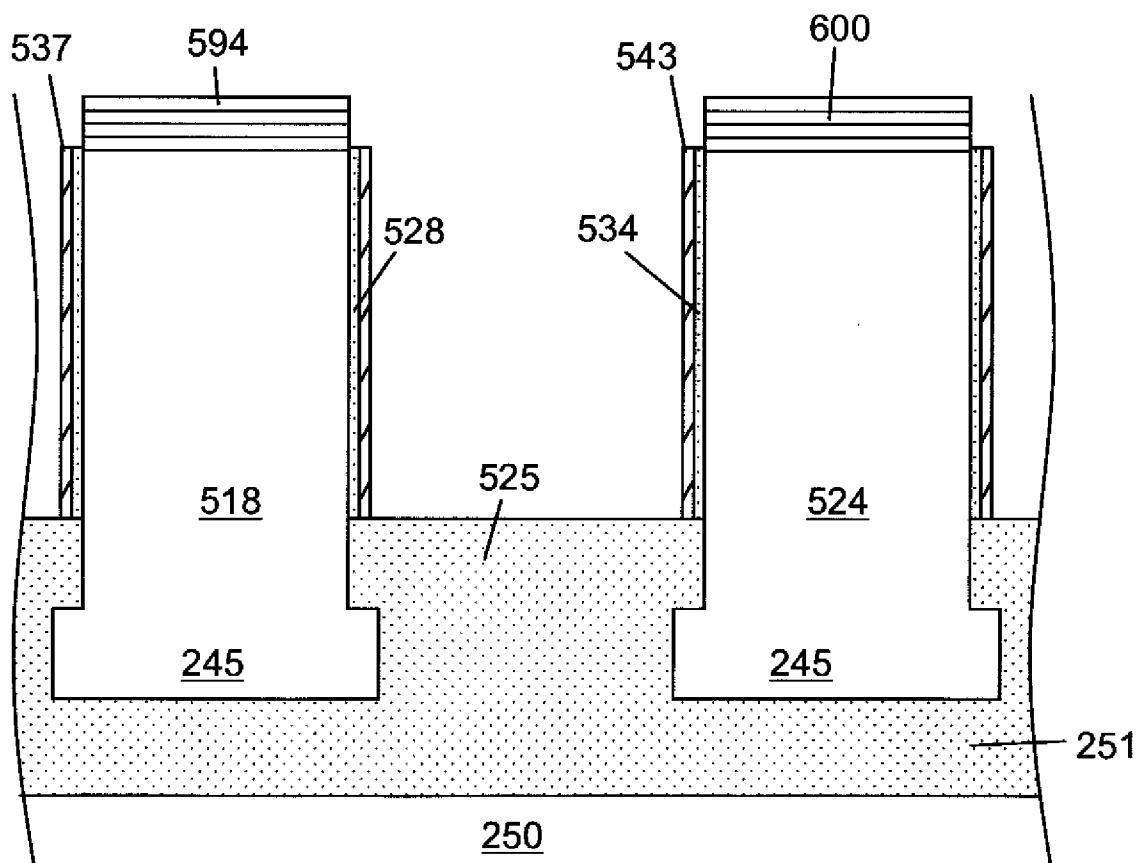
[図38(b)]



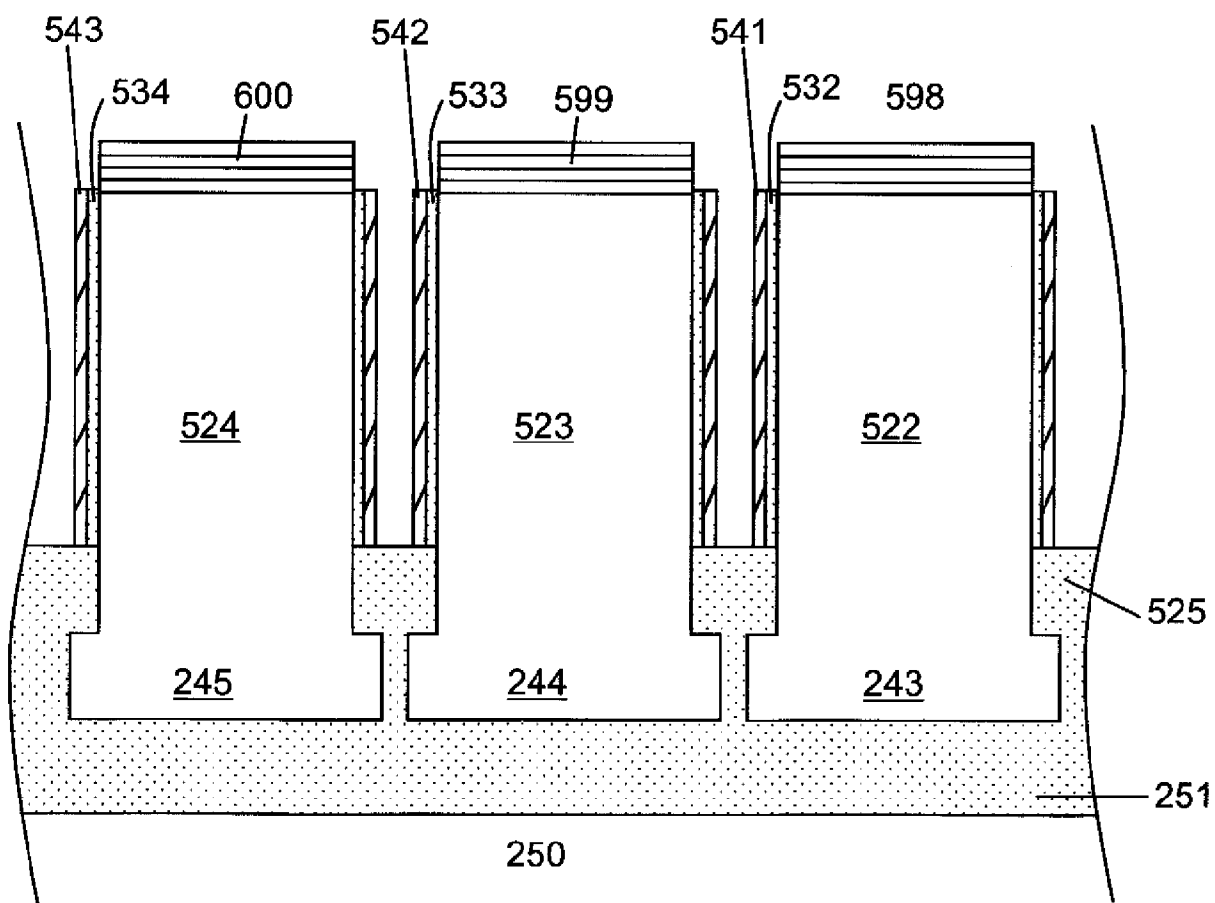
[図39]



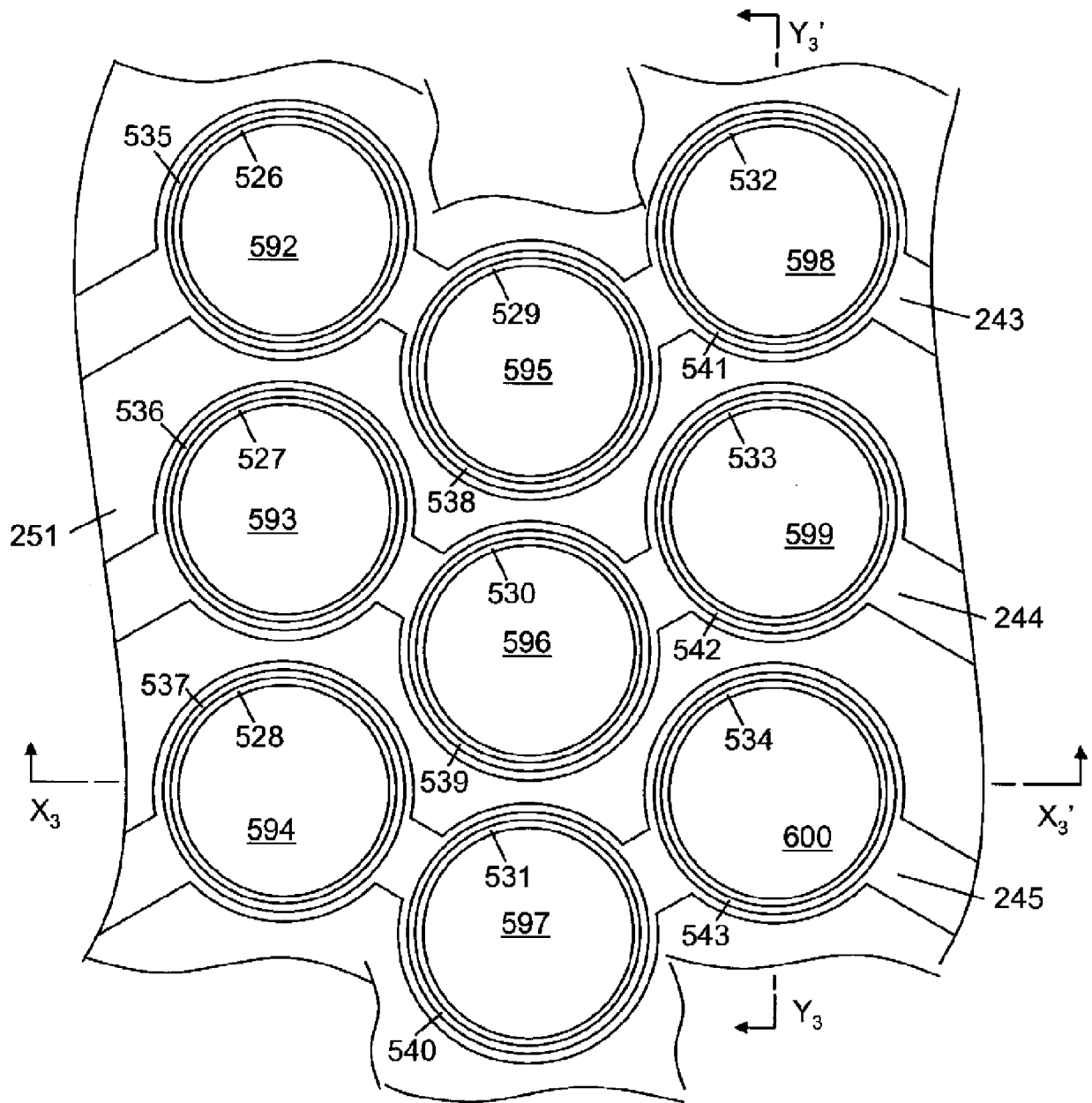
[図40(a)]



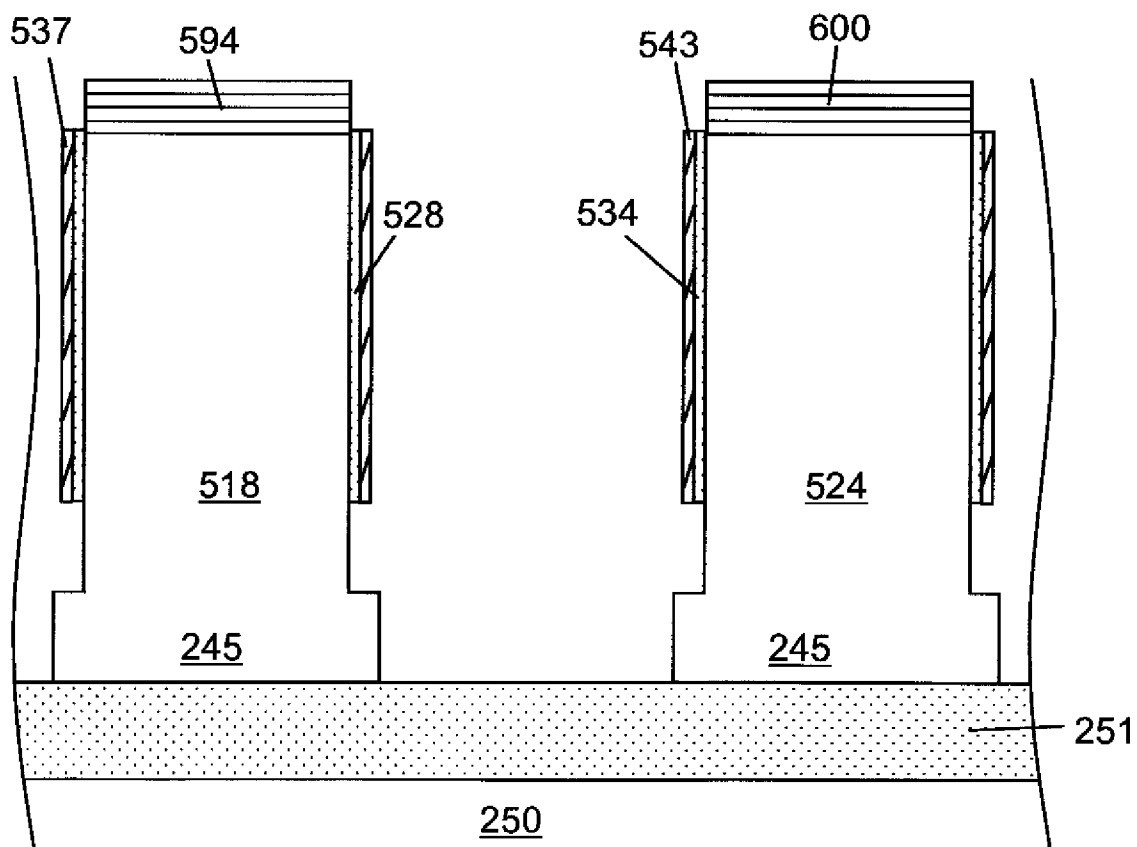
[図40(b)]



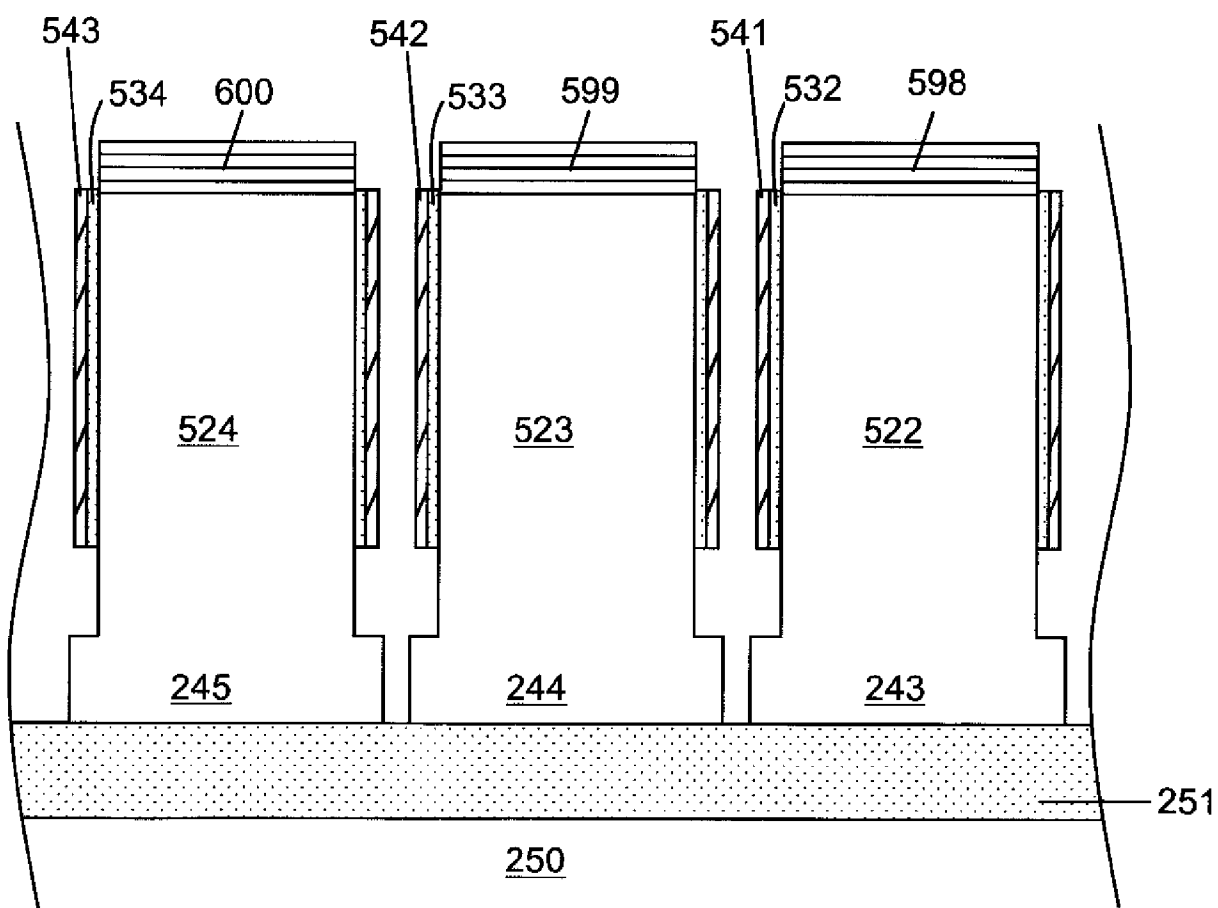
[図41]



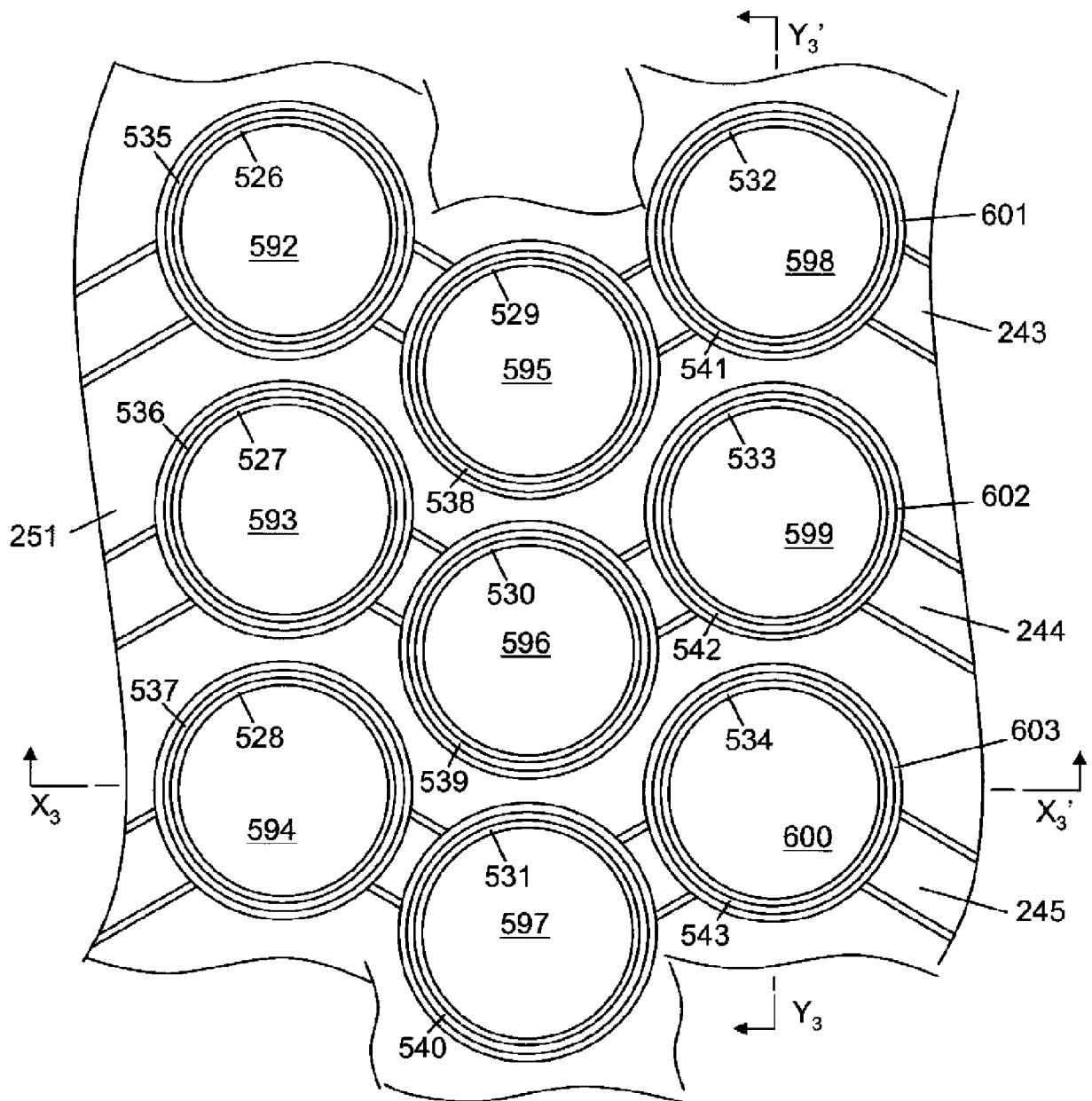
[図42(a)]



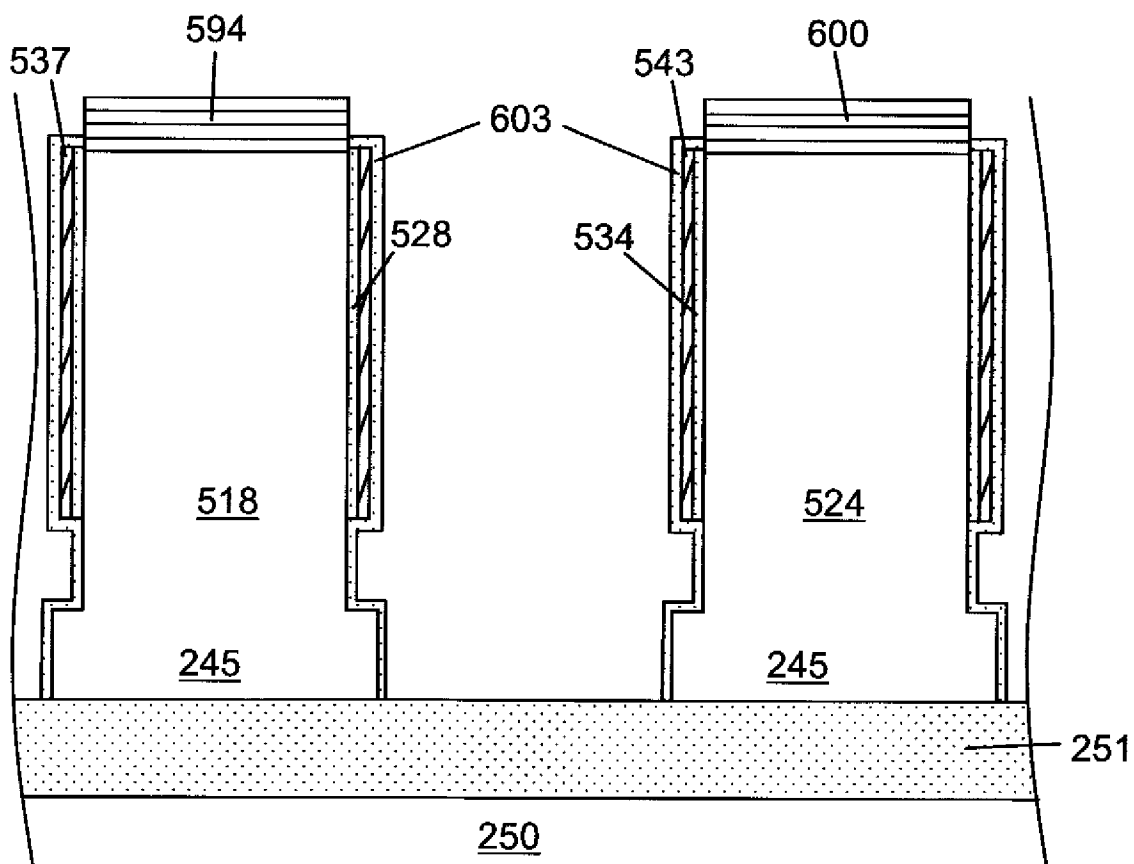
[図42(b)]



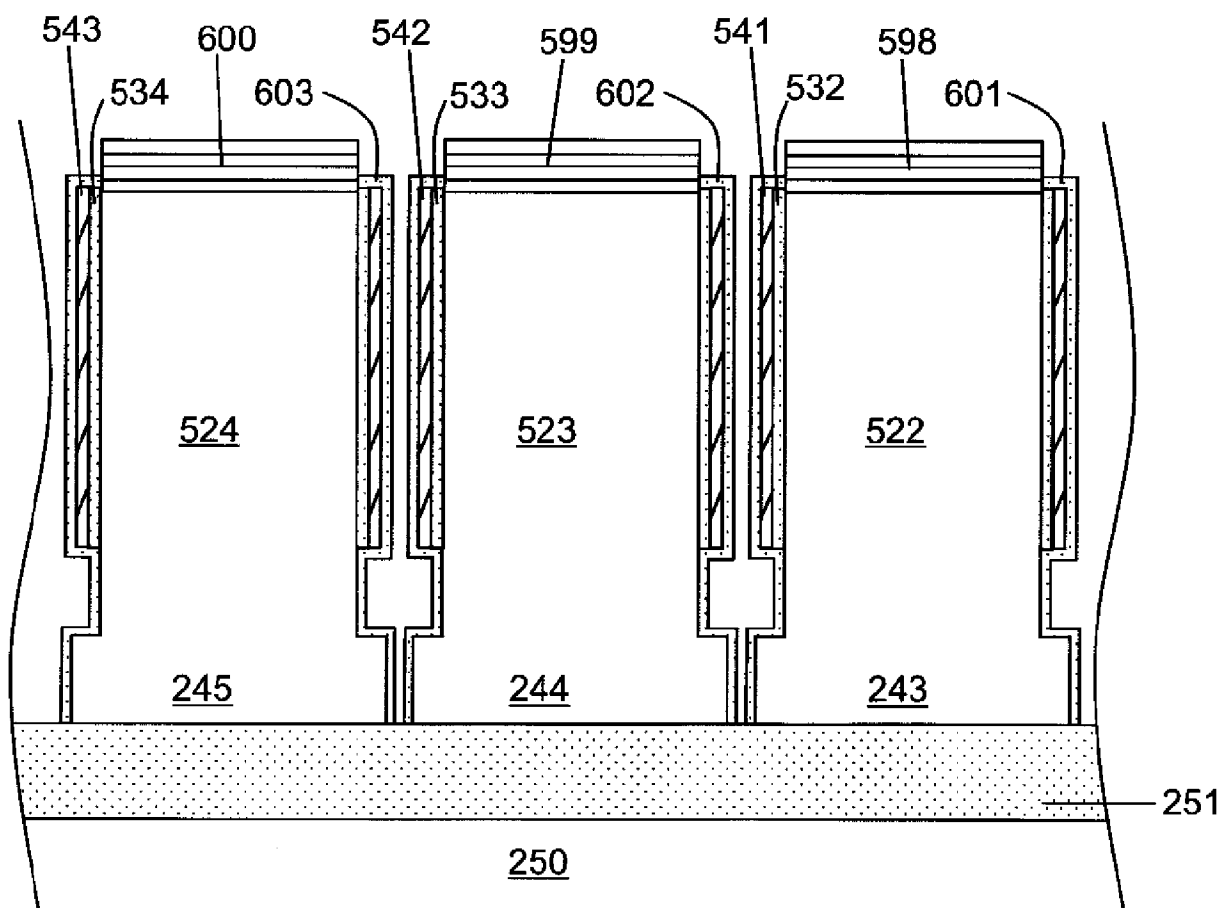
[図43]



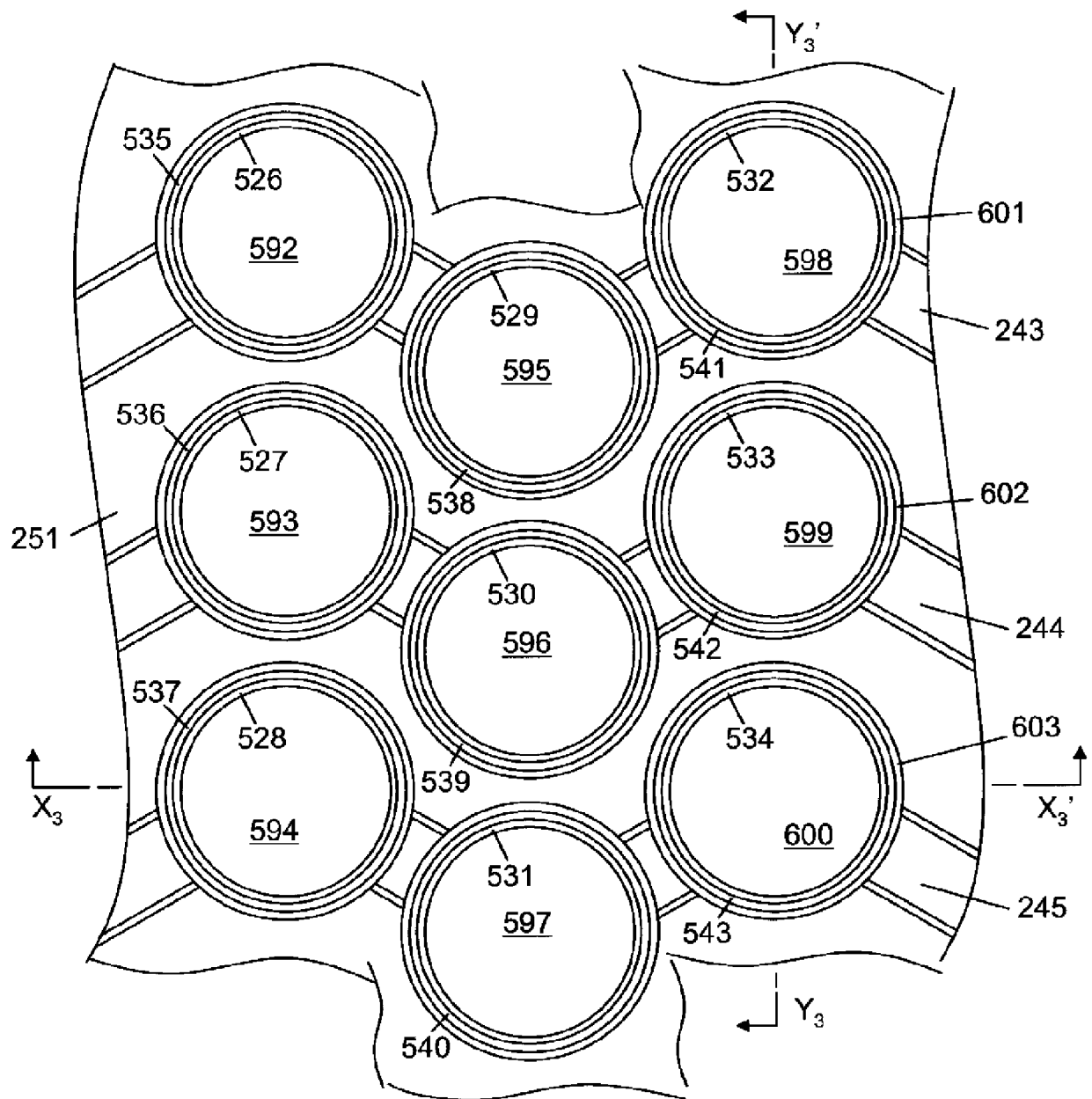
[図44(a)]



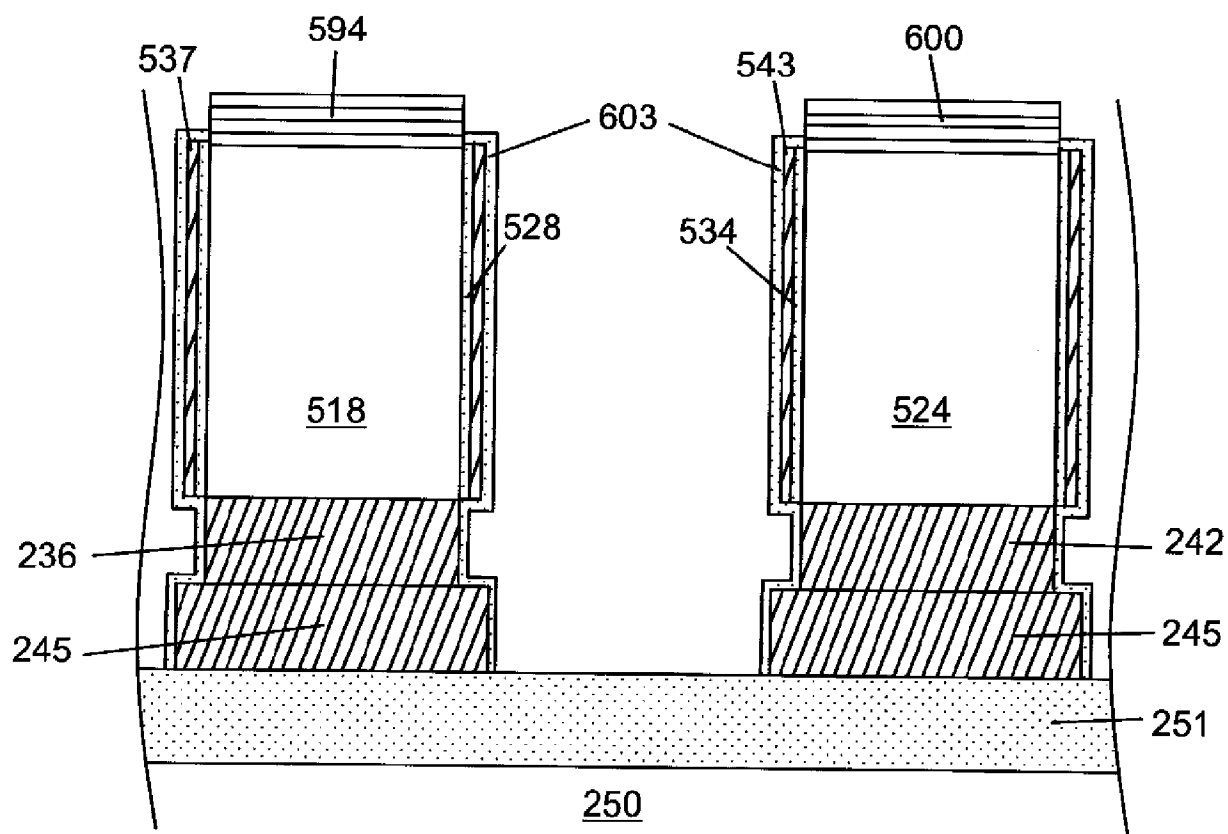
[図44(b)]



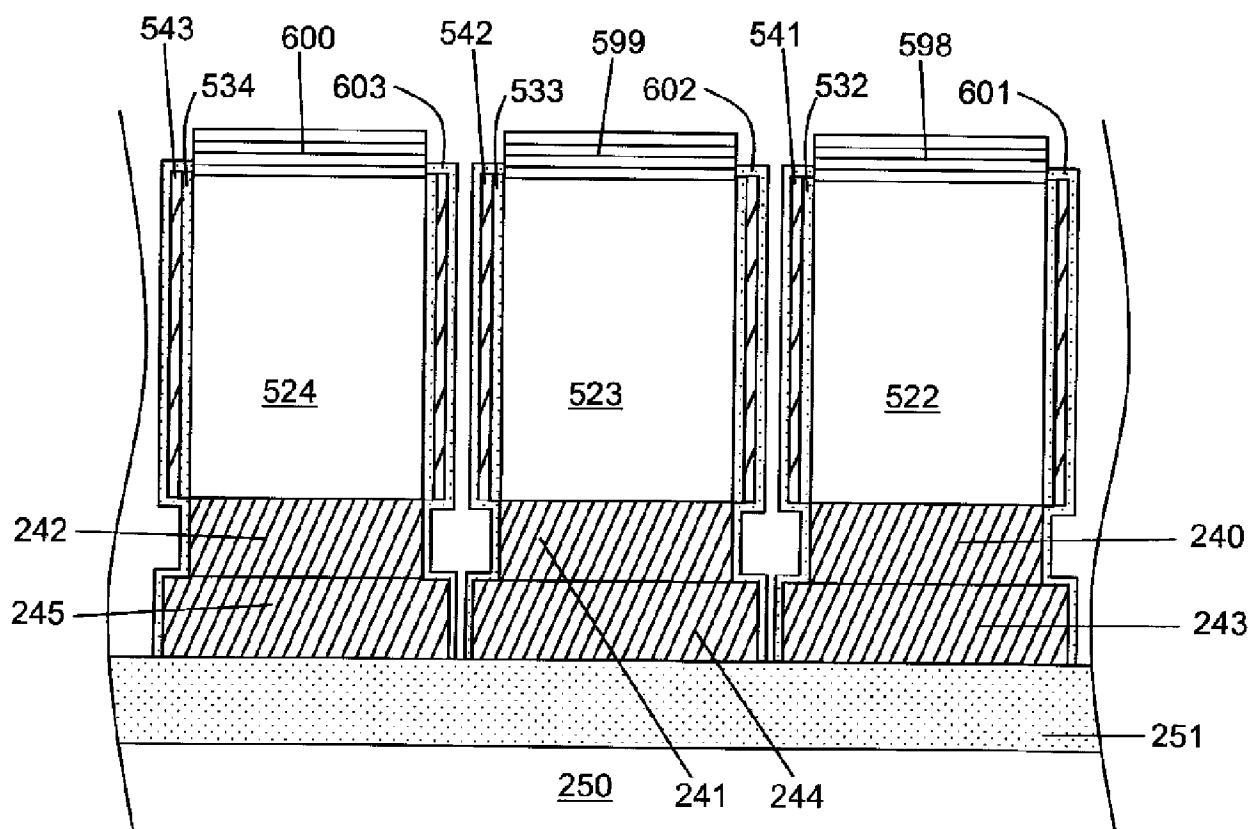
[図45]



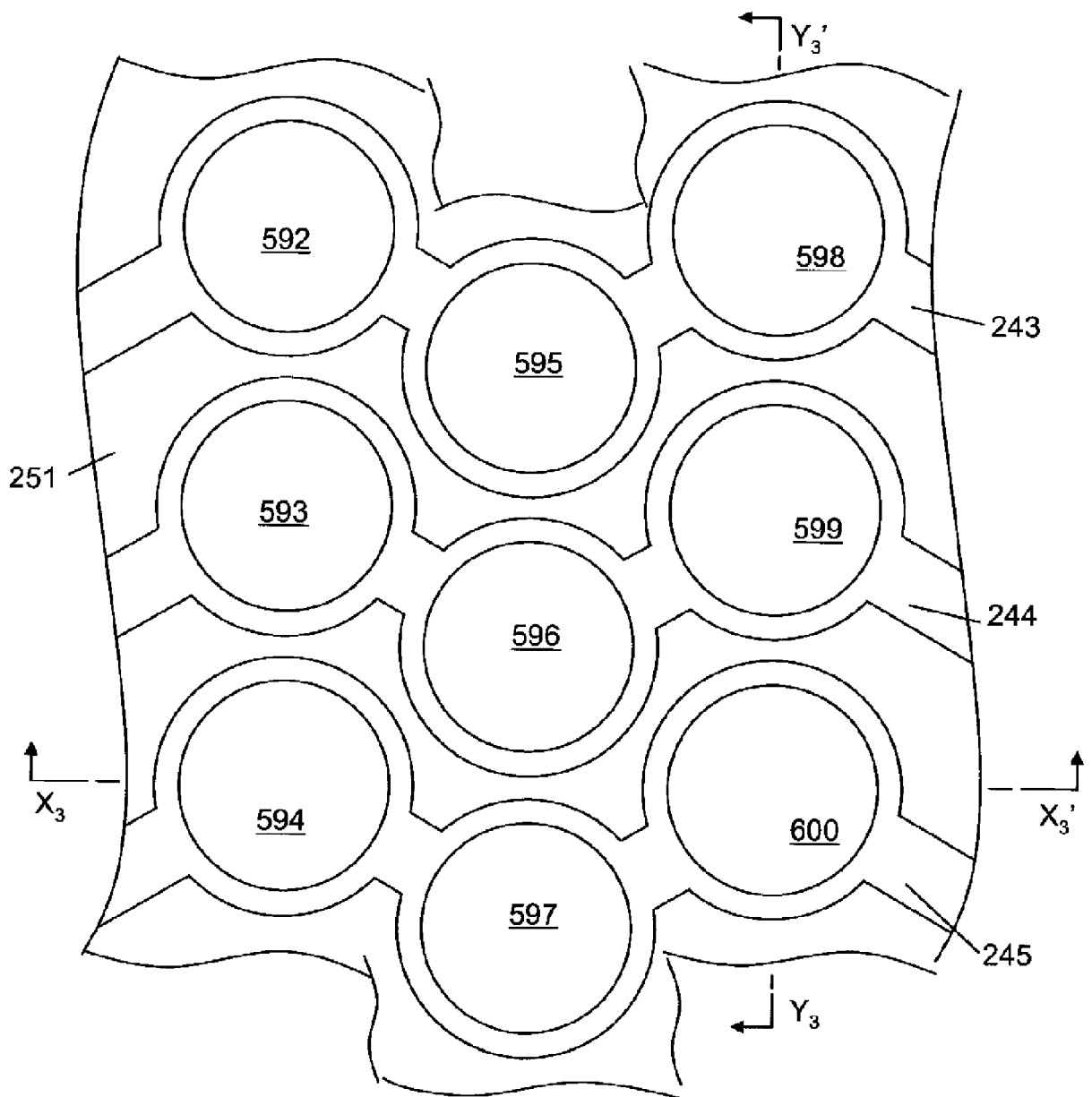
[図46(a)]



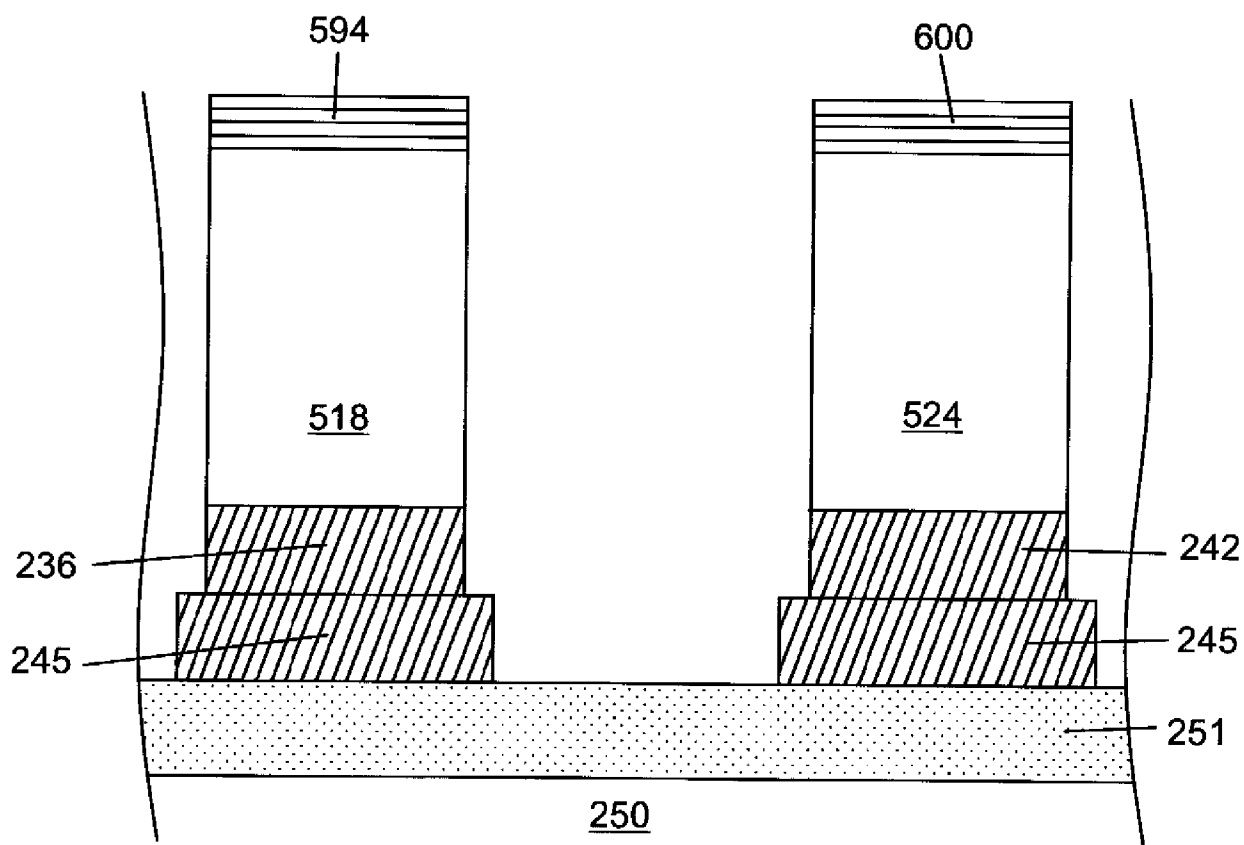
[図46(b)]



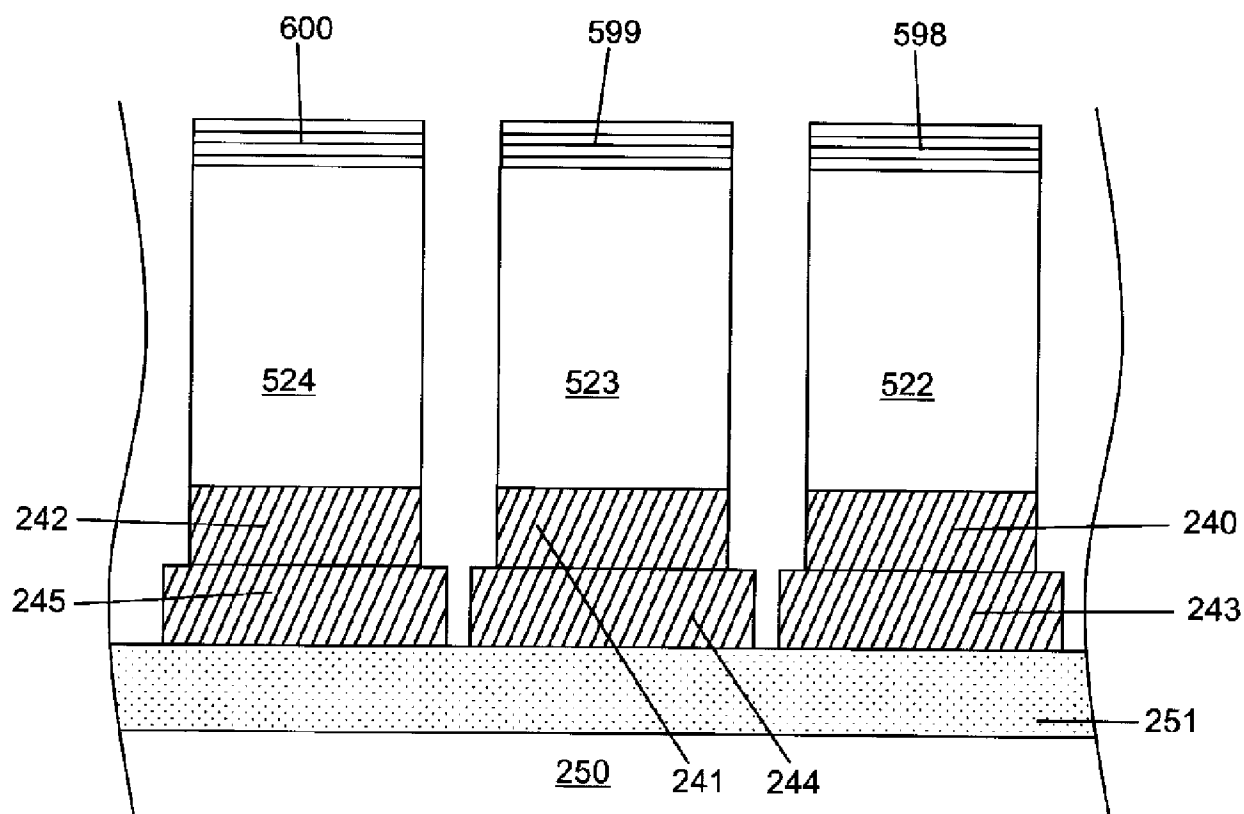
[図47]



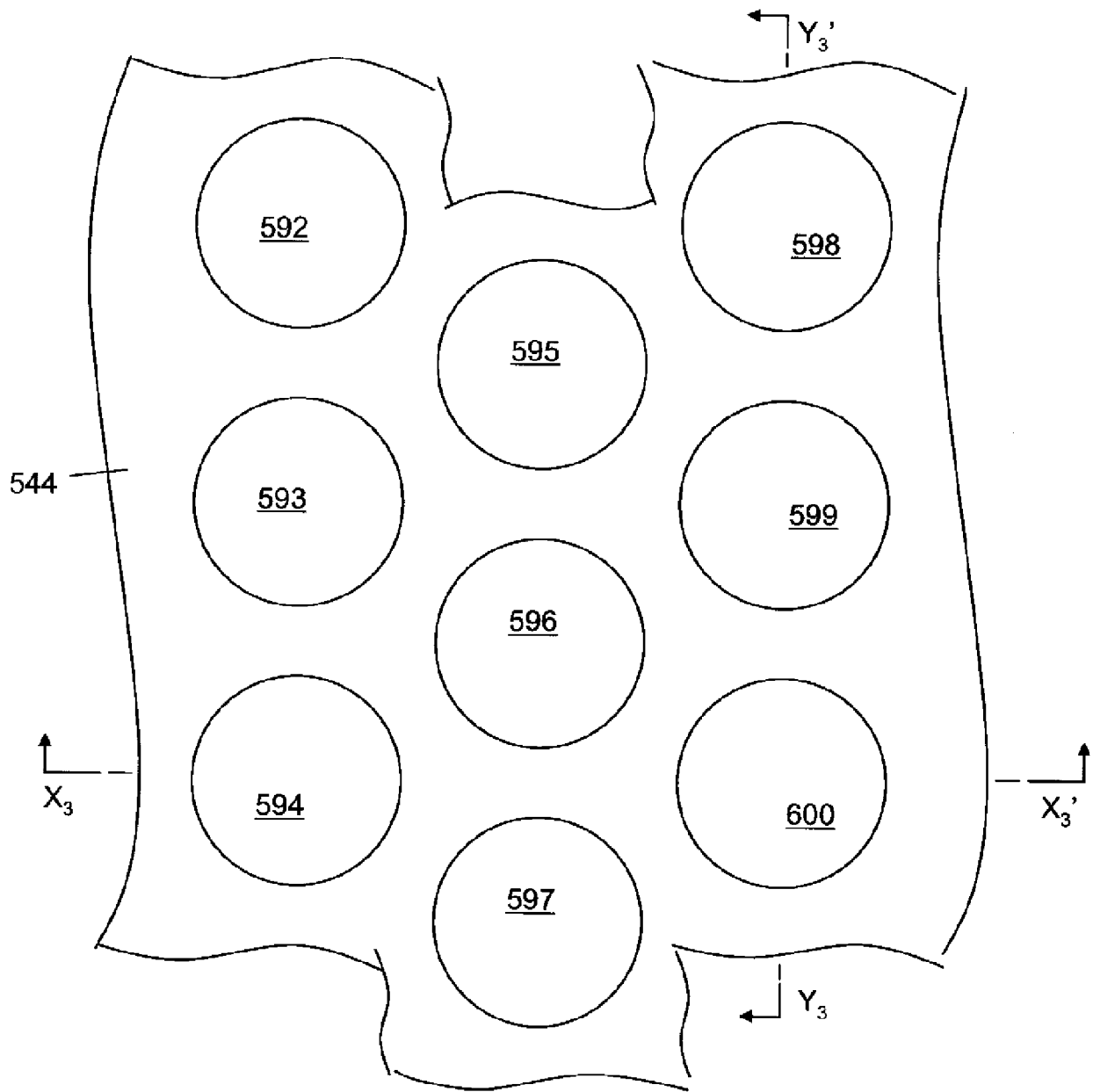
[図48(a)]



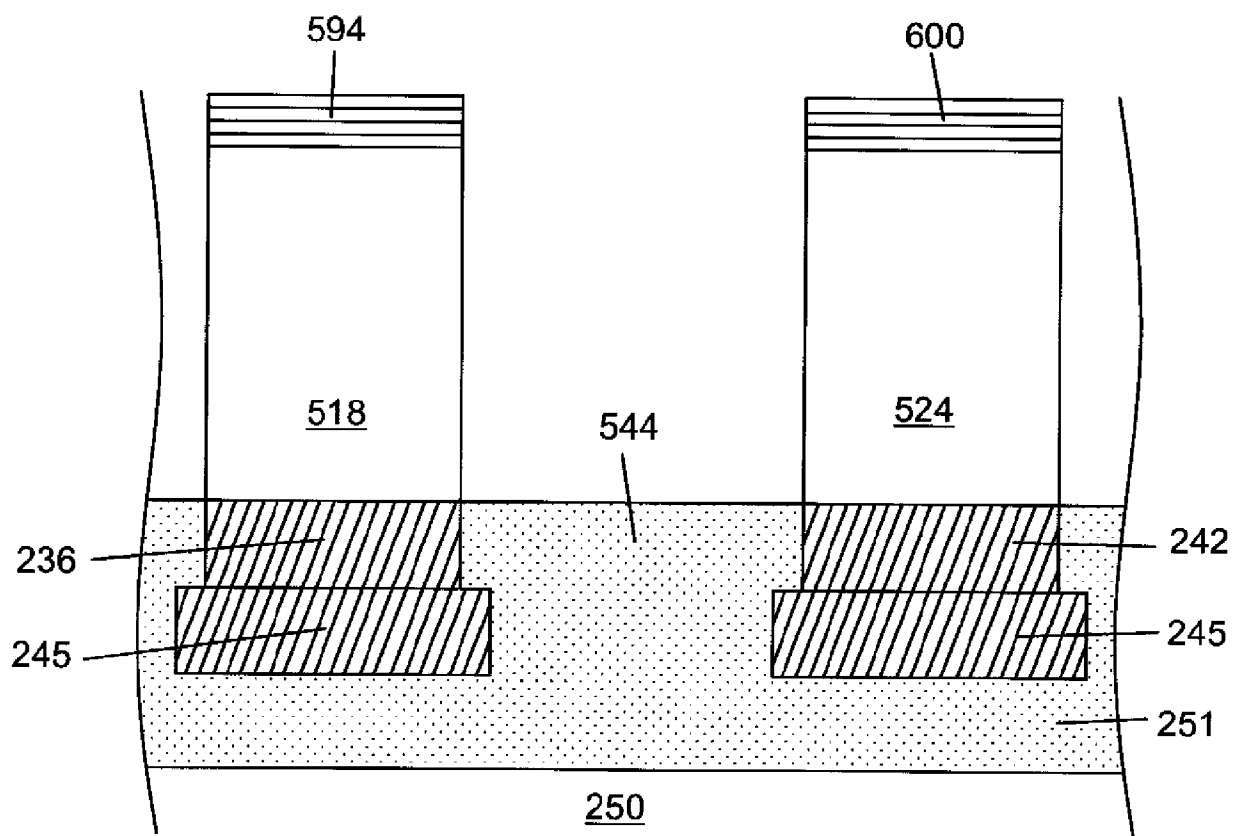
[図48(b)]



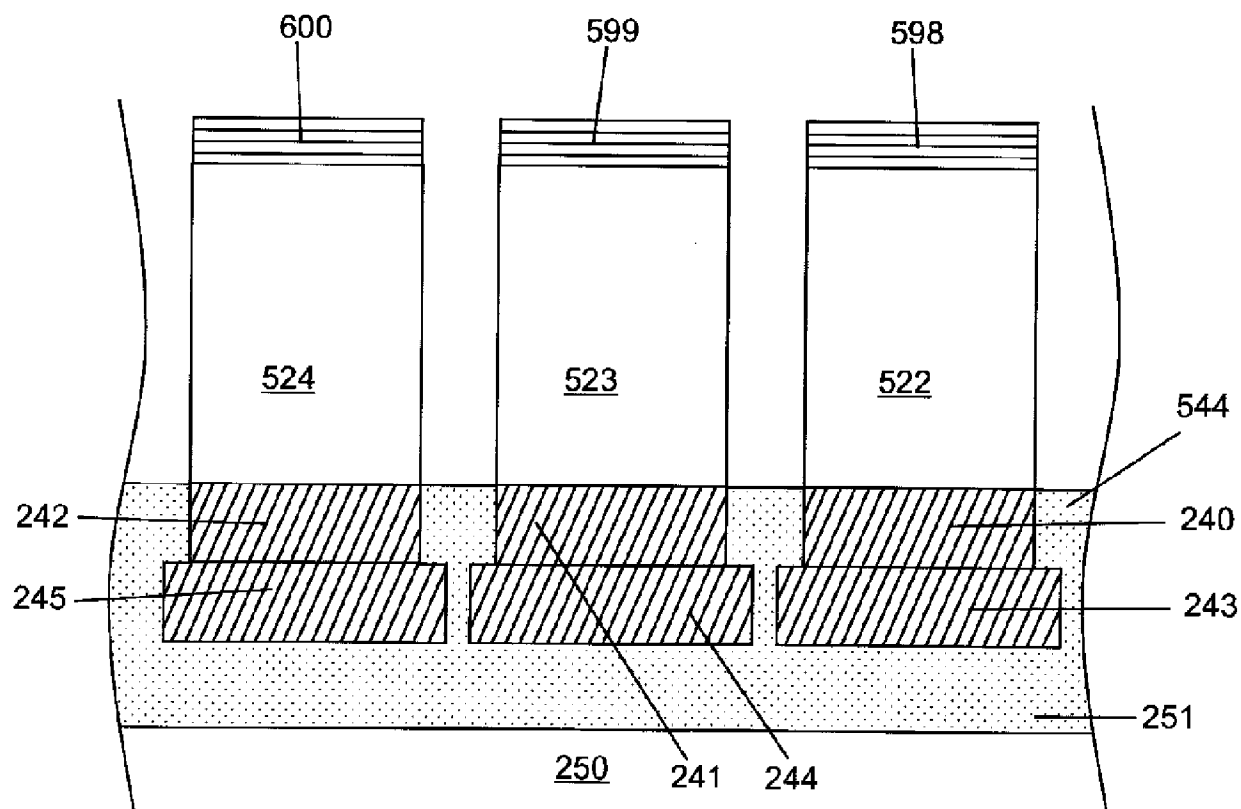
[図49]



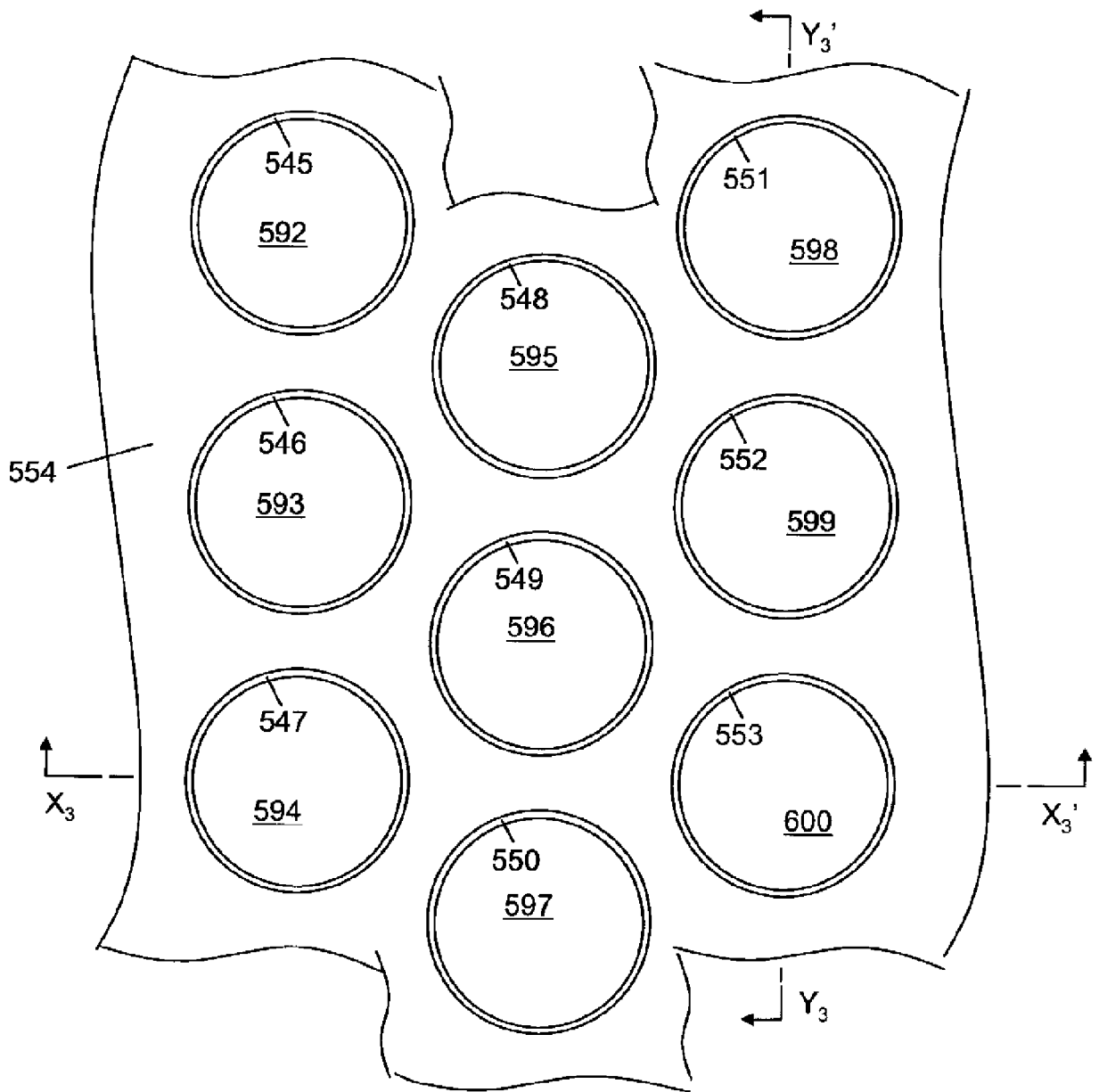
[図50(a)]



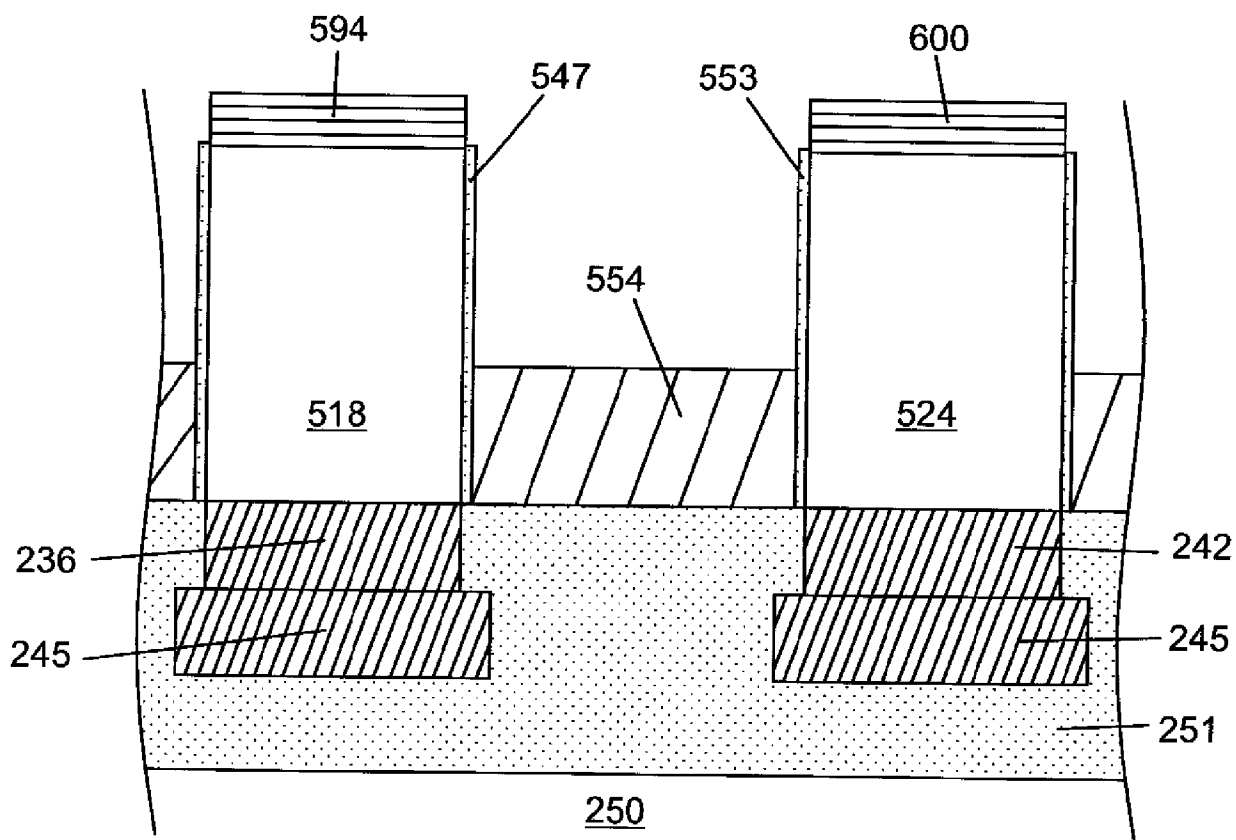
[図50(b)]



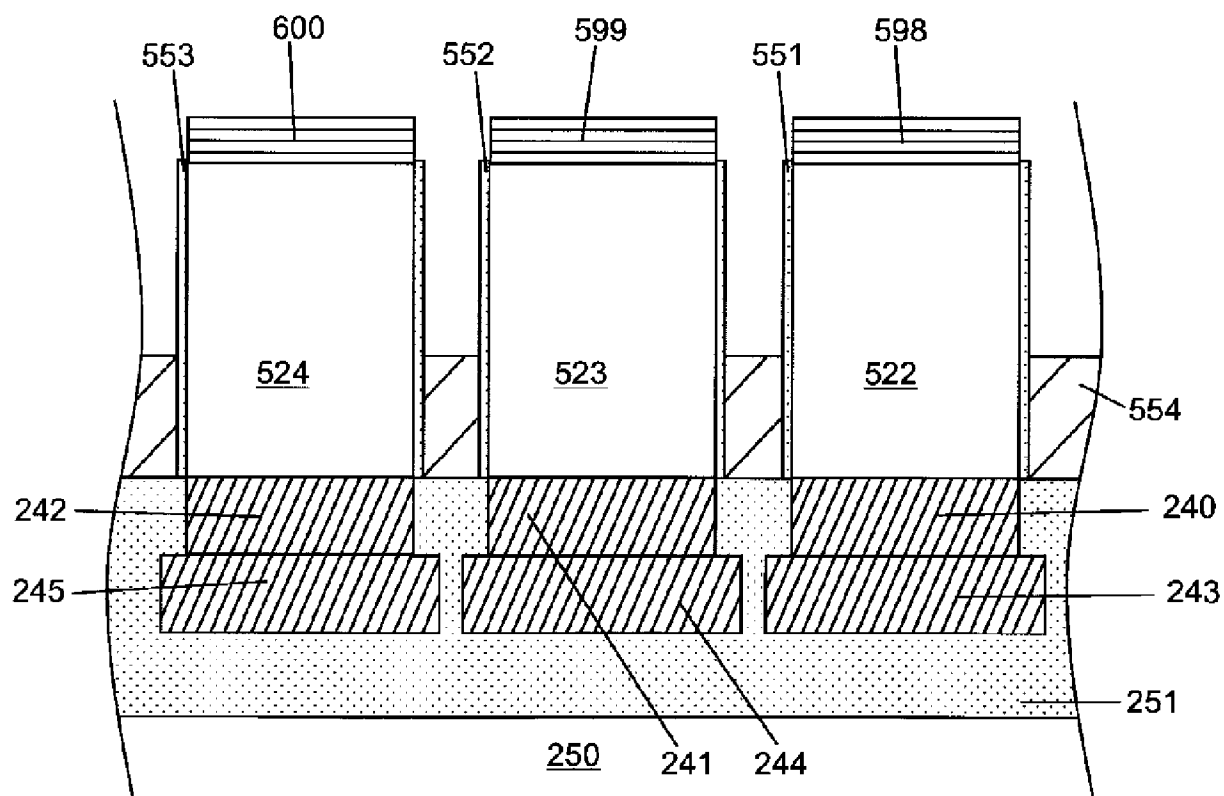
[図51]



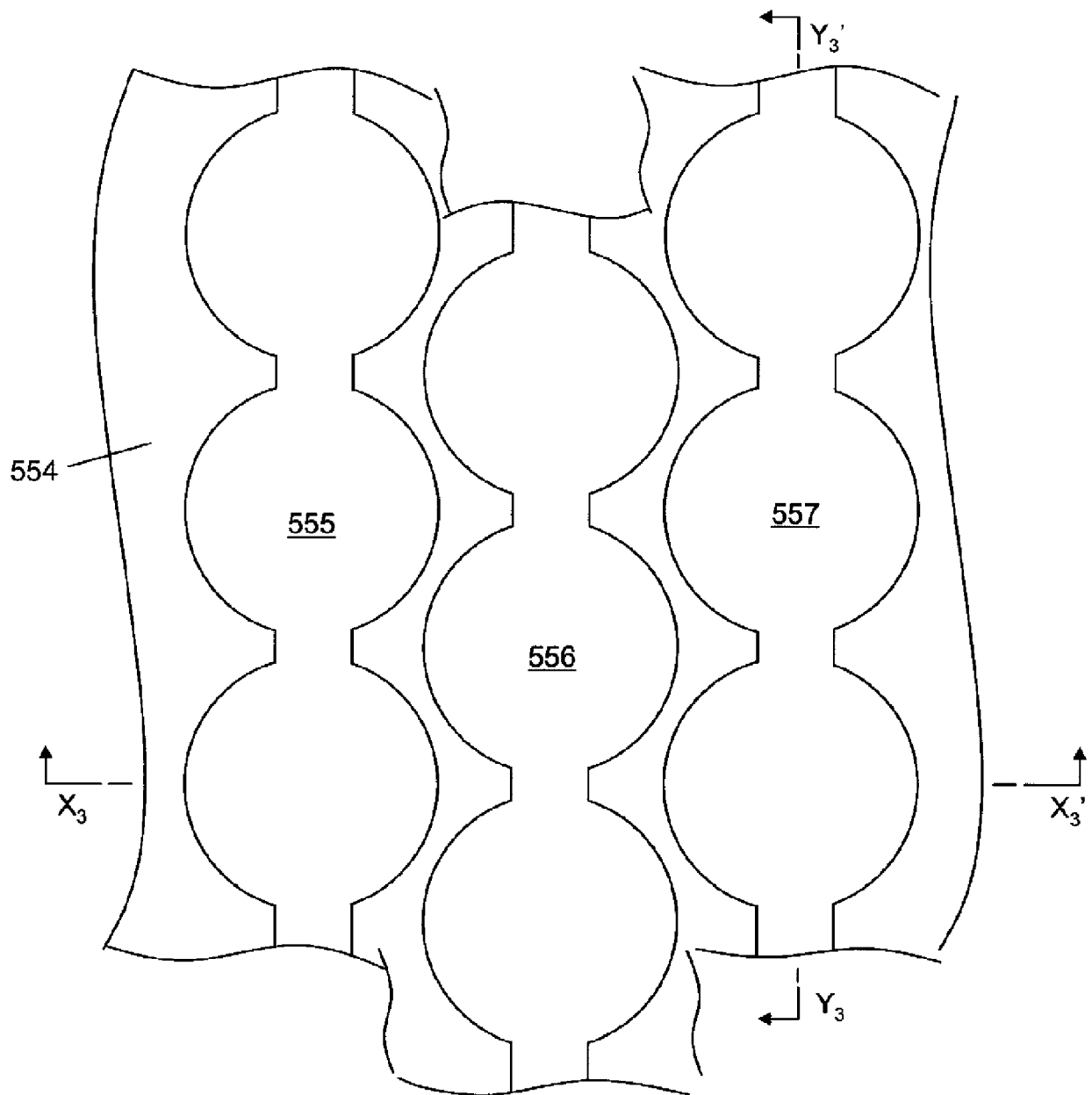
[図52(a)]



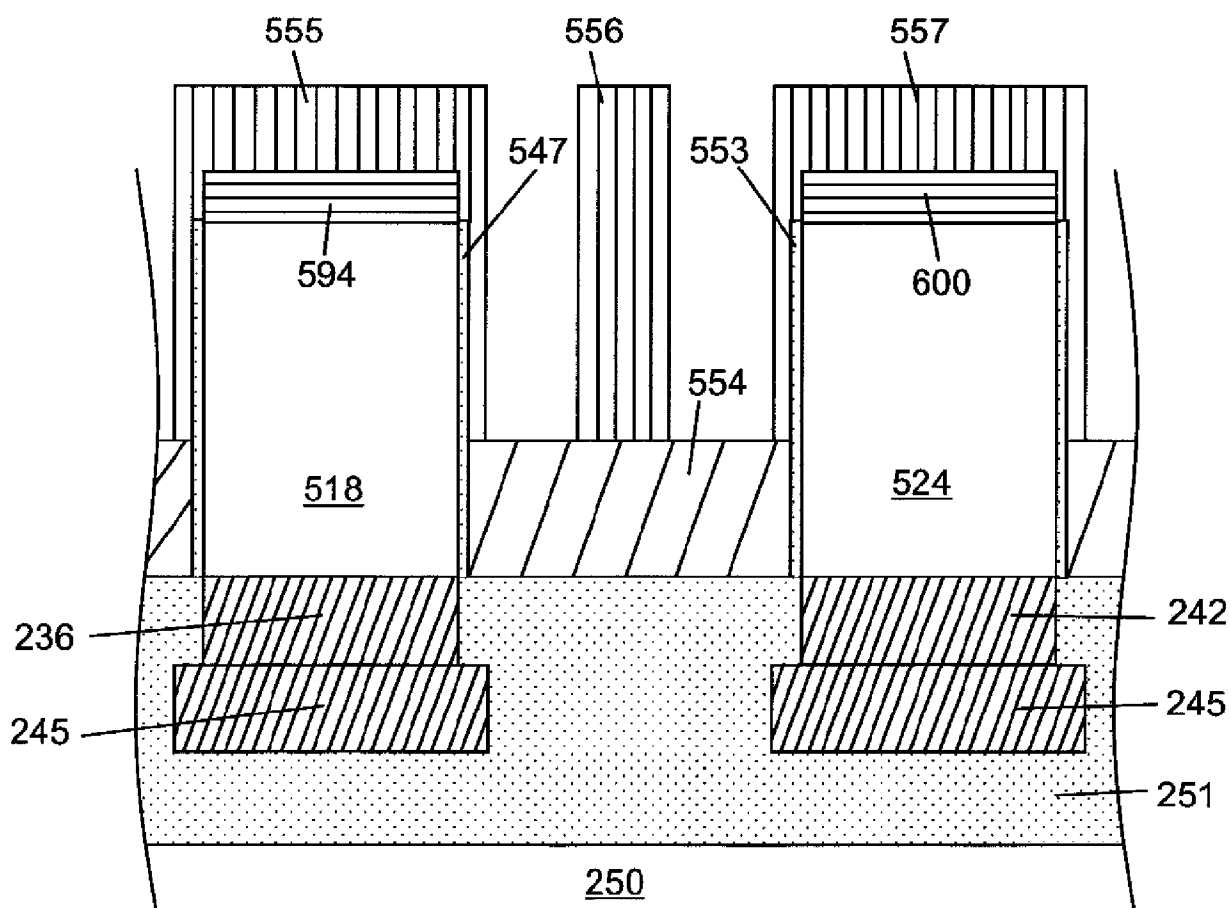
[図52(b)]



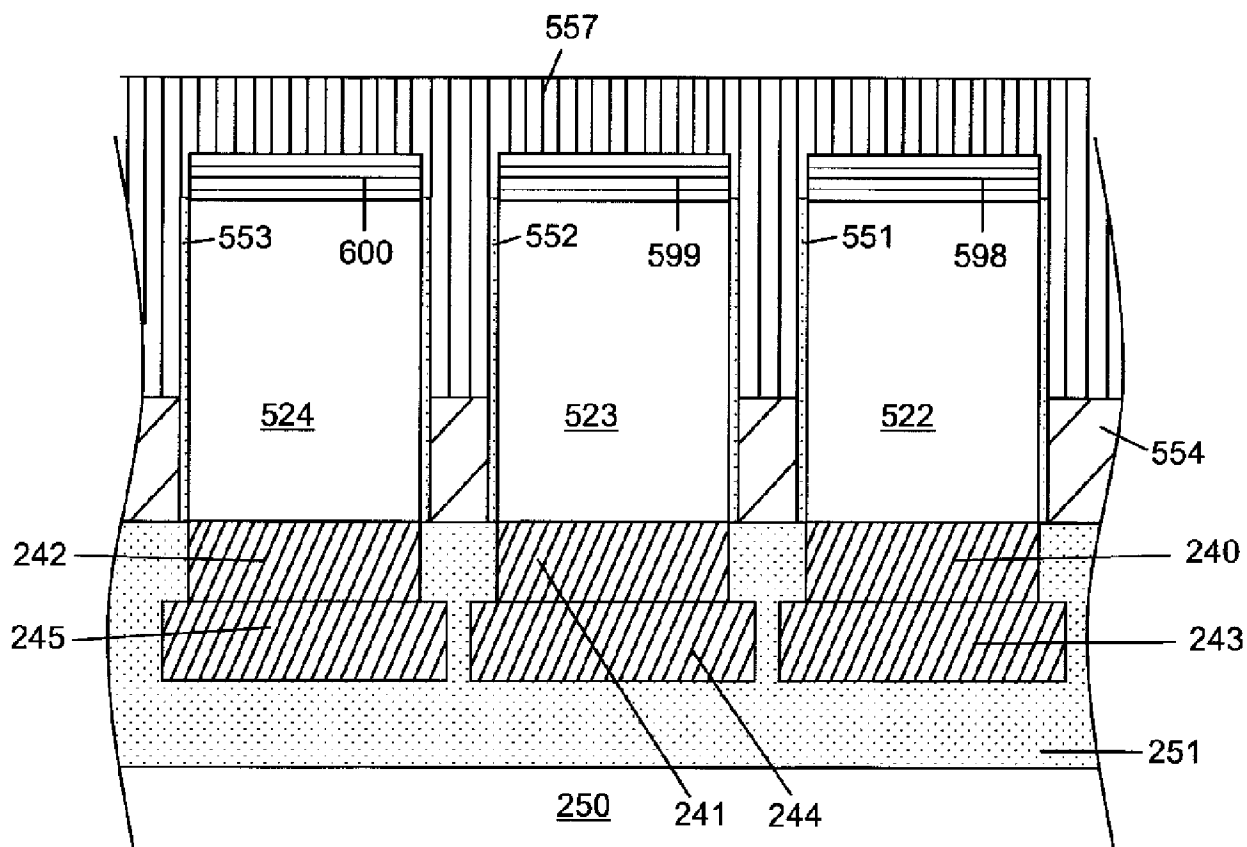
[図53]



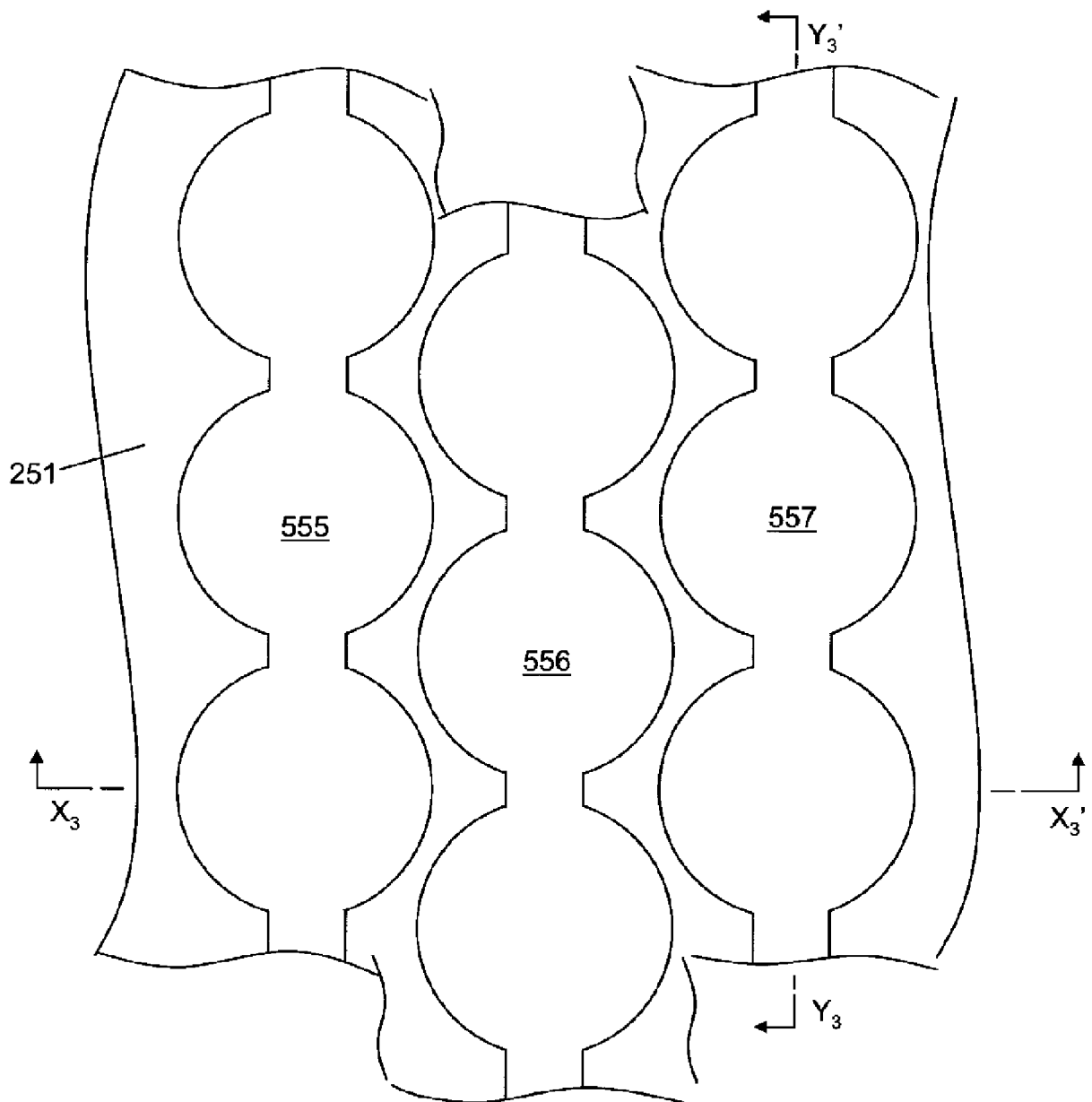
[図]54(a)



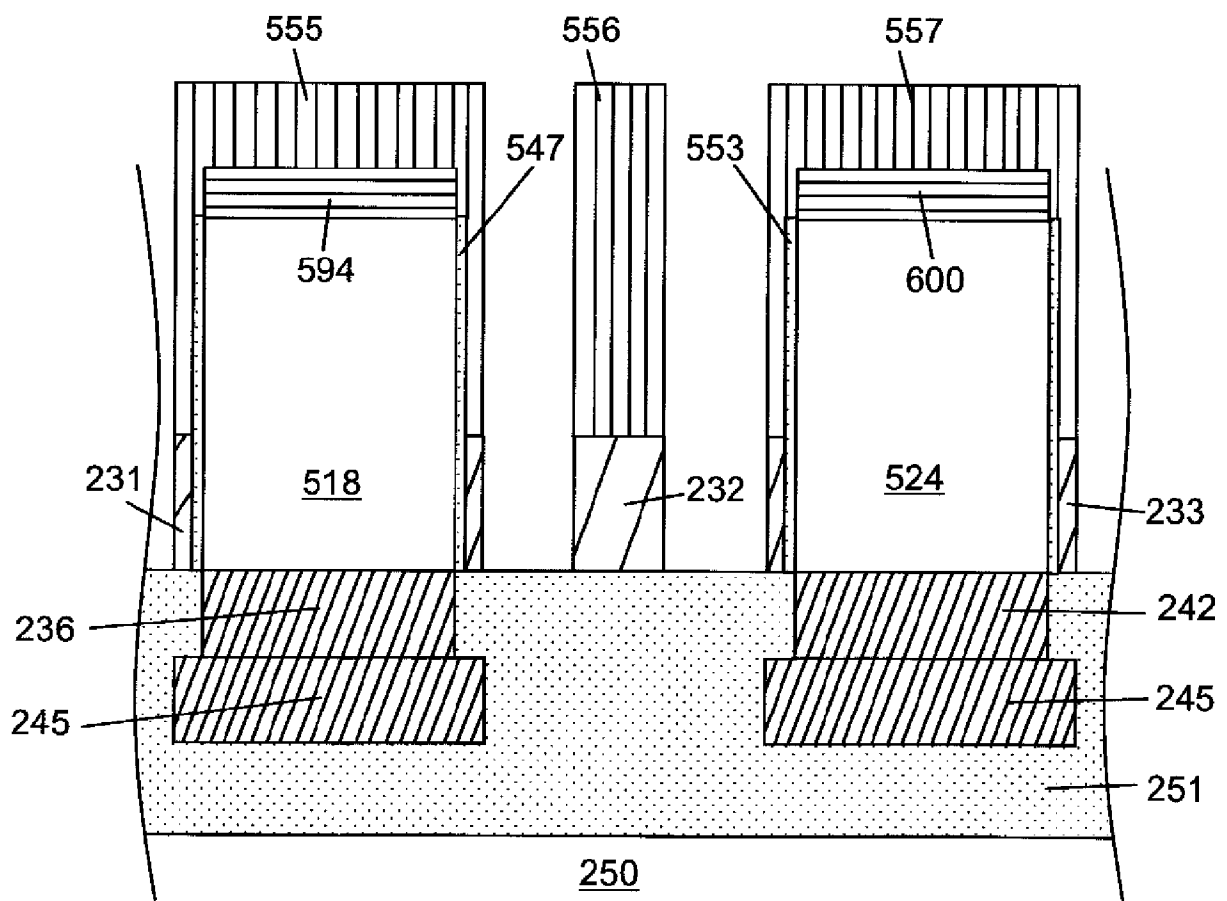
[図]54(b)



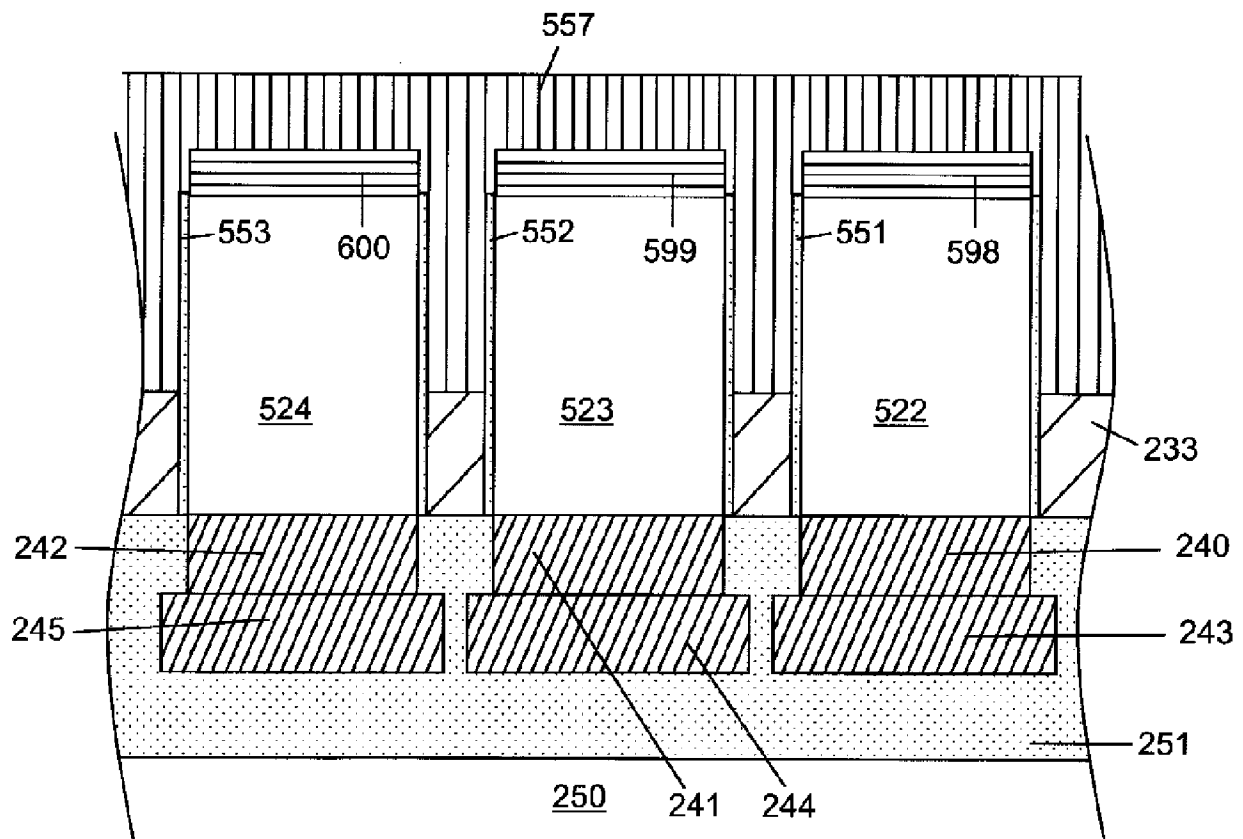
[図55]



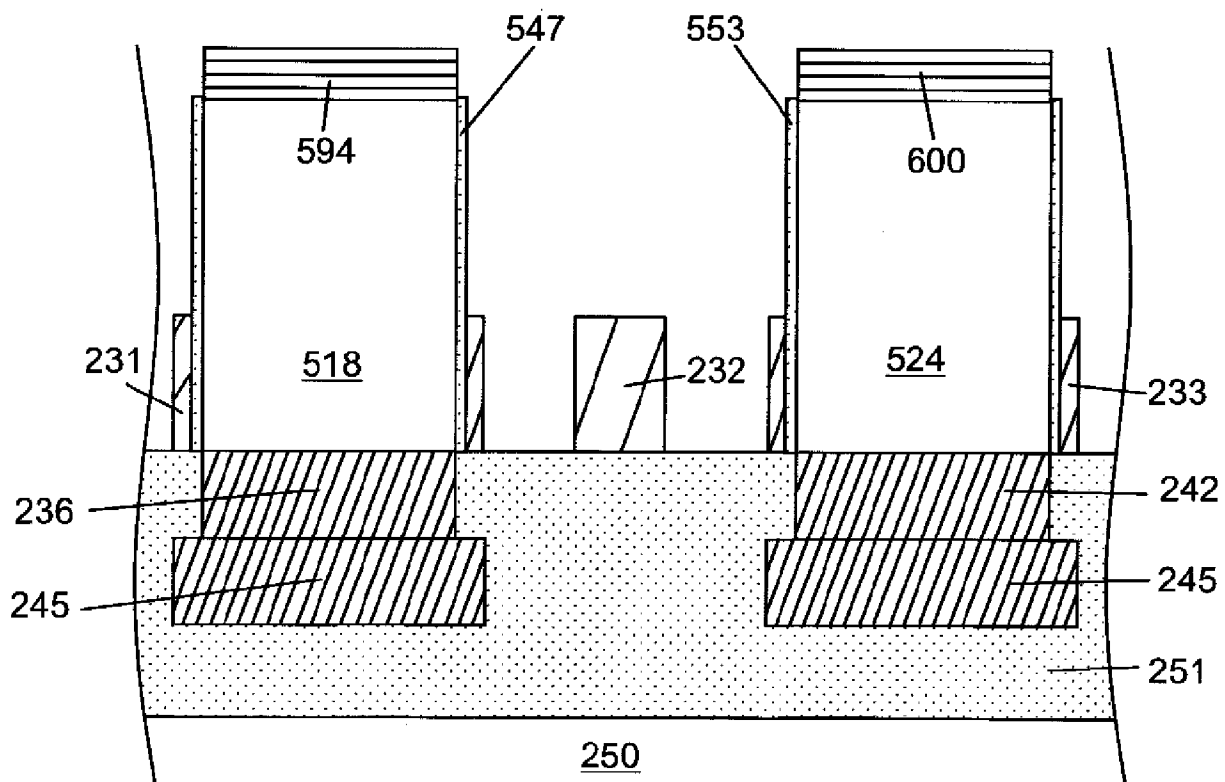
[図56(a)]



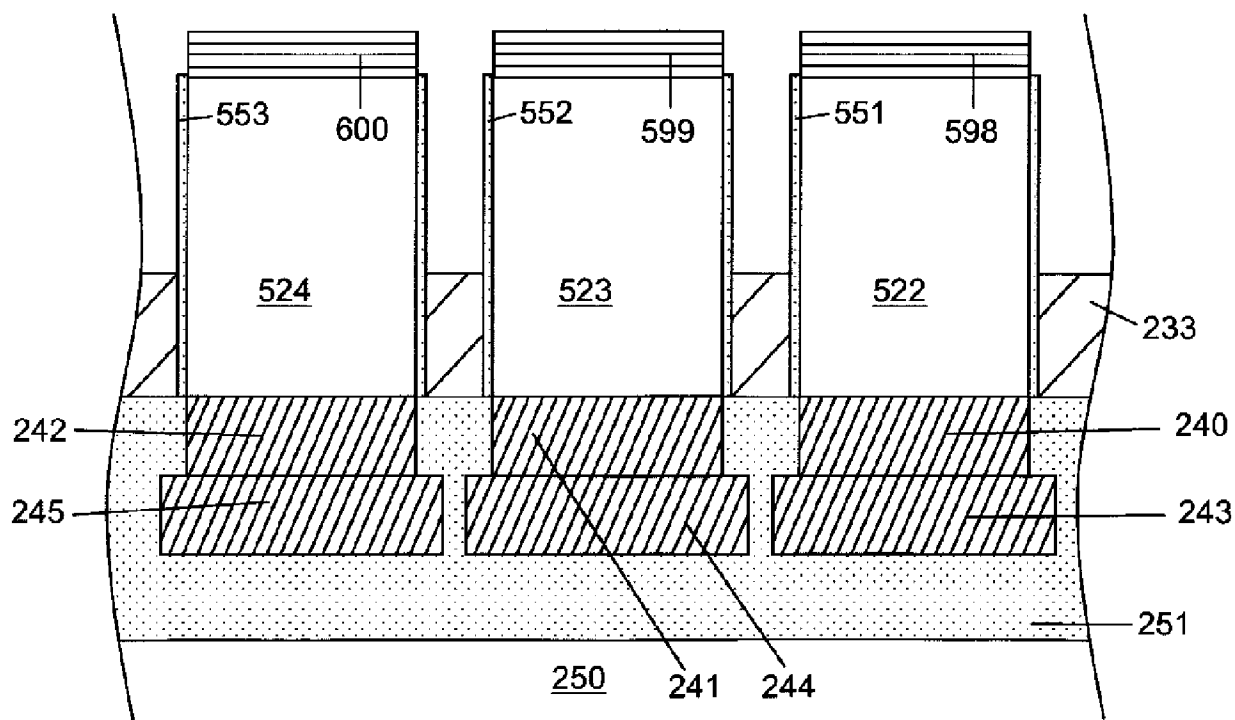
[図56(b)]



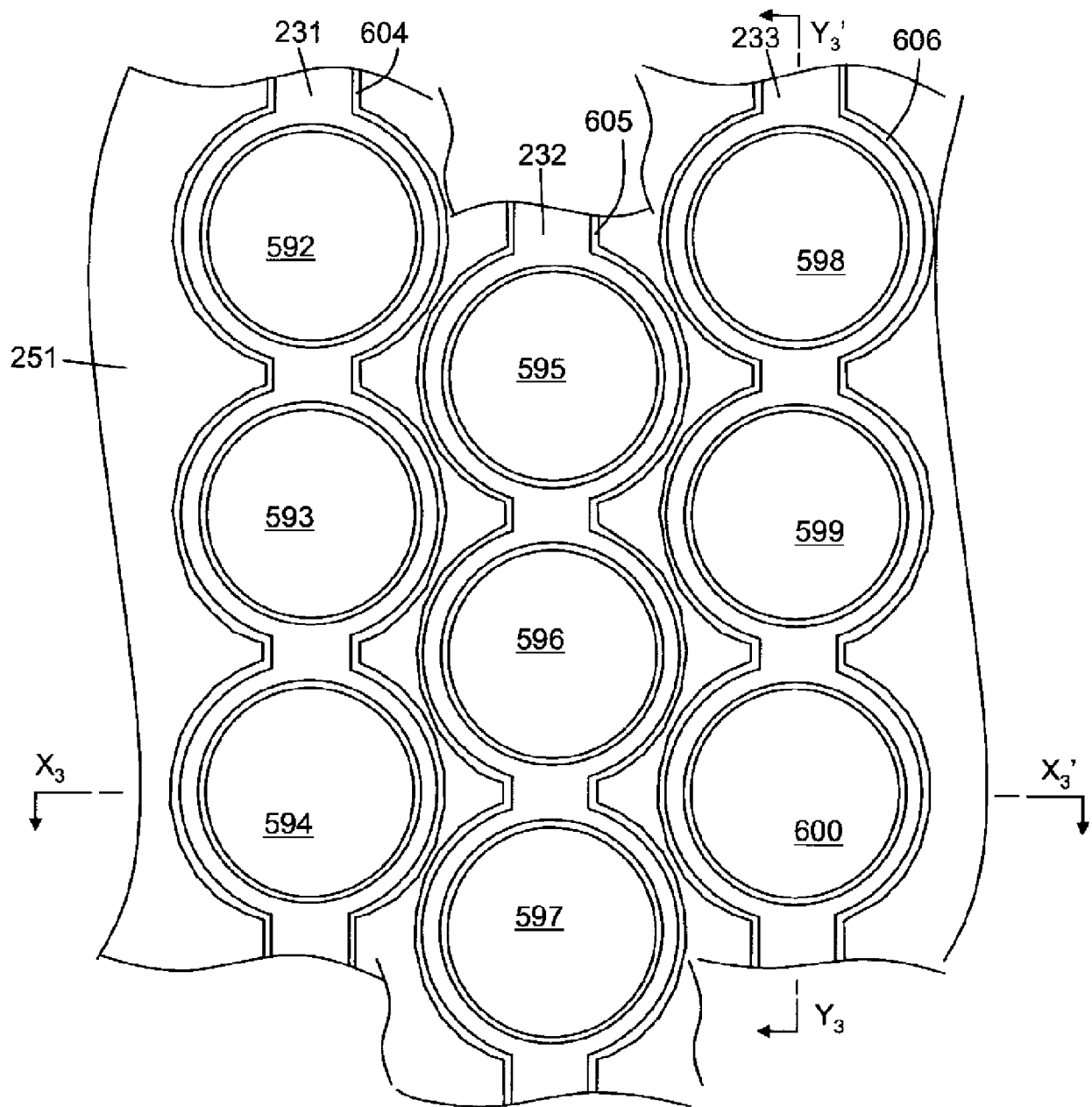
[図58(a)]



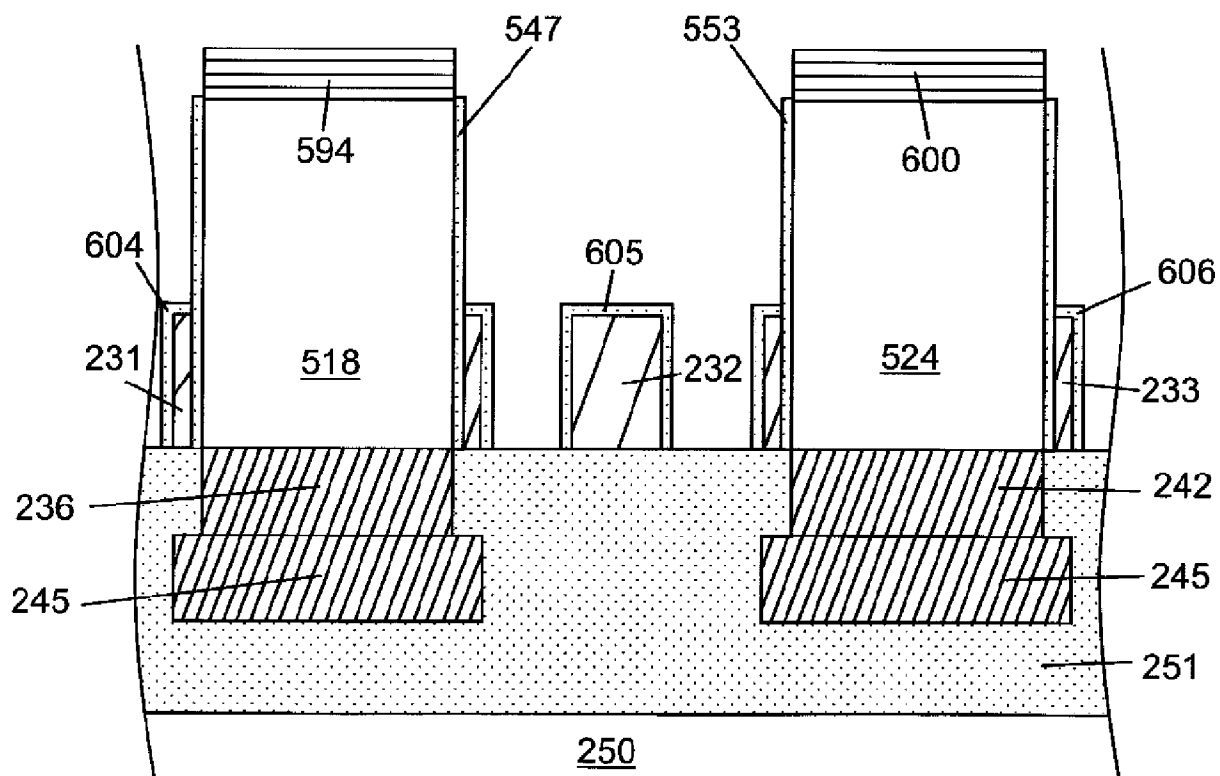
[図58(b)]



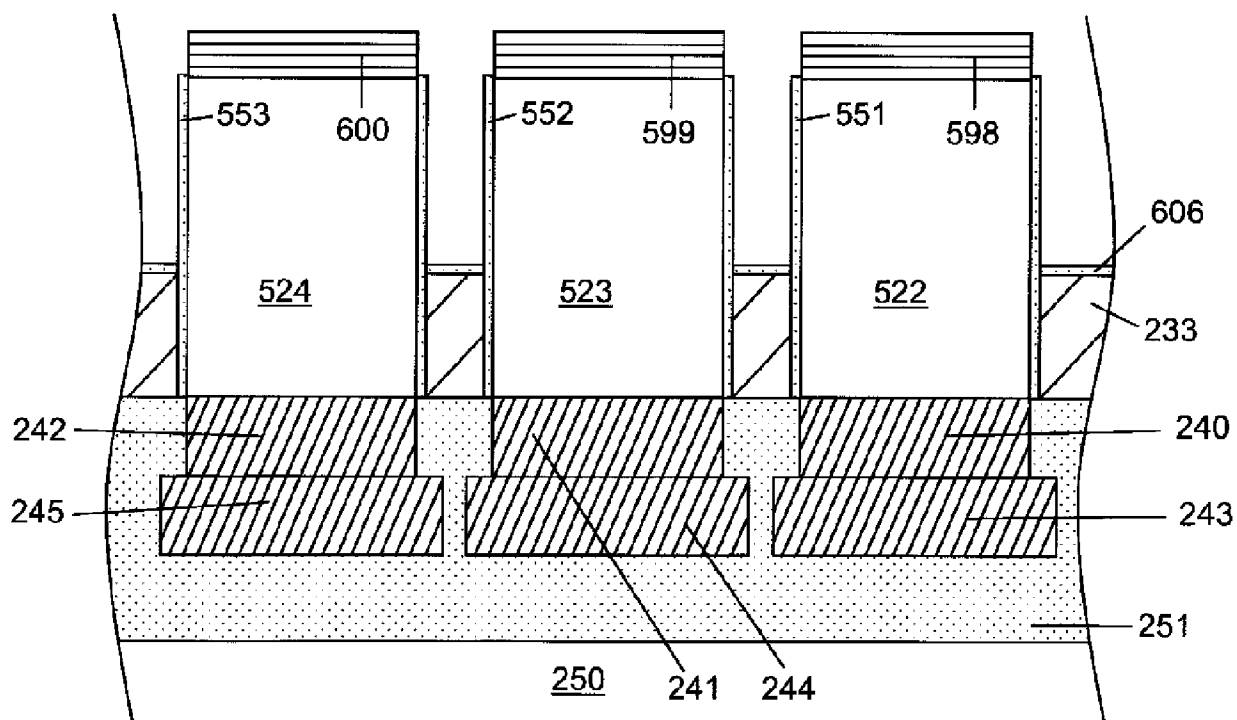
[図59]



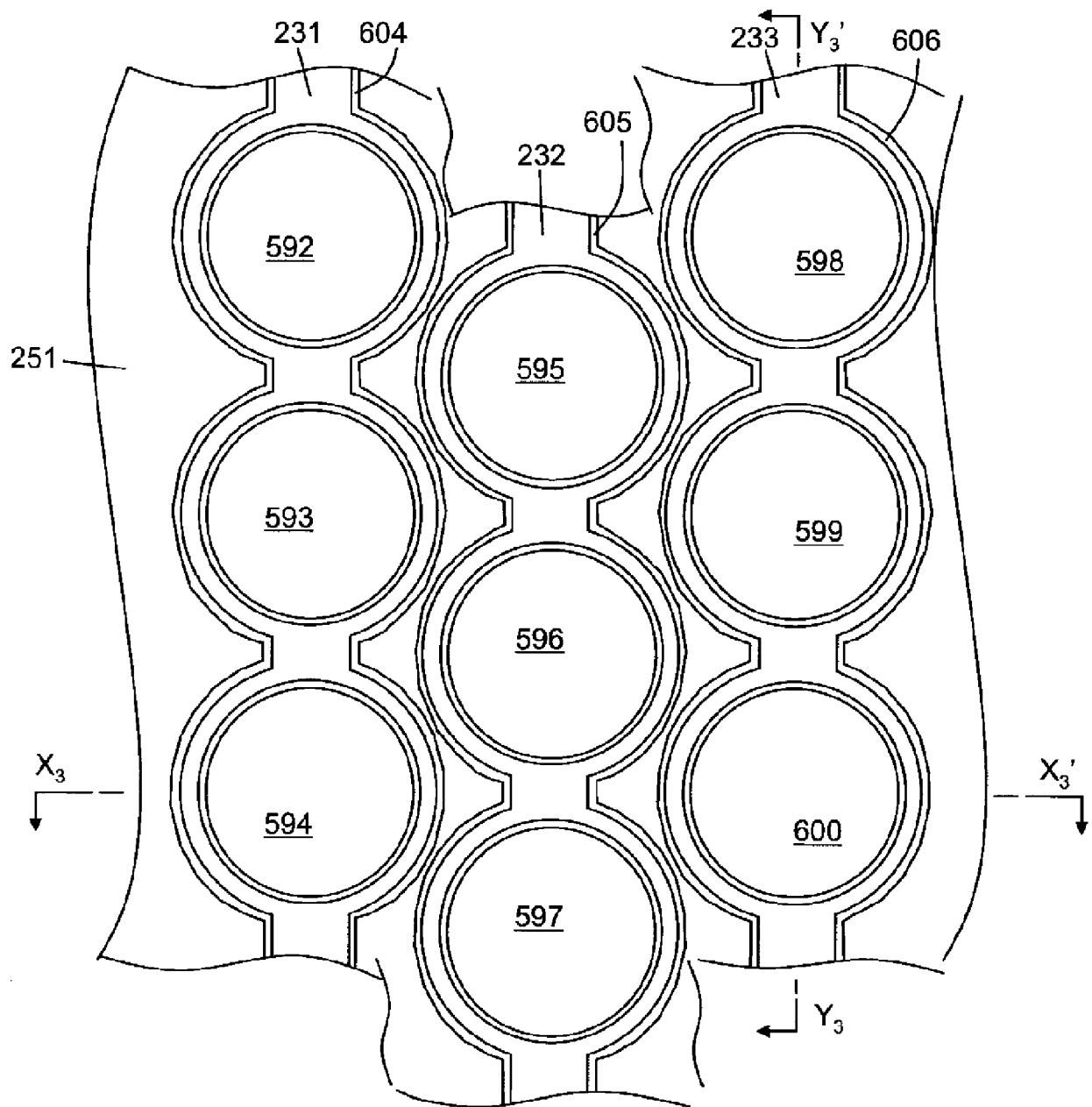
[図60(a)]



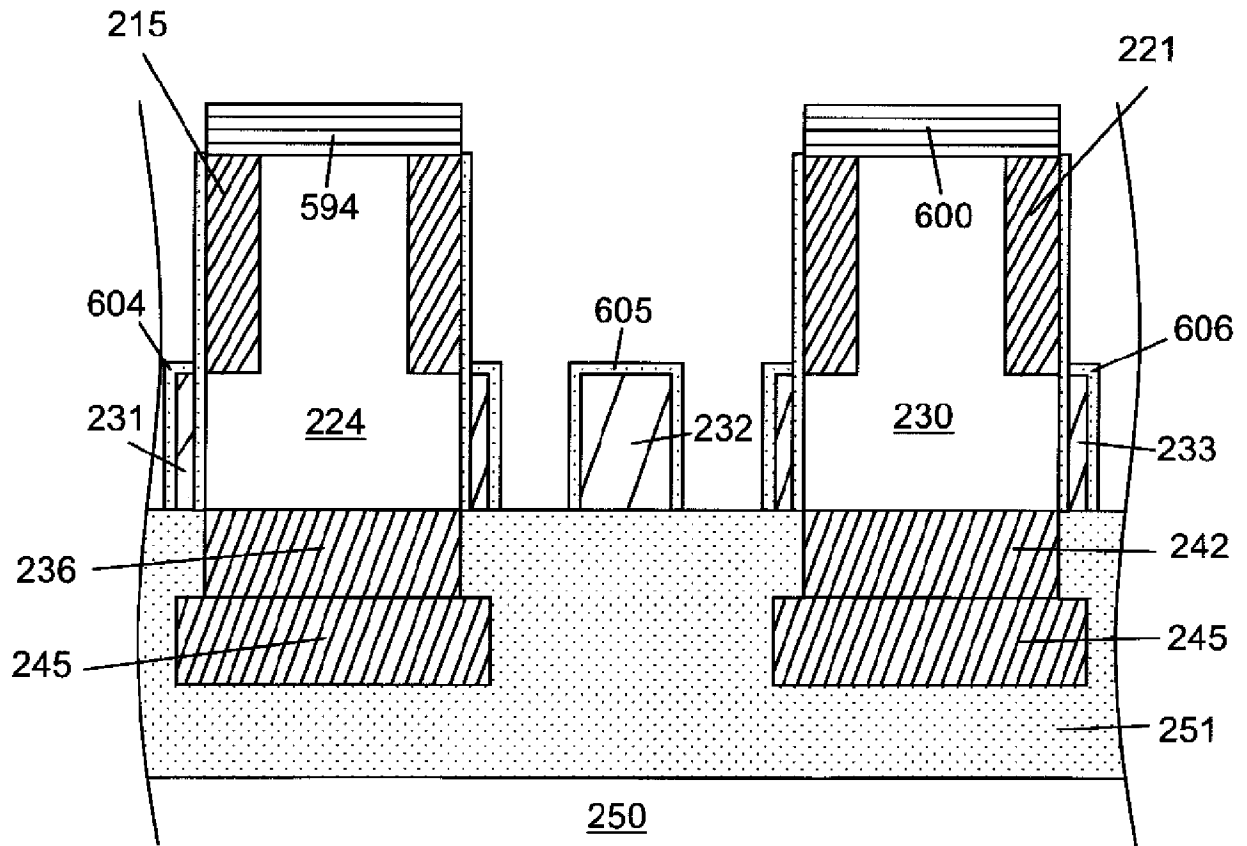
[図60(b)]



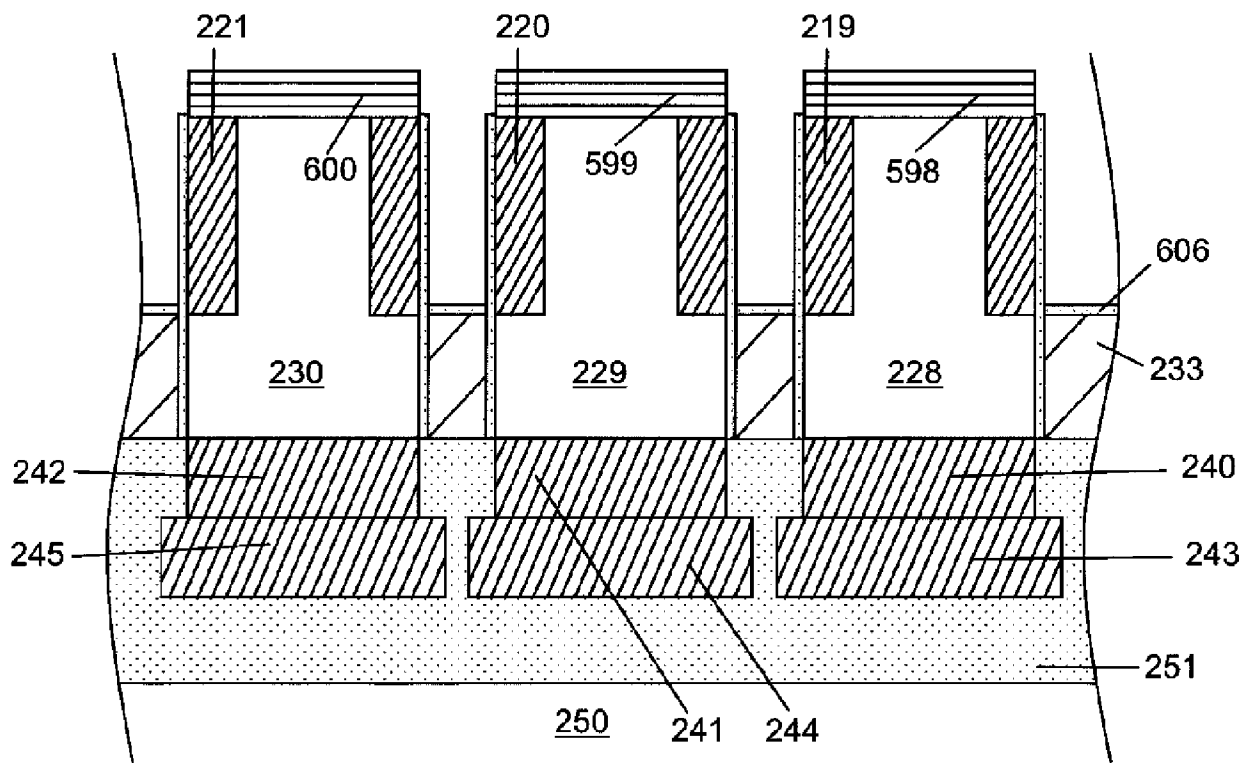
[図61]



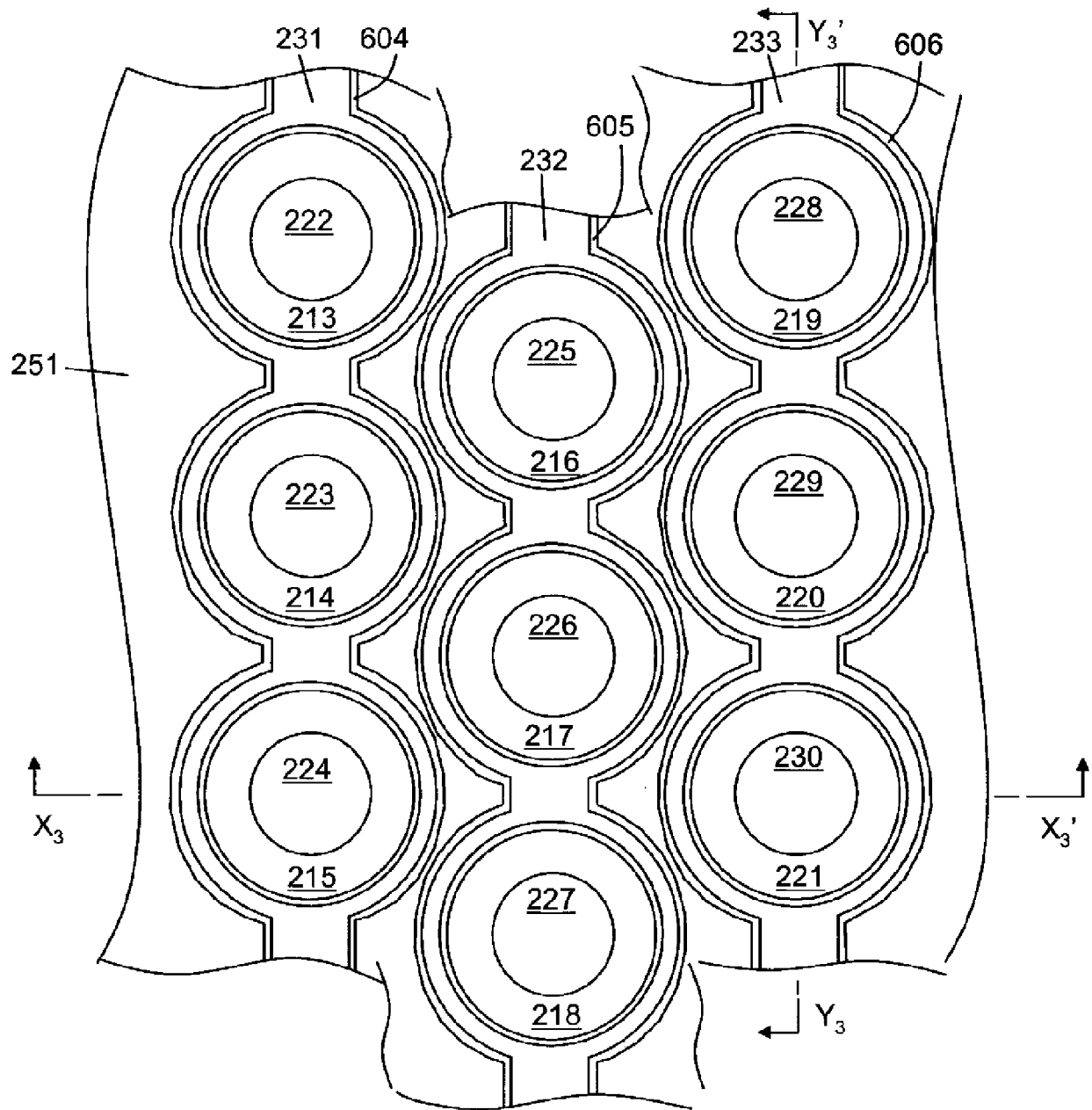
[図62(a)]



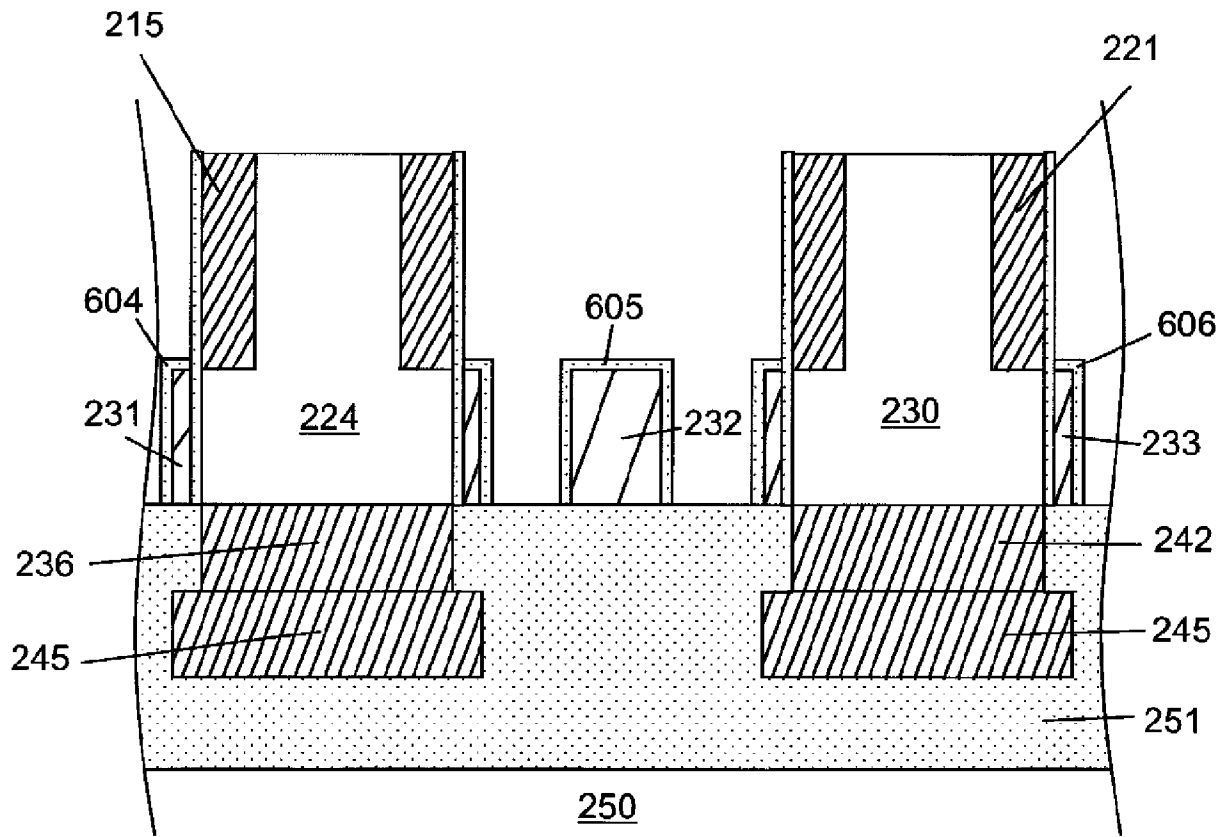
[図62(b)]



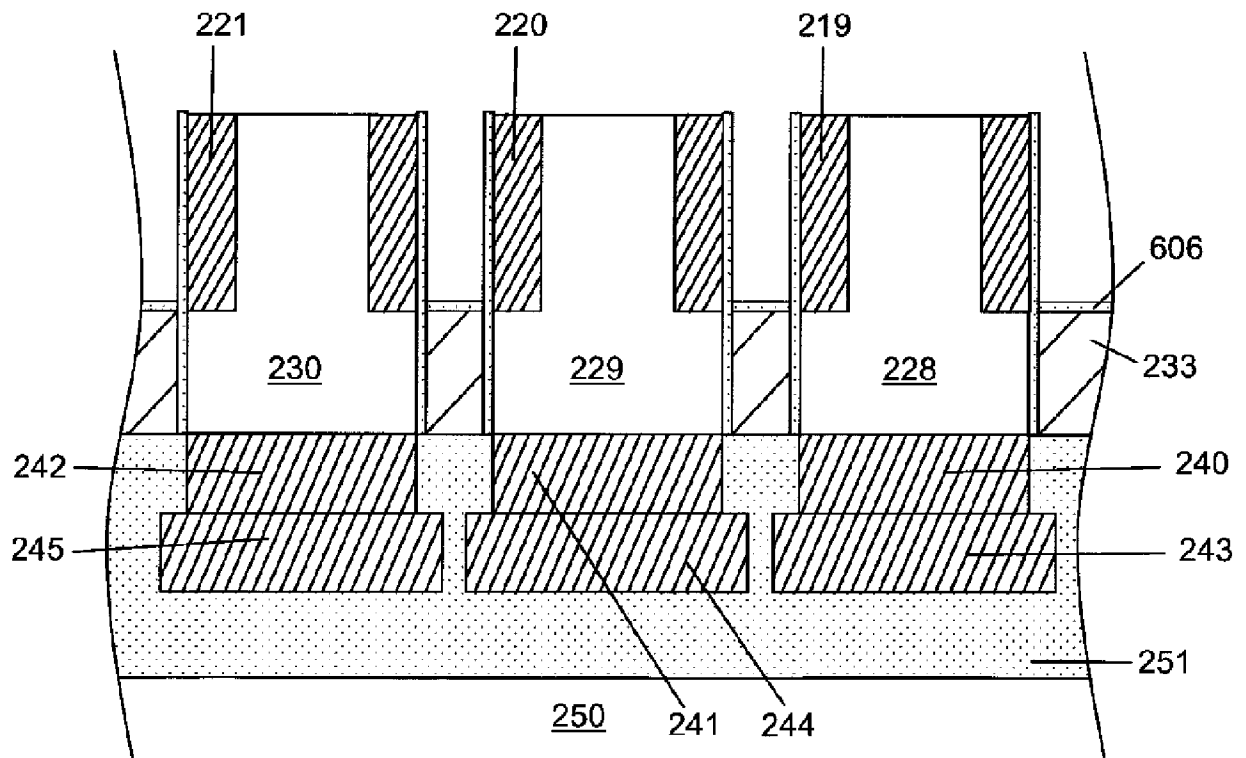
[図63]



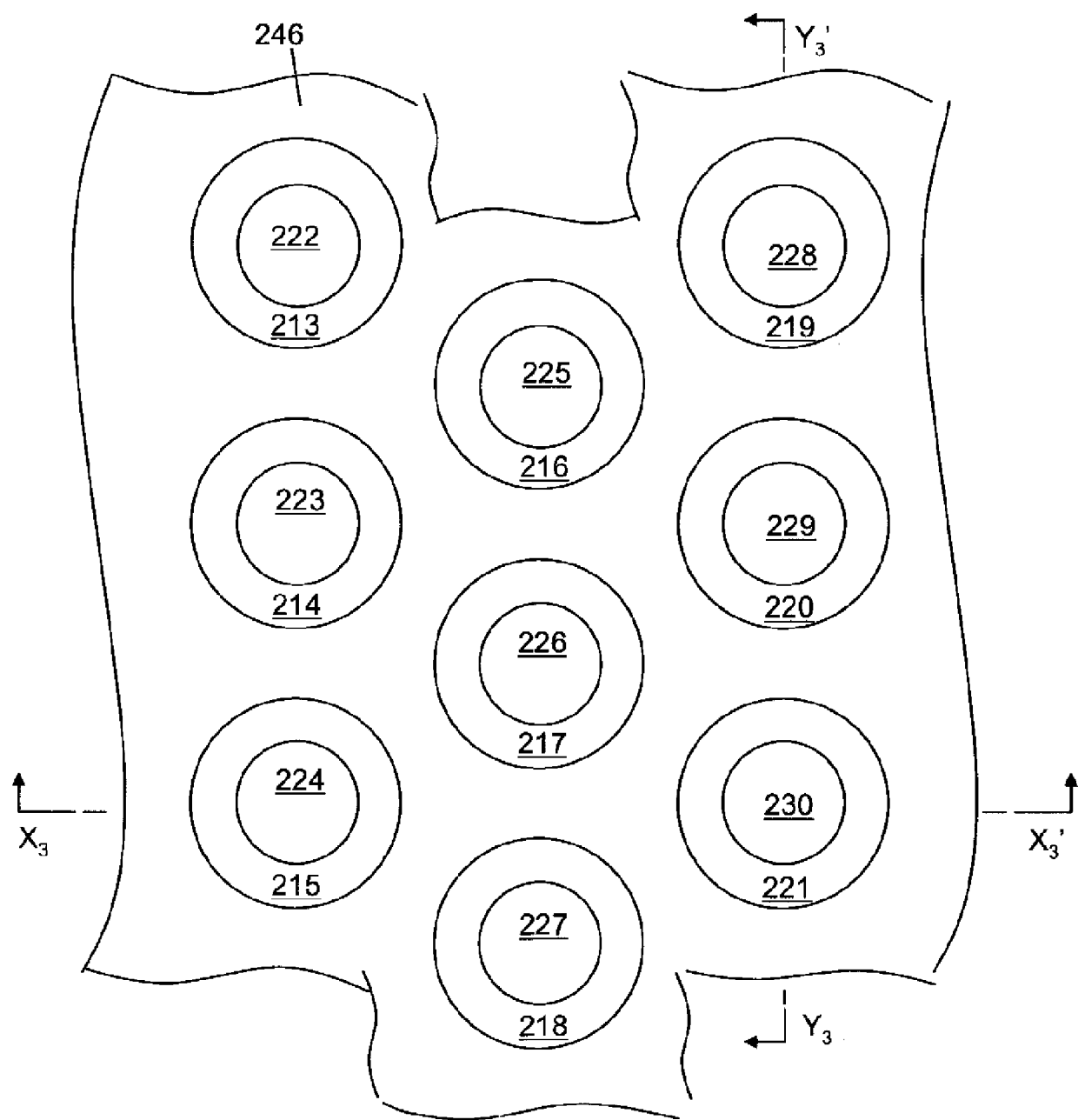
[図64(a)]



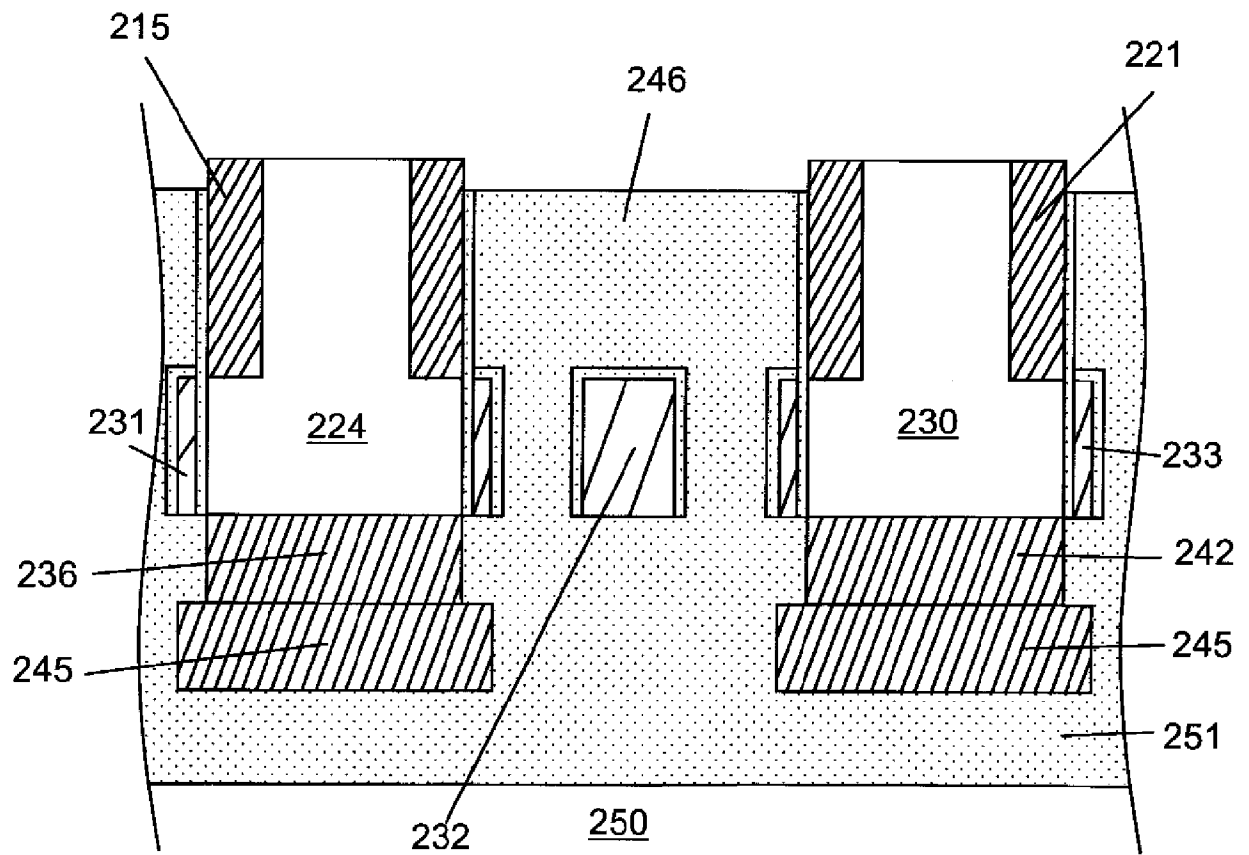
[図64(b)]



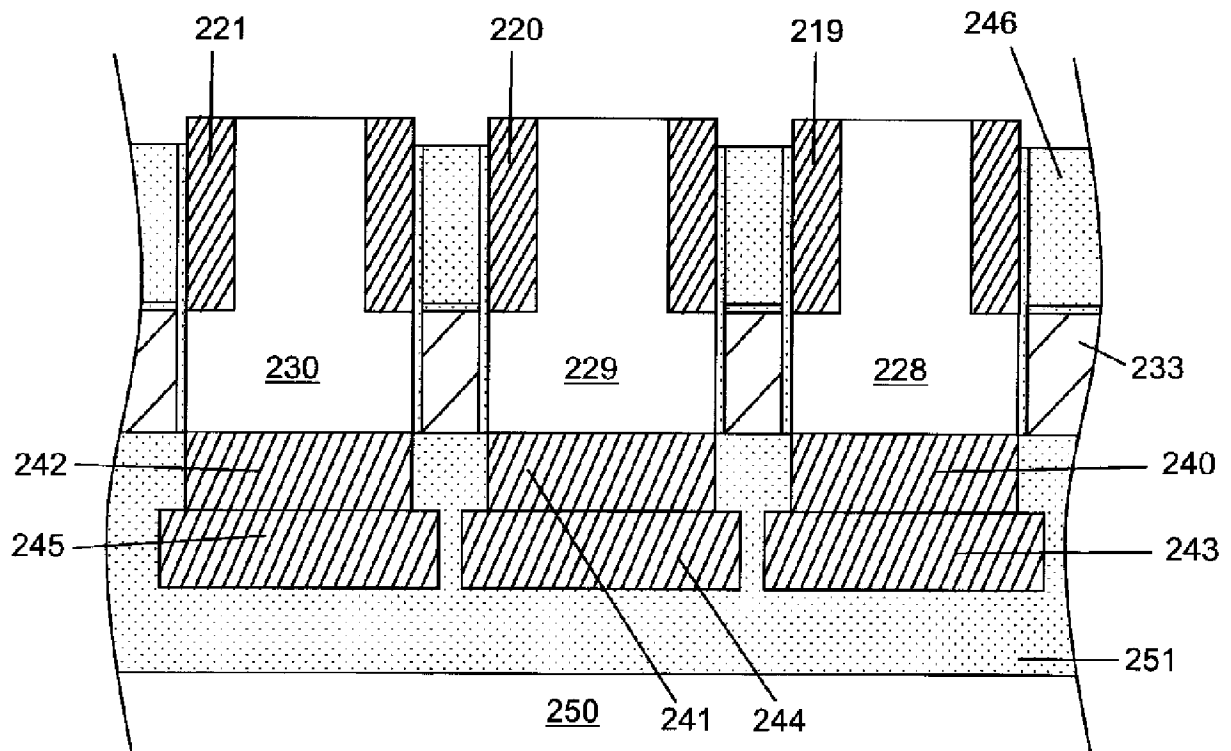
[図65]



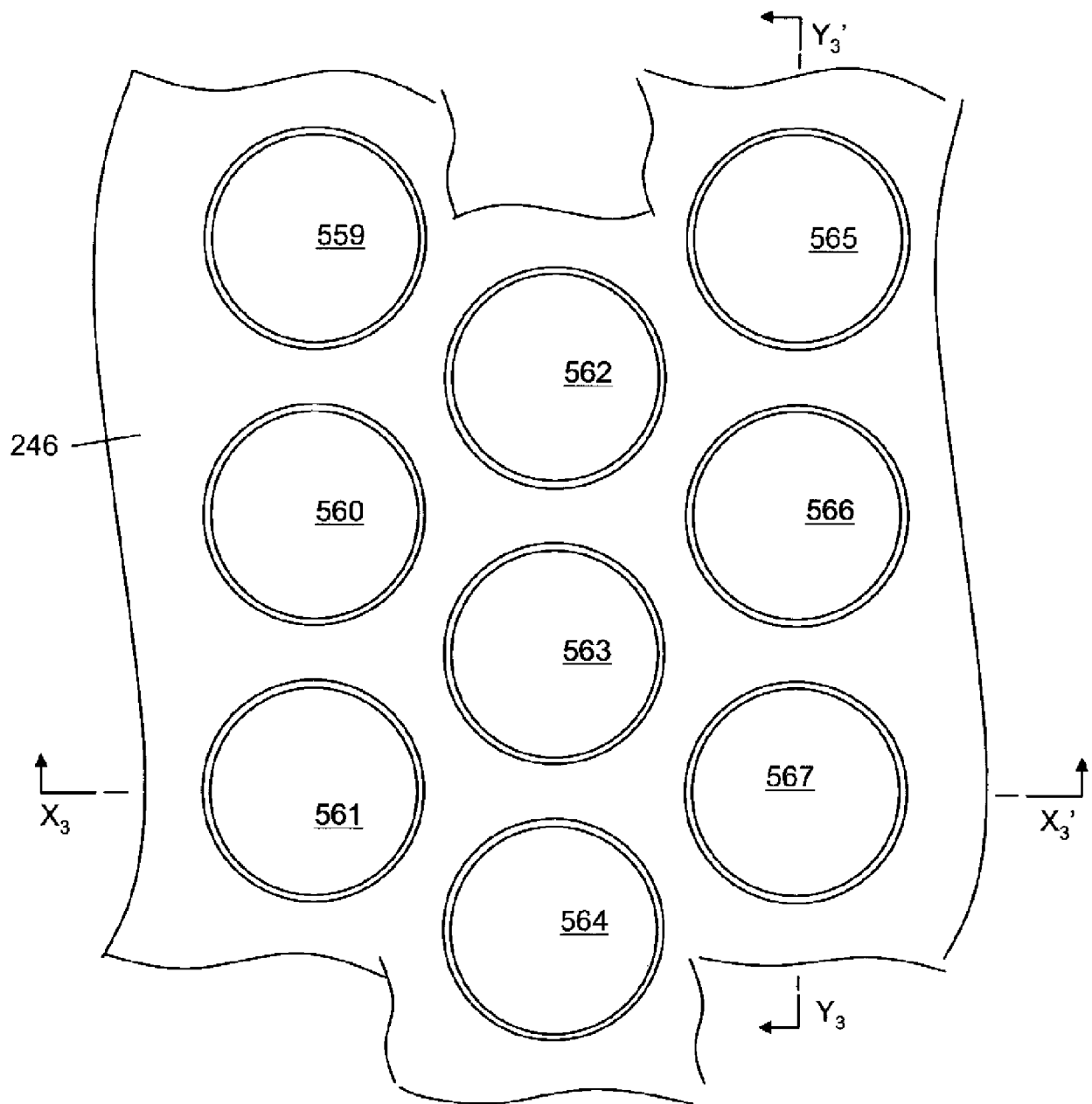
[図66(a)]



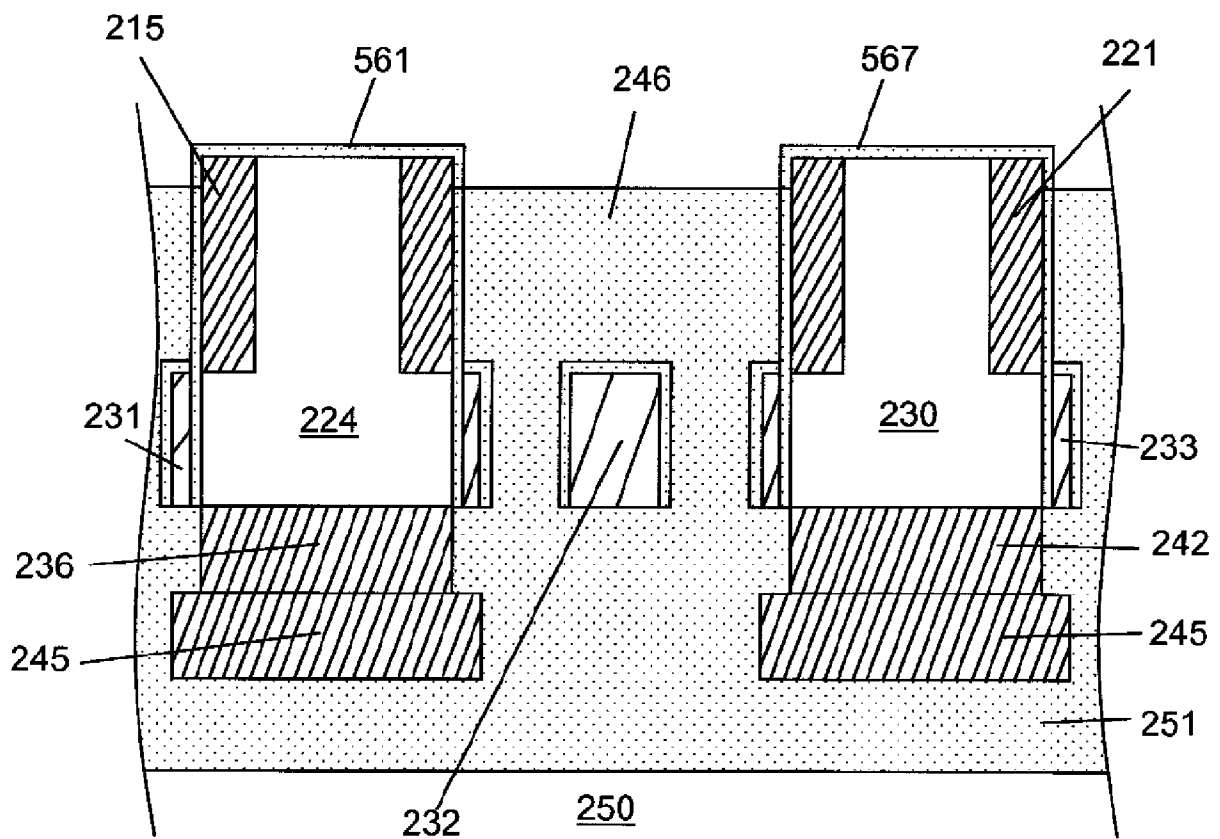
[図66(b)]



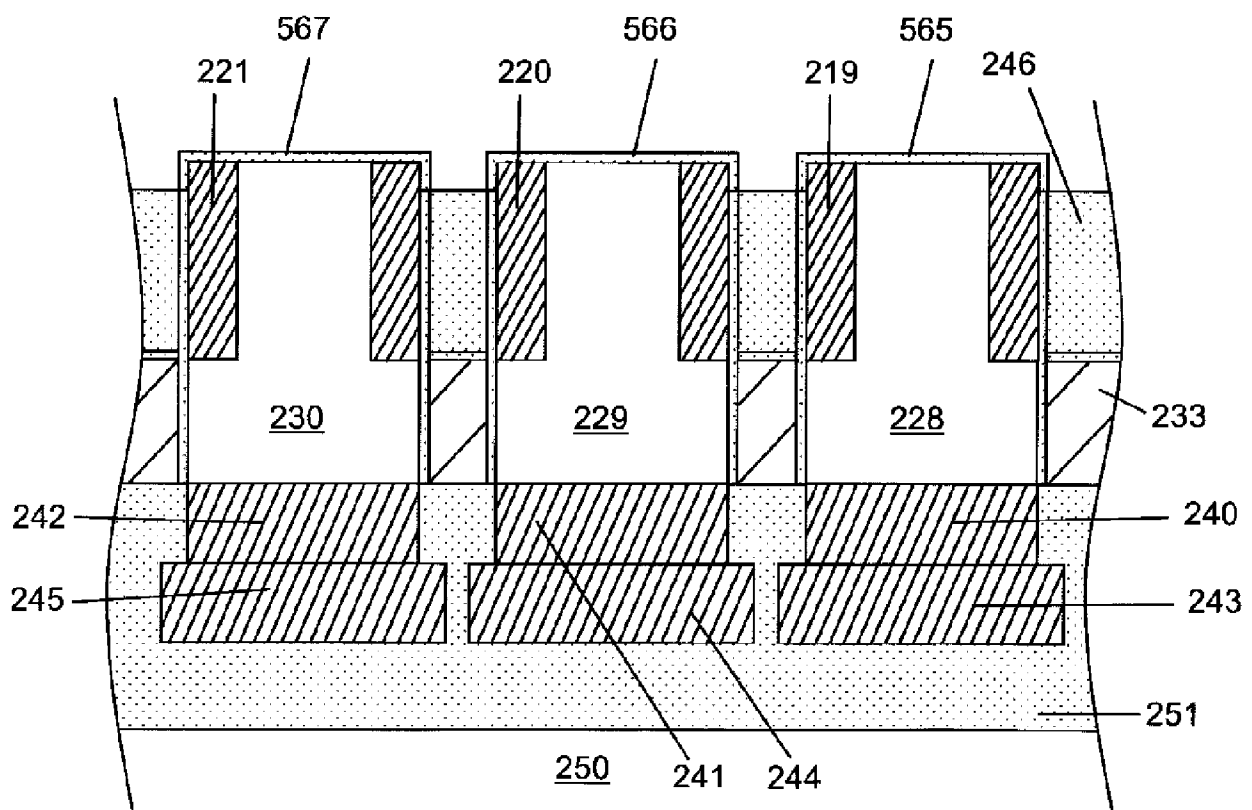
[図67]



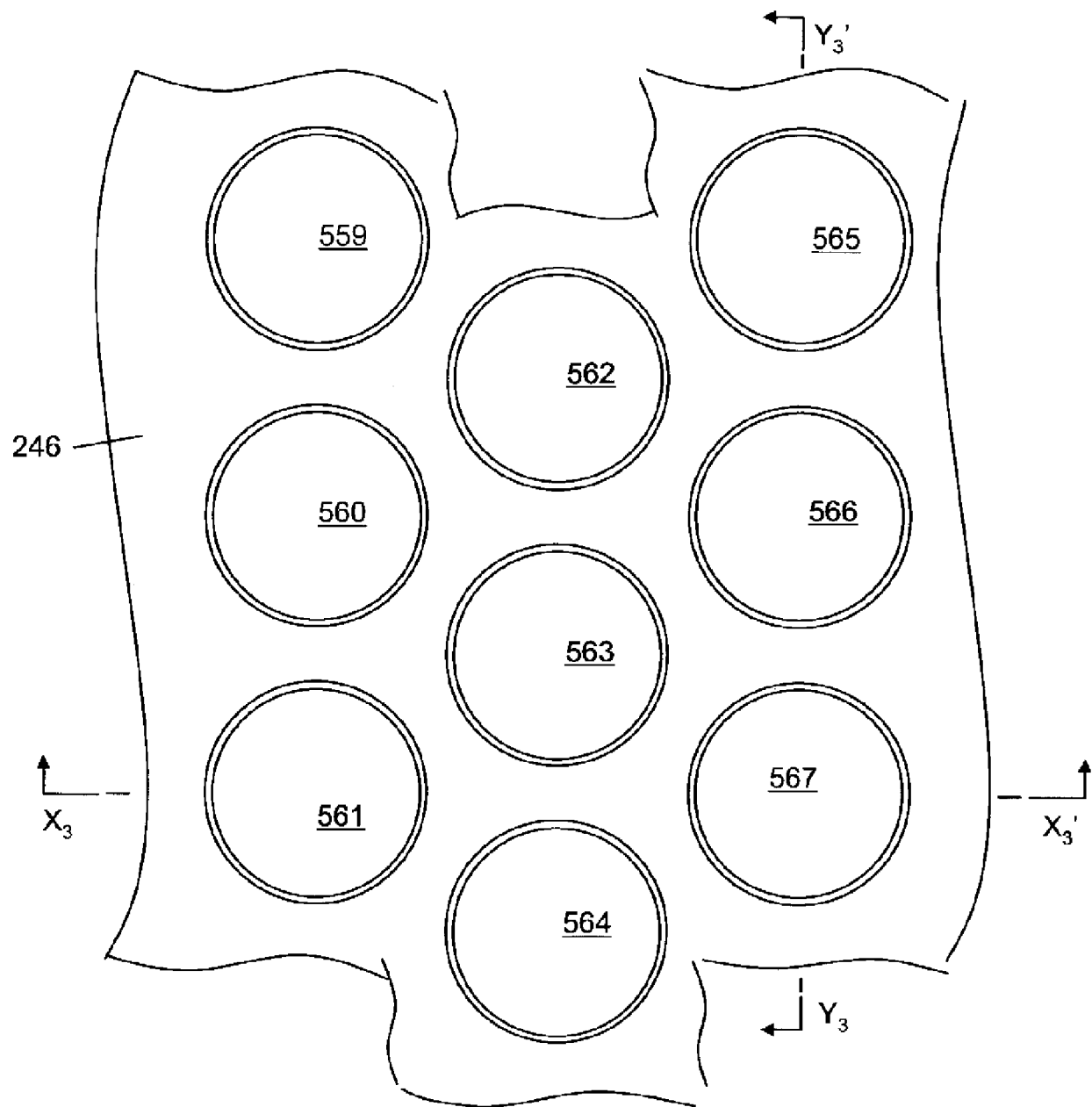
[図68(a)]



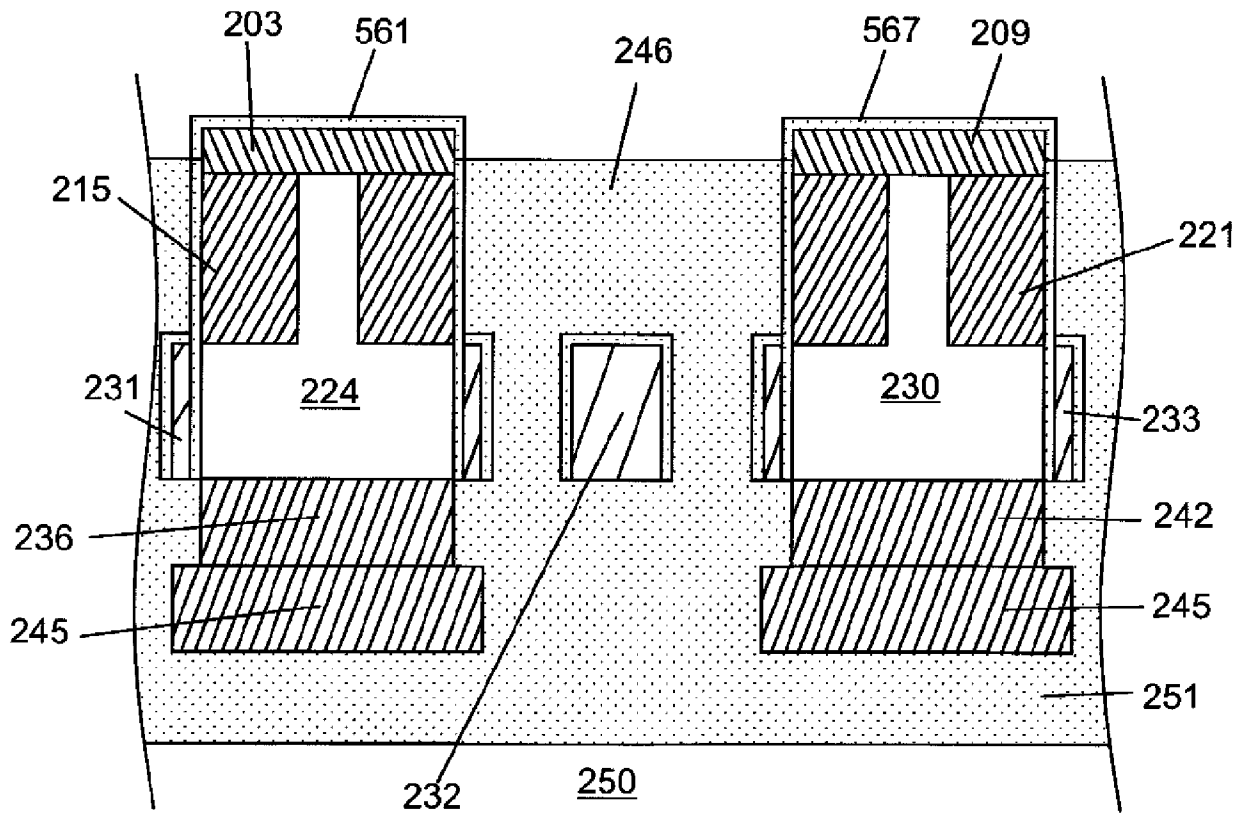
[図68(b)]



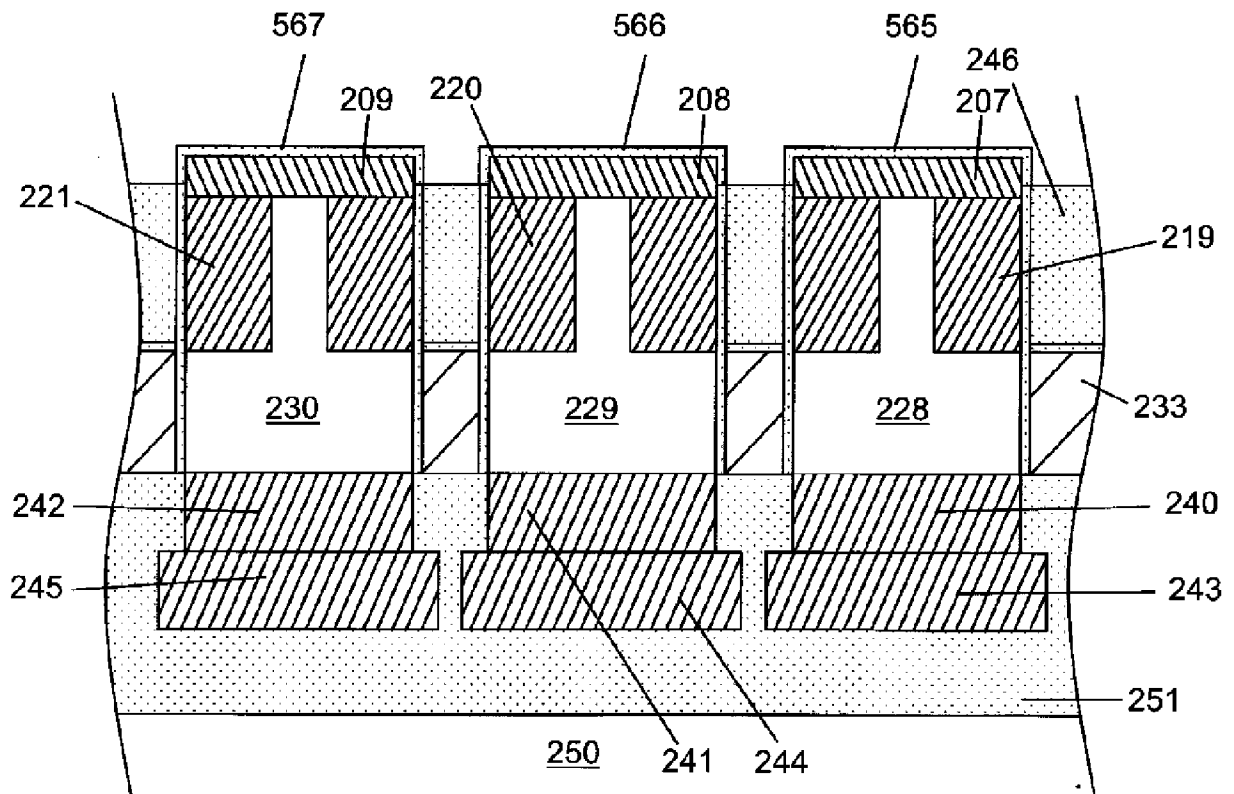
[図69]



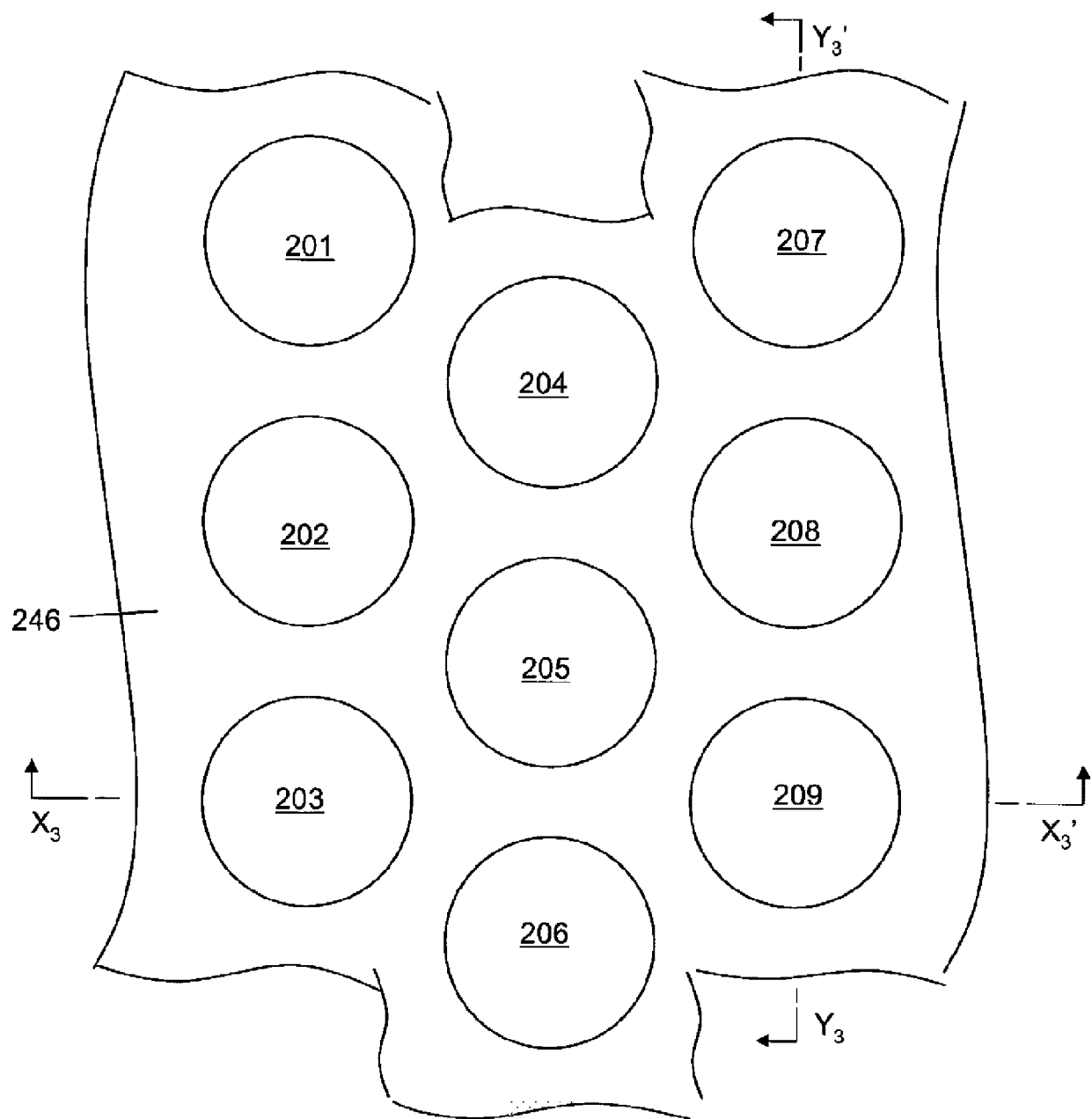
[図70(a)]



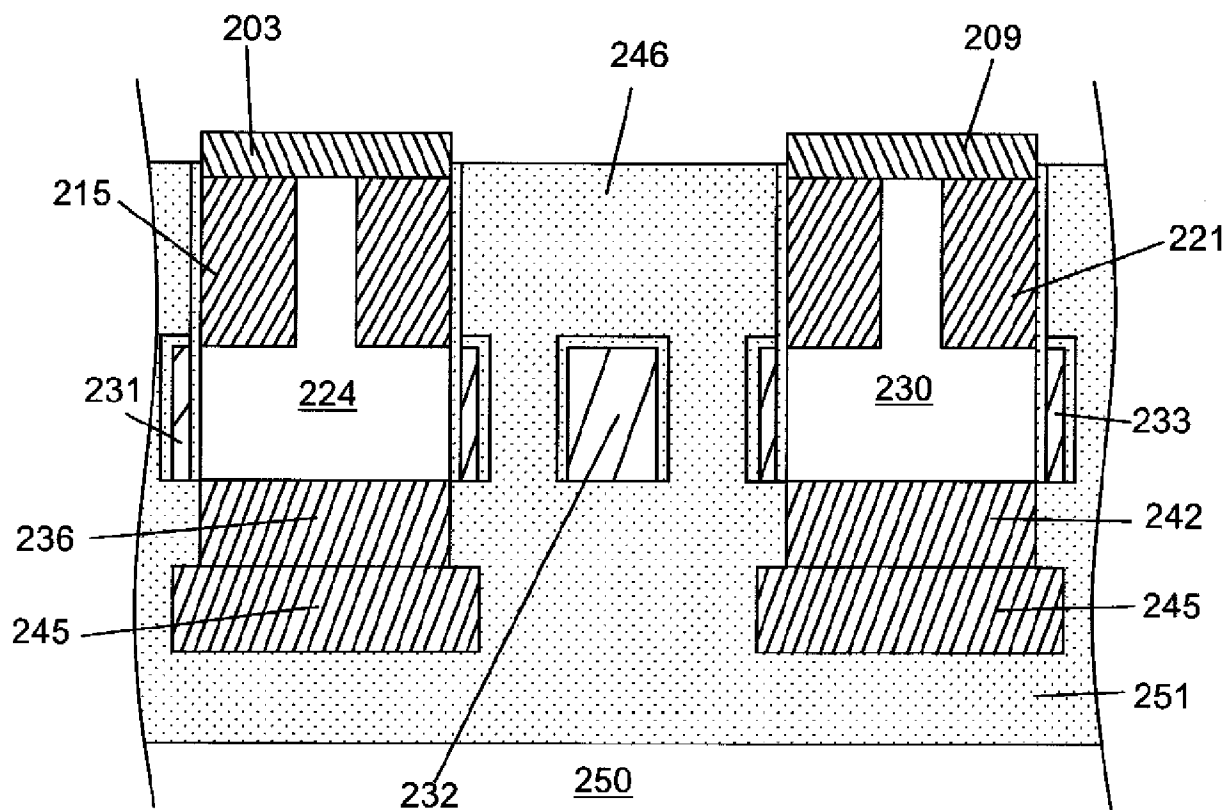
[図70(b)]



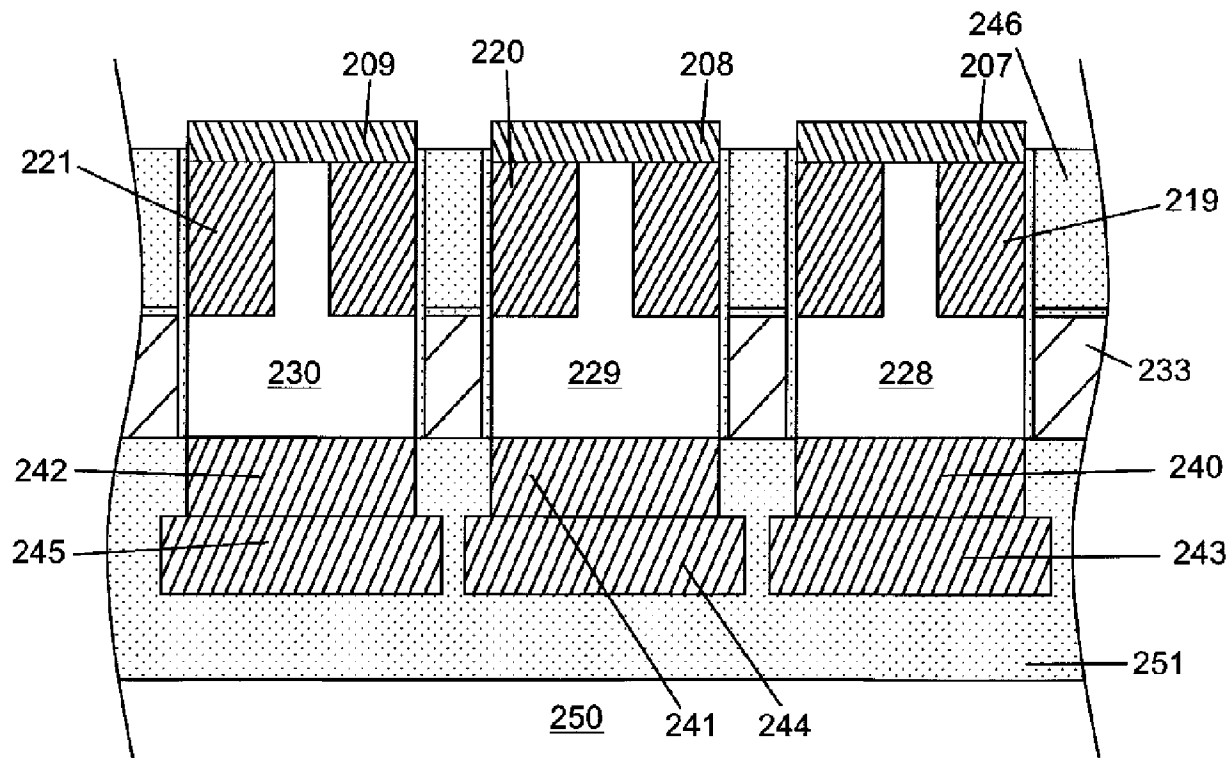
[図71]



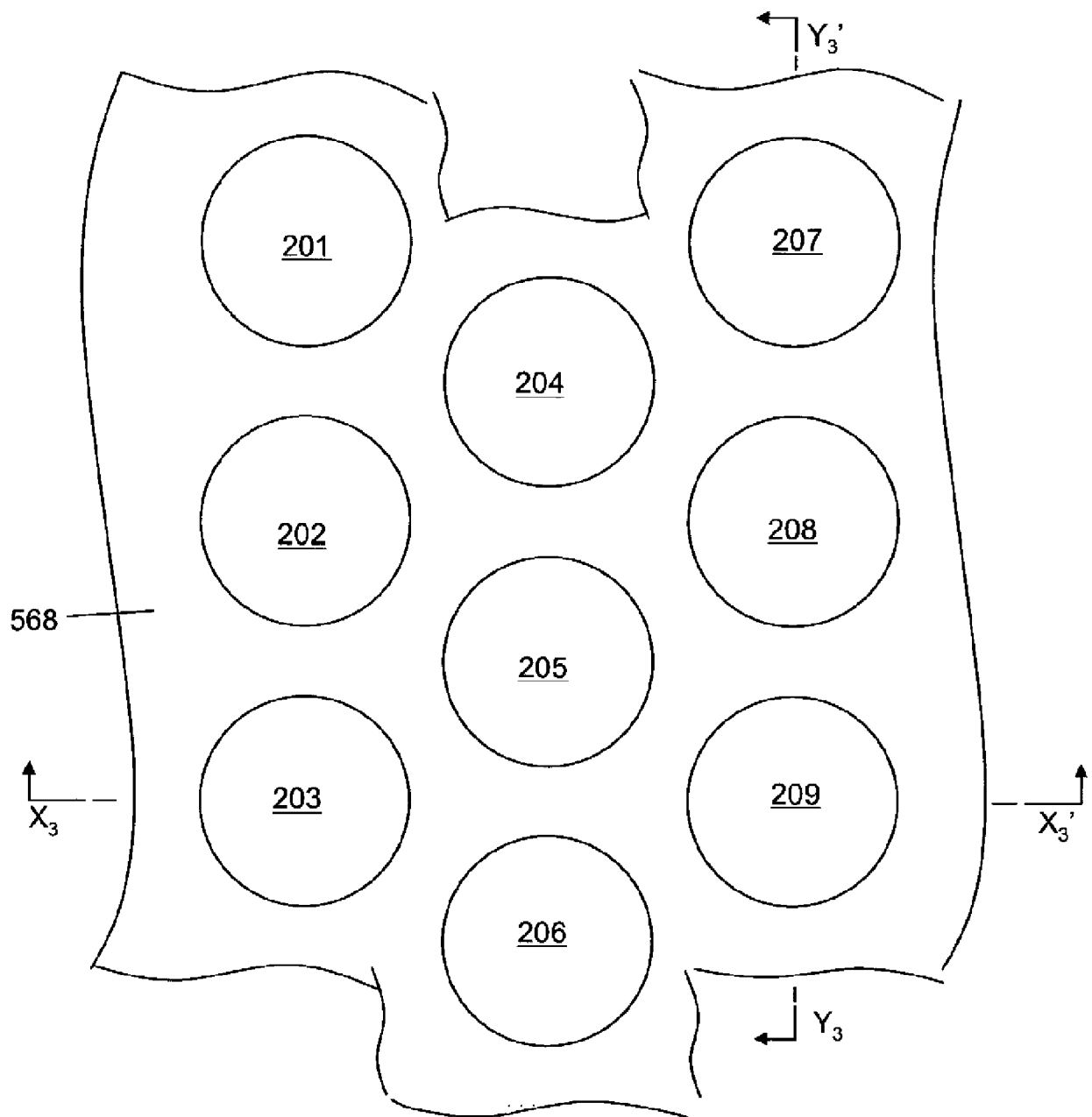
[図72(a)]



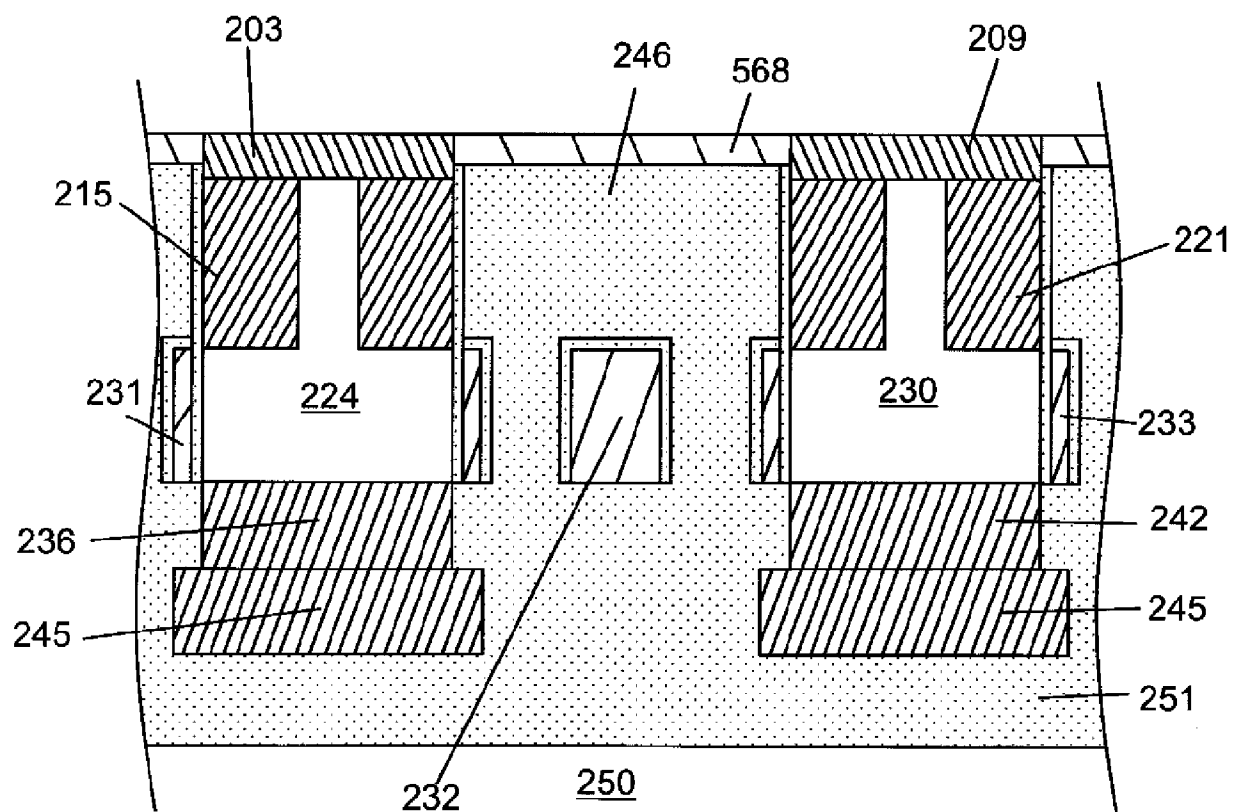
[図72(b)]



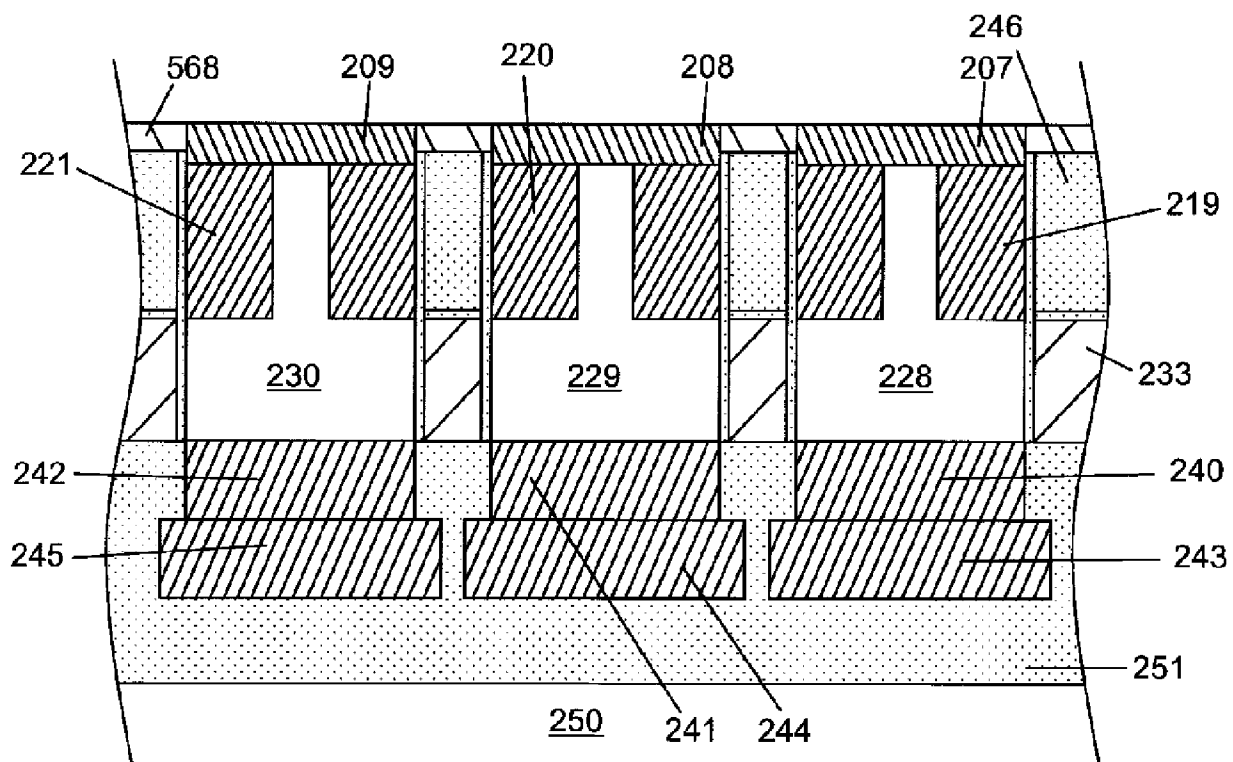
[図73]



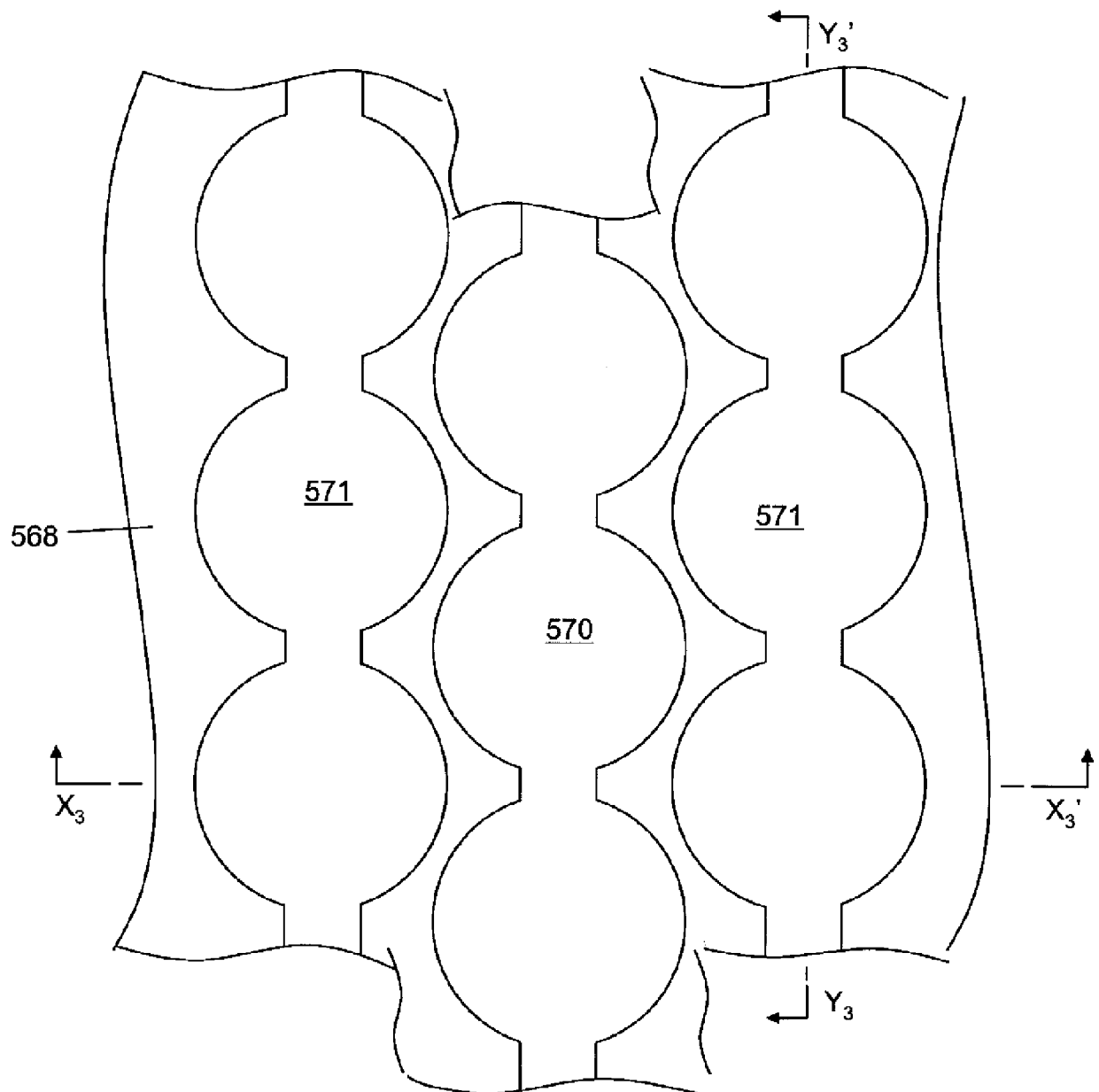
[図74(a)]



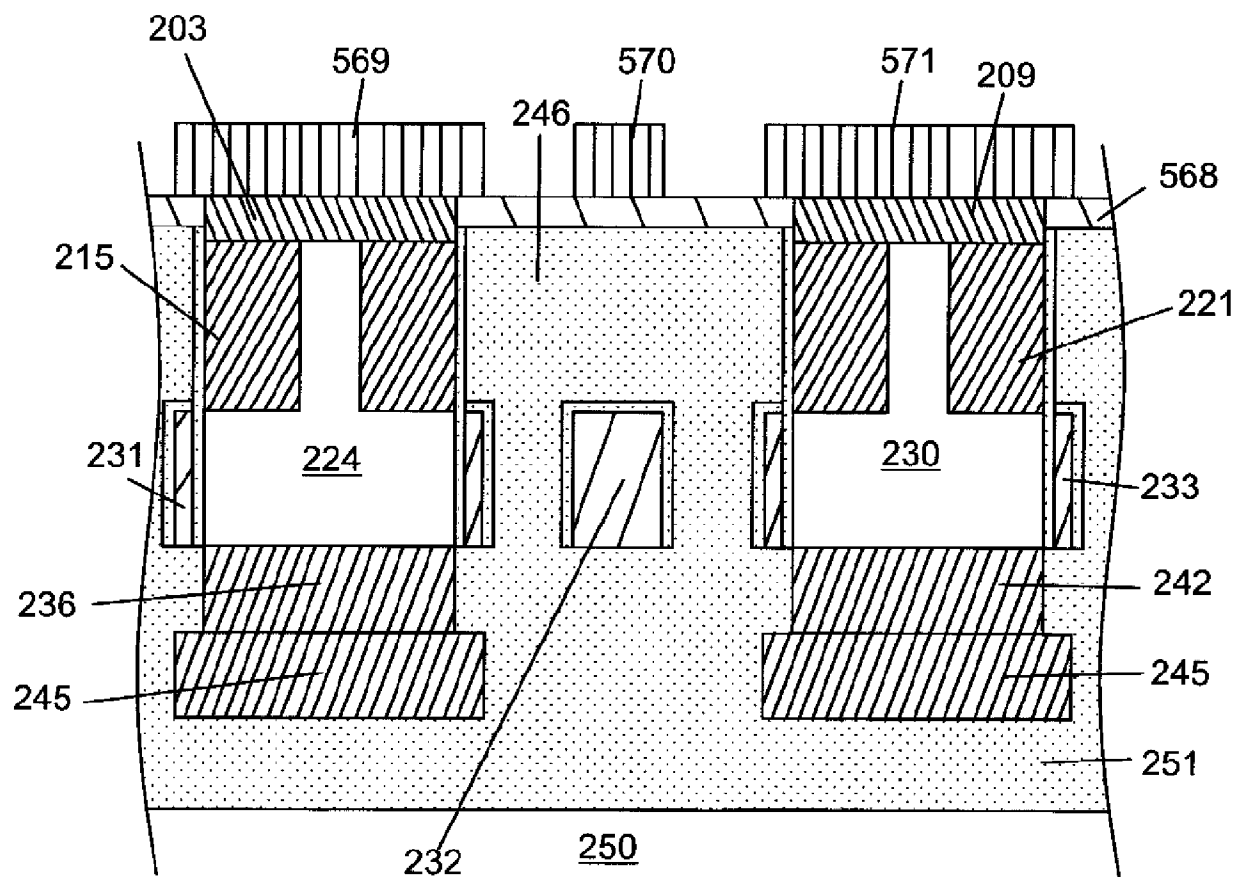
[図74(b)]



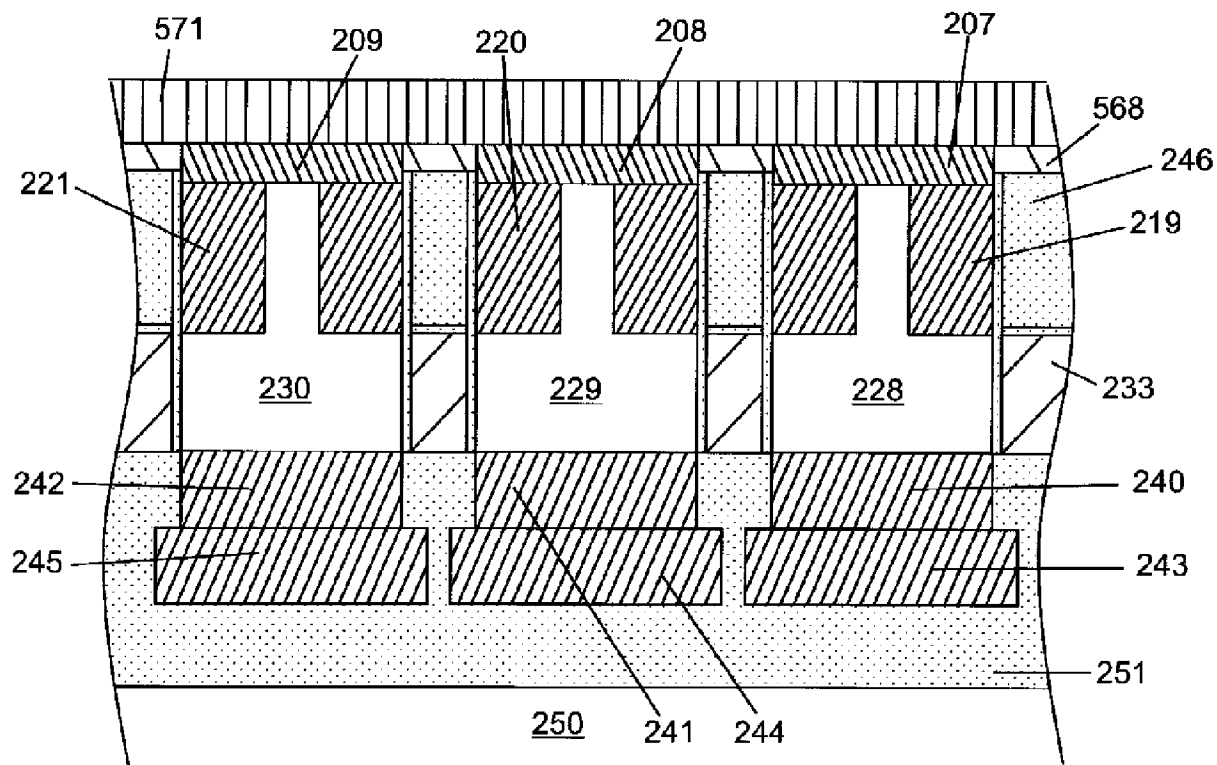
[図75]



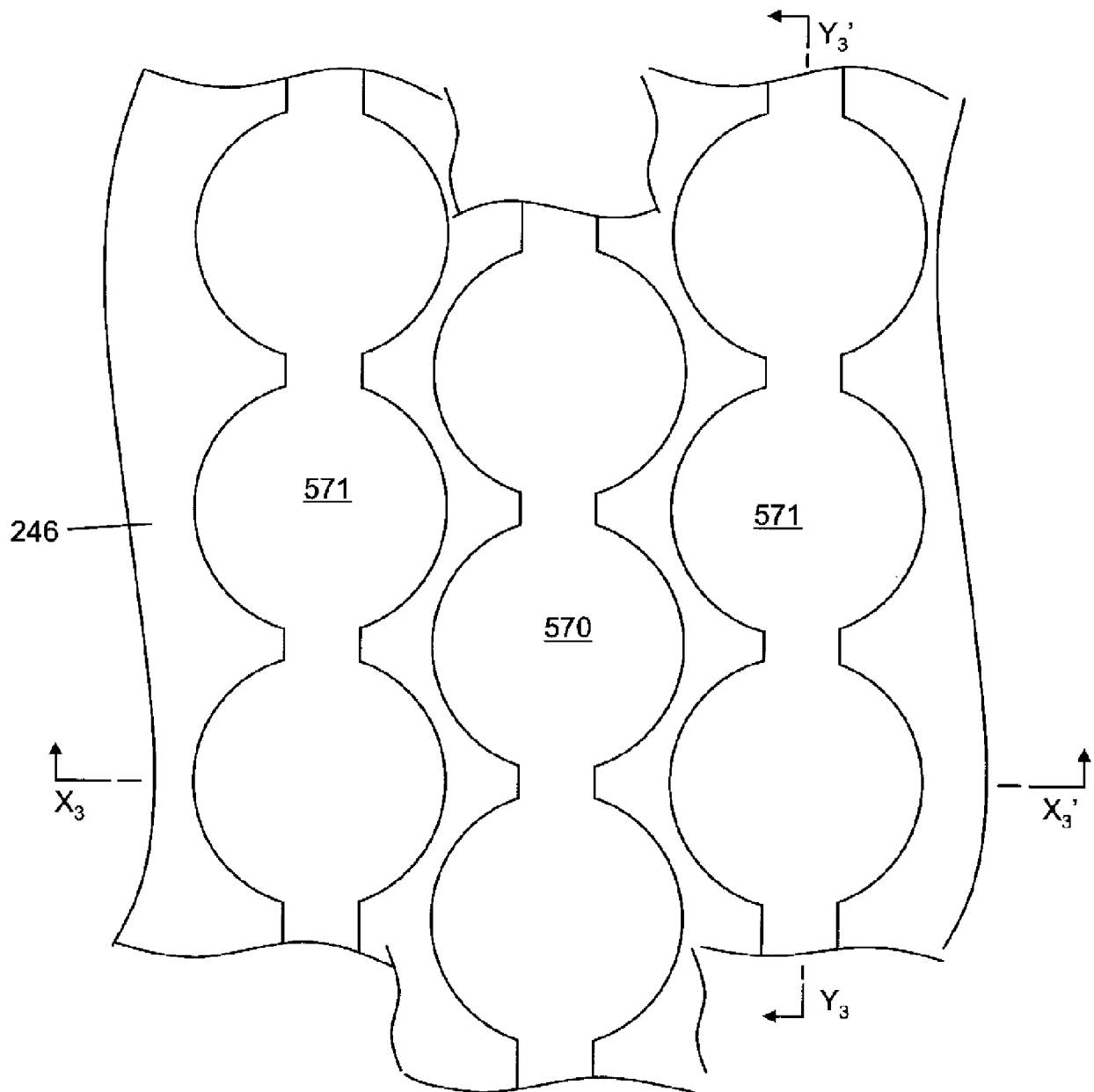
[図76(a)]



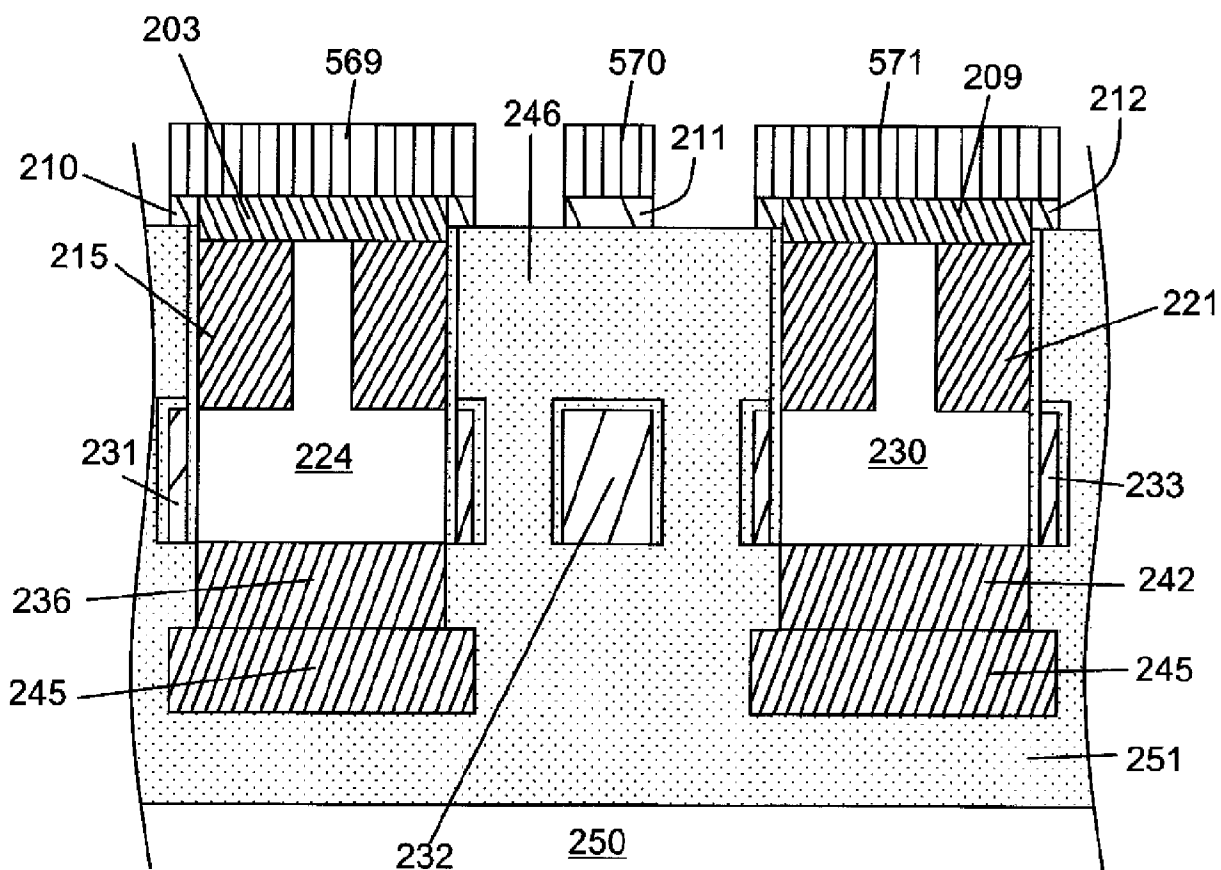
[図76(b)]



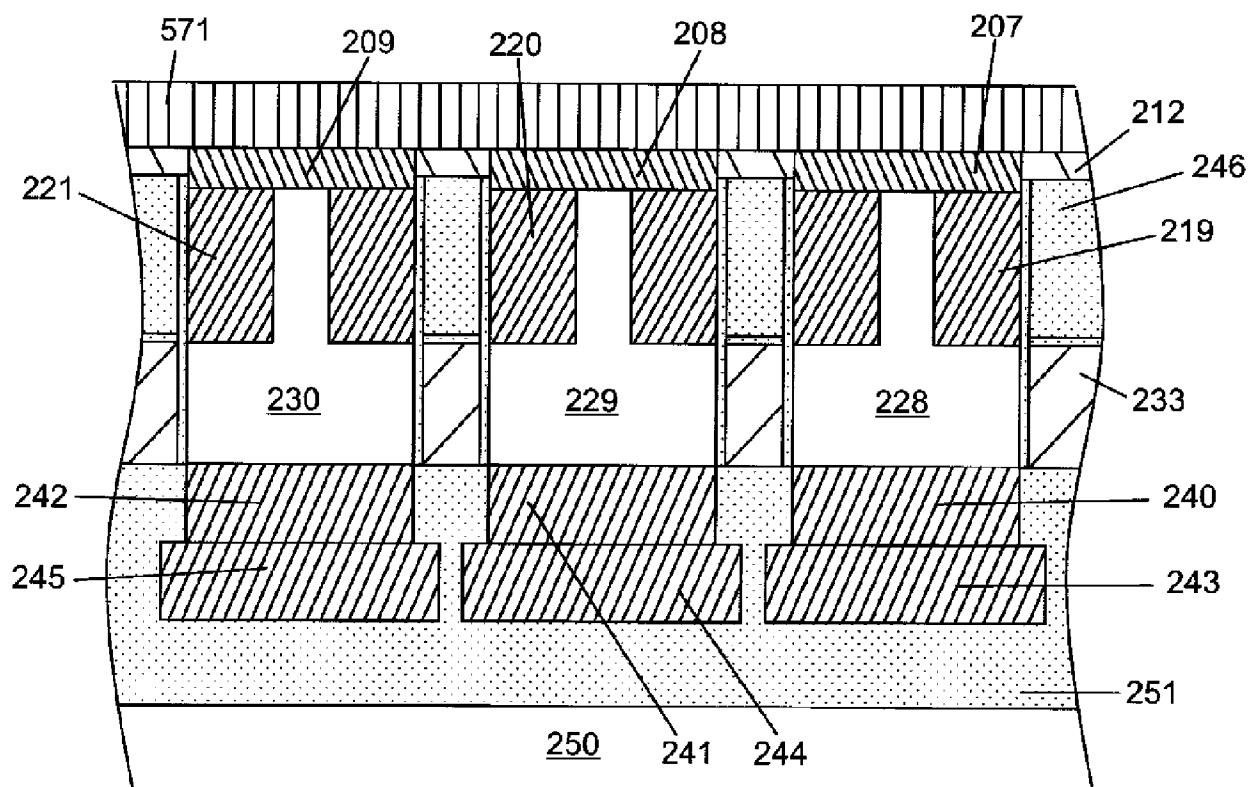
[図77]



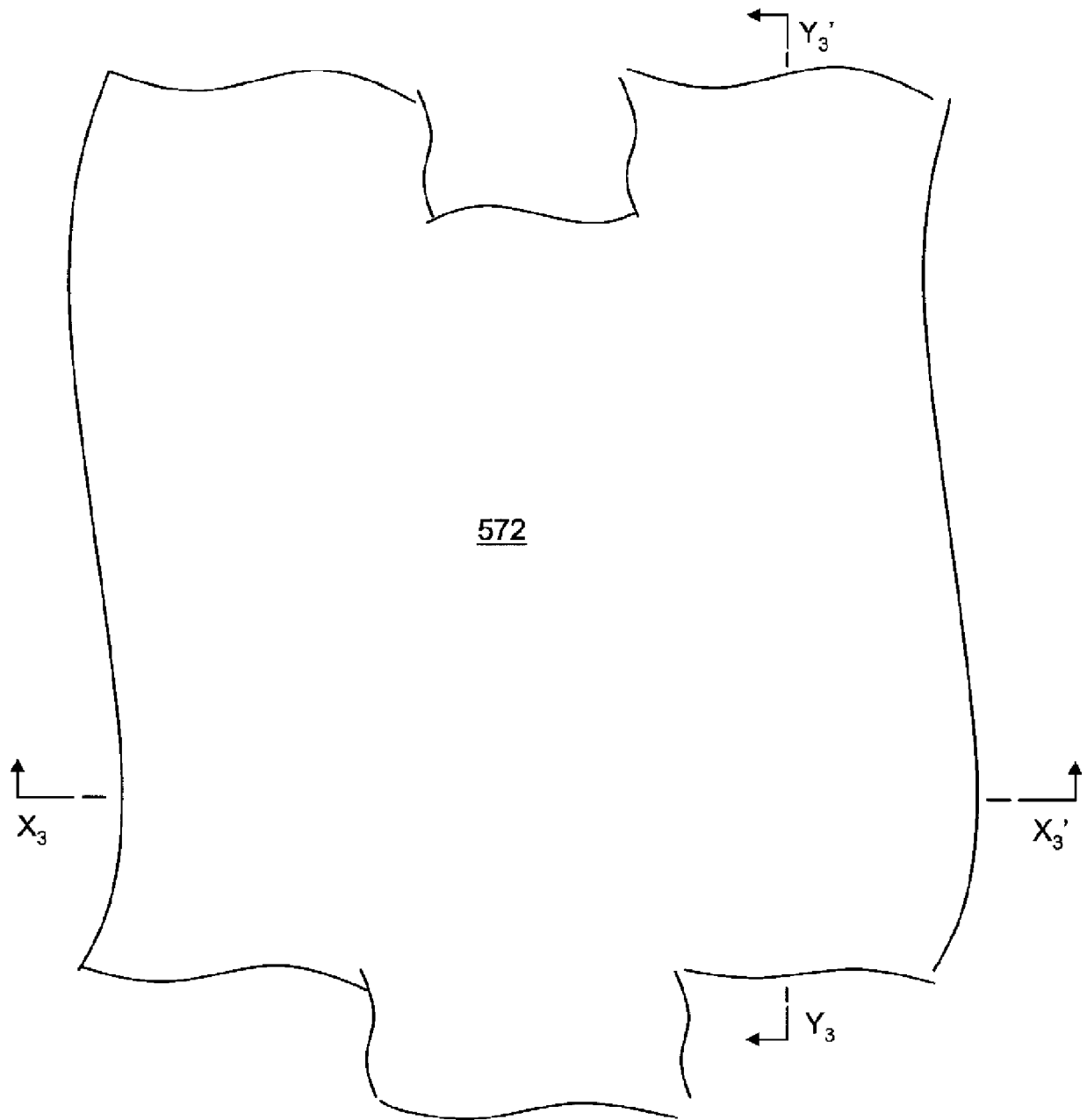
[図78(a)]



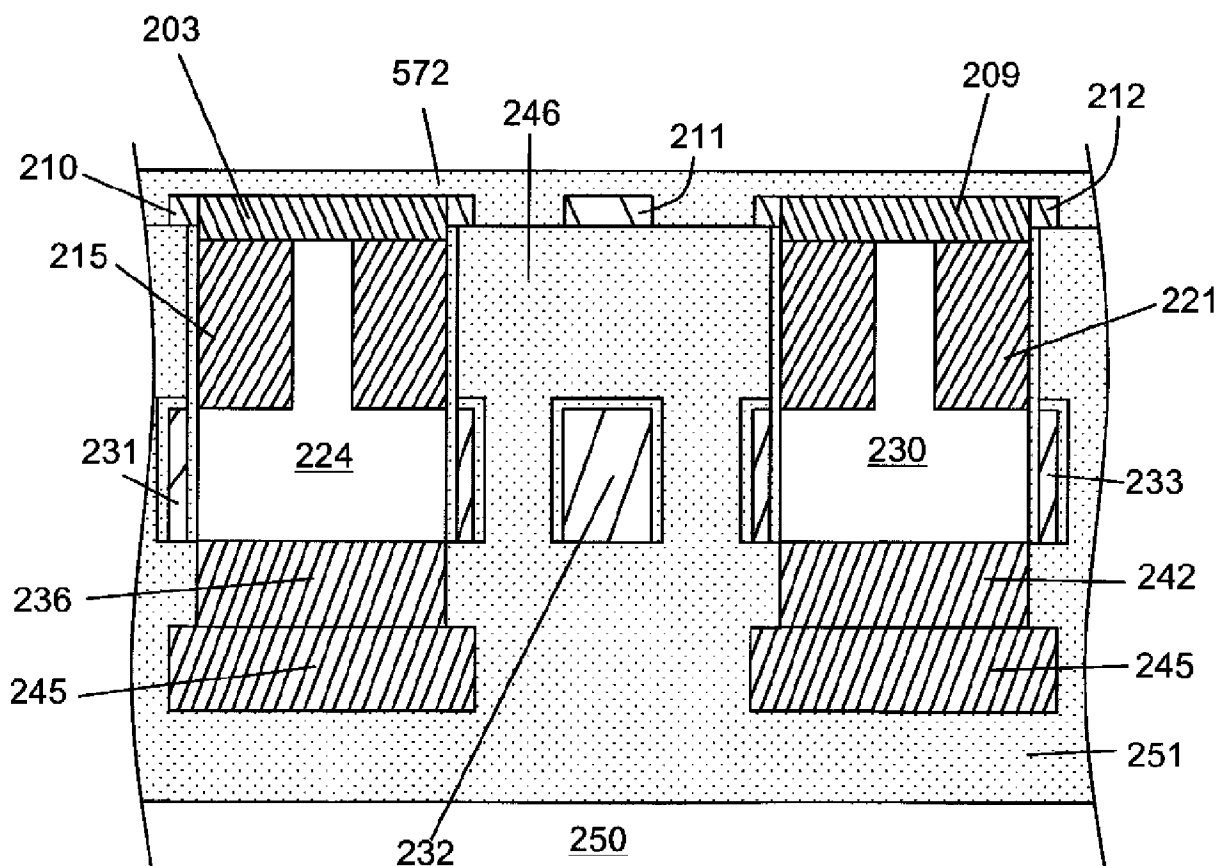
[図78(b)]



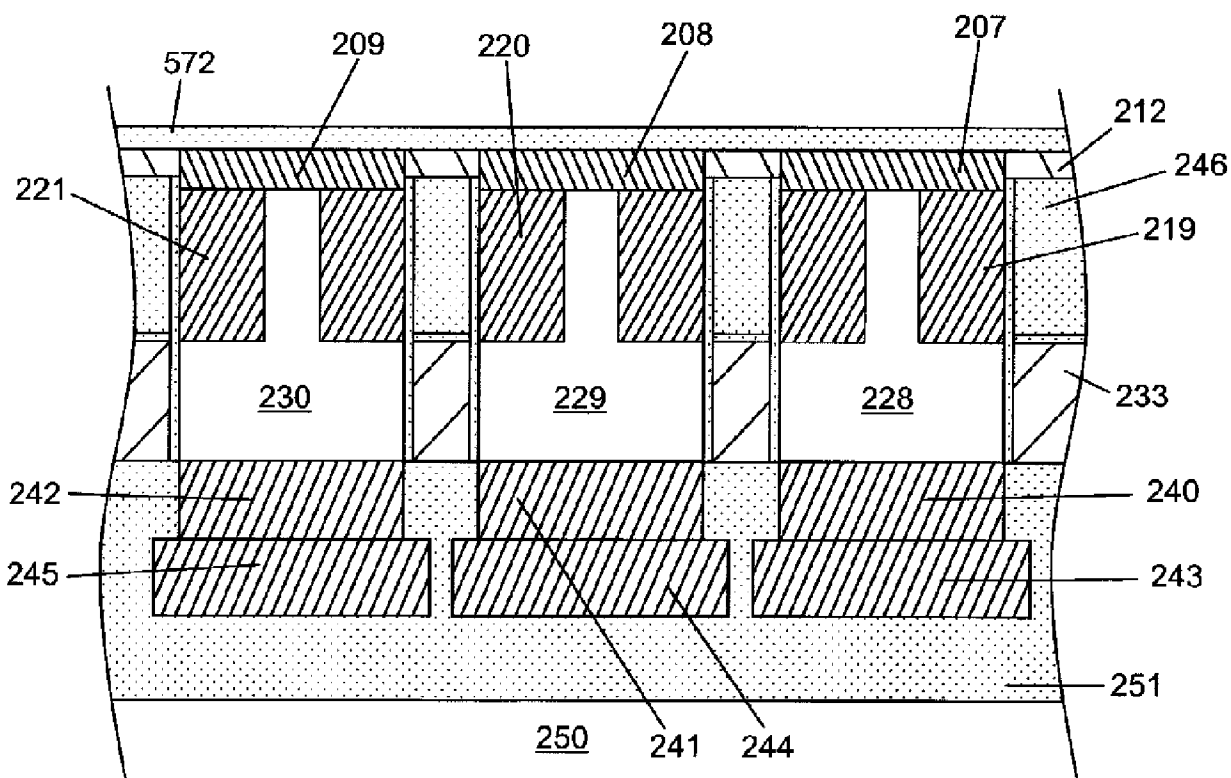
[図79]



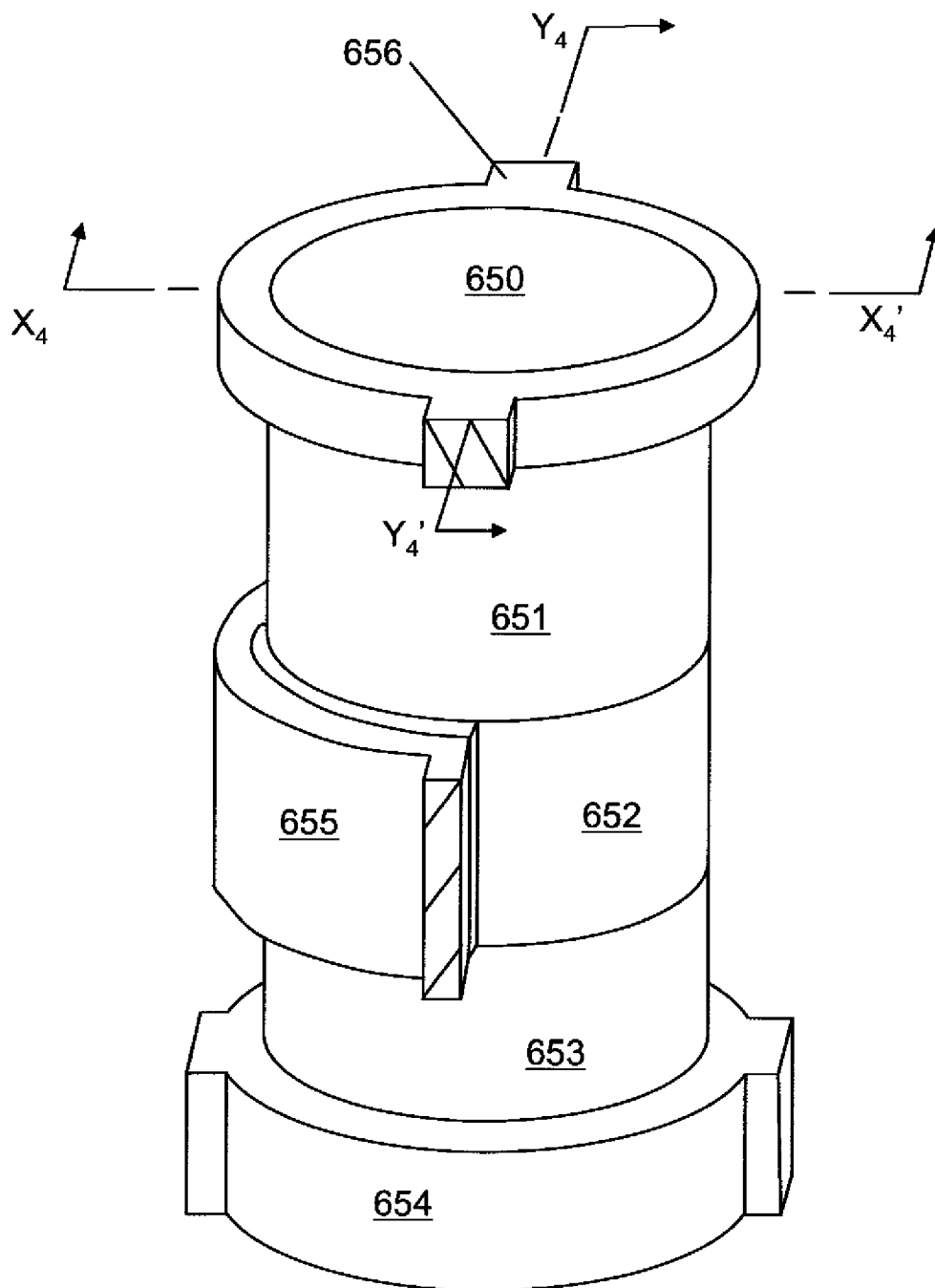
[図80(a)]



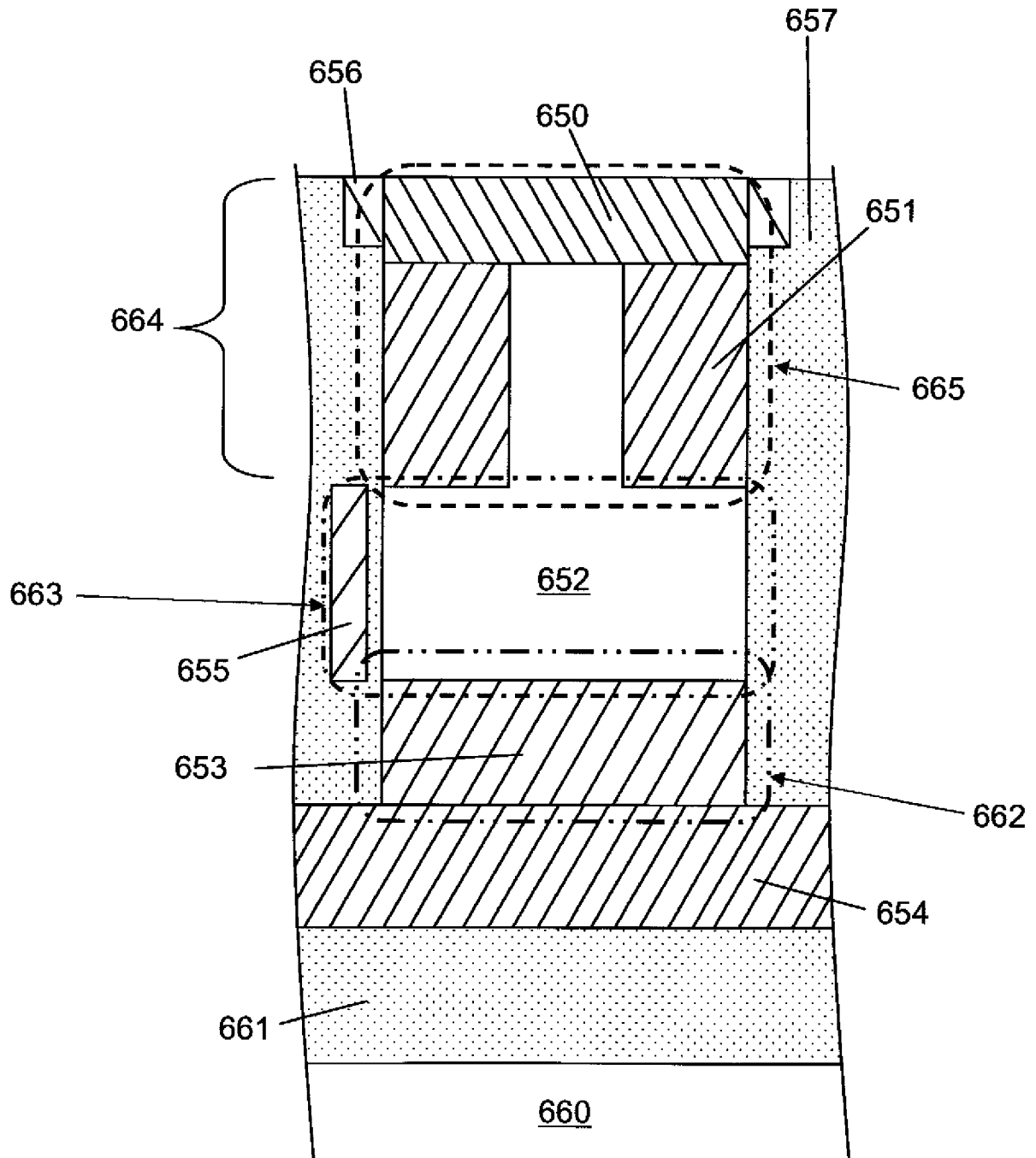
[図80(b)]



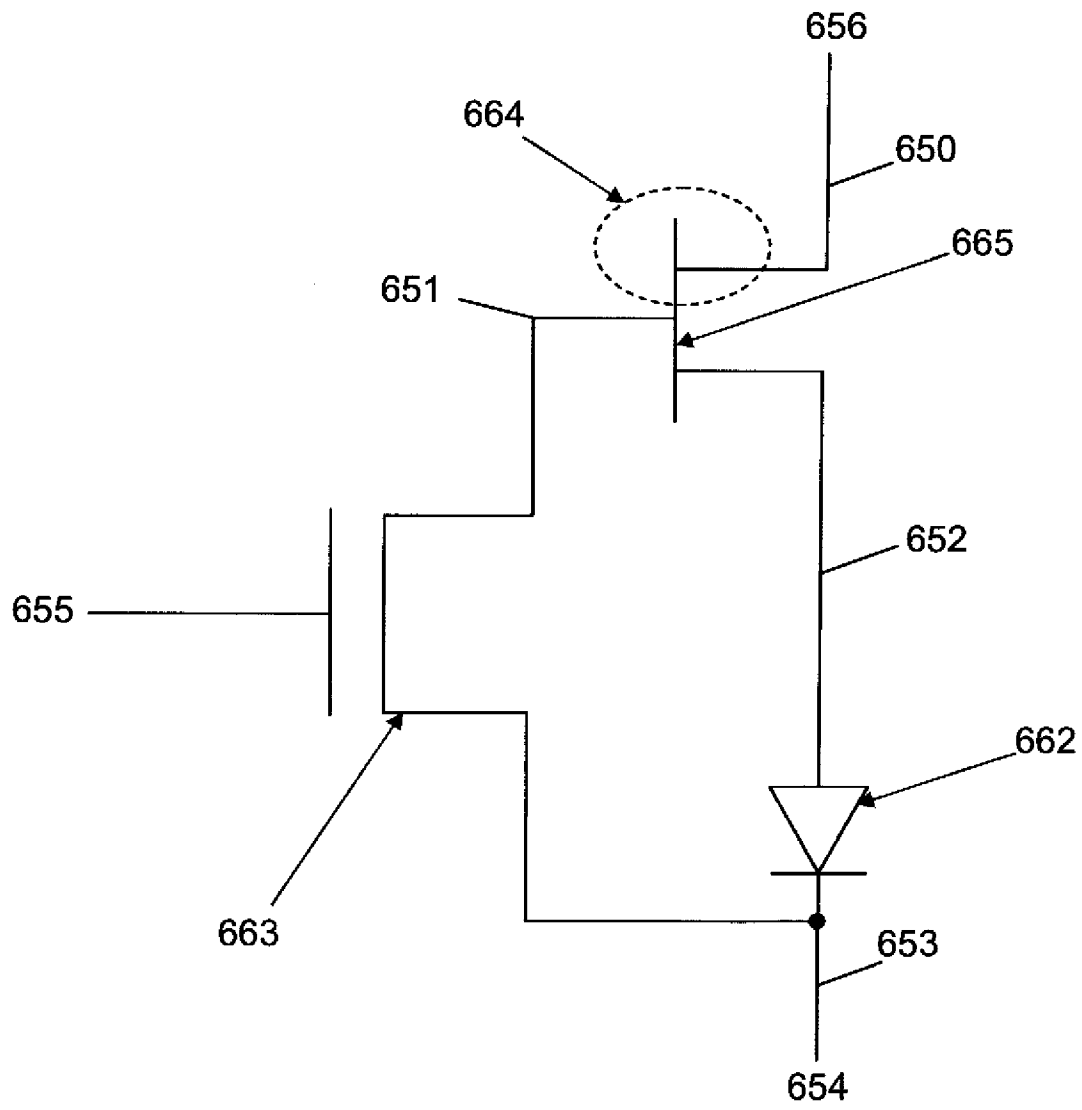
[図81]



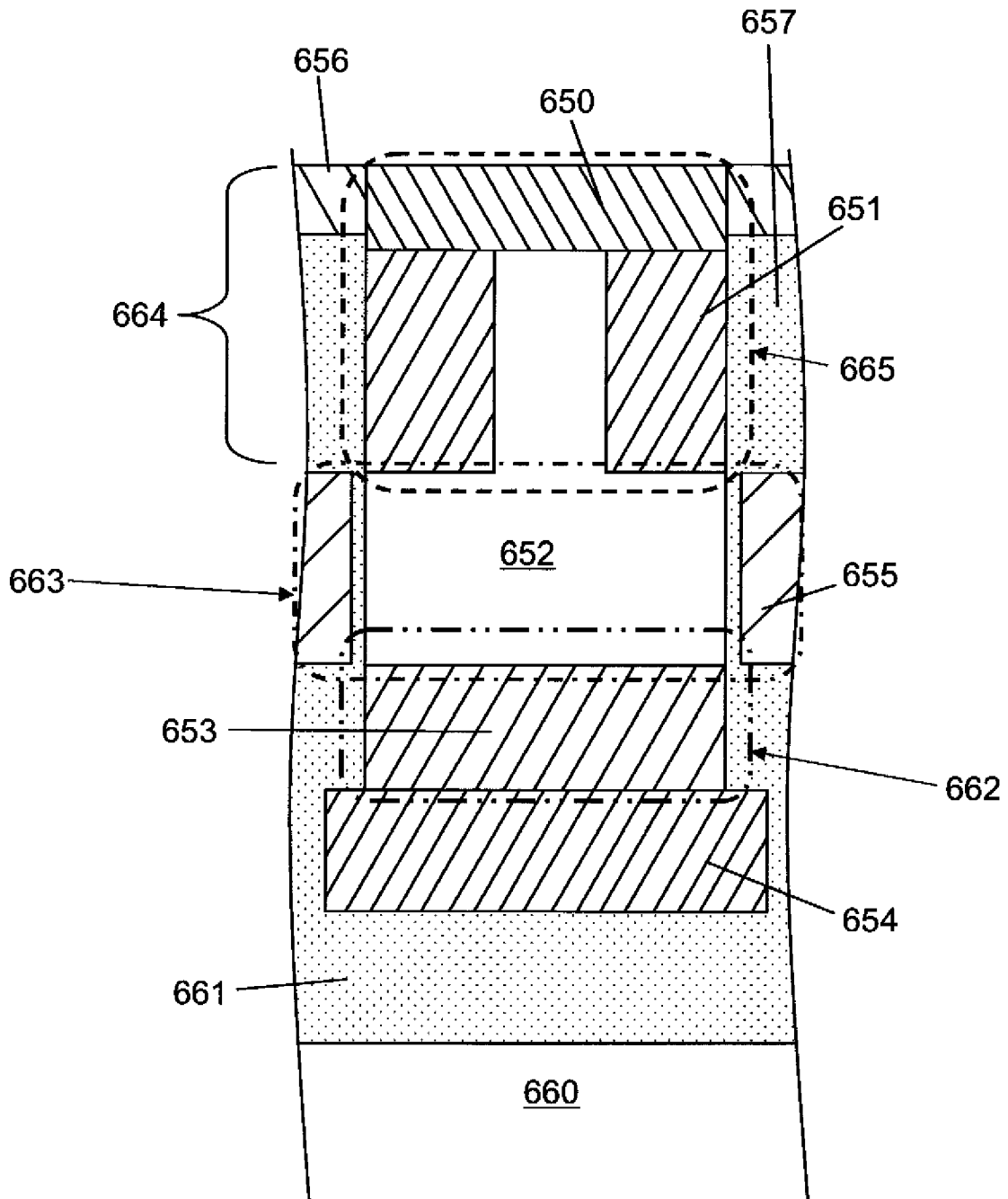
[図82(a)]



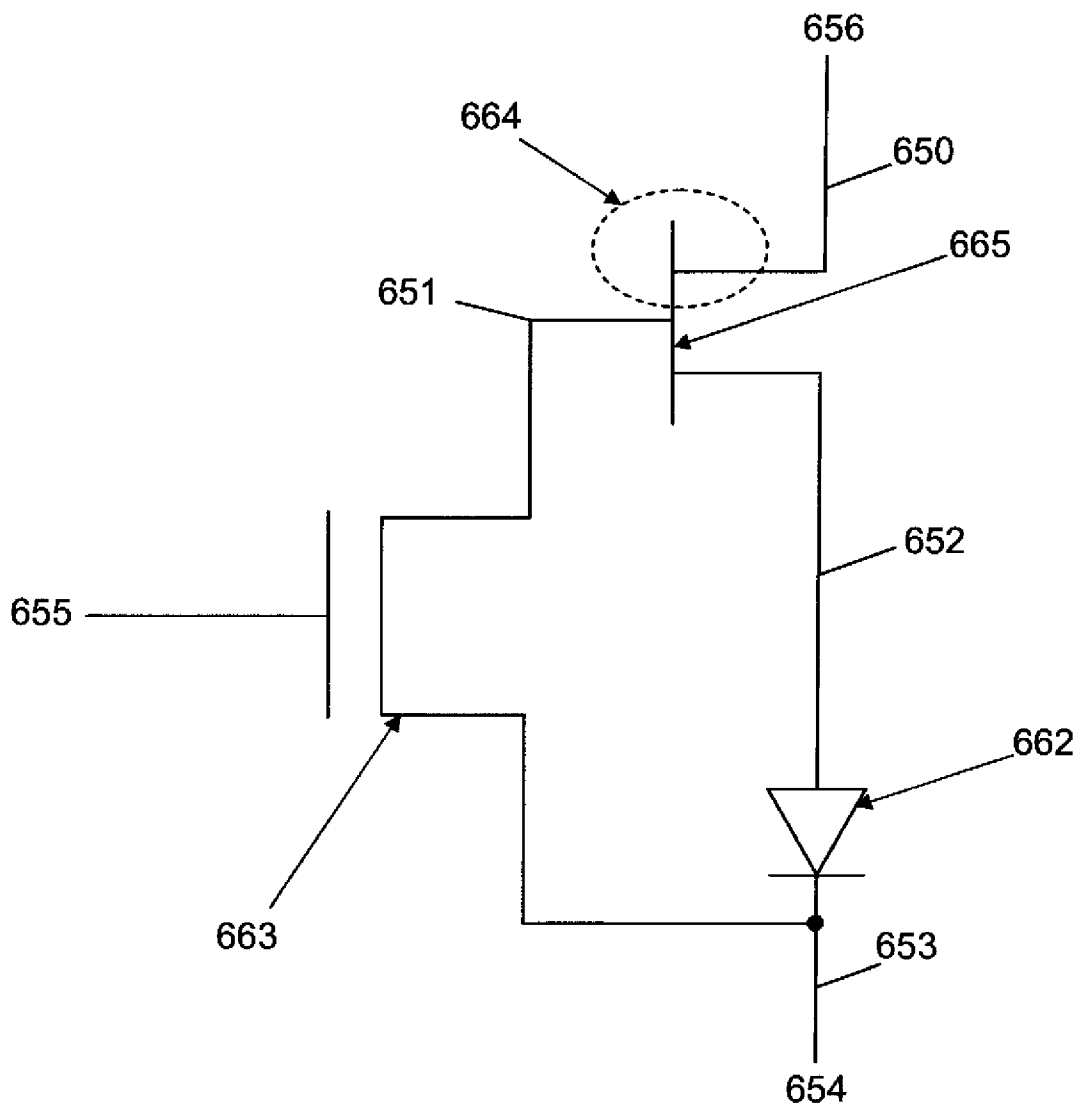
[図82(b)]



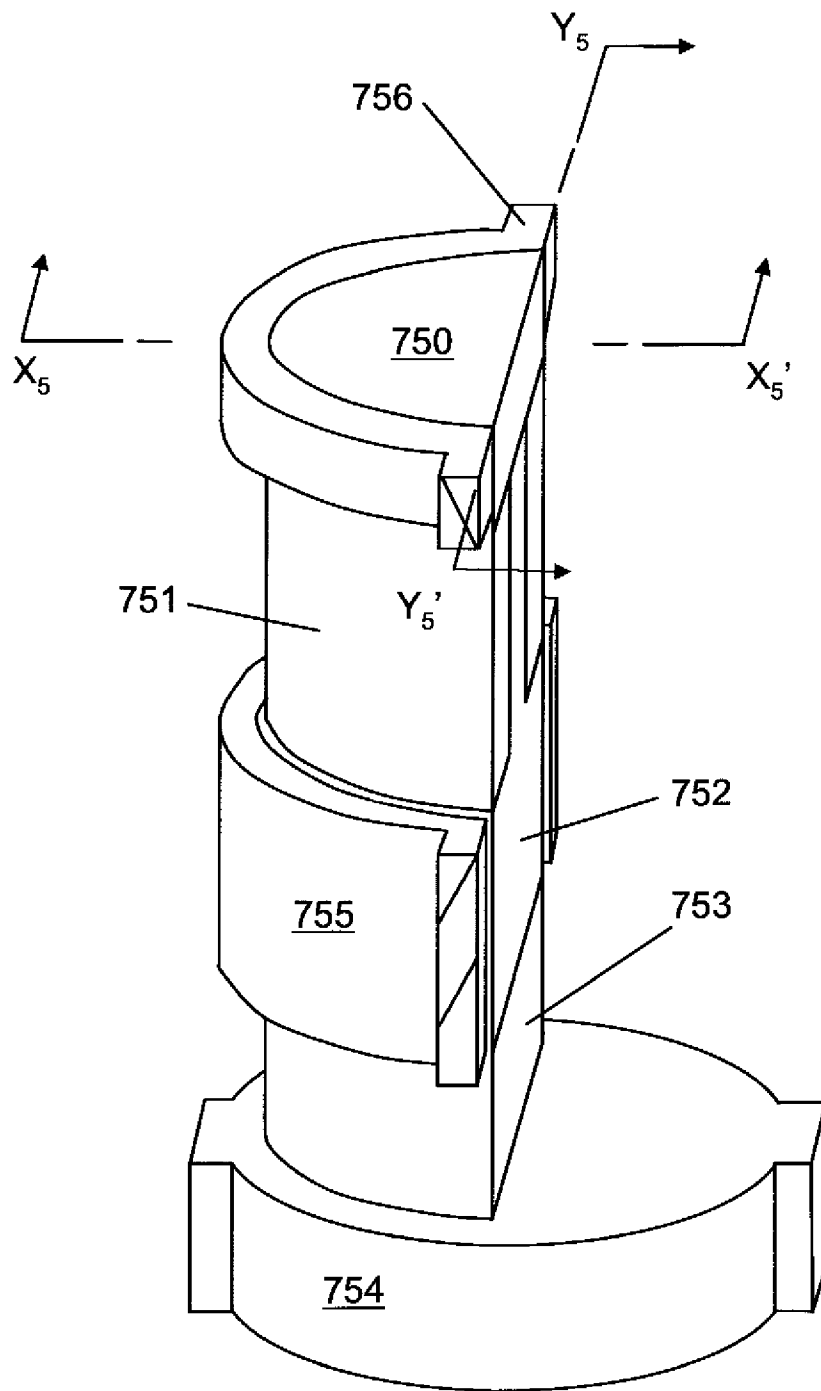
[図83(a)]



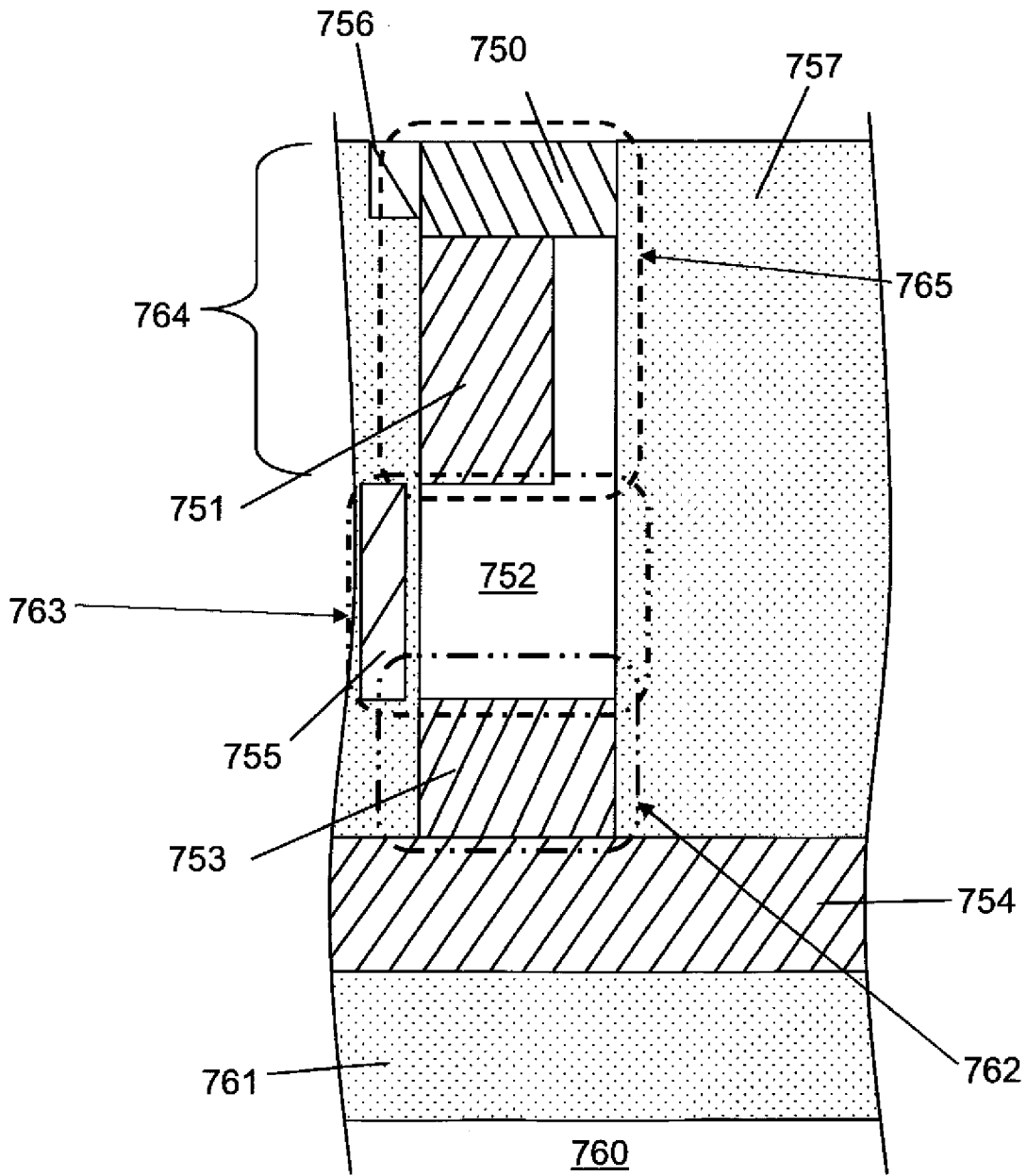
[図83(b)]



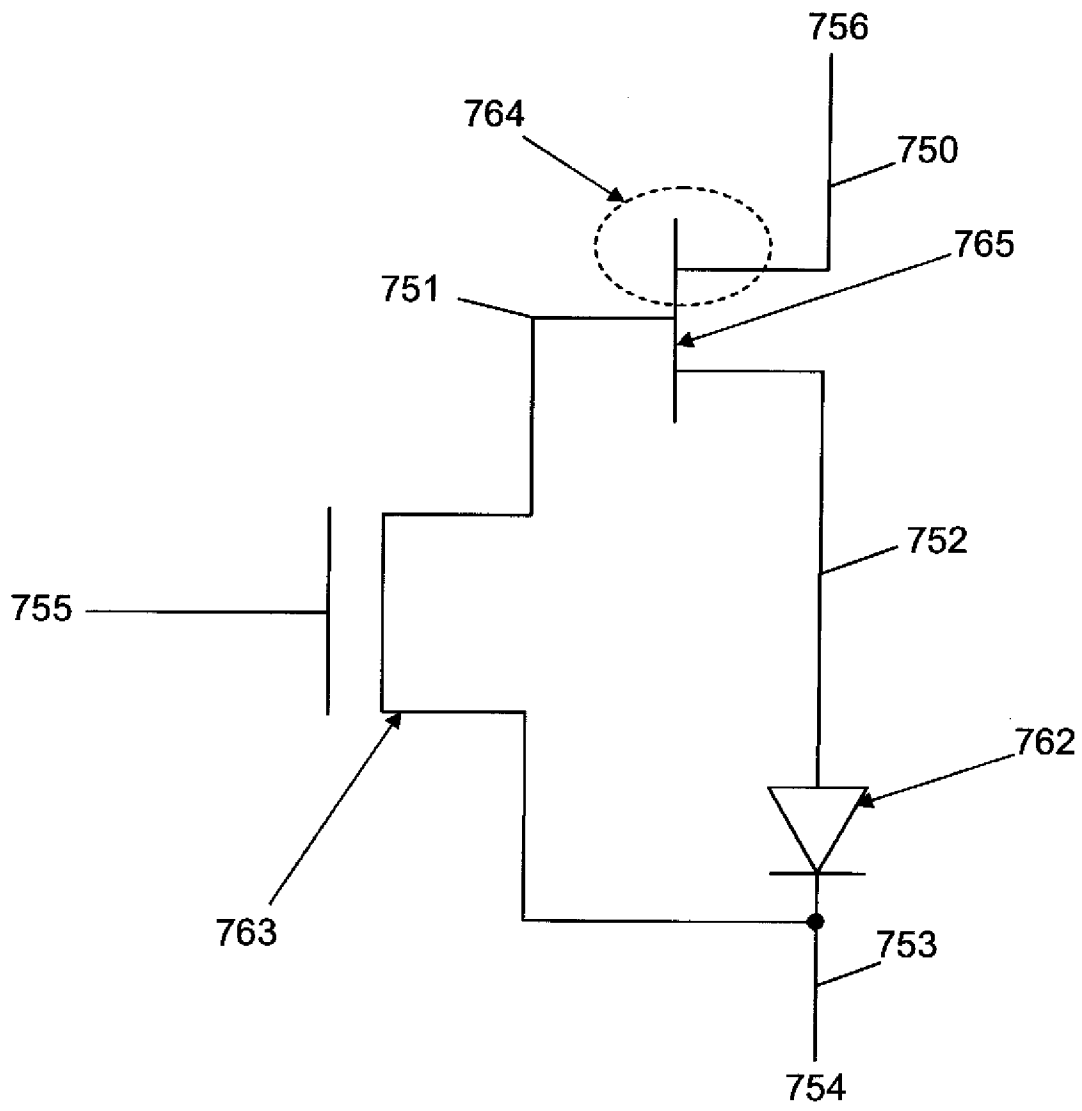
[図84]



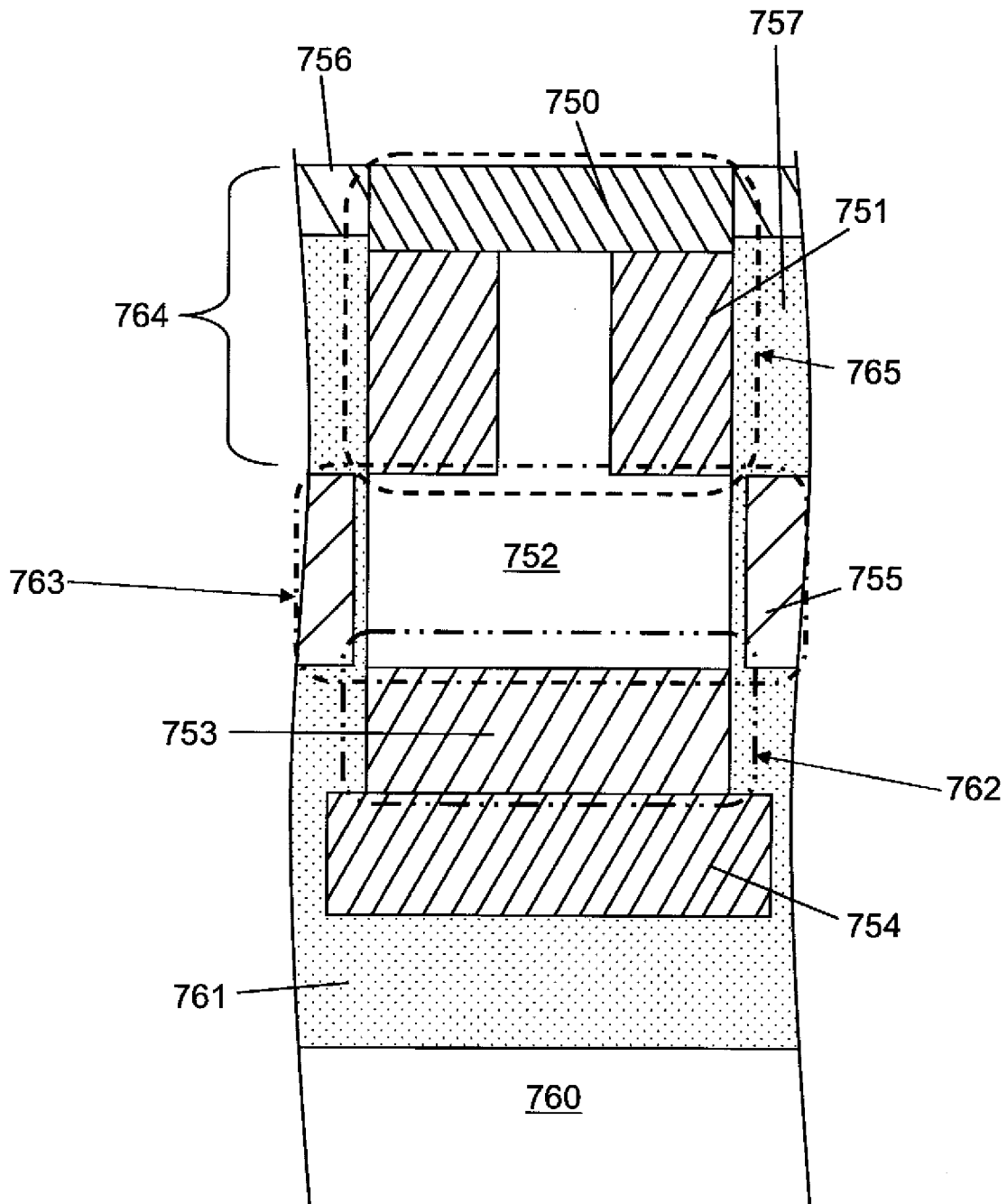
[図85(a)]



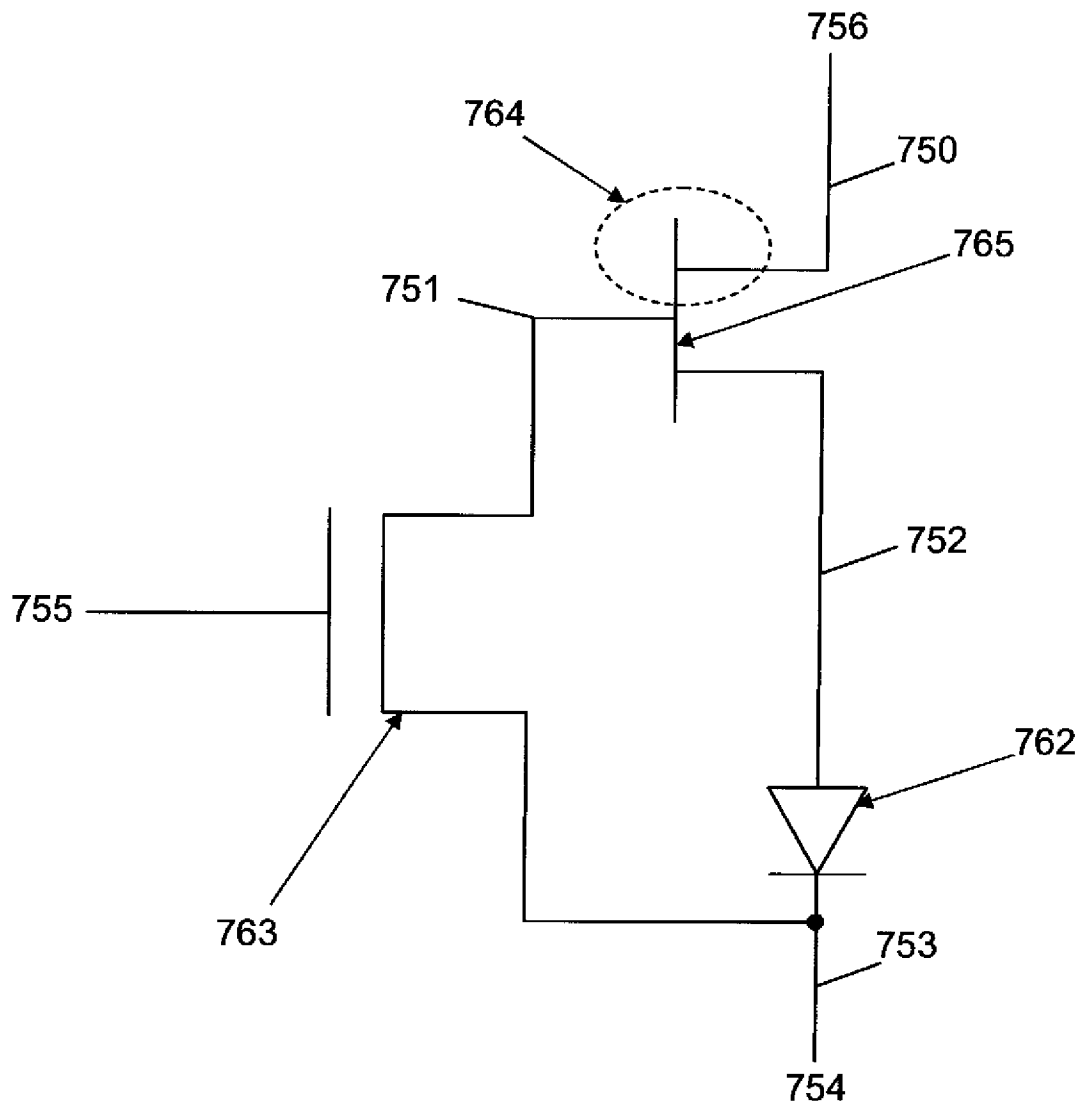
[図85(b)]



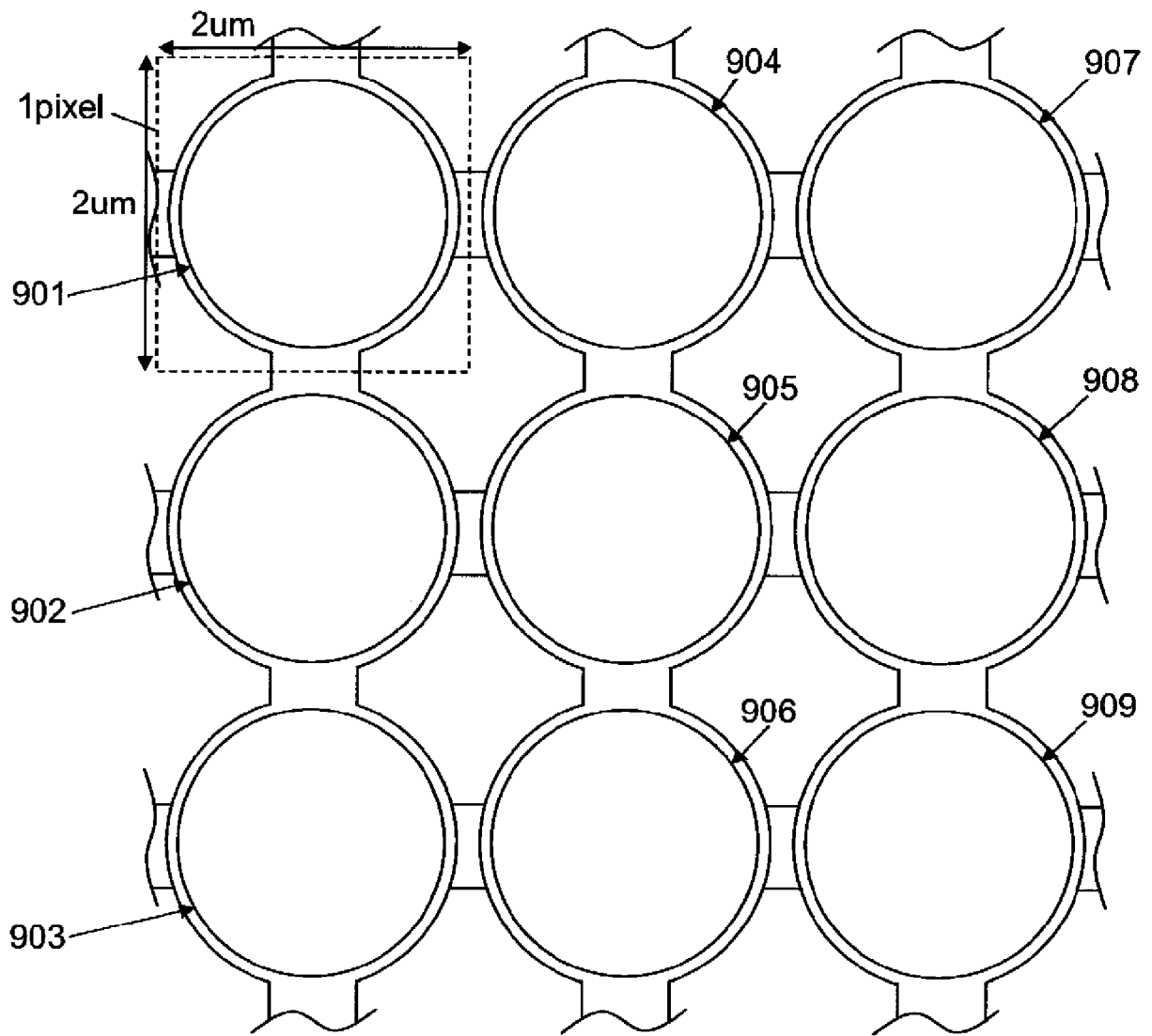
[図]86(a)



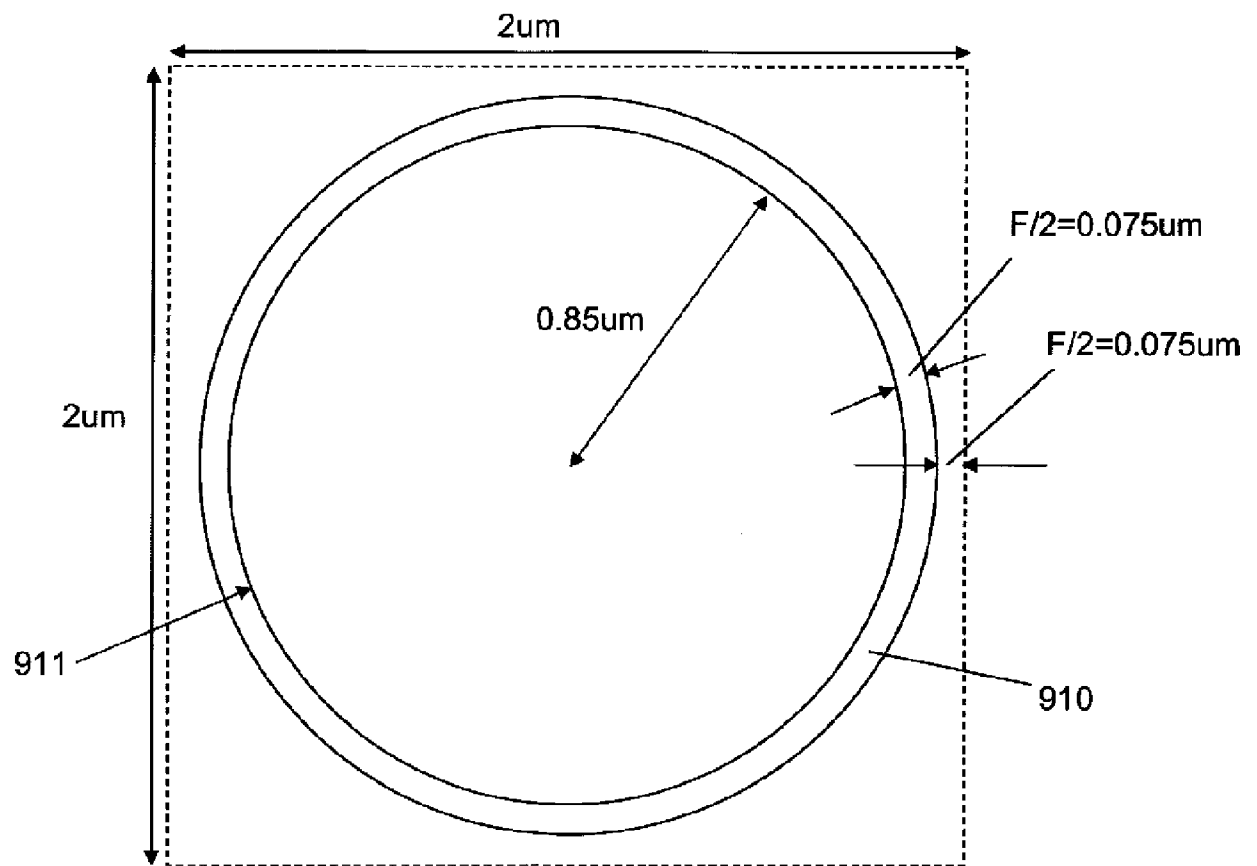
[図86(b)]



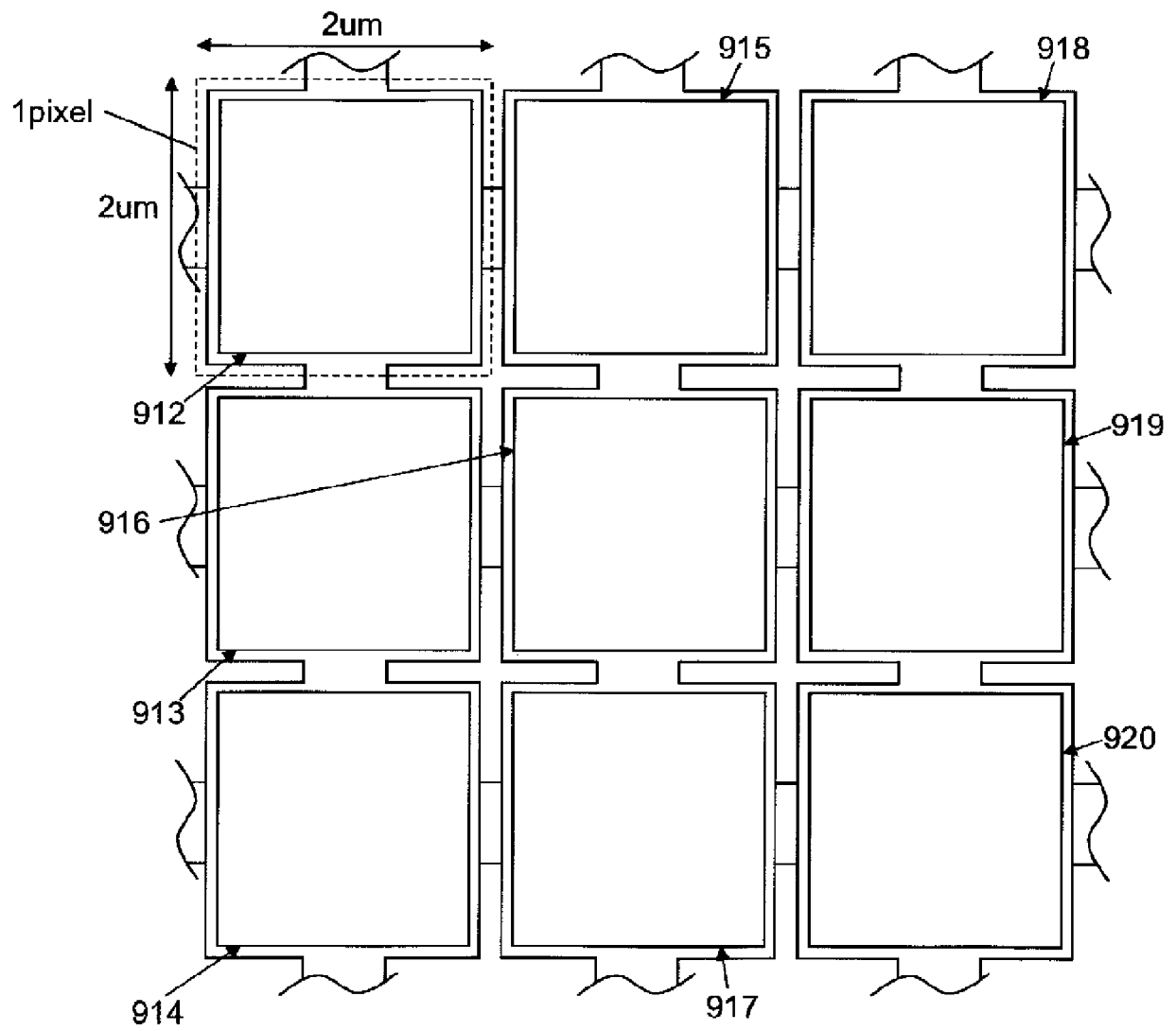
[図87]



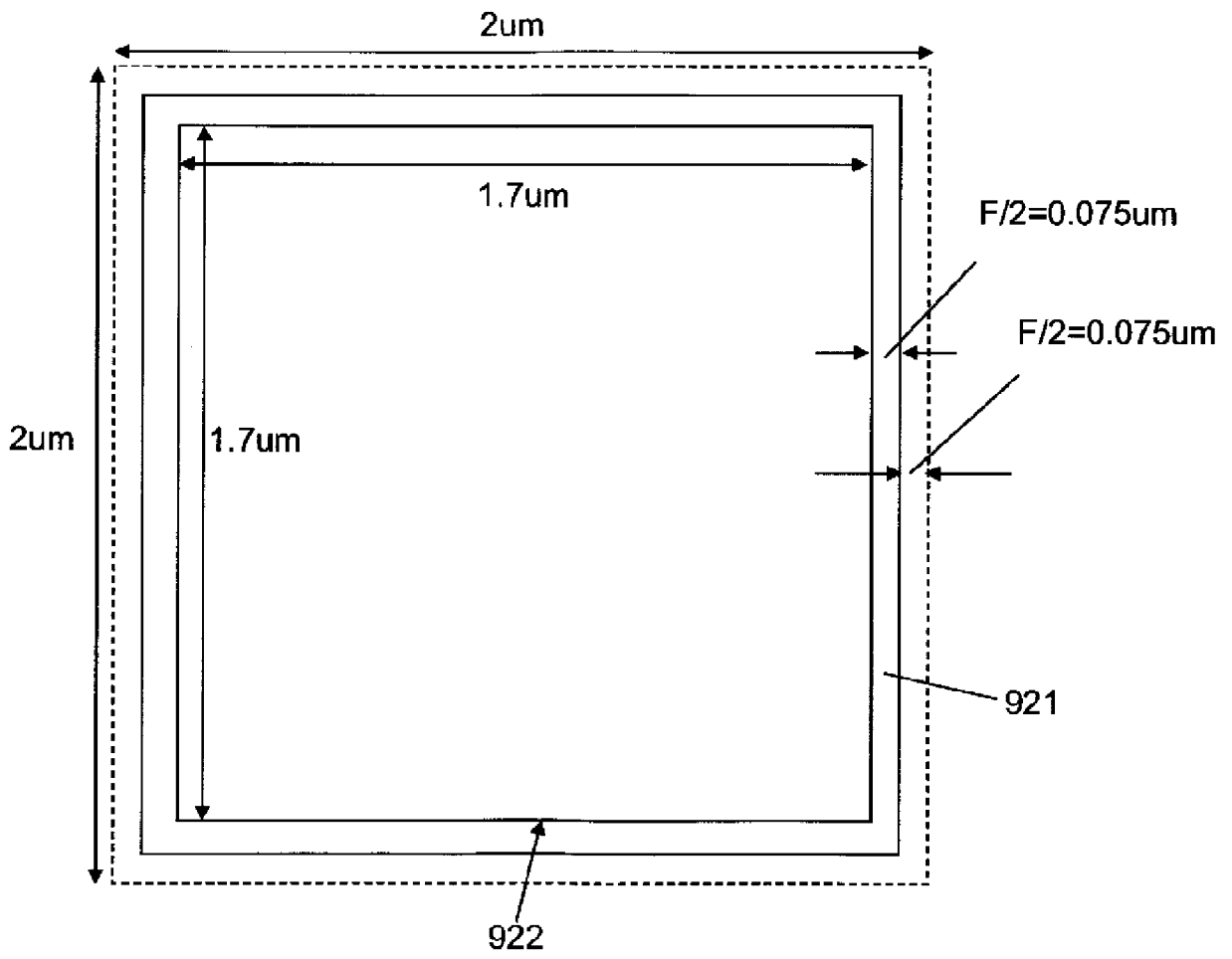
[図88]



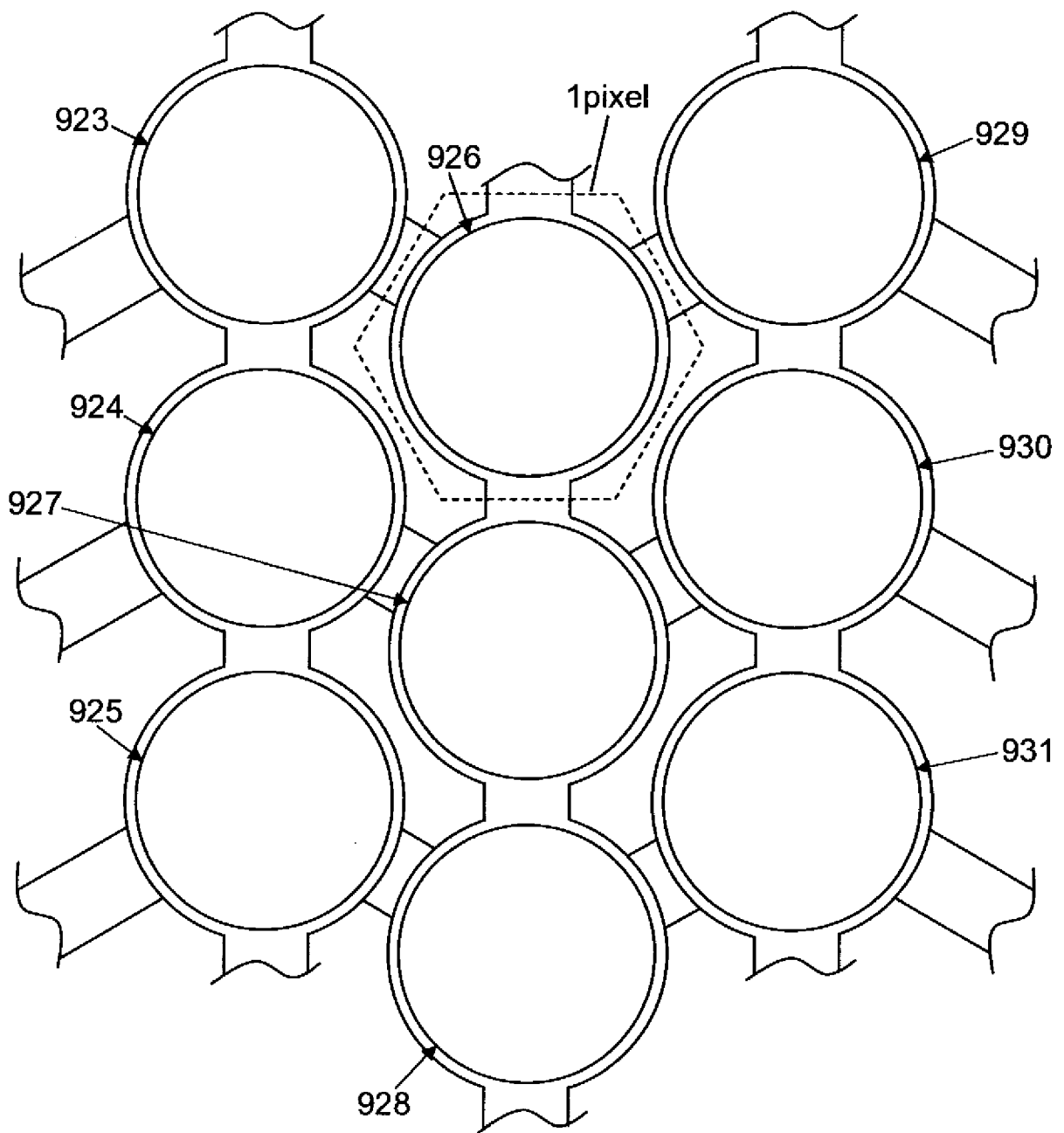
[図89]



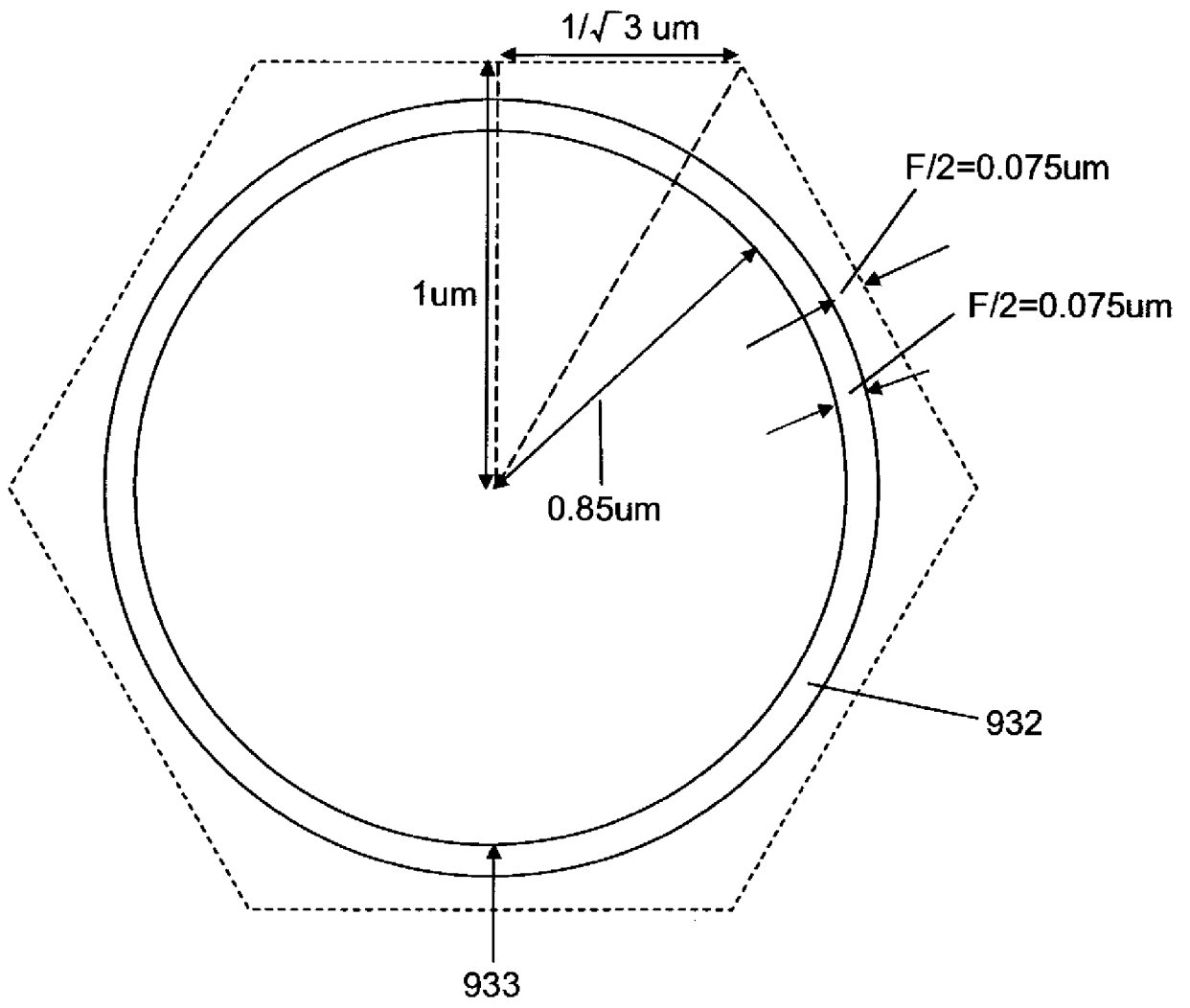
[図90]



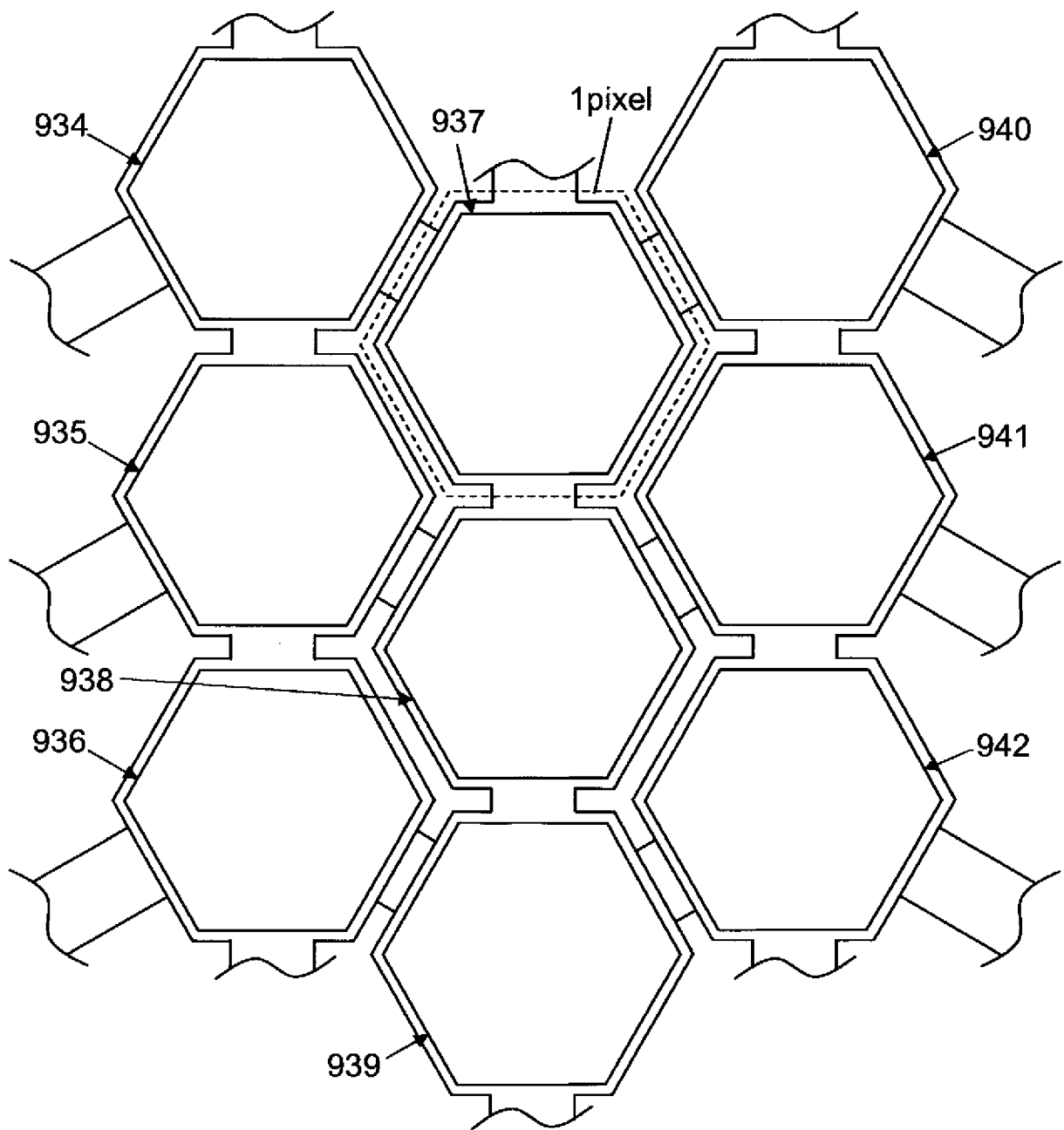
[図91]



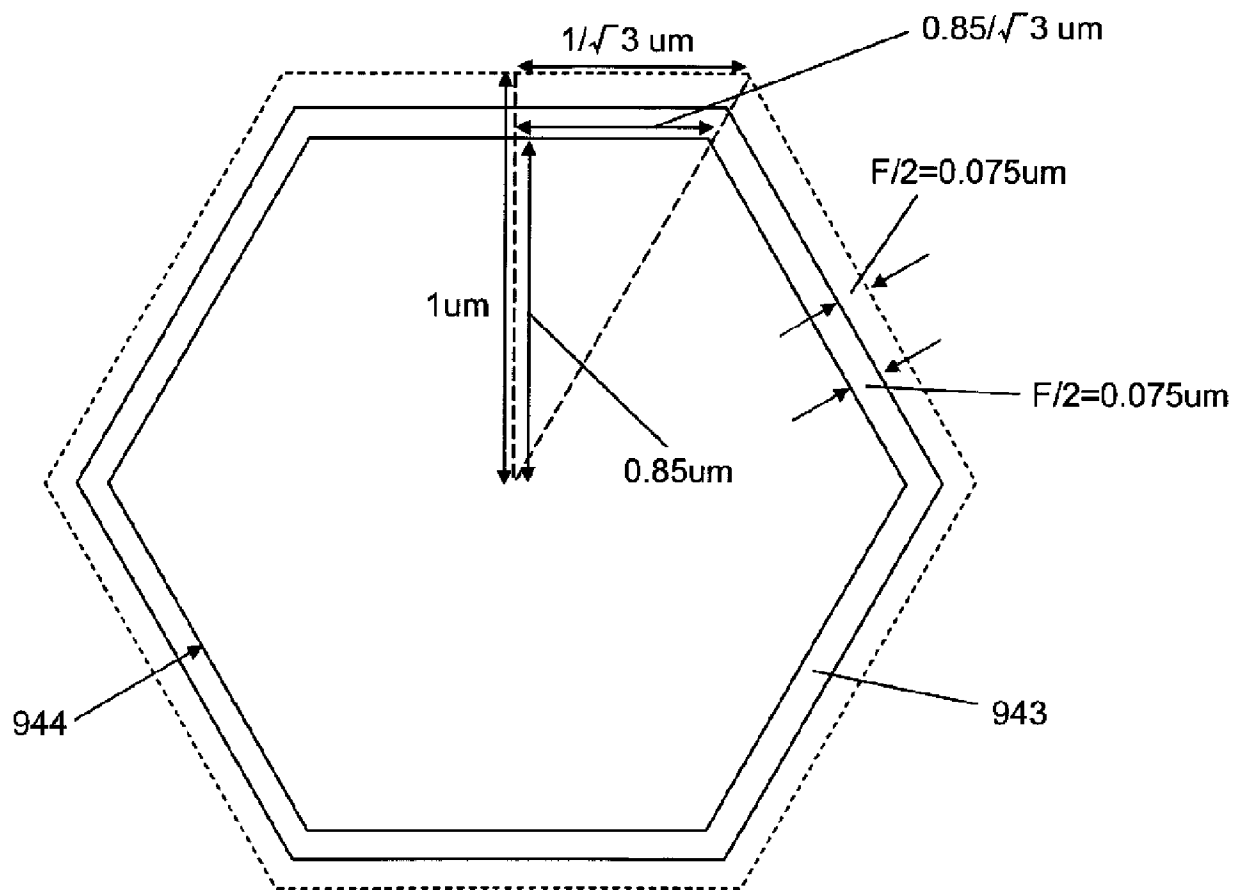
[図92]



[図93]



[図94]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/055231

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/146 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-246580 A (Sharp Corp.), 30 August, 2002 (30.08.02), Full text; all drawings (Family: none)	1-13
A	JP 2-89368 A (Sony Corp.), 29 March, 1990 (29.03.90), Full text; all drawings (Family: none)	1-13
A	JP 2002-246581 A (Sharp Corp.), 30 August, 2002 (30.08.02), Full text; all drawings (Family: none)	1-13

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 10 June, 2008 (10.06.08)	Date of mailing of the international search report 24 June, 2008 (24.06.08)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/055231

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-339057 A (Fuji Xerox Co., Ltd.), 07 December, 2001 (07.12.01), Full text; all drawings (Family: none)	1-13
A	JP 1-175775 A (Sharp Corp.), 12 July, 1989 (12.07.89), Full text; all drawings (Family: none)	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L27/146(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L27/146			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2008年 日本国実用新案登録公報 1996-2008年 日本国登録実用新案公報 1994-2008年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
A	JP 2002-246580 A (シャープ株式会社) 2002.08.30, 全文、全図 (ファミリーなし)	1-13	
A	JP 2-89368 A (ソニー株式会社) 1990.03.29, 全文、全図 (ファミリーなし)	1-13	
A	JP 2002-246581 A (シャープ株式会社) 2002.08.30, 全文、全図 (ファミリーなし)	1-13	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 10.06.2008		国際調査報告の発送日 24.06.2008	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 恩田 春香	4 L 8 9 3 4
電話番号 03-3581-1101 内線 3498			

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-339057 A (富士ゼロックス株式会社) 2001. 12. 07, 全文、 全図 (ファミリーなし)	1-13
A	JP 1-175775 A (シャープ株式会社) 1989. 07. 12, 全文、全図 (ファ ミリーなし)	1-13