

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4664707号  
(P4664707)

(45) 発行日 平成23年4月6日(2011.4.6)

(24) 登録日 平成23年1月14日(2011.1.14)

(51) Int. Cl.

F I

G 1 1 C 16/02 (2006.01)  
G 1 1 C 16/04 (2006.01)

G 1 1 C 17/00 6 1 2 E  
G 1 1 C 17/00 6 1 1 E  
G 1 1 C 17/00 6 1 2 B  
G 1 1 C 17/00 6 1 1 A  
G 1 1 C 17/00 6 2 3 A

請求項の数 11 (全 21 頁)

(21) 出願番号 特願2005-62063 (P2005-62063)  
(22) 出願日 平成17年3月7日(2005.3.7)  
(65) 公開番号 特開2006-12382 (P2006-12382A)  
(43) 公開日 平成18年1月12日(2006.1.12)  
審査請求日 平成20年1月4日(2008.1.4)  
(31) 優先権主張番号 特願2004-157209 (P2004-157209)  
(32) 優先日 平成16年5月27日(2004.5.27)  
(33) 優先権主張国 日本国(JP)

(73) 特許権者 302062931  
ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753番地  
(74) 代理人 110000350  
ポレール特許業務法人  
(74) 代理人 100068504  
弁理士 小川 勝男  
(74) 代理人 100086656  
弁理士 田中 恭助  
(72) 発明者 久本 大  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所 中央研究所内  
(72) 発明者 安井 感  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所 中央研究所内  
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に絶縁膜を介してゲート電極が積層されてなる第1ゲートを有する第1の絶縁ゲート型電界効果トランジスタと、

前記第1の絶縁ゲート型電界効果トランジスタに隣接する前記半導体基板の領域上に形成された電荷蓄積膜を含む第2ゲートを有する第2の絶縁ゲート型電界効果トランジスタと、

前記第1の絶縁ゲート型電界効果トランジスタの下方の前記半導体基板内に形成された第1のチャンネルと、

前記第2の絶縁ゲート型電界効果トランジスタの下方の前記半導体基板内に、前記第1のチャンネルと電氣的に接続されるように隣接して形成された第2のチャンネルと、

前記第1のチャンネルと前記第2のチャンネルとが形成された前記半導体基板の領域を挟み込むように前記第1のチャンネルの一端側と前記第2のチャンネルの他端側にそれぞれ形成された第1の拡散層電極および第2の拡散層電極とを有し、

前記第2ゲートに電圧を印加し、前記第2のチャンネル領域から前記電荷蓄積膜へ電子およびホールを注入させることにより書き込みおよび消去を行う集積半導体不揮発性メモリであって、

前記消去は、前記第2ゲートに複数回パルス電圧を印加するパルス印加と、前記第2ゲートに印加されるゲート電圧に対してセル電流の値が実質的に経時変化しないゲート電圧

10

20

を基準としたセル電流の比較によるベリファイとを含み、

前記パルス電圧の各々は、予め用意された参照表に従って決定されることを特徴とする集積半導体不揮発性メモリ。

【請求項 2】

前記参照表にパルス幅が規定されていることを特徴とする請求項 1 に記載の集積半導体不揮発性メモリ。

【請求項 3】

少なくとも 2 回の書き込みパルスの印加を行った後、ベリファイを行うことを特徴とする請求項 1 に記載の集積半導体不揮発性メモリ。

【請求項 4】

前記消去における前記ベリファイは、少なくとも 2 回の消去パルスの印加を行った後に  
行われる

ことを特徴とする請求項 1 に記載の集積半導体不揮発性メモリ。

【請求項 5】

少なくとも 2 回の書き込みパルスの印加を行った後、ベリファイを行い、少なくとも 2 回の消去パルスの印加を行った後、前記消去における前記ベリファイを行うことを特徴とする請求項 1 に記載の集積半導体不揮発性メモリ。

【請求項 6】

半導体基板上に絶縁膜を介してゲート電極が積層されてなる第 1 ゲートを有する第 1 の絶縁ゲート型電界効果トランジスタと、

前記第 1 の絶縁ゲート型電界効果トランジスタに隣接する前記半導体基板の領域上に形成された電荷蓄積膜を含む第 2 ゲートを有する第 2 の絶縁ゲート型電界効果トランジスタと、

前記第 1 の絶縁ゲート型電界効果トランジスタの下方の前記半導体基板内に形成された第 1 のチャンネルと、

前記第 2 の絶縁ゲート型電界効果トランジスタの下方の前記半導体基板内に、前記第 1 のチャンネルと電氣的に接続されるように隣接して形成された第 2 のチャンネルと、

前記第 1 のチャンネルと前記第 2 のチャンネルとが形成された前記半導体基板の領域を挟み込むように前記第 1 のチャンネルの一端側と前記第 2 のチャンネルの他端側にそれぞれ形成された第 1 の拡散層電極および第 2 の拡散層電極と

を有し、

前記第 2 ゲートに電圧を印加し、前記第 2 のチャンネル領域から前記電荷蓄積膜へ電子およびホールを注入させることにより書き込みおよび消去を行う集積半導体不揮発性メモリであって、

前記書き込みは、前記第 2 ゲートに複数回パルス電圧を印加するパルス印加と、前記第 2 ゲートに印加されるゲート電圧に対してセル電流の値が実質的に経時変化しないゲート電圧を基準としたセル電流の比較によるベリファイとを含み、

前記パルス電圧の各々は、予め用意された参照表に従って決定されることを特徴とする集積半導体不揮発性メモリ。

【請求項 7】

前記参照表が回路素子構成により記憶されていることを特徴とする請求項 6 に記載の集積半導体不揮発性メモリ。

【請求項 8】

半導体基板上に絶縁膜を介してゲート電極が積層されてなる第 1 ゲートを有する第 1 の絶縁ゲート型電界効果トランジスタと、

前記第 1 の絶縁ゲート型電界効果トランジスタに隣接する前記半導体基板の領域上に形成された電荷蓄積膜を含む第 2 ゲートを有する第 2 の絶縁ゲート型電界効果トランジスタと、

前記第 1 の絶縁ゲート型電界効果トランジスタの下方の前記半導体基板内に形成された第 1 のチャンネルと、

10

20

30

40

50

前記第 2 の絶縁ゲート型電界効果トランジスタの下方の前記半導体基板内に、前記第 1 のチャンネルと電氣的に接続されるように隣接して形成された第 2 のチャンネルと、

前記第 1 のチャンネルと前記第 2 のチャンネルとが形成された前記半導体基板の領域を挟み込むように前記第 1 のチャンネルの一端側と前記第 2 のチャンネルの他端側にそれぞれ形成された第 1 の拡散層電極および第 2 の拡散層電極とを有し、

前記第 2 ゲートに電圧を印加し、前記第 2 のチャンネル領域から前記電荷蓄積膜へ電子およびホールを注入させることにより書き込みおよび消去を行う集積半導体不揮発性メモリであって、

前記書き込みは、前記第 2 ゲートに多段ステップの電圧を印加する多段ステップ電圧印加と、前記第 2 ゲートに印加されるゲート電圧に対してセル電流の値が実質的に経時変化しないゲート電圧を基準としたセル電流の比較によるペリファイトを含み、

前記多段ステップの電圧の各々は、予め用意された参照表に従って決定されることを特徴とする集積半導体不揮発性メモリ。

【請求項 9】

前記参照表が回路素子構成により記憶されていることを特徴とする請求項 8 記載の集積半導体不揮発性メモリ。

【請求項 10】

半導体基板の上に絶縁膜を介してゲート電極が積層されてなる第 1 ゲートを有する第 1 の絶縁ゲート型電界効果トランジスタと、

前記第 1 の絶縁ゲート型電界効果トランジスタに隣接する前記半導体基板の領域上に形成された電荷蓄積膜を含む第 2 ゲートを有する第 2 の絶縁ゲート型電界効果トランジスタと、

前記第 1 の絶縁ゲート型電界効果トランジスタの下方の前記半導体基板内に形成された第 1 のチャンネルと、

前記第 2 の絶縁ゲート型電界効果トランジスタの下方の前記半導体基板内に、前記第 1 のチャンネルと電氣的に接続されるように隣接して形成された第 2 のチャンネルと、

前記第 1 のチャンネルと前記第 2 のチャンネルとが形成された前記半導体基板の領域を挟み込むように前記第 1 のチャンネルの一端側と前記第 2 のチャンネルの他端側にそれぞれ形成された第 1 の拡散層電極および第 2 の拡散層電極と

を有し、

前記第 2 ゲートに電圧を印加し、前記第 2 のチャンネル領域から前記電荷蓄積膜へ電子およびホールを注入させることにより書き込みおよび消去を行う集積半導体不揮発性メモリであって、

前記消去は、前記第 2 ゲートに多段ステップの電圧を印加する多段ステップ電圧印加と、前記第 2 ゲートに印加されるゲート電圧に対してセル電流の値が実質的に経時変化しないゲート電圧を基準としたセル電流の比較によるペリファイトを含み、

前記多段ステップの電圧の各々は、予め用意された参照表に従って決定されることを特徴とする集積半導体不揮発性メモリ。

【請求項 11】

前記参照表が回路素子構成により記憶されていることを特徴とする請求項 10 記載の集積半導体不揮発性メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体記憶装置のうち、特に不揮発性メモリ構造を有効に動作させる方式を有する半導体記憶装置に関する。

【背景技術】

【0002】

L S I に組み込まれた集積半導体メモリの一つに不揮発性メモリがある。これは、L S

10

20

30

40

50

Iの電源を切っても記憶情報が残る素子であり、LSIを様々な応用に用いるためには、極めて重要な素子になっている。

【0003】

半導体素子の不揮発性メモリについては、非特許文献1に、いわゆる浮遊ゲート型メモリや絶縁膜を用いたメモリの記載がみられる。ここでも記載があるように、絶縁膜を積層し、その界面や絶縁膜中のトラップ等に電荷を蓄えるものは、浮遊ゲート型に比べて新たな導電層を形成する必要がなく、CMOSLSIプロセスと整合性よくメモリを形成できることが知られている。

【0004】

しかし、これまでの絶縁膜中に電荷を蓄えるものでは、電荷の注入と放出を行なわせながら、かつ、十分に電荷保持特性を持たせることが求められるため、実現が困難なものになっている。これに対して、電荷を放出させる代わりに、異なる符号を持った電荷を注入することで記憶情報の書き換えを行なうことが提案されている。この動作については、非特許文献3に記述がみられる。この構造では、メモリ動作させる多結晶シリコンゲートとセルの選択を行なうゲートが分かれて形成されている。また、同様の記載が特許文献1や特許文献2にも見ることができる。

【0005】

このメモリセル構造では、基本的にはNMOSをベースとした2つのトランジスタが、選択トランジスタの脇にメモリトランジスタを、いわゆる「縦積み」の配置で連結させるように置かれている。これを等価回路として示したのが図1Cである。なお、図1Aおよび図1Bにはそれぞれ図1Cに示す回路に対応するメモリ素子の平面図および断面図を一例として示す。また、このメモリセルを用いてアレイを構成した場合の配置構成例を図2に示した。選択トランジスタとメモリトランジスタのゲート(選択ゲート、メモリゲート)が、それぞれSGL、MGLで示したワードラインを構成し、選択トランジスタの拡散層がビット線(BL)に、また、メモリトランジスタの拡散層がソース線(SL)になっている。

【0006】

図3、4に、このメモリセルの代表的書き込み消去動作オペレーションを図示した。メモリゲートのゲート絶縁膜950はシリコン酸化膜でシリコン窒化膜を挟む構造で形成しており、いわゆるMONOS構造(Metal-Oxide-Nitride-Oxide Semiconductor(Silicon))になっている。選択ゲートのゲート絶縁膜900はシリコン酸化膜である。拡散層電極200,300は、それぞれ、選択ゲートとメモリゲートをマスクに形成している。このメモリセルの基本的な動作として、(1)書きこみ、(2)消去、(3)保持、(4)読み出し、の4つの状態が考えられる。ただし、この4つの状態の呼び名は、代表的なものとして用いており、書き込みと消去については、逆の呼び方をすることもできる。また、動作オペレーションも代表的なものをを用いて説明するが、様々な異なるオペレーション法が考えられている。ここでは、説明のためNMOSタイプで形成したメモリセルについて述べるが、PMOSタイプでも原理的には同様に形成することができる。

【0007】

(1)書きこみ時を模式的に図3に示した。メモリゲート側拡散層200に正電位を与え、選択ゲート側拡散層300には基板100と同じ接地電位を与える。メモリゲート550に基板100に対して高いゲートオーバードライブ電圧を加えることで、メモリゲート下のチャンネルをオン状態にする。ここで選択ゲートの電位を閾値より0.1ないし0.2V高い値をとることで、オン状態にする。このとき、2つのゲートの境付近に最も強い電界を生じるため、多くのホットエレクトロンが発生し、メモリゲート側に注入される。インパクトイオン化によるキャリアの発生の様子を800として図示した。電子を白抜き丸印、正孔をハッチングを付した丸で示した。この現象はソースサイドインジェクション(Source side injection: SSI)として知られているものであり、これについては、非特許文献4にA.T.Wu等による記述がみられる。ここでの記述は、浮遊ゲート型のメモリセルを用いているが、絶縁膜型においても注入機構は同様である。この方式でのホットエレクトロン注入の特長として、電界が選択ゲートとメモリゲート境界付近に集中する

10

20

30

40

50

ため、メモリゲートの選択ゲート側端部に集中的に注入が行なわれることである。また、浮遊ゲート型では、電荷保持層が電極により構成されているが、絶縁膜型では、絶縁膜中に蓄積されることになるため、極めて狭い領域にエレクトロンが保持されることになる。

(2) 消去時を図4に模式的に示した。メモリゲート550に負電位を与え、メモリゲート側拡散層200に正電位を与えることにより、拡散層端部のメモリゲートと拡散層がオーバーラップした領域で、強反転が生じるようにすることで、バンド間トンネル現象を起こし、ホールを生成することができる。これを810で図示した。このバンド間トンネル現象については、例えば非特許文献5にT. Y. Chan等による記述が見られる。このメモリセルにおいては、発生したホールがチャンネル方向へ加速され、メモリゲートのパイアスにより引かれMONOS膜中に注入されることにより消去動作が行なわれる。また、発生したホールが2次的な電子正孔対を発生する様子を820で示した。これらのキャリアもMONOS膜中に注入される。すなわち、エレクトロンの電荷により上昇していたメモリゲートの閾値を、注入されたホールの電荷により引き下げることができる。

(3) 保持時、電荷は絶縁膜MONOS中に注入されたキャリアの電荷として保持される。絶縁膜中でのキャリア移動は極めて少なく遅いため電極に電圧がかけられていなくても、良好に保持することができる。

(4) 読み出し時、選択ゲート側拡散層200に正電位を与え、選択ゲート500に正電位を与えることで、選択ゲート下のチャンネルをオン状態にする。ここで、書きこみ、消去状態により与えられるメモリゲートの閾値差を判別できる適当なメモリゲート電位、(すなわち、書きこみ状態の閾値と消去状態の閾値の中間電位)を与えることで、保持していた電荷情報を電流として読み出すことができる。

【0008】

【特許文献1】米国特許005969383号明細書

【特許文献2】米国特許US6477084号明細書

【非特許文献1】S. Sze著、「フィジックス オブ セミコンダクタ デバイス (Physics of Semiconductor Devices, 2nd edition)」 第2版、ウィリー出版(Wiley-Interscience pub.)、p. 496 ~ 506

【非特許文献2】S. Sze著、「フィジックス オブ セミコンダクタ デバイス (Physics of Semiconductor Devices, 2nd edition)」 第2版、ウィリー出版(Wiley-Interscience pub.)、p. 447

【非特許文献3】「1997年シンポジウムオンVLSIテクノロジー(1997 Symposium on VLSI Technology)」、1997年、p. 63 ~ 64

【非特許文献4】「1986年アイ・イー・イー・イー、インターナショナル エレクトロン デバイス ミーティング、テクニカルダイジェスト(1986 IEEE, International Electron Device Meeting, Technical Digest)」、1986年、p. 586 ~ 589

【非特許文献5】「1987年アイ・イー・イー・イー、インターナショナル エレクトロン デバイス ミーティング、テクニカルダイジェスト(1987 IEEE, International Electron Device Meeting, Technical Digest)」、p. 718 ~ 721

【非特許文献6】「2001年アイ・イー・イー・イー、インターナショナル エレクトロン デバイス ミーティング、テクニカルダイジェスト(2001 IEEE, International Electron Device Meeting, Technical Digest)」、p. 719 ~ 722

【発明の開示】

【発明が解決しようとする課題】

【0009】

この動作オペレーションを用いたメモリセルの特徴は、両極性のキャリアの電荷を用いているため、メモリトランジスタの設定閾値を大きく変えることができることである。図5は、横軸にメモリゲート電圧、縦軸にセル読み出し電流を表したものである。測定には、上記、読み出し状態を用いたものである。初期状態のI-V特性に比べ、電子を注入することで閾値を高くしたのが、書き込み状態'H'である。また、正孔注入により閾値を低くしたものが消去状態'L'である。例えば、電子の注入、放出を用いて閾値を変えるも

10

20

30

40

50

のでは、初期状態より負側に、閾値を変えることができない。そのため、書き込みと初期状態の間で動作させることが必要になる。これに対して、両極性を用いることで、大きな閾値変化が実現できている。これにより、消去状態で、大きな読み出しセル電流を得ることができることが特徴となる。また、この広い動作領域は多値動作をさせるうえでも有効である。

#### 【0010】

一方、正孔注入を用いたセルにおいては、正孔の脱離現象により、閾値が変わる問題が知られている。この現象については、例えば、非特許文献6において、W. J. Tsai等による記述において、みることができる。正孔の正電荷が減少することにより、正孔注入後、時間とともに、閾値は高い方向にシフトしてゆく。メモリセルの情報保持能力については、この閾値の変動により決められるため、この正孔脱離による変化は、大きな問題であり、正孔注入によるメモリ形成を妨げる一因となっている。

10

#### 【0011】

そこで、本発明の目的は、上記問題点を解決し、安定した動作を行うことのできる絶縁ゲート型不揮発性メモリを提供することである。

#### 【課題を解決するための手段】

#### 【0012】

図6に、この現象による読み出し電流の変化を示した。横軸はメモリゲートのゲート電圧、縦軸は読み出しセル電流である。消去直後と、一定時間経過後のI-V特性をプロットしている。矢印850に示すように、正孔脱離により閾値が上昇し波形が右方向に移動していることがわかる。一方、メモリゲート電圧の大きな領域では、逆に波形は左方向に動いていることがみられる(矢印860)。これは、正孔脱離に伴う界面特性の回復によるものである。このように2つの現象が同時に起きるため、電流波形は、交点を境に逆方向に動くように現れる。この交点は、厳密には、1点で交わるものではないが、経過時間依存性が小さく、実効的には、1点で交わるようにみることができる。すなわち、正孔脱離が起きてても、動かない点が存在するものとみることができる。

20

#### 【0013】

この様子を図7にまとめた。図6において、交点における電流値を $I_A$ 、また、交点を挟む電流値 $I_B$ および $I_C$ とする。このとき、それぞれの電流値を閾値の定義し、 $V_{th-A}$ 、 $V_{th-B}$ 、 $V_{th-C}$ として、図7にその時間変化を示している。横軸は消去後(正孔注入後)の経過時間である。矢印850および矢印860に対応して、それぞれ、 $V_{th-C}$ は上昇を、また、 $V_{th-C}$ は減少している。これに対して、 $V_{th-A}$ では、時間変動をせず、一定の値をとっている。

30

そこで、この交点を用いることで、安定したメモリ保持特性を得ることができる。

#### 【発明の効果】

#### 【0014】

選択ゲートと絶縁膜中に電荷を保持するメモリゲートを持ち、正孔注入を用いた不揮発性半導体装置において、時間変動しない読み出し電流値を得ることができるため、安定したメモリ動作をさせることができる。

#### 【発明を実施するための最良の形態】

40

#### 【0015】

以下、本発明の実施形態について図面を用いて詳細に説明する。

#### 【実施例1】

#### 【0016】

以下、本発明の代表的な消去動作について説明する。図8が、本発明による消去動作シーケンスを示すフロー図である。

半導体によるアレイを構成した集積不揮発性メモリにおいて、書き込み、消去動作を安定に行うため、いわゆる‘ペリファイ動作’が、広く用いられている。これは、書き込みや消去時に、書き込み消去動作印加後、閾値のレベルを確認し、設定電位に達するように、書き込み消去動作を繰り返し行えるようにするものである。正孔注入を行うセルにおい

50

ても、十分な消去状態を作り出すため、消去パルスを印加した後、消去状態の確認をベリファイ動作が、広く用いられている。

【0017】

なお、図8において、VMGは、メモリゲート電圧を、VAは、図6における交点におけるゲート電圧を、Ice11はメモリセルを流れる読出し電流(セル電流)を、IAはVAにおけるセル電流を示し、Nは消去パルスの印加回数を示す。

【0018】

従来、正孔脱離により、閾値が時間変動してゆくため、例えば、 $I_C$  ( $V_{th-C}$ ) を用いてベリファイを行うと、脱離による時間変化のため、電流が減少してしまい、必要な読出し電流を確保することができなくなる。また、消去パルス印加後、ベリファイ動作を行うまでの経過時間により、電流変動が起こるため、消去状態の適正な評価を行うことができなくなる。

そこで、図6に示すように、時間変化を受けない交点であるメモリゲート電圧 $V_A$ において、電流 $I_A$ との比較を行うことで、ベリファイを行う。この電流点は注入後の時間変動を受けないため、消去状態を容易に判定することができる。

【0019】

読出し電流を、この交点の電流値とすると、消去後、長時間経っても、安定した読出し電流を得ることができる。また、セルの読出し電流としては、このベリファイ電圧を基に設定することができる。例えば、読出し電流として $I_A$ より大きなもの $I_B$ が必要な場合、初期状態における $V_{th-B}$ と $V_{th-A}$ の差 $V_{BST}$ を見込み、読出し時のメモリゲート電圧 $V_A$ を設定すればよい。 $V_A$ より高い領域では、電流は増加する変化をするため、こうした読出し電位設定を行うことで、読出し電流を確保することができる。逆に、それほどの電流を必要としない場合においても、メモリゲート電圧 $V_A$ でベリファイをかけることで、消去状態を評価できるため、その後の電流変化を予測することができる。すなわち、 $V_{th-C}$ の経時変化がわかっているため、一定である $I_A$ が判れば、この効果を勘案して換算することができる。

また、ベリファイ点を外挿することができる。すなわち、交点より低い電圧 $V_F$ においてベリファイ点を設定する際、 $V_F$ における電流と相互コンダクタンスをもとに、交点における電流値を予測することができる。これを基に、 $V_F$ 点でベリファイを行うことができる。

【実施例2】

【0020】

次に、本発明方式を用いた場合の書き込み消去動作における、ベリファイ条件の設定法について説明する。消去状態においては、上述のように交点によりベリファイされた場合、この交点と、書き込み状態でのベリファイ点との間が、このメモリセルの実際の動作ウインドとすることができる。

【0021】

一方、書き込み状態では、ホットホールを絶縁膜に注入した場合、絶縁膜酸化膜界面に界面準位を生成することが知られている。界面準位があると、ゲートの電界効果により表面電位を変化させてゆくことで、電子が界面準位にトラップされることになり、この電子のもつ電荷により、電流で定義する閾値は大きく変わることになる。そのため、不揮発性メモリの動作にとっては、閾値の変動が加わることになり、重要な課題とみることができる。この効果は、主として電子のトラップにより生じるため、書き込み側で大きな問題となってくる。この現象を、図9を用いて説明する。図9では、横軸にメモリゲートのゲート電位、縦軸にセルの読出し電流を対数表示を用いて示している。書き込み直後と、一定時間経過後のIV特性が示されている。書き込み直後では、消去時の正孔注入により生じた界面準位のため、読出し電流の傾きは小さなものになっている。しかし、時間が経つことで、界面準位が回復し、読出し電流の傾きは小さくなり、波形は立ったものになってきている。この回復現象は、高温状態でより強く現れ、特に100以上になると顕著になることが知られている。通常の半導体チップの使用動作温度が-40から100程度であることを考えれば、この現象が避けられないものといえる。

10

20

30

40

50

この傾きの変化は、電荷をトランジスタ特性の差として読み出すメモリセルにとっては、結局、閾値の変化として現れてくる。すなわち、図9において、 $I_D$ をベリファイ電流値とした場合、書き込み直後では、ベリファイレベルが $V_D$ であるのに対して、時間経過後では、 $V_E$ に変化してしまう問題とみることができる。

#### 【0022】

以下にこの変化量について説明する。この閾値の変化量については、非特許文献2に述べがみられる。すなわち、発生する界面準位の量と、メモリゲート電圧の傾きについての関係が明らかにされている。そこで、これをもとに、界面準位の量と、ベリファイレベルの変化量（閾値電圧の変化量）の関係を求めたものが、図10、図11である。

#### 【0023】

図10、図11においては、メモリゲートのゲート絶縁膜厚をパラメータとしている。このメモリセル構造においては、メモリゲートのゲート絶縁膜950はシリコン酸化膜とシリコン窒化膜の積層構造を用いている。ここでは、酸化膜に換算した実効膜厚 $T_{ox}$ を用いて示している。メモリゲートの膜厚を薄くすることで、界面準位の効果を抑えることができる。しかし、この膜厚を薄くすると、電荷保持特性等の、他のデバイス特性に影響することが知られている。また、厚くすると、書き込み消去特性が劣化することが知られているため、サブミクロン（1ミクロン以下）世代相当の選択トランジスタおよびメモリトランジスタを用いることを考えると、実効的に用いることができるのは、 $T_{ox} < 25\text{nm}$ と考えることができる。また、メモリにおける‘L’状態と‘H’状態の電流比の設定の仕方は、アレイおよび周辺のセンスアンプ特性に強く依存するものと考えられる。しかし、一般にアレイ構成として、同一のラインにセルが256ビット程度の数がつくものと考え、その比として、3桁の確保が目安とみることができる。このとき、界面準位による効果で2Vの閾値変動が起きることになる。ここで、正孔が作る界面準位が $10^{12}\text{cm}^{-2}$ オーダーであることが報告されていることから、閾値変動の必要条件を求める上限として $10^{13}\text{cm}^{-2}$ を仮定した。図11は、その界面準位と閾値変動の関係を求めたものである。10<sup>13</sup> cm<sup>-2</sup>を仮定した場合、2Vの変化を見込む必要がある。これには、書き込み側でのベリファイを行う際に、必要な設定ベリファイレベルを、この界面準位による効果を加え、2V高く設定することにより、長時間経っても安定した読出し電流を得ることが出来る。ここでの試算には、基本的な動作を説明するため室温を仮定しているが、使用設定に基づき温度特性を勘案することができる。

#### 【0024】

ここでは、実用的なセル電流を考えることで、閾値の変化として設定方法について述べてきた。一方、図9に示したように、界面準位の回復はIVの傾きが立ってくるものとして観測することができる。界面準位の場合、バンドギャップの電子伝導帯側では正孔トラップが中心となり、価電子帯では電子トラップが働いてくるため、表面ポテンシャルがミッドギャップとなるゲート電圧を軸にこの回復現象が起こるものとみることができる。図9では、x軸上にこの交点が見れる様子を見ることができる。この場合、この点は書き込み状態における不動点とみることができるため、この点をベリファイに用いると有効に使うことができる。しかし、実際には、この交点での電流値は図9にも示したように極めて小さなものとなるため、実用的ではない。しかし、ここに不動点が見れIV波形は対数軸に対してほぼ直線の、いわゆるサブスレシールド特性を示しているため、直接ではなくても外挿することで用いることができる。

#### 【0025】

設定例を以下に説明すると、図6に示す消去状態で、メモリゲート電圧2V、セル電流100 $\mu\text{A}/\mu\text{m}$ となるセルにおいて、初期状態では、このセル電流値に対応するメモリゲート電圧が4Vになっていた場合、書き込み側におけるメモリゲート電圧を6Vに設定するところ、上記に説明した界面順位の効果を考慮して、さらに2V高く設定した8Vにすればよい。但し、傾きによる効果を換算することで、書き込み側ベリファイ電圧を下げ、かつ、低い電流値で行うことができる。

#### 【0026】



この高い書き込みを実施するにあたり、複数の書き込みパルスを用いることで、良好なメモリ動作を得ることができる。前述したように、SSI書き込みした電子は狭い領域に局所的に注入される特徴がある。電子の局所的な注入により形成されたポテンシャル障壁は、チャンネル方向の電界の浸透により、引き下げられ、パンチスルーと呼ばれるリーク電流が生じることが知られている。そのため、高い閾値を実現するには、極めて多くの電子を注入することが必要になる。さらに消去においては、この電子を消去するため、極めて多くの正孔を注入することが必要になり、膜の劣化や消去不足などの問題を引き起こす。これを回避するには、チャンネルホットエレクトロン(CHE)方式による電子の書き込み法とSSI方式を組み合わせることが有効である。CHEとは、チャンネルおよび拡散層端の電界により電子を加速することでホットエレクトロンを生成し、電荷保持部に注入するものである。このため、SSIに比べ拡散層に近くにもわたる広い領域に注入が行われることになる。もちろんCHEとSSIは、電子注入機構を説明するためのモデルであり、厳密に区別されるものではない。ここでは、異なる2種のパルスを説明するため用いたものであり、CHEとしたパルスにおいてもSSI的注入を含んでおり、また、SSIとしたパルスもCHE的注入を含むものである。

10

#### 【0027】

CHE的な注入はSSIに比べ、メモリゲートの電圧を小さく設定することで実現される。そこで、高い書き込みを実現するため、はじめに、メモリゲート電圧を低く設定し、CHEによる注入を行った後、メモリゲート電圧を高くした書き込みを行う。この場合、CHEにより広く電子が注入された状態に、SSIにより局所的な注入を行うため、少ない電子注入で有効に高い書き込みを果たすことができる。そのため、SSI注入時間を短く、また、拡散層にかける電圧を低くすることができる。例えば、はじめにメモリゲート電圧8Vで書き込みを行った後、メモリゲート電圧1.1Vで書き込みを行えばよい。また、これに併せて、拡散層電圧を6.5Vから5.5Vに変えることができる。

20

#### 【0028】

多段書き込みによる効果をさらに詳細に示す。多段書き込みにおいて、比較的弱くメモリゲート電圧を高くしていった場合、既注入電子が存在するため、その後の電子注入分布が変化することになる。CHE注入はメモリゲート電圧を高く、メモリゲート側拡散層電圧を低く設定された状態のとき生じることが述べた。多段書き込みにおける2回目以降では、それまでの注入電子が存在するため、同じような機構が起きてくるものとみることができる。以下、説明を明確なものとするため、図1Cをもとに、各端子のバイアス名称を図13に示し、図14に示す代表的な動作バイアス条件を用いて述べる。これらは、イメージを与えるためのものであり、数値を特定するものではない。Step 1においてメモリゲート電圧を6Vに設定した書き込みパルスにより、電子注入を行う(図15)。図15において電荷蓄積層を、シリコン酸化膜954、シリコン窒化膜955、シリコン酸化膜956の積層構造により示した。ステップ1において、850により示したように、まず選択トランジスタ側に電子注入が行われる。ステップ2においては、メモリゲート電圧を高くしても850に蓄積された電子電荷のため、実効的なメモリゲート電圧は低いものになる。そのため、図16に矢印830で示すように、より拡散層電極200に近い領域851へ電子注入が行われるようになる。もちろんこの間にも850への電子注入が完全に妨げられるわけではないため、850の電子密度および膜厚方向への分布は広げられるように変化していく。これは、後段の書き込み時に、CHE的な注入機構がより強く働いていると考えることができる。そのため、多段階のステップ注入を行うことで、最終的なメモリゲート電圧を高くしても、CHEを用いた電子注入を行うことができるものと言える。注入された電子はメモリゲート領域に広く分布する形にすることができるため、広がった分布により閾値を有効に高くすることができる。また逆に、閾値が同じ場合、広がった分布においては、注入場所毎の注入された電子の単位電荷密度は低くすることができるため、書き込み後の電子保持特性を良好なものとするることができる。

30

40

#### 【0029】

図17は、さらに多段階のステップを用いた注入例をしめす。前述したベリファイ動作を

50

組み合わせて用いることができる。すなわち、必要なステップにおいてベリファイを行うことで、不要な高いメモリゲート電圧をかけることなく、必要な閾値状態まで電子注入を行うことができる。例えば、ステップ3で十分な高さまで書き込むことができれば、ステップ4を行う必要がないため、メモリゲートは9Vまでで書き込み処理することができる。本書き込み方式は、図17に示したパルス設定の参照表を用意し、ステップ毎に参照表に従い書き込み動作を行うものといえる。ステップ1の電子注入時には、電子による電圧降下が小さいため、短時間のパルス幅に設定することができる。その様子を図18に示した。

これらの参照表は、不揮発性メモリアレイの制御プログラムとして形成することができる。また、メモリアレイの回路中に、素子により回路構成として組み込むことができる。例えば、図37に示すように、印加パルスのステップ数のカウンタを設け、異なる電位をもつ電源線(Vd1, Vd2, Vd3, Vd4)のセレクタを介してメモリゲート(MGL)のドライバを駆動させることで、ステップにより異なる電圧を印加することができる。

ステップ1を十分に弱い電子注入を用いて行う場合、ステップ1を行った後にベリファイを行っても、ベリファイ基準に達していないことは明らかである。そこで、ステップ1の後のベリファイを行わないことで書き込み時間を短縮することができる。ここでは、ステップ1を用いて説明を行ったが、多段ステップを用いる場合に、ステップ2以降においても不要なベリファイを省き、繰り返し書き込みをおこなってから、ベリファイを行うことが書き込み時間を短縮するうえで有効である。始めの2段ではベリファイを行わず、その後のパルス印加時にはベリファイを行う場合の書き込みシーケンスを図19にまとめた。

#### 【0030】

図38に、書き込み時の印加パルスの組み合わせを、タイミングチャートを用いて示す。ここでは、一つのセルに着目することで説明を行う。ここでは書き込みパルス、P1、P2、P3を加えた後、ベリファイ動作(V1)を行い、必要に応じて書き込みパルスP4を印加している。ここでは、P1、P2、P3を分割したパルスで与えているが、図39に示すように一つのパルスにまとめて行うことができる。この図においては、タイミングに加え、それぞれP1, P2, P3に対応して印加される異なるメモリゲートバイアスの状況を示した。Vd1がベリファイポイントに対応する。また図40に示すように、同じパルスのなかでも、暫時電圧を変えて行くことで、同様の効果を引き出すことができる。

書き換えを繰り返すことで電荷保持膜が劣化し、より強い書き込みを行うことが必要になる。そのため、書き換え回数の少ないうちは早いステップにおいて最初のベリファイを行い、書き換え回数が増加した場合、より遅れたステップにおいて最初のベリファイを行うようにすることで、書き込み時間の短縮を図ることができる。ここでは書き込みについて説明したが、多段の消去を行う場合においても有効である。

また、ここまで表中において、すべての端子電圧を与える場合を例示してきた。

#### 【0031】

しかし、図20に示すようなアレイ動作、構成をとる場合には、参照表は電圧によるパラメータでなく、パラメータとして電流値を用いて構成することができる。図20の2つのメモリセル(Bit0とBit1)へ書き込みにより説明する。このとき、それぞれのドレイン側拡散層電位(Vd)は、BL0、BL1で与えられることになる。BL0およびBL1は上下にMP0, MP1とMN0, MP1にはさまれており、そのゲート電位は定電流源CCS1, CCS2をつないだ回路により与えられる。CCS1およびCCS2は電流I1, I2を流すものであるため、MP0, MP1のゲートに、I1の電流が流れる電位が与えられるように設定される。また同様にして、MN0, MN1においてはI2の電流が流れるようなゲート電位に設定される。このとき“H”に書き込むセルではBS0およびBS1をオンにすることで選択する。このとき上側から電流I1が流れ込み、下側からI2が流れ出るため、メモリセルには電流Ipが流れる状態をとることができる。すなわち、VdをIp=I1-I2なる関係の電位とすることができる。例えば、セル電流Ipを1μAとすると、図14において選択トランジスタのゲートオーバードライブ(Vcg-Vd)は0.5Vであり、これに対応して図21においてはVdは約1V程度の電位が与えられることになる。ここでは、説明を判りやすくするため、基板効果について省略している。このようなアレイ

10

20

30

40

50

構成では、セル電流により規定できるため、選択トランジスタのゲート電位の設定自由度が増す特徴がある。すなわち、図 2 1 において 1.5V で設定していたメモリセルにおいても図 2 2 で示すように 1V に設定することができる。この場合、 $V_s$  が同じ値 (5V) であっても、 $V_d$  を小さくすることができるため、 $V_s - V_d$  を大きくすることができる。これにより、書き込み効率を高くすることができる。

また、図 2 3 にしめすようにメモリゲート電位が低い設定に対して拡散層電極電位  $V_s$  を高く設定することでより広く電子を注入することができる。

#### 【 0 0 3 2 】

消去においても、このパルスの参照表を用いる方式が有効である。消去動作では、'H' 状態に書き込みされたセルでは、蓄積された電子の電荷のため高い電界が生じる。すなわち、消去パルスは、メモリゲートを負に、メモリゲート側拡散層電極電位を正にバイアスを加える。このとき、電子の電荷があることにより、実効的なメモリゲートの負バイアスは強められ、メモリゲート-拡散層電極間の電位差が大きなものになる。そのため、極めて多量のホールが生じ、大きな消去電流が流れることになる。そこで、図 2 4 に示すように、ステップ 1 では  $V_s$  を下げて弱消去することが有効である。また、図 2 5 に示したようにパルス幅を設定することで、消去電流を操作することができる。

また、消去パルスを加えることで正孔注入を行うと、蓄積されたホールの電荷により、ホール発生が抑制されることが知られている。そのため、十分な消去をするためには、段階的に電界を強くすることが有効である。一方、ホール注入は絶縁膜にストレスを与え、膜劣化を引き起こすことが知られている。そのため、過度のホール注入を避ける必要がある。そこで、図 2 6 に示した参照表のように、ベリファイを行いながら段階的に電界を上げ、十分な消去が行われたところで、それ以上の消去をやめることで、不要なホールの注入を避けることができる。また、図 2 7 に示すように、メモリゲートのバイアス設定により、効率的な消去を行うことができる。

#### 【 0 0 3 3 】

図 2 8 に示すように、メモリアレイ 9 6 0 をブロック 9 7 0 に分けて消去動作を行うことで、消去電流を小さくすることができる。図 2 8 は、アレイを A0 から A7 の 8 ブロックに分けた例を示したものである。これに対応させた参照表を図 2 9 に示す。図 2 9 では、選択ブロックの項が加えられている。ステップ 1 から 2 4 までは、ブロック毎の選択を行い、2 5 ステップでは全ブロックの選択を行っている。これは、消去初期に蓄積された電子のため強い電界が発生し、大きな消去電流が流れる。この初期消去はブロック毎に行うことで電流を低減することができる。また、ブロック毎に消去することで、消去時においても非選択セルが生まれることになる。そのためディスタープについて配慮する必要がある。そこで、ステップ 2 5 に示したように、すべてのブロックを選択する消去シーケンスが有効である。一度消去を行っているため、すべてのブロックを選択しても、少ない電流に抑えることができる。この方式による消去では選択するブロックの順序を図 3 0 に示すように、全ブロックを順次選択しながら、多段のパルス印加を行うことができる。

#### 【 0 0 3 4 】

図 3 1 は、選択トランジスタに電流を流しながら消去を行う場合の参照表を示したものである。チャンネル電流起因のホットキャリア成分を加えることで、消去効率を良くすることができる。また、この方式を用いた場合、過剰なホットキャリアが発生し、素子の耐圧破壊にいたる課題がある。そこで、図 2 0 に示した電流制御を用いることが有効である。その場合の参照表が図 3 2 である。例えば  $V_d$  として、チャンネル電流  $I_p$  が  $1 \mu A$  流れるようにすればよい。

この正孔注入方式では、拡散層電圧 ( $V_s$ ) を小さくしても、正孔を注入できる特徴がある。そこで、図 3 3 に示した参照表のような多段消去を行うことが、リーク電流低減に有効である。すなわち、ステップ 1 では蓄積された電子のため、拡散層-メモリゲート間に強い電界が生じ、大きなリーク電流を生むことになる。そこで、ステップ 1 のとき、拡散層電圧を下げることで、リーク電流低減に効果的である。ステップ 1 により蓄積された電子を緩和したのち、消去を進めればよい。

10

20

30

40

50

## 【 0 0 3 5 】

また、このステップ1の消去動作を書き込みと動作と比較すると、メモリゲートの設定電位が正負逆になっているだけであることがわかる。そこで、ステップ1において、CHE的効果の強い書き込みの設定をとることで、書き換えを重ねることで拡散層端に蓄積されてくる正孔を低減させることができる。このときの多段ステップによる参照表を図34に示した。このように、書き込み、または消去動作と同時に行う処理は、参照表に加えて行うことができる。図35に示した参照表では、多段消去を行った後、メモリゲートに正電位を加えることで、過剰正孔を除去するシーケンスを示したものである。図36の参照表に示すように、ブロック毎の消去を行った後、全ブロックに対して、メモリゲートを正バイアスするシーケンスをとることができる。

10

## 【実施例3】

## 【 0 0 3 6 】

次に、メモリモジュールを複数集積する場合について説明する。

図12にその構成図を示した。チップ上では、高速に動作させる必要があるメモリアレイと、例えば消費電力低減のため低速で動作させる必要があるアレイを混載する必要がある。このとき、高速で動作させる必要があるアレイでは、上述したようにホットホール注入方式を用いることができる。この場合、同じメモリセルでも必要に応じて動作方式を変えることができる。図12で示した構成においては、高速メモリアレイのみに実施例1および2で述べたベリファイ動作を適用することができる。

## 【図面の簡単な説明】

20

## 【 0 0 3 7 】

【図1A】スプリットメモリセルの平面図。

【図1B】図1Aで説明するスプリットメモリセルの代表的等価回路図。

【図1C】図1Aで示すスプリットメモリセルの断面図。

【図2】スプリットメモリセルを用いたメモリアレイの等価回路図。

【図3】メモリセル構造および書き込み動作を説明するための模式的素子断面構造図。

【図4】メモリセル構造および消去動作を説明するための模式的素子断面構造図。

【図5】書き込みおよび消去状態を説明するためのメモリトランジスタ動作特性を示す図。

。

【図6】消去状態におけるIV特性の経時変化を示すメモリトランジスタ動作特性を示す図。

30

。

【図7】消去状態における閾値の経時変化を示す図。

【図8】本発明による消去動作を示す消去動作シーケンスを示す図。

【図9】書き込み状態におけるIV特性の経時変化を示すメモリトランジスタ動作特性を示す図。

【図10】界面準位の書き込み閾値に及ぼす効果の説明図。

【図11】界面準位の書き込み閾値に及ぼす効果の説明図。

【図12】チップ構成図。

【図13】メモリセル端子名。

【図14】書き込みパルス設定参照表。

40

【図15】書き込み動作を説明するための模式的素子断面構造図。

【図16】書き込み動作を説明するための模式的素子断面構造図。

【図17】書き込みパルス設定参照表。

【図18】書き込みパルス設定参照表。

【図19】書き込みパルスおよびベリファイシーケンス説明図。

【図20】メモリセルアレイ等価回路図。

【図21】書き込みパルス設定参照表。

【図22】書き込みパルス設定参照表。

【図23】書き込みパルス設定参照表。

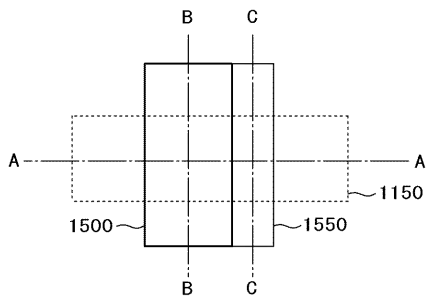
【図24】消去パルス設定参照表。

50

【図 2 5】消去パルス設定参照表。	
【図 2 6】消去パルス設定参照表。	
【図 2 7】消去パルス設定参照表。	
【図 2 8】メモリアレイ構成図。	
【図 2 9】消去パルス設定参照表。	
【図 3 0】消去パルス設定参照表。	
【図 3 1】消去パルス設定参照表。	
【図 3 2】消去パルス設定参照表。	
【図 3 3】消去パルス設定参照表。	
【図 3 4】消去パルス設定参照表。	10
【図 3 5】消去パルス設定参照表。	
【図 3 6】消去パルス設定参照表。	
【図 3 7】書き込みパルス設定表に対応した印加パルスを発生させるための回路構成図。	
【図 3 8】本実施例における書き込み時の印加パルスを示すタイミングチャート図。	
【図 3 9】別の実施例における書き込み時の印加パルスを示すタイミングチャート図。	
【図 4 0】別の実施例における書き込み時の印加パルスを示すタイミングチャート図。	
【符号の説明】	
【 0 0 3 8】	
1 0 0 ... 基板、	
2 0 0 , 3 0 0 , 2 1 0 , 3 1 0 ... 拡散層、	20
5 0 0 , 1 5 0 0 ... 選択トランジスタ、	
5 5 0 , 1 5 5 0 ... メモリトランジスタ、	
8 0 0 , 8 1 0 , 8 2 0 ... キャリア発生領域、	
8 5 0 , 8 5 1 ... 電子注入領域、	
9 0 0 ... 選択ゲート絶縁膜、	
9 4 0 ... サイドウォール、	
9 5 0 ... メモリゲート絶縁膜、	
9 5 4 , 9 5 6 ... シリコン酸化膜、	
9 5 5 ... シリコン窒化膜、	
9 6 0 ... メモリアレイ、	30
9 7 0 ... メモリアレイブロック、	
$V_A, V_B, V_C, V_D, V_E, V_F$ ... 閾値。	

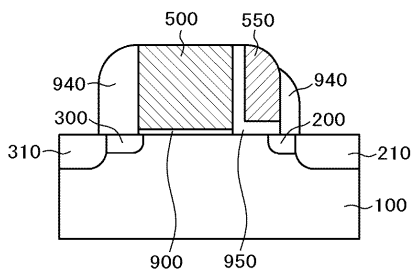
【図1A】

図1A



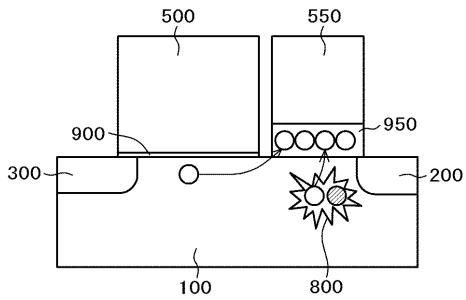
【図1B】

図1B



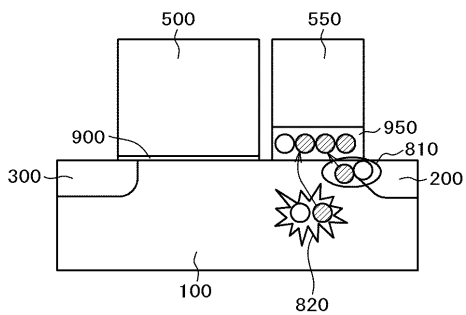
【図3】

図3



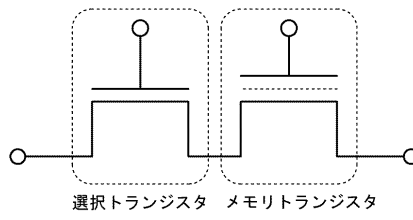
【図4】

図4



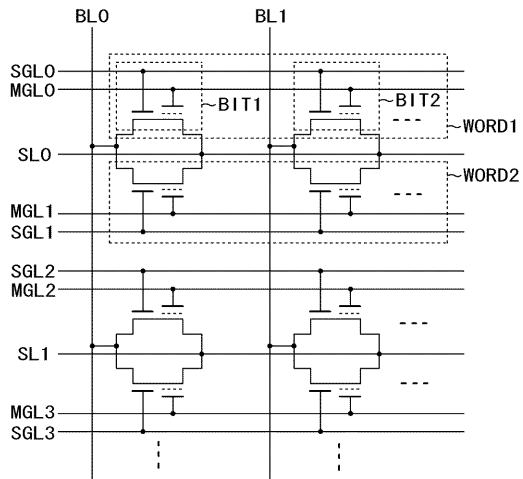
【図1C】

図1C



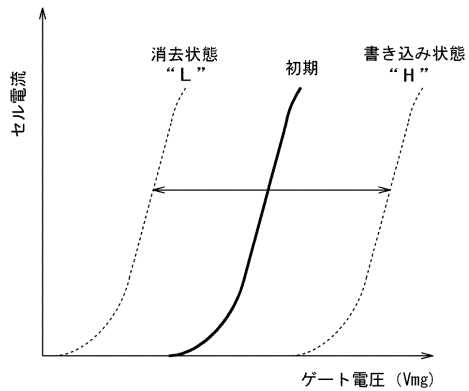
【図2】

図2



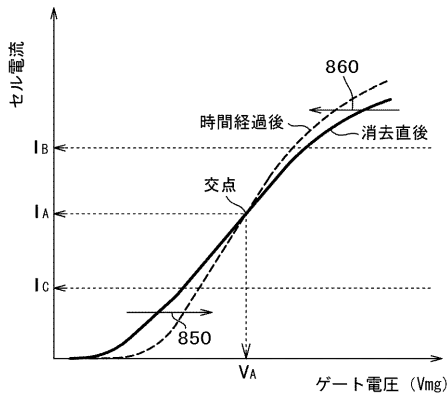
【図5】

図5



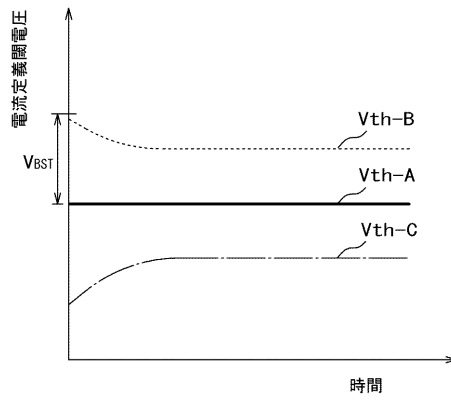
【図6】

図6



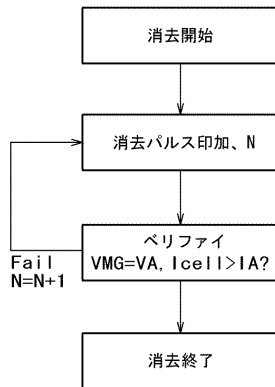
【図7】

図7



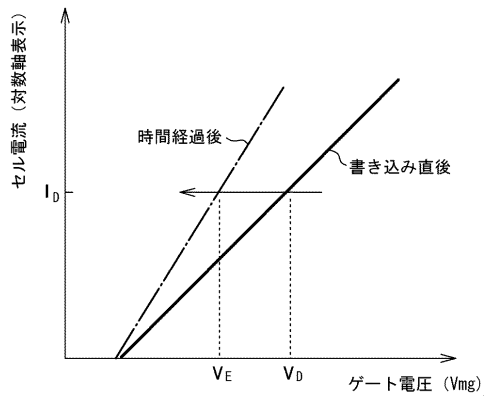
【図8】

図8



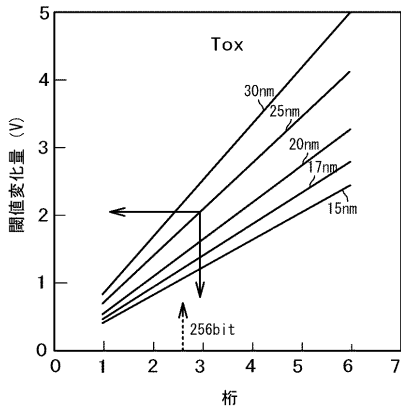
【図9】

図9



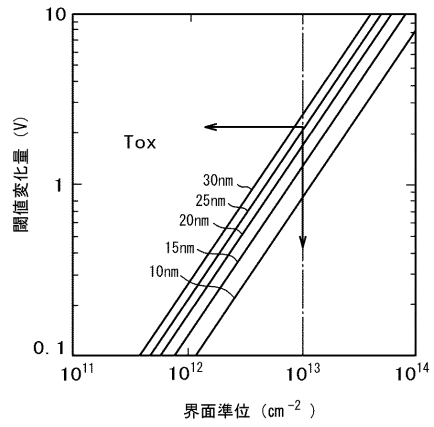
【図10】

図10



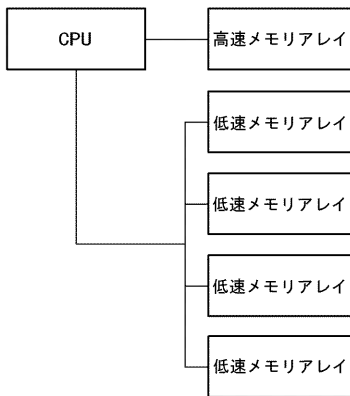
【図11】

図11



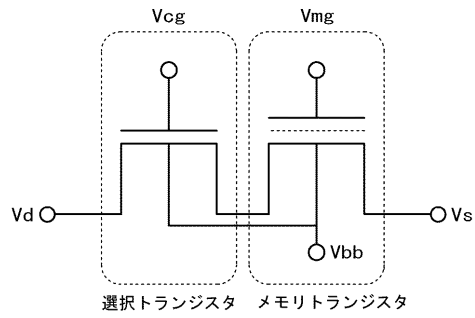
【図12】

図12



【図13】

図13



【図14】

図14

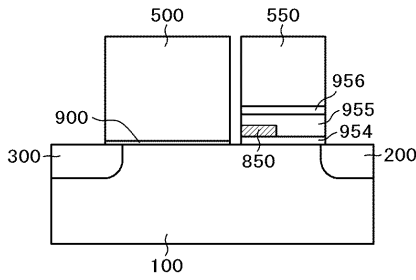
	Vmg	Vd	Vs	Vcg	Vbb
Step1	6	0	5	0.5	0
Step2	11	0	5	0.5	0

(単位 V)



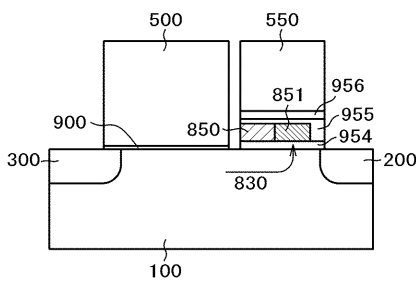
【図15】

図15



【図16】

図16



【図17】

図17

	Vmg	Vd	Vs	Vcg	Vbb
Step1	5	0	5	0.5	0
Step2	7	0	5	0.5	0
Step3	9	0	5	0.5	0
Step4	11	0	5	0.5	0

(単位 V)

【図18】

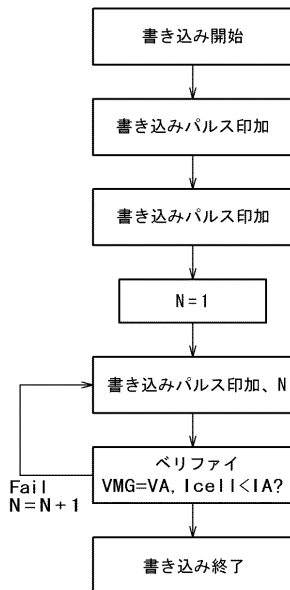
図18

	Vmg	Vd	Vs	Vcg	Vbb	パルス幅
Step1	6	0	5	0.5	0	1
Step2	11	0	5	0.5	0	5

(単位 V) (単位  $\mu$ sec)

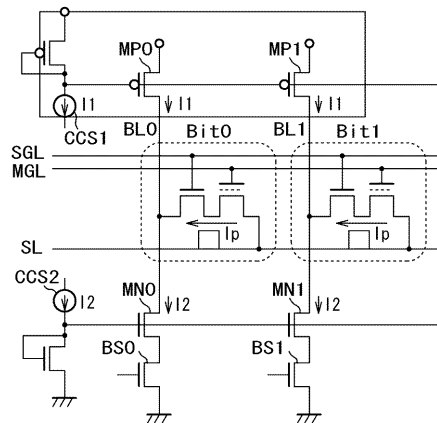
【図19】

図19



【図20】

図20



【図21】

図21

	Vmg	Vd	Vs	Vcg	Vbb
Step1	6	@Ip	5	1.5	0
Step2	11	@Ip	5	1.5	0

(単位 V)

【図 2 2】

図 2 2

	Vmg	Vd	Vs	Vcg	Vbb
Step1	5	@Ip	5	1	0
Step2	7	@Ip	5	1	0
Step3	9	@Ip	5	1	0
Step4	11	@Ip	5	1	0

(単位 V)

【図 2 3】

図 2 3

	Vmg	Vd	Vs	Vcg	Vbb
Step1	5	@Ip	6	1	0
Step2	7	@Ip	5	1	0
Step3	9	@Ip	5	1	0
Step4	11	@Ip	5	1	0

(単位 V)

【図 2 4】

図 2 4

	Vmg	Vd	Vs	Vcg	Vbb
Step1	-5	open	5	0	0
Step2	-5	open	6	0	0

(単位 V)

【図 2 5】

図 2 5

	Vmg	Vd	Vs	Vcg	Vbb	パルス幅
Step1	-5	open	5	0	0	10
Step2	-5	open	6	0	0	100

(単位 V) (単位  $\mu$  sec)

【図 2 6】

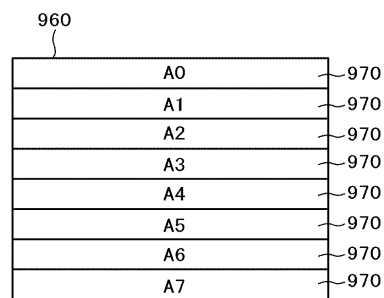
図 2 6

	Vmg	Vd	Vs	Vcg	Vbb	パルス幅
Step1	-5	open	5	0	0	10
Step2	-5	open	5	0	0	100
Step3	-5	open	5.5	0	0	100
Step4	-5	open	6	0	0	100
Step5	-5	open	6.5	0	0	100
Step6	-5	open	7	0	0	100

(単位 V) (単位  $\mu$  sec)

【図 2 8】

図 2 8



【図 2 7】

図 2 7

	Vmg	Vd	Vs	Vcg	Vbb	パルス幅
Step1	-5	open	5	0	0	10
Step2	-6	open	5	0	0	100
Step3	-6	open	5.5	0	0	100
Step4	-6	open	6	0	0	100
Step5	-6	open	6.5	0	0	100
Step6	-6	open	7	0	0	100

(単位 V) (単位  $\mu$  sec)

【図 29】

図 29

	Vmg	Vd	Vs	Vcg	Vbb	パルス幅	選択ブロック
Step1	-5	open	5	0	0	10	A0
Step2	-6	open	5	0	0	100	A0
Step3	-6	open	5.5	0	0	100	A0
Step4	-5	open	5	0	0	10	A1
Step5	-6	open	5	0	0	100	A1
Step6	-6	open	5.5	0	0	100	A1
Step7	-5	open	5	0	0	10	A2
Step8	-6	open	5	0	0	100	A2
Step9	-6	open	5.5	0	0	100	A2
Step10	-5	open	5	0	0	10	A3
Step11	-6	open	5	0	0	100	A3
Step12	-6	open	5.5	0	0	100	A3
Step13	-5	open	5	0	0	10	A4
Step14	-6	open	5	0	0	100	A4
Step15	-6	open	5.5	0	0	100	A4
Step16	-5	open	5	0	0	10	A5
Step17	-6	open	5	0	0	100	A5
Step18	-6	open	5.5	0	0	100	A5
Step19	-5	open	5	0	0	10	A6
Step20	-6	open	5	0	0	100	A6
Step21	-6	open	5.5	0	0	100	A6
Step22	-5	open	5	0	0	10	A7
Step23	-6	open	5	0	0	100	A7
Step24	-6	open	5.5	0	0	100	A7
Step25	-6	open	5.5	0	0	100	A0-A7

(単位 V) (単位 μ sec)

【図 30】

図 30

	Vmg	Vd	Vs	Vcg	Vbb	パルス幅	選択ブロック
Step1	-5	open	5	0	0	10	A0
Step2	-5	open	5	0	0	10	A1
Step3	-5	open	5	0	0	10	A2
Step4	-5	open	5	0	0	10	A3
Step5	-5	open	5	0	0	10	A4
Step6	-5	open	5	0	0	10	A5
Step7	-5	open	5	0	0	10	A6
Step8	-5	open	5	0	0	10	A7
Step9	-5	open	5.5	0	0	100	A0
Step10	-5	open	5.5	0	0	100	A1
Step11	-5	open	5.5	0	0	100	A2
Step12	-5	open	5.5	0	0	100	A3
Step13	-5	open	5.5	0	0	100	A4
Step14	-5	open	5.5	0	0	100	A5
Step15	-5	open	5.5	0	0	100	A6
Step16	-5	open	5.5	0	0	100	A7
Step17	-5	open	6	0	0	100	A0
Step18	-5	open	6	0	0	100	A1
Step19	-5	open	6	0	0	100	A2
Step20	-5	open	6	0	0	100	A3
Step21	-5	open	6	0	0	100	A4
Step22	-5	open	6	0	0	100	A5
Step23	-5	open	6	0	0	100	A6
Step24	-5	open	6	0	0	100	A7
Step25	-6	open	5.5	0	0	100	A0-A7

(単位 V) (単位 μ sec)

【図 31】

図 31

	Vmg	Vd	Vs	Vcg	Vbb	パルス幅
Step1	-5	0	5	0	0	10
Step2	-6	0	5	0.5	0	100

(単位 V) (単位 μ sec)

【図 34】

図 34

	Vmg	Vd	Vs	Vcg	Vbb	パルス幅
Step1	3	@Ip	4	1	0	50
Step2	-2	@Ip	4	1	0	50
Step3	-6	open	5	0	0	100

(単位 V) (単位 μ sec)

【図 32】

図 32

	Vmg	Vd	Vs	Vcg	Vbb	パルス幅
Step1	-5	0	5	0	0	10
Step2	-6	@Ip	5	1	0	100

(単位 V) (単位 μ sec)

【図 35】

図 35

	Vmg	Vd	Vs	Vcg	Vbb	パルス幅
Step1	-5	open	5	0	0	10
Step2	-5	open	5	0	0	100
Step3	-5	open	5.5	0	0	100
Step4	-5	open	6	0	0	100
Step5	12	open	0	0	0	1000

(単位 V) (単位 μ sec)

【図 33】

図 33

	Vmg	Vd	Vs	Vcg	Vbb	パルス幅
Step1	-2	@Ip	3	0.5	0	50
Step2	-6	open	5	0	0	100

(単位 V) (単位 μ sec)

【図36】

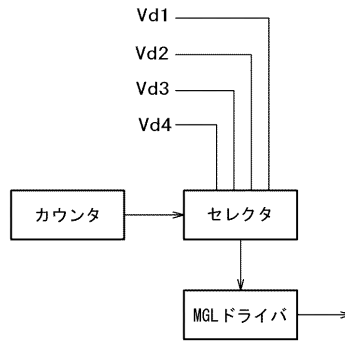
図36

	Vmg	Vd	Vs	Vcg	Vbb	パルス幅	選択ブロック
Step1	-5	open	5	0	0	10	A0
Step2	-5	open	5	0	0	10	A1
Step3	-5	open	5	0	0	10	A2
Step4	-5	open	5	0	0	10	A3
Step5	-5	open	5	0	0	10	A4
Step6	-5	open	5	0	0	10	A5
Step7	-5	open	5	0	0	10	A6
Step8	-5	open	5	0	0	10	A7
Step9	-5	open	5.5	0	0	100	A0
Step10	-5	open	5.5	0	0	100	A1
Step11	-5	open	5.5	0	0	100	A2
Step12	-5	open	5.5	0	0	100	A3
Step13	-5	open	5.5	0	0	100	A4
Step14	-5	open	5.5	0	0	100	A5
Step15	-5	open	5.5	0	0	100	A6
Step16	-5	open	5.5	0	0	100	A7
Step17	-5	open	6	0	0	100	A0
Step18	-5	open	6	0	0	100	A1
Step19	-5	open	6	0	0	100	A2
Step20	-5	open	6	0	0	100	A3
Step21	-5	open	6	0	0	100	A4
Step22	-5	open	6	0	0	100	A5
Step23	-5	open	6	0	0	100	A6
Step24	-5	open	6	0	0	100	A7
Step25	14	open	0	0	0	500	A0-A7

(単位 V)                      (単位  $\mu$  sec)

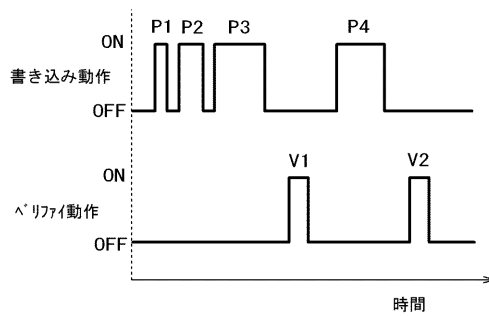
【図37】

図37



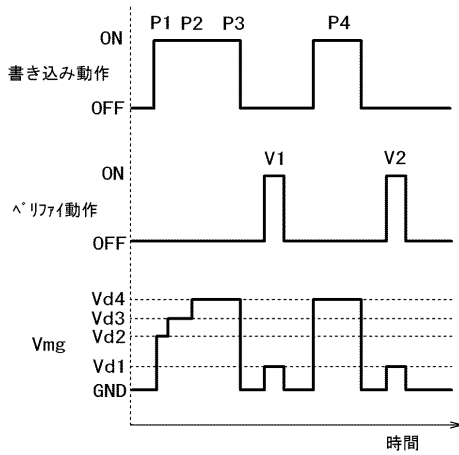
【図38】

図38



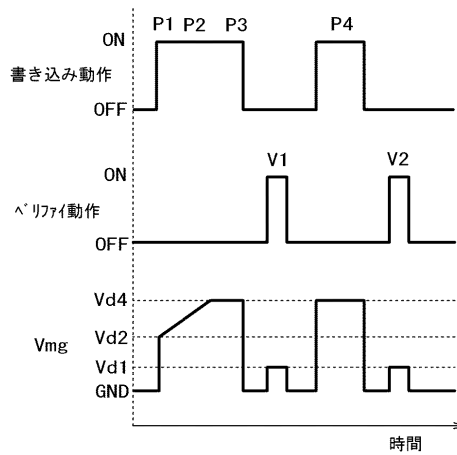
【図39】

図39



【図40】

図40



---

フロントページの続き

- (72)発明者 石丸 哲也  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
- (72)発明者 木村 紳一郎  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
- (72)発明者 岡田 大介  
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 加藤 俊哉

- (56)参考文献 特開2003-046002(JP,A)  
特開2003-346484(JP,A)  
特開2000-251485(JP,A)  
国際公開第2003/073431(WO,A1)  
特開平07-169284(JP,A)  
特開2004-071094(JP,A)  
特開2004-023044(JP,A)  
特開2002-109890(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
G11C 16/02  
G11C 16/04