(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 5 月 21 日(21.05.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/071983 A1

(51) 国際特許分類:
H01L 27/105 (2006.01)

(21) 国際出願番号: PCT/JP2013/080721

(22) 国際出願日: 2013 年 11 月 13 日(13.11.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): ユニサンティス エレクトロニクス シンガポール プライベート リミテッド(**UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.**) [SG/SG]; 179098 ノースブリッジロード １１１、ペニンシュラ プラザ ＃１６－０４ Singapore (SG).

(72) 発明者; および
(71) 出願人 (米国についてのみ): 舛岡 富士雄(**MASUOKA Fujio**) [JP/JP]; 〒1020073 東京都千代田区九段北１－１５－２ 九段坂パークビル４Ｆ Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP). 中村 広記(**NAKAMURA Hiroki**) [JP/JP]; 〒1020073 東京都千代田区九段北１－１５－２ 九段坂パークビル４Ｆ Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP).

(74) 代理人: 木村 満(**KIMURA Mitsuru**); 〒1010054 東京都千代田区神田錦町二丁目７番地 協販ビル２階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称 : 半導体装置、及び半導体装置の製造方法

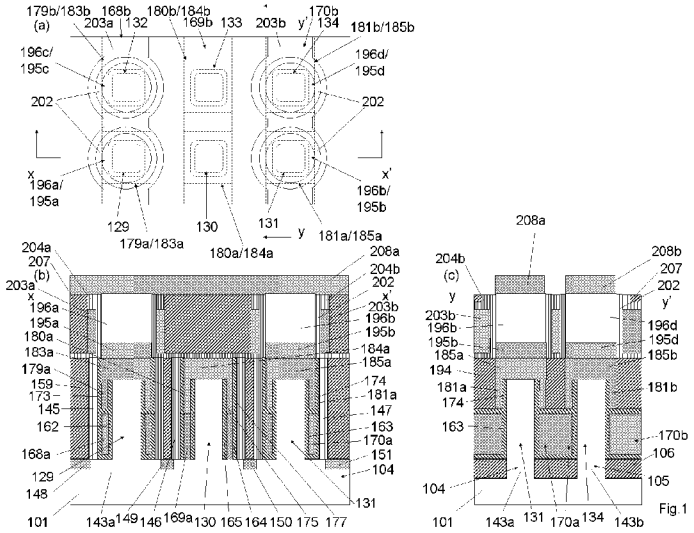


Fig.1

(57) **Abstract**: The present invention addresses the problem of providing: a structure of memory, which is capable of performing resetting using a reset gate, and which has a layer wherein resistance is varied; and a method for manufacturing the memory. This semiconductor device has: a first columnar semiconductor layer; a gate insulating film that is formed around the first columnar semiconductor layer; a gate electrode, which is formed around the gate insulating film, and which is formed of a metal; gate wiring, which is connected to the gate electrode, and which is formed of a metal; a second gate insulating film that is formed around an upper portion of the first columnar semiconductor layer; a first contact, which is formed around the second gate insulating film, and which is formed of a second metal; a second contact, which connects together an upper portion of the first contact and the upper portion of the first columnar semiconductor layer, and which is formed of a third metal; the second diffusion layer that is formed on a lower portion of the first columnar semiconductor layer; a columnar layer, which is formed on the second contact, and in which resistance is varied; a reset gate insulating film that surrounds the columnar variable resistance layer; and a reset gate that surrounds the reset gate insulating film.

(57) 要約:

[続葉有]

WO 2015/071983 A1

GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

リセットゲートを用いてリセットを行うことができる、抵抗が変化する層を有するメモリの構造及び製造方法を提供することを課題とする。第１の柱状半導体層と、前記第１の柱状半導体層の周囲に形成されたゲート絶縁膜と、前記ゲート絶縁膜の周囲に形成された金属からなるゲート電極と、前記ゲート電極に接続された金属からなるゲート配線と、前記第１の柱状半導体層上部の周囲に形成された第２のゲート絶縁膜と、前記第２のゲート絶縁膜の周囲に形成された第２の金属からなる第１のコンタクトと、前記第１のコンタクトの上部と前記第１の柱状半導体層の上部とを接続する第３の金属からなる第２のコンタクトと、前記第１の柱状半導体層の下部に形成された前記第２の拡散層と、前記第２のコンタクト上に柱状の抵抗が変化する層と、前記柱状の抵抗が変化する層を取り囲むリセットゲート絶縁膜と、前記リセットゲート絶縁膜を取り囲むリセットゲートと、を有する。

明　細　書

発明の名称 ： 半導体装置、及び半導体装置の製造方法

技術分野

[0001]　本発明は半導体装置、及び半導体装置の製造方法に関する。

背景技術

[0002]　近年、相変化メモリが開発されている（例えば、特許文献１を参照）。相変化メモリは、メモリセルの情報記憶素子の抵抗を変化記録することにより、情報を記憶する。

[0003]　セルトランジスタをオンすることによりビット線とソース線間に電流を流すと、高抵抗素子のヒーターで熱が発生し、このヒーターに接するカルコゲナイドガラス（ＧＳＴ：Ｇｅ２Ｓｂ２Ｔｅ５）を融解し、状態を遷移させるメカニズムである。高温（高電流）で融解し高速で冷やす（電流を止める）とアモルファス状態（Ｒｅｓｅｔ動作）になり、比較的低い高温（低電流）で融解しゆっくり冷やす（電流を徐々に減らす）と結晶化する（Ｓｅｔ動作）。これにより読み出し時、ビット線ーソース線間に流れる電流が多い（低抵抗＝結晶状態）場合と、少ない場合（高抵抗＝アモルファス）で、０、１情報の判断をする（例えば、特許文献１を参照）。

[0004]　この場合、例えばＲｅｓｅｔ電流が２００ｕＡと非常に多い。この様にＲｅｓｅｔ電流を大きく、この電流をセルトランジスタに流すためには、メモリセルサイズが非常に大きくなる。大きな電流を流すためには、バイポーラトランジスタやダイオードの選択素子を用いることができる（例えば、特許文献１を参照）。

[0005]　ダイオードは二端子素子であるので、メモリセルを選択するためには、一本のソース線を選択すると一本のソース線に接続された全てのメモリセルの電流が一本のソース線に流れることとなる。従って、ソース線の抵抗でのＩＲドロップが大きくなる。

[0006]　一方、バイポーラトランジスタは三端子素子であるが、ゲートに電流が流

れるので、ワード線に多くのトランジスタを接続することが難しい。

[0007] 基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲート電極が柱状半導体層を取り囲む構造のSurrounding Gate Transistor（以下、「ＳＧＴ」という。）が提案されている（例えば、特許文献２を参照）。基板に対してソース、ゲート、ドレインが垂直方向に配置されているため、小さいセル面積を実現することができる。

[0008] また、従来のＭＯＳトランジスタにおいて、メタルゲートプロセスと高温プロセスを両立させるために、高温プロセス後にメタルゲートを作成するメタルゲートラストプロセスが実際の製品で用いられている(非特許文献１)。ポリシリコンでゲートを作成し、その後、層間絶縁膜を堆積後、化学機械研磨によりポリシリコンゲートを露出し、ポリシリコンゲートをエッチング後、メタルを堆積している。そのためＳＧＴにおいてもメタルゲートプロセスと高温プロセスを両立させるために、高温プロセス後にメタルゲートを作成するメタルゲートラストプロセスを用いる必要がある。

[0009] メタルゲートラストプロセスでは、ポリシリコンゲートを形成後、イオン注入により拡散層を形成している。ＳＧＴでは、柱状シリコン層上部がポリシリコンゲートに覆われるため工夫が必要である。

[0010] シリコン柱が細くなると、シリコンの密度は5×10^{22}個／cm^3であるから、シリコン柱内に不純物を存在させることが難しくなってくる。

[0011] 従来のＳＧＴでは、チャネル濃度を$10^{17}cm^{-3}$以下と低不純物濃度とし、ゲート材料の仕事関数を変えることによってしきい値電圧を決定することが提案されている（例えば、特許文献３を参照）。

[0012] 平面型ＭＯＳトランジスタにおいて、ＬＤＤ領域のサイドウォールが低濃度層と同一の導電型を有する多結晶シリコンにより形成され、ＬＤＤ領域の表面キャリアがその仕事関数差によって誘起され、酸化膜サイドウォールＬＤＤ型ＭＯＳトランジスタに比してＬＤＤ領域のインピーダンスが低減できることが示されている（例えば、特許文献４を参照）。その多結晶シリコンサイドウォールは電気的にゲート電極と絶縁されていることが示されている

。また図中には多結晶シリコンサイドウォールとソース・ドレインとは層間絶縁膜により絶縁していることが示されている。

先行技術文献

特許文献

[0013] 特許文献1：特開２０１２－２０４４０４号公報

特許文献2：特開２００４－３５６３１４号公報

特許文献3：特開２００４－３５６３１４号公報

特許文献4：特開平１１－２９７９８４号公報

非特許文献

[0014] 非特許文献1：IEDM2007 K.Mistry et.al, pp 247-250

発明の概要

発明が解決しようとする課題

[0015] そこで、リセットゲートを用いてリセットを行うことができる、抵抗が変化する層を有するメモリの構造及び製造方法を提供することを目的とする。

課題を解決するための手段

[0016] 本発明の半導体装置は、第１の柱状半導体層と、前記第１の柱状半導体層の周囲に形成されたゲート絶縁膜と、前記ゲート絶縁膜の周囲に形成された金属からなるゲート電極と、前記ゲート電極に接続された金属からなるゲート配線と、前記第１の柱状半導体層上部の周囲に形成された第２のゲート絶縁膜と、前記第２のゲート絶縁膜の周囲に形成された第２の金属からなる第１のコンタクトと、前記第１のコンタクトの上部と前記第１の柱状半導体層の上部とを接続する第３の金属からなる第２のコンタクトと、前記第１の柱状半導体層の下部に形成された前記第２の拡散層と、前記第２のコンタクト上に柱状の抵抗が変化する層と、前記柱状の抵抗が変化する層を取り囲むリセットゲート絶縁膜と、前記リセットゲート絶縁膜を取り囲むリセットゲートと、を有することを特徴とする。

[0017] また、前記柱状の抵抗が変化する層の下部に、下部電極を有することを特

徴とする。

[0018] また、前記リセットゲートは、窒化チタンからなることを特徴とする。

[0019] また、前記リセットゲート絶縁膜は、窒化膜からなることを特徴とする。

[0020] また、前記下部電極は、窒化チタンからなることを特徴とする。

[0021] また、前記リセットゲートに電流を流すことにより、抵抗が変化する層のリセットを行うことを特徴とする。

[0022] また、前記第１のコンタクトの第２の金属の仕事関数は、４．０ｅＶから４．２ｅＶの間であることを特徴とする。

[0023] また、前記第１のコンタクトの第２の金属の仕事関数は、５．０ｅＶから５．２ｅＶの間であることを特徴とする。

[0024] また、半導体基板上に形成されたフィン状半導体層と、前記フィン状半導体層の周囲に形成された第１の絶縁膜と、前記フィン状半導体層上に形成された前記第１の柱状半導体層と、を有し、前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜と、を有し、前記ゲート配線は前記フィン状半導体層に直交する方向に延在するのであって、前記第２の拡散層は前記フィン状半導体層に更に形成されることを特徴とする。

[0025] また、前記第２の拡散層は前記半導体基板に更に形成されることを特徴とする。

[0026] また、前記第２の拡散層に接続される前記ゲート配線に平行なコンタクト配線を有することを特徴とする。

[0027] また、前記半導体基板上に形成された前記フィン状半導体層と、前記フィン状半導体層の周囲に形成された前記第１の絶縁膜と、前記フィン状半導体層上に形成された第２の柱状半導体層と、前記第２の柱状半導体層の周囲に形成された金属からなるコンタクト電極と、前記コンタクト電極に接続された前記フィン状半導体層に直交する方向に延在する金属からなる前記コンタクト配線と、前記フィン状半導体層と前記第２の柱状半導体層の下部に形成された前記第２の拡散層と、前記コンタクト電極は前記第２の拡散層と接続するのであって、を有することを特徴とする。

[0028] また、前記ゲート電極の外側の幅と前記ゲート配線の幅は同じであって、前記フィン状半導体層に直交する方向の前記第１の柱状半導体層の幅は前記フィン状半導体層に直交する方向の前記フィン状半導体層の幅と同じであることを特徴とする。

[0029] また、前記第２の柱状半導体層と前記コンタクト電極との間に形成された前記ゲート絶縁膜を有することを特徴とする。

[0030] また、前記フィン状半導体層に直交する方向の前記第２の柱状半導体層の幅は前記フィン状半導体層に直交する方向の前記フィン状半導体層の幅と同じであることを特徴とする。

[0031] また、前記コンタクト電極と前記コンタクト配線の周囲に形成された前記ゲート絶縁膜を有することを特徴とする。

[0032] また、前記コンタクト電極の外側の幅と前記コンタクト配線の幅は同じであることを特徴とする。

[0033] また、半導体基板上に形成された前記第１の柱状半導体層と、を有し、前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜と、を有し、前記第２の拡散層は前記半導体基板に更に形成されることを特徴とする。

[0034] また、本発明の半導体装置の製造方法は、半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第１の絶縁膜を形成する第１工程と、前記第１工程の後、第１の柱状半導体層と前記第１のポリシリコンによる第１のダミーゲートと第２の柱状半導体層と前記第１のポリシリコンによる第２のダミーゲートを形成する第２工程と、前記第２工程の後、前記第１のダミーゲートと前記第１の柱状半導体層と前記第２のダミーゲートと前記第２の柱状半導体層の側壁に、第３のダミーゲートと第４のダミーゲートを形成する第３工程と、前記第３工程の後、前記フィン状半導体層上部と前記第１の柱状半導体層下部と前記第２の柱状半導体層下部に第２の拡散層を形成する第４工程と、前記第４の工程の後、層間絶縁膜を堆積し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記

第４のダミーゲートとの上部を露出し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとを除去し、ゲート絶縁膜を前記第１の柱状半導体層の周囲と前記第２の柱状半導体層の周囲に形成し、前記第２の柱状半導体層の底部周辺のゲート絶縁膜を除去し、第１の金属を堆積し、前記第１の柱状半導体層上部と前記第２の柱状半導体層上部を露出し、前記第１の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、前記第２の柱状半導体層の周囲にコンタクト電極及びコンタクト配線を形成する第５工程と、前記第５の工程の後、前記第１の柱状半導体層周囲と前記ゲート電極と前記ゲート配線上と、前記第２の柱状半導体層周囲と前記コンタクト電極と前記コンタクト配線上に第２のゲート絶縁膜を堆積し、第２の金属を堆積し、前記第１の柱状半導体層の上部と前記第２の柱状半導体層上部を露出し、前記第１の柱状半導体層上の前記第２のゲート絶縁膜を除去し、第３の金属を堆積し、前記第３の金属と前記第２の金属の一部をエッチングすることで、第２の金属が前記第１の柱状半導体層上部側壁を取り囲む第１のコンタクトと、前記第１のコンタクトの上部と前記第１の柱状半導体層上部とを接続する第２のコンタクトと、を形成する第６工程と、前記第６工程の後、第２の層間絶縁膜を堆積し、平坦化し、前記第２のコンタクト上部を露出し、柱状の抵抗が変化する層と下部電極を形成し、前記柱状の抵抗が変化する層と前記下部電極を取り囲むようリセットゲート絶縁膜を形成し、リセットゲートを形成する第７工程を有することを特徴とする。

[0035] また、前記第２の工程であって、前記フィン状半導体層の周囲に第２の絶縁膜を形成し、前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化し、第１のゲート配線と第１の柱状半導体層と第１のコンタクト配線と第２の柱状半導体層を形成するための第２のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第１のポリシリコンと前記第２の絶縁膜と前記フィン状半導体層をエッチングすることにより、第１の柱状半導体層と前記第１のポリシリコンによる第１のダミーゲートと第２の柱状半

導体層と前記第１のポリシリコンによる第２のダミーゲートを形成することを特徴とする。

[0036] また、前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化後、前記第１のポリシリコン上に第３の絶縁膜を形成することをさらに含むことを特徴とする。

[0037] また、前記第２工程の後、前記第１の柱状半導体層と前記第２の柱状半導体層と前記第１のダミーゲートと前記第２のダミーゲートの周囲に第４の絶縁膜を形成し、前記第４の絶縁膜の周囲に第２のポリシリコンを堆積し、エッチングをすることにより、前記第１のダミーゲートと前記第１の柱状半導体層と前記第２のダミーゲートと前記第２の柱状半導体層の側壁に残存させ、第３のダミーゲートと第４のダミーゲートを形成する第３工程を有することを特徴とする。

[0038] また、前記フィン状半導体層上部と前記第１の柱状半導体層下部と前記第２の柱状半導体層下部に第２の拡散層を形成し、前記第３のダミーゲートと前記第４のダミーゲートとの周囲に、第５の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第５の絶縁膜からなるサイドウォールを形成し、前記第２の拡散層上に金属と半導体の化合物を形成する第４工程を有することを特徴とする。

[0039] また、前記第４の工程の後、層間絶縁膜を堆積し、化学機械研磨し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとの上部を露出し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとを除去し、前記第２の絶縁膜と前記第４の絶縁膜を除去し、ゲート絶縁膜を前記第１の柱状半導体層の周囲と前記第２の柱状半導体層の周囲と前記第５の絶縁膜の内側に形成し、前記第２の柱状半導体層の底部周辺のゲート絶縁膜を除去するための第３のレジストを形成し、前記第２の柱状半導体層の底部周辺の前記ゲート絶縁膜を除去し、第１の金属を堆積し、前記第１の柱状半導体層上部と前記第２の柱状半導体層上部を露出し、エッチバックを行い

、前記第１の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、前記第２の柱状半導体層の周囲にコンタクト電極及びコンタクト配線を形成する第５工程と、を有することを特徴とする。

発明の効果

[0040] 本発明によれば、リセットゲートを用いてリセットを行うことができる、抵抗が変化する層を有するメモリの構造及び製造方法を提供することができる。

[0041] 柱状の抵抗が変化する層と、前記柱状の抵抗が変化する層を取り囲むリセットゲート絶縁膜と、前記リセットゲート絶縁膜を取り囲むリセットゲートと、を有することにより、リセットゲートに電流を流すことで、ヒーターであるリセットゲートで熱が発生し、このヒーターに接するカルコゲナイドガラス（ＧＳＴ：Ｇｅ２Ｓｂ２Ｔｅ５）を融解し、状態を遷移させることができる。

[0042] リセットゲートが柱状の抵抗が変化する層を取り囲む構造のため、柱状の抵抗が変化する層が熱しやすい。

[0043] リセットゲートに電流を流すことでリセットを行うため、選択素子に大電流を流す必要はなく、選択素子は、セット動作用の低電流を流すことができればよい。

[0044] 前記柱状半導体層上部の周囲に形成された第２のゲート絶縁膜と、前記第２のゲート絶縁膜の周囲に形成された第２の金属からなる第１のコンタクトと、前記第１のコンタクトの上部と前記柱状半導体層の上部とを接続する第３の金属からなる第２のコンタクトにより、柱状半導体層上部を金属と半導体との仕事関数差によってｎ型半導体層もしくはｐ型半導体層として機能させる構造を持つＳＧＴとすることができ、柱状半導体層上部に拡散層を形成する工程が不要となる。

[0045] また、前記ゲート電極は金属であって、前記ゲート配線は金属であり、さらに、前記第２のゲート絶縁膜の周囲に形成された金属からなる第１のコンタクトと、前記第１のコンタクトの上部と前記柱状半導体層の上部とを接続

する第２のコンタクトがありより多くの金属が使用されるので、冷却を早めることができる。また、前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜と、を有することにより、ゲートラストによって、金属ゲートが形成されるので、金属ゲートプロセスと高温プロセスを両立させることができる。

[0046] また、半導体基板上に形成されたフィン状半導体層と、前記フィン状半導体層の周囲に形成された第１の絶縁膜と、前記フィン状半導体層上に形成された前記第１の柱状半導体層と、を有し、前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜と、を有し、前記ゲート電極は金属であって、前記ゲート配線は金属であって、前記ゲート配線は前記フィン状半導体層に直交する方向に延在するのであって、前記第２の拡散層は前記フィン状半導体層に更に形成され、前記ゲート電極の外側の幅と前記ゲート配線の幅は同じであって、前記第１の柱状半導体層の幅は前記フィン状半導体層の幅と同じであることを特徴とすることにより、本半導体装置のフィン状半導体層と、柱状半導体層と、ゲート電極と、ゲート配線が、二枚のマスクにより、自己整合で形成されるので、工程数を削減することができる。

[0047] また、前記第２の拡散層に接続される前記ゲート配線に平行なコンタクト配線を有することにより、ソース線の抵抗を下げることができ、セット時の電流によるソース電圧の増加を抑制することができる。前記ゲート配線に平行なコンタクト配線は、例えば、ビット線方向に一列に配置されたメモリセル２個毎、４個毎、８個毎、１６個毎、３２個毎、６４個毎に一本配置することが好ましい。

[0048] また、第２の柱状半導体層と第２の柱状半導体層周囲に形成されるコンタクト電極とコンタクト配線とで形成される構造は、コンタクト電極が前記第２の拡散層と接続すること以外はトランジスタ構造と同じ構造であり、ゲート配線に平行な方向の全てのソース線はコンタクト配線に接続されることになるため、工程数を削減することができる。

図面の簡単な説明

[0049] [図1]（ａ）は本発明に係る半導体装置の平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図2]（ａ）は本発明に係る半導体装置の平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図3]（ａ）は本発明に係る半導体装置の平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図4]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図5]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図6]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図7]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図8]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図9]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図10]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（

ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図11］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図12］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図13］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図14］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図15］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図16］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図17］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図18］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図19］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線

での断面図である。

[図20]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図21]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図22]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図23]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図24]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図25]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図26]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図27]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図28]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図29］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図30］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図31］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図32］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図33］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図34］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図35］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図36］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図37］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図38］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（

ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図39］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図40］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図41］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図42］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図43］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図44］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図45］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図46］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図47］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線

での断面図である。

[図48]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図49]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図50]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図51]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図52]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図53]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図54]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図55]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

[図56]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図57］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図58］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図59］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図60］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図61］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

［図62］（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のＸ－Ｘ’線での断面図である。（ｃ）は（ａ）のＹ－Ｙ’線での断面図である。

発明を実施するための形態

［0050］　以下に半導体装置の構造を図１に示す。

［0051］　図１は本発明の半導体装置であるメモリセルを一行一列目と、一行三列目、二行一列目と、二行三列目に配置し、ソース線を相互に接続するためにコンタクト電極、コンタクト配線を有するコンタクト装置を一行二列目と二行二列目に配置している。

［0052］　二行一列目のメモリセルは、半導体基板１０１上に形成されたフィン状半導体層１０４と、前記フィン状半導体層１０４の周囲に形成された第１の絶縁膜１０６と、前記フィン状半導体層１０４上に形成された第１の柱状半導体層１２９と、前記第１の柱状半導体層１２９の周囲に形成されたゲート絶

縁膜１６２と、前記ゲート絶縁膜１６２の周囲に形成された金属からなるゲート電極１６８ａと、前記ゲート電極１６８ａに接続された金属からなるゲート配線１６８ｂと、前記ゲート配線１６８ｂは前記フィン状半導体層１０４に直交する方向に延在するのであって、前記ゲート電極１６８ａと前記ゲート配線１６８ｂの周囲と底部に形成された前記ゲート絶縁膜１６２と、を有し、前記第１の柱状半導体層１２９上部の周囲に形成された第２のゲート絶縁膜１７３と、前記第２のゲート絶縁膜１７３の周囲に形成された第２の金属からなる第１のコンタクト１７９ａと、前記第１のコンタクト１７９ａの上部と前記第１の柱状半導体層１２９の上部とを接続する第３の金属からなる第２のコンタクト１８３ａと、前記第１の柱状半導体層１２９の下部に形成された前記第２の拡散層１４３ａと、前記第２の拡散層１４３ａは前記フィン状半導体層１０４に更に形成されている。

[0053] 前記第２のコンタクト１８３ａ上に、下部電極１９５ａ、柱状の抵抗が変化する層１９６ａ、リセットゲート絶縁膜２０２、リセットゲート２０３ａを有する。

[0054] 柱状の抵抗が変化する層１９６ａは、カルコゲナイドガラス（ＧＳＴ：Ｇｅ２Ｓｂ２Ｔｅ５）であることが好ましい。

[0055] 前記リセットゲート２０３ａは、電流が流れて発熱する材料であればよい。窒化チタンであることが好ましい。

[0056] 前記リセットゲート絶縁膜２０２は、熱伝導性がよい絶縁膜であればよい。窒化膜であることが好ましい。

[0057] 前記下部電極１９５ａは、電流が流れて発熱する材料であればよい。窒化チタンであることが好ましい。

[0058] 前記リセットゲート２０３ａに電流を流すことにより、ヒーターであるリセットゲート２０３ａで熱が発生し、このヒーターに接する柱状の抵抗が変化する層１９６ａを融解し、状態を遷移させることができる。

[0059] 二行三列目のメモリセルは、半導体基板１０１上に形成されたフィン状半導体層１０４と、前記フィン状半導体層１０４の周囲に形成された第１の絶

縁膜１０６と、前記フィン状半導体層１０４上に形成された第１の柱状半導体層１３１と、前記第１の柱状半導体層１３１の周囲に形成されたゲート絶縁膜１６３と、前記ゲート絶縁膜１６３の周囲に形成された金属からなるゲート電極１７０ａと、前記ゲート電極１７０ａに接続された金属からなるゲート配線１７０ｂと、前記ゲート配線１７０ｂは前記フィン状半導体層１０４に直交する方向に延在するのであって、前記ゲート電極１７０ａと前記ゲート配線１７０ｂの周囲と底部に形成された前記ゲート絶縁膜１６３と、を有し、前記第１の柱状半導体層１３１上部の周囲に形成された第２のゲート絶縁膜１７４と、前記第２のゲート絶縁膜１７４の周囲に形成された第２の金属からなる第１のコンタクト１８１ａと、前記第１のコンタクト１８１ａの上部と前記第１の柱状半導体層１３１の上部とを接続する第３の金属からなる第２のコンタクト１８５ａと、前記第１の柱状半導体層１３１の下部に形成された前記第２の拡散層１４３ａと、前記第２の拡散層１４３ａは前記フィン状半導体層１０４に更に形成されている。

[0060] 前記第２のコンタクト１８５ａ上に、下部電極１９５ｂ、柱状の抵抗が変化する層１９６ｂ、リセットゲート絶縁膜２０２、リセットゲート２０３ｂを有する。

[0061] 柱状の抵抗が変化する層１９６ａ上部と、柱状の抵抗が変化する層１９６ｂ上部は、ビット線２０８ａにより接続される。

[0062] 一行一列目のメモリセルは、半導体基板１０１上に形成されたフィン状半導体層１０５と、前記フィン状半導体層１０５の周囲に形成された第１の絶縁膜１０６と、前記フィン状半導体層１０５上に形成された第１の柱状半導体層１３２と、前記第１の柱状半導体層１３２の周囲に形成されたゲート絶縁膜１６２と、前記ゲート絶縁膜１６２の周囲に形成された金属からなるゲート電極１６８ａと、前記ゲート電極１６８ａに接続された金属からなるゲート配線１６８ｂと、前記ゲート配線１６８ｂは前記フィン状半導体層１０５に直交する方向に延在するのであって、前記ゲート電極１６８ａと前記ゲート配線１６８ｂの周囲と底部に形成された前記ゲート絶縁膜１６２と、を

有し、前記第１の柱状半導体層１３２上部の周囲に形成された第２のゲート絶縁膜１７３と、前記第２のゲート絶縁膜１７３の周囲に形成された第２の金属からなる第１のコンタクト１７９ｂと、前記第１のコンタクト１７ｂａの上部と前記第１の柱状半導体層１３２の上部とを接続する第３の金属からなる第２のコンタクト１８３ｂと、前記第１の柱状半導体層１３２の下部に形成された前記第２の拡散層１４３ｂと、前記第２の拡散層１４３ｂは前記フィン状半導体層１０５に更に形成されている。

[0063] 前記第２のコンタクト１８３ｂ上に、下部電極１９５ｃ、柱状の抵抗が変化する層１９６ｃ、リセットゲート絶縁膜２０２、リセットゲート２０３ａを有する。

[0064] 一行三列目のメモリセルは、半導体基板１０１上に形成されたフィン状半導体層１０５と、前記フィン状半導体層１０５の周囲に形成された第１の絶縁膜１０６と、前記フィン状半導体層１０５上に形成された第１の柱状半導体層１３４と、前記第１の柱状半導体層１３４の周囲に形成されたゲート絶縁膜１６３と、前記ゲート絶縁膜１６３の周囲に形成された金属からなるゲート電極１７０ａと、前記ゲート電極１７０ａに接続された金属からなるゲート配線１７０ｂと、前記ゲート配線１７０ｂは前記フィン状半導体層１０５に直交する方向に延在するのであって、前記ゲート電極１７０ａと前記ゲート配線１７０ｂの周囲と底部に形成された前記ゲート絶縁膜１６３と、を有し、前記第１の柱状半導体層１３４上部の周囲に形成された第２のゲート絶縁膜１７４と、前記第２のゲート絶縁膜１７４の周囲に形成された第２の金属からなる第１のコンタクト１８１ｂと、前記第１のコンタクト１８１ｂの上部と前記第１の柱状半導体層１３４の上部とを接続する第３の金属からなる第２のコンタクト１８５ｂと、前記第１の柱状半導体層１３４の下部に形成された前記第２の拡散層１４３ｂと、前記第２の拡散層１４３ｂは前記フィン状半導体層１０５に更に形成されている。

[0065] 前記第２のコンタクト１８５ｂ上に、下部電極１９５ｄ、柱状の抵抗が変化する層１９６ｄ、リセットゲート絶縁膜２０２、リセットゲート２０３ｂ

を有する。

[0066] 柱状の抵抗が変化する層１９６ｃと、柱状の抵抗が変化する層１９６ｄは、ビット線２０８ｂにより接続される。

[0067] 前記ゲート電極１６８ａ、１７０ａは金属であって、前記ゲート配線１６８ｂ、１７０ｂは金属であり、さらに、前記第２のゲート絶縁膜１７３、１７４の周囲に形成された第２の金属からなる第１のコンタクト１７９ａ、１７９ｂ、１８１ａ、１８１ｂと、前記第１のコンタクト１７９ａ、１７９ｂ、１８１ａ、１８１ｂの上部と前記柱状半導体層１２９、１３１、１３２、１３４の上部とを接続する第３の金属からなる第２のコンタクト１８３ａ、１８３ｂ、１８５ａ、１８５ｂがありより多くの金属が使用されるので、冷却を早めることができる。また、前記ゲート電極１６８ａ、１７０ａと前記ゲート配線１６８ｂ、１７０ｂの周囲と底部に形成された前記ゲート絶縁膜１６２、１６３と、を有することにより、ゲートラストによって、金属ゲートが形成されるので、金属ゲートプロセスと高温プロセスを両立させることができる。

[0068] また、前記ゲート電極１６８ａ、１７０ａと前記ゲート配線１６８ｂ、１７０ｂの周囲と底部に形成された前記ゲート絶縁膜１６２、１６３と、を有し、前記ゲート電極１６８ａ、１７０ａは金属であって、前記ゲート配線１６８ｂ、１７０ｂは金属であって、前記ゲート配線１６８ｂ、１７０ｂは前記フィン状半導体層１０４、１０５に直交する方向に延在するのであって、前記第２の拡散層１４３ａ、１４３ｂは前記フィン状半導体層１０４、１０５に更に形成され、前記ゲート電極１６８ａ、１７０ａの外側の幅と前記ゲート配線１６８ｂ、１７０ｂの幅は同じであって、前記第１の柱状半導体層１２９、１３１、１３２、１３４の幅は前記フィン状半導体層１０４、１０５の幅と同じであることを特徴とすることにより、本半導体装置のフィン状半導体層１０４、１０５と、第１の柱状半導体層１２９、１３１、１３２、１３４と、ゲート電極１６８ａ、１７０ａと、ゲート配線１６８ｂ、１７０ｂが、二枚のマスクにより、自己整合で形成されるので、工程数を削減する

ことができる。

[0069] 二行二列目のコンタクト装置は、前記半導体基板１０１上に形成された前記フィン状半導体層１０４と、前記フィン状半導体層１０４の周囲に形成された前記第１の絶縁膜１０６と、前記フィン状半導体層１０４上に形成された第２の柱状半導体層１３０と、前記フィン状半導体層１０４に直交する方向の前記第２の柱状半導体層１３０の幅は前記フィン状半導体層１０４に直交する方向の前記フィン状半導体層１０４の幅と同じであって、前記第２の柱状半導体層１３０の周囲に形成された金属からなるコンタクト電極１６９ａと、前記第２の柱状半導体層１３０と前記コンタクト電極１６９ａとの間に形成された前記ゲート絶縁膜１６５を有し、前記コンタクト電極１６９ａに接続された前記フィン状半導体層１０４に直交する方向に延在する金属からなる前記コンタクト配線１６９ｂと、前記コンタクト電極１６９ａと前記コンタクト配線１６９ｂの周囲に形成された前記ゲート絶縁膜１６４を有し、前記コンタクト電極１６９ａの外側の幅と前記コンタクト配線１６９ｂの幅は同じであって、前記フィン状半導体層１０４と前記第２の柱状半導体層１３０の下部に形成された前記第２の拡散層１４３ａと、前記コンタクト電極１６９ａは前記第２の拡散層１４３ａと接続するのであって、を有する。

[0070] また、前記第２の柱状半導体層１３０上部の周囲に形成された第２のゲート絶縁膜１７５と、前記第２のゲート絶縁膜１７５の周囲に形成された第２の金属からなる第３のコンタクト１８０ａと、第３のコンタクト１８０ａはコンタクト電極１６９ａと接続するのであって、前記第３のコンタクト１８０ａの上部と前記第２の柱状半導体層１３０の上部とを接続する第３の金属からなる第４のコンタクト１８４ａを有する。

[0071] 従って、第２の拡散層１４３ａとコンタクト電極１６９ａとコンタクト配線１６９ｂと第３のコンタクト１８０ａと第４のコンタクト１８４ａは接続される。

[0072] 一行二列目のコンタクト装置は、前記半導体基板１０１上に形成された前記フィン状半導体層１０５と、前記フィン状半導体層１０５の周囲に形成さ

れた前記第１の絶縁膜１０６と、前記フィン状半導体層１０５上に形成された第２の柱状半導体層１３３と、前記フィン状半導体層１０５に直交する方向の前記第２の柱状半導体層１３３の幅は前記フィン状半導体層１０５に直交する方向の前記フィン状半導体層１０５の幅と同じであって、前記第２の柱状半導体層１３３の周囲に形成された金属からなるコンタクト電極１６９ａと、前記第２の柱状半導体層１３３と前記コンタクト電極１６９ａとの間に形成された前記ゲート絶縁膜１６６を有し、前記コンタクト電極１６９ａに接続された前記フィン状半導体層１０５に直交する方向に延在する金属からなる前記コンタクト配線１６９ｂと、前記コンタクト電極１６９ａと前記コンタクト配線１６９ｂの周囲に形成された前記ゲート絶縁膜１６４を有し、前記コンタクト電極１６９ａの外側の幅と前記コンタクト配線１６９ｂの幅は同じであって、前記フィン状半導体層１０５と前記第２の柱状半導体層１３３の下部に形成された前記第２の拡散層１４３ｂと、前記コンタクト電極１６９ａは前記第２の拡散層１４３ｂと接続するのであって、を有する。

[0073] また、前記第２の柱状半導体層１３３上部の周囲に形成された第２のゲート絶縁膜１７６と、前記第２のゲート絶縁膜１７６の周囲に形成された第２の金属からなる第３のコンタクト１８０ｂと、第３のコンタクト１８０ｂはコンタクト電極１６９ａと接続するのであって、前記第３のコンタクト１８０ｂの上部と前記第２の柱状半導体層１３３上部とを接続する第３の金属からなる第４のコンタクト１８４ｂを有する。

[0074] 従って、第２の拡散層１４３ｂとコンタクト電極１６９ａとコンタクト配線１６９ｂと第３のコンタクト１８０ｂと第４のコンタクト１８４ｂは接続される。

[0075] また、前記第２の拡散層１４３ａ、１４３ｂに接続される前記ゲート配線１６８ｂ、１７０ｂに平行なコンタクト配線１６９ｂを有することにより、第２の拡散層１４３ａ、１４３ｂを相互に接続することでソース線の抵抗を下げることができ、セット時の電流によるソース電圧の増加を抑制することができる。前記ゲート配線１６８ｂ、１７０ｂに平行なコンタクト配線１６

９ｂは、例えば、ビット線２０７、２０８方向に一列に配置されたメモリセル２個毎、４個毎、８個毎、１６個毎、３２個毎、６４個毎に一本配置することが好ましい。

[0076] また、第２の柱状半導体層１３０、１３３と第２の柱状半導体層１３０、１３３周囲に形成されるコンタクト電極１６９ａとコンタクト配線１６９ｂとで形成される構造は、コンタクト電極１６９ａが前記第２の拡散層１４３ａ、１４３ｂと接続すること以外はトランジスタ構造と同じ構造であり、ゲート配線１６８ｂ、１７０ｂに平行な方向の第２の拡散層１４３ａ、１４３ｂからなる全てのソース線はコンタクト配線１６９ｂに接続されることになるため、工程数を削減することができる。

[0077] 図２は、半導体基板１０１深くまで第２の拡散層１４３ｃを形成し、図１の第２の拡散層１４３ａ、１４３ｂを接続した構造である。本構造とすることでさらにソース抵抗を削減することができる。

[0078] 図３は、図２の前記フィン状半導体層１０５と、前記フィン状半導体層１０５の周囲に形成された前記第１の絶縁膜１０６を省き、半導体基板１０１上に第２の拡散層１４３ｄを形成した構造である。本構造とすることでさらにソース抵抗を削減することができる。

[0079] 以下に、本発明の実施形態に係る半導体装置の構造を形成するための製造工程を、図４～図６２を参照して説明する。

[0080] まず、半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第１の絶縁膜を形成する第１工程を示す。本実施例では、シリコン基板としたが、半導体であればよい。

[0081] 図４に示すように、シリコン基板１０１上にフィン状シリコン層を形成するための第１のレジスト１０２、１０３を形成する。

[0082] 図５に示すように、シリコン基板１０１をエッチングし、フィン状シリコン層１０４、１０５を形成する。今回はレジストをマスクとしてフィン状シリコン層を形成したが、酸化膜や窒化膜といったハードマスクを用いてもよい。

[0083] 図６に示すように、第１のレジスト１０２、１０３を除去する。

[0084] 図７に示すように、フィン状シリコン層１０４、１０５の周囲に第１の絶縁膜１０６を堆積する。第１の絶縁膜として高密度プラズマによる酸化膜や低圧CVD(Chemical Vapor Deposition)による酸化膜を用いてもよい。

[0085] 図８に示すように、第１の絶縁膜１０６をエッチバックし、フィン状シリコン層１０４、１０５の上部を露出する。

[0086] 以上により半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第１の絶縁膜を形成する第１工程が示された。

[0087] 次に、前記第１工程の後、前記フィン状半導体層の周囲に第２の絶縁膜を形成し、前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化し、第１のゲート配線と第１の柱状半導体層と第１のコンタクト配線と第２の柱状半導体層を形成するための第２のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第１のポリシリコンと前記第２の絶縁膜と前記フィン状半導体層をエッチングすることにより、第１の柱状半導体層と前記第１のポリシリコンによる第１のダミーゲートと第２の柱状半導体層と前記第１のポリシリコンによる第２のダミーゲートを形成する第２工程を示す。

[0088] 図９に示すように、前記フィン状シリコン層１０４、１０５の周囲に第２の絶縁膜１０７、１０８を形成する。第２の絶縁膜１０７、１０８は、酸化膜が好ましい。

[0089] 図１０に示すように、前記第２の絶縁膜１０７、１０８の上に第１のポリシリコン１０９を堆積し平坦化する。

[0090] 図１１に示すように、前記第１のポリシリコン１０９上に第３の絶縁膜１１０を形成する。第３の絶縁膜１１０は、窒化膜が好ましい。

[0091] 図１２に示すように、ゲート配線１６８ｂ、１７０ｂと第１の柱状半導体層１２９、１３１、１３２、１３４と第２の柱状半導体層１３０、１３３とコンタクト配線１６９ｂを形成するための第２のレジスト１１１、１１２、１１３を、前記フィン状シリコン層１０４、１０５の方向に対して垂直の方

向に形成する。

[0092] 図１３に示すように、前記第３の絶縁膜１１０と前記第１のポリシリコン１０９と前記第２の絶縁膜１０７、１０８と前記フィン状シリコン層１０４、１０５をエッチングすることにより、第１の柱状シリコン層１２９、１３１、１３２、１３４と前記第１のポリシリコンによる第１のダミーゲート１１７、１１９と第２の柱状シリコン層１３０、１３３と前記第１のポリシリコンによる第２のダミーゲート１１８を形成する。このとき、第３の絶縁膜１１０は、分離され、第３の絶縁膜１１４、１１５、１１６となる。また、第２の絶縁膜１０７、１０８は分離され、第２の絶縁膜１２３、１２４、１２５、１２６、１２７、１２８となる。このとき、第２のレジスト１１１、１１２、１１３がエッチング中に除去された場合、第３の絶縁膜１１４、１１５、１１６がハードマスクとして機能する。第２のレジストがエッチング中に除去されないとき、第３の絶縁膜を使用しなくてもよい。

[0093] 図１４に示すように、第２のレジスト１１４、１１５、１１６を除去する。

[0094] 以上により、前記第１工程の後、前記フィン状半導体層の周囲に第２の絶縁膜を形成し、前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化し、第１のゲート配線と第１の柱状半導体層と第１のコンタクト配線と第２の柱状半導体層を形成するための第２のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第１のポリシリコンと前記第２の絶縁膜と前記フィン状半導体層をエッチングすることにより、第１の柱状半導体層と前記第１のポリシリコンによる第１のダミーゲートと第２の柱状半導体層と前記第１のポリシリコンによる第２のダミーゲートを形成する第２工程が示された。

[0095] 次に、前記第２工程の後、前記第１の柱状半導体層と前記第２の柱状半導体層と前記第１のダミーゲートと前記第２のダミーゲートの周囲に第４の絶縁膜を形成し、前記第４の絶縁膜の周囲に第２のポリシリコンを堆積し、エッチングをすることにより、前記第１のダミーゲートと前記第１の柱状半導

体層と前記第２のダミーゲートと前記第２の柱状半導体層の側壁に残存させ、第３のダミーゲートと第４のダミーゲートを形成する第３工程を示す。

[0096] 図１５に示すように、前記第１の柱状シリコン層１２９、１３１、１３２、１３４と前記第２の柱状シリコン層１３０、１３３と前記第１のダミーゲート１１７、１１９と前記第２のダミーゲート１１８の周囲に第４の絶縁膜１３５を形成する。前記第４の絶縁膜１３５の周囲に第２のポリシリコン１３６を堆積する。

[0097] 図１６に示すように、第２のポリシリコン１３６をエッチングすることにより、前記第１のダミーゲート１１７、１１９と前記第１の柱状シリコン層１２９、１３１、１３２、１３４と前記第２のダミーゲート１１８と前記第２の柱状シリコン層１３０、１３３の側壁に残存させ、第３のダミーゲート１３７、１３９と第４のダミーゲート１３８を形成する。このとき、第４の絶縁膜１３５は分離され、第４の絶縁膜１４０、１４１、１４２となってもよい。

[0098] 以上により、前記第２工程の後、前記第１の柱状半導体層と前記第２の柱状半導体層と前記第１のダミーゲートと前記第２のダミーゲートの周囲に第４の絶縁膜を形成し、前記第４の絶縁膜の周囲に第２のポリシリコンを堆積し、エッチングをすることにより、前記第１のダミーゲートと前記第１の柱状半導体層と前記第２のダミーゲートと前記第２の柱状半導体層の側壁に残存させ、第３のダミーゲートと第４のダミーゲートを形成する第３工程が示された。

[0099] 次に、前記フィン状半導体層上部と前記第１の柱状半導体層下部と前記第２の柱状半導体層下部に第２の拡散層を形成し、前記第３のダミーゲートと前記第４のダミーゲートとの周囲に、第５の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第５の絶縁膜からなるサイドウォールを形成し、前記第２の拡散層上に金属と半導体の化合物を形成する第４工程を示す。

[0100] 図１７に示すように、不純物を導入し、前記第１の柱状シリコン層１２９

、１３１、１３２、１３４下部と前記第２の柱状シリコン層１３０、１３３下部に第２の拡散層１４３ａ、１４３ｂを形成する。ｎ型拡散層のときは、砒素やリンを導入することが好ましい。ｐ型拡散層のときは、ボロンを導入することが好ましい。拡散層形成は、後述の第５の絶縁膜からなるサイドウォール形成後に行ってもよい。

[0101] 図１８に示すように、前記第３のダミーゲート１３７、１３９と前記第４のダミーゲート１３８との周囲に、第５の絶縁膜１４４を形成する。第５の絶縁膜１４４は、窒化膜が好ましい。

[0102] 図１９に示すように、第５の絶縁膜１４４をエッチングし、サイドウォール状に残存させ、前記第５の絶縁膜からなるサイドウォール１４５、１４６、１４７を形成する。

[0103] 図２０に示すように、前記第２の拡散層１４３ａ、１４３ｂ上に金属と半導体の化合物１４８、１４９、１５０、１５１、１５２、１５３、１５４、１５５を形成する。このとき、第３のダミーゲート１３７、１３９上部、第４のダミーゲート１３８上部にも金属と半導体の化合物１５６、１５８、１５７が形成される。

[0104] 以上により、前記フィン状半導体層上部と前記第１の柱状半導体層下部と前記第２の柱状半導体層下部に第２の拡散層を形成し、前記第３のダミーゲートと前記第４のダミーゲートとの周囲に、第５の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第５の絶縁膜からなるサイドウォールを形成し、前記第２の拡散層上に金属と半導体の化合物を形成する第４工程が示された。

[0105] 次に、前記第４の工程の後、層間絶縁膜を堆積し、化学機械研磨し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとの上部を露出し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとを除去し、前記第２の絶縁膜と前記第４の絶縁膜を除去し、ゲート絶縁膜を前記第１の柱状半導体層の周囲と前記第２の柱状半導体層の周囲と前記第５

の絶縁膜の内側に形成し、前記第２の柱状半導体層の底部周辺のゲート絶縁膜を除去するための第３のレジストを形成し、前記第２の柱状半導体層の底部周辺の前記ゲート絶縁膜を除去し、第１の金属を堆積し、前記第１の柱状半導体層上部と前記第２の柱状半導体層上部を露出し、エッチバックを行い、前記第１の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、前記第２の柱状半導体層の周囲にコンタクト電極及びコンタクト配線を形成する第５工程を示す。

[0106] 図２１に示すように、層間絶縁膜１５９を堆積する。コンタクトストッパ膜を用いてもよい。

[0107] 図２２に示すように、化学機械研磨し、前記第１のダミーゲート１１７、１１９と前記第２のダミーゲート１１８と前記第３のダミーゲート１３７、１３９と前記第４のダミーゲート１３８との上部を露出する。このとき、第３のダミーゲート１３７、１３９上部、第４のダミーゲート１３８上部の金属と半導体の化合物１５６、１５８、１５７を除去する。

[0108] 図２３に示すように、前記第１のダミーゲート１１７、１１９と前記第２のダミーゲート１１８と前記第３のダミーゲート１３７、１３９と前記第４のダミーゲート１３８とを除去する。

[0109] 図２４に示すように、前記第２の絶縁膜１２３、１２４、１２５、１２６、１２７、１２８と前記第４の絶縁膜１４０、１４１、１４２を除去する。

[0110] 図２５に示すように、ゲート絶縁膜１６０を前記第１の柱状シリコン層１２９、１３１、１３２、１３４の周囲と前記第２の柱状シリコン層１３０、１３３の周囲と前記第５の絶縁膜１４５、１４６、１４７の内側に形成する。

[0111] 図２６に示すように、前記第２の柱状シリコン層１３０、１３３の底部周辺のゲート絶縁膜１６０を除去するための第３のレジスト１６１を形成する。

[0112] 図２７に示すように、前記第２の柱状シリコン層１３０、１３３の底部周辺のゲート絶縁膜１６０を除去する。ゲート絶縁膜は分離され、ゲート絶縁

膜１６２、１６３、１６４、１６５、１６６となる。また、等方性エッチングにより、ゲート絶縁膜１６４、１６５、１６６を除去してもよい。

[0113] 図２８に示すように、第３のレジスト１６１を除去する。

[0114] 図２９に示すように、金属１６７を堆積する。

[0115] 図３０に示すように、金属１６７のエッチバックを行い、前記第１の柱状シリコン層１２９、１３１、１３２、１３４の周囲にゲート電極１６８ａ、１７０ａ及びゲート配線１６８ｂ、１７０ｂを形成し、前記第２の柱状シリコン層１３０、１３３の周囲にコンタクト電極１６９ａ及びコンタクト配線１６９ｂを形成する。

[0116] 以上により、前記第４の工程の後、層間絶縁膜を堆積し、化学機械研磨し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとの上部を露出し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとを除去し、前記第２の絶縁膜と前記第４の絶縁膜を除去し、ゲート絶縁膜を前記第１の柱状半導体層の周囲と前記第２の柱状半導体層の周囲と前記第５の絶縁膜の内側に形成し、前記第２の柱状半導体層の底部周辺のゲート絶縁膜を除去するための第３のレジストを形成し、前記第２の柱状半導体層の底部周辺の前記ゲート絶縁膜を除去し、第１の金属を堆積し、前記第１の柱状半導体層上部と前記第２の柱状半導体層上部を露出し、エッチバックを行い、前記第１の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、前記第２の柱状半導体層の周囲にコンタクト電極及びコンタクト配線を形成する第５工程が示された。

[0117] 次に、前記第５の工程の後、前記第１の柱状半導体層周囲と前記ゲート電極と前記ゲート配線上と、前記第２の柱状半導体層周囲と前記コンタクト電極と前記コンタクト配線上に第２のゲート絶縁膜を堆積し、第２の金属を堆積し、前記第１の柱状半導体層の上部と前記第２の柱状半導体層上部を露出し、前記第１の柱状半導体層上の前記第２のゲート絶縁膜を除去し、第３の金属を堆積し、前記第３の金属と前記第２の金属の一部をエッチングするこ

とで、第２の金属が前記第１の柱状半導体層上部側壁を取り囲む第１のコンタクトと、前記第１のコンタクトの上部と前記第１の柱状半導体層上部とを接続する第２のコンタクトと、を形成する第６工程を示す。

[0118] 図３１に示すように、露出したゲート絶縁膜１６２、１６３、１６４、１６５、１６６を除去する。

[0119] 図３２に示すように、第１の柱状シリコン層１２９、１３１、１３２、１３４周囲とゲート電極１６８ａ、１７０ａとゲート配線１６８ｂ、１７０ｂ上と、第２の柱状シリコン層１３０、１３３周囲とコンタクト電極１６９ａとコンタクト配線１６９ｂ上に第２のゲート絶縁膜１７１を堆積する。

[0120] 図３３に示すように、コンタクト電極１６９ａ及び前記コンタクト配線１６９ｂ上の少なくとも一部の第２のゲート絶縁膜１７１を除去するための第４のレジスト１７２を形成する。

[0121] 図３４に示すように、コンタクト電極１６９ａ及び前記コンタクト配線１６９ｂ上の少なくとも一部の第２のゲート絶縁膜１７１を除去する。第２のゲート絶縁膜１７１は分離され、第２のゲート絶縁膜１７３、１７４、１７５、１７６、１７７となる。また、等方性エッチングにより、第２のゲート絶縁膜１７５、１７６、１７７を除去してもよい。

[0122] コンタクト形成のために、第１のゲート絶縁膜の膜厚分と第２のゲート絶縁膜の膜厚分エッチングすればよく、深いコンタクト孔を形成する工程が不要となる。

[0123] 図３５に示すように、第４のレジスト１７２を除去する。

[0124] 図３６に示すように、第２の金属１７８を堆積する。第２の金属１７８の金属の仕事関数は、トランジスタがｎ型のときは、４．０ｅＶから４．２ｅＶの間であることが好ましい。また、第２の金属１７８の仕事関数は、トランジスタがｐ型のときは、５．０ｅＶから５．２ｅＶの間であることを特徴とすることが好ましい。

[0125] 図３７に示すように、第２の金属１７８のエッチバックを行い、第１の柱状シリコン層１２９、１３１、１３２、１３４の上部と第２の柱状シリコン

層１３０、１３３上部を露出する。このとき、第２の金属１７８は、第２の金属線１７９、１８０、１８１となる

[0126] 図３８に示すように、露出した第１の柱状シリコン層１２９、１３１、１３２、１３４上の第２のゲート絶縁膜１７３、１７４を除去する。

[0127] 図３９に示すように、第３の金属１８２を堆積する。第３の金属１８２は第２の金属１７８と同じ金属でもよい。

[0128] 図４０に示すように、第３の金属１８２をエッチバックし、第３の金属線１８３、１８４、１８５を形成する。

[0129] 図４１に示すように、第２の金属線１７９、１８０、１８１及び第３の金属線１８３、１８４、１８５に直交する第５のレジスト１８６、１８７を形成する。

[0130] 図４２に示すように、第２の金属線１７９、１８０、１８１及び第３の金属線１８３、１８４、１８５をエッチングし、第１のコンタクト１７９ａ、１７９ｂ、１８１ａ、１８１ｂ、第２のコンタクト１８３ａ、１８３ｂ、１８５ａ、１８５ｂ、第３のコンタクト１８０ａ、１８０ｂ、第４のコンタクト１８４ａ、１８４ｂを形成する。

[0131] 図４３に示すように、第５のレジスト１８６、１８７を除去する。

[0132] 以上により、前記第５の工程の後、前記第１の柱状半導体層周囲と前記ゲート電極と前記ゲート配線上と、前記第２の柱状半導体層周囲と前記コンタクト電極と前記コンタクト配線上に第２のゲート絶縁膜を堆積し、第２の金属を堆積し、前記第１の柱状半導体層の上部と前記第２の柱状半導体層上部を露出し、前記第１の柱状半導体層上の前記第２のゲート絶縁膜を除去し、第３の金属を堆積し、前記第３の金属と前記第２の金属の一部をエッチングすることで、第２の金属が前記第１の柱状半導体層上部側壁を取り囲む第１のコンタクトと、前記第１のコンタクトの上部と前記第１の柱状半導体層上部とを接続する第２のコンタクトと、を形成する第６工程が示された。

[0133] 次に、前記第６工程の後、第２の層間絶縁膜を堆積し、平坦化し、前記第２のコンタクト上部を露出し、柱状の抵抗が変化する層と下部電極を形成し

、前記柱状の抵抗が変化する層と前記下部電極を取り囲むようリセットゲート絶縁膜を形成し、リセットゲートを形成する第７工程を示す。

[0134] 図４４に示すように、第２の層間絶縁膜１９４を堆積し、平坦化し、前記第２のコンタクト１８３ａ、１８３ｂ、１８５ａ、１８５ｂ上部を露出する。このとき、第４のコンタクト１８４ａ、１８４ｂの上部を露出してもよい。

[0135] 図４５に示すように、下部電極のための金属１９５と抵抗が変化する膜１９６と窒化膜１９７を堆積する。

[0136] 図４６に示すように、柱状の抵抗が変化する層と下部電極を形成するための第６のレジスト１９８、１９９、２００、２０１を形成する。

[0137] 図４７に示すように、窒化膜１９７と抵抗が変化する膜１９６と金属１９５とをエッチングする。窒化膜１９７は分離され、窒化膜１９７ａ、１９７ｂ、１９７ｃ、１９７ｄとなる。また、抵抗が変化する膜１９６は分離され、柱状の抵抗が変化する層１９６ａ、１９６ｂ、１９６ｃ、１９６ｄとなる。また、金属１９５は分離され、下部電極１９５ａ、１９５ｂ、１９５ｃ、１９５ｄとなる。

[0138] 図４８に示すように、第６のレジスト１９８、１９９、２００、２０１を除去する。

[0139] 図４９に示すように、リセットゲート絶縁膜２０２を堆積する。

[0140] 図５０に示すように、リセットゲートとなる金属２０３を堆積する。

[0141] 図５１に示すように、金属２０３をエッチバックする。

[0142] 図５２に示すように、窒化膜２０４を堆積する。

[0143] 図５３に示すように、リセットゲートを形成するための第７のレジスト２０５、２０６を形成する。

[0144] 図５４に示すように、窒化膜２０４をエッチングする。窒化膜２０４は分離され、窒化膜２０４ａ、２０４ｂとなる。

[0145] 図５５に示すように、第７のレジスト２０５、２０６と窒化膜２０４ａ、２０４ｂをマスクとして金属２０３をエッチングし、リセットゲート２０３

ａ、２０３ｂを形成する。

[0146] 図５６に示すように、第７のレジスト２０５、２０６を除去する。

[0147] 図５７に示すように、第３の層間絶縁膜２０７を堆積する。

[0148] 図５８に示すように、第３の層間絶縁膜２０７を平坦化し、窒化膜１９７ａ、１９７ｂ、１９７ｃ、１９７ｄを除去し、柱状の抵抗が変化する層１９６ａ、１９６ｂ、１９６ｃ、１９６ｄ上部を露出する。

[0149] 図５９に示すように、金属２０８を堆積する。

[0150] 図６０に示すように、ビット線を形成するため第８のレジスト２０９、２１０を形成する。

[0151] 図６１に示すように、金属２０８をエッチングし、ビット線２０８ａ、２０８ｂ形成する。

[0152] 図６２に示すように、第８のレジスト２０９、２１０を除去する。

[0153] 以上により、前記第６工程の後、第２の層間絶縁膜を堆積し、平坦化し、前記第２のコンタクト上部を露出し、柱状の抵抗が変化する層と下部電極を形成し、前記柱状の抵抗が変化する層と前記下部電極を取り囲むようリセットゲート絶縁膜を形成し、リセットゲートを形成する第７工程が示された。

[0154] 以上により、本発明の実施形態に係る半導体装置の構造を形成するための製造工程が示された。

[0155] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

[0156] 例えば、上記実施例において、ｐ型（ｐ$^{+}$型を含む。）とｎ型（ｎ$^{+}$型を含む。）とをそれぞれ反対の導電型とした半導体装置の製造方法、及び、それにより得られる半導体装置も当然に本発明の技術的範囲に含まれる。

符号の説明

[0157] １０１．シリコン基板

１０２．第１のレジスト

１０３．第１のレジスト

１０４．フィン状シリコン層

１０５．フィン状シリコン層

１０６．第１の絶縁膜

１０７．第２の絶縁膜

１０８．第２の絶縁膜

１０９．第１のポリシリコン

１１０．第３の絶縁膜

１１１．第２のレジスト

１１２．第２のレジスト

１１３．第２のレジスト

１１４．第３の絶縁膜

１１５．第３の絶縁膜

１１６．第３の絶縁膜

１１７．第１のダミーゲート

１１８．第２のダミーゲート

１１９．第１のダミーゲート

１２３．第２の絶縁膜

１２４．第２の絶縁膜

１２５．第２の絶縁膜

１２６．第２の絶縁膜

１２７．第２の絶縁膜

１２８．第２の絶縁膜

１２９．第１の柱状シリコン層

１３０．第２の柱状シリコン層

１３１．第１の柱状シリコン層

１３２．第１の柱状シリコン層

１３３．第２の柱状シリコン層

１３４．第１の柱状シリコン層

１３５．第４の絶縁膜

１３６．第２のポリシリコン

１３７．第３のダミーゲート

１３８．第４のダミーゲート

１３９．第３のダミーゲート

１４０．第４の絶縁膜

１４１．第４の絶縁膜

１４２．第４の絶縁膜

１４３ａ．第２の拡散層

１４３ｂ．第２の拡散層

１４３ｃ．第２の拡散層

１４３ｄ．第２の拡散層

１４４．第５の絶縁膜

１４５．サイドウォール

１４６．サイドウォール

１４７．サイドウォール

１４８．金属と半導体の化合物

１４９．金属と半導体の化合物

１５０．金属と半導体の化合物

１５１．金属と半導体の化合物

１５２．金属と半導体の化合物

１５３．金属と半導体の化合物

１５４．金属と半導体の化合物

１５５．金属と半導体の化合物

１５６．金属と半導体の化合物

１５７．金属と半導体の化合物

１５８．金属と半導体の化合物

１５９．層間絶縁膜

１６０．ゲート絶縁膜

１６１．第３のレジスト

１６２．ゲート絶縁膜

１６３．ゲート絶縁膜

１６４．ゲート絶縁膜

１６５．ゲート絶縁膜

１６６．ゲート絶縁膜

１６７．金属

１６８ａ．ゲート電極

１６８ｂ．ゲート配線

１６９ａ．コンタクト電極

１６９ｂ．コンタクト配線

１７０ａ．ゲート電極

１７０ｂ．ゲート配線

１７１．第２のゲート絶縁膜

１７２．第４のレジスト

１７３．第２のゲート絶縁膜

１７４．第２のゲート絶縁膜

１７５．第２のゲート絶縁膜

１７６．第２のゲート絶縁膜

１７７．第２のゲート絶縁膜

１７８．第２の金属

１７９．第２の金属線

１７９ａ．第１のコンタクト

１７９ｂ．第１のコンタクト

１８０．第２の金属線

１８０ａ．第３のコンタクト

１８０ｂ．第３のコンタクト

１８１．第２の金属線

１８１ａ．第１のコンタクト

１８１ｂ．第１のコンタクト

１８２．第３の金属

１８３．第３の金属線

１８３ａ．第２のコンタクト

１８３ｂ．第２のコンタクト

１８４．第３の金属線

１８４ａ．第４のコンタクト

１８４ｂ．第４のコンタクト

１８５．第３の金属線

１８５ａ．第２のコンタクト

１８５ｂ．第２のコンタクト

１８６．第５のレジスト

１８７．第５のレジスト

１９４．第２の層間絶縁膜

１９５．金属

１９５ａ．下部電極

１９５ｂ．下部電極

１９５ｃ．下部電極

１９５ｄ．下部電極

１９６．抵抗が変化する膜

１９６ａ．柱状の抵抗が変化する層

１９６ｂ．柱状の抵抗が変化する層

１９６ｃ．柱状の抵抗が変化する層

１９６ｄ．柱状の抵抗が変化する層

１９７．窒化膜

１９７ａ．窒化膜

１９７ｂ．窒化膜

１９７ｃ．窒化膜

１９７ｄ．窒化膜

１９８．第６のレジスト

１９９．第６のレジスト

２００．第６のレジスト

２０１．第６のレジスト

２０２．リセットゲート絶縁膜

２０３．金属

２０３ａ．リセットゲート

２０３ｂ．リセットゲート

２０４．窒化膜

２０４ａ．窒化膜

２０４ｂ．窒化膜

２０５．第７のレジスト

２０６．第７のレジスト

２０７．第３の層間絶縁膜

２０８．金属

２０８ａ．ビット線

２０８ｂ．ビット線

２０９．第８のレジスト

２１０．第８のレジスト

請求の範囲

［請求項1］　第１の柱状半導体層と、

前記第１の柱状半導体層の周囲に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の周囲に形成された金属からなるゲート電極と、

前記ゲート電極に接続された金属からなるゲート配線と、

前記第１の柱状半導体層上部の周囲に形成された第２のゲート絶縁膜と、

前記第２のゲート絶縁膜の周囲に形成された第２の金属からなる第１のコンタクトと、

前記第１のコンタクトの上部と前記第１の柱状半導体層の上部とを接続する第３の金属からなる第２のコンタクトと、

前記第１の柱状半導体層の下部に形成された前記第２の拡散層と、

前記第２のコンタクト上に柱状の抵抗が変化する層と、

前記柱状の抵抗が変化する層を取り囲むリセットゲート絶縁膜と、

前記リセットゲート絶縁膜を取り囲むリセットゲートと、

を有することを特徴とする半導体装置。

［請求項2］　前記柱状の抵抗が変化する層の下部に、下部電極を有することを特徴とする請求項１に記載の記憶装置。

［請求項3］　前記リセットゲートは、窒化チタンからなることを特徴とする請求項１に記載の記憶装置。

［請求項4］　前記リセットゲート絶縁膜は、窒化膜からなることを特徴とする請求項１に記載の記憶装置。

［請求項5］　前記下部電極は、窒化チタンからなることを特徴とする請求項２に記載の記憶装置。

［請求項6］　前記リセットゲートに電流を流すことにより、抵抗が変化する層のリセットを行うことを特徴とする請求項１に記載の記憶装置。

［請求項7］　前記第１のコンタクトの第２の金属の仕事関数は、４．０ｅＶから４．２ｅＶの間であることを特徴とする請求項１に記載の半導体装置

。

[請求項8] 前記第１のコンタクトの第２の金属の仕事関数は、５．０ｅＶから５．２ｅＶの間であることを特徴とする請求項１に記載の半導体装置。

[請求項9] 半導体基板上に形成されたフィン状半導体層と、

前記フィン状半導体層の周囲に形成された第１の絶縁膜と、

前記フィン状半導体層上に形成された前記第１の柱状半導体層と、を有し、

前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜と、を有し、

前記ゲート配線は前記フィン状半導体層に直交する方向に延在するのであって、

前記第２の拡散層は前記フィン状半導体層に更に形成されることを特徴とする請求項１に記載の半導体装置。

[請求項10] 前記第２の拡散層は前記半導体基板に更に形成されることを特徴とする請求項９に記載の半導体装置。

[請求項11] 前記第２の拡散層に接続される前記ゲート配線に平行なコンタクト配線を有することを特徴とする請求項９または１０のいずれか一つに記載の半導体装置。

[請求項12] 前記半導体基板上に形成された前記フィン状半導体層と、

前記フィン状半導体層の周囲に形成された前記第１の絶縁膜と、

前記フィン状半導体層上に形成された第２の柱状半導体層と、

前記第２の柱状半導体層の周囲に形成された金属からなるコンタクト電極と、

前記コンタクト電極に接続された前記フィン状半導体層に直交する方向に延在する金属からなる前記コンタクト配線と、

前記フィン状半導体層と前記第２の柱状半導体層の下部に形成された前記第２の拡散層と、

前記コンタクト電極は前記第２の拡散層と接続するのであって、
を有することを特徴とする請求項１１に記載の半導体装置。

[請求項13] 前記ゲート電極の外側の幅と前記ゲート配線の幅は同じであって、
前記フィン状半導体層に直交する方向の前記第１の柱状半導体層の幅は前記フィン状半導体層に直交する方向の前記フィン状半導体層の幅と同じであることを特徴とする請求項９、１０、１１、１２のいずれか一つに記載の半導体装置。

[請求項14] 前記第２の柱状半導体層と前記コンタクト電極との間に形成された前記ゲート絶縁膜を有することを特徴とする請求項１２に記載の半導体装置。

[請求項15] 前記フィン状半導体層に直交する方向の前記第２の柱状半導体層の幅は前記フィン状半導体層に直交する方向の前記フィン状半導体層の幅と同じであることを特徴とする請求項１２に記載の半導体装置。

[請求項16] 前記コンタクト電極と前記コンタクト配線の周囲に形成された前記ゲート絶縁膜を有することを特徴とする請求項１４に記載の半導体装置。

[請求項17] 前記コンタクト電極の外側の幅と前記コンタクト配線の幅は同じであることを特徴とする請求項１２に記載の半導体装置。

[請求項18] 半導体基板上に形成された前記第１の柱状半導体層と、
を有し、
前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜と、を有し、
前記第２の拡散層は前記半導体基板に更に形成されることを特徴とする請求項１に記載の半導体装置。

[請求項19] 半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第１の絶縁膜を形成する第１工程と、
前記第１工程の後、
第１の柱状半導体層と前記第１のポリシリコンによる第１のダミー

ゲートと第２の柱状半導体層と前記第１のポリシリコンによる第２のダミーゲートを形成する第２工程と、

前記第２工程の後、前記第１のダミーゲートと前記第１の柱状半導体層と前記第２のダミーゲートと前記第２の柱状半導体層の側壁に、第３のダミーゲートと第４のダミーゲートを形成する第３工程と、

前記第３工程の後、

前記フィン状半導体層上部と前記第１の柱状半導体層下部と前記第２の柱状半導体層下部に第２の拡散層を形成する第４工程と、

前記第４の工程の後、層間絶縁膜を堆積し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとの上部を露出し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとを除去し、ゲート絶縁膜を前記第１の柱状半導体層の周囲と前記第２の柱状半導体層の周囲に形成し、前記第２の柱状半導体層の底部周辺のゲート絶縁膜を除去し、第１の金属を堆積し、前記第１の柱状半導体層上部と前記第２の柱状半導体層上部を露出し、前記第１の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、前記第２の柱状半導体層の周囲にコンタクト電極及びコンタクト配線を形成する第５工程と、

前記第５の工程の後、前記第１の柱状半導体層周囲と前記ゲート電極と前記ゲート配線上と、前記第２の柱状半導体層周囲と前記コンタクト電極と前記コンタクト配線上に第２のゲート絶縁膜を堆積し、第２の金属を堆積し、前記第１の柱状半導体層の上部と前記第２の柱状半導体層上部を露出し、前記第１の柱状半導体層上の前記第２のゲート絶縁膜を除去し、第３の金属を堆積し、前記第３の金属と前記第２の金属の一部をエッチングすることで、第２の金属が前記第１の柱状半導体層上部側壁を取り囲む第１のコンタクトと、前記第１のコンタクトの上部と前記第１の柱状半導体層上部とを接続する第２のコンタ

クトと、を形成する第６工程と、

前記第６工程の後、第２の層間絶縁膜を堆積し、平坦化し、前記第２のコンタクト上部を露出し、

柱状の抵抗が変化する層と下部電極を形成し、前記柱状の抵抗が変化する層と前記下部電極を取り囲むようリセットゲート絶縁膜を形成し、リセットゲートを形成する第７工程を有することを特徴とする半導体装置の製造方法。

［請求項20］ 前記第２の工程であって、

前記フィン状半導体層の周囲に第２の絶縁膜を形成し、

前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化し、

第１のゲート配線と第１の柱状半導体層と第１のコンタクト配線と第２の柱状半導体層を形成するための第２のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、

前記第１のポリシリコンと前記第２の絶縁膜と前記フィン状半導体層をエッチングすることにより、

第１の柱状半導体層と前記第１のポリシリコンによる第１のダミーゲートと第２の柱状半導体層と前記第１のポリシリコンによる第２のダミーゲートを形成することを特徴とする請求項１９に記載の半導体装置の製造方法。

［請求項21］ 前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化後、前記第１のポリシリコン上に第３の絶縁膜を形成することをさらに含むことを特徴とする請求項２０に記載の半導体装置の製造方法。

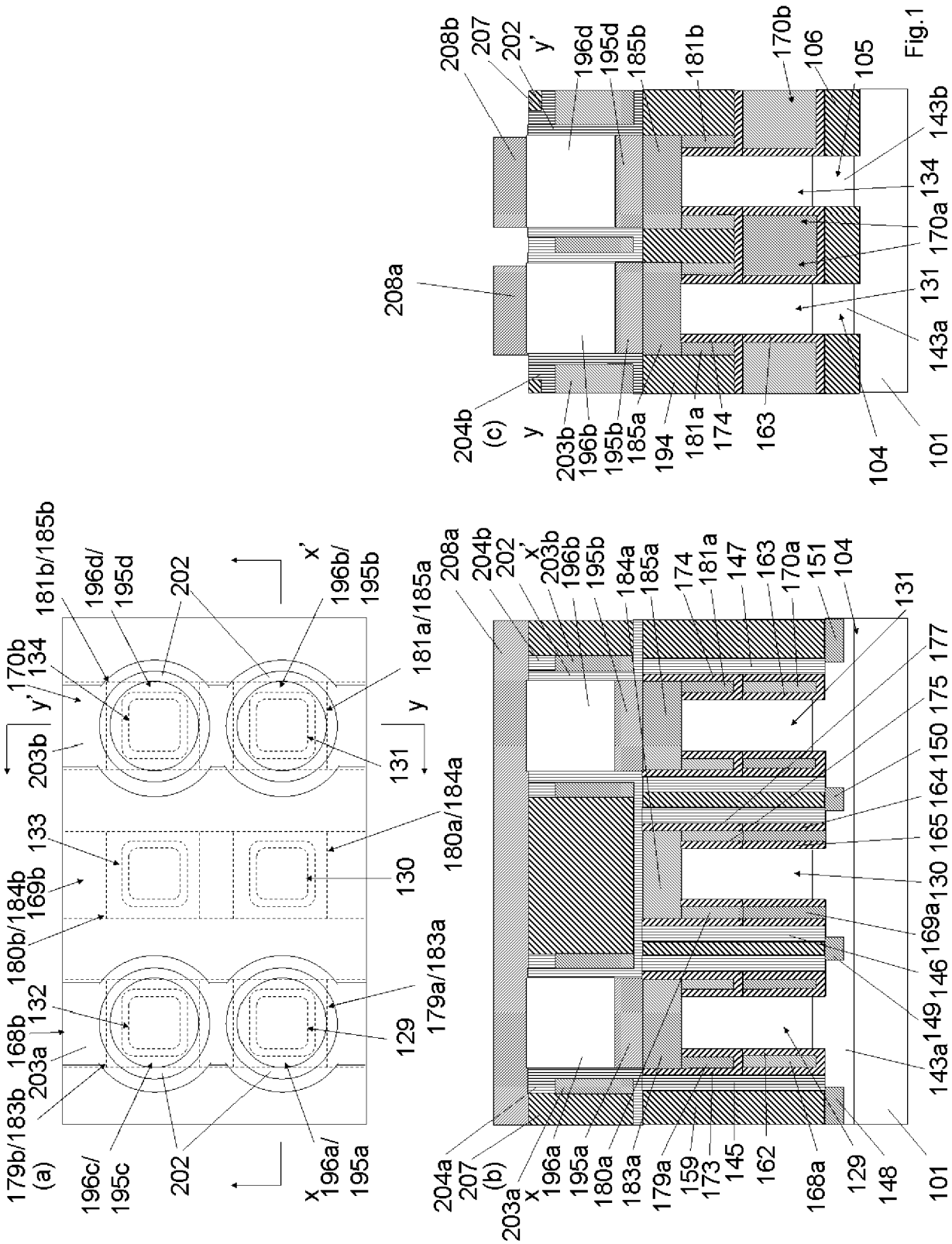
［請求項22］ 前記第２工程の後、前記第１の柱状半導体層と前記第２の柱状半導体層と前記第１のダミーゲートと前記第２のダミーゲートの周囲に第４の絶縁膜を形成し、前記第４の絶縁膜の周囲に第２のポリシリコンを堆積し、エッチングをすることにより、前記第１のダミーゲートと前記第１の柱状半導体層と前記第２のダミーゲートと前記第２の柱状半導体層の側壁に残存させ、第３のダミーゲートと第４のダミーゲー

トを形成する第３工程を有することを特徴とする請求項２０に記載の半導体装置の製造方法。

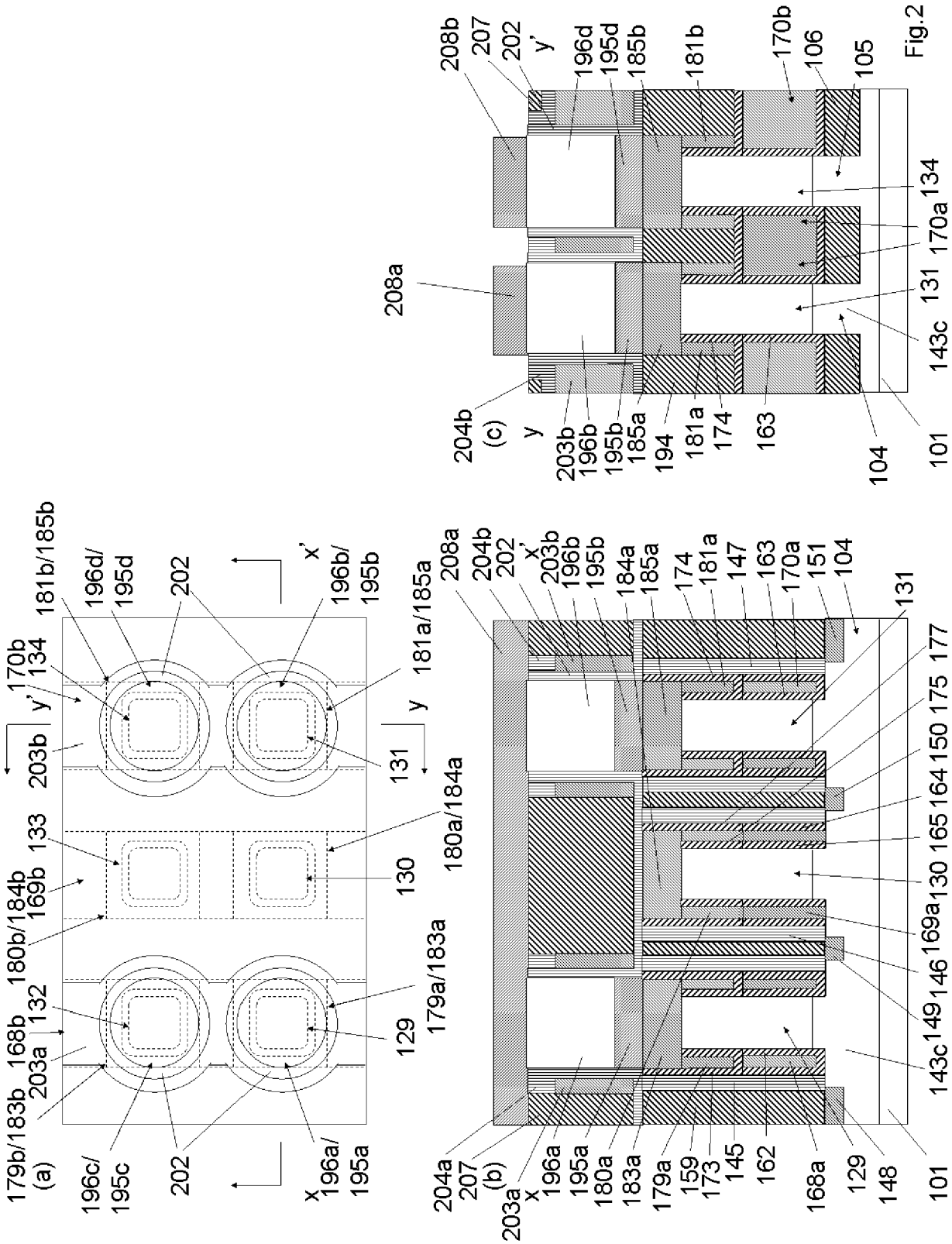
［請求項23］　前記フィン状半導体層上部と前記第１の柱状半導体層下部と前記第２の柱状半導体層下部に第２の拡散層を形成し、前記第３のダミーゲートと前記第４のダミーゲートとの周囲に、第５の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第５の絶縁膜からなるサイドウォールを形成し、前記第２の拡散層上に金属と半導体の化合物を形成する第４工程を有することを特徴とする請求項２２に記載の半導体装置の製造方法。

［請求項24］　前記第４の工程の後、層間絶縁膜を堆積し、化学機械研磨し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとの上部を露出し、前記第１のダミーゲートと前記第２のダミーゲートと前記第３のダミーゲートと前記第４のダミーゲートとを除去し、前記第２の絶縁膜と前記第４の絶縁膜を除去し、ゲート絶縁膜を前記第１の柱状半導体層の周囲と前記第２の柱状半導体層の周囲と前記第５の絶縁膜の内側に形成し、前記第２の柱状半導体層の底部周辺のゲート絶縁膜を除去するための第３のレジストを形成し、前記第２の柱状半導体層の底部周辺の前記ゲート絶縁膜を除去し、第１の金属を堆積し、前記第１の柱状半導体層上部と前記第２の柱状半導体層上部を露出し、エッチバックを行い、前記第１の柱状半導体層の周囲にゲート電極及びゲート配線を形成し、前記第２の柱状半導体層の周囲にコンタクト電極及びコンタクト配線を形成する第５工程と、を有することを特徴とする請求項２３に記載の半導体装置の製造方法。

[図1]


(a)
179b/183b
168b
203a
132
180b/184b
169b
133
203b
170b
134
y'
181b/185b
196d/
195d
202
x'
196b/
195b
181a/185a
y
131
180a/184a
130
179a/183a
129
196c/
195c
202
x
196a/
195a
(b)
204a
207
203a
x
196a
195a
180a
183a
179a
159
173
145
162
168a
129
148
101
143a
149
146
169a
130
165
164
150
175
177
131
104
151
170a
163
147
174
181a
184a
185a
195b
196b
203b
x'
202
204b
208a
(c)
y
203b
196b
195b
185a
194
181a
174
163
104
101
143a
131
170a
134
143b
105
106
170b
181b
185b
195d
196d
y'
202
207
208b
Fig.1

[図2]


(a)
179b/183b
168b
203a
132
180b/184b
169b
133
203b
170b
134
y'
181b/185b
196d/
195d
202
x'
196b/
195b
181a/185a
y
131
180a/184a
130
179a/183a
129
196c/
195c
202
x
196a/
195a
(b)
204a
207
203a
x
196a
195a
180a
183a
179a
159
173
145
162
168a
129
148
101
143c
149
146
169a
130
165
164
150
175
177
131
104
151
170a
163
147
181a
174
184a
185a
195b
196b
203b
x'
202
204b
208a
(c)
y
203b
196b
195b
185a
194
181a
174
163
104
101
143c
131
170a
134
105
106
170b
181b
185b
195d
196d
y'
202
207
208b
Fig.2

[図3]

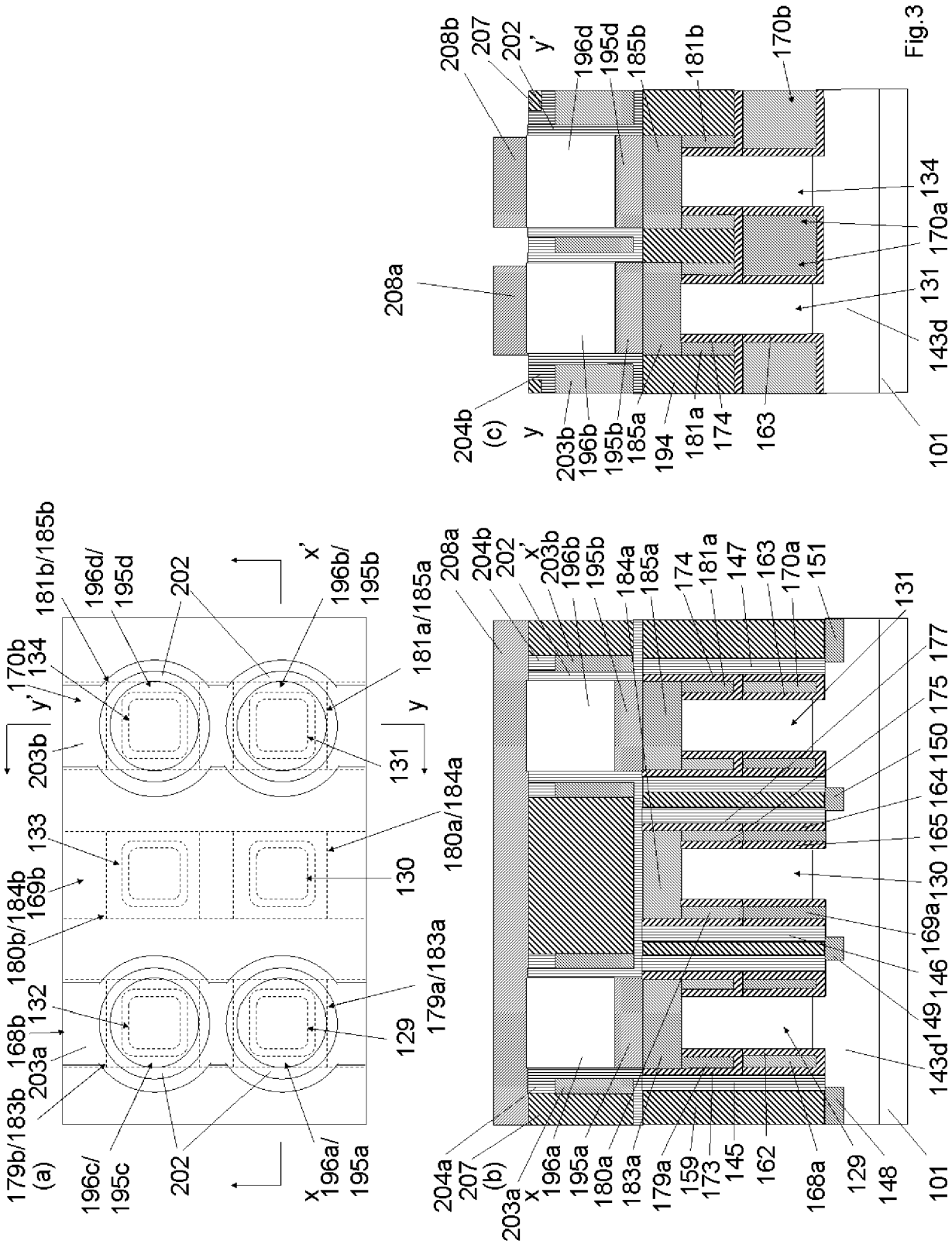

(a)
179b/183b
168b
203a
132
180b/184b
169b
133
203b
170b
134
y'
181b/185b
196d/
195d
202
x'
196b/
195b
181a/185a
y
131
180a/184a
130
179a/183a
129
196c/
195c
202
x
196a/
195a
(b)
204a
207
203a
x
196a
195a
180a
183a
179a
159
173
145
162
168a
129
148
101
143d
149
146
169a
130
165
164
150
175
177
131
151
170a
163
147
181a
174
184a
185a
195b
196b
203b
x'
202
204b
208a
(c)
y
203b
196b
195b
185a
194
181a
174
163
101
143d
131
170a
134
170b
181b
185b
195d
196d
y'
202
207
208b

Fig.3

[図4]

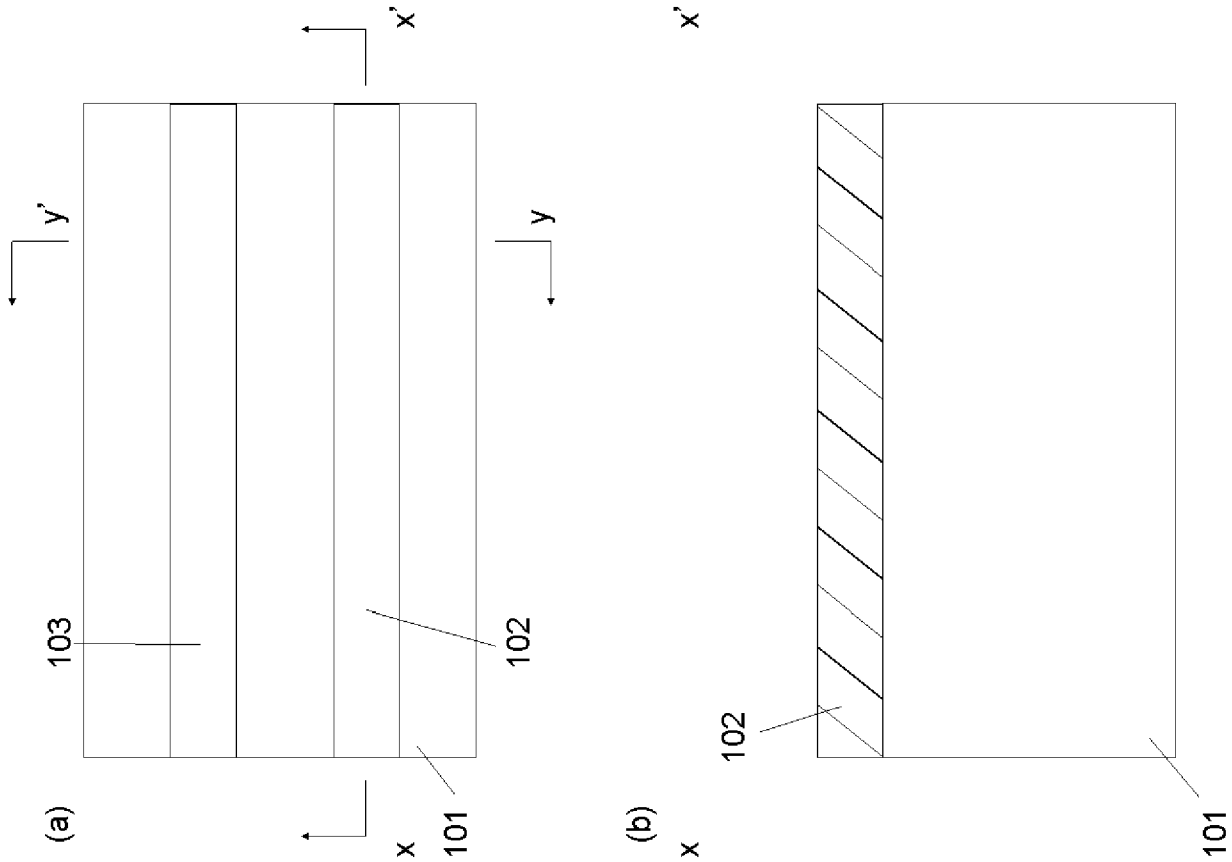


Fig.4

[図5]

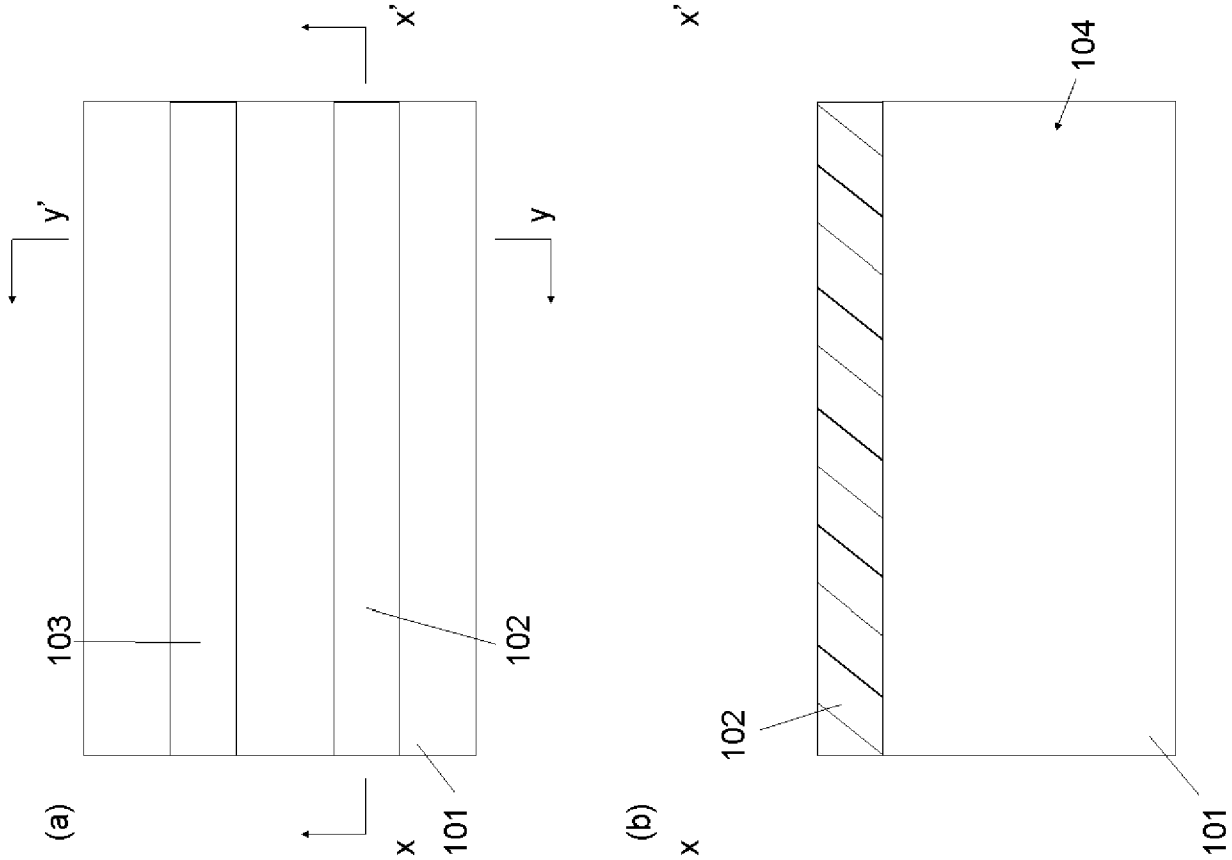


Fig.5

[図6]

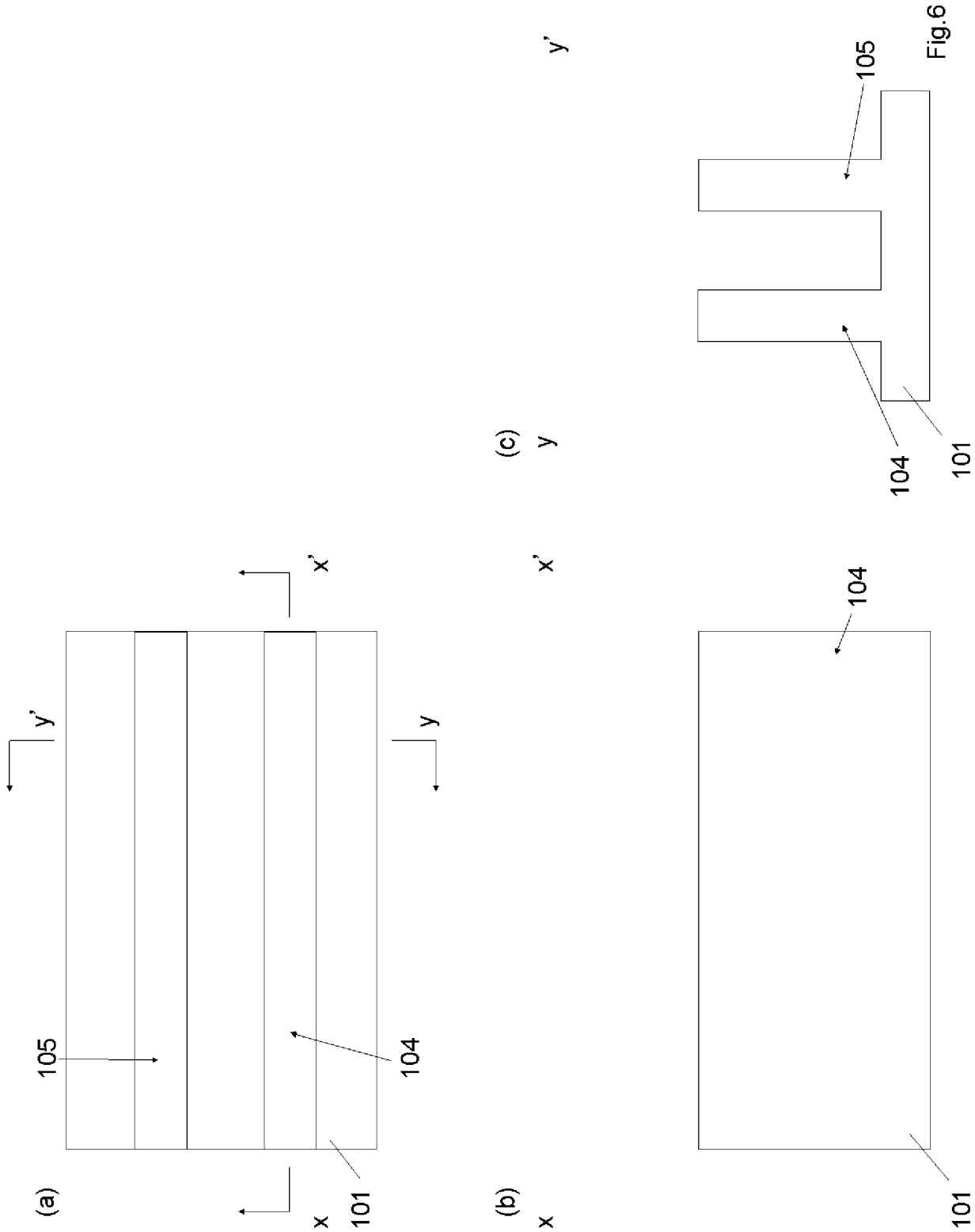


Fig.6

[図7]

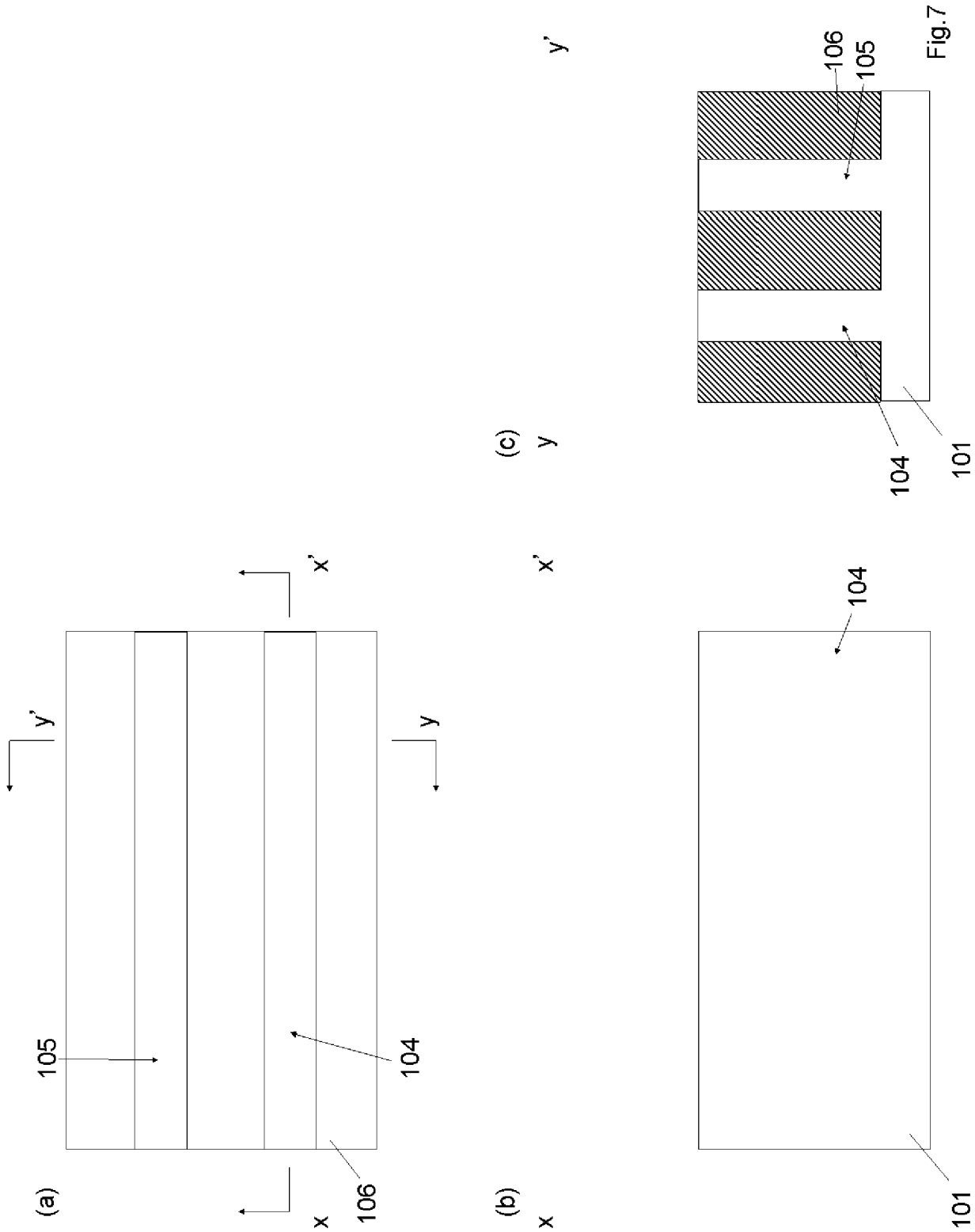


Fig.7

[図8]

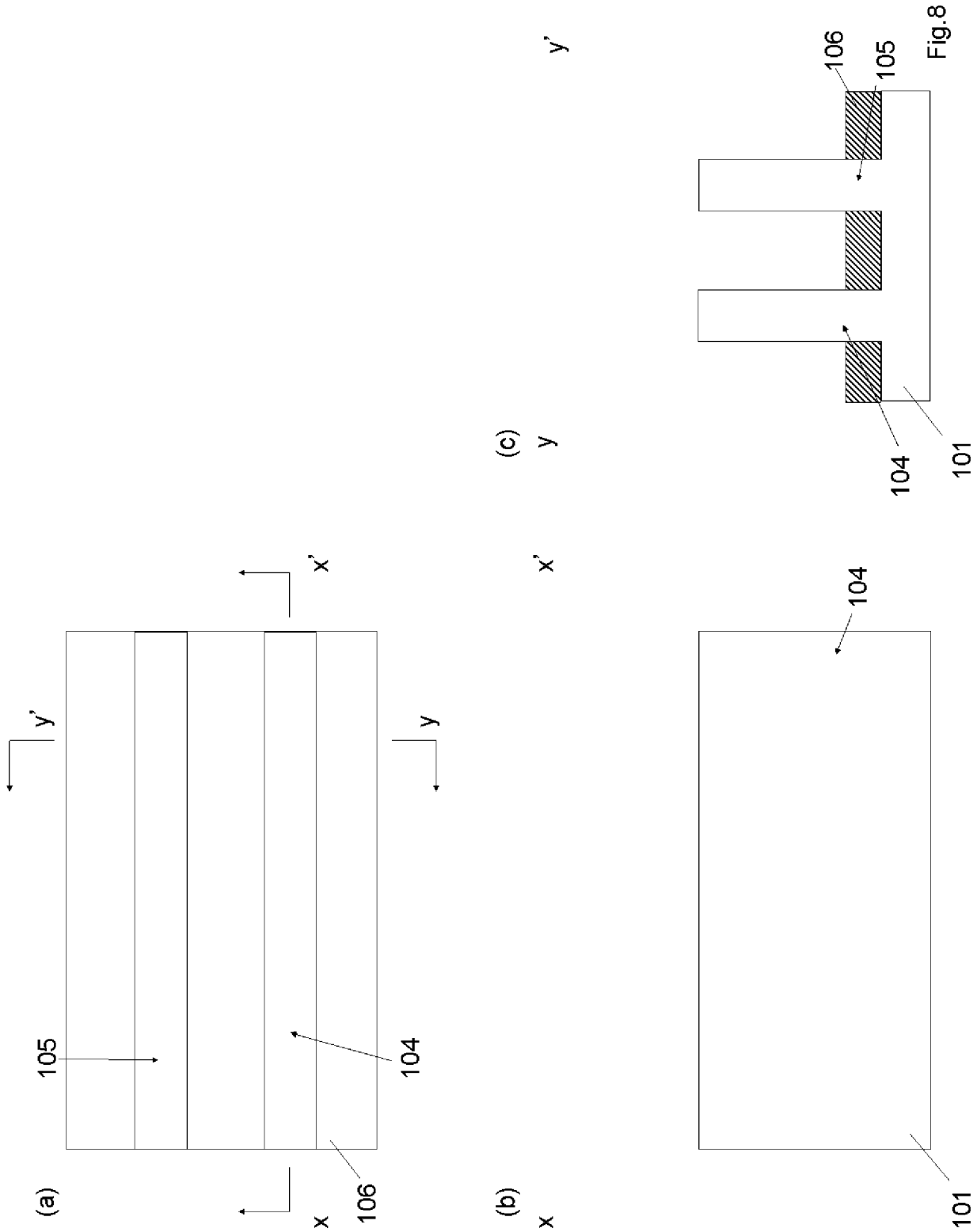


Fig.8

[図9]

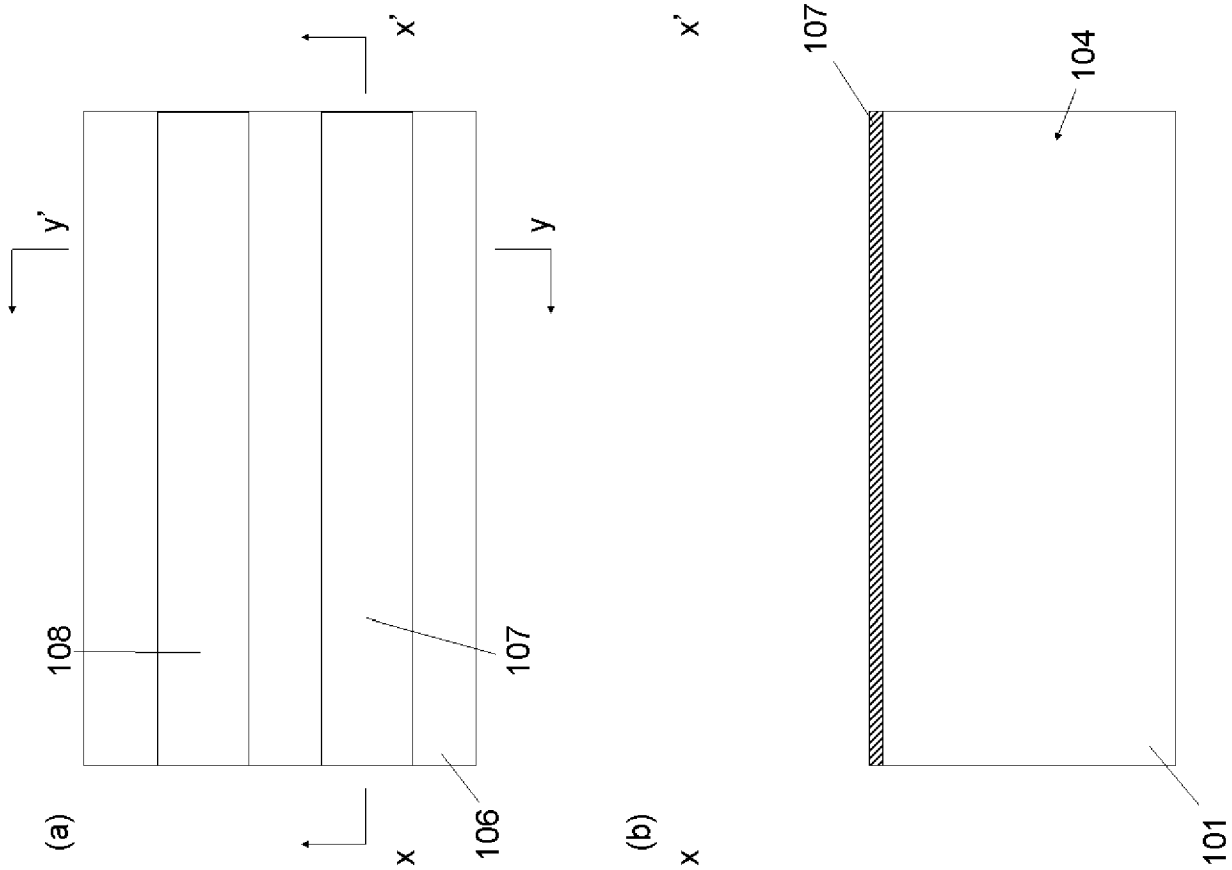


Fig.9

[図10]

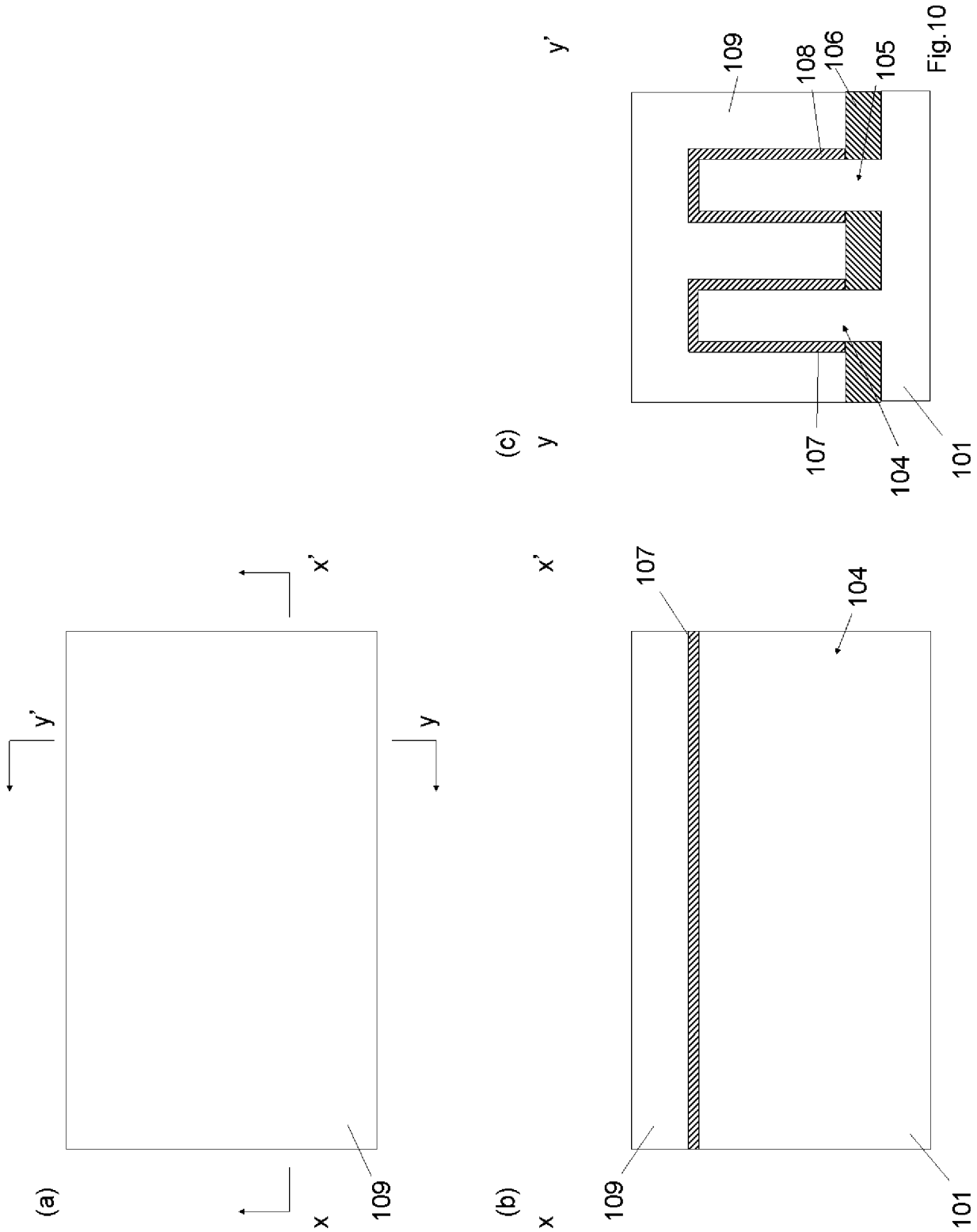


Fig.10

[図11]

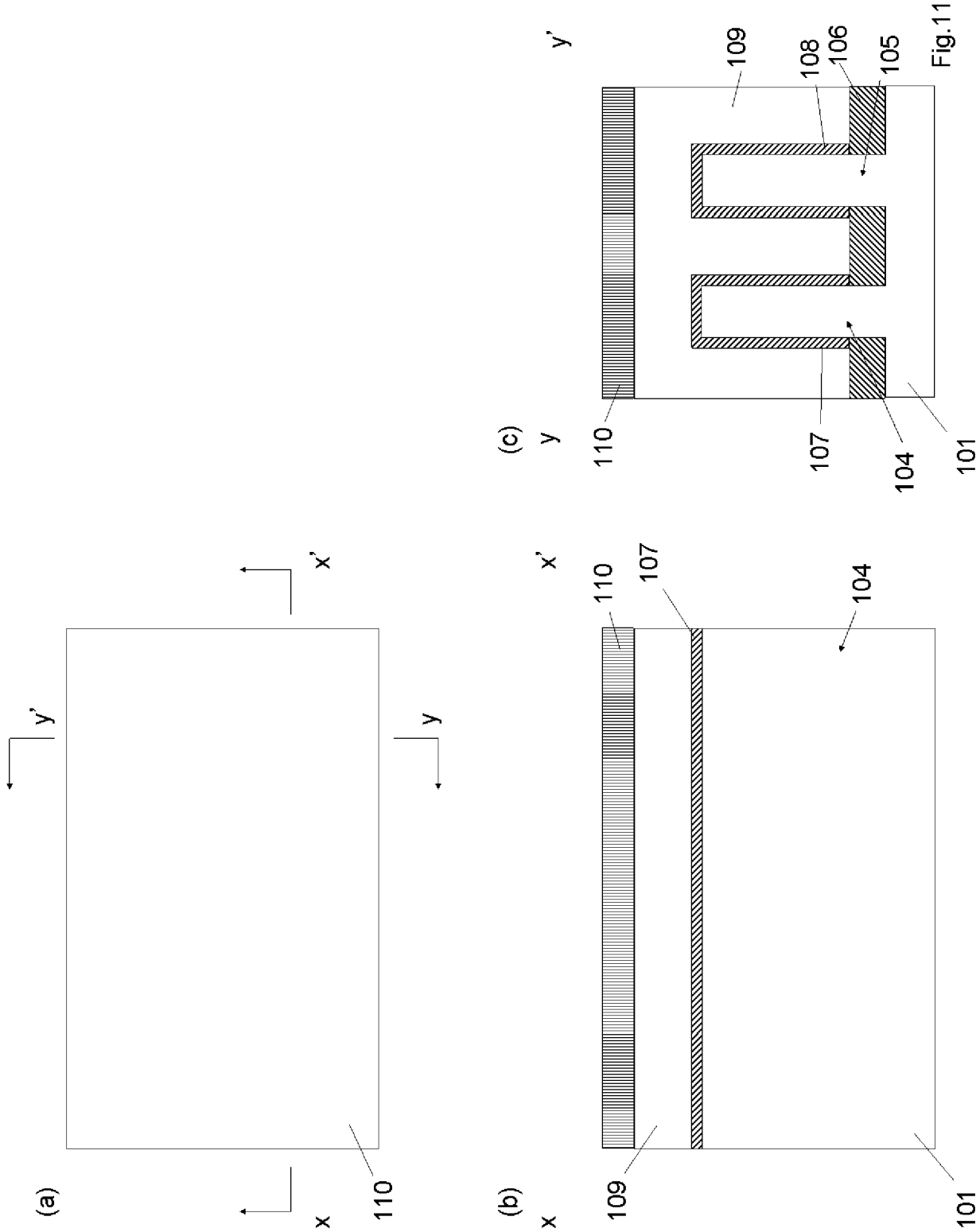

(a)
x
x'
y'
y
110
(b)
x
x'
109
110
107
104
101
(c)
y
y'
110
107
104
101
109
108
106
105

Fig.11

[図12]

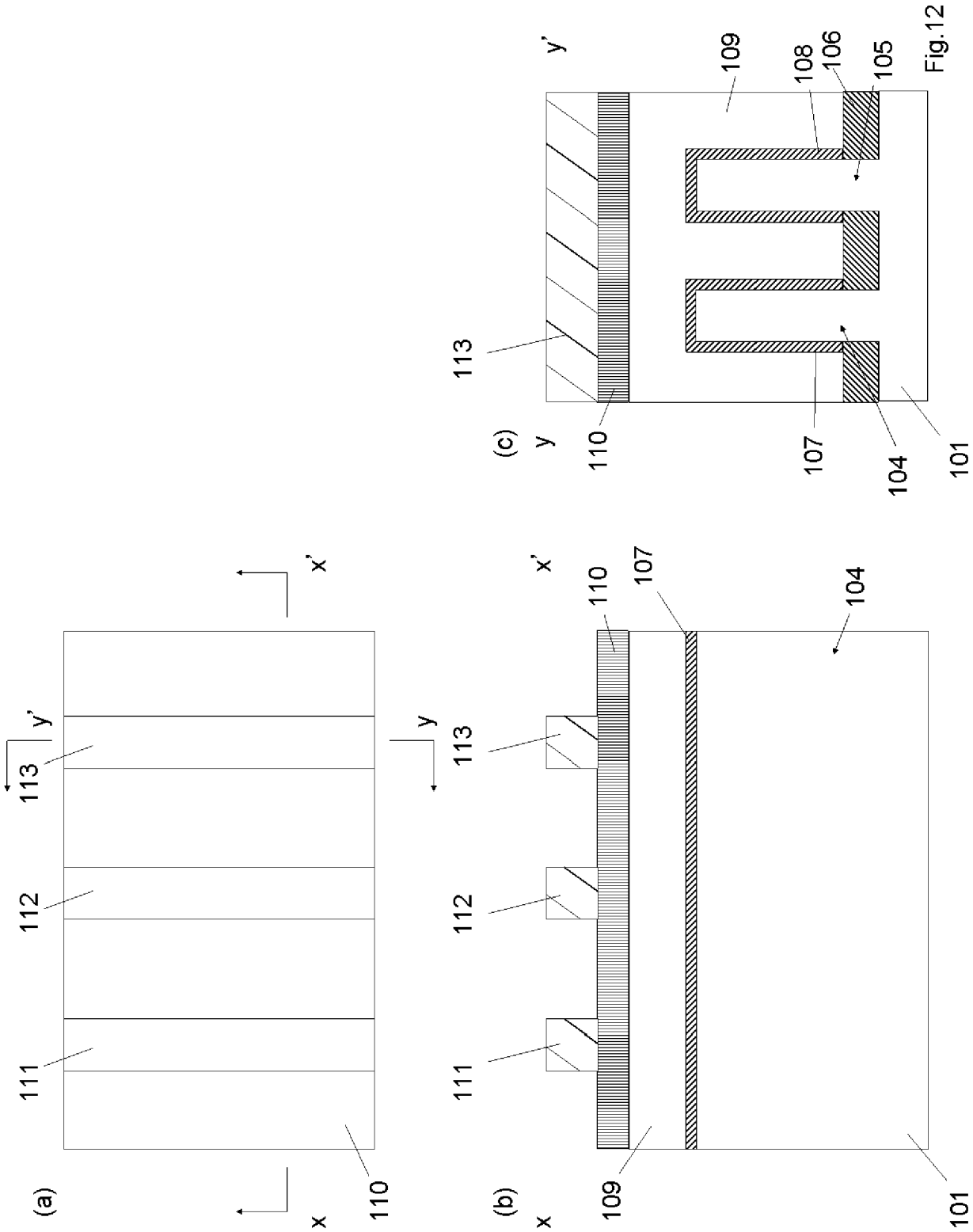

(a)
x
x'
y
y'
110
111
112
113
(b)
x
x'
y
109
110
111
112
113
107
104
101
(c)
y
y'
110
113
107
104
101
109
108
106
105

Fig.12

[図13]

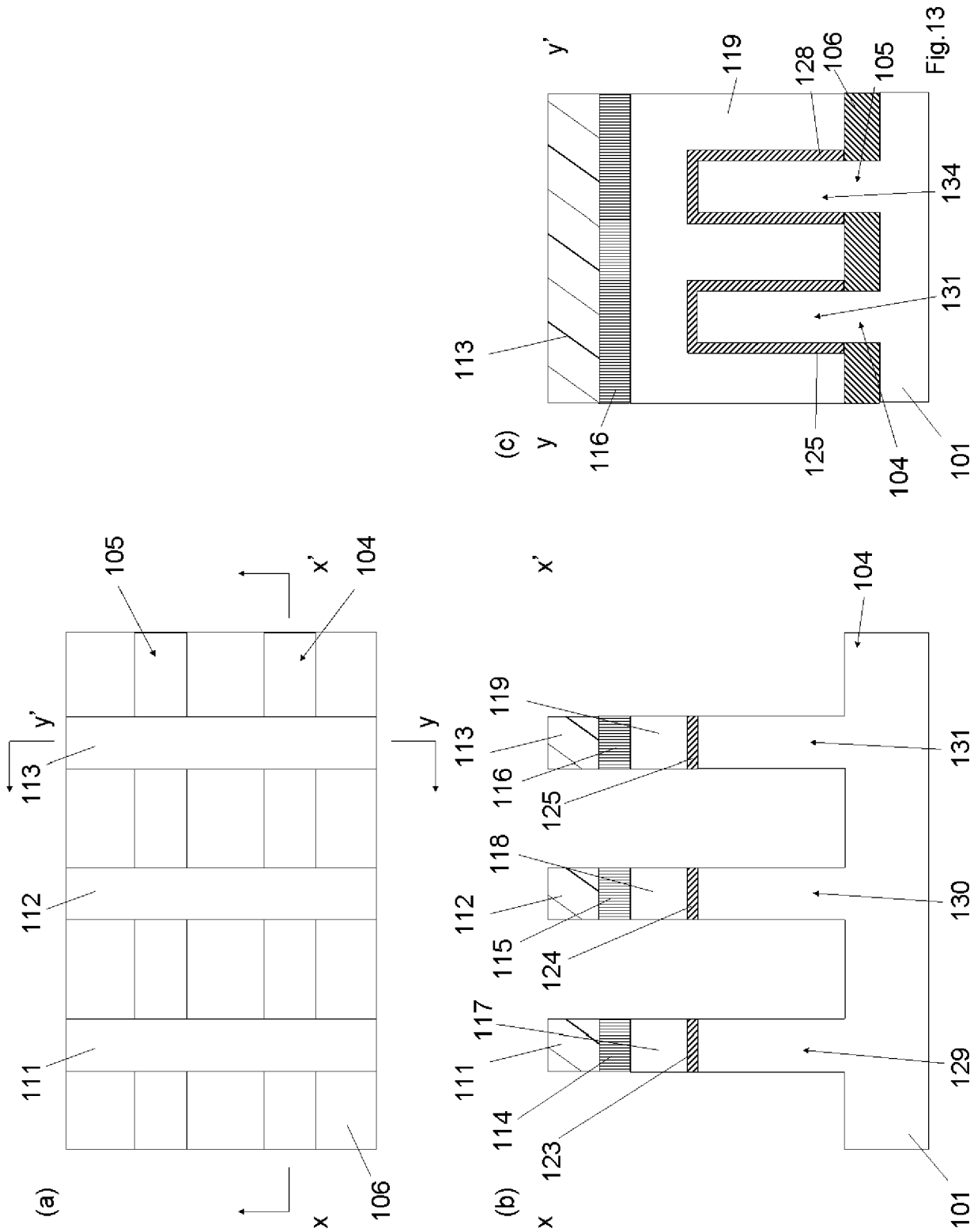

(a)
(b)
(c)
x
x'
y
y'
101
104
105
106
111
112
113
114
115
116
117
118
119
123
124
125
128
129
130
131
134

Fig.13

[図14]

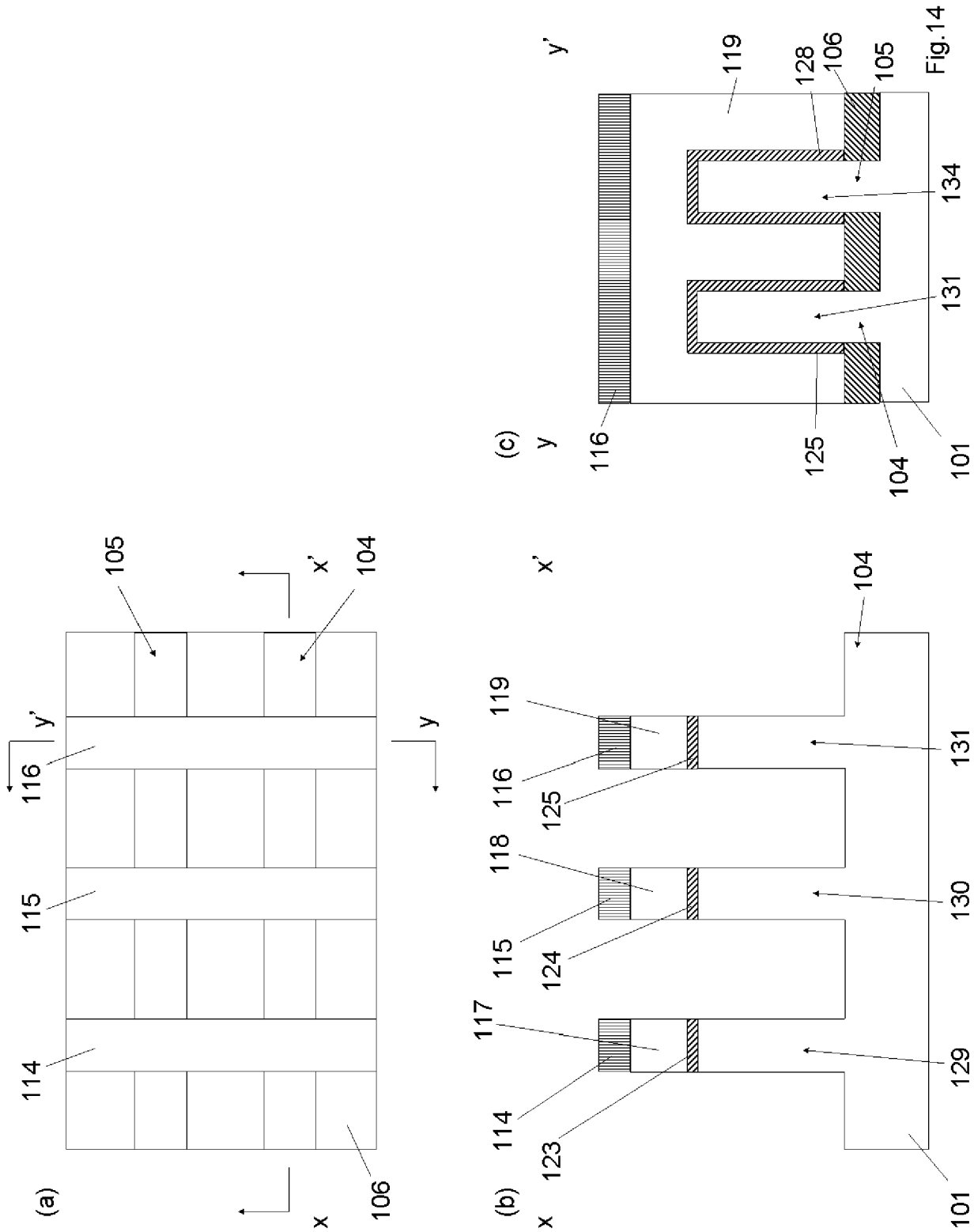

(a)
105
104
x'
y'
116
y
115
114
106
x
(b)
x'
104
119
116
125
118
115
124
117
114
123
131
130
129
101
x
(c)
y'
119
128
106
105
134
131
y
116
125
104
101

Fig.14

[図15]

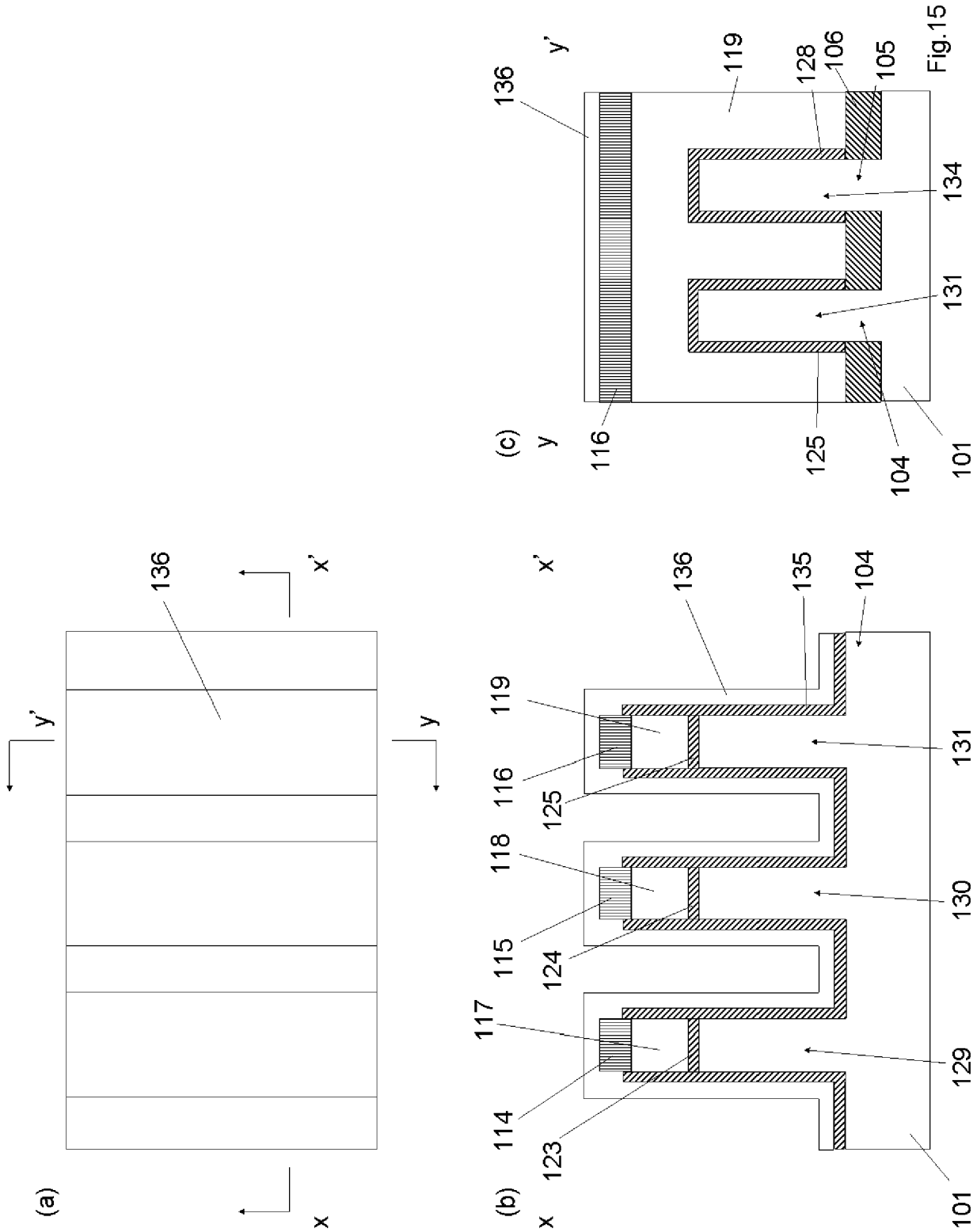

(a)
x
x'
y
y'
136
(b)
x
x'
101
114
117
123
129
115
118
124
130
116
119
125
131
136
135
104
(c)
y
y'
116
125
104
101
131
134
128
106
105
119
136

Fig.15

[図16]

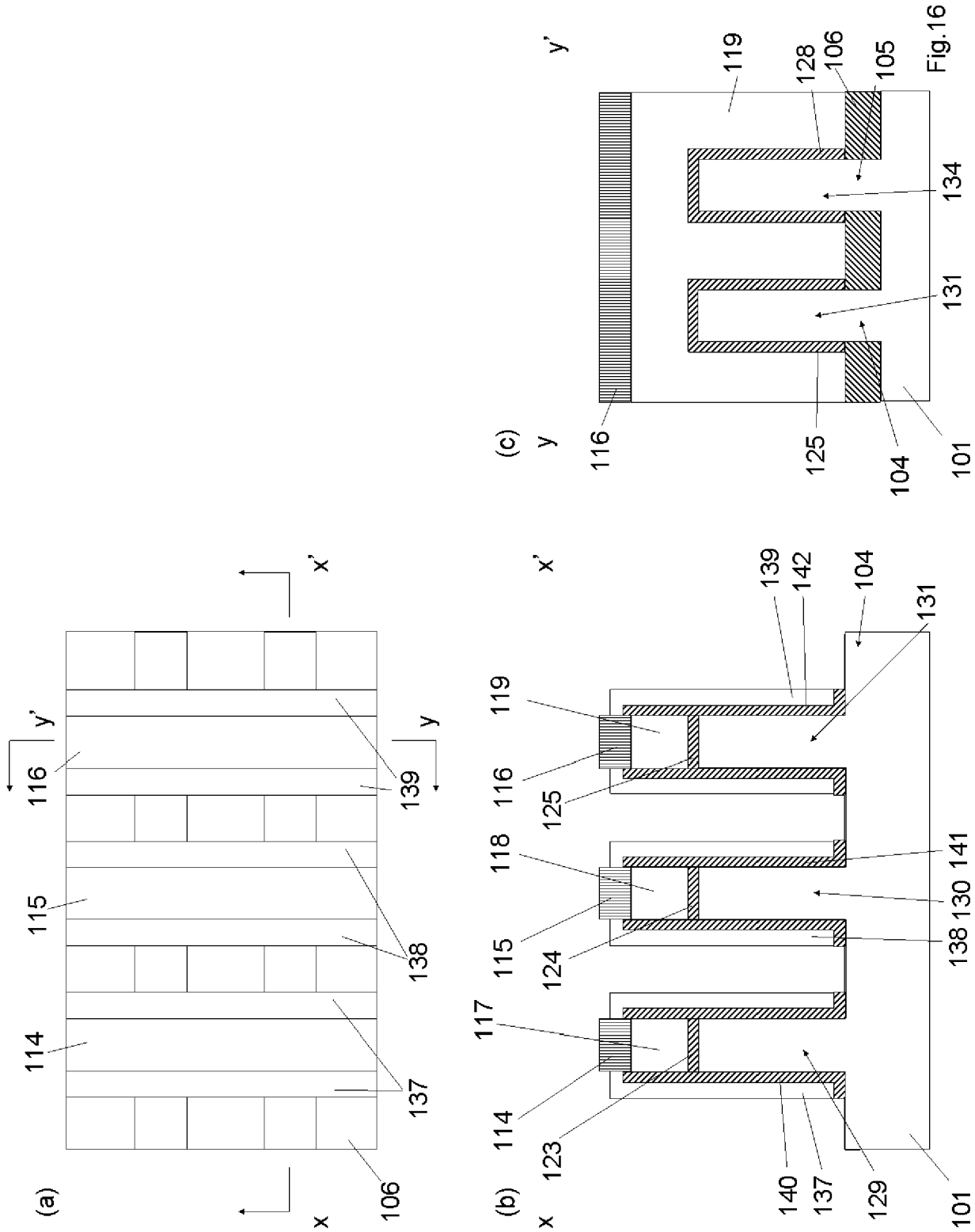

(a)
x
x'
y
y'
106
114
115
116
137
138
139
(b)
x
x'
101
104
114
115
116
117
118
119
123
124
125
129
130
131
137
138
139
140
141
142
(c)
y
y'
101
104
105
106
116
119
125
128
131
134

Fig.16

[図17]

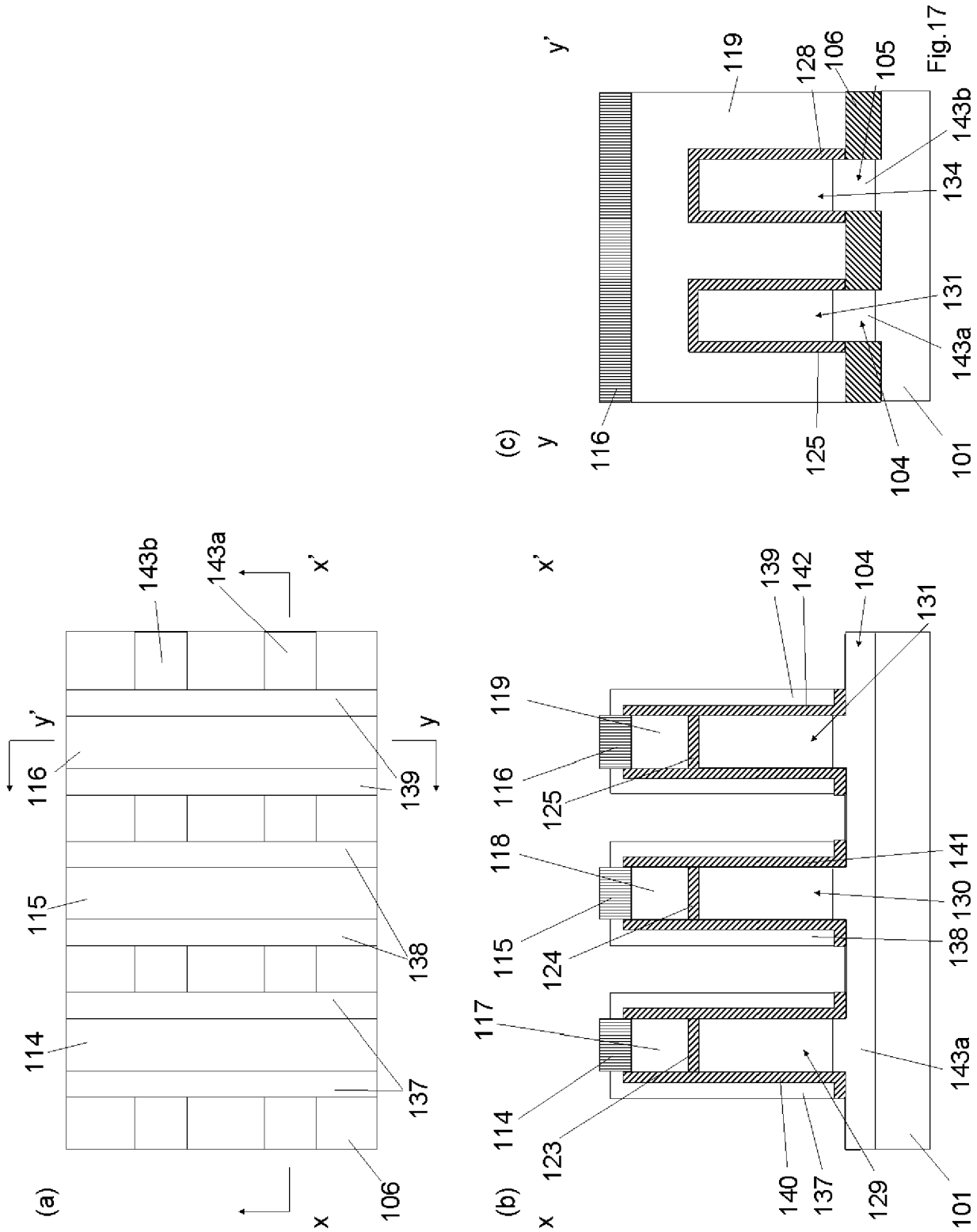

(a)
(b)
(c)
x
x'
y
y'
106
114
115
116
137
138
139
143a
143b
117
118
119
123
124
125
129
130
131
134
140
141
142
104
105
128
101

Fig.17

[図18]

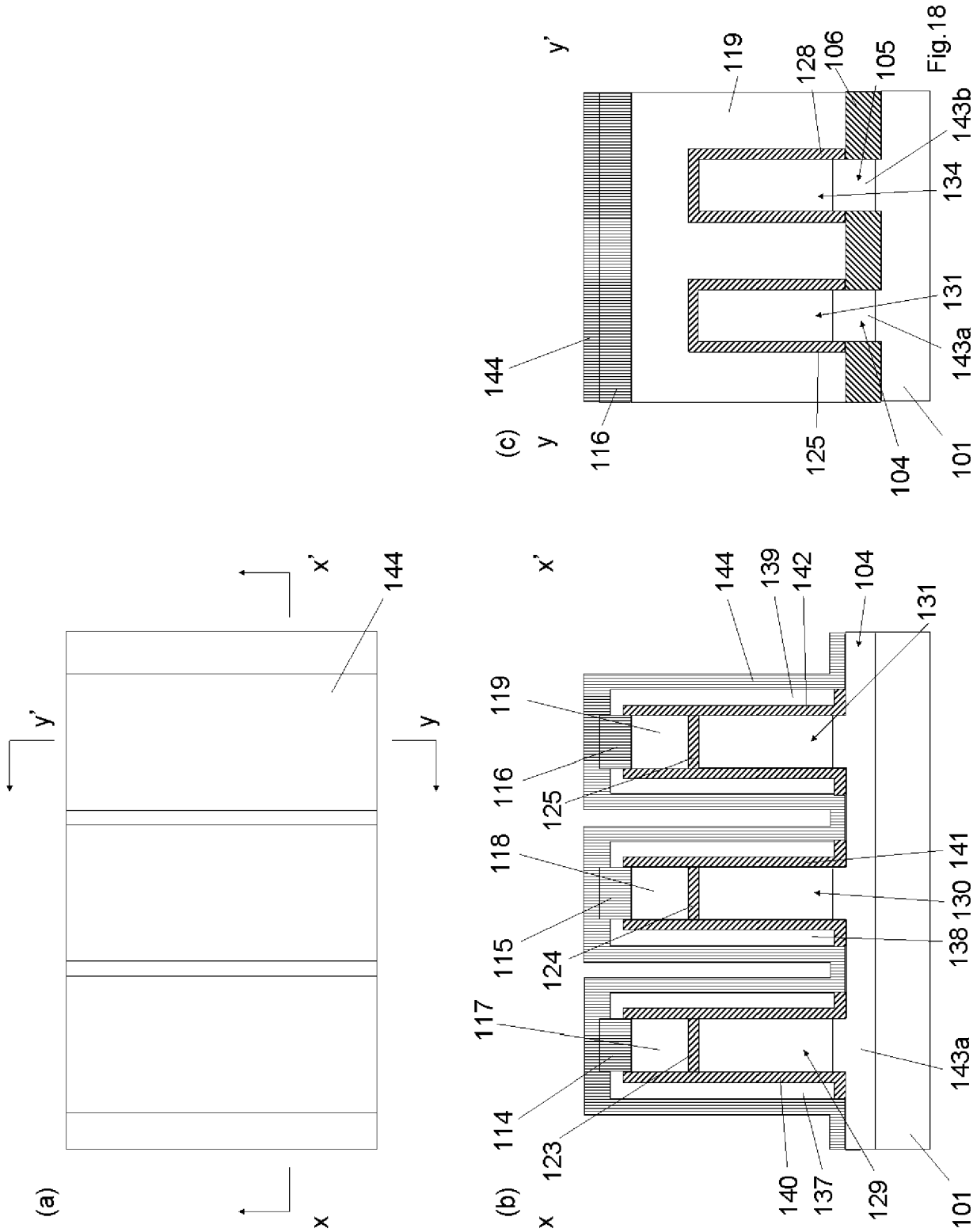

(a)
x
x'
y
y'
144
(b)
x
x'
114
117
115
118
116
119
123
124
125
140
137
129
143a
138
130
141
131
104
142
139
144
101
(c)
y
y'
116
144
125
104
101
143a
131
134
143b
105
106
128
119

Fig.18

[図19]

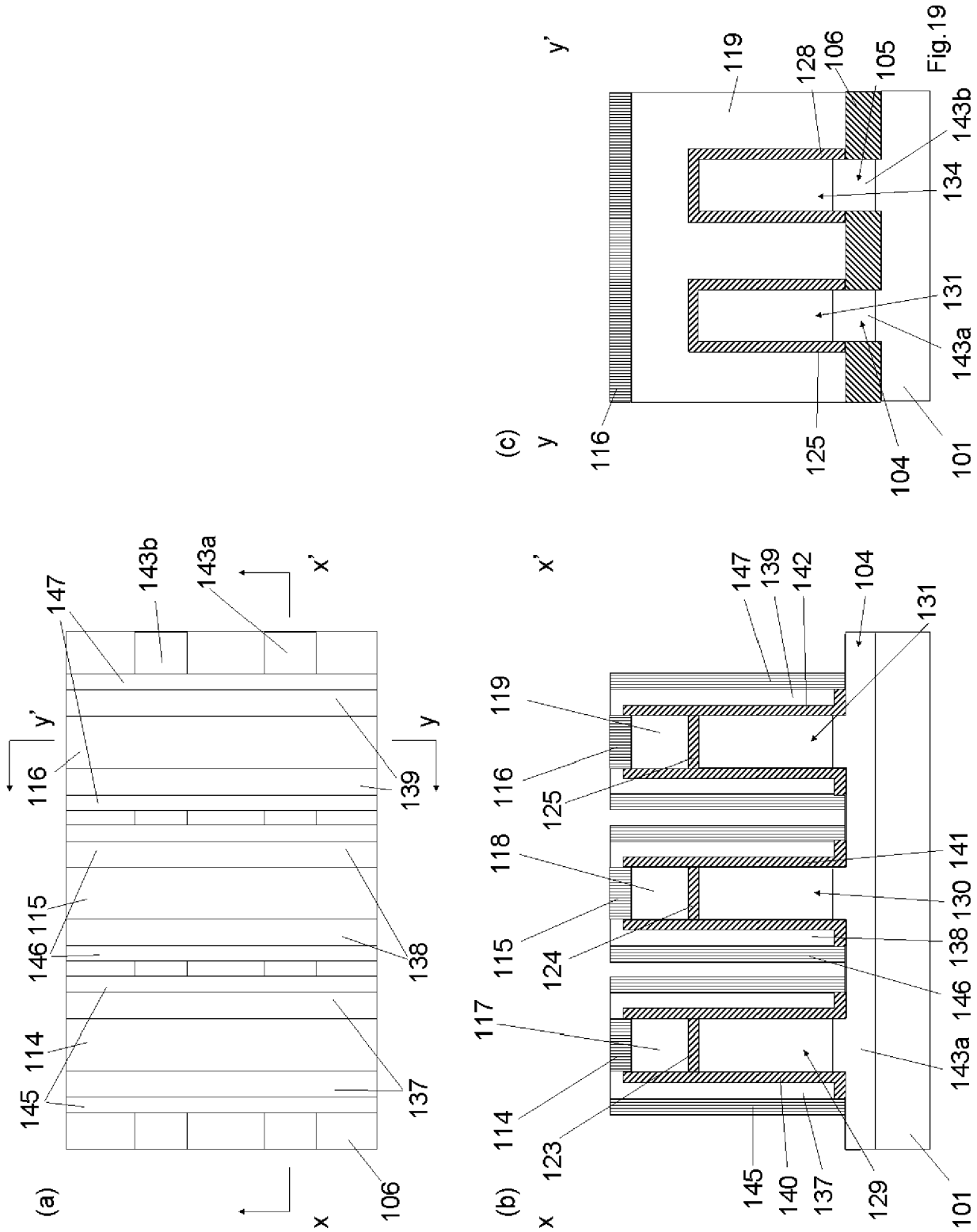
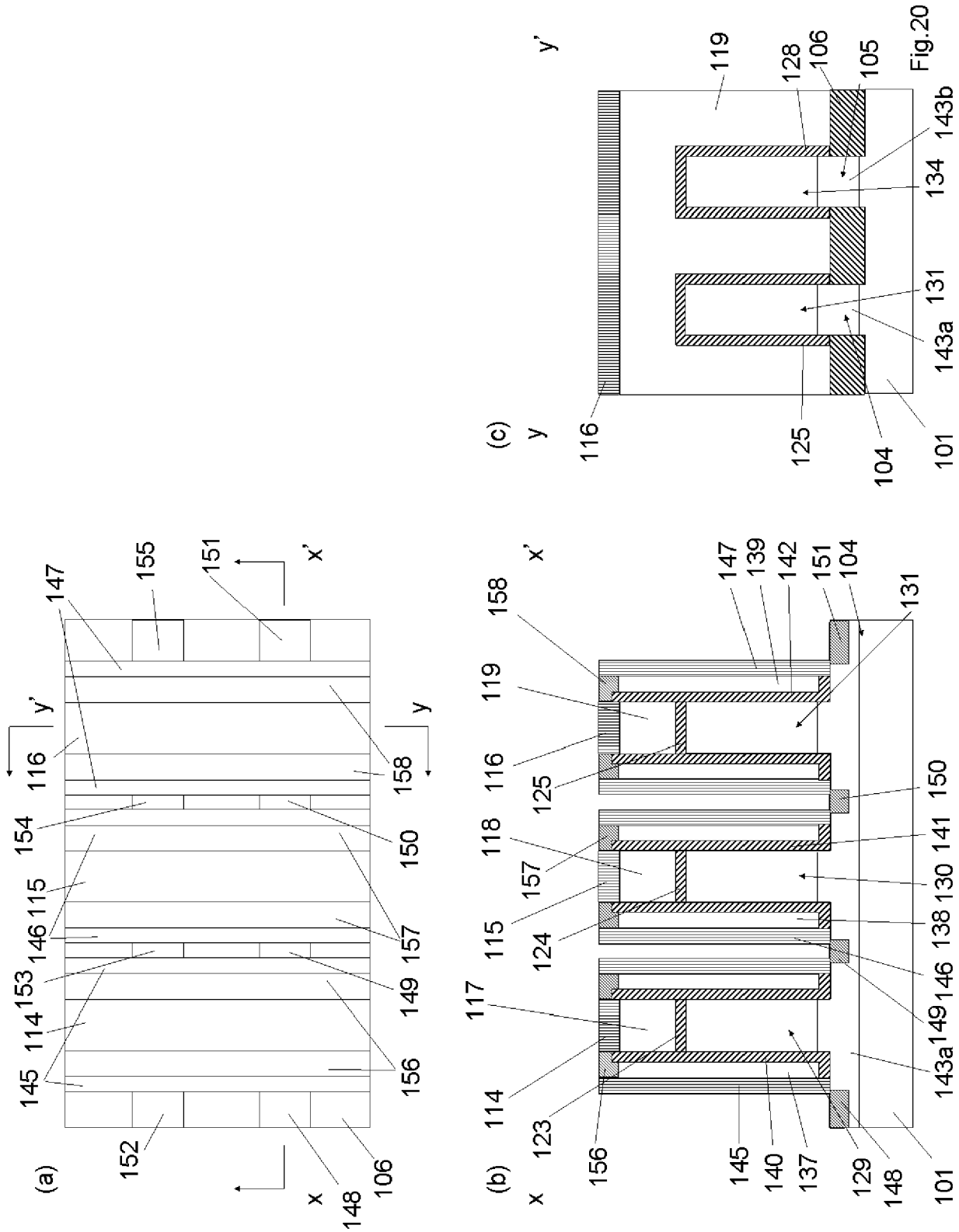

(a)
x
x'
y
y'
106
137
138
139
145
146
114
115
116
147
143a
143b
(b)
x
x'
101
129
137
140
145
123
114
117
124
115
118
125
116
119
143a
146
138
130
141
131
104
142
139
147
(c)
y
y'
101
104
125
116
143a
131
134
143b
105
106
128
119

Fig.19

[図20]


(a)
(b)
(c)
Fig.20
x
x'
y
y'
101
104
105
106
114
115
116
117
118
119
123
124
125
128
129
130
131
134
137
138
139
140
141
142
143a
143b
145
146
147
148
149
150
151
152
153
154
155
156
157
158

[図21]

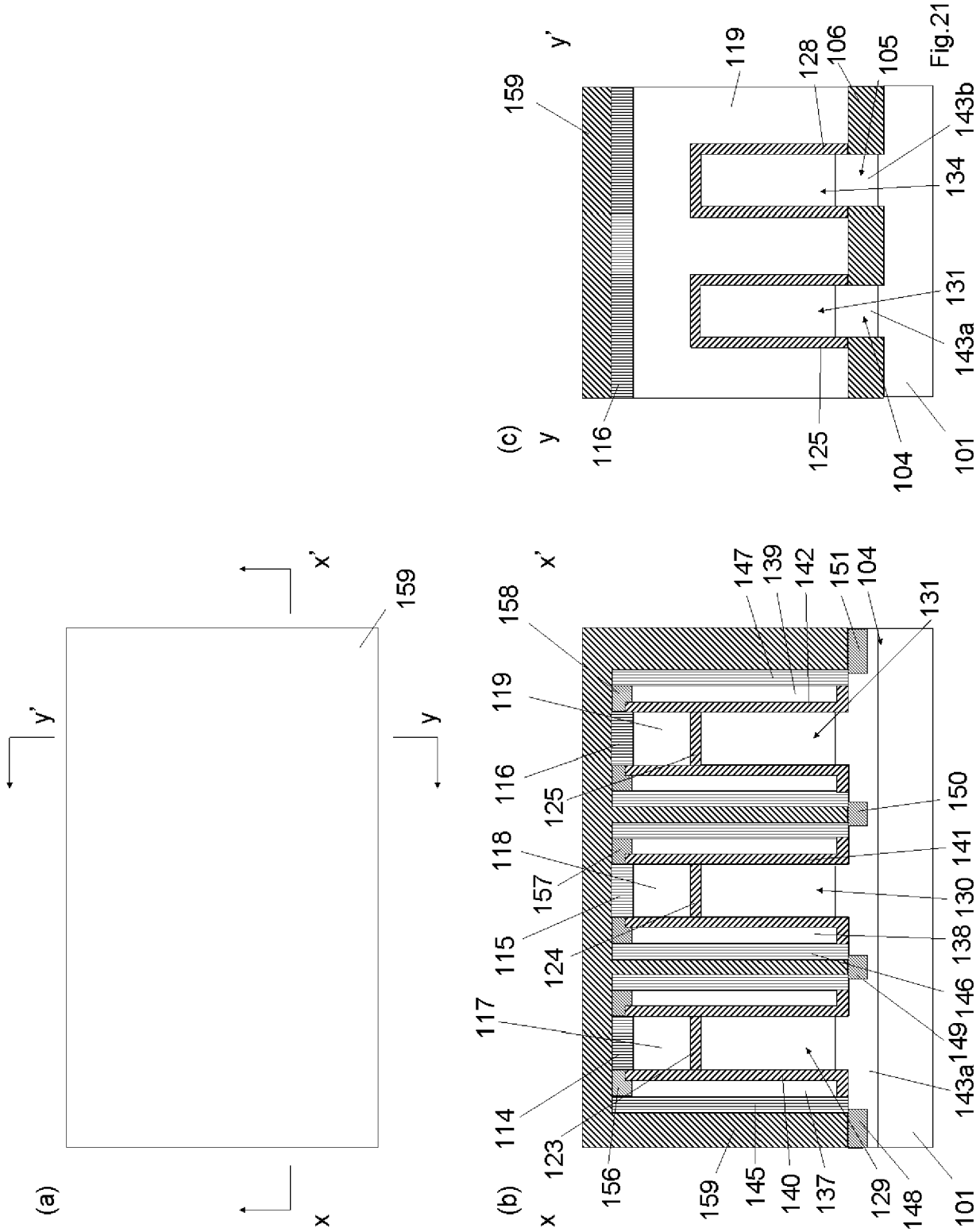

(a)
x
x'
y
y'
159
(b)
x
x'
158
119
116
125
118
157
115
124
117
114
123
156
159
145
140
137
129
148
101
143a
149
146
138
130
141
150
131
104
151
142
139
147
(c)
y
y'
159
116
125
104
101
143a
131
134
143b
105
106
128
119

Fig.21

[図22]

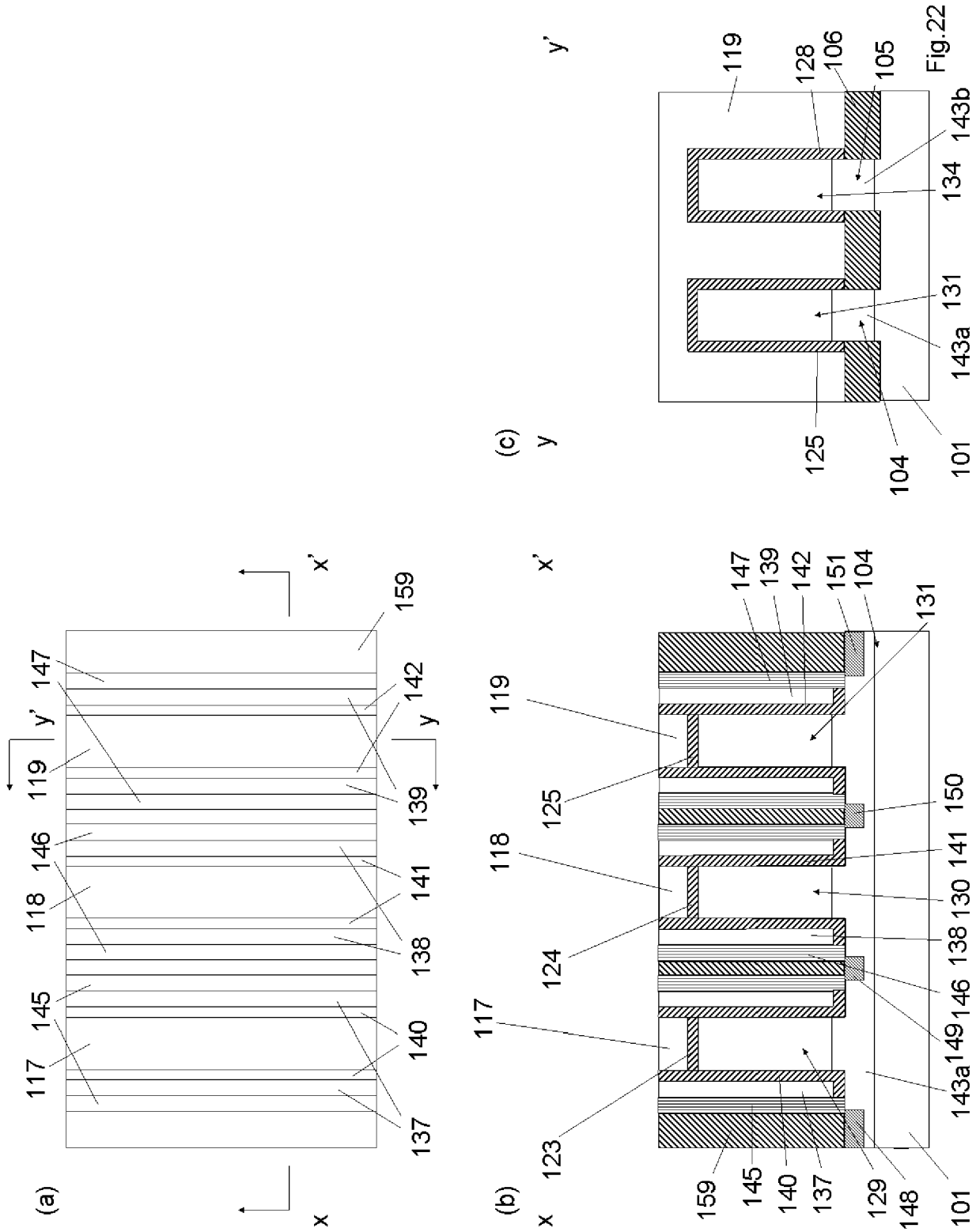

(a)
x
x'
y
y'
117
118
119
145
146
147
137
138
139
140
141
142
159
(b)
x
x'
117
118
119
123
124
125
129
131
137
138
139
140
141
142
145
146
147
148
149
150
151
159
101
104
130
143a
(c)
y
y'
101
104
105
106
119
125
128
131
134
143a
143b

Fig.22

[図23]

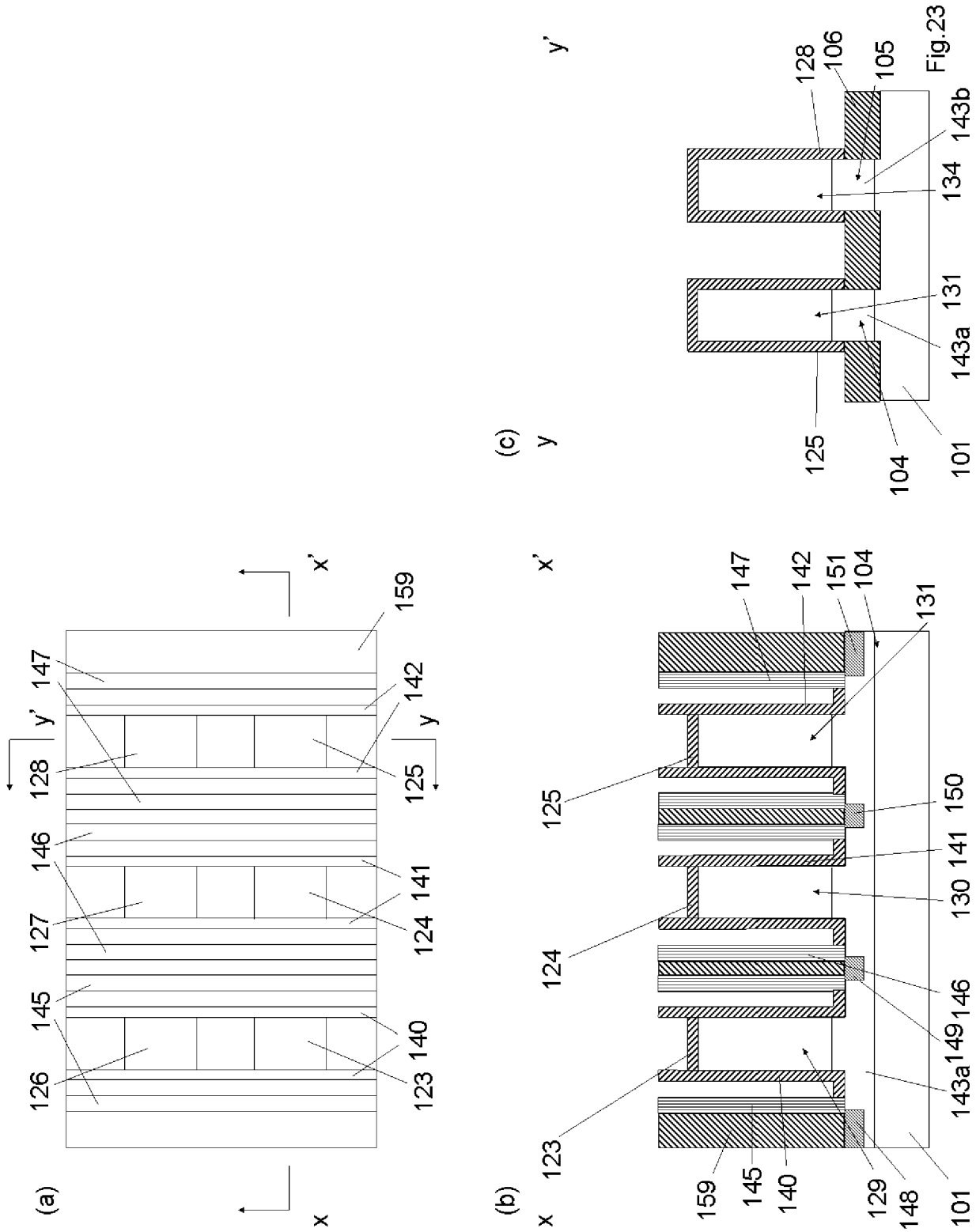

(a)
x
x'
y
y'
126
145
127
146
128
147
123
140
124
141
125
142
159
(b)
x
x'
123
124
125
159
145
140
129
148
101
143a
149
146
130
141
150
131
104
151
142
147
(c)
y
y'
125
104
101
143a
131
134
143b
105
106
128

Fig.23

[図24]

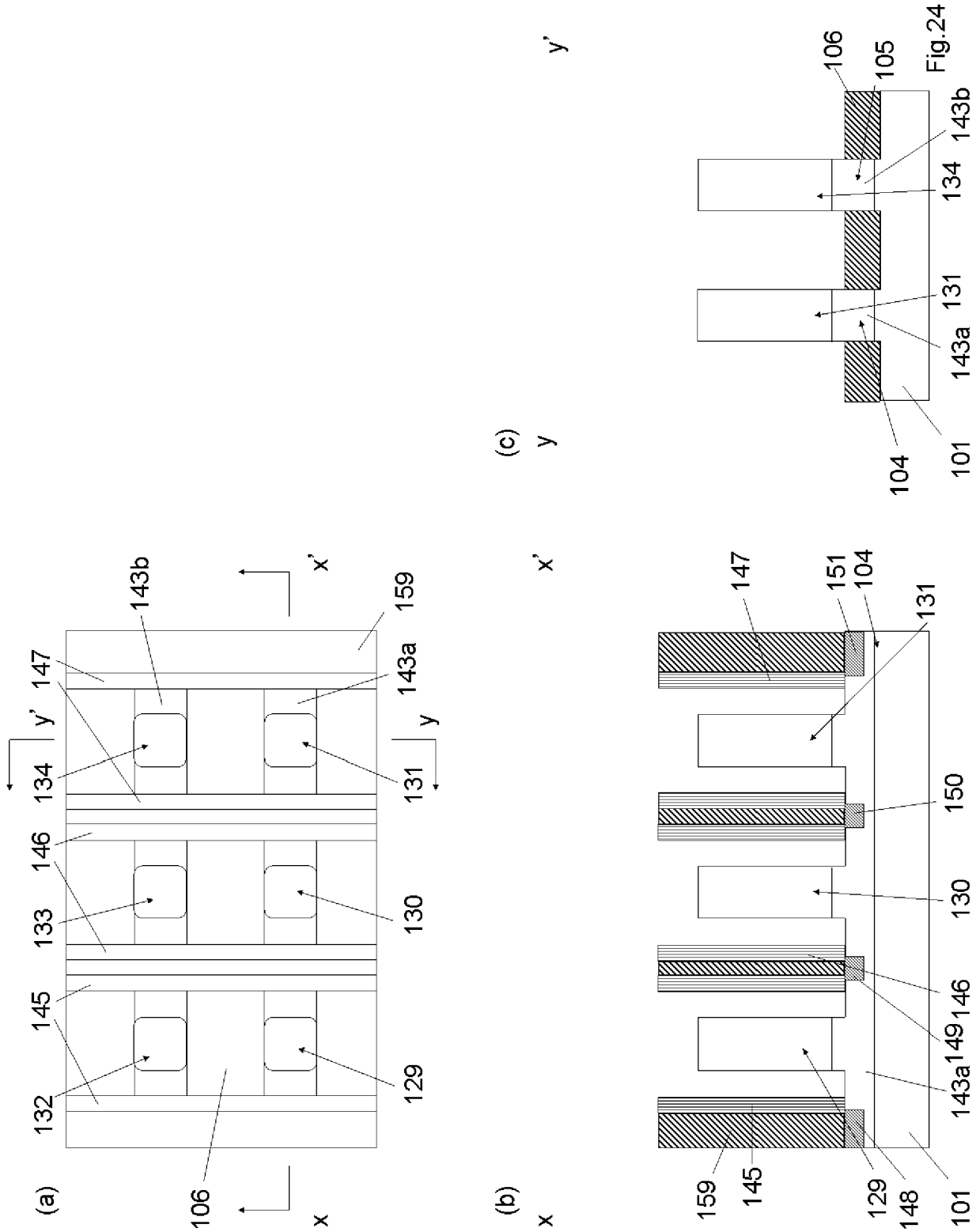

(a)
(b)
(c)
x
x'
y
y'
106
105
104
101
129
130
131
132
133
134
143a
143b
145
146
147
148
149
150
151
159

Fig.24

[図25]

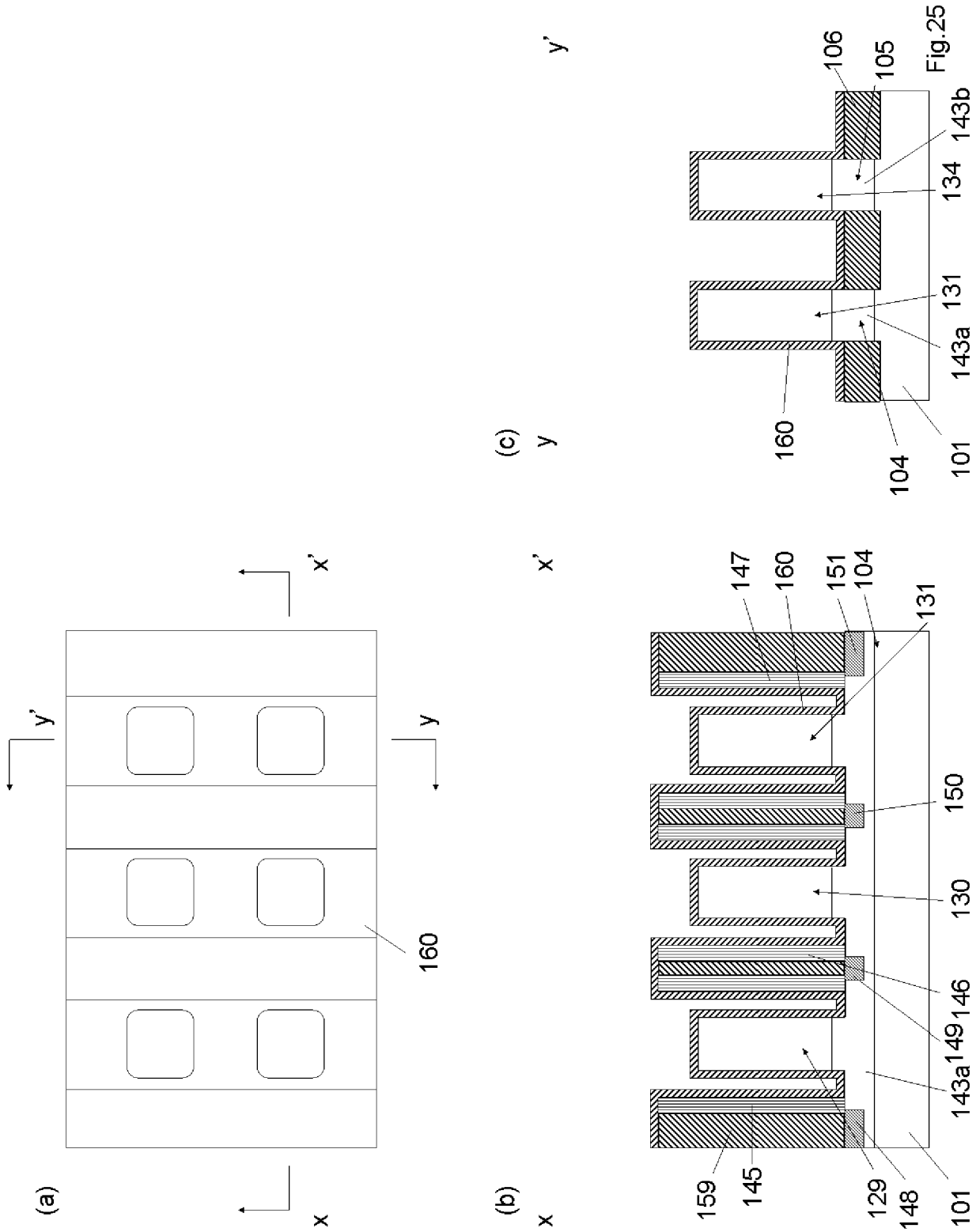

(a)
x
x'
y
y'
160
(b)
x
x'
159
145
129
148
101
143a
149
146
130
150
131
151
104
160
147
(c)
y
y'
160
104
101
143a
131
134
143b
105
106

Fig.25

[図26]

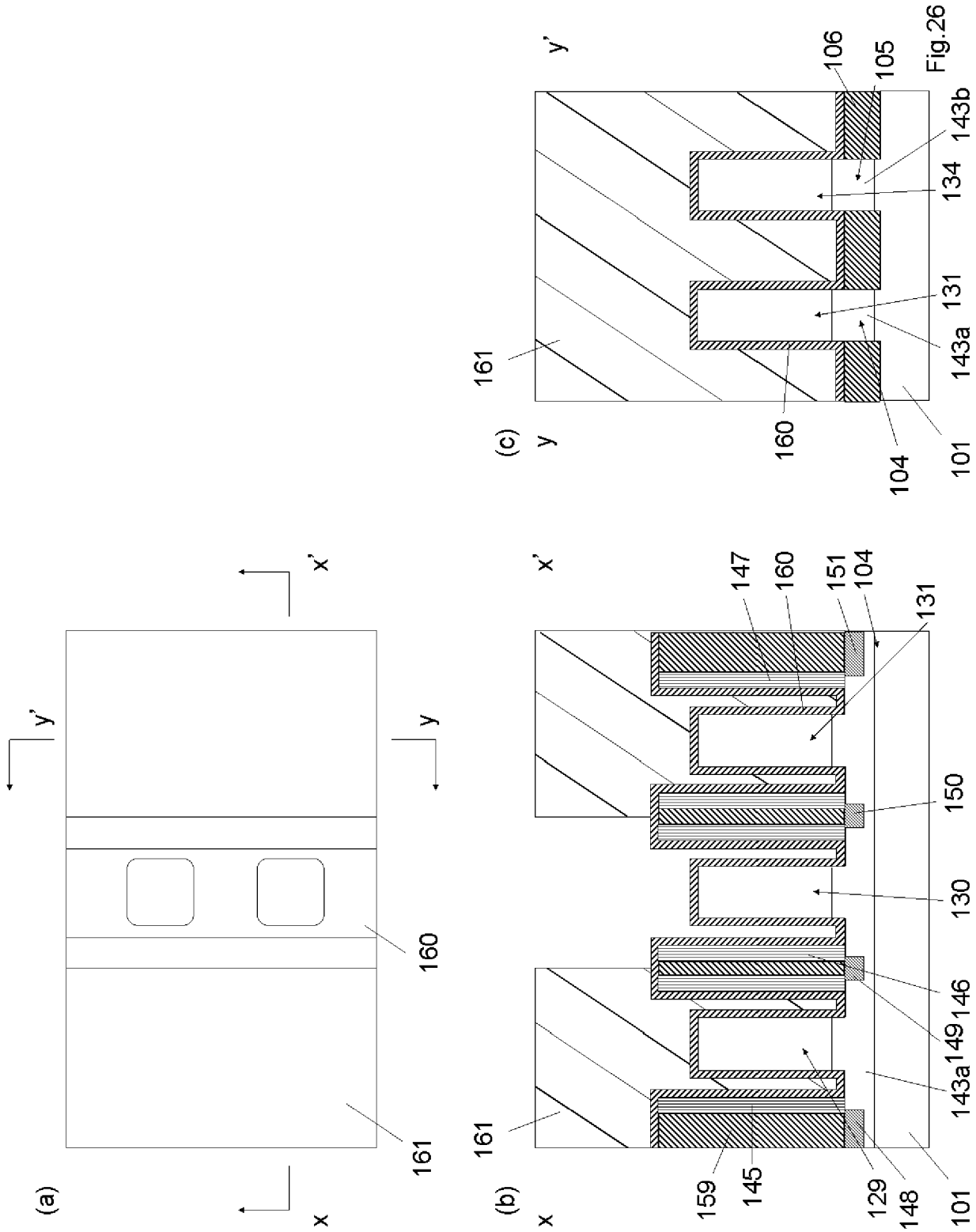

(a)
x
x'
y
y'
161
160
(b)
x
x'
161
159
145
129
148
101
143a
149
146
130
150
131
104
151
160
147
(c)
y
y'
161
160
104
101
143a
131
134
143b
105
106

Fig.26

[図27]

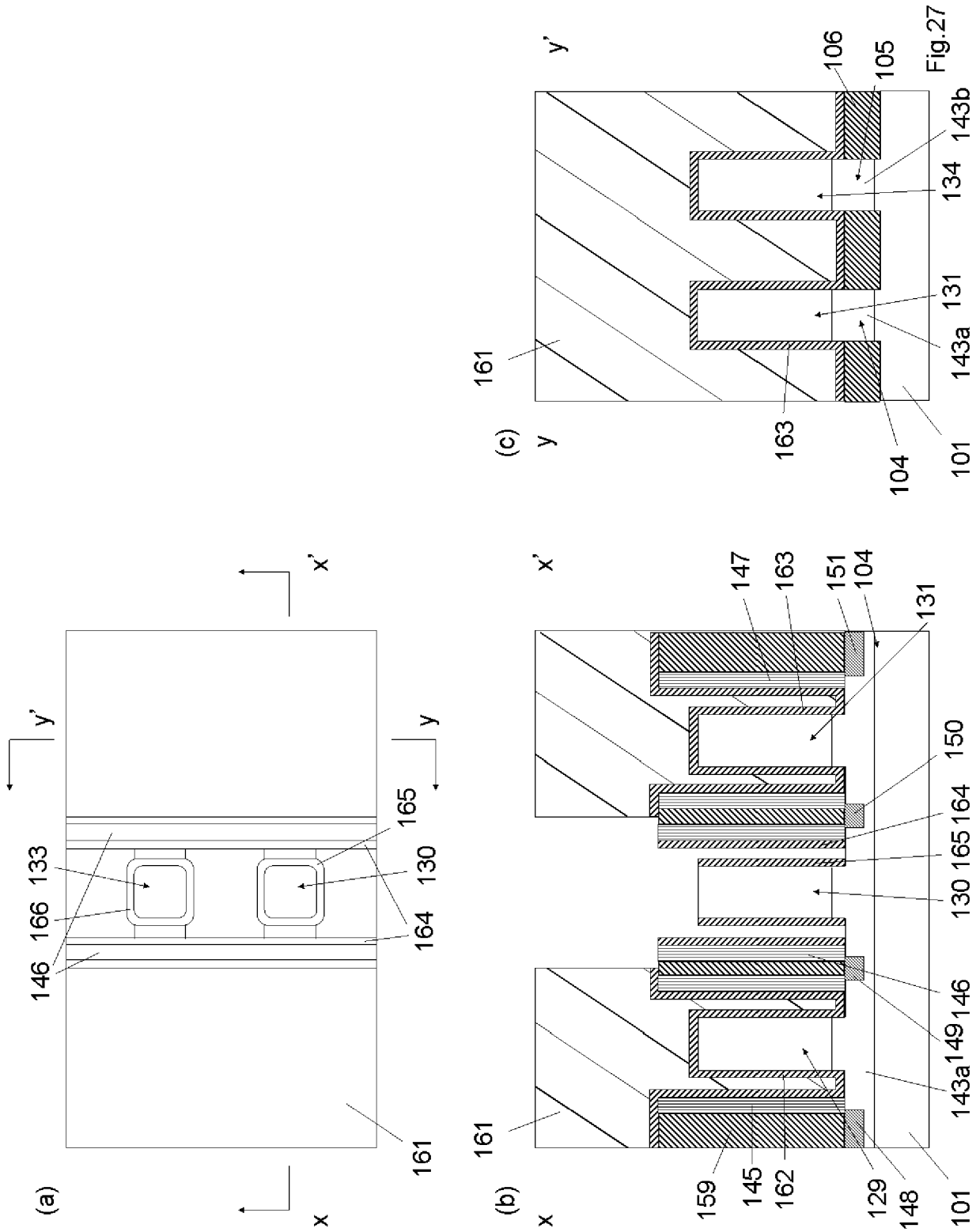

(a)
x
x'
y
y'
161
146
166
133
164
130
165
(b)
x
x'
161
159
145
162
129
148
101
143a
149
146
130
165
164
150
131
104
151
163
147
(c)
y
y'
161
163
104
101
143a
131
134
143b
105
106

Fig.27

[図28]

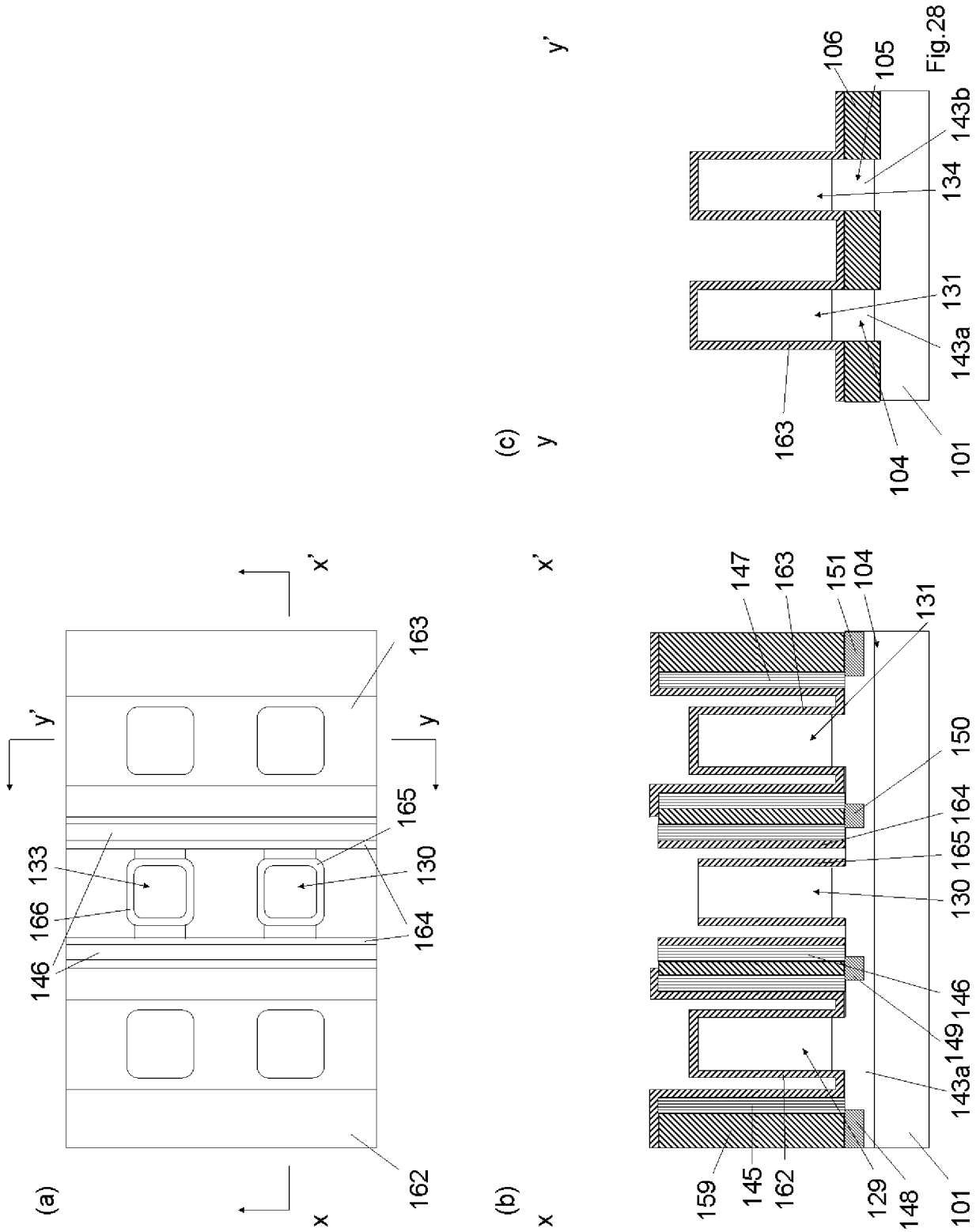

(a)
x
x'
y
y'
162
163
164
165
130
133
166
146
(b)
x
x'
159
145
162
129
148
101
143a
149
146
130
165
164
150
131
104
151
163
147
(c)
y
y'
163
104
101
143a
131
134
143b
105
106

Fig.28

[図29]

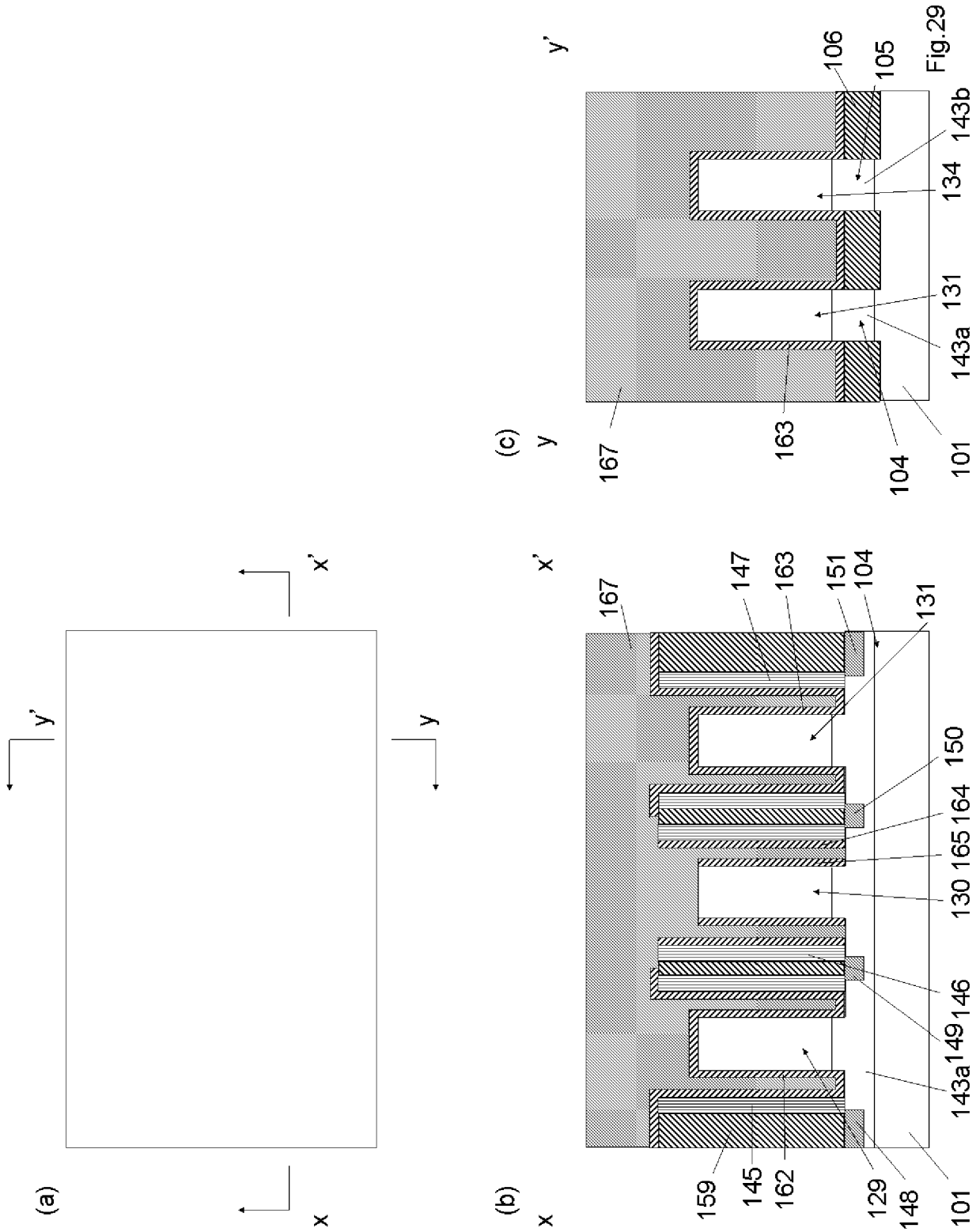

(a)
x
x'
y
y'
(b)
x
x'
167
147
163
151
104
131
150
164
165
130
146
149
143a
159
145
162
129
148
101
(c)
y
y'
167
163
104
101
143a
131
134
143b
105
106

Fig.29

[図30]

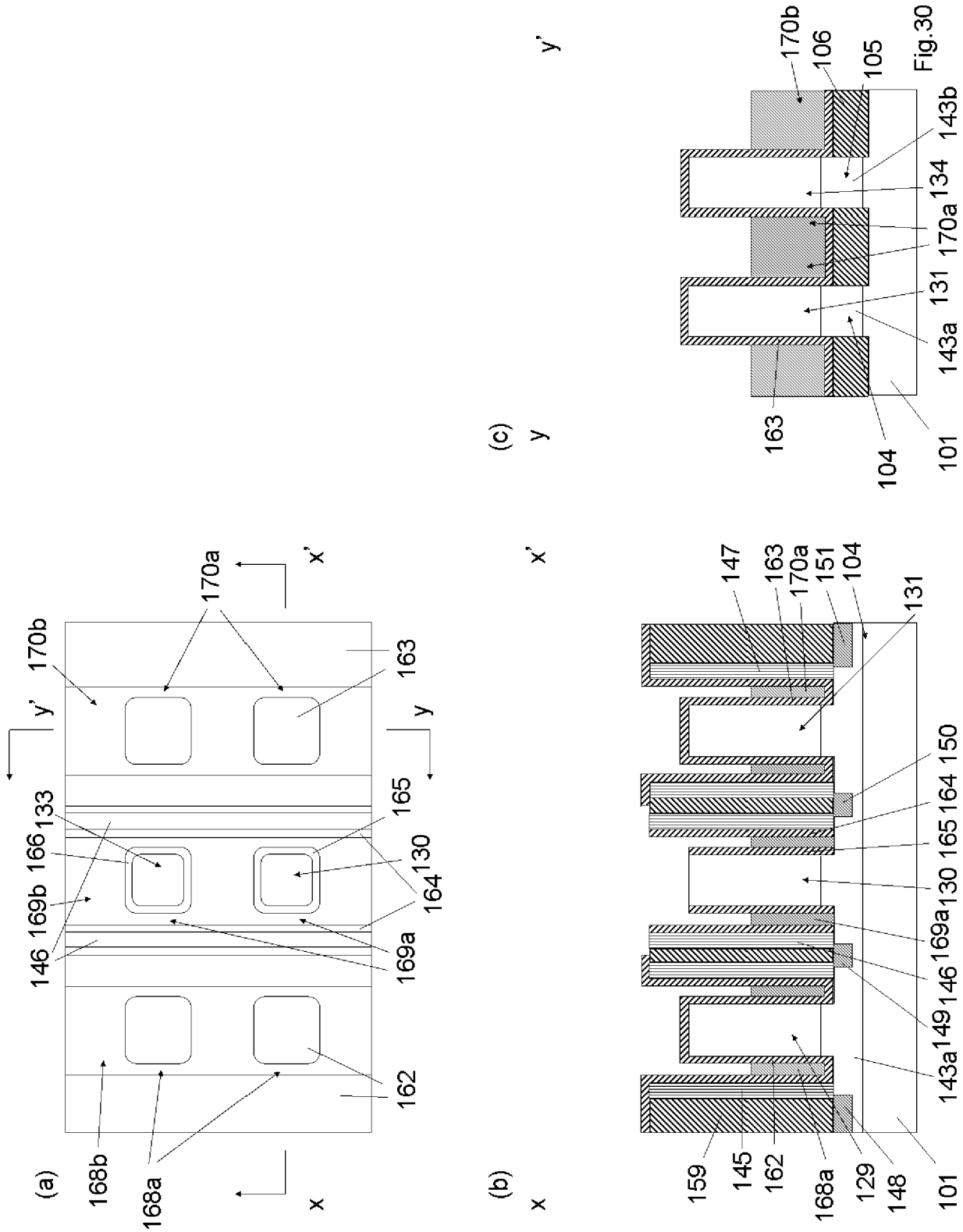

(a)
(b)
(c)
x
x'
y
y'
168a
168b
162
169a
164
130
165
133
166
169b
146
170a
170b
163
159
145
129
148
149
147
151
150
143a
143b
134
131
104
105
106
101

Fig.30

[図31]

(a)
(b)
(c)
x
x'
y
y'
145
146
147
149
150
151
159
162
163
164
165
166
168a
168b
169a
169b
170a
170b
129
130
131
132
133
134
143a
143b
104
105
106
101
148

Fig.31

[図32]

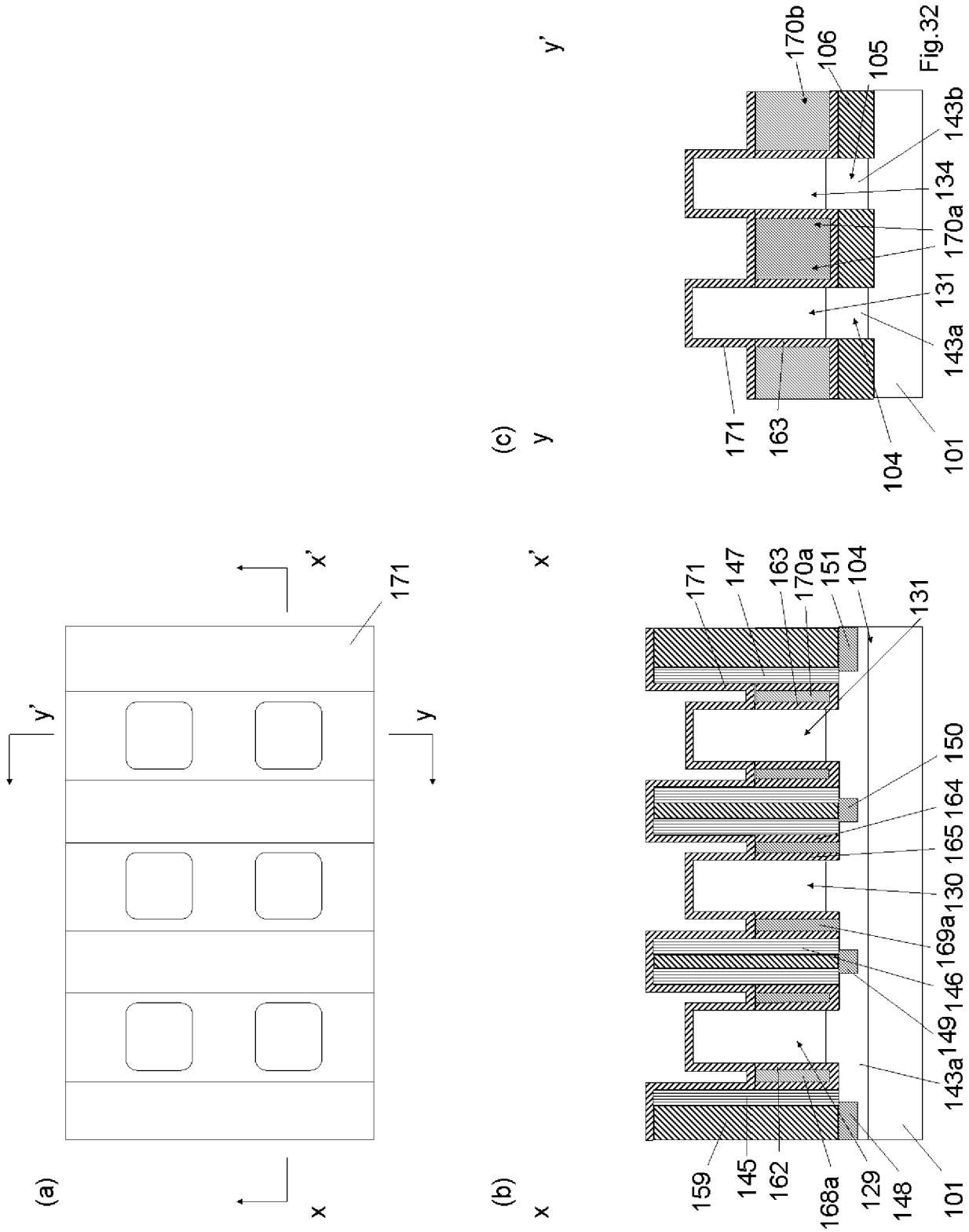
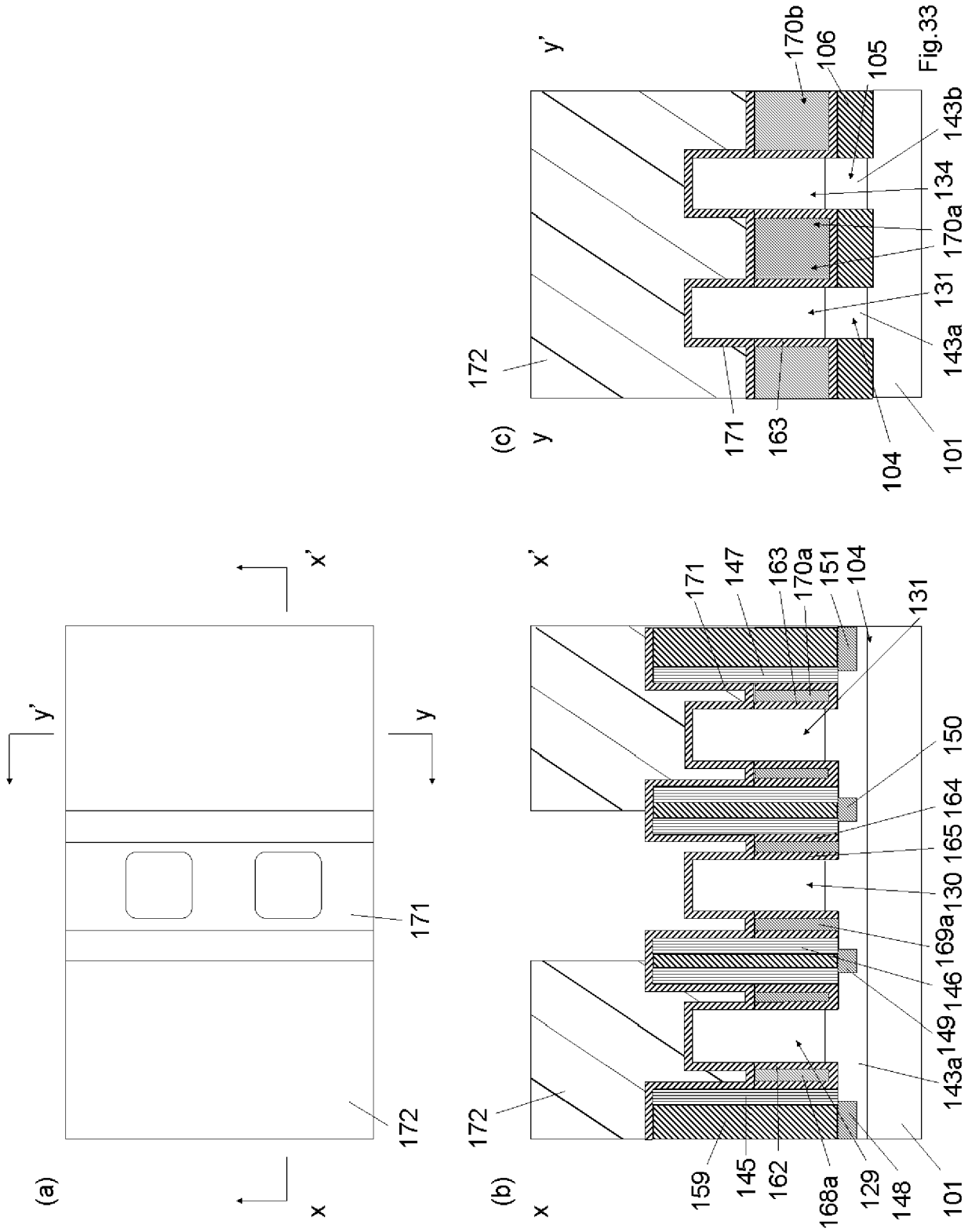

(a)
x
x'
y
y'
171
(b)
x
x'
159
145
162
168a
129
148
101
143a
149
146
169a
130
165
164
150
131
104
151
170a
163
147
171
(c)
y
y'
171
163
104
101
143a
131
170a
134
143b
105
106
170b

Fig.32

[図33]


(a)
x
x'
y'
y
171
172
(b)
x
x'
172
159
145
162
168a
129
148
101
143a
149
146
169a
130
165
164
150
131
104
151
170a
163
147
171
(c)
y
y'
172
171
163
104
101
143a
131
170a
134
143b
105
106
170b
Fig.33

[図34]

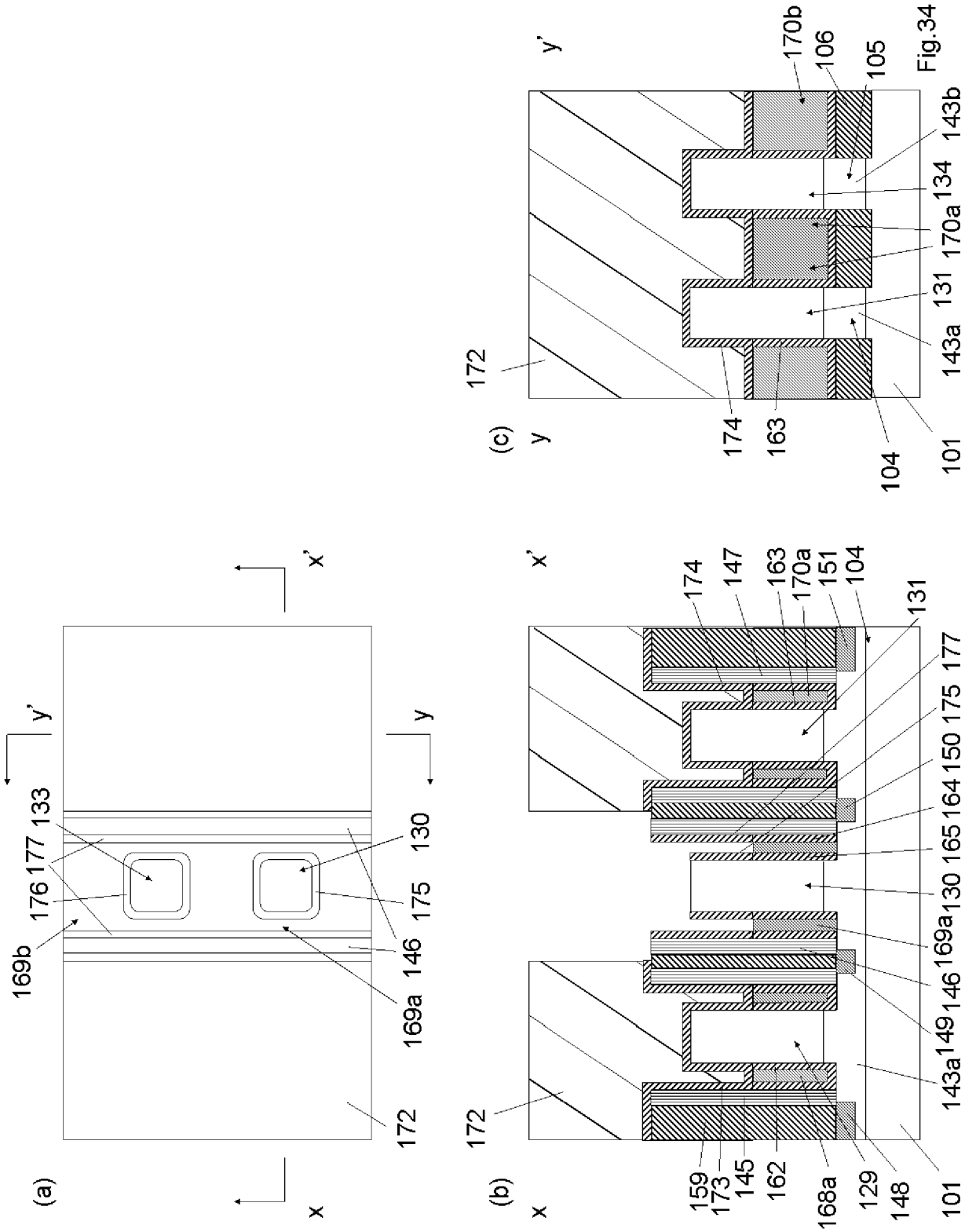

(a)
x
x'
y
y'
172
169a
146
175
130
169b
176
177
133
(b)
x
x'
172
159
173
145
162
168a
129
148
101
143a
149
146
169a
130
165
164
150
175
177
131
104
151
170a
163
147
174
(c)
y
y'
172
174
163
104
101
143a
131
170a
134
143b
105
106
170b

Fig.34

[図35]

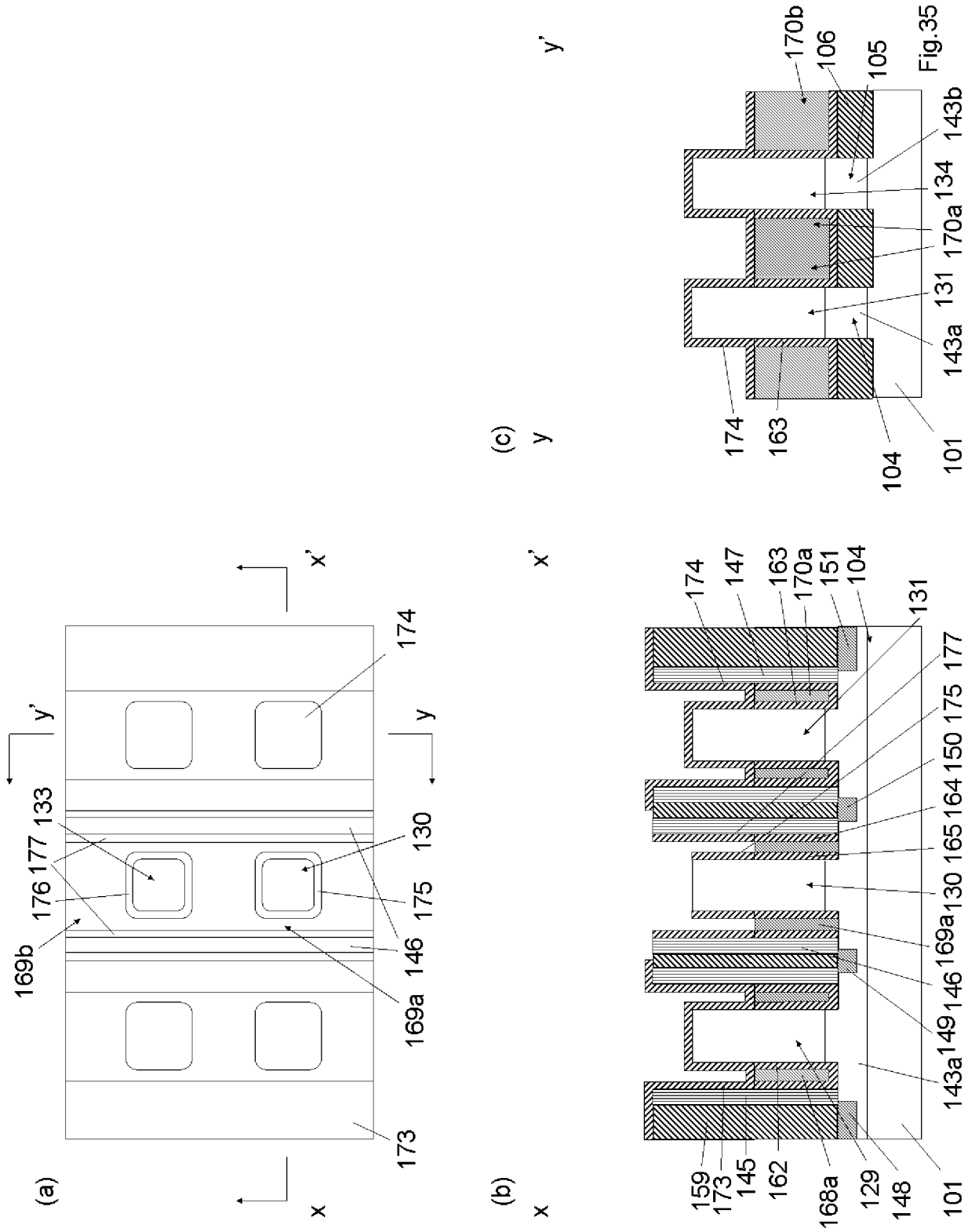

(a)
x
x'
y
y'
173
169a
146
175
130
174
169b
176
177
133
(b)
x
x'
159
173
145
162
168a
129
148
101
143a
149
146
169a
130
165
164
150
175
177
131
174
147
163
170a
151
104
(c)
y
y'
174
163
104
101
143a
131
170a
134
143b
170b
106
105

Fig.35

[図36]

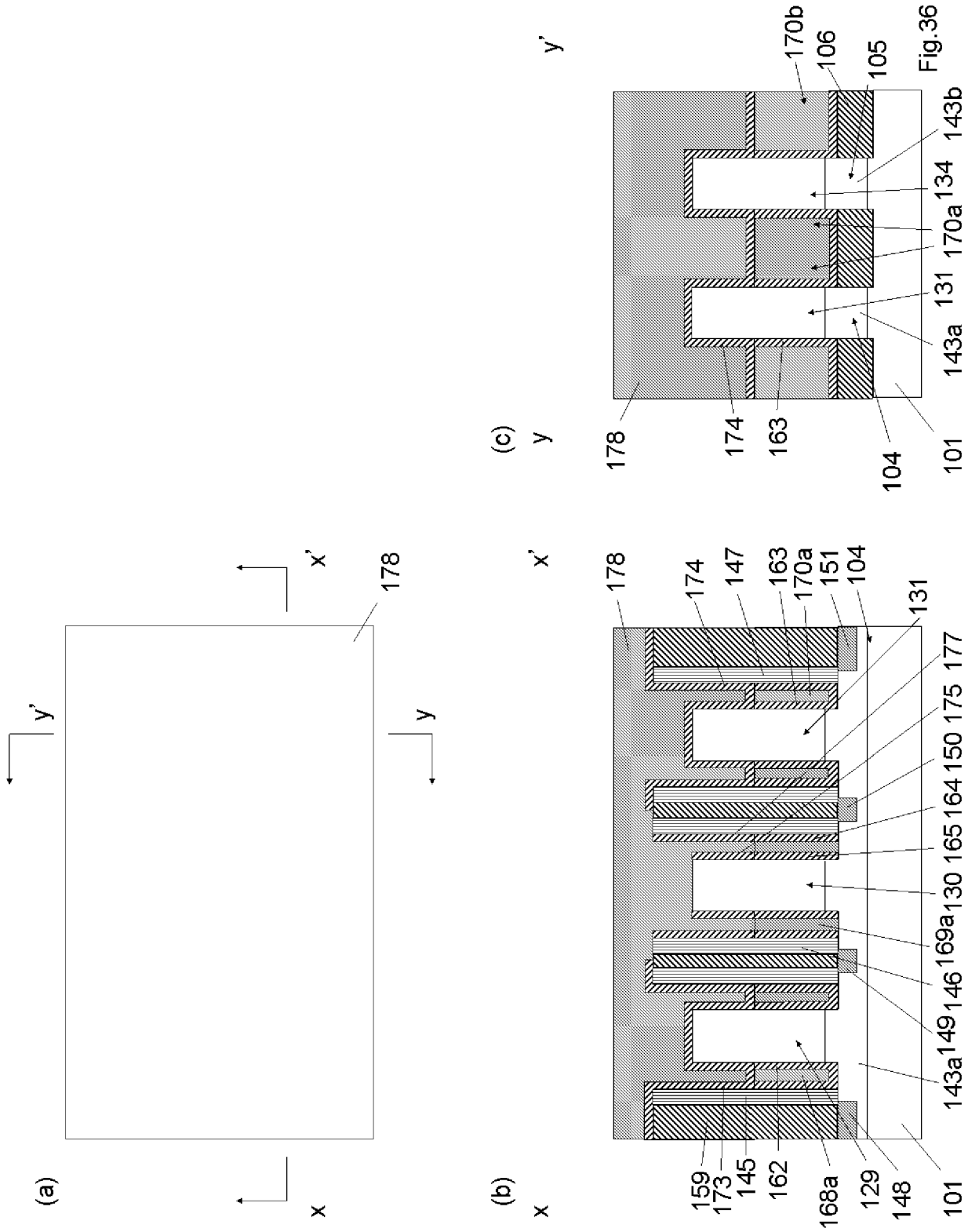

(a)
x
x'
y'
y
178
(b)
x
x'
159
173
145
162
168a
129
148
101
143a
149
146
169a
130
165
164
150
175
177
131
104
151
170a
163
147
174
178
(c)
y
y'
178
174
163
104
101
143a
131
170a
134
143b
105
106
170b

Fig.36

[図37]

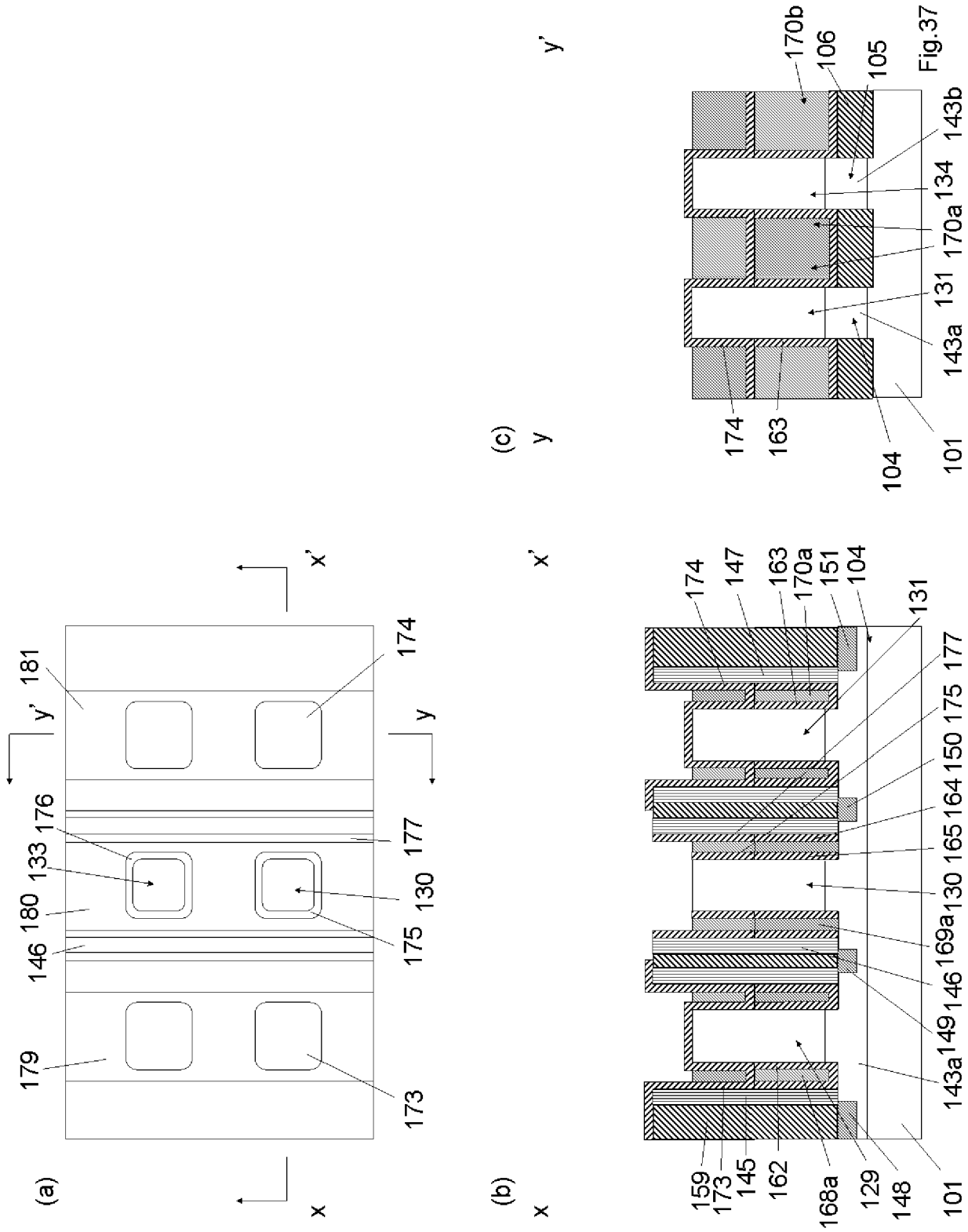

(a)
x
x'
y
y'
179
146
180
133
176
181
174
177
130
175
173
(b)
x
x'
159
173
145
162
168a
129
148
101
143a
149
146
169a
130
165
164
150
175
177
131
104
151
170a
163
147
174
(c)
y
y'
174
163
104
101
143a
131
170a
134
143b
105
106
170b

Fig.37

[図38]

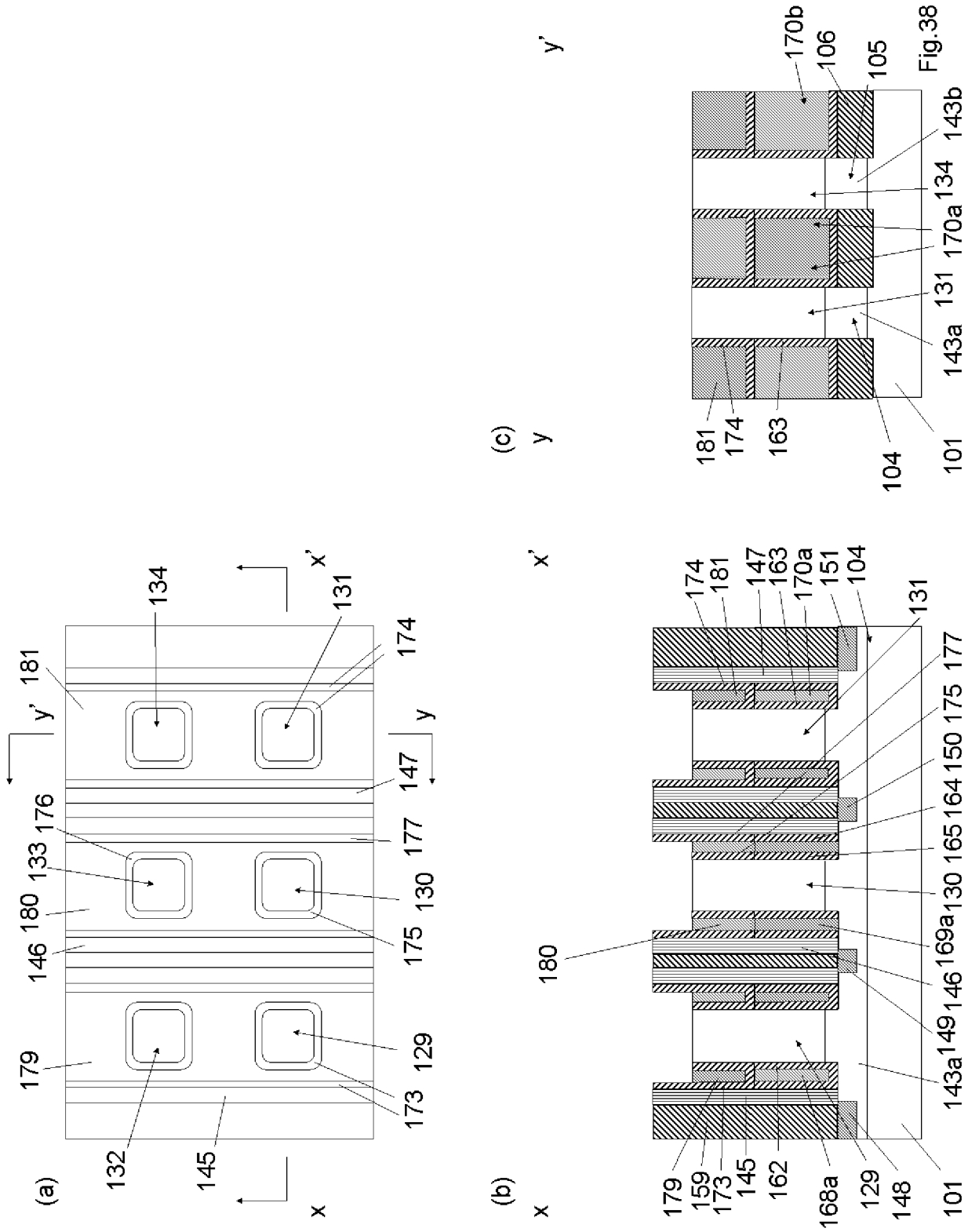

(a)
(b)
(c)
x
x'
y
y'
101
104
105
106
129
130
131
132
133
134
145
146
147
148
149
150
151
159
162
163
164
165
168a
169a
170a
170b
173
174
175
176
177
179
180
181
143a
143b

Fig.38

[図39]

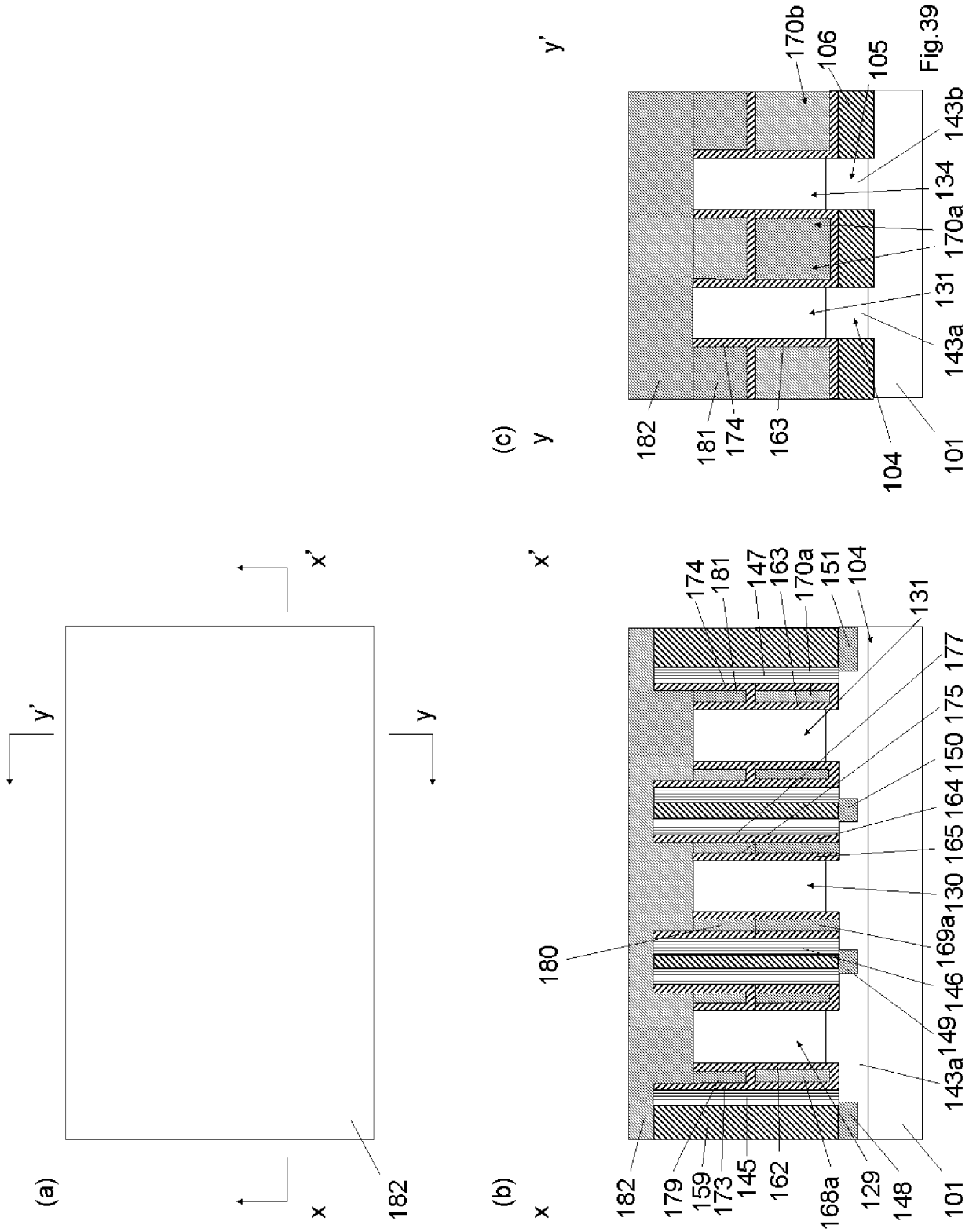

(a)
x
x'
y
y'
182
(b)
x
x'
182
179
159
173
145
162
168a
129
148
101
180
143a
149
146
169a
130
165
164
150
175
177
131
174
181
147
163
170a
151
104
(c)
y
y'
182
181
174
163
104
101
143a
131
170a
134
143b
170b
106
105

Fig.39

[図40]

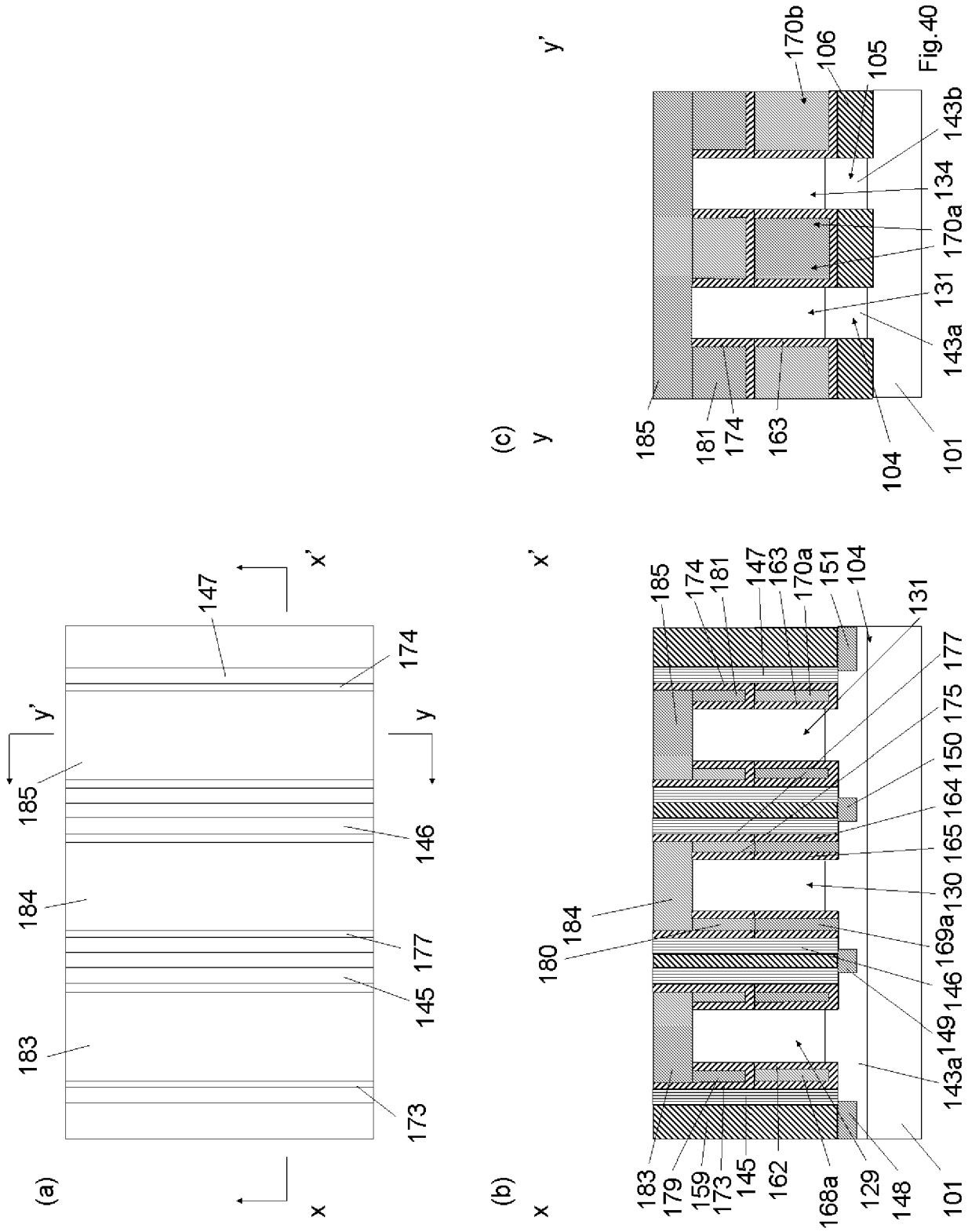

(a)
x
x'
y
y'
183
184
185
173
145
177
146
174
147
(b)
x
x'
183
179
159
173
145
162
168a
129
148
101
143a
149
146
169a
130
165
164
150
175
177
131
180
184
185
174
181
147
163
170a
151
104
(c)
y
y'
185
181
174
163
104
101
143a
131
170a
134
143b
170b
106
105

Fig.40

[図41]

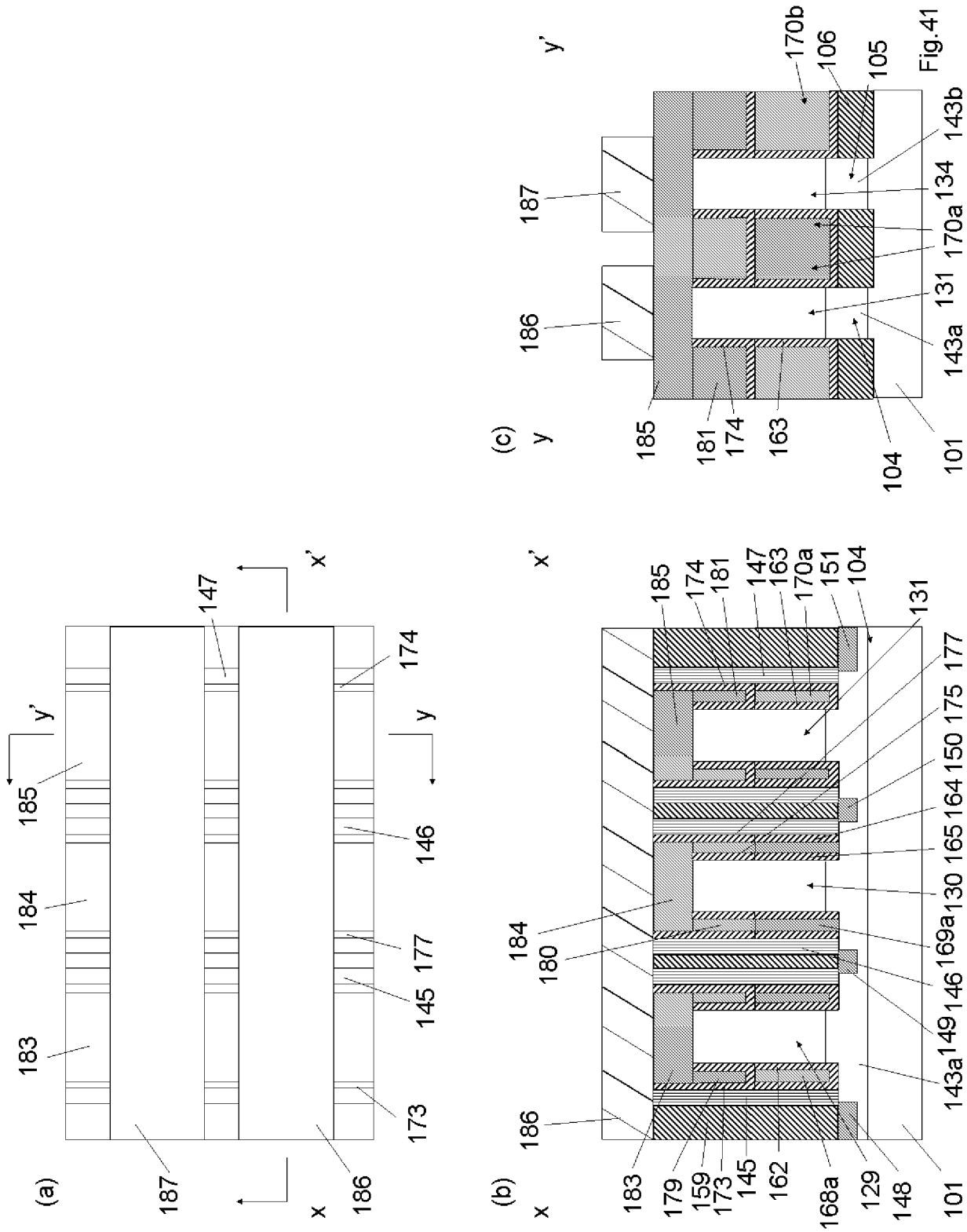
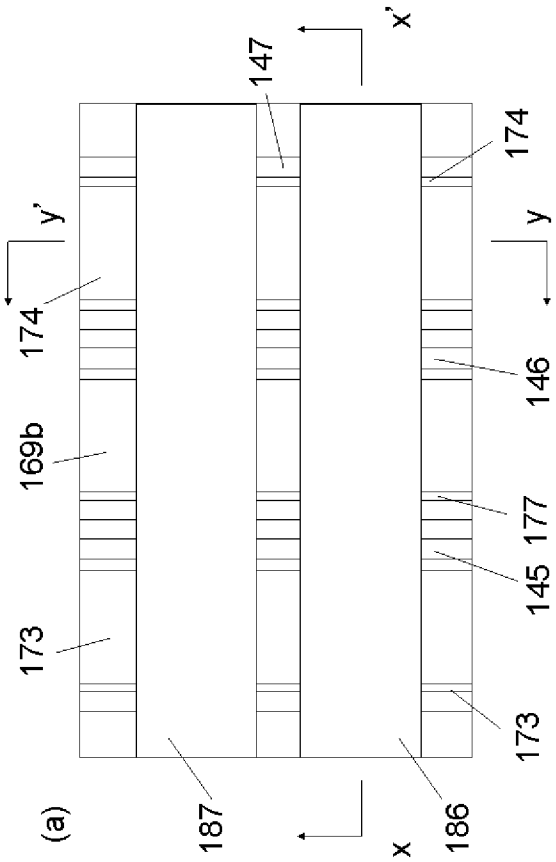
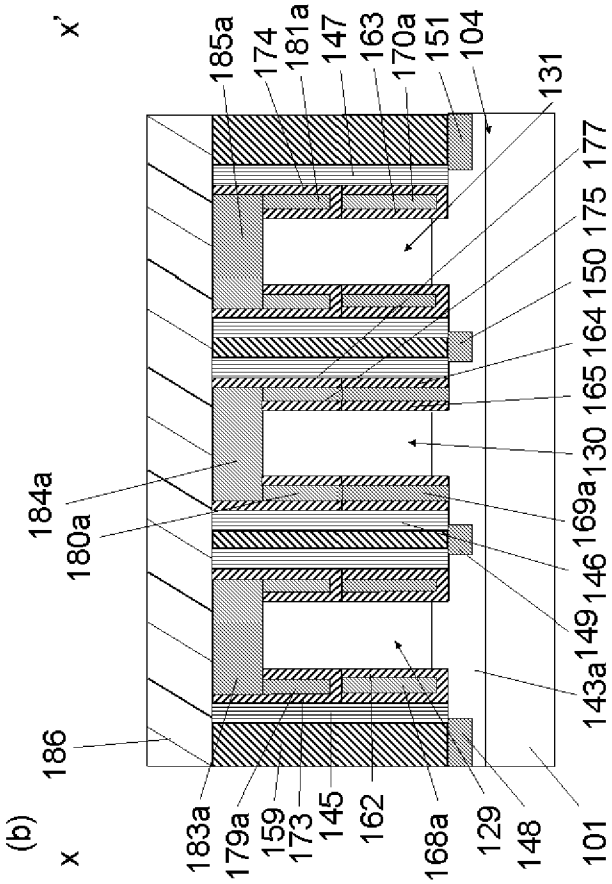

(a)
(b)
(c)
x
x'
y
y'
101
104
105
106
129
131
134
143a
143b
145
146
147
148
149
150
151
159
162
163
164
165
168a
169a
170a
170b
173
174
175
177
179
180
181
183
184
185
186
187

Fig.41

[図42]


(a)
187
173
169b
174
y'
147
x'
174
y
146
177
145
173
186
x


(b)
x
186
184a
180a
183a
179a
159
173
145
162
168a
129
148
101
143a
149
146
169a
130
165
164
150
175
177
131
104
151
170a
163
147
181a
174
185a
x'

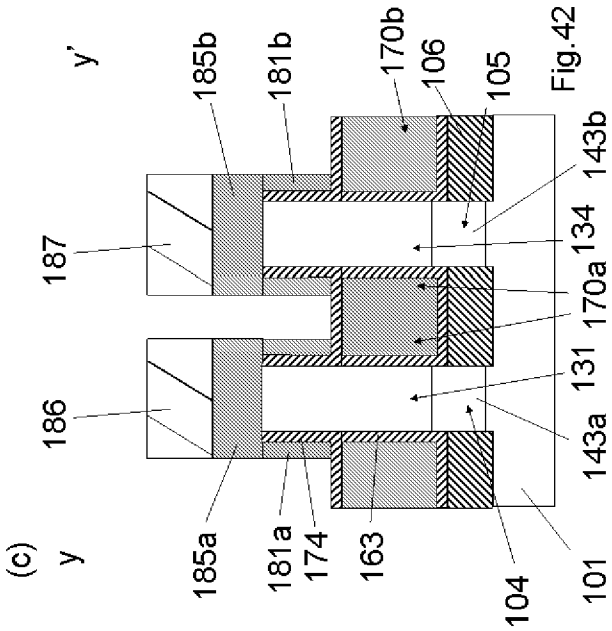

(c)
y
186
187
185a
181a
174
163
104
101
143a
131
170a
134
143b
105
106
170b
181b
185b
y'

Fig.42

[図43]

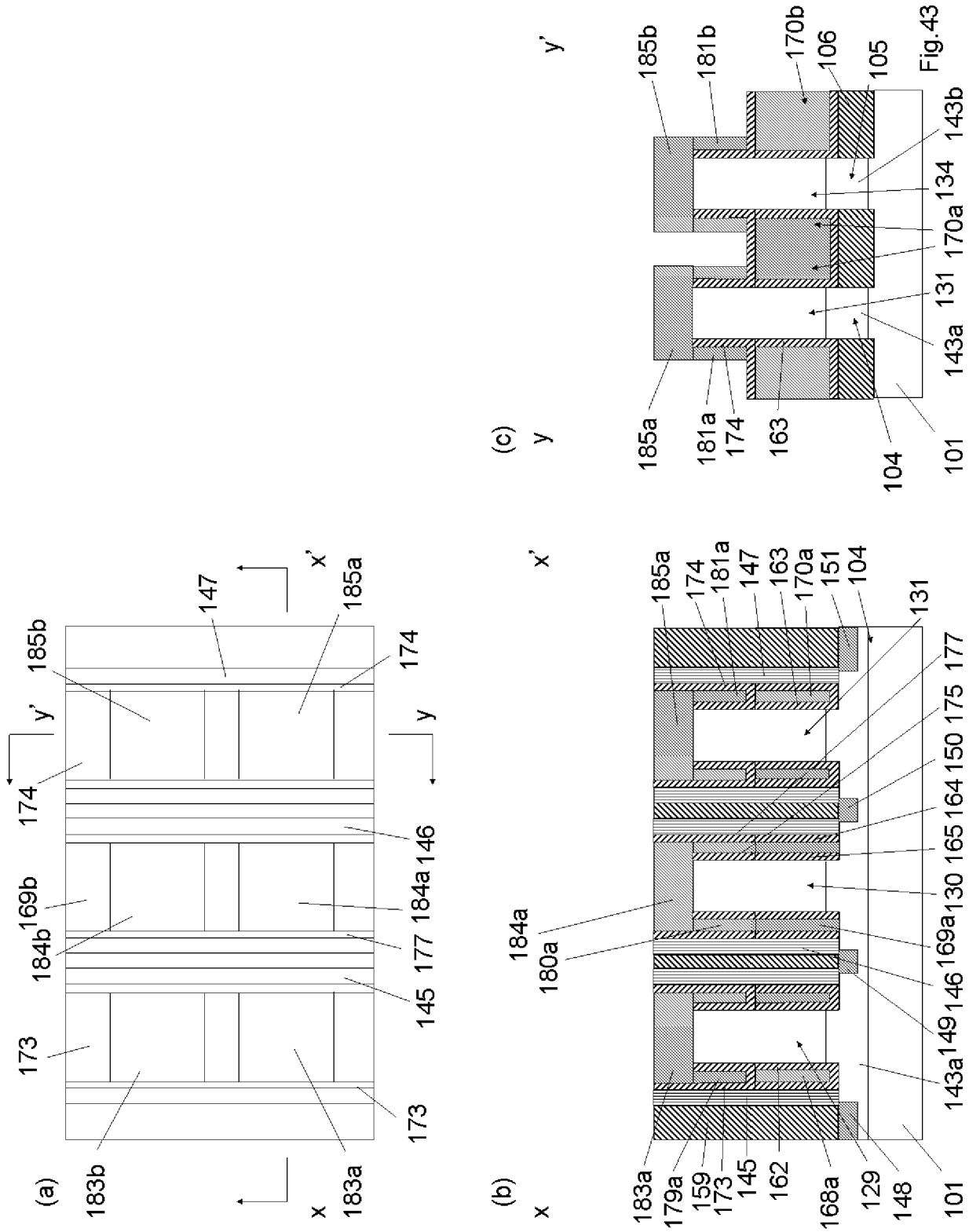

(a)
(b)
(c)
x
x'
y
y'
183a
183b
173
145
177
184a
184b
169b
174
146
185a
185b
147
184a
180a
169a
130
165
164
150
175
151
162
168a
129
148
179a
159
181a
181b
170a
170b
106
105
143a
143b
134
131
104
101
163

Fig.43

[図44]

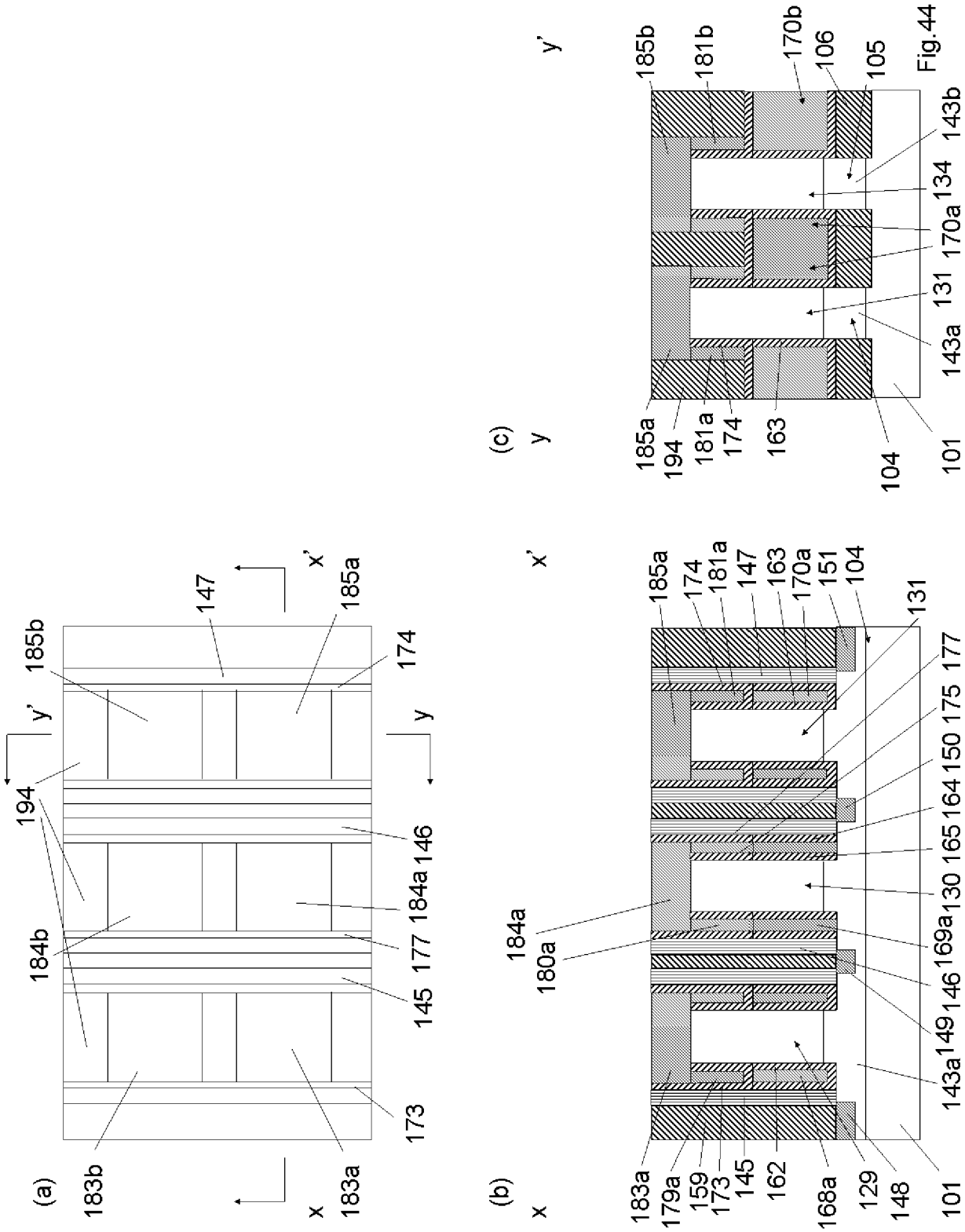

(a)
(b)
(c)
x
x'
y
y'
183a
183b
184a
184b
185a
185b
147
174
173
177
145
146
194
184a
180a
183a
179a
159
173
145
162
168a
129
148
101
143a
149
146
169a
130
165
164
150
175
177
131
185a
174
181a
147
163
170a
151
104
185a
194
181a
174
163
104
101
143a
131
170a
134
143b
185b
181b
170b
106
105

Fig.44

[図45]

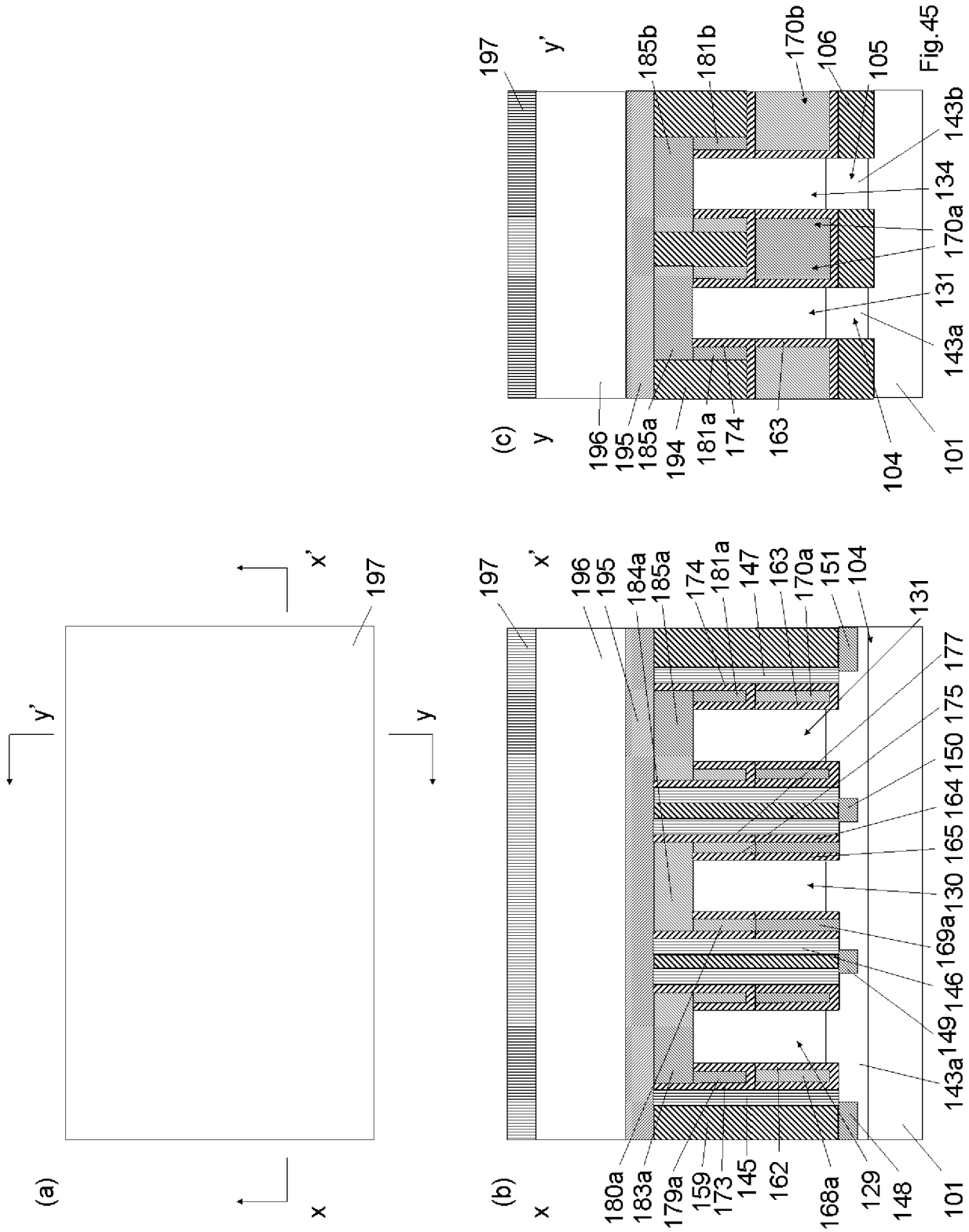
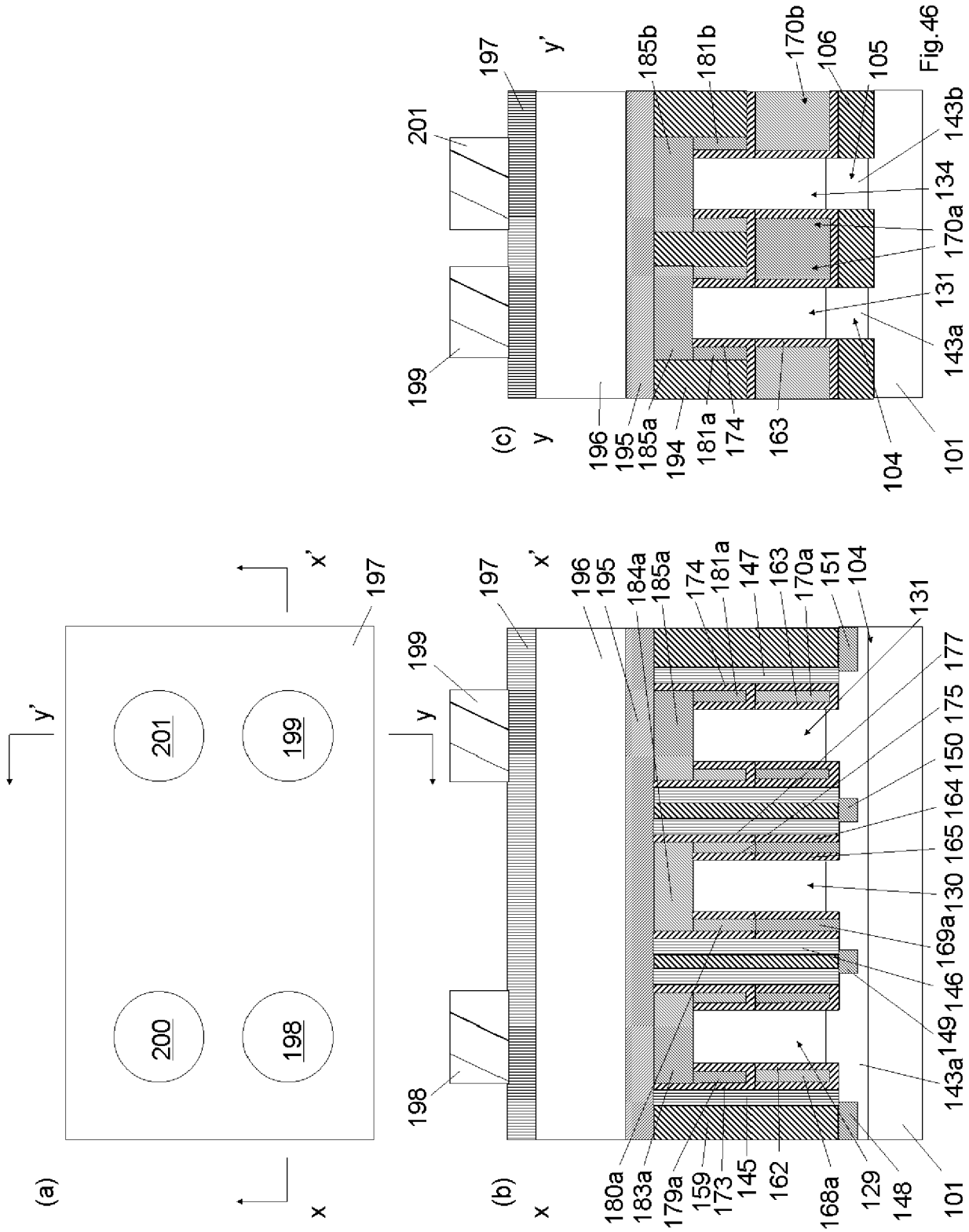

(a)
x
x'
y'
y
197
(b)
x
x'
197
196
195
184a
185a
174
181a
147
163
170a
151
104
131
177
175
150
164
165
130
169a
146
149
143a
180a
183a
179a
159
173
145
162
168a
129
148
101
(c)
y
y'
197
196
195
185a
194
181a
174
163
104
101
185b
181b
170b
106
105
143b
134
170a
131
143a

Fig.45

[図46]


(a)
x
x'
y'
197
201
199
200
198
(b)
x
x'
y
y'
197
199
198
196
195
184a
185a
174
181a
147
163
170a
151
104
131
177
175
150
164
165
130
169a
146
149
143a
180a
183a
179a
159
173
145
162
168a
129
148
101
(c)
y
y'
197
201
199
196
195
185a
194
181a
174
163
104
101
185b
181b
170b
106
105
143b
134
170a
131
143a
Fig.46

[図47]

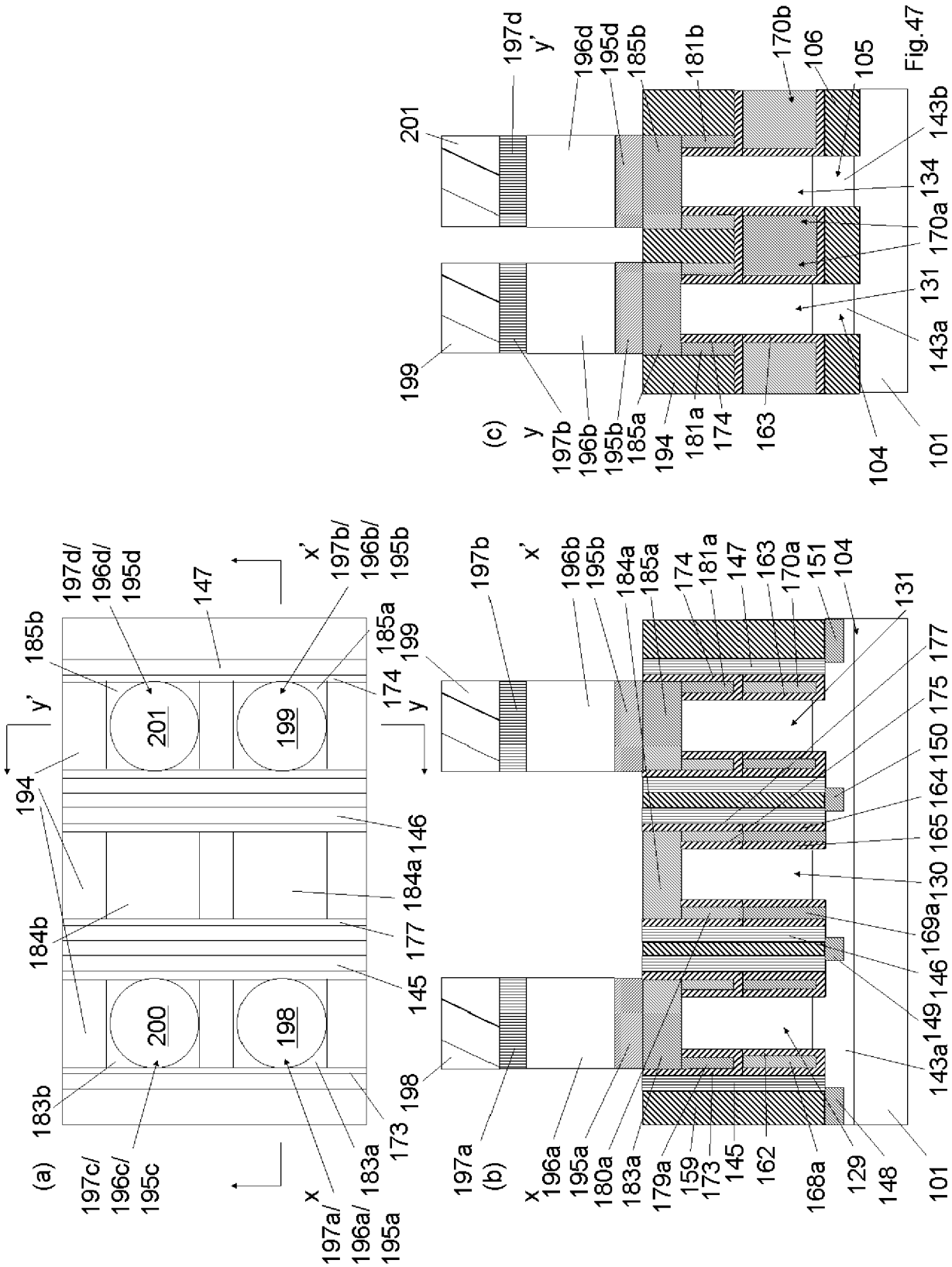
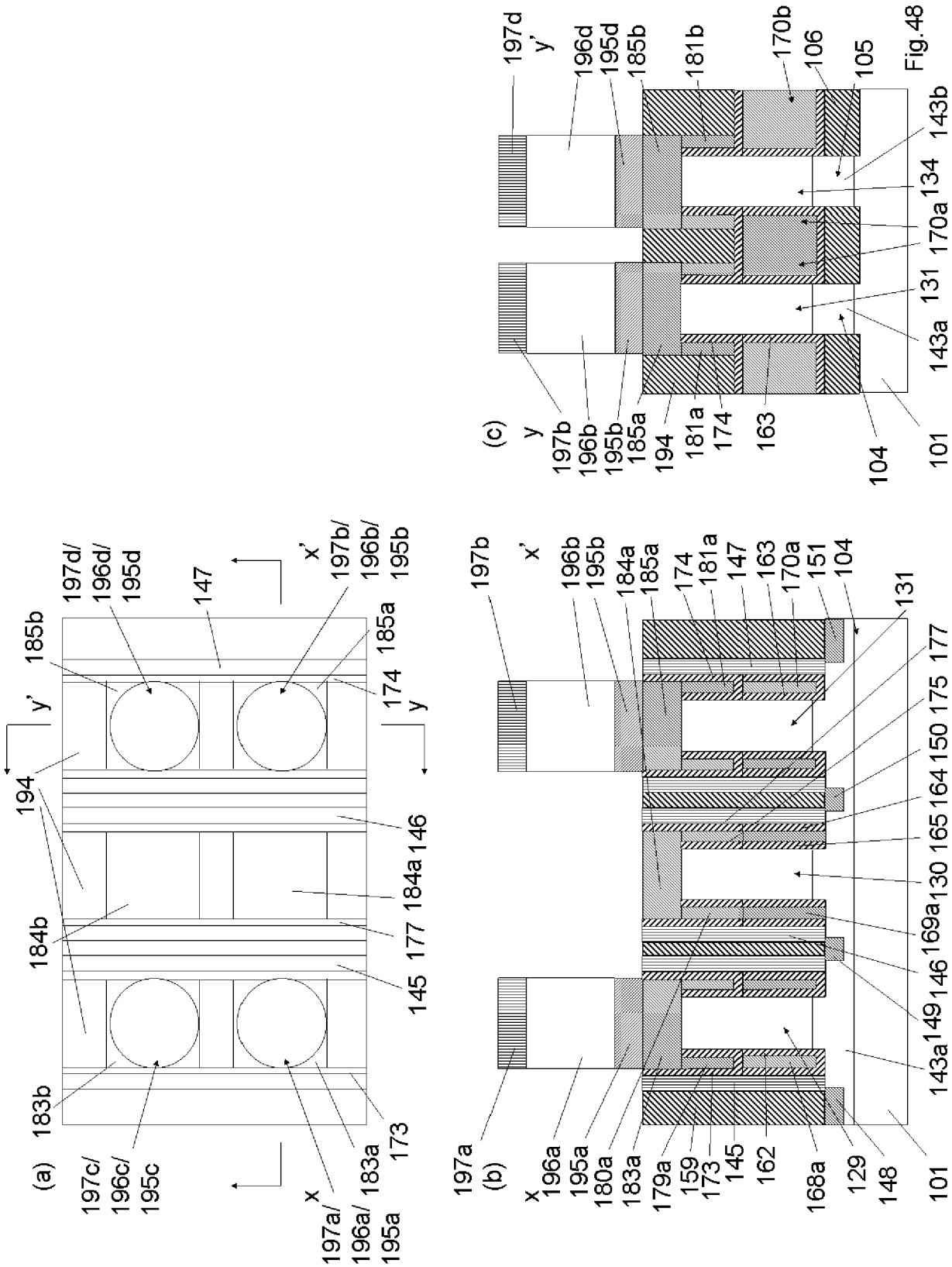

(a)
(b)
(c)
x
x'
y
y'
101
104
105
106
129
130
131
134
143a
143b
145
146
147
148
149
150
151
159
162
163
164
165
168a
169a
170a
170b
173
174
177
179a
180a
181a
181b
183a
183b
184a
184b
185a
185b
194
195a
195b
195c
195d
196a
196b
196c
196d
197a
197b
197c
197d
198
199
200
201

Fig.47

[図48]


(a)
(b)
(c)
Fig.48
x
x'
y
y'
101
104
105
106
129
131
134
143a
143b
145
146
147
148
149
150
151
159
162
163
164
165
168a
169a
170a
170b
173
174
177
179a
180a
181a
181b
183a
183b
184a
184b
185a
185b
194
195a
195b
195c
195d
196a
196b
196c
196d
197a
197b
197c
197d
197a/
196a/
195a
197b/
196b/
195b
197c/
196c/
195c
197d/
196d/
195d

[図49]

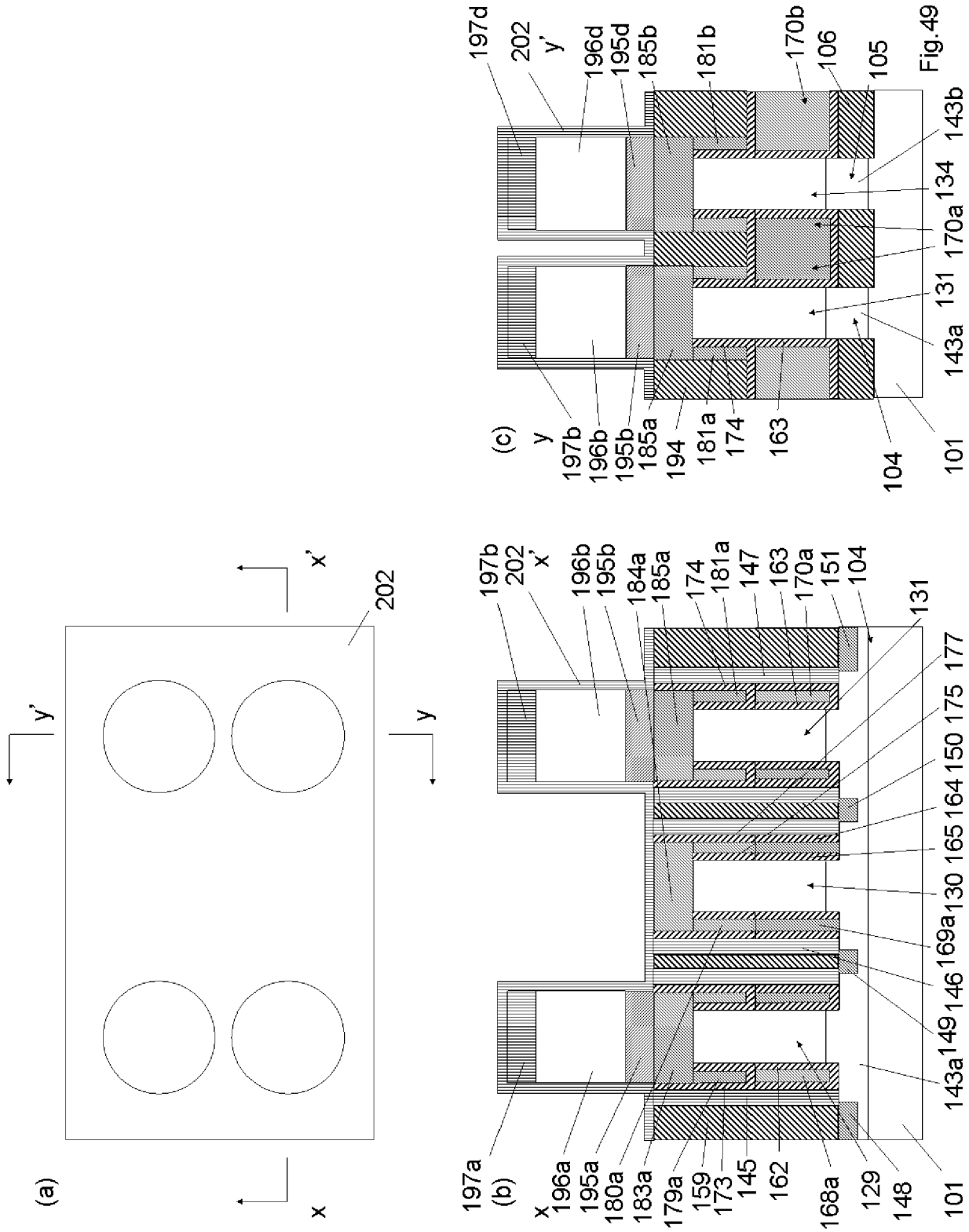

(a)
x
x'
y'
y
202
(b)
197a
197b
202
x'
x
196a
196b
195a
195b
180a
184a
183a
185a
179a
174
159
181a
173
147
145
163
162
170a
168a
151
129
104
148
131
177
175
150
164
165
130
169a
146
149
143a
101
(c)
y
y'
197b
197d
202
196b
196d
195b
195d
185a
185b
194
181a
181b
174
163
170b
104
106
105
101
143b
134
170a
131
143a

Fig.49

[図50]

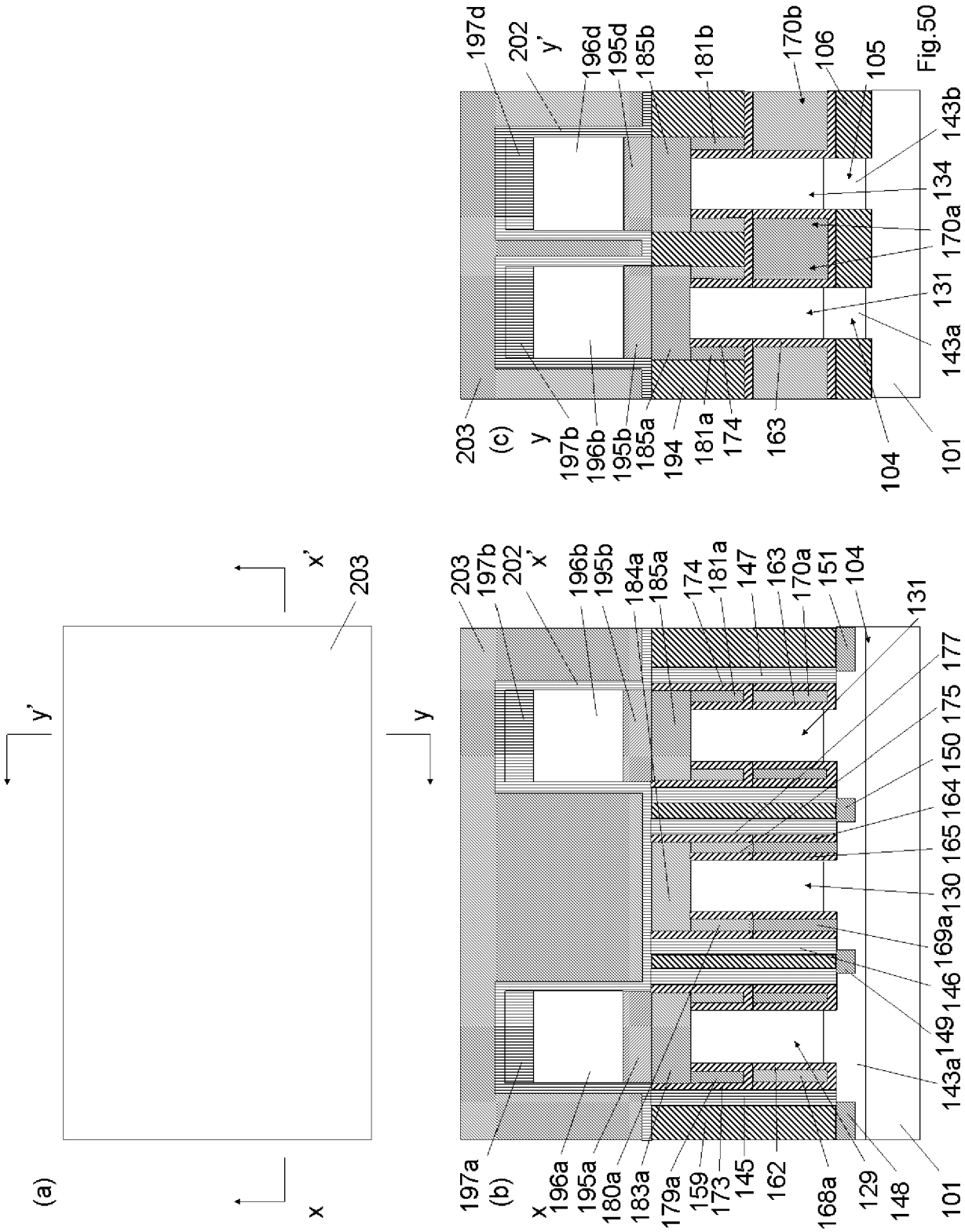
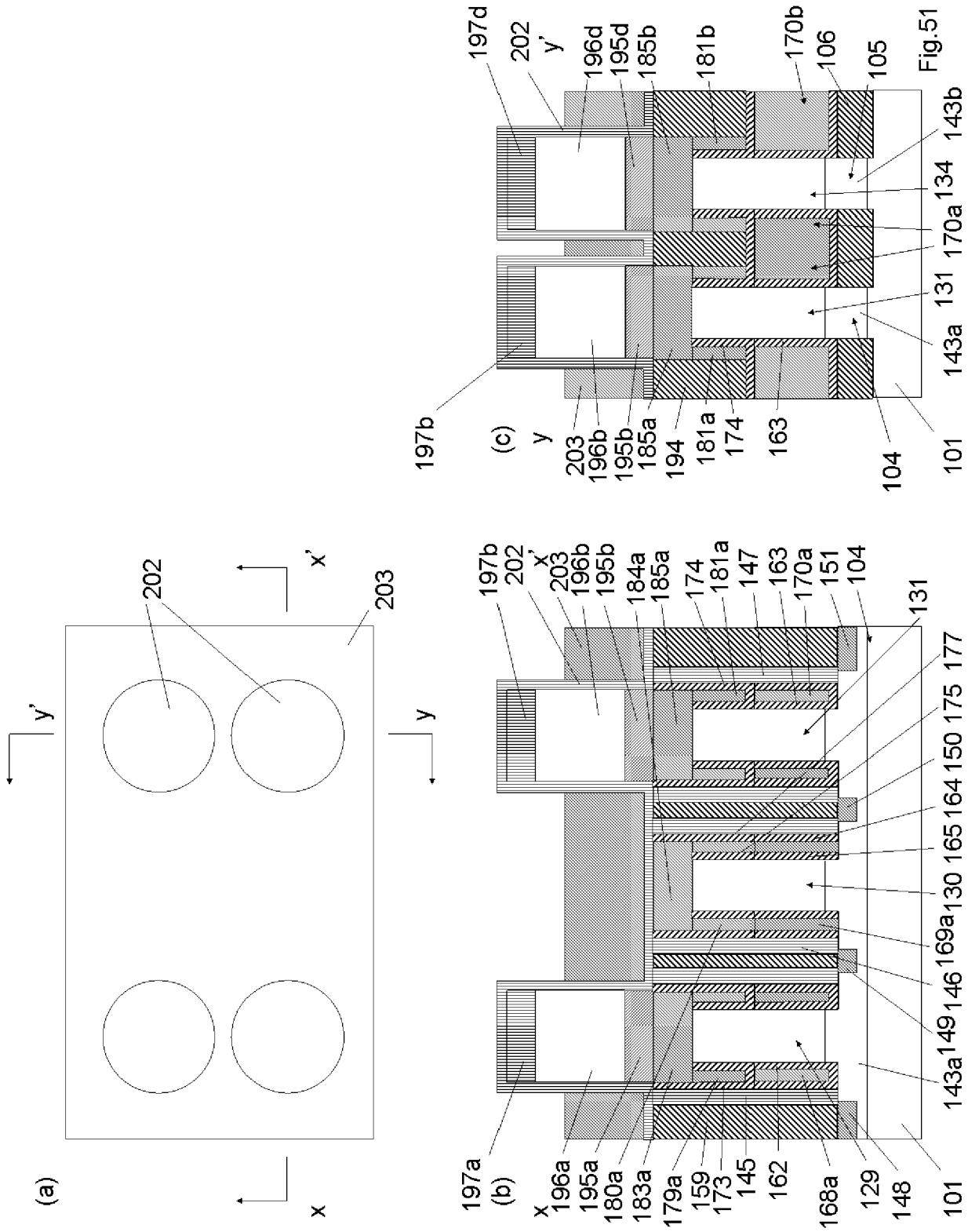

(a)
x
x'
y'
203
(b)
x
197a
196a
195a
180a
183a
179a
159
173
145
162
168a
129
148
101
143a
149
146
169a
130
165
164
150
175
177
131
104
151
170a
163
147
181a
174
185a
184a
195b
196b
x'
202
197b
203
y
y
(c)
203
197b
196b
195b
185a
194
181a
174
163
104
101
143a
131
170a
134
143b
105
106
170b
181b
185b
195d
196d
y'
202
197d

Fig.50

[図51]


(a)
x
x'
y'
y
202
203
(b)
197a
197b
202
x'
203
196b
195b
184a
185a
174
181a
147
163
170a
151
104
131
177
175
150
164
165
130
169a
146
149
143a
101
148
129
168a
162
145
173
159
179a
183a
180a
195a
196a
(c)
197b
197d
202
y'
y
203
196b
196d
195b
195d
185a
185b
194
181a
181b
174
163
170b
106
105
104
101
143a
131
170a
134
143b
Fig.51

[図52]

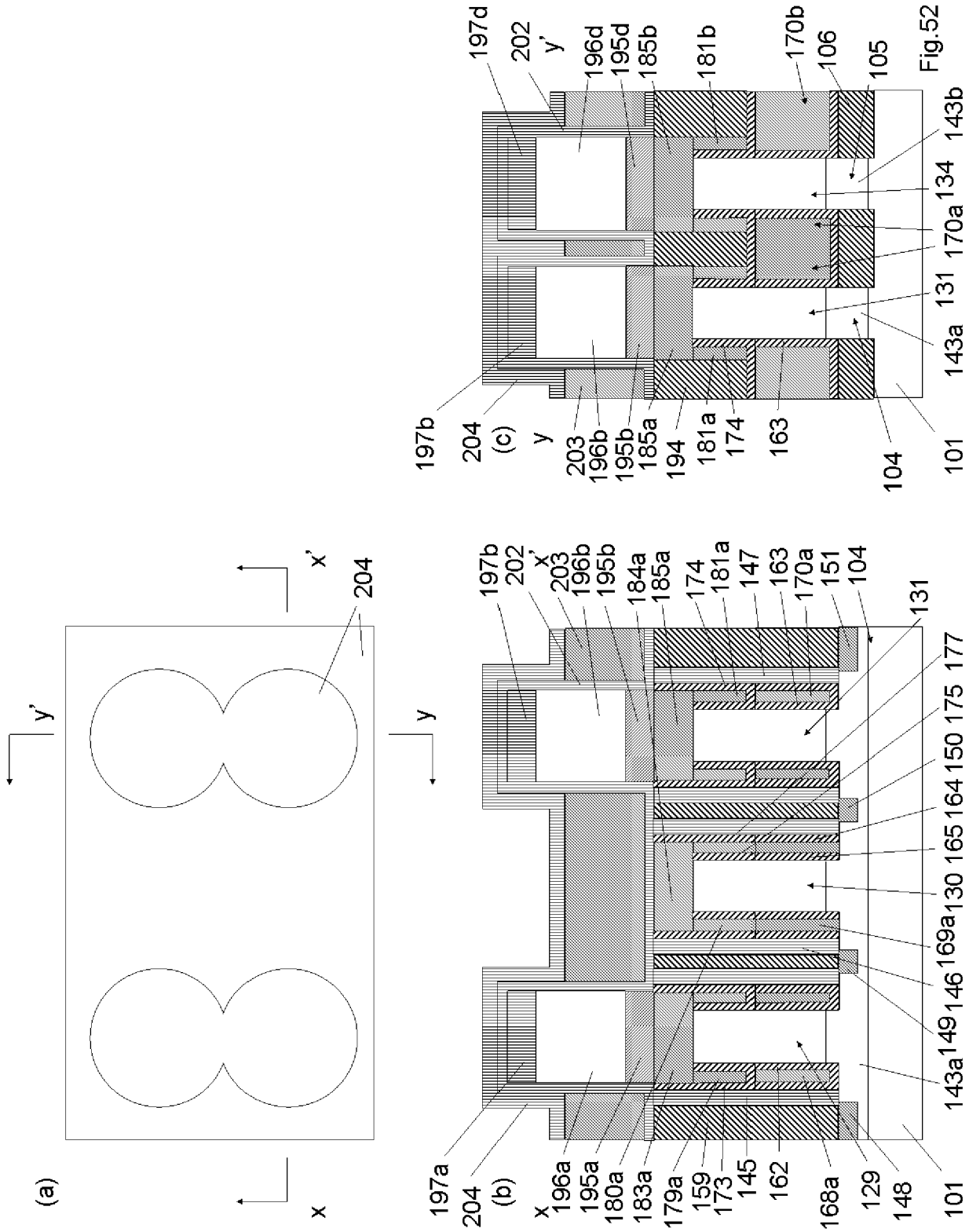

(a)
x
x'
y'
204
(b)
197a
204
x
196a
195a
180a
183a
179a
159
173
145
162
168a
129
148
101
197b
202
x'
203
196b
195b
184a
185a
174
181a
147
163
170a
151
104
131
177
175
150
164
165
130
169a
146
149
143a
(c)
197b
204
y
203
196b
195b
185a
194
181a
174
163
104
101
143a
131
170a
134
143b
105
106
170b
181b
185b
195d
196d
y'
202
197d

Fig.52

[図53]

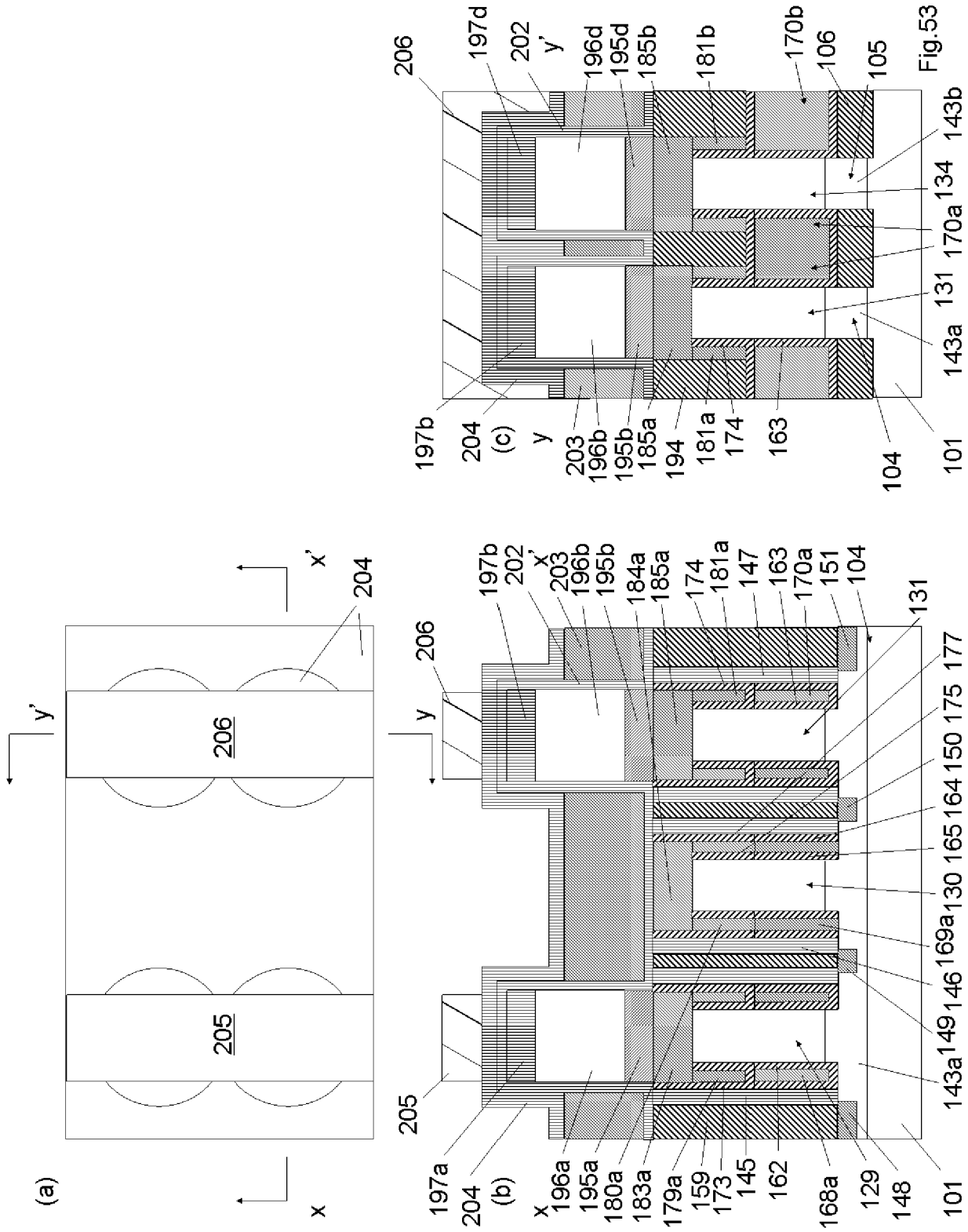

(a)
(b)
(c)
x
x'
y
y'
205
206
204
197a
197b
196a
195a
180a
183a
179a
159
173
145
162
168a
129
148
101
143a
149
146
169a
130
165
164
150
175
177
131
184a
185a
174
181a
147
163
170a
151
104
197d
202
196d
195d
185b
181b
170b
106
105
143b
134
170a
131
143a
203
196b
195b
185a
194
181a
174
163
104
101

Fig.53

[図54]

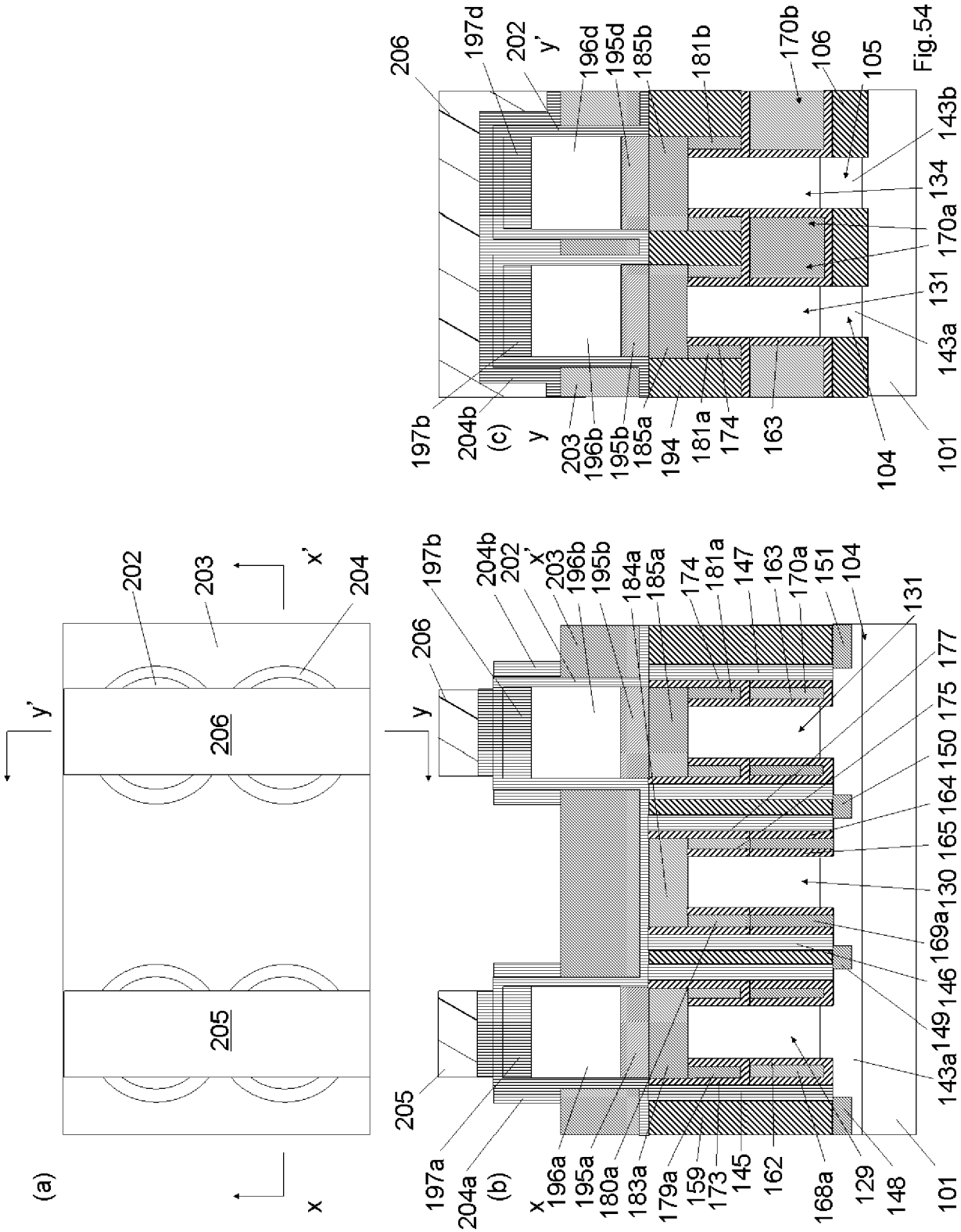

(a)
(b)
(c)
x
x'
y
y'
101
104
105
106
129
130
131
134
143a
143b
145
146
147
148
149
150
151
159
162
163
164
165
168a
169a
170a
170b
173
174
175
177
179a
180a
181a
181b
183a
184a
185a
185b
194
195a
195b
196a
196b
196d
197a
197b
197d
202
203
204
204a
204b
205
206

Fig.54

[図55]

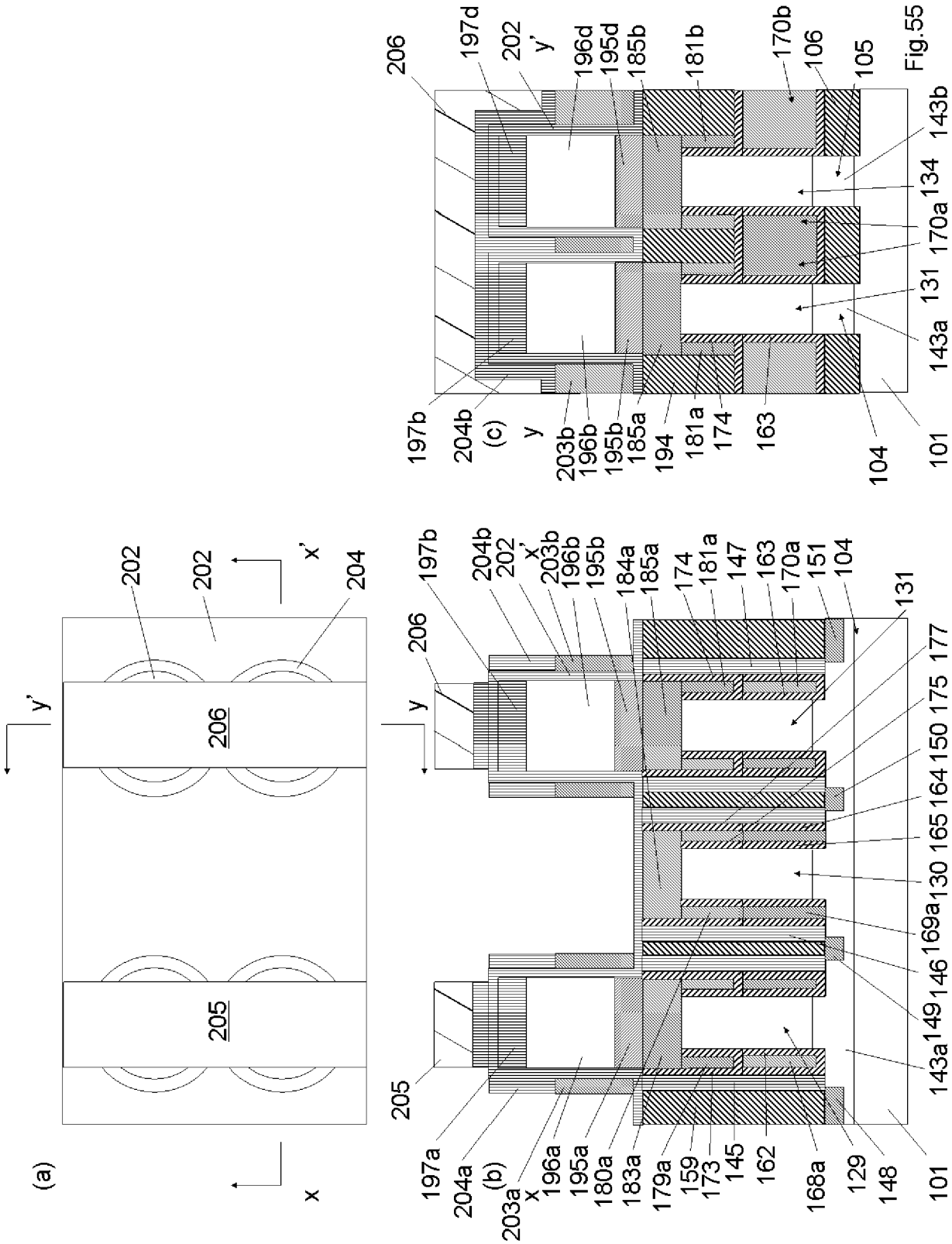
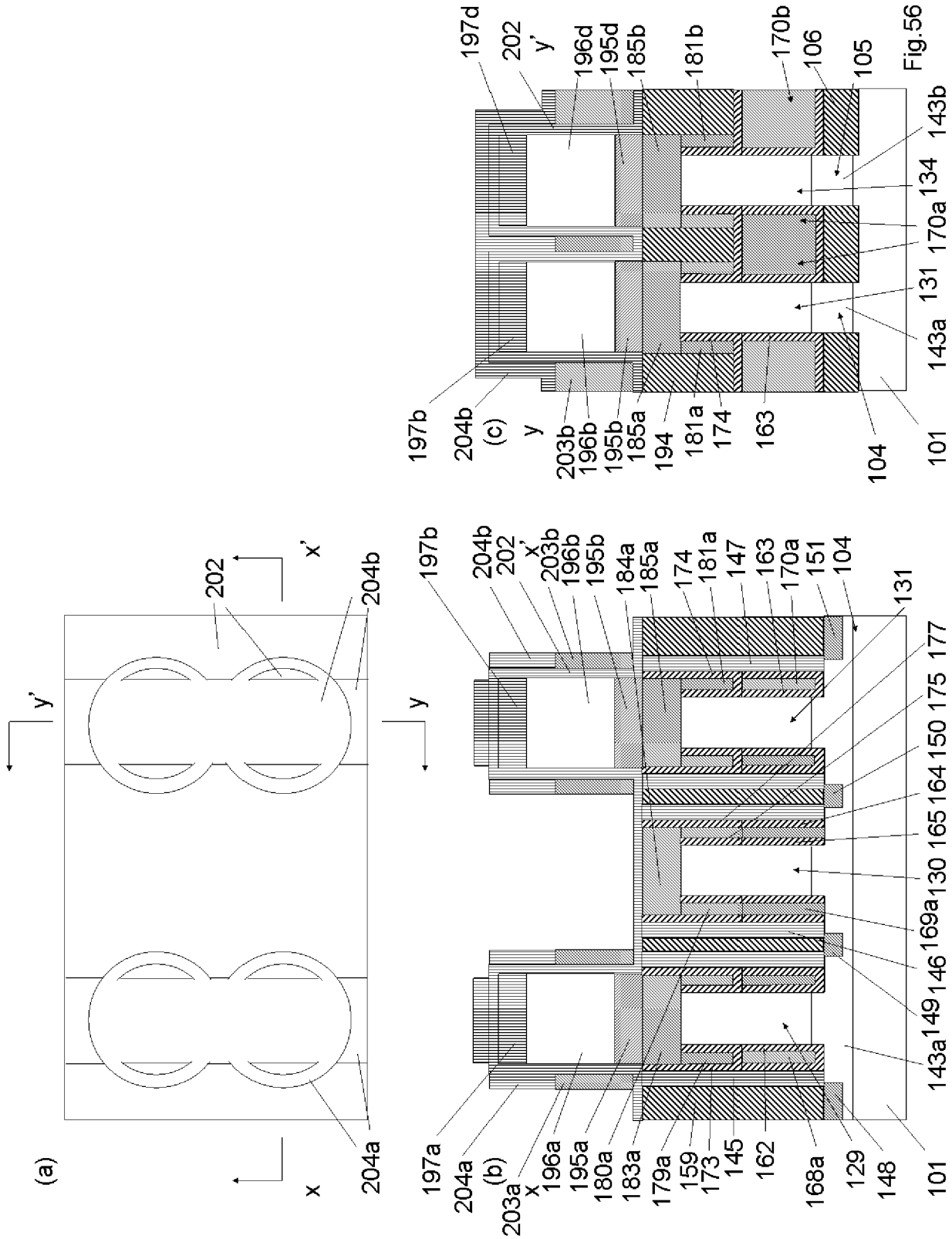
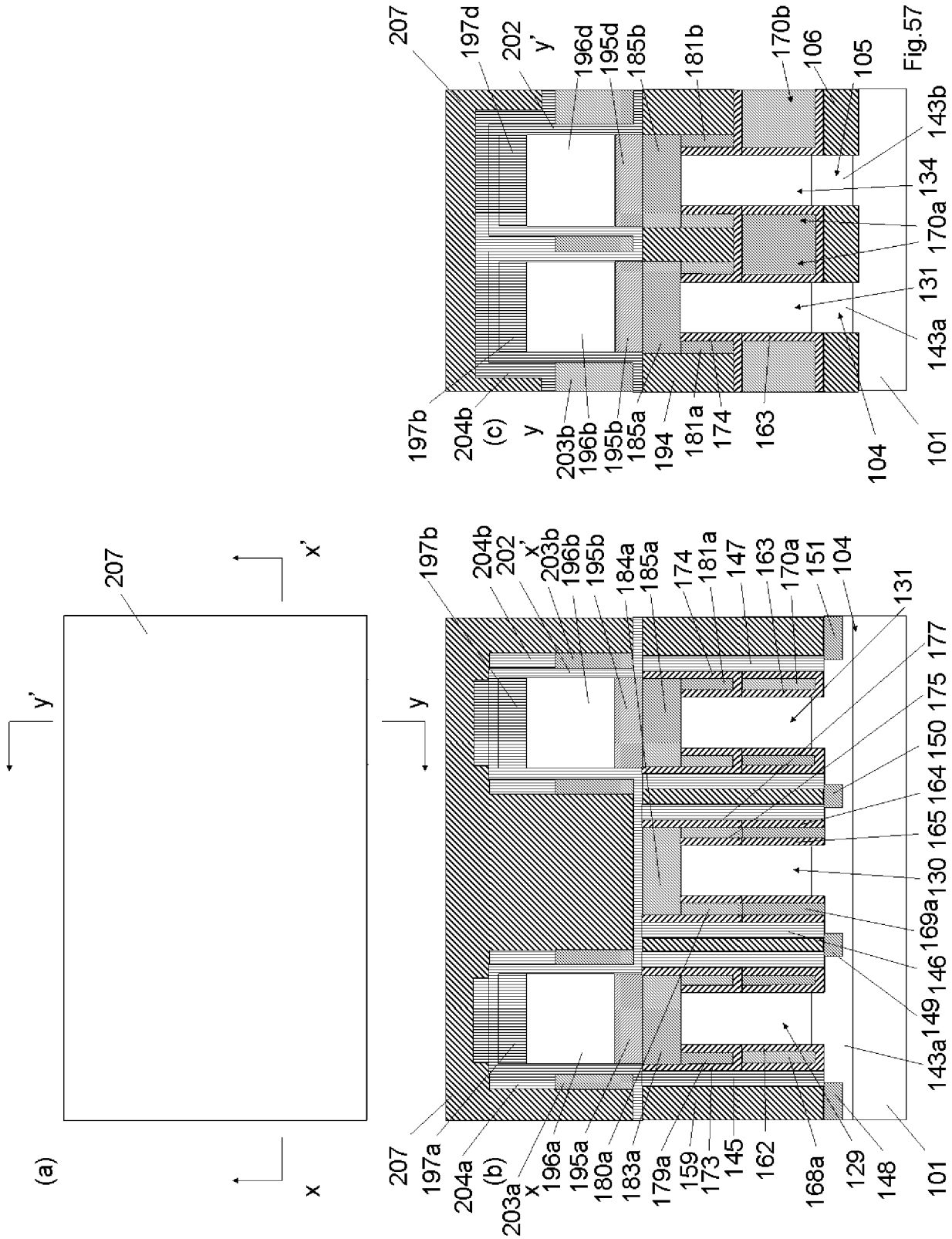

(a)
(b)
(c)
x
x'
y
y'
101
104
105
106
129
130
131
134
143a
143b
145
146
147
148
149
150
151
159
162
163
164
165
168a
169a
170a
170b
173
174
175
177
179a
180a
181a
181b
183a
184a
185a
185b
194
195a
195b
196a
196b
196d
197a
197b
197d
202
203a
203b
204a
204b
205
206

Fig.55

[図56]


(a)
(b)
(c)
x
x'
y
y'
101
104
105
106
129
130
131
134
143a
143b
145
146
147
148
149
150
151
159
162
163
164
165
168a
169a
170a
170b
173
174
175
177
179a
180a
181a
181b
183a
184a
185a
185b
194
195a
195b
196a
196b
196d
197a
197b
197d
202
203a
203b
204a
204b
Fig.56

[図57]


(a)
207
x
x'
y
y'
(b)
207
197a
204a
203a
x
196a
195a
180a
183a
179a
159
173
145
162
168a
129
148
101
143a
149
146
169a
130
165
164
150
175
177
131
104
151
170a
163
147
181a
174
185a
184a
195b
196b
203b
x'
202
204b
197b
(c)
y
197b
204b
203b
196b
195b
185a
194
181a
174
163
104
101
143a
131
170a
134
143b
105
106
170b
181b
185b
195d
196d
y'
202
197d
207
Fig.57

[図58]

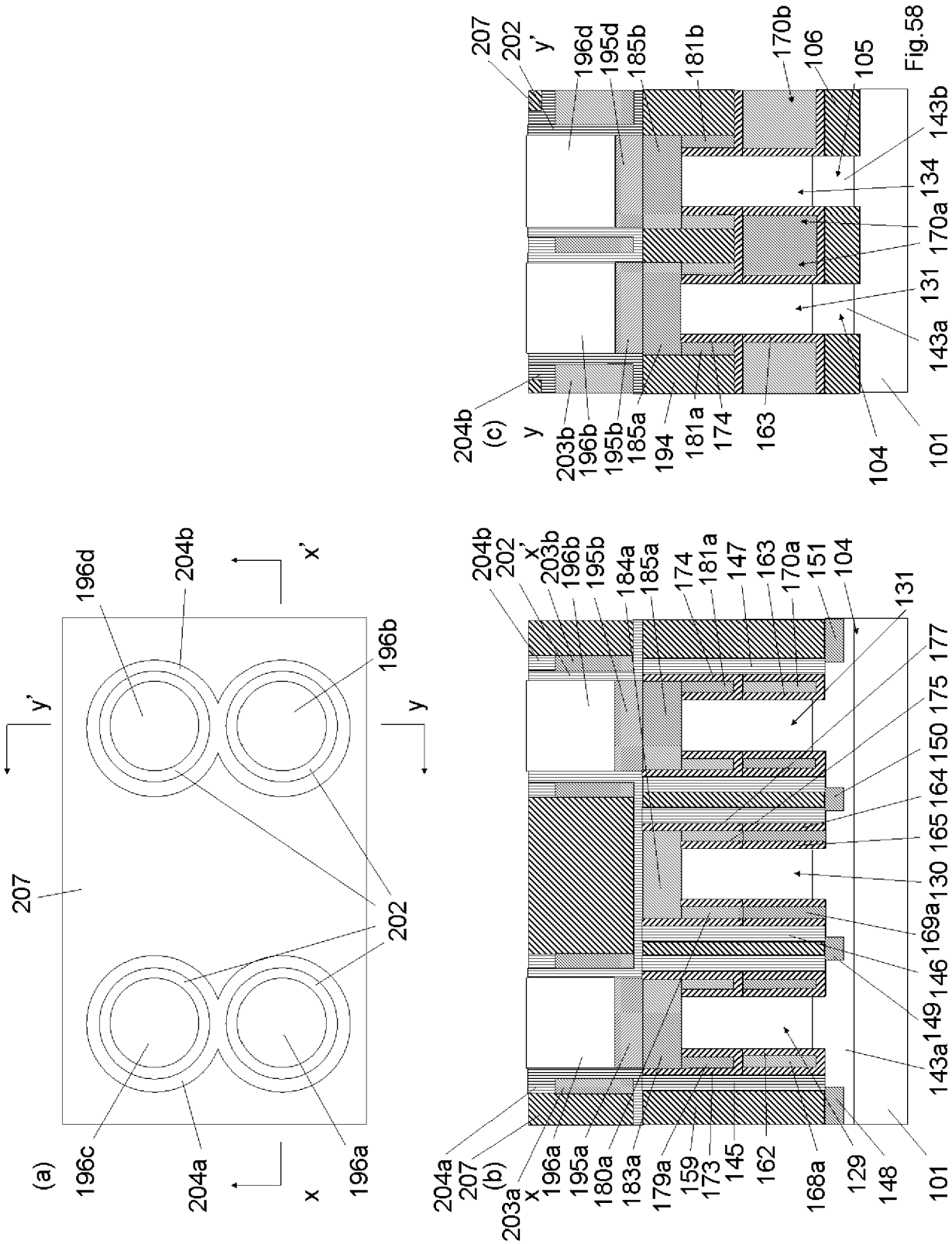

(a)
196c
204a
x
196a
207
202
y'
196d
204b
x'
196b
y
(b)
204a
207
203a
x
196a
195a
180a
183a
179a
159
173
145
162
168a
129
148
101
149
143a
146
169a
130
165
164
150
175
177
131
104
151
170a
163
147
181a
174
185a
184a
195b
196b
203b
x'
202
204b
(c)
y
203b
196b
195b
185a
194
181a
174
163
104
101
143a
131
170a
134
143b
105
106
170b
181b
185b
195d
196d
y'
202
207

Fig.58

[図59]

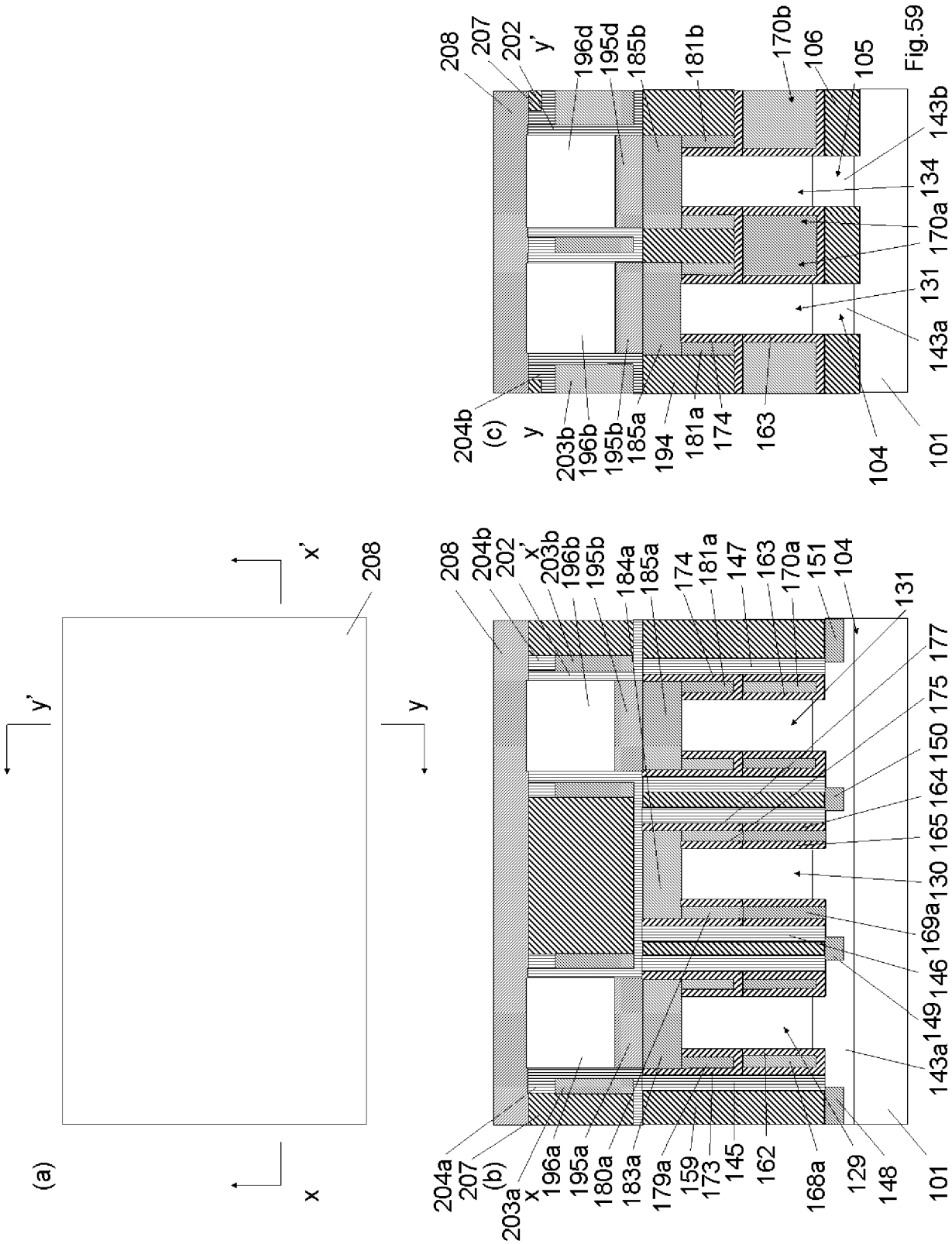

(a)
x
x'
y'
y
208
(b)
204a
207
203a
x
196a
195a
180a
183a
179a
159
173
145
162
168a
129
148
101
143a
149
146
169a
130
165
164
150
175
177
131
104
151
170a
163
147
181a
174
185a
184a
195b
196b
203b
x'
202
204b
208
(c)
y
203b
196b
195b
185a
194
181a
174
163
104
101
143a
131
170a
134
143b
105
106
170b
181b
185b
195d
196d
y'
202
207
208

Fig.59

[図60]

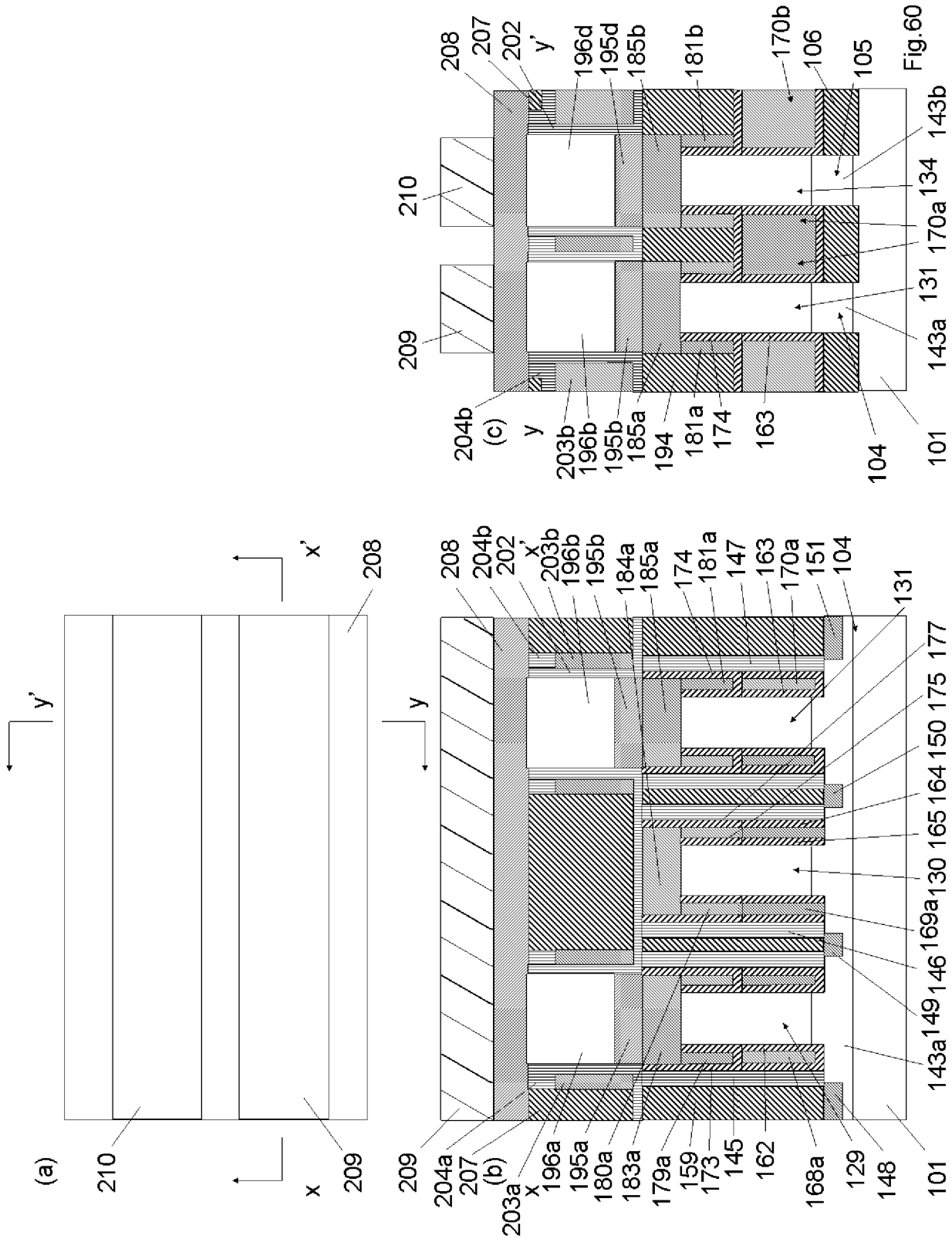

(a)
210
209
y'
x
x'
208
(b)
209
204a
207
203a
x
196a
195a
180a
183a
179a
159
173
145
162
168a
129
148
101
y
208
204b
202
x'
203b
196b
195b
184a
185a
174
181a
147
163
170a
151
104
131
177
175
150
164
165
130
169a
146
149
143a
(c)
204b
y
203b
196b
195b
185a
194
181a
174
163
104
101
209
210
208
207
202
y'
196d
195d
185b
181b
170b
106
105
143b
134
170a
131
143a

Fig.60

[図61]

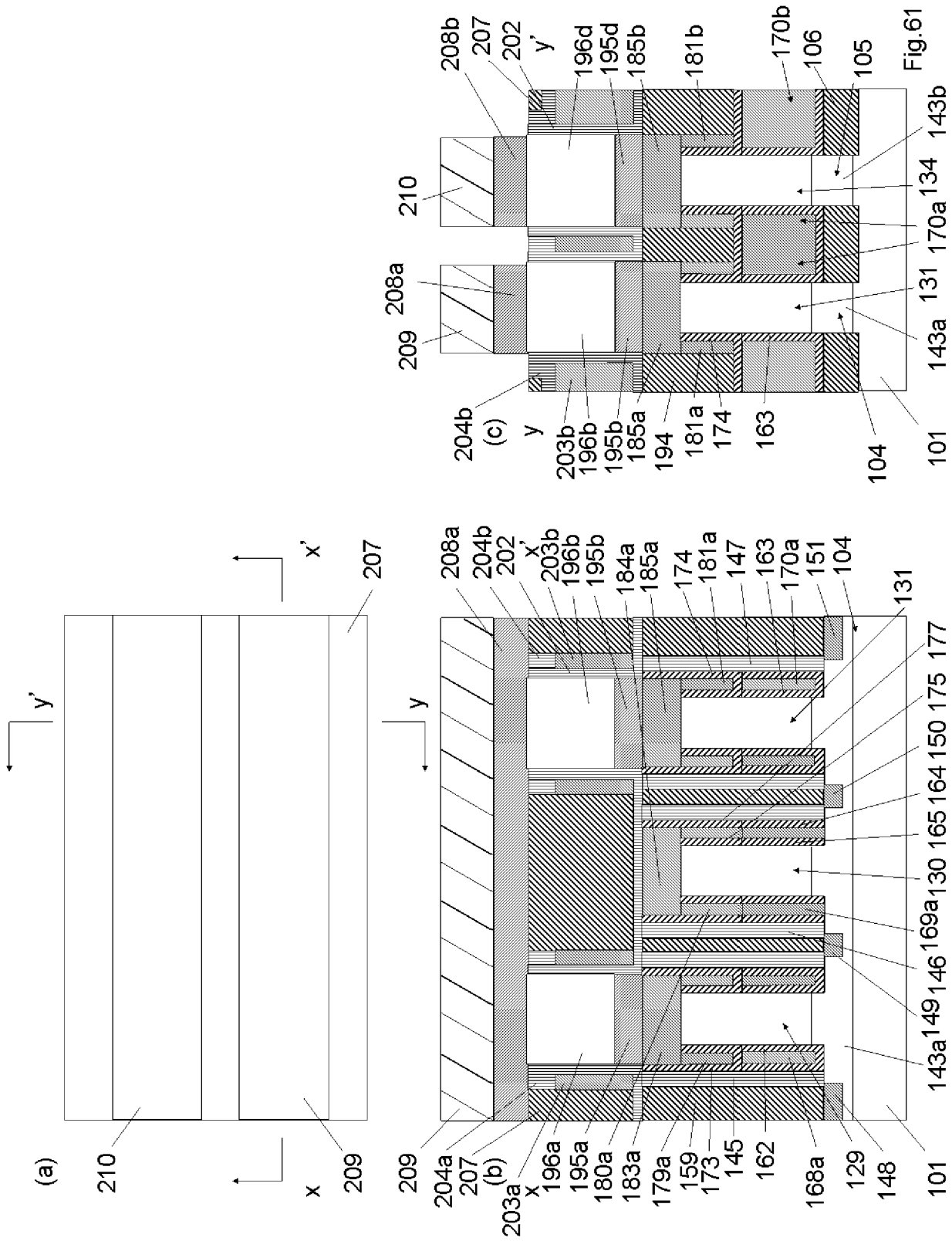

(a)
210
209
y'
x
x'
207
(b)
209
204a
207
203a
x
196a
195a
180a
183a
179a
159
173
145
162
168a
129
148
101
y
208a
204b
202
x'
203b
196b
195b
184a
185a
174
181a
147
163
170a
151
104
131
177
175
150
164
165
130
169a
146
149
143a
(c)
204b
y
203b
196b
195b
185a
194
181a
174
163
104
101
209
208a
210
208b
207
202
y'
196d
195d
185b
181b
170b
106
105
143b
134
170a
131
143a

Fig.61

[図62]

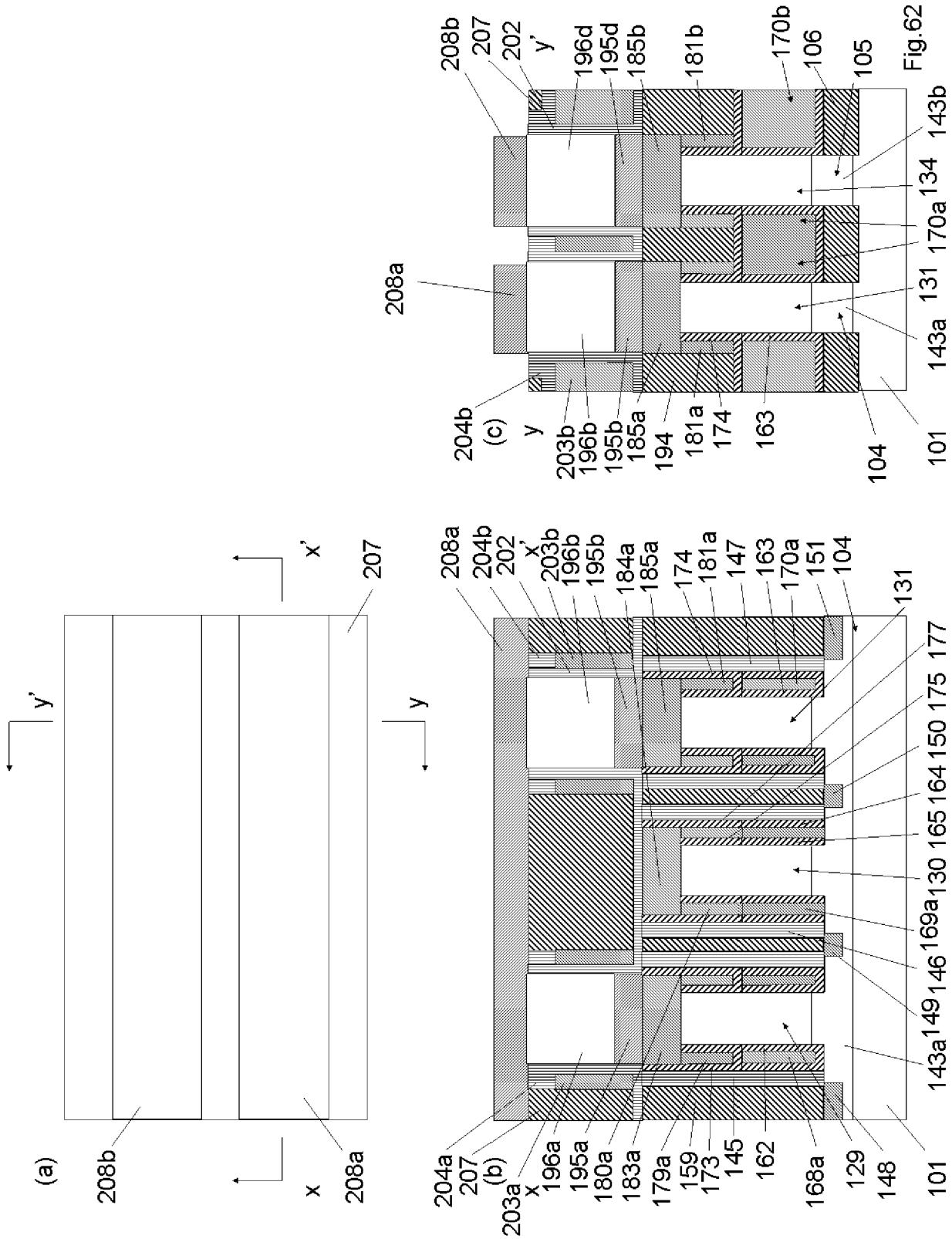

(a)
208b
208a
x
x'
y'
207
(b)
204a
207
203a
x
196a
195a
180a
183a
179a
159
173
145
162
168a
129
148
101
143a
149
146
169a
130
165
164
150
175
177
131
104
151
170a
163
147
174
181a
185a
184a
195b
196b
203b
x'
202
204b
208a
y
(c)
204b
208a
y
203b
196b
195b
185a
194
181a
174
163
104
101
143a
131
170a
134
143b
105
106
170b
181b
185b
195d
196d
y'
202
207
208b

Fig.62

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/080721

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/105(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/105

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-528935 A (Micron Technology, Inc.), 11 July 2013 (11.07.2013), paragraphs [0016] to [0026]; fig. 1 & US 2011/0253965 A1 & EP 2561546 A & TW 201203469 A & CN 102870215 A & SG 184932 A & KR 10-2013-0006695 A	1-24
A	JP 2009-283498 A (Toshiba Corp.), 03 December 2009 (03.12.2009), paragraphs [0011] to [0024]; fig. 1, 3 & US 2009/0283737 A1 & KR 10-2009-0120414 A	1-24
A	JP 2012-185884 A (Hitachi, Ltd.), 27 September 2012 (27.09.2012), paragraphs [0020] to [0035]; fig. 2 to 4 (Family: none)	1-24

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 23 January, 2014 (23.01.14)	Date of mailing of the international search report 04 February, 2014 (04.02.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/080721

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/096363 A1 (NEC Corp.), 06 August 2009 (06.08.2009), paragraphs [0128] to [0149]; fig. 11 & US 2011/0006278 A1	1-24
A	JP 2004-356314 A (Sharp Corp.), 16 December 2004 (16.12.2004), entire text; all drawings & EP 1482562 A2 & US 2004/0262681 A1 & KR 10-0545161 B1	1-24

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０８０７２１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/105(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/105

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2013-528935 A（マイクロン　テクノロジー，インク．）2013.07.11，段落【００１６】－【００２６】，図１ & US 2011/0253965 A1& EP 2561546 A& TW 201203469 A & CN 102870215 A& SG 184932 A & KR 10-2013-0006695 A	1-24
A	JP 2009-283498 A（株式会社東芝）2009.12.03，段落【００１１】－【００２４】，図１，３ & US 2009/0283737 A1 & KR 10-2009-0120414 A	1-24

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２３．０１．２０１４	０４．０２．２０１４

国際調査機関の名称及びあて先

日本国特許庁（ＩＳＡ／ＪＰ）

郵便番号１００－８９１５

東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｏ　３９８２

外山　毅

電話番号　０３－３５８１－１１０１　内線　３５１４

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2012-185884 A（株式会社日立製作所）2012.09.27, 段落【００２０】－【００３５】，図２－４（ファミリーなし）	1-24
A	WO 2009/096363 A1（日本電気株式会社）2009.08.06, 段落【０１２８】－【０１４９】，図１１ & US 2011/0006278 A1	1-24
A	JP 2004-356314 A（シャープ株式会社）2004.12.16，全文，全図 & EP 1482562 A2& US 2004/0262681 A1& KR 10-0545161 B1	1-24