

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年12月15日(15.12.2022)



(10) 国際公開番号

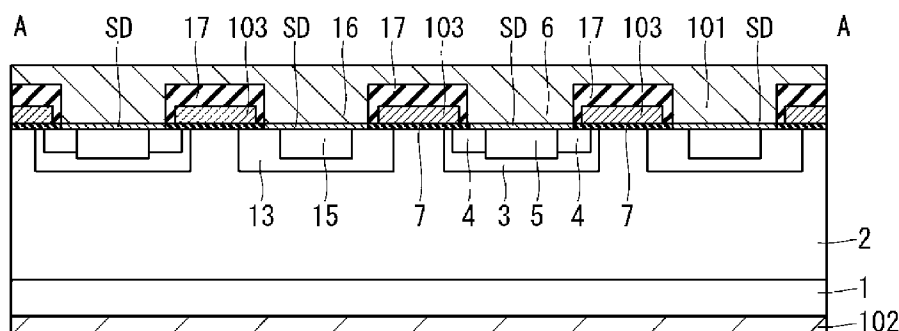
WO 2022/259409 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/12* (2006.01)
- (21) 国際出願番号: PCT/JP2021/021890
- (22) 国際出願日: 2021年6月9日(09.06.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 富永 貴亮 (TOMINAGA Takaaki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

- (74) 代理人: 吉竹 英俊, 外(YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央区域見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE

(54) 発明の名称: 炭化珪素半導体装置



(57) **Abstract:** The present disclosure relates to a silicon carbide semiconductor device, and comprises: a semiconductor layer of a first electrically conductive type on a first main surface of a silicon carbide substrate; a striped first well region of a second electrically conductive type provided on the upper layer part of the semiconductor layer; a first impurity region of the first electrically conductive type provided on the upper layer part of the first well region; a first well contact region of the second electrically conductive type provided on the upper layer part of the first well region and joined to the first impurity region at the side surface; a first contact that is electrically connected to the first impurity region and the first well contact region, and that is electrically connected to a first main electrode provided above the semiconductor layer; a striped second well region provide separated from the first well region; a second well contact region of the second electrically conductive type provided on the upper layer part of the second well region; a second contact that is electrically connected to the second well contact region and that is electrically connected to the first main electrode provided above the semiconductor layer; and a second main electrode on a second main surface of the silicon carbide substrate.



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 本開示は炭化珪素半導体装置に関し、炭化珪素基板の第1の主面上の第1導電型の半導体層と、半導体層の上層部に設けられたストライプ状の第2導電型の第1ウェル領域と、第1ウェル領域の上層部に設けられた第1導電型の第1不純物領域と、第1ウェル領域の上層部に設けられ、側面において第1不純物領域に接合する第2導電型の第1ウェルコンタクト領域と、第1不純物領域および第1ウェルコンタクト領域に電氣的に接続され、半導体層の上方に設けられた第1主電極に電氣的に接続される第1コンタクトと、第1ウェル領域とは離間して設けられたストライプ状の第2ウェル領域と、第2ウェル領域の上層部に設けられた、第2導電型の第2ウェルコンタクト領域と、第2ウェルコンタクト領域に電氣的に接続され、半導体層の上方に設けられた第1主電極に電氣的に接続される第2コンタクトと、炭化珪素基板の第2の主面上の第2主電極と、を備えている。

明 細 書

発明の名称：炭化珪素半導体装置

技術分野

[0001] 本開示は炭化珪素半導体装置に関し、特に、スイッチング損失を抑制した炭化珪素半導体装置に関する。

背景技術

[0002] 電力変換回路などに用いられるスイッチング素子として、縦型の電力用半導体装置が広く用いられており、特に、MOS (Metal Oxide Semiconductor) 構造を有する電力用半導体装置が広く用いられている。典型的には、絶縁ゲートバイポーラトランジスタ (Insulated Gate Bipolar Transistor: IGBT)、および、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) が用いられている。シリコン (Si) のバンドギャップに比して約3倍大きなバンドギャップを有する炭化珪素を半導体材料として用いる炭化珪素半導体装置の1つであるn型MOSFETは、インバータ回路のスイッチング素子として用いることで電力変換回路の電力損失を低減することができる。

[0003] しかしながら、炭化珪素を用いたn型MOSFETを、例えば、数10kHz超の周波数で駆動する電力変換回路に用いる場合には、そのスイッチング損失が全電力損失において、大きな割合を占めるため、スイッチング損失をさらに低減することが重要である。

[0004] n型MOSFETは、典型的には、n型ドリフト層と、その上に設けられたp型ウェルとを有しており、MOSFETがオン状態からオフ状態へとスイッチングされると、MOSFETのドレイン電圧、すなわちドレイン電極の電圧が急激に上昇して、略0Vから数百Vへ変化する。そうすると、p型ウェルとn型ドリフト層との間に存在する寄生容量を介して変位電流が発生する。ドレイン電極側に発生した変位電流はドレイン電極へと流れ、ソース電極側に発生した変位電流はp型ウェルを経由してソース電極へ、またはゲ

ート絶縁膜容量を介してゲート電極へと流れる。また、MOSFETがオフ状態からオン状態へとスイッチングされると、オン状態からオフ状態へとスイッチングされる場合とは逆方向の変位電流がp型ウェルを経由して流れる。

[0005] スイッチング損失をより一層低減するために、スイッチング素子をより高速で駆動することが求められている。換言すれば、損失を低減するために、時間 t に対するドレイン電圧 V の変動である dV/dt およびドレイン電流 I の時間変動である dI/dt をより一層大きくすることが求められている。その結果、スイッチング動作時に、寄生容量および寄生インダクタンスに起因した、ゲート-ソース間の電圧発振が生じやすくなり、電磁ノイズが増大する。

[0006] スイッチング動作時の電磁ノイズ増大は、外部機器の誤動作および故障を誘発する可能性があるため、これを抑制することが求められる。

先行技術文献

特許文献

[0007] 特許文献1：特開2019-71384号公報

発明の概要

発明が解決しようとする課題

[0008] 特許文献1に開示の技術によれば、スーパージャンクション(SJ)構造のMOSFETにおいて、第1の方向に延在する第1のpピラー領域と、第1のpピラー領域と第1の面との間に設けられた第1のウェル領域と、第1のウェル領域に対して第1の方向に離間して設けられた第2のウェルとを備え、第1のウェル領域および第2のウェル領域の表面側にMOSFETが構成される。第1のウェル領域と第2のウェル領域の間の第1のpピラー領域上には、ゲート絶縁膜とゲート電極が設けられ、トランジスタとして機能しない領域が構成される。これにより、スイッチング動作時のゲート-ソース間の電圧発振を抑制している。

[0009] しかしながら、スイッチング動作時に第1のpピラー領域内に生じる変位電流の一部は、第1のpピラー領域上に形成された、第1のウェル領域と第2のウェル領域を経由し、さらに、第1のウェル領域および第2のウェル領域上に形成されたコンタクト領域を経由して、ソース電極へと流れるため、第1のウェル領域と第2のウェル領域に電圧変動が生じる。これにより、第1のウェル領域および第2のウェル領域とゲート電極との間の変位電流、および基板効果に起因して、スイッチング動作が阻害され、スイッチング損失が増大する問題があった。

[0010] 本開示は、上記のような問題を解決するためになされたものであり、スイッチング動作時のゲート-ソース間の電圧発振を抑制しつつ、スイッチング損失の増大を抑制した炭化珪素半導体装置を提供することを目的とする。

課題を解決するための手段

[0011] 本開示に係る炭化珪素半導体装置は、炭化珪素基板の厚み方向に主電流が流れる炭化珪素半導体装置であって、前記炭化珪素基板の第1の主面上に設けられた、第1導電型の半導体層と、前記半導体層の上層部に設けられ、第1の方向に延在するストライプ状の第2導電型の第1ウェル領域と、前記第1ウェル領域の上層部に設けられた第1導電型の第1不純物領域と、前記第1ウェル領域の上層部に設けられ、側面において前記第1不純物領域に接合する第2導電型の少なくとも1つの第1ウェルコンタクト領域と、前記第1不純物領域および前記少なくとも1つの第1ウェルコンタクト領域に電氣的に接続され、前記半導体層の上方に設けられた第1主電極に電氣的に接続される第1コンタクトと、前記第1ウェル領域とは、前記第1の方向とは直交する第2の方向に離間して設けられ、前記第1の方向に延在し、内部には第1導電型の不純物領域を有さないストライプ状の第2導電型の第2ウェル領域と、前記第2ウェル領域の上層部に設けられた、第2導電型の少なくとも1つの第2ウェルコンタクト領域と、前記少なくとも1つの第2ウェルコンタクト領域に電氣的に接続され、前記半導体層の上方に設けられた前記第1主電極に電氣的に接続される第2コンタクトと、前記炭化珪素基板の前記第

1の主面とは反対側の第2の主面上に設けられた第2主電極と、を備え、前記第1ウェル領域と前記第2ウェル領域とが隣り合う領域では、前記第1不純物領域の端縁部上、前記第1ウェル領域上、前記半導体層上、前記第2ウェル領域の端縁部上に設けられたゲート絶縁膜を介してゲート電極が設けられる。

発明の効果

[0012] 本開示に係る炭化珪素半導体装置によれば、スイッチング動作時において、第1ウェル領域の電位変動を抑制することができるため、ゲートソース間の電圧発振を抑制しつつ、スイッチング損失の増大を抑制できる。

図面の簡単な説明

[0013] [図1]実施の形態1の炭化珪素半導体装置の構成を模式的に示す平面図である。

[図2]実施の形態1の炭化珪素半導体装置の構成を模式的に示す断面図である。

[図3]実施の形態1の炭化珪素半導体装置の構成を模式的に示す断面図である。

[図4]実施の形態1の炭化珪素半導体装置の効果を説明する模式図である。

[図5]実施の形態1の炭化珪素半導体装置の効果を説明する模式図である。

[図6]実施の形態1の炭化珪素半導体装置の効果を説明する模式図である。

[図7]実施の形態1の炭化珪素半導体装置の効果を説明する模式図である。

[図8]実施の形態1の炭化珪素半導体装置の効果を説明する模式図である。

[図9]実施の形態1の炭化珪素半導体装置の効果を説明する図である。

[図10]実施の形態1の炭化珪素半導体装置の効果を説明する図である。

[図11]実施の形態1の炭化珪素半導体装置の変形例1の構成を模式的に示す平面図である。

[図12]実施の形態1の炭化珪素半導体装置の変形例1の構成を模式的に示す断面図である。

[図13]実施の形態1の炭化珪素半導体装置の変形例1の構成を模式的に示す

断面図である。

[図14]実施の形態1の炭化珪素半導体装置の変形例2の構成を模式的に示す断面図である。

[図15]実施の形態2の炭化珪素半導体装置の構成を模式的に示す平面図である。

[図16]実施の形態2の炭化珪素半導体装置の構成を模式的に示す断面図である。

[図17]実施の形態3の炭化珪素半導体装置の構成を模式的に示す断面図である。

[図18]実施の形態4の炭化珪素半導体装置の構成を模式的に示す平面図である。

[図19]実施の形態5の炭化珪素半導体装置の構成を模式的に示す平面図である。

[図20]実施の形態5の炭化珪素半導体装置における変位電流の経路を模式的に示した図である。

[図21]実施の形態6の炭化珪素半導体装置の構成を模式的に示す断面図である。

[図22]実施の形態7の炭化珪素半導体装置の構成を模式的に示す断面図である。

[図23]実施の形態7の炭化珪素半導体装置の変形例の構成を模式的に示す断面図である。

[図24]実施の形態8の炭化珪素半導体装置の構成を模式的に示す断面図である。

[図25]実施の形態9の炭化珪素半導体装置の構成を模式的に示す断面図である。

[図26]実施の形態10の炭化珪素半導体装置の構成を模式的に示す断面図である。

発明を実施するための形態

[0014] <はじめに>

図面は模式的に示されるものであり、異なる図面にそれぞれ示されている画像のサイズおよび位置の相互関係は、必ずしも正確に記載されるものではなく、適宜変更され得る。また、以下の説明では、同様の構成要素には同じ符号を付して図示し、それらの名称および機能も同様のものとする。よって、それらについての詳細な説明を省略する場合がある。また、本明細書において、「～上」および「～を覆う」という場合、構成要素間に介在物が存在することが妨げられるものではない。例えば、「A上に設けられたB」または「AがBを覆う」と記載している場合、AとBとの間に他の構成要素Cが設けられたものも設けられていないものも意味され得る。また、以下の説明では、「上」、「下」、「側」、「底」、「表」または「裏」などの特定の位置および方向を意味する用語が用いられる場合があるが、これらの用語は、実施の形態の内容を理解することを容易にするため便宜上用いられているものであり、実際に実施される際の方向とは関係しない。

[0015] また、「MOS」という用語は、古くは金属-酸化物-半導体の接合構造に用いられているが、特にMOS構造を有するMOS電界効果トランジスタ（MOSFET）においては、近年の集積化および製造プロセスの改善などの観点からゲート絶縁膜およびゲート電極の材料が改善されている。

[0016] 例えばMOSFETにおいては、主としてソース、ドレインを自己整合的に形成する観点から、ゲート電極の材料として金属の代わりに多結晶珪素が採用されてきている。また電気的特性を改善する観点から、ゲート絶縁膜の材料として高誘電率の材料が採用されるが、当該材料は必ずしも酸化物には限定されない。

[0017] 従って「MOS」という用語は必ずしも金属-酸化物-半導体の積層構造のみに限定されて採用されているわけではなく、本明細書でもそのような限定を前提としない。すなわち、技術常識に鑑みて、ここでは「MOS」とはその語源に起因した略語としてのみならず、広く導電体-絶縁体-半導体の積層構造をも含む意義を有する。

[0018] また、以下の記載では、不純物の導電型に関して、 n 型を「第1導電型」、 n 型とは反対導電型の p 型を「第2導電型」として定義するが、その逆に「第1導電型」を p 型、「第2導電型」を n 型と定義することもできる。

[0019] 以下、図面に基づいて実施の形態について説明する。なお、以下の図面において同一または相当する部分には同一の参照符号を付しその説明は繰返さない。

[0020] また、以下に説明する実施の形態1～12においては、炭化珪素半導体装置の一例として、主電流が基板の厚み方向に流れる縦型の n 型MOSFETを用いて説明する。

[0021] <実施の形態1>

本開示においては、炭化珪素半導体装置の一例として、基板の厚み方向に主電流が流れる縦型の n 型炭化珪素MOSFETを主として説明する。

[0022] 図1は、本開示に係る実施の形態1の n 型炭化珪素MOSFET100の構成を模式的に示す平面図である。図1に示されるように、 n 型炭化珪素MOSFET100においては、第1の方向である y 方向に延在するストライプ状の p 型（第2導電型）のウェル領域3（第1ウェル領域）とストライプ状の p 型のウェル領域13（第2ウェル領域）が、第2の方向である x 方向に交互に形成されている。ウェル領域3およびウェル領域13は、配列方向である x 方向で互いに離間して形成されている。

[0023] ウェル領域3内には n 型（第1導電型）の不純物を比較的高濃度を含むソース領域4が形成されており、ソース領域4内にはさらに p 型不純物を比較的高濃度を含むウェルコンタクト領域5（第1ウェルコンタクト領域）が形成されている。また、ウェル領域13内には、 p 型不純物を比較的高濃度を含むウェルコンタクト領域15（第2ウェルコンタクト領域）が形成されている。

[0024] ソース領域4およびウェルコンタクト領域5上にはソースコンタクト6（第1ソースコンタクト）が設けられており、ソース領域4およびウェルコンタクト領域5は、ソースコンタクト6を介して図示されないソース電極と電

氣的に接続されている。ウェルコンタクト領域 15 上にはソースコンタクト 16（第 2 ソースコンタクト）が設けられており、ウェルコンタクト領域 15 は、ソースコンタクト 16 を介して図示されないソース電極と電氣的に接続されている。

[0025] 図 2 は、図 1 における A-A 線での矢示方向断面図であり、ユニットセルの構成を模式的に示している。図 2 に示されるように、n 型炭化珪素 MOSFET 100 は、n 型不純物を比較的高濃度に含む炭化珪素基板 1 上に設けられている。

[0026] 炭化珪素基板 1 の第 1 の主面上には、n 型不純物を比較的低濃度に含む半導体層であるドリフト層 2 が設けられている。ドリフト層 2 は、例えばエピタキシャル成長により形成されたエピタキシャル成長層である。

[0027] ドリフト層 2 の上層部には、p 型のウェル領域 3 が設けられており、ウェル領域 3 の上層部には、p 型のウェルコンタクト領域 5 が選択的に設けられている。そして、ウェルコンタクト領域 5 の 2 つの側面に接するように n 型のソース領域 4 が設けられている。

[0028] なお、ウェル領域 3 のドリフト層 2 の最表面からの深さは、ソース領域 4 のドリフト層 2 の最表面からの深さよりも深く形成されている。また、ウェルコンタクト領域 5 のドリフト層 2 の最表面からの深さは、ソース領域 4 のドリフト層 2 の最表面からの深さと同等か、それよりも深く形成されているが、ウェル領域 3 の深さを超えないように形成されている。

[0029] また、ドリフト層 2 の上層部には、ウェル領域 3 とは離間して、ウェル領域 13 が設けられており、ウェル領域 13 の上層部には、ウェルコンタクト領域 15 が選択的に設けられている。また、ウェルコンタクト領域 15 のドリフト層 2 の最表面からの深さは、ウェル領域 13 の深さを超えないように形成されている。

[0030] ウェル領域 3 およびウェル領域 13 は、素子外縁部に至るまで、分離して形成されることが好適であるが、素子外縁部のみで互いに接続されていても大きく効果は損なわない。

- [0031] ドリフト層 2 の上には、ゲート絶縁膜 7 が形成され、ゲート絶縁膜 7 上にはゲート電極 103 が設けられている。ゲート電極 103 は、ドリフト層 2、ウェル領域 3、ウェル領域 13 およびソース領域 4 の端縁部の上方に設けられる。
- [0032] そして、ゲート電極 103 上を含むドリフト層 2 上には層間絶縁膜 17 が設けられているが、層間絶縁膜 17 を貫通するようにソースコンタクト 6 およびソースコンタクト 16 が設けられている。ソースコンタクト 6 およびソースコンタクト 16 の底部には、例えば、ニッケルシリサイドで構成されるシリサイド膜 SD が設けられ、ソースコンタクト 6 の底部において、ウェルコンタクト領域 5 の全部とソース領域 4 の一部はシリサイド膜 SD で覆われ、ソースコンタクト 6 の底部において、ウェルコンタクト領域 15 の全部とウェル領域 13 の一部はシリサイド膜 SD で覆われている。
- [0033] ウェルコンタクト領域 5 およびソース領域 4 はシリサイド膜 SD およびソースコンタクト 6 を介して、ソース電極 101 に電氣的に接続されている。ウェルコンタクト領域 15 はシリサイド膜 SD およびソースコンタクト 16 を介して、ソース電極 101 に電氣的に接続されている。すなわち、ウェル領域 3 とウェル領域 13 はソース電極 101 を介して電氣的に接続されている。
- [0034] また、炭化珪素基板 1 の第 1 の主面とは反対側の第 2 の主面上には、ドレイン電極 102 が設けられている。
- [0035] シリサイド膜 SD はニッケルシリサイドに限定されず、アルミシリサイド、チタンシリサイドを用いることもできる。ソースコンタクト 6 およびソースコンタクト 16 は、ソース電極 101 形成時に、コンタクトホール内にソース電極 101 の材料となる金属、例えば、ニッケル、アルミニウム、チタンを埋め込むことで形成することができる。
- [0036] ドリフト層 2 の n 型不純物の不純物濃度は、 $1.0 \times 10^{14} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下であることが好適である。ウェル領域 3 の p 型不純物の不純物濃度は、 $1.0 \times 10^{16} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{20} \text{ cm}^{-3}$ 以下で

あることが好適である。ウェル領域13のp型不純物の不純物濃度は、 $1.0 \times 10^{16} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{20} \text{ cm}^{-3}$ 以下であることが好適である。ソース領域4のn型不純物の不純物濃度は、 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下であることが好適である。ウェルコンタクト領域5のp型不純物の不純物濃度は、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{22} \text{ cm}^{-3}$ 以下であることが好適である。ウェルコンタクト領域15のp型不純物の不純物濃度は、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{22} \text{ cm}^{-3}$ 以下であることが好適である。

[0037] 図3は、図1におけるB-B線での矢示方向断面図であり、ユニットセルの構成を模式的に示している。図3において、炭化珪素基板1、ドリフト層2、ウェル領域3、ソース領域4、ウェルコンタクト領域5、ソースコンタクト6、ウェル領域13およびウェルコンタクト領域15の構成は、図2と同じである。

[0038] 図3に示されるように、B-B線での断面においては、ウェル領域13に隣り合う左右のウェル領域3の端縁部間を跨ぐようにドリフト層2上にゲート絶縁膜7が形成され、ゲート絶縁膜7上にはゲート電極103が設けられている。ゲート電極103は、ドリフト層2、ウェル領域3、ウェル領域13、ウェルコンタクト領域15およびソース領域4の端縁部上方に設けられている。図2において、ウェルコンタクト領域15の一部に接触するように設けられた、ソースコンタクト16は、B-B線での断面においては形成されていない。

[0039] なお、ドリフト層2上にn型またはp型のエピタキシャル層を、10～500nmの厚みでエピタキシャル成長させ、その内部にチャネルが形成されるエピタキシャルチャネル層を設けることができるが、必須の構成ではなく、本開示では、説明および図示を省略する。

[0040] 図4は、実施の形態1のn型炭化珪素MOSFET100による効果を説明する模式図である。ここで、 C_{gs} はゲート電極103とソース電極101との間の容量（以下、ゲート-ソース間容量）、 C_{gd} はゲート電極103

とドレイン電極 102 との間の容量（以下、ゲート-ドレイン間容量）、 C_{ds} はドレイン電極 102 とソース電極 101 との間の容量（以下、ドレイン-ソース間容量）、 C_{gp} はゲート電極 103 とウェル領域 13 との間の容量（以下、ゲート-ウェル間容量）、 C_{dp} はドレイン電極 102 とウェル領域 13 との間の容量（以下、ドレイン-ウェル間容量）である。また、 R_p はウェル領域 13 の抵抗成分、 ρ_a はウェルコンタクト領域 5 に対するコンタクト抵抗、 ρ_d はウェルコンタクト領域 15 に対するコンタクト抵抗を表す。また、図 4 に示すように、ウェル領域 13 を含む領域をダミー領域、それ以外の領域をトランジスタ領域と呼称する。

[0041] 図 5 は、トランジスタ領域の等価回路図である。便宜的にコンタクト抵抗 ρ_a は省略している。

[0042] 図 6 は、トランジスタ領域とダミー領域を合わせた等価回路図である。便宜的に、コンタクト抵抗 ρ_a 、 ρ_b は省略している。

[0043] 図 7 は、図 6 において、低速で MOSFET 100 をスイッチングする場合の等価回路図である。図 6 から、ゲート-ウェル間容量 C_{gp} が除かれている。スイッチングする際に、ドレイン-ウェル間容量 C_{dp} の充放電により、ウェル領域 13 に変位電流が生じるが、低速でスイッチングする場合、図 6 におけるゲート-ウェル間容量 C_{gp} のインピーダンスが十分大きいいため、変位電流は主としてウェル領域 13 の抵抗成分 R_p を介してソース電極 101 へと流れる。

[0044] 図 8 は、図 6 において、高速で MOSFET 100 をスイッチングする場合の等価回路図である。図 6 から、ウェル領域 13 の抵抗成分 R_p が除かれている。スイッチングする際に、ドレイン-ウェル間容量の充放電により、ウェル領域 13 に変位電流が生じるが、高速でスイッチングする場合、図 6 におけるゲート-ウェル間容量 C_{gp} のインピーダンスが R_p に比べて十分小さいため、変位電流は主として C_{gp} を介してゲート電極 103 へと流れる。すなわち、高速スイッチングにおいては、低速スイッチングの場合に比べて、実効的にドレイン電極 102 とゲート電極 103 の容量結合が大きくなる

。

[0045] 図9は、ダミー領域を有さない通常のMOSFETにおけるゲート-ドレイン間容量 C_{gd} のドレイン電圧依存性のシミュレーション結果を示す図である。図9において横軸にドレイン電圧 V_{ds} (V)を示し、縦軸にゲート-ドレイン間容量 C_{gd} (nF/cm^2)を示している。

[0046] 図9において、スイッチング周波数が10MHz、100MHzおよび1GHzの場合の特性を、それぞれ実線、1点鎖線および破線で示している。図9より、ゲート-ドレイン間容量 C_{gd} は0.1 nF/cm^2 の近傍の値となっていることが判る。

[0047] 図10は、ダミー領域を有するn型炭化珪素MOSFET100におけるゲート-ドレイン間容量 C_{gd} のドレイン電圧依存性のシミュレーション結果を示す図である。図10において横軸にドレイン電圧 V_{ds} (V)を示し、縦軸にゲート-ドレイン間容量 C_{gd} (nF/cm^2)を示している。図10において、スイッチング周波数が10MHz、100MHzおよび1GHzの場合の特性を、それぞれ実線、1点鎖線および破線で示している。本シミュレーションにおいては、ウェル領域3とウェル領域13の設計、ウェルコンタクト領域5とウェルコンタクト領域15の設計により、コンタクト抵抗 ρ_a および ρ_b の値がそれぞれ同一となるよう設定されている。

[0048] 図9および図10を比較すると、高周波数、すなわち1GHzでは図9も図10も同程度のゲート-ドレイン間容量 C_{gd} を有するが、一方、低周波数、すなわち10MHz、100MHzでは図10の方が C_{gd} が小さいことが判る。

[0049] 高周波数でのゲート-ドレイン間容量 C_{gd} が大きいと、高周波数成分の電圧変動が抑制され、ゲート-ソース間の電圧発振を抑制して電磁ノイズを低減することができ、低周波数でのゲート-ドレイン間容量 C_{gd} が大きいと、スイッチング損失が増大する。すなわち、図9および図10の比較から、本実施の形態1のn型炭化珪素MOSFET100を用いることで、電磁ノイズを同等に保ちつつ、スイッチング損失を低減できることが判る。言い換えれ

ば、スイッチング損失の増大を抑制し、ゲート-ソース間の電圧変動を抑制して電磁ノイズを低減することができる。

[0050] <変形例 1>

図 1 1 は、実施の形態 1 の変形例 1 の n 型炭化珪素 MOSFET 1 0 1 の構成を模式的に示す平面図である。また、図 1 2 は、図 1 1 における A-A 線での矢示方向断面図であり、ユニットセルの構成を模式的に示している。また、図 1 3 は、図 1 1 における B-B 線での矢示方向断面図であり、ユニットセルの構成を模式的に示している。

[0051] 図 2 に示したように n 型炭化珪素 MOSFET 1 0 0 では、ウェルコンタクト領域 5 とソース領域 4 は同一断面においてソースコンタクト 6 に接しているが、図 1 1、図 1 2 および図 1 3 に示す n 型炭化珪素 MOSFET 1 0 1 においては、ウェルコンタクト領域 5 をソース領域 4 内でウェル領域 3 の延在方向（y 方向）に不連続に形成することで、ウェルコンタクト領域 5 とソース領域 4 とがウェル領域 3 の延在方向に互い違いに存在する構成とし、それぞれがソースコンタクト 6 に接する構成となっている。このような構成を採った場合でも、スイッチング損失の増大を抑制し、電磁ノイズを低減することができる。

[0052] <変形例 2>

図 1 4 は、実施の形態 1 の変形例 2 の n 型炭化珪素 MOSFET 1 0 2 の構成を模式的に示す断面図であり、図 1 に示した A-A 線での矢示方向断面図に相当する断面図である。図 1 および図 2 に示した n 型炭化珪素 MOSFET 1 0 0 では、ウェル領域 1 3 には、ウェルコンタクト領域 1 5 のみを設けた構成であったが、図 1 4 に示す n 型炭化珪素 MOSFET 1 0 2 においては、ウェル領域 1 3 にソース領域 4 より平面視での面積が小さな n 型の不純物領域 1 4（第 2 不純物領域）を設けた構成となっている。この構成を採ることで、オン抵抗を低減する効果が得られる。一方、不純物領域 1 4 を設けることによって、ウェル領域 1 3 に MOSFET が形成されたとしても、ウェル領域 3 の MOSFET が存在する領域と、ウェル領域 1 3 に部分的に

形成されたMOSFETが存在する領域との合計に対して、ウェル領域13のn型領域が形成されていない部分のゲートドレイン間容量 C_{gd} およびゲートーウェル間容量 C_{gp} があれば、ウェル領域13にn型領域が形成されていない構成と同様に電磁ノイズを低減する効果が得られる。

[0053] なお、不純物領域14のn型不純物の不純物濃度は、ソース領域4と同様に $1.0 \times 10^{17} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下であることが好適である。

[0054] <実施の形態2>

図15は、本開示に係る実施の形態2のn型炭化珪素MOSFET200の構成を模式的に示す平面図である。また、図16は、図15におけるB-B線での矢示方向断面図であり、ユニットセルの構成を模式的に示している。なお、図15におけるA-A線での矢示方向断面図は図2と同じである。

[0055] 図15に示されるように、n型炭化珪素MOSFET200においては、ウェルコンタクト領域15をウェル領域13の延在方向の全体に渡る長さに形成するのではなく、ウェルコンタクト領域15を部分的に形成し、ウェルコンタクト領域15が形成された部分にのみソースコンタクト16が形成されている。このため、図16に示されるように、ゲート電極103の下方にウェルコンタクト領域15が形成されない領域を増やすことができる。そのため、ウェル領域13の抵抗成分 R_p を増大させることができ、高周波数領域でのドレイン電極102とゲート電極103との容量結合をより増大させることができ、電磁ノイズを低減する効果を高めることができる。

[0056] <実施の形態3>

図17は、本開示に係る実施の形態3のn型炭化珪素MOSFET300の構成を模式的に示す断面図であり、図1に示したA-A線での矢示方向断面図に相当する断面図である。

[0057] 図17に示すn型炭化珪素MOSFET300においては、ダミー領域を構成するウェル領域131の不純物濃度が、トランジスタ領域を構成するウェル領域3の不純物濃度よりも小さく形成されている。

[0058] そのため、ウェル領域 13 の抵抗成分 R_p を増大させることができ、高周波数領域でのドレイン電極 102 とゲート電極 103 との容量結合をより増大させることができ、電磁ノイズを低減する効果を高めることができる。

[0059] ウェル領域 131 の不純物濃度は、ウェル領域 3 の不純物濃度よりも少しでも小さくすればよく、数%~10%程度小さくするだけでも効果が得られる。

[0060] ウェル領域 131 の抵抗成分 R_p を増大させることで、ウェル領域 131 でゲート電極 103 に対向している箇所において、ソースコンタクト 16 の抵抗を大きくすることができ、高周波数領域でドレイン電極 102 とゲート電極 103 との容量結合をより増大させることができ、電磁ノイズを低減する効果を高めることができる。

[0061] <実施の形態 4>

図 18 は、本開示に係る実施の形態 4 の n 型炭化珪素 MOSFET 400 の構成を模式的に示す平面図である。

[0062] 図 18 に示す n 型炭化珪素 MOSFET 400 においては、ウェル領域 13 の幅、すなわち、ウェル領域 3 およびウェル領域 13 の配列方向 (x 方向) のウェル領域 13 の長さが、ウェル領域 3 の幅よりも小さく形成されている。

[0063] ウェル領域 13 の幅は、ウェル領域 3 の幅よりも少しでも小さくすればよく、数%~10%程度小さくするだけでも効果が得られる。

[0064] ウェル領域 13 の幅を小さくすることで、ウェル領域 13 の抵抗成分 R_p を増大させることができ、高周波数領域でのドレイン電極 102 とゲート電極 103 との容量結合をより増大させることができ、電磁ノイズを低減する効果を高めることができる。

[0065] <実施の形態 5>

図 19 は、本開示に係る実施の形態 5 の n 型炭化珪素 MOSFET 500 の構成を模式的に示す平面図である。

[0066] 図 19 に示す n 型炭化珪素 MOSFET 500 においては、ウェルコンタ

クト領域5をソース領域4内でウェル領域3の延在方向（y方向）に不連続に形成することで、ウェルコンタクト領域5とソース領域4とがウェル領域3の延在方向に互い違いに存在する構成となっている。また、ウェルコンタクト領域15をウェル領域13の延在方向（y方向）に不連続に形成し、かつ、ウェルコンタクト領域15の領域間隔L1を、ウェルコンタクト領域5の領域間隔L2よりも長く設定している。

[0067] このような構成を採ることで、変位電流がウェル領域13からウェルコンタクト領域15を介してソース電極101に流入する経路長が、ウェル領域3からウェルコンタクト領域5を介してソース電極101に流入する経路長よりも長く形成される。

[0068] 図20は、変位電流の経路を模式的に示した図であり、ウェル領域13からウェルコンタクト領域15を介してソース電極101に流入する変位電流の経路CP1およびウェル領域3からウェルコンタクト領域5を介してソース電極101に流入する変位電流の経路CP2を示している。

[0069] ウェルコンタクト領域15の領域間隔L1を、ウェルコンタクト領域5の領域間隔L2よりも長くすることで、経路CP1が経路CP2よりも長くなり、ウェル領域13の抵抗成分Rpを増大させることができ、高周波数領域でのドレイン電極102とゲート電極103との容量結合をより増大させることができ、電磁ノイズを低減する効果を高めることができる。

[0070] <実施の形態6>

図21は、本開示に係る実施の形態6のn型炭化珪素MOSFET600の構成を模式的に示す断面図であり、図1に示したB-B線での矢示方向断面図に相当する断面図である。なお、図21では、ウェルコンタクト領域15を便宜的に省略しているが、ウェルコンタクト領域15の有無は本実施の形態の効果に影響を及ぼさない。

[0071] 図21に示すn型炭化珪素MOSFET600においては、ウェル領域132の断面形状がドレイン電極102側に部分的に突出した凸形状を有している。

[0072] このような構成を採ることで、ウェル領域13とドリフト層2とのpn接合界面の面積を大きくすることができるので、ドレイン-ウェル間容量 C_{dp} を大きくすることができ、高周波数領域でのドレイン電極102とゲート電極103との容量結合をより増大させることができ、電磁ノイズを低減する効果を高めることができる。

[0073] <実施の形態7>

図22は、本開示に係る実施の形態7のn型炭化珪素MOSFET700の構成を模式的に示す断面図であり、図1に示したB-B線での矢示方向断面図に相当する断面図である。なお、図22では、ウェルコンタクト領域15を便宜的に省略しているが、ウェルコンタクト領域15の有無は本実施の形態の効果に影響を及ぼさない。

[0074] 図22に示すn型炭化珪素MOSFET700においては、ウェル領域13の直下にn型不純物を比較的高濃度に有する不純物領域12（第3不純物領域）が設けられている。不純物領域12の不純物濃度は、ウェル領域13のp型不純物の不純物濃度よりも低くすることが好適である。これは、不純物領域12とウェル領域13とで形成されるpn接合による空乏層を、より不純物領域12側に延伸させるためである。

[0075] また、不純物領域12の不純物濃度は、ドリフト層2のn型不純物の不純物濃度よりも高くする。これにより、ドレイン-ウェル間容量 C_{dp} を大きくすることができ、高周波数領域でのドレイン電極102とゲート電極103との容量結合をより増大させることができ、電磁ノイズを低減する効果を高めることができる。

[0076] <変形例>

図23は、実施の形態7の変形例のn型炭化珪素MOSFET701の構成を模式的に示す断面図である。図23に示すn型炭化珪素MOSFET701においては、不純物領域12がウェル領域13の直下だけでなく、ドリフト層2の上層部に設けられた各不純物領域間および各不純物領域の直下にも及ぶように設けられている。

[0077] この場合、不純物領域 12 の不純物濃度は、ウェル領域 3 の不純物濃度よりも低くすることが好適である。これは、不純物領域 12 とウェル領域 3 とで形成される p n 接合による空乏層を、より不純物領域 12 側に延伸させるためである。

[0078] これによりドレイン-ウェル間容量 C_{dp} を大きくすることができ、高周波数領域でのドレイン電極 102 とゲート電極 103 との容量結合をより増大させることができ、電磁ノイズを低減する効果を高めることができる。

[0079] <実施の形態 8>

図 24 は、本開示に係る実施の形態 8 の n 型炭化珪素 MOSFET 800 の構成を模式的に示す断面図であり、図 1 に示した B-B 線での矢示方向断面図に相当する断面図である。なお、図 24 では、ウェルコンタクト領域 15 を便宜的に省略しているが、ウェルコンタクト領域 15 の有無は本実施の形態の効果に影響を及ぼさない。

[0080] 図 24 に示す n 型炭化珪素 MOSFET 800 においては、ウェル領域 13 に隣り合う左右のウェル領域 3 の端縁部間を跨ぐようにドリフト層 2 上にゲート絶縁膜 7 が形成され、ゲート絶縁膜 7 上にはゲート電極 103 が設けられている。ゲート電極 103 は、ドリフト層 2、ウェル領域 3、ウェル領域 13、ウェルコンタクト領域 15 およびソース領域 4 の端縁部上方に設けられているが、ドリフト層 2 の上方に設けられたゲート電極 103 は、図 24 に示されるように、ウェル領域 3 の上方に延在する部分 1031（第 1 部分）と、ウェル領域 13 の上方に延在する部分 1032（第 2 部分）とを有し、部分 1031 と部分 1032 とは分離されている。

[0081] このような構成を採ることで、ゲート-ドレイン間容量 C_{gd} に対するゲート-ウェル間容量の割合を大きくすることができ、高周波数領域でのドレイン電極 102 とゲート電極 103 との容量結合をより増大させることができ、電磁ノイズを低減する効果を高めることができる。

[0082] <実施の形態 9>

図 25 は、本開示に係る実施の形態 9 の n 型炭化珪素 MOSFET 900

の構成を模式的に示す平面図である。

[0083] 図25に示すn型炭化珪素MOSFET900においては、トランジスタ領域を構成するウェル領域3とダミー領域を構成するウェル領域13の平面視での単位面積当たりの形成比率を、図1に示した1対1ではなく、2対1としている。すなわち、互いに隣り合うように形成された2本のウェル領域3と、互いに隣り合うように形成された2本のウェル領域3との間に1本のウェル領域13が形成された構成となっている。

[0084] このような構成を採ることで、トランジスタ領域を増やしてMOSFETとしての機能を高めることができると共に、ダミー領域を形成することで、スイッチング損失の増大を抑制し、電磁ノイズを低減する効果も得られる。

[0085] また、図25においては、ウェル領域3とウェル領域13との単位面積当たりの形成比率を2対1としたが、形成比率は任意に設定することができ、トランジスタ領域とダミー領域の単位面積当たりの形成比率を任意に設計することができる。このため、スイッチング損失低減の効果と電磁ノイズ低減の効果を任意に設定することができる。また、ダミー領域の割合を増やせば、電磁ノイズを低減する効果をさらに高めることができる。

[0086] なお、ウェル領域3とウェル領域13との単位面積当たりの形成比率を任意に設定することは、実施の形態2～8の、n型炭化珪素MOSFET200～800の何れに適用することもできる。

[0087] <実施の形態10>

図26は、本開示に係る実施の形態10のn型炭化珪素MOSFET1000の構成を模式的に示す平面図である。

[0088] 図26に示すn型炭化珪素MOSFET1000においては、ソース領域4がウェル領域3の延在方向（y方向）に不連続に形成されている。

[0089] このような構成を採ることで、MOSFETのオン特性と、電圧耐量のトレードオフ関係を任意に設定できる。すなわち、ソース領域4を形成しない部分を設けることで、電圧耐量を向上させることができ、ソース領域4を形成する部分を設けることでMOSFETのオン特性を高めることができるの

で、ソース領域4を形成しない部分とソース領域4を形成する部分との比率を調整することで、MOSFETのオン特性と、電圧耐量のトレードオフ関係を任意に設定できる。

[0090] <コンタクト抵抗による特性の改善>

実施の形態1～10においては、ウェルコンタクト領域5およびウェルコンタクト領域15のp型不純物の不純物濃度は同じとしたが、この場合、コンタクト抵抗率(Ωcm^2)も同じとなるので、例えば図1に示したように、ソースコンタクト16の開口面積をソースコンタクト6の開口面積よりも小さくすることで、ウェルコンタクト領域15のコンタクト抵抗が、ウェルコンタクト領域5のコンタクト抵抗よりも大きくすることができる。

[0091] このため、ウェルコンタクト領域15に対するコンタクト抵抗 ρ_d (図4)を増大させることができ、高周波数領域でのドレイン電極102とゲート電極103との容量結合をより増大させることができ、電磁ノイズを低減する効果を高めることができる。

[0092] なお、ウェル領域13に生じた変位電流が、ソース電極101に流れるか、ゲート電極103に流れるかは、先に説明したように抵抗成分と容量成分のインピーダンスの相対的な大小関係で決まる。すなわち、コンタクト抵抗 ρ_d を増大させることは、実施の形態1においてウェル領域13の抵抗成分 R_p を増大させることと同様の効果を持つ。

[0093] <コンタクト抵抗率による特性の改善>

実施の形態1～10においては、ウェルコンタクト領域5およびウェルコンタクト領域15のp型不純物の不純物濃度は同じとし、コンタクト抵抗率(Ωcm^2)も同じとしたが、ウェルコンタクト領域15に対するソースコンタクト16のコンタクト抵抗率を、ウェルコンタクト領域5に対するソースコンタクト6のコンタクト抵抗率よりも大きく形成することもできる。

[0094] 例えば、ウェルコンタクト領域15のp型不純物の最表面の不純物濃度を、ウェルコンタクト領域5のp型不純物の最表面の不純物濃度よりも小さくすることで実現可能である。このためには、例えば、同じ注入エネルギーで

ウェルコンタクト領域 15 へのドーズ量を少なくする方法が挙げられる。

[0095] または、ソースコンタクト 16 の開口時のオーバーエッチ量を、ソースコンタクト 6 の開口時のオーバーエッチ量と異なる量とし、ウェルコンタクト領域 15 とウェルコンタクト領域 5 の最表面の高さ位置を変えることで、ウェルコンタクト領域 15 の最表面の不純物濃度を、ウェルコンタクト領域 5 の最表面の不純物濃度よりも小さくすることで実現可能である。すなわち、ウェルコンタクト領域 15 およびウェルコンタクト領域 5 への不純物導入に際しては、同じ注入エネルギーで、同じドーズ量とする。不純物領域の表面近傍では不純物濃度が低い可能性がある。そこで、ソースコンタクト 16 の開口時のオーバーエッチ量がソースコンタクト 6 の開口時のオーバーエッチ量よりも小さくすることで、ウェルコンタクト領域 15 の最表面の不純物濃度をウェルコンタクト領域 5 の最表面の不純物濃度よりも小さくすることができる。

[0096] これにより、ウェルコンタクト領域 15 のコンタクト抵抗 ρd を増大させることができ、高周波数領域でのドレイン電極 102 とゲート電極 103 との容量結合をより増大させることができ、電磁ノイズを低減する効果を高めることができる。

[0097] ここで、炭化珪素半導体で構成されるスイッチング素子は、電力損失が小さく、耐熱性も高い。そのため、冷却部を備えるパワーモジュールを構成する場合、ヒートシンクの放熱フィンを小型化することが可能であるため、半導体モジュールの一層の小型化が可能となる。

[0098] また、炭化珪素半導体で構成されるスイッチング素子は、高周波スイッチング動作に適している。そのため、高周波化の要求が大きいコンバータ回路に適用された場合、スイッチング周波数の高周波化によって、コンバータ回路に接続されるリアクトルまたはコンデンサなどを小型化することもできる。

[0099] 本開示は詳細に説明されたが、上記した説明は、すべての局面において、例示であって、本開示がそれに限定されるものではない。例示されていない

無数の変形例が、本開示の範囲から外れることなく想定され得るものと解される。

[0100] なお、本開示は、その開示の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

請求の範囲

- [請求項1] 炭化珪素基板の厚み方向に主電流が流れる炭化珪素半導体装置であって、
- 前記炭化珪素基板の第1の主面上に設けられた、第1導電型の半導体層と、
- 前記半導体層の上層部に設けられ、第1の方向に延在するストライプ状の第2導電型の第1ウェル領域と、
- 前記第1ウェル領域の上層部に設けられた第1導電型の第1不純物領域と、
- 前記第1ウェル領域の上層部に設けられ、側面において前記第1不純物領域に接合する第2導電型の少なくとも1つの第1ウェルコンタクト領域と、
- 前記第1不純物領域および前記少なくとも1つの第1ウェルコンタクト領域に電氣的に接続され、前記半導体層の上方に設けられた第1主電極に電氣的に接続される第1コンタクトと、
- 前記第1ウェル領域とは、前記第1の方向とは直交する第2の方向に離間して設けられ、前記第1の方向に延在し、内部には第1導電型の不純物領域を有さないストライプ状の第2導電型の第2ウェル領域と、
- 前記第2ウェル領域の上層部に設けられた、第2導電型の少なくとも1つの第2ウェルコンタクト領域と、
- 前記少なくとも1つの第2ウェルコンタクト領域に電氣的に接続され、前記半導体層の上方に設けられた前記第1主電極に電氣的に接続される第2コンタクトと、
- 前記炭化珪素基板の前記第1の主面とは反対側の第2の主面上に設けられた第2主電極と、を備え、
- 前記第1ウェル領域と前記第2ウェル領域とが隣り合う領域では、前記第1不純物領域の端縁部上、前記第1ウェル領域上、前記半導

体層上、前記第2ウェル領域の端縁部上に設けられたゲート絶縁膜を介してゲート電極が設けられる、炭化珪素半導体装置。

[請求項2] 炭化珪素基板の厚み方向に主電流が流れる炭化珪素半導体装置であって、

前記炭化珪素基板の第1の主面上に設けられた、第1導電型の半導体層と、

前記半導体層の上層部に設けられ、第1の方向に延在するストライプ状の第2導電型の第1ウェル領域と、

前記第1ウェル領域の上層部に設けられた第1導電型の第1不純物領域と、

前記第1ウェル領域の上層部に設けられ、側面において前記第1不純物領域に接合する第2導電型の少なくとも1つの第1ウェルコンタクト領域と、

前記第1不純物領域および前記少なくとも1つの第1ウェルコンタクト領域に電氣的に接続され、前記半導体層の上方に設けられた第1主電極に電氣的に接続される第1コンタクトと、

前記第1ウェル領域とは、前記第1の方向とは直交する第2の方向に離間して設けられ、前記第1の方向に延在するストライプ状の第2導電型の第2ウェル領域と、

前記第2ウェル領域の上層部に設けられた、第2導電型の少なくとも1つの第2ウェルコンタクト領域と、

前記第2ウェル領域の上層部に設けられ、前記少なくとも1つの第2ウェルコンタクト領域の側面に接合し、平面視での面積が前記第1不純物領域よりも小さい第1導電型の第2不純物領域と、

前記少なくとも1つの第2ウェルコンタクト領域に電氣的に接続され、前記半導体層の上方に設けられた前記第1主電極に電氣的に接続される第2コンタクトと、

前記炭化珪素基板の前記第1の主面とは反対側の第2の主面上に設

けられた第2主電極と、を備え、

前記第1ウェル領域と前記第2ウェル領域とが隣り合う領域では、
前記第1不純物領域の端縁部上、前記第1ウェル領域上、前記半導体層上、前記第2ウェル領域の端縁部上に設けられたゲート絶縁膜を介してゲート電極が設けられる、炭化珪素半導体装置。

[請求項3] 前記少なくとも1つの第2ウェルコンタクト領域は、
前記第2ウェル領域上において、前記第2コンタクトが設けられない部分には設けられない、請求項1または請求項2記載の炭化珪素半導体装置。

[請求項4] 前記第2ウェル領域は、
前記第1ウェル領域よりも不純物濃度が小さい、請求項1または請求項2記載の炭化珪素半導体装置。

[請求項5] 前記第2ウェル領域の前記第2の方向の長さは、前記第1ウェル領域の前記第2の方向の長さよりも小さい、請求項1または請求項2記載の炭化珪素半導体装置。

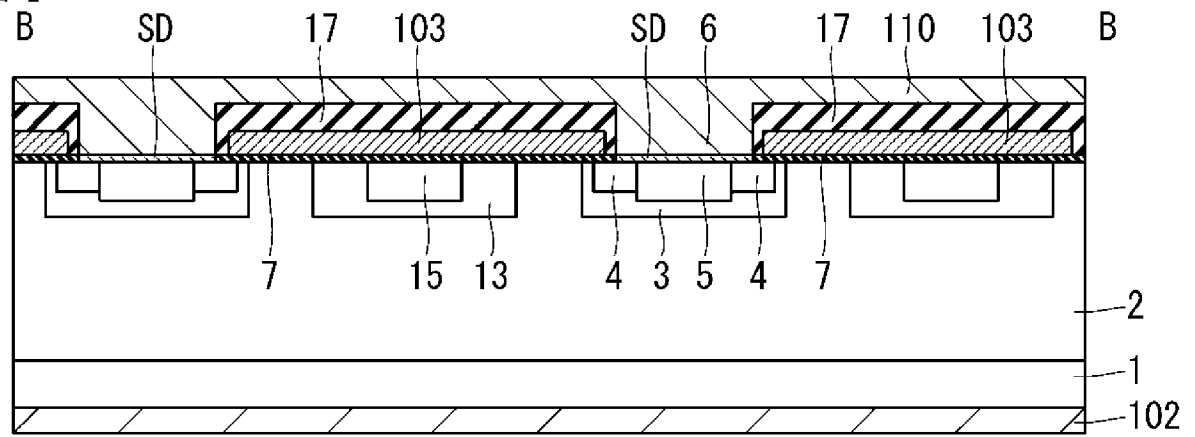
[請求項6] 前記少なくとも1つの第1ウェルコンタクト領域および前記少なくとも1つの第2ウェルコンタクト領域は、それぞれ前記第1の方向に離間して複数形成され、
隣接する第2ウェルコンタクト領域間隔は、隣接する第1ウェルコンタクト領域間隔よりも長い、請求項1または請求項2記載の炭化珪素半導体装置。

[請求項7] 前記第2ウェル領域は、
断面形状が前記第2主電極の側に部分的に突出した凸形状を有する、請求項1または請求項2記載の炭化珪素半導体装置。

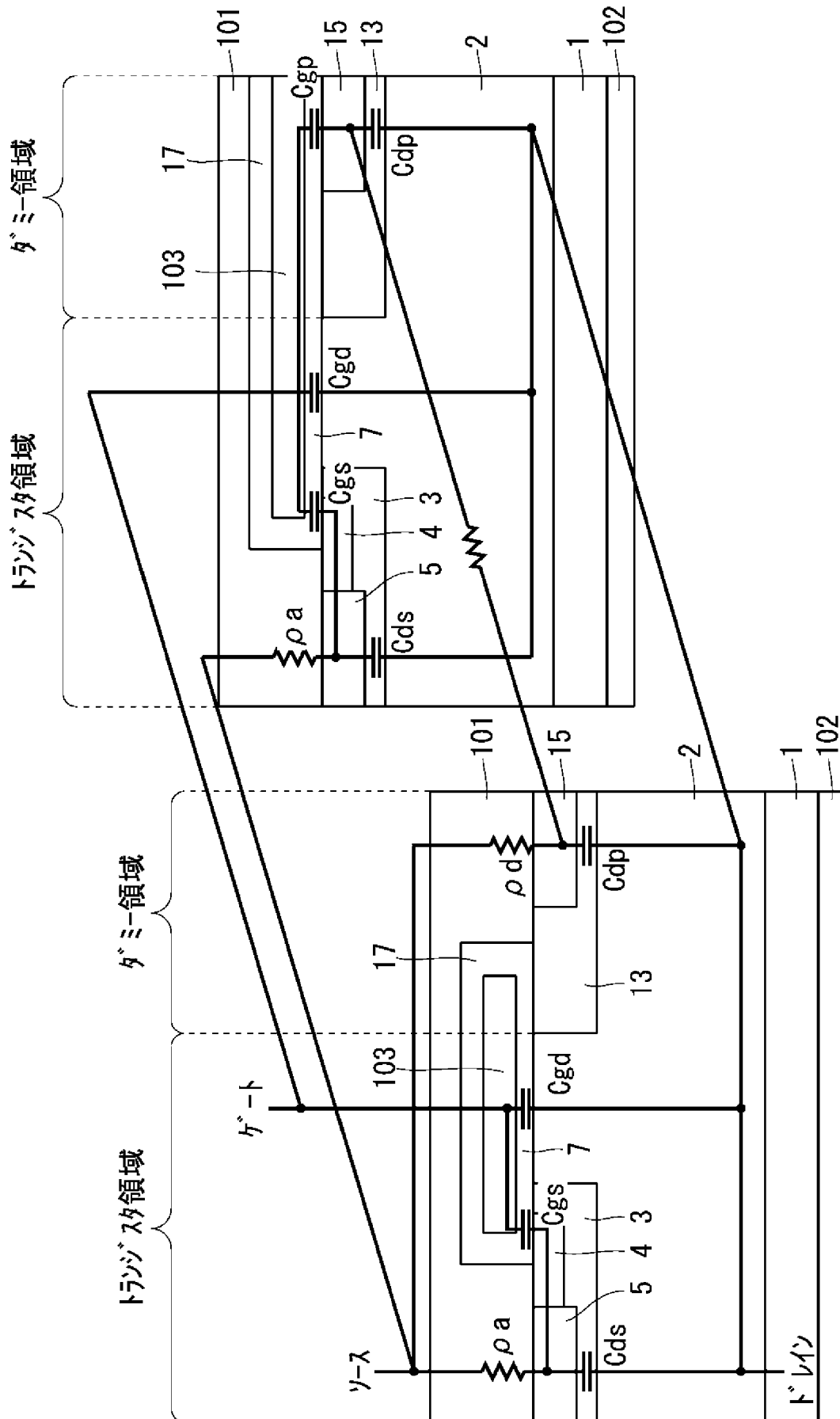
[請求項8] 少なくとも前記第2ウェル領域の直下に設けられ、前記半導体層よりも不純物濃度が高く、前記第2ウェル領域よりも不純物濃度が低い、第1導電型の第3不純物領域をさらに備える、請求項1または請求項2記載の炭化珪素半導体装置。

- [請求項9] 前記ゲート電極は、
前記第1ウェル領域と前記第2ウェル領域とが隣り合い、かつ前記第2コンタクトが設けられていない領域では、前記半導体層上から前記第1ウェル領域および前記第1不純物領域の前記端縁部にかけて延在する第1部分と、前記半導体層上から前記第2ウェル領域にかけて延在する第2部分とに分離して形成される、請求項1または請求項2記載の炭化珪素半導体装置。
- [請求項10] 前記第1ウェル領域および前記第2ウェル領域の平面視での単位面積当たりの形成比率が異なった比率に設定される、請求項1または請求項2記載の炭化珪素半導体装置。
- [請求項11] 前記第1不純物領域は、
前記第1の方向において不連続に形成される、請求項1または請求項2記載の炭化珪素半導体装置。
- [請求項12] 前記第2コンタクトの前記少なくとも1つの第2ウェルコンタクト領域に対するコンタクト抵抗は、前記第1コンタクトの前記少なくとも1つの第1ウェルコンタクト領域に対するコンタクト抵抗よりも大きい、請求項1または請求項2記載の炭化珪素半導体装置。
- [請求項13] 前記少なくとも1つの第2ウェルコンタクト領域の不純物濃度は、前記少なくとも1つの第1ウェルコンタクト領域の不純物濃度よりも低い、請求項1または請求項2記載の炭化珪素半導体装置。
- [請求項14] 前記少なくとも1つの第1ウェルコンタクト領域の最表面の高さ位置と、前記少なくとも1つの第2ウェルコンタクト領域の最表面の高さ位置とが異なる、請求項1または請求項2記載の炭化珪素半導体装置。
- [請求項15] 前記少なくとも1つの第1ウェルコンタクト領域は、前記第1の方向に沿ってストライプ状に設けられ、
前記少なくとも1つの第2ウェルコンタクト領域は、局所的に設けられる、請求項1または請求項2記載の炭化珪素半導体装置。

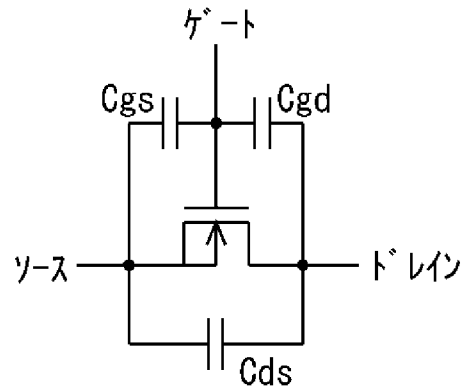
[図3]



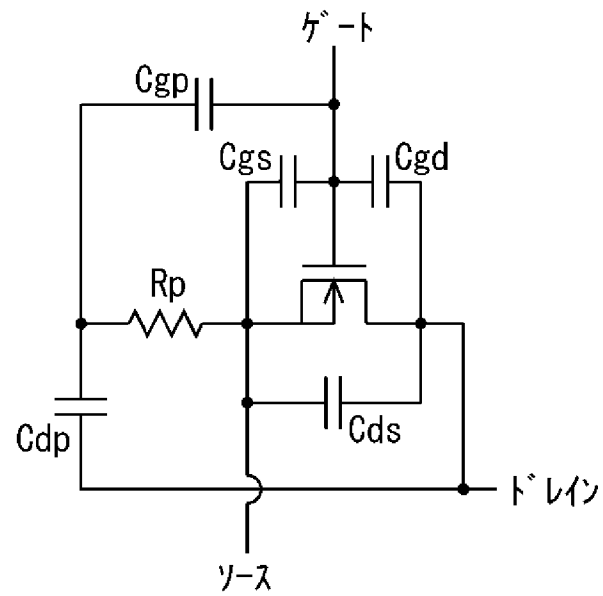
[図4]



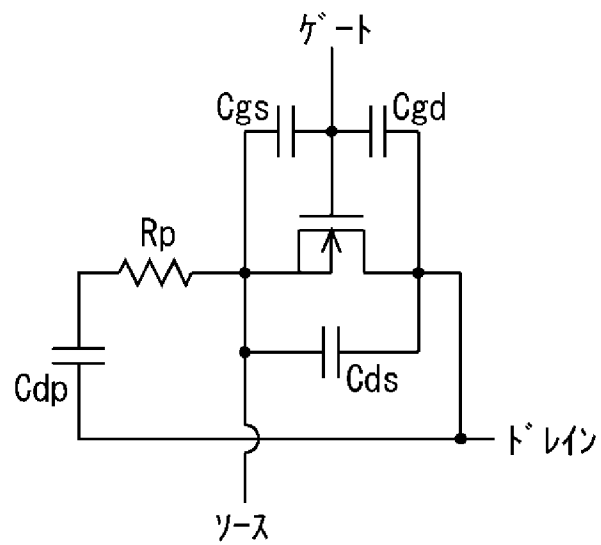
[図5]



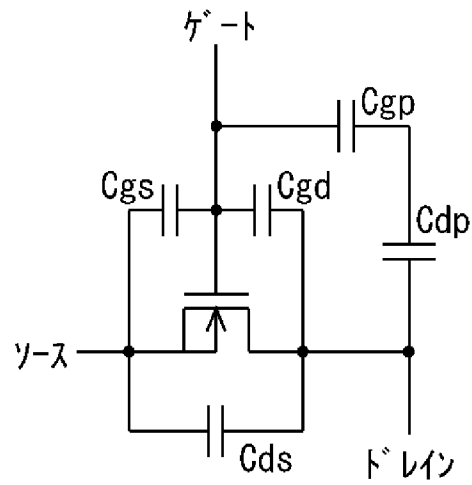
[図6]



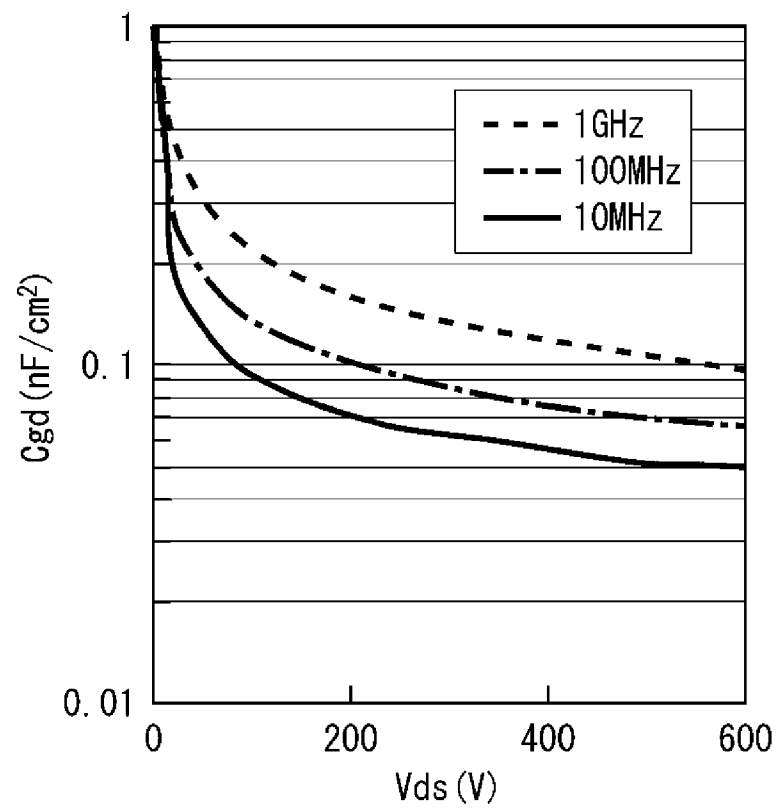
[図7]



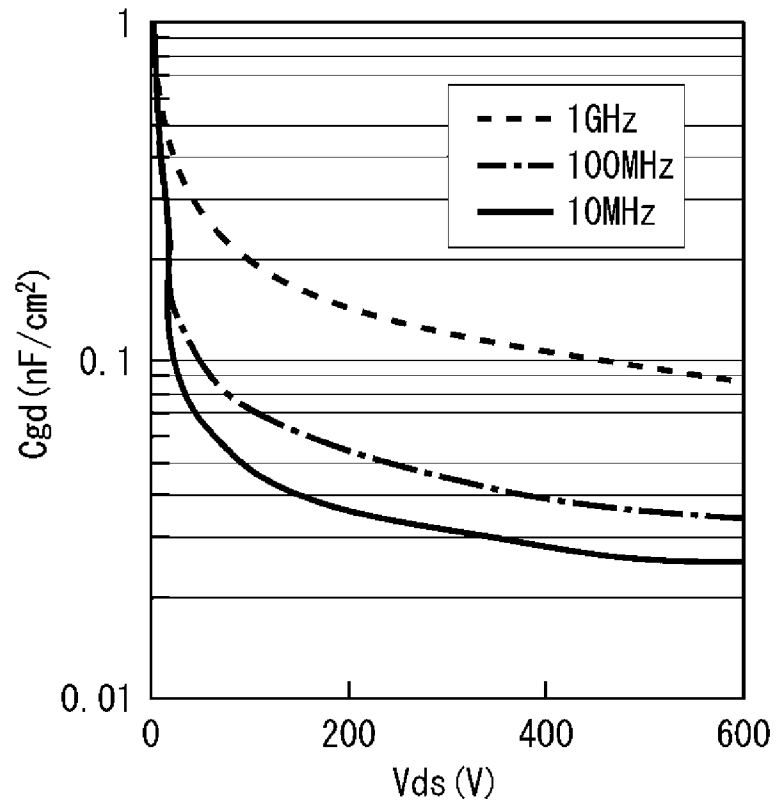
[図8]



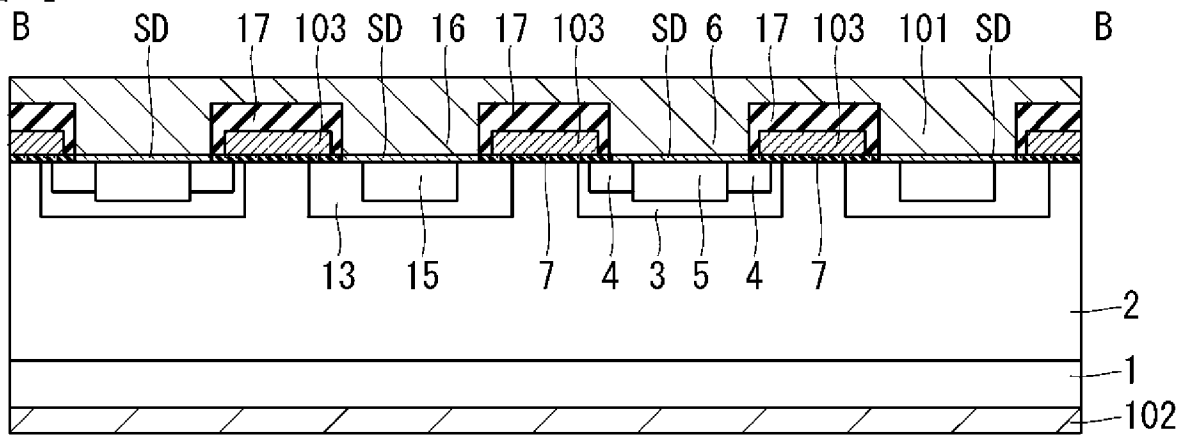
[図9]



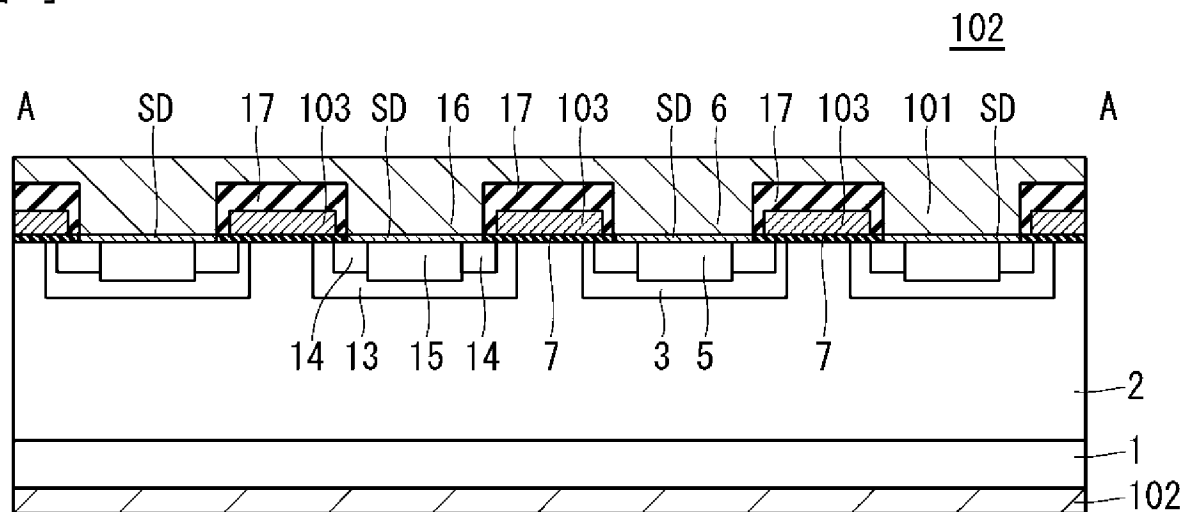
[図10]



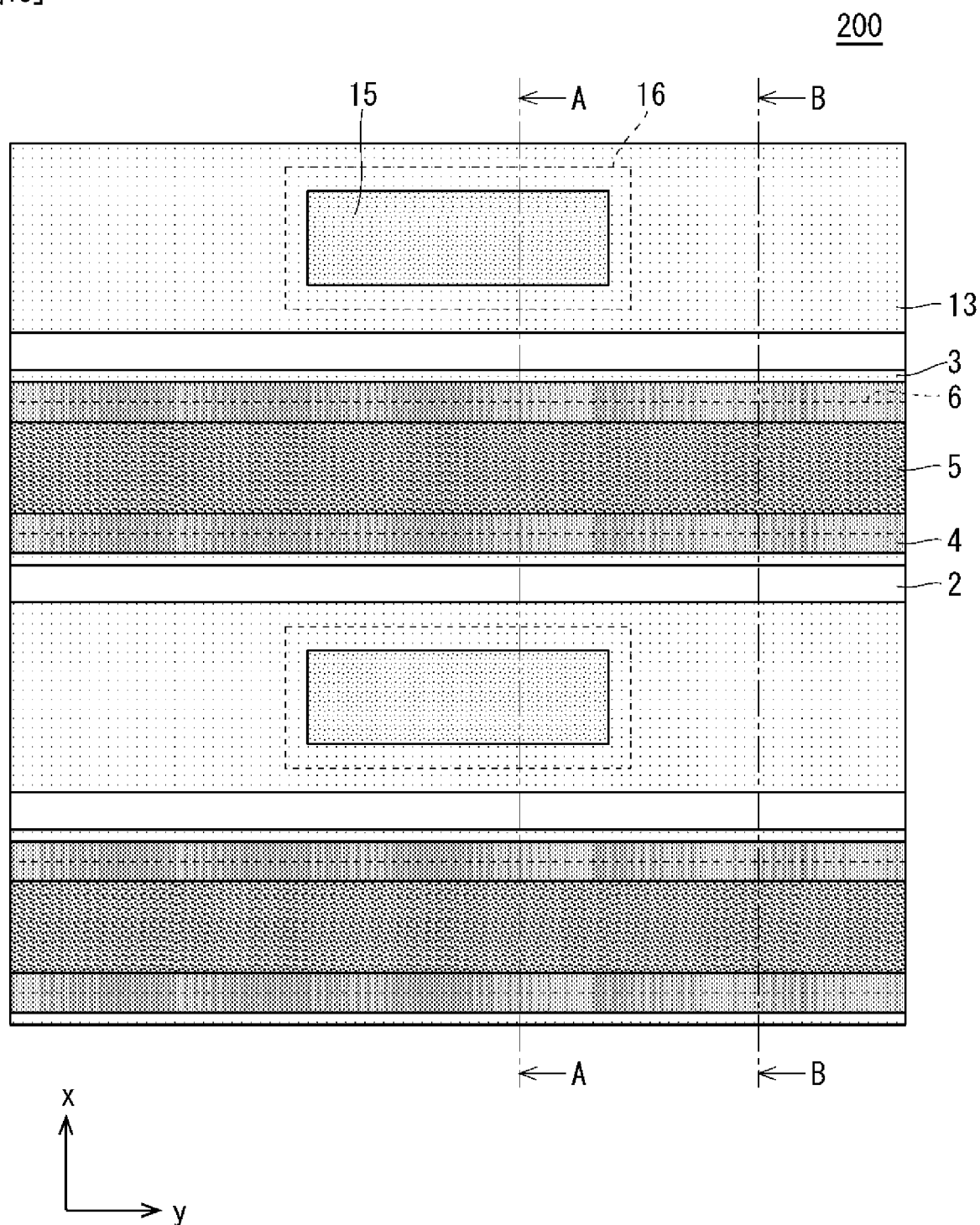
[図13]



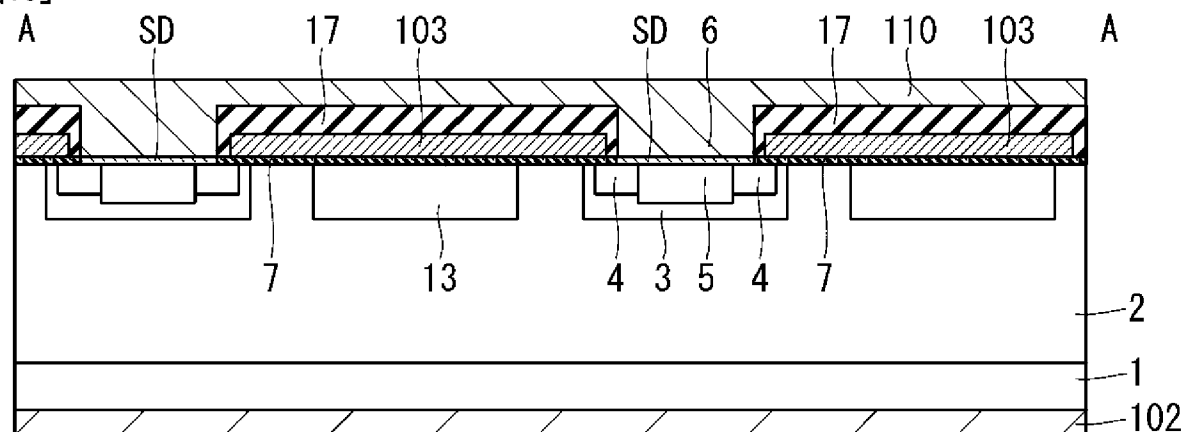
[図14]



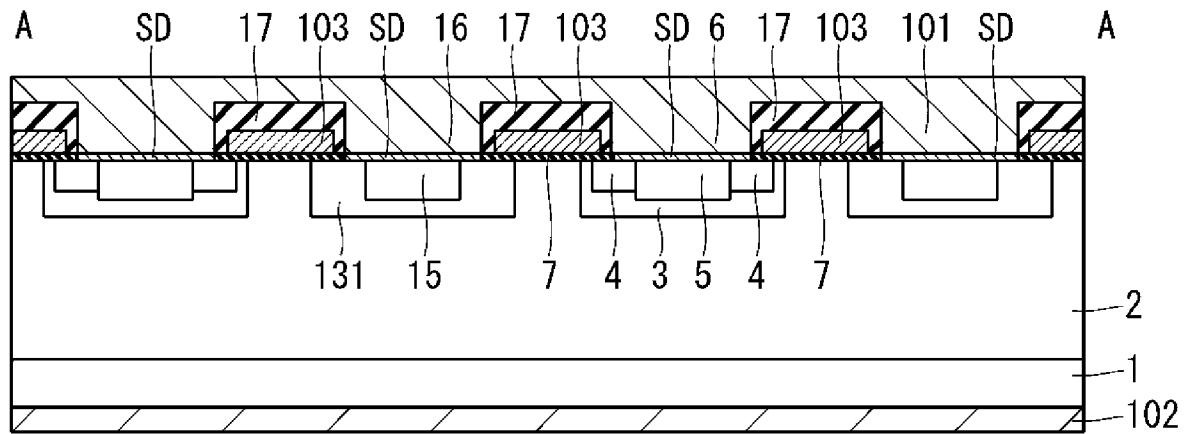
[図15]



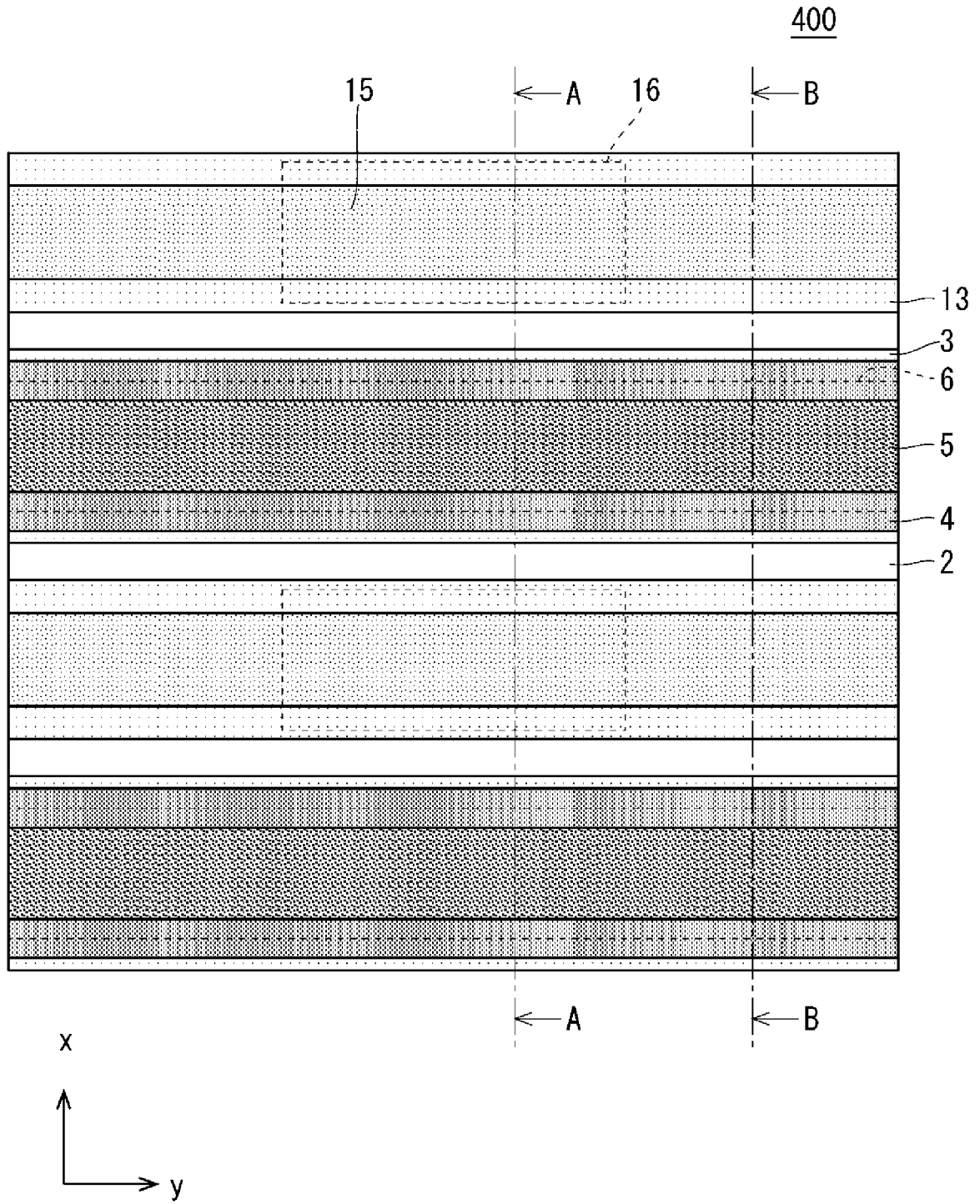
[図16]



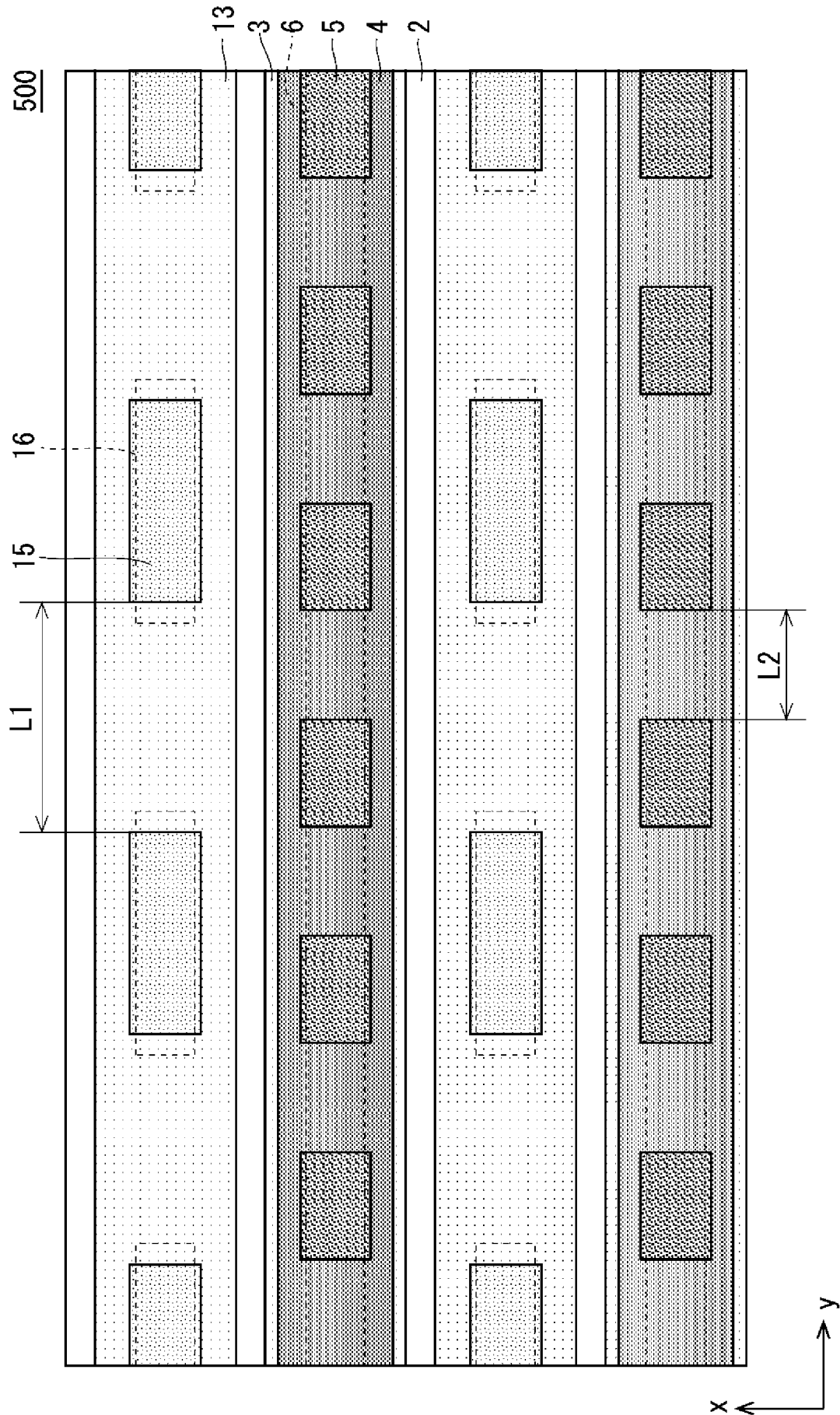
[図17]

300

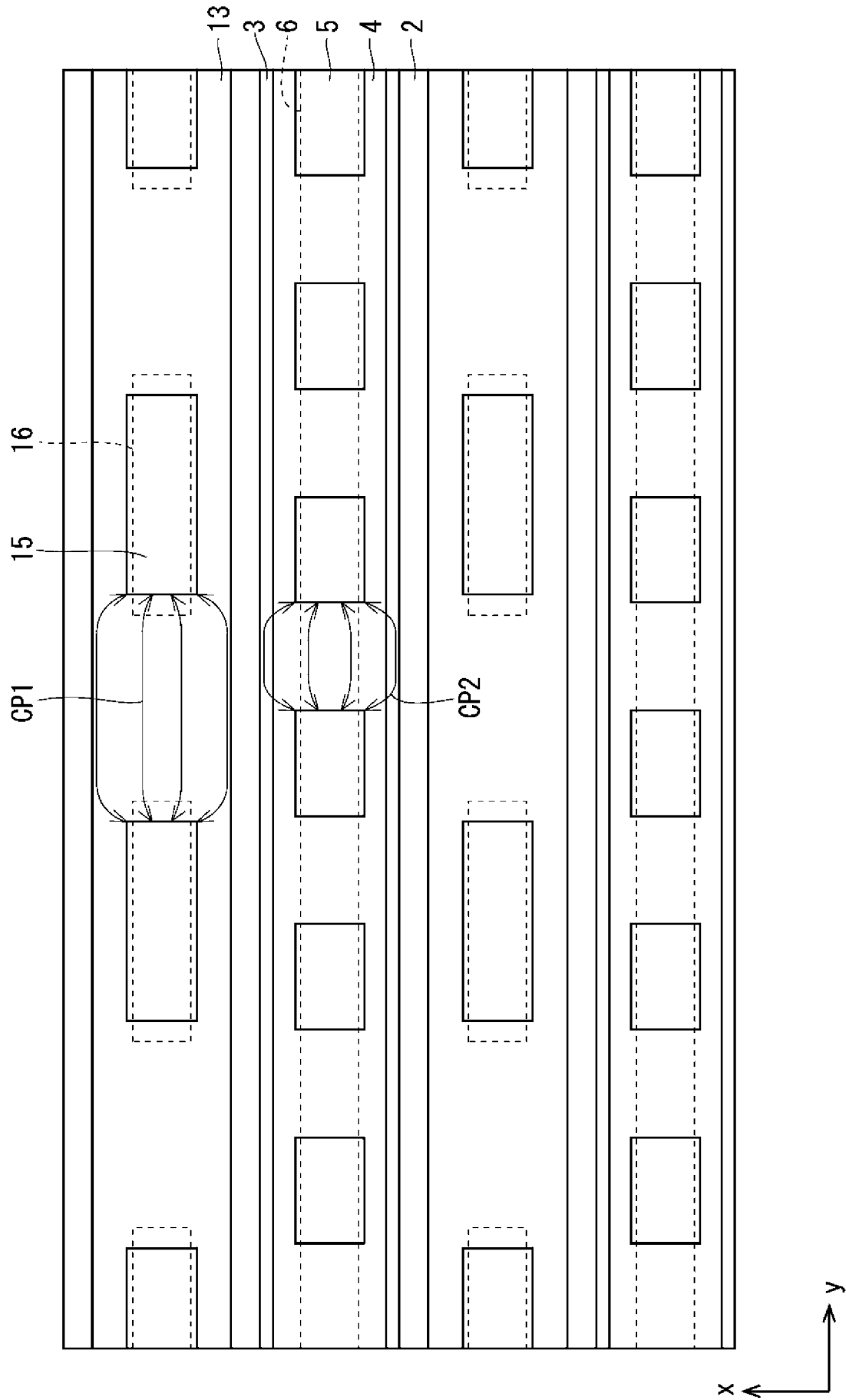
[図18]



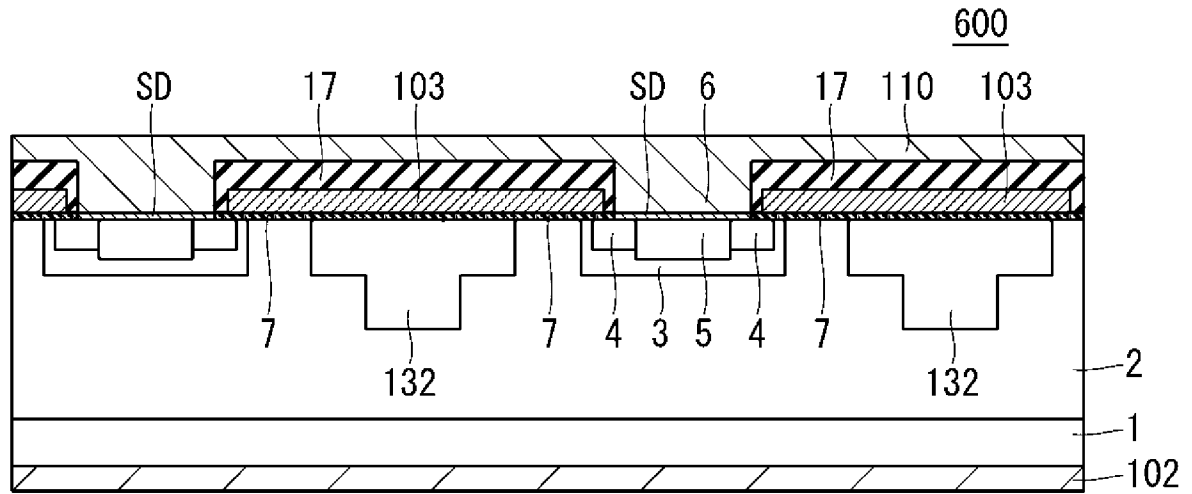
[図19]



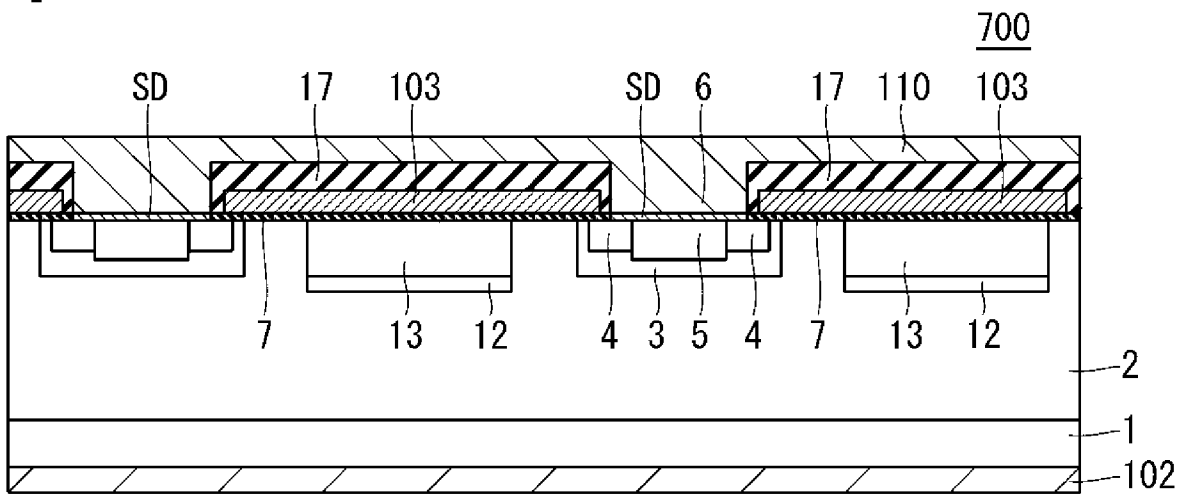
[図20]



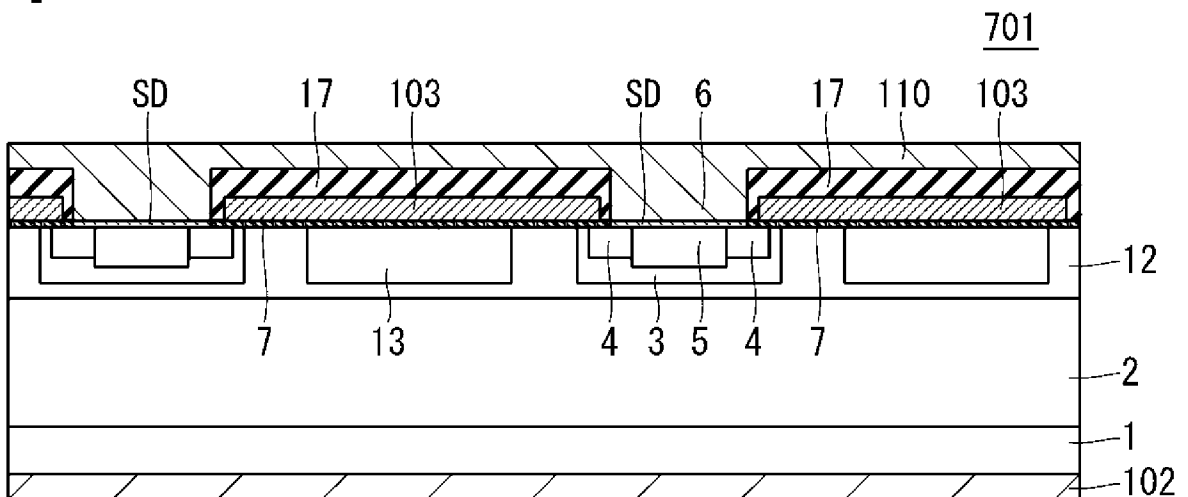
[図21]



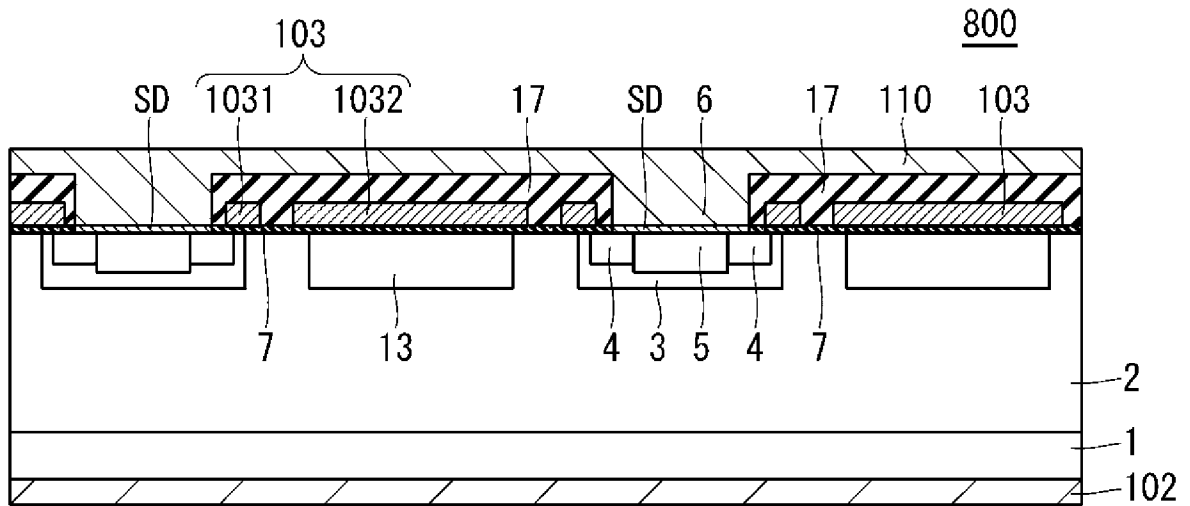
[図22]



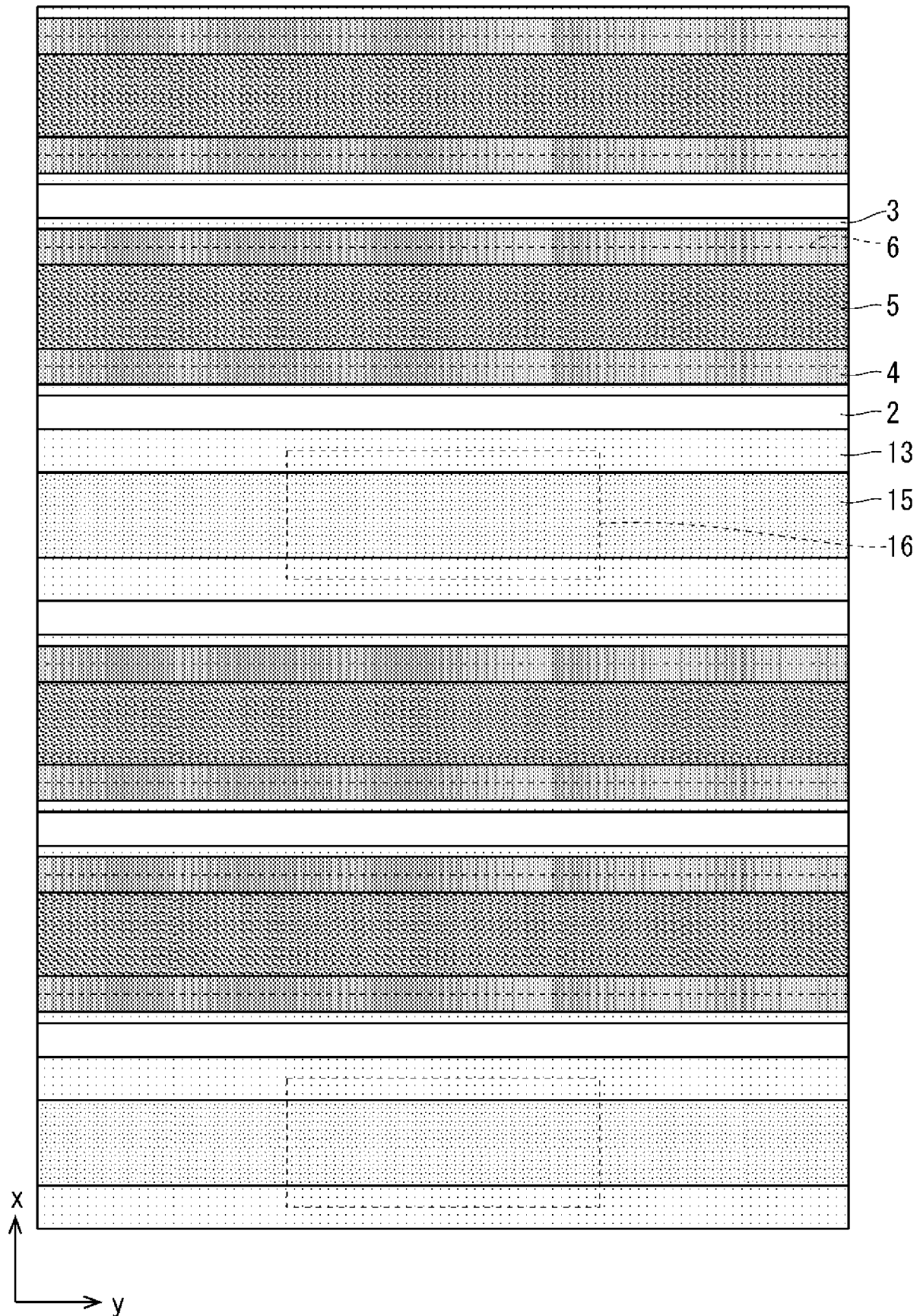
[図23]



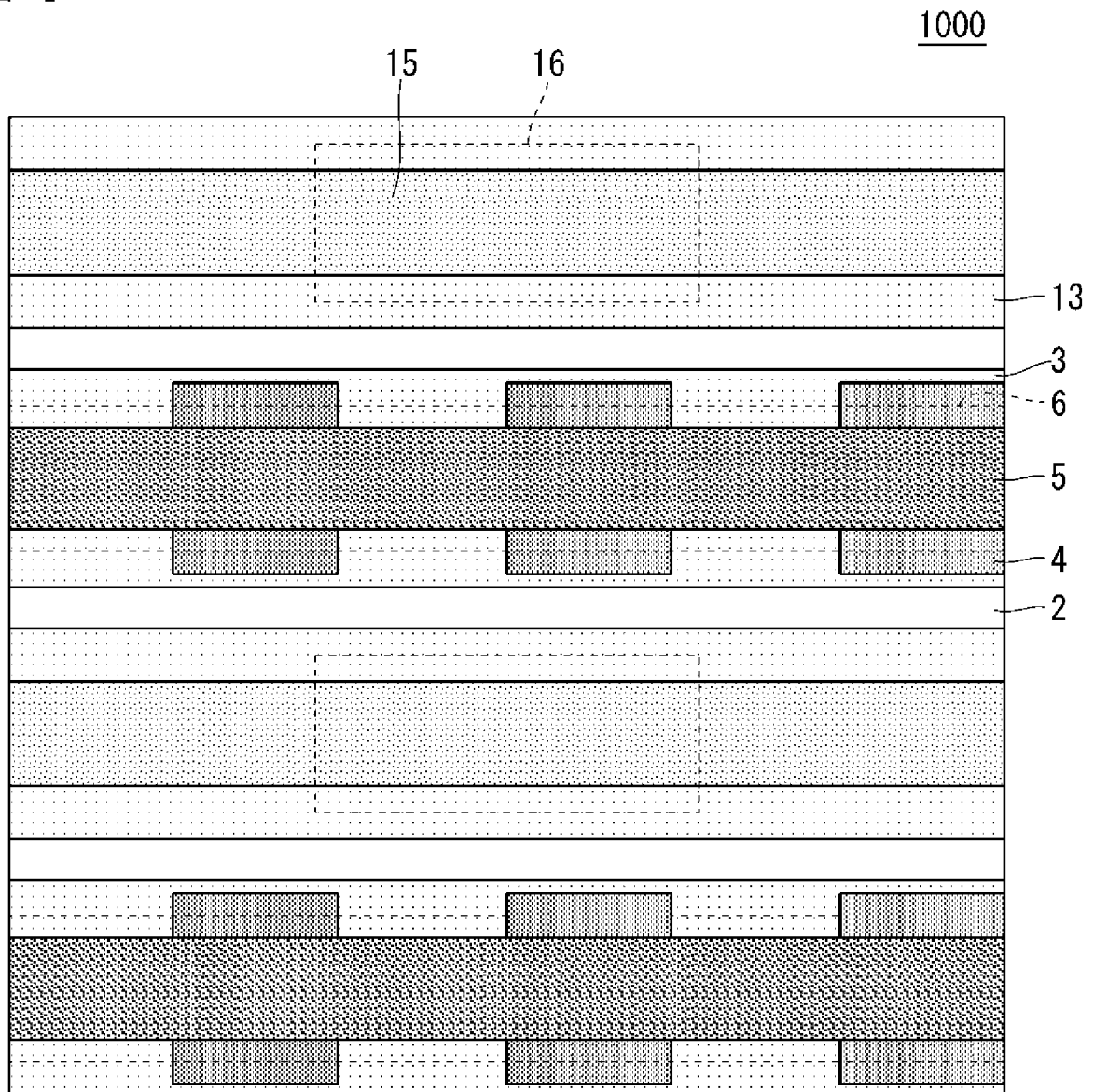
[図24]



900



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/021890

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; H01L 29/12(2006.01)i

FI: H01L29/78 652F; H01L29/78 652B; H01L29/78 652C; H01L29/78 652J; H01L29/78 652M; H01L29/78 652S; H01L29/78 652T

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2020/026401 A1 (MITSUBISHI ELECTRIC CORP) 06 February 2020 (2020-02-06) paragraphs [0028]- [0049], fig. 1, 3	1-15
A	US 2020/0176442 A1 (STMICROELECTRONICS S.R.L) 04 June 2020 (2020-06-04) paragraphs [0050]-[0099], fig. 3-15	1-15
A	JP 2005-101551 A (FUJI ELECTRIC HOLDINGS CO LTD) 14 April 2005 (2005-04-14) paragraphs [0049]-[0054], fig. 36-38	1-15
A	JP 2017-055145 A (MITSUBISHI ELECTRIC CORP) 16 March 2017 (2017-03-16) paragraphs [0053]-[0077], fig. 18	1-15
A	JP 2017-168561 A (FUJI ELECTRIC CO LTD) 21 September 2017 (2017-09-21) paragraphs [0022]- [0046], fig. 1-2	1-15

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search
12 August 2021 (12.08.2021)

Date of mailing of the international search report
24 August 2021 (24.08.2021)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/021890

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-115337 A (MITSUBISHI ELECTRIC CORP) 22 June 2015 (2015-06-22) paragraphs [0012]-[0023], fig. 1	1-15
A	JP 2019-012803 A (MITSUBISHI ELECTRIC CORP) 24 January 2019 (2019-01-24) entire text, all drawings	1-15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application no.

PCT/JP2021/021890

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2020/026401 A1	06 Feb. 2020	(Family: none)	
US 2020/0176442 A1	04 Jun. 2020	(Family: none)	
JP 2005-101551 A	14 Apr. 2005	US 2005/0082640 A1 paragraphs [0071]- [0074], fig. 36-38	
JP 2017-055145 A	16 Mar. 2017	(Family: none)	
JP 2017-168561 A	21 Sep. 2017	(Family: none)	
JP 2015-115337 A	22 Jun. 2015	(Family: none)	
JP 2019-012803 A	24 Jan. 2019	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i; H01L 29/12(2006.01)i FI: H01L29/78 652F; H01L29/78 652B; H01L29/78 652C; H01L29/78 652J; H01L29/78 652M; H01L29/78 652S; H01L29/78 652T		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L29/12 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2020/026401 A1（三菱電機株式会社）06.02.2020（2020-02-06） 段落[0028]-[0049]，図1，3	1-15
A	US 2020/0176442 A1（STMICROELECTRONICS S.R.L.）04.06.2020（2020-06-04） 段落[0050]-[0099]，図3-15	1-15
A	JP 2005-101551 A（富士電機ホールディングス株式会社）14.04.2005（2005-04-14） 段落[0049]-[0054]，図36-38	1-15
A	JP 2017-055145 A（三菱電機株式会社）16.03.2017（2017-03-16） 段落[0053]-[0077]，図18	1-15
A	JP 2017-168561 A（富士電機株式会社）21.09.2017（2017-09-21） 段落[0022]-[0046]，図1-2	1-15
A	JP 2015-115337 A（三菱電機株式会社）22.06.2015（2015-06-22） 段落[0012]-[0023]，図1	1-15
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 12.08.2021		国際調査報告の発送日 24.08.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 西出 隆二 5F 4815 電話番号 03-3581-1101 内線 3516

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2019-012803 A (三菱電機株式会社) 24.01.2019 (2019 - 01 - 24) 全文, 全図	1-15

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/021890

引用文献			公表日	パテントファミリー文献	公表日
WO	2020/026401	A1	06.02.2020	(ファミリーなし)	
US	2020/0176442	A1	04.06.2020	(ファミリーなし)	
JP	2005-101551	A	14.04.2005	US 2005/0082640 A1	
				段落[0071]-[0074], 図36-38	
JP	2017-055145	A	16.03.2017	(ファミリーなし)	
JP	2017-168561	A	21.09.2017	(ファミリーなし)	
JP	2015-115337	A	22.06.2015	(ファミリーなし)	
JP	2019-012803	A	24.01.2019	(ファミリーなし)	