



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETÀ INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UIBM

DOMANDA NUMERO	101994900345337
Data Deposito	31/01/1994
Data Pubblicazione	31/07/1995

Priorità	011.003
Nazione Priorità	US
Data Deposito Priorità	

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
G	11	C		

Titolo

ANALIZZATORE DI RIDONDANZA PER TESTER DI MEMORIE AUTOMATICO.
--

DESCRIZIONE dell'invenzione industriale dal titolo:

"Analizzatore di ridondanza per tester di memorie automatico"

di: TERADYNE, Inc., nazionalità statunitense, 321 Harrison Avenue, Boston, Massachusetts, 02118, Stati Uniti d'America

Inventore designato: Michael HEATH AUGARTEN

Depositata il: 31 gennaio 1994

* * *

SFONDO DELL'INVENZIONE

L'invenzione riguarda un analizzatore di ridondanza utilizzato in un tester di memorie automatico.

Mano a mano che la densità delle memorie ad accesso casuale (RAM) a semiconduttore cresce, aumenta parimenti la probabilità che nelle stesse insorgano difetti. Un modo per mantenere livelli di rendimento accettabili in sede di produzione è l'aggiunta di celle ridondanti (chiamate ricambi o spares) utilizzabili per sostituire celle difettose. Questo è senz'altro fattibile nel caso di chip di memorie grazie alla loro uniformità. In queste strutture, la memoria è disposta sul chip in uno o più blocchi rettangolari (chiamate regioni). Poiché è più probabile che gli errori influenzino bit, righe o colonne, la memoria è realizzata con righe e colonne di celle di memoria di ricambio, in unione ai decodificatori associati per ciascuna regione nel chip.

I tester di circuito automatico per la prova del RAM forniscono configurazioni di prova digitali (parole multi-bit

JACOBBACCI CASETTA & PERANI
S.p.A.

tanto per l'indirizzo quanto per i dati) ad elevata velocità verso i contatti (pin) di indirizzo e dati di una memoria in prova (MUT o memory under test). La MUT viene poi letta, e le uscite confrontate con gli ingressi. L'informazione di guasto è memorizzata in una RAM di presa (spesso denominata come RAM della mappa dei difetti) avente indirizzi corrispondenti agli indirizzi della MUT.

L'informazione di guasto memorizzata nella RAM di presa viene tipicamente trasferita ad una RAM di guasto in un analizzatore di ridondanza che memorizza tutte le informazioni nella memoria di presa RAM e poi l'analizzatore di ridondanza analizza come collegare elementi di memoria ridondanti (ricambi) nella MUT al posto degli elementi difettosi nella MUT. L'apparecchiatura di riparazione allora scollega gli elementi difettosi e gli elementi ridondanti vengono programmati così da sostituirli.

Sintesi dell'invenzione

In un primo aspetto, l'invenzione ha per oggetto, in generale, un'apparecchiatura di test di memorie per analizzare informazioni di guasto per una memoria sottoposta a test (MUT). L'informazione di guasto viene ricevuta simultaneamente per una pluralità di regioni della MUT in parallelo e fornita a rispettivi moduli di regione che ricevono ed elaborano l'informazione di guasto per una rispettiva regione della MUT. Ciascun modulo di regione comprende un circuito di ingresso di regione

per ricevere l'informazione di guasto, una RAM di guasto di regione per immagazzinare l'informazione di guasto di regione, ed un microprocessore che ha accesso alla RAM di guasto di regione. In questo modo, l'informazione di guasto per relative diverse regioni della memoria sottoposta a test può essere immessa simultaneamente e successivamente analizzata simultaneamente in rispettivi moduli di regione.

In forme di attuazione preferite, l'informazione di guasto viene immagazzinata in una memoria d'accesso casuale (RAM) di presa, ed un circuito di interfaccia di trasferimento della RAM di presa collega le linee di informazione di guasto dalla RAM di presa ai moduli di regione. Il circuito di interfaccia di trasferimento della RAM di presa comprende dei multiplexer che consentono di scegliere una fra una pluralità di linee di ingresso da collegare ad un particolare modulo di regione. Il circuito di interfaccia di trasferimento della RAM di presa emette un orologio di trasferimento a tutti i moduli di regione. Il circuito di ingresso di regione è una schiera logica. I moduli di regione comprendono ciascuno rispettive RAM di programma. Un circuito di interfaccia di bus dati collega un elaboratore host a tutti i moduli di regione, e l'elaboratore host ha accesso alle RAM di programma e le RAM di guasto attraverso i circuiti di ingresso di regione.

In un altro aspetto, l'invenzione ha per oggetto, in generale, un'apparecchiatura di test di memoria che comprende

mezzi di ingresso di guasti per ricevere informazioni di guasto per una MUT e generare dati di indirizzo di guasto della MUT che identificano le posizioni di guasti della MUT, una RAM dei guasti che immagazzina i dati di indirizzo di guasti della MUT per i guasti, ed un microprocessore per analizzare i dati di indirizzo di guasto della MUT. Lo spazio di memoria richiesto per una RAM di guasto viene così notevolmente ridotto immagazzinando soltanto informazioni di indirizzo per quegli elementi di memoria che hanno difetti.

In forme di attuazione preferite, un circuito contatore di errore genera indirizzi di RAM di guasto per immagazzinare indirizzi di guasto della MUT nella RAM di guasto. Un circuito contatore di dati genera dati di indirizzo di guasto della MUT immagazzinati nella RAM di guasto contano impulsi di orologio di trasferimento sincroni con l'informazione di guasto. Un rivelatore di errore rivela errori nell'informazione di guasto e consente al circuito contatore di errore di contare impulsi di orologio di trasferimento corrispondenti ad errori nell'informazione di guasto. Un circuito contatore di ciclo conta gli impulsi di orologio di trasferimento e fornisce un segnale di abilitazione verso il circuito contatore dei dati quando gli impulsi di orologio di trasferimento contati superano un certo conteggio di partenza e interrompe il circuito di abilitazione quando gli impulsi di trasferimento contati superano un conteggio di arresto. Il circuito di conteggio di ciclo riceve



un ingresso diretto ad ignorare l'errore seriale (ISE) e non emette il segnale di abilitazione quando è disabilitato dall'ingresso ISE. Il circuito contatore di errore viene inoltre abilitato soltanto dopo il conteggio di inizio e prima del conteggio di arresto. La logica di scrittura della RAM emette un segnale di abilitazione del chip verso la RAM dei guasti abilitando la RAM dei guasti ad immagazzinare un nuovo dato di indirizzo di guasto della MUT emesso dal circuito di conteggio dei dati in corrispondenza di un nuovo indirizzo della RAM dei guasti emesso dal circuito contatore degli errori successivamente al fatto che entrambi i circuiti di conteggio sono stati incrementati da un impulso di orologio di trasferimento. Vengono utilizzati circuiti di ritardo per fornire impulsi di orologio di trasferimento ritardati contati dai circuiti contatori ed impulsi di orologio di trasferimento con doppio ritardo utilizzati dalla logica di scrittura della RAM.

Ulteriori vantaggi e caratteristiche dell'invenzione risulteranno dalla descrizione che segue di una forma di attuazione preferita e a partire dalle rivendicazioni.

Descrizione della forma di attuazione preferita

Come prima cosa verranno descritti i disegni.

Disegni

La figura 1 è uno schema a blocchi che fa vedere un analizzatore di ridondanza secondo l'invenzione collegato ad un elaboratore host e ad un tester di memoria.

La figura 2 è uno schema a blocchi che fa vedere alcuni componenti dell'analizzatore di ridondanza della figura 1.

La figura 3 è uno schema di temporizzazione che si riferisce alla generazione ed alla scrittura dei dati di indirizzo dei guasti della MUT immagazzinati in una RAM dei guasti dell'analizzatore di ridondanza della figura 1.

Struttura

Con riferimento alla figura 1, è illustrato un analizzatore di ridondanza 10 collegato ad un elaboratore host 12 (disponibile presso la Sun Microsystems con la denominazione commerciale SUN4) ed un tester di memoria 14, a sua volta collegato ad una memoria sottoposta a test (MUT) 16 attraverso un raccordo 18.

Il tester di memoria 14 comprende un generatore di configurazioni 20 ad alta velocità, un circuito di confronto 22, ed una memoria RAM di presa 24. Il generatore di configurazione 20 genera uscite dati multi-bit su linee 26 ed indirizzi su linee 28 verso la memoria sottoposta a test 16. Il generatore di configurazioni 20 emette anche dati su linee 26 verso un comparatore multi-bit 22 ed indirizzi su linee 28 verso una RAM di presa 24 da utilizzare quando i dati immagazzinati nella MUT 16 sono letti a partire dalla MUT 16 e confrontati in corrispondenza del comparatore 22, che genera informazioni di guasto su una base bit-per-bit fornita su linee 30 e immagazzinate nel RAM di presa 24.

L'analizzatore di ridondanza 10 comprende un circuito di

interfaccia di bus dati 32, una logica di decodifica degli indirizzi 34, un circuito di interfaccia 36 di trasferimento della RAM di presa, un circuito 38 del tipo first-in-first-out (FIFO) per ignorare l'errore seriale (ISE) e sino a diciotto moduli di regione 40. In figura 1 sono illustrati due moduli di regione 40. La MUT 16 ha una pluralità di regioni 17 (nella figura 1 ne sono illustrate 18), e ciascun modulo di regione 40 è associato ad una rispettiva regione 17 (o regioni 17, come descritto nel seguito) nella MUT 16.

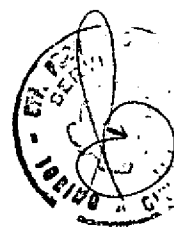
Il circuito 32 di interfaccia del bus dati è collegato all'elaboratore host 12 attraverso linee dati 42 e linee di controllo 44. Esso bufferizza i segnali dati e di controllo. Le linee di uscita dati 46 e le linee di controllo 48 collegano il circuito 32 di interfaccia del bus dati tanto alla logica di decodifica degli indirizzi 34 quanto a tutti i moduli di regione 40.

La logica di decodifica degli indirizzi 34 è provvista di circuiti logici per decodificare gli ingressi sulle linee 46 e 48 e generare uscite per controllare multiplexer ed altri componenti nel circuito 36 di interfaccia di trasferimento della RAM di presa.

Il circuito 36 di interfaccia di trasferimento della RAM di presa è collegato così da ricevere informazioni di guasto a partire dalla RAM di presa 24 su linee di informazione di guasto parallele 50 a partire dalla RAM di presa 24 nonché un segnale

di orologio dalla RAM di presa 24 su una linea di orologio 52 così da introdurre in modo cadenzato l'informazione di guasto sulle linee 50. Ciascuna linea 50 è collegata ad un nodo dati di ingresso/uscita della RAM di presa 24 e corrisponde ad un contatto di ingresso/uscita della MUT 16. Il circuito di interfaccia della RAM di presa 36 comprende una pluralità di serie di multiplexer collegati agli ingressi a partire da linee di informazione di guasto 58 da combinare fra loro (tramite una funzione Or) in modo che l'informazione di guasto a partire da più di una regione 17 sulla MUT 16 possa essere immagazzinata in un singolo modulo di regione 40. Il circuito di interfaccia 36 della RAM di presa ha diciotto linee di guasto di regione 82 distribuite verso rispettivi moduli di regione 40, nonché una linea di trasferimento di orologio 74 distribuita a tutti i moduli di regione 40. In figura 1, una delle diciotto linee 82 è illustrata collegata al modulo di regione a sinistra 40, mentre le altre diciassette linee 82 sono illustrate come continuanti verso gli altri moduli di regione 40; una di queste diciassette linee 82 è illustrata collegata al modulo di regione a destra 40, mentre sedici linee 82 sono illustrate che continuano per la connessione ad altri moduli di regione 40, che non sono illustrati nella figura 1.

Il circuito FIFO ISE 38 riceve l'ingresso ISE sulla linea 54 a partire dal tester di memoria 14. Il segnale ISE viene utilizzato in modo che l'analizzatore di ridondanza 10 possa



ignorare i dati sulle linee di informazione dei guasti 50 quando il segnale viene asserito. Il segnale ISE sulla linea 54 viene cadenzato con un orologio locale, e si ottiene una funzione di pipe lining tramite un tampone FIFO in modo che il segnale ISE emesso sulla linea 80 si trova nel ciclo suo proprio rispetto all'informazione di guasto sulle linee 82 ed è sincronizzato con l'orologio che viene dalla RAM di presa 24 sulla linea 52.

Il circuito 32 di interfaccia del bus dati, il circuito 36 di interfaccia di trasferimento della RAM di presa ed il circuito 38 FIFO ISE convertono gli ingressi ECL da loro ricevuti in uscita di segnale PPL utilizzati dai componenti nei moduli di regione 40.

Ciascun modulo di regione 40 è collegato alla sua rispettiva linea di informazione di guasto di una singola regione 82 ed è collegata ad una linea di orologio di trasferimento comune 74, alla linea ISE 80, alle linee dati di controllo 46, 48 dell'host e dalla linea principale di orologio 89, le quali sono anche tutte collegate agli altri moduli di regione 40. Ciascun modulo di regione 40 comprende un circuito di ingresso di regione 56, un microprocessore 58, 256 kx24 RAM di guasto 60 e 128 kx16 RAM di programma 62. Il circuito di ingresso di regione 56 è implementato tramite un array CMOS del tipo 132-pin quad flat pack ed è responsabile per fornire accesso verso le RAM 60, 62 di guasto di programma attraverso l'elaboratore host 12, il microprocessore 58 e la RAM di presa 24. Il microprocessore 58

è un microcontrollore 68 ECU-030. Le RAM utilizzate nella RAM di guasto 60 e nella RAM di programma 62 sono RAM CMOS statiche.

La figura 2 fa vedere i componenti nel circuito di ingresso di regione 56 utilizzato durante l'accesso da parte della RAM di presa 24. Questi comprendono una logica di scrittura della RAM 64, un circuito di conteggio dell'errore 66, un circuito di conteggio del ciclo 68, un circuito di conteggio dei dati di regione 70, ed una logica di contenimento del ripristino e di temporizzazione. Un primo ed un secondo circuito di ritardo 76, 78 sono implementati al di fuori dell'array CMOS del circuito di ingresso di regione 56. La linea di orologio di trasferimento 74 è collegata direttamente alla logica di scrittura della RAM 64 ed al primo circuito di ritardo 76. L'uscita del primo circuito di ritardo 76 è collegata agli ingressi di orologio dei circuiti contatori 66, 68, 70 e ad un secondo circuito di ritardo 78. L'uscita del secondo circuito di ritardo 78 è fornita alla logica di scrittura 64 della RAM.

Il circuito di conteggio di ciclo 66 riceve l'ingresso ISE sulla linea 80 e l'informazione di guasto per la regione sulla linea 82, emettendo segnali di abilitazione su una prima linea di abilitazione 84 verso il circuito di conteggio 70 dei dati di regione e su una seconda linea di abilitazione 86 verso il circuito di conteggio dell'errore 66. Il circuito 68 comprende un contatore il quale conta impulsi di orologio di trasferimento ritardati da parte del circuito di ritardo 76 quando viene

abilitato da un segnale ISE basso. Esso comprende inoltre della logica suscettibile di determinare quando gli impulsi di orologio contati eccedono un conteggio di partenza e non hanno superato un conteggio di arresto; se si raggiunge questa condizione, il primo segnale di abilitazione viene emesso in modo continuo sulla linea 84, e l'informazione di guasto immessa sulla linea 82 viene trasmessa in uscita, attraverso la logica, come secondo segnale di abilitazione sulla linea 86.

Il circuito di conteggio di errore 66 comprende un contatore il quale conta impulsi di orologio di trasferimento ritardati a partire dal circuito di ritardo 76 quando viene abilitato dal secondo segnale di abilitazione sulla linea 86. Poiché il circuito di conteggio dell'errore 66 viene abilitato soltanto dal secondo segnale di abilitazione quando un errore è stato rilevato nelle informazioni di guasto, esso effettivamente conta gli errori. La sua uscita di conteggio viene fornita sulla linea 88 come indirizzi RAM di guasto verso la RAM dei guasti di indirizzo 60.

Il circuito di conteggio dei dati di regione 70 comprende un contatore che conta impulsi di orologio di trasferimento ritardati a partire dal circuito di ritardo 76 quando viene abilitato dal primo segnale di abilitazione sulla linea 84. La sua uscita di conteggio è un dato di indirizzo di guasto della MUT che identifica la posizione dell'elemento di memoria nella regione associata 17 corrispondente alle informazioni di guasto

ALCANTARA S.p.A. - 00100 ROMA - ITALIA

sulla linea 82 in modo sincrono con l'impulso di orologio di trasferimento appena contato. I dati di indirizzo di guasto MUT vengono forniti sulla linea 90 verso l'ingresso dati verso la RAM dei guasti 60.

La logica di scrittura 64 della RAM emette un segnale di controllo, CS, sulla linea 92 verso l'ingresso di abilitazione del chip verso la RAM dei guasti 60. L'impulso di orologio non ritardato immesso nella logica di scrittura della RAM fa sì che CS passi al livello alto; l'impulso di orologio di trasferimento due volte ritardato a partire dal circuito di ritardo 78 fa sì che CS vada al livello logico basso se il circuito di conteggio dell'errore 66 è stato abilitato per contare un impulso di orologio di trasferimento ed aggiornare l'indirizzo nella RAM dei guasti. Il fatto che CS sia alto disabilita la RAM dei guasti 60, impedendo che essa scriva dei dati; quando CS va a un livello basso, i dati vengono scritti nella RAM dei guasti 60.

La logica di contenimento del reset e di temporizzazione 72 fornisce uscite per controllare gli ingressi di abilitazione all'uscita e di lettura/scrittura verso la memoria dei guasti 60. Durante l'accesso da parte della RAM di presa 24, vengono forniti segnali statici per disabilitare l'uscita della RAM dei guasti 60 e mantenere la RAM dei guasti 60 nel modo di scrittura.

Funzionamento



Configurazioni di prova digitali generate in corrispondenza del generatore di configurazione 20 vengono fornite sulle linee dati 26 e le linee di indirizzi 28 ad elevata velocità verso i contatti di indirizzo e dati della MUT 16. La MUT 16 viene quindi letta fornendo indirizzi sulle linee 28, e le uscite (parole multibit) vengono confrontate bit-per-bit con i dati che sono stati immessi verso la MUT 16 e che vengono ripetuti sulle linee 26 verso il comparatore multibit 22. L'informazione di guasto viene immagazzinata nella memoria di presa 24 in corrispondenza di indirizzi che corrispondono agli indirizzi della MUT 16 e vengono forniti dal generatore di configurazione sulle linee 28 verso la RAM di presa 24. L'informazione di guasto per un elemento di memoria è un bit alto se il bit letto dall'elemento di memoria è diverso dal bit che è stato scritto in esso.

La RAM di presa 24 è indirizzata così da leggere i bit a partire da 18 elementi di memoria in diverse regioni 17 simultaneamente e fornire i dati su rispettive linee 50 in modo sincrono con gli impulsi di orologio sulla linea 52. A seconda dell'instradamento attraverso i multiplexer nel circuito 36 di interfaccia del trasferimento della RAM di presa, l'informazione di guasto a partire da una particolare regione 17 su una rispettiva linea 50 viene trasmessa su una particolare linea 82 verso un particolare modulo di regione 40. Nel caso più semplice, tutta l'informazione di guasto per una particolare

regione 17 appare sulla stessa linea 50, e ci saranno diciotto, o meno, regioni 17; in questo caso l'informazione di guasto può essere letta per tutte le regioni 17 simultaneamente, e tutte le informazioni in un modulo di regione 40 provverrà da una singola regione 17 sulla MUT 16. Se l'informazione di guasto per una regione 17 appare su più di una linea 50, le linee 50 saranno attivate una per volta in corrispondenza della RAM di presa 24, e le loro uscite saranno combinate da porte Or nel circuito 36 di interfaccia di trasferimento della RAM di presa; i dati a partire da diverse linee 50 verranno così letti in diversi cicli combinati su una memoria dei guasti 60. In questo caso, l'informazione di guasto per diverse regioni 17 può essere tuttora letta simultaneamente sulle altre linee 50. Se in un modulo di regione 40 dev'essere immagazzinata più di una regione (ad esempio se ci sono più di 18 regioni), lo spazio di memoria nella RAM dei guasti 60 verrà suddiviso e l'informazione di guasto a partire da una regione sarà introdotta per prima con l'informazione di guasto da un'altra regione introdotta successivamente.

Il circuito 36 di interfaccia del trasferimento della RAM di presa emette informazioni di guasto sulle linee 82 (alto se c'è errore, basso se non c'è), in modo sincrono con gli impulsi di orologio di trasferimento sulla linea 74. Poiché gli elementi di memoria nella regione 17 sono stati indirizzati in ordine noto, ed i corrispondenti elementi di memoria nella RAM di presa

24 sono stati indirizzati in un ordine noto, la posizione dell'elemento di memoria nella regione 17 corrispondente all'informazione di guasto che appare sulla linea 82 ad un determinato istante può essere stabilito dal conteggio degli impulsi di orologio di trasferimento sulla linea 74. Così, l'uscita di conteggio del circuito 70 di conteggio dei dati di regione indica l'indirizzo nella regione 17 corrispondente all'informazione di guasto che appare sulla linea 82.

Il segnale ISE è asserito dal tester di memoria 14 sulla linea 54 verso l'analizzatore di ridondanza 10 in modo da ignorare i dati che appaiono sulle linee 50 a partire da esso e fatti passare sulle linee 82. Il segnale ISE è sincronizzato con l'informazione di guasto in corrispondenza del circuito ISE FIFO 38 e fornito sulla linea 80 verso il circuito 68 di conteggio dei cicli, che a sua volta disabilita i conteggi nei circuiti 66, 68 e 70. Inoltre, gli impulsi di orologio di trasferimento sulla linea 74 vengono conteggiati dal contatore (dopo il ritardo in corrispondenza del circuito di ritardo 76) nel circuito 68 di conteggio dei cicli e confrontati con conteggi di partenza e di arresto, in modo che il circuito di conteggio dei dati di regione 70 ed il circuito di conteggio degli errori 60 contano soltanto impulsi di orologio di trasferimento validi fra i conteggi di partenza e di arresto.

Con riferimento alle figure 2 e 3, gli impulsi di orologio di trasferimento sulla linea 74 vengono ritardati due volte così

da fornire tre impulsi di orologio (CLK1, CLK2, e CLK3) per sincronizzare la scrittura nella RAM dei guasti 60 con l'incremento dei contatori nei circuiti 66 e 70 ed i cambiamenti che ne risultano degli indirizzi della RAM dei guasti e nei dati di indirizzo dei guasti della MUT che appaiono agli ingressi indirizzi e dati verso la RAM dei guasti 60. CLK1 è l'impulso di orologio di trasferimento non ritardato sulla linea 74; esso fa sì che la logica di scrittura della RAM 64 faccia andare CS alto e disabilitando la RAM dei guasti 60 dalla scrittura. CLK2 è l'uscita di impulso di orologio di trasferimento ritardato una volta emessa dal circuito di ritardo 74 e contata dai contatori in tutti e tre i circuiti 66, 68, 70; l'indirizzo della RAM dei guasti emesso dal circuito 66 di conteggio degli errori ed il dato di indirizzo del guasto della MUT emesso dal circuito 70 di conteggio dei dati di regione vengono così incrementati su un fronte di salita di CLK2. (L'indirizzo della RAM dei guasti non sarà incrementato se il circuito 66 non è abilitato dalla rivelazione di dati di errore da parte del circuito 68; il dato di indirizzo della MUT sarà incrementato indipendentemente dal fatto che un errore è stato rivelato). CLK3 è l'impulso di orologio di trasferimento ritardato due volte emesso dal circuito di ritardo 78; esso fa sì che la logica di scrittura della RAM 64 porti CS al livello alto per abilitare la RAM dei guasti 60 così da scrivere il dato di indirizzo di guasto della MUT che appare al suo ingresso dati in corrispondenza dell'indi-



rizzo della RAM dei guasti che appare al suo ingresso indirizzi, purché il circuito 66 di conteggio dell'errore sia stato abilitato così da contare un impulso di orologio di trasferimento ed incrementare l'indirizzo della RAM dei guasti.

Dopo che tutta l'informazione relativa ai guasti è stata immagazzinata nelle RAM dei guasti, i singoli microprocessori 58 nei moduli di regione analizzano gli elementi di memoria difettosi nelle regioni 17 e determinano come collegare elementi di memoria ridondanti (ricambi) nella regione 17 al posto degli elementi difettosi. Poiché vengono analizzate simultaneamente fino a 18 regioni, il tempo per l'analisi è ridotto. Inoltre, i microprocessori 58 possono analizzare l'informazione di guasto per una MUT, mentre la MUT successiva viene testata nel tester di memoria 14, e l'informazione di guasto viene caricata nella RAM di presa 24. L'attrezzatura di riparazione allora scollega gli elementi difettosi e vengono programmati gli elementi ridondanti per sostituirli.

L'elaboratore host 12 può accedere a tutta la memoria di accesso casuale nei moduli di regione 40; i programmi di ridondanza possono essere scaricati per programmare la RAM 62, e tanto la RAM dei guasti 60 quanto la RAM di programma 62 possono essere lette e scritte per scopi di stato e diagnostici.

Altre forme di attuazione

Altre forme di attuazione dell'invenzione sono ricomprese nella portata delle rivendicazioni che seguono. L'informazione

di guasto può essere emessa a partire dal comparatore a multi-bit 22 al circuito 36 di interfaccia di trasferimento della RAM di presa senza l'immagazzinamento intermedio nella RAM di presa 24.

JACOBACCI CASETTA & PERANI
S.p.A.

RIVENDICAZIONI

1. Apparecchiatura di test per memorie per analizzare l'informazione di guasto di una memoria sottoposta a test (MUT) comprendente

- mezzi per ricevere informazioni di guasto per una pluralità di regioni di detta MUT su una pluralità di linee di ingresso simultaneamente in parallelo, ciascuna di dette linee fornendo informazioni di guasto di regione per una singola regione alla volta, e
- una pluralità di moduli di regione collegati così da ricevere informazioni di guasto per rispettive regioni a partire da dette linee di ingresso, ciascuno di detti moduli comprendendo
 - un circuito di ingresso di regione collegato così da ricevere dette informazioni di guasto di regione,
 - una RAM dei guasti di regione collegata a detto circuito di ingresso di regione per immagazzinare dette informazioni di guasto di detta regione, e
 - un microprocessore di regione collegato così da avere accesso a detta RAM dei guasti di regione,

per cui informazioni di guasto per diverse regioni di detta MUT possono essere introdotte in dette RAM dei guasti di regione simultaneamente ed analizzate simultaneamente in rispettivi fra detti moduli di regione da detti microprocessori di regione.

2. Apparecchiatura di test per memorie secondo la rivendicazio-

ne 1, in cui detti mezzi di ricezione comprendono un circuito di interfaccia di trasferimento di una RAM di presa avente una pluralità di ingressi collegati a dette linee di ingresso nonché una pluralità di uscite di interfaccia di trasferimento, ciascuna di dette uscite di interfaccia di trasferimento fornendo informazioni di guasti di regione per una singola regione per volta.

3. Apparecchiatura di test per memorie secondo la rivendicazione 1, in cui detto circuito di interfaccia di trasferimento della RAM di presa comprende mezzi per collegare selettivamente dette linee di ingresso a rispettive uscite dell'interfaccia di trasferimento.

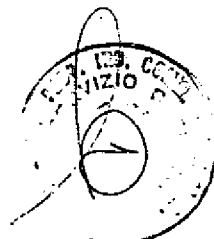
4. Apparecchiatura di test per memorie secondo la rivendicazione 3, in cui detti mezzi per collegare selettivamente comprendono porte OR per combinare più di una di dette linee di ingresso ad un'uscita di interfaccia di trasferimento.

5. Apparecchiatura di test per memorie secondo la rivendicazione 4, in cui detti mezzi di connessione selettiva comprendono multiplexer.

6. Apparecchiatura di test per memorie secondo la rivendicazione 2, in cui detto circuito di interfaccia di trasferimento della RAM di presa emette un orologio di trasferimento verso tutti detti moduli di regione.

7. Apparecchiatura di test per memorie secondo la rivendicazione 2, comprendente inoltre una RAM di presa avente rispettivi

JACOBACCI CASETTA & PERANI
S.p.A.



nodi di uscita dati collegati a dette linee di ingresso.

8. Apparecchiatura di test per memorie secondo la rivendicazione 1, in cui dette linee di ingresso sono collegate così da ricevere informazioni di guasto a partire da un comparatore.

9. Apparecchiatura di test per memorie secondo la rivendicazione 1, in cui detto circuito di ingresso di regione è una array logico.

10. Apparecchiatura di test per memorie secondo la rivendicazione 1, in cui ciascuno di detti moduli di regione comprende una RAM di programma.

11. Apparecchiatura di test per memorie secondo la rivendicazione 10, comprendente inoltre un circuito di interfaccia bus dati che collega un elaboratore host a tutti detti moduli di regione, detto elaboratore host avendo accesso a detta RAM di programma e detta RAM dei guasti attraverso detto circuito di ingresso di regione.

12. Apparecchiatura di test per memorie secondo la rivendicazione 1, in cui ciascuno di detti circuiti di ingresso di regione comprende mezzi di ingresso di guasti per generare dati di indirizzo di guasti della MUT i quali identificano le locazioni di guasti in detta MUT, e in cui detta RAM dei guasti di regione è collegata così da immagazzinare detti dati di indirizzo di guasti della MUT.

13. Apparecchiatura di test per memorie secondo la rivendicazione 12, in cui detti mezzi di ingresso di guasti comprendono

ASSOCIATI
UNILIA & PERANI
B.P.A.

un circuito di conteggio degli errori che genera indirizzi RAM dei guasti per immagazzinare detti dati di indirizzo di guasti della MUT in detta RAM dei guasti contando gli errori in dette informazioni di guasto.

14. Apparecchiatura di test per memorie secondo la rivendicazione 13, in cui detti mezzi di ingresso di guasti comprendono

un circuito contatore di dati che genera detti dati di indirizzo di guasti e della MUT immagazzinati in detta RAM dei guasti contando impulsi di orologio di trasferimento di conteggio che sono sincroni con dette informazioni di guasto.

15. Apparecchiatura di test per memorie secondo la rivendicazione 14, in cui detti mezzi di ingresso di guasti comprendono un rivelatore di errore il quale rivela gli errori in dette informazioni di guasto ed abilita detto circuito di conteggio degli errori in modo che esso conti impulsi di orologio di trasferimento corrispondenti ad errori in dette informazioni di guasto.

16. Apparecchiatura di test per memorie per analizzare informazioni di guasto in una memoria sottoposta a test (MUT), detta apparecchiatura comprendendo

mezzi di ingresso di guasti per ricevere informazioni di guasto da una detta memoria sottoposta a test e generare dati di indirizzo di guasti della MUT i quali identificano le posizioni di guasti in detta MUT,

una RAM dei guasti collegata a detti mezzi di ingresso di

guasti per immagazzinare detti dati di indirizzo di guasti della MUT, e

un microprocessore collegato così da avere accesso a detta RAM dei guasti così da analizzare detti dati di indirizzo di guasti della MUT.

17. Apparecchiatura di test per memorie secondo la rivendicazione 16, in cui detti mezzi di ingresso di guasti comprendono

un circuito di conteggio degli errori il quale genera indirizzi della RAM dei guasti così da immagazzinare detti dati di indirizzo di guasti della MUT in detta RAM dei guasti contando errori in dette informazioni di guasto.

18. Apparecchiatura di test per memorie secondo la rivendicazione 17, in cui detti mezzi di ingresso di guasti comprendono

un circuito contatore di dati che genera detti dati di indirizzo di guasti della MUT immagazzinati in detta RAM dei guasti contando impulsi di orologio di trasferimento sincroni con detta informazione di guasto.

19. Apparecchiatura di test per memorie secondo la rivendicazione 18, in cui detti mezzi di ingresso di guasti comprendono un rivelatore di errore il quale rivela gli errori in dette informazioni di guasto ed abilita detto circuito contatore degli errori così da contare impulsi di orologio di trasferimento corrispondenti ad errori in dette informazioni di guasto.

20. Apparecchiatura di test per memorie secondo la rivendicazione 19, in cui detti mezzi di ingresso di guasti comprendono un

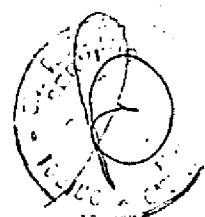
circuito contatore di ciclo che conta detti impulsi di orologio di trasferimento e fornisce un primo segnale di abilitazione verso detto circuito contatore dei dati quando gli impulsi di orologio di trasferimento contati eccedono un conteggio di partenza.

21. Apparecchiatura di test per memorie secondo la rivendicazione 20, in cui detto primo segnale di abilitazione viene interrotto quando gli impulsi di orologio di trasferimento contati eccedono un conteggio di arresto.

22. Apparecchiatura di test per memorie secondo la rivendicazione 21, in cui detto circuito contatore di ciclo comprende un ingresso per ignorare l'errore seriale (ISE), e detto circuito contatore di ciclo non emette detto primo segnale di abilitazione quando disabilitato da detto ingresso ISE.

23. Apparecchiatura di test per memorie secondo la rivendicazione 20, in cui detto circuito contatore di ciclo comprende detto rivelatore di errore e fornisce un secondo segnale di abilitazione verso detto circuito contatore di errore quando gli impulsi di orologio di trasferimento contati eccedono un conteggio di partenza ed è stato rivelato un errore in dette informazioni di guasto, detto circuito contatore degli errori contando detti impulsi di orologio di trasferimento quando abilitato da detto secondo segnale di abilitazione.

24. Apparecchiatura di test per memorie secondo la rivendicazione 23, in cui detto secondo segnale di abilitazione viene



interrotto quando gli impulsi di orologio di trasferimento contanti eccedono un conteggio di arresto.

25. Apparecchiatura di test per memorie secondo la rivendicazione 19, in cui detti mezzi di ingresso di guasti comprendono una logica di scrittura della RAM che emette un circuito di abilitazione del chip verso detta RAM dei guasti, detto segnale di abilitazione del chip abilitando detta RAM dei guasti in modo da immagazzinare un nuovo dato di indirizzo di guasto della MUT emesso da detto circuito contatore di dati in corrispondenza di un nuovo indirizzo della RAM dei guasti emesso da detto ciclo di conteggio dell'errore a seguito del fatto che entrambi detti circuiti contatori sono stati incrementati da un impulso di orologio di trasferimento.

26. Apparecchiatura di test per memorie secondo la rivendicazione 25, comprendente inoltre un circuito di ritardo il quale fornisce un impulso di orologio di trasferimento ritardato verso detta logica di scrittura della RAM, detto impulso di orologio di trasferimento ritardato facendo sì che detto segnale di abilitazione del chip abiliti per la scrittura detta RAM dei guasti.

27. Apparecchiatura di test per memorie secondo la rivendicazione 26, in cui detta logica di scrittura della RAM fa sì che detto segnale di abilitazione del chip disabiliti detta RAM dei guasti prima del conteggio di un impulso di orologio di trasferimento da parte di detto contatore dei dati e di detto

contatore degli errori.

26. Apparecchiatura di test per memorie secondo la rivendicazione 27, comprendente inoltre un altro circuito di ritardo che ritarda gli impulsi di orologio di trasferimento contanti da detto circuito contatore dei dati e da detto circuito contatore degli errori, ed in cui detto primo circuito di ritardo sopra menzionato ritarda gli impulsi di orologio di trasferimento ritardati emessi da detto altro circuito di ritardo.

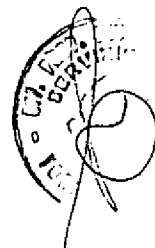
28. Apparecchiatura di test per memorie secondo la rivendicazione 28, in cui impulsi di orologio di trasferimento non ritardati fanno sì che detta logica di scrittura della RAM disabiliti detta RAM dei guasti.

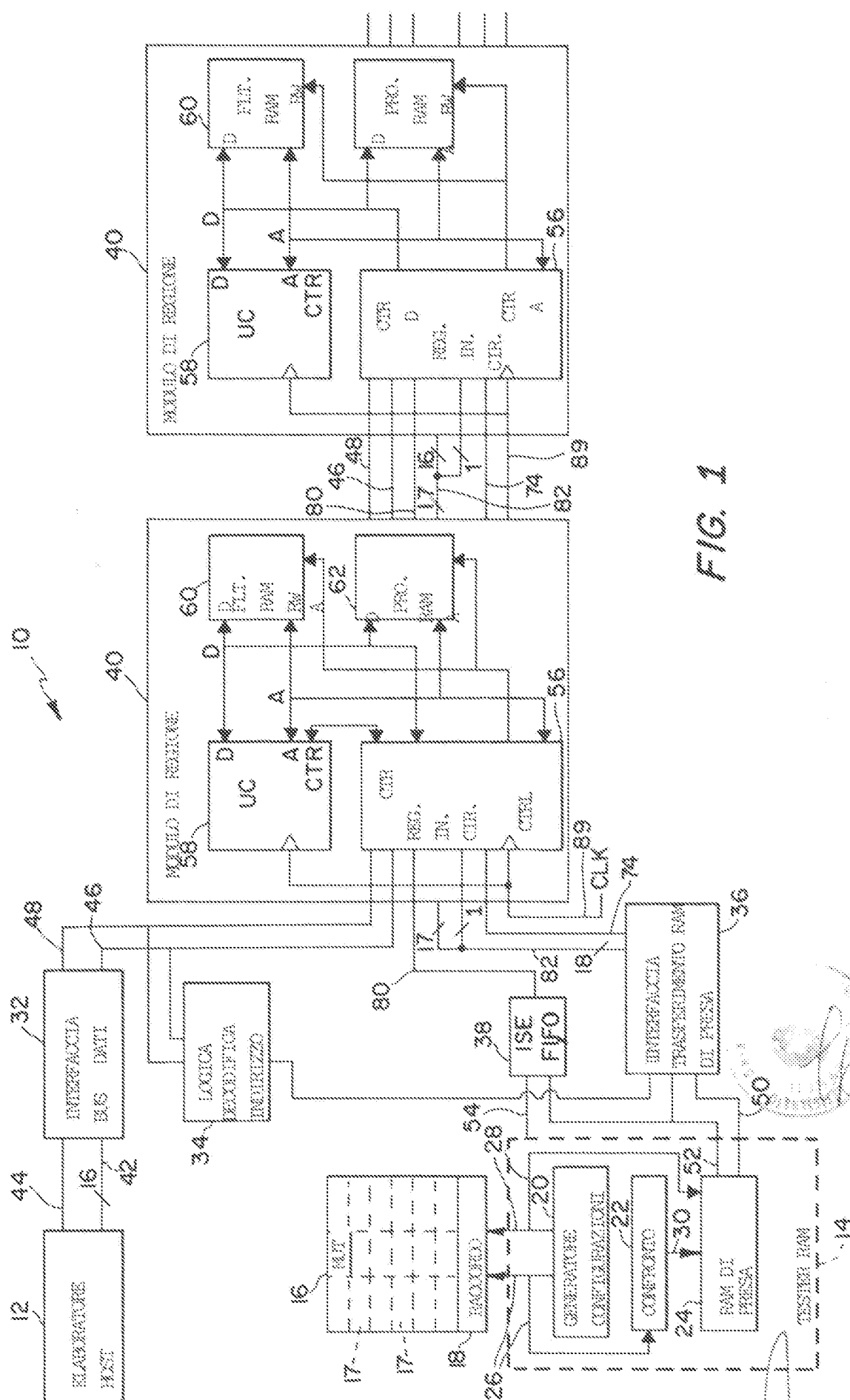
30. Apparecchiatura di test per memorie secondo la rivendicazione 16, comprendente inoltre una RAM di presa avente rispettivi nodi di uscita collegati in modo da emettere dette informazioni di guasto per una detta memoria sottoposta a test verso detti mezzi di ingresso di guasti.

PER INCARICO

Ing. Angelo GERBINO
ALBO 1488
(in proprio e per gli altri)

GIROBACCI CASETTA & PERONI
S.p.A.





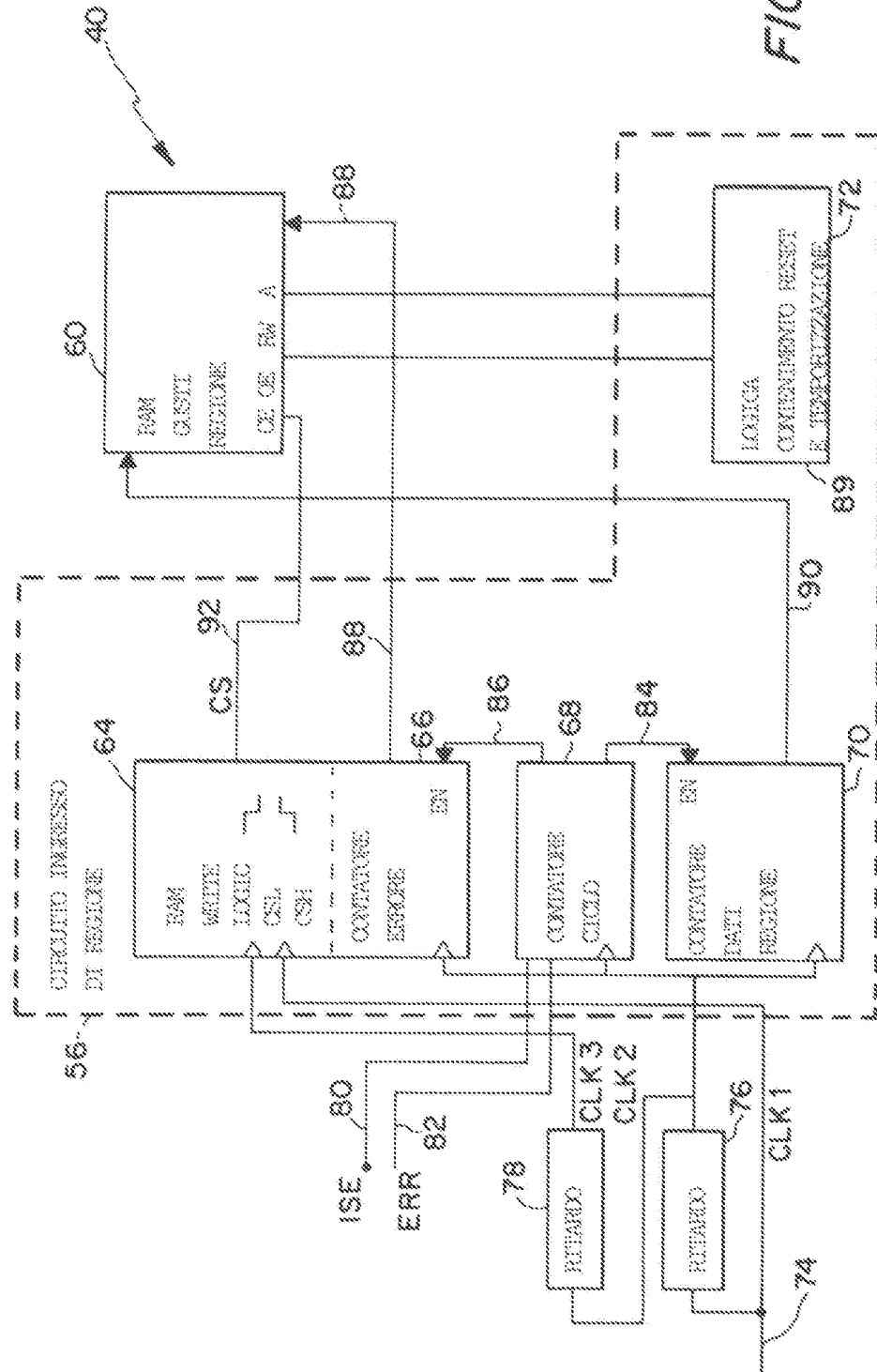


FIG. 2

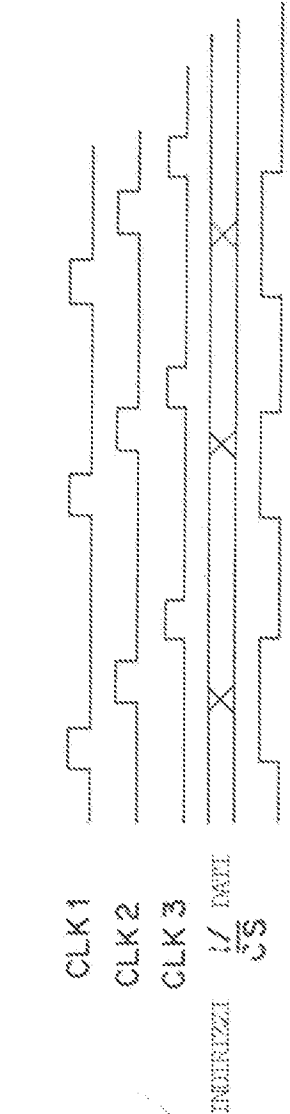


FIG. 3

Per incarico di : TERAVUE, INC.

[Handwritten signature]

Ing. Luciano BOSOTTI
N. Inc. 260
(in proprio e per gli studi)