

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H02M 3/04 (2006.01)

H02M 3/155 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410056955.5

[45] 授权公告日 2009 年 7 月 8 日

[11] 授权公告号 CN 100511936C

[22] 申请日 2004. 8. 23

[21] 申请号 200410056955.5

[30] 优先权

[32] 2003. 8. 29 [33] JP [31] 2003 - 306949

[73] 专利权人 松下电器产业株式会社

地址 日本大阪

[72] 发明人 小林拓 藤井圭一

[56] 参考文献

CN1229302A 1999. 9. 22

CN1245595A 2000. 2. 23

US5701096A 1997. 12. 23

审查员 王璐

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 徐金国 陈红

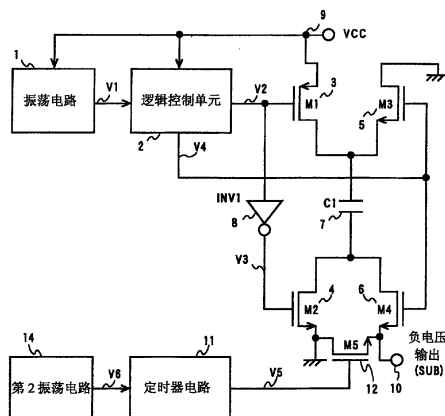
权利要求书 3 页 说明书 12 页 附图 9 页

[54] 发明名称

负电压输出电路

[57] 摘要

提供负电压输出电路，在从电源电压上升后，充电泵电路完全开始动作前，不会产生闭锁现象。本发明的负电压输出电路，是包括具有第 1 振荡器的充电泵电路和、根据上述第 1 振荡频率设定定时器时间的定时器电路和、N 沟道型 MOS 晶体管，一方的 N 型扩散层与上述充电泵电路的输出端子连接，另一方的 N 型扩散层与接地电位连接，栅电极与上述定时器电路的输出端子连接，在上述定时器的时间内导通。



1. 一种负电压输出电路，其特征在于，包括：

充电泵电路，其具有第 1 振荡器，该充电泵电路使用正值电源电压和接地电位生成比上述接地电位更低的负值电压，并通过连接到半导体集成电路的输出端子将上述生成的负值电压输出；

定时器电路，其与上述第 1 振荡器连接，并且根据上述第 1 振荡器输出的信号，将定时器的期间设定为从上述电源电压的上升到上述充电泵电路完全动作开始的期间，该设定的期间对应于上述第 1 振荡器的输出；和

N 沟道型 MOS 晶体管，其与上述定时器电路连接并且与上述充电泵电路的输出端子并联连接，该晶体管的源极端子与上述充电泵电路的输出端子连接、漏极端子与接地电位连接、栅极端子与上述定时器电路的输出端子连接，并且在上述设定的定时器期间导通，

其中，在上述设定的定时器期间并且上述 N 沟道型 MOS 晶体管导通时，该电路输出上述接地电位，而在上述设定的定时器期间以外并且上述 N 沟道型 MOS 晶体管没有导通时，该电路输出上述负值电压。

2. 一种负电压输出电路，其特征在于，包括：

充电泵电路，其具有振荡器，该充电泵电路使用正值电源电压和接地电位生成比上述接地电位更低的负值电压，并通过连接到半导体集成电路的输出端子将上述生成的负值电压输出；

N 沟道型 MOS 晶体管，其与上述充电泵电路的输出端子并联连接，该晶体管的漏极端子与上述充电泵电路的输出端子连接而源极端子与接地电位连接；和

控制端子，其与上述 N 沟道型 MOS 晶体管的栅极端子连接，用于将控制上述 N 沟道型 MOS 晶体管的动作的控制信号从外部输入，

其中在上述 N 沟道型 MOS 晶体管导通时输出上述接地电位，而在上述 N 沟道型 MOS 晶体管没有导通时输出上述负值电压。

3. 一种负电压输出电路，其特征在于，包括：

充电泵电路，其具有第 1 振荡器，该充电泵电路使用正值电源电压和接地电位生成比上述接地电位更低的负值电压，并通过连接到半导体集成电路的输出端子将上述生成的负值电压输出；

第 2 振荡器；

定时器电路，其与上述第 2 振荡器连接，根据上述第 2 振荡器输出的信号，将定时器的期间设定为从上述电源电压上升到上述充电泵电路完全动作开始的期间，该设定的期间对应于上述第 2 振荡器的输出，并且生成第 3 导通指令；
和

N 沟道型 MOS 晶体管，其与上述定时器电路连接并且与上述充电泵电路的输出端子并联连接，该晶体管的源极端子与上述充电泵电路的输出端子连接、漏极端子与接地电位连接、栅极端子与上述定时器电路的输出端子连接，并且在上述设定的定时器期间导通，

其中，在上述设定的定时器期间并且上述 N 沟道型 MOS 晶体管导通时，该电路输出上述接地电位，而在上述设定的定时器期间以外并且上述 N 沟道型 MOS 晶体管没有导通时，该电路输出上述负值电压。

4. 根据权利要求 1 所述的负电压输出电路，其特征在于，进一步包括：

从外部输入控制信号的控制端子，上述第 1 振荡器的振荡频率根据上述控制信号进行变化。

5. 根据权利要求 3 所述的负电压输出电路，其特征在于，进一步包括：

从外部输入控制信号的控制端子，上述第 1 振荡器及上述第 2 振荡器的振荡频率根据上述控制信号进行变化。

6. 根据权利要求 3 所述的负电压输出电路，其特征在于，进一步包括：

从外部输入控制信号的控制端子，上述第 2 振荡器的振荡频率根据上述控制信号进行变化。

7. 根据权利要求 1-6 所述的负电压输出电路，其特征在于，上述充电泵电路进一步包括：

逻辑控制单元，将上述第1振荡器的输出信号作为时钟信号输入，产生第1导通指令和第2导通指令；

第1开关元件，其连接在电源电位和电容器的1端之间，并且按照上述第1导通指令导通；

第2开关元件，其连接在上述电容器的另一端和接地电位之间，并且按照上述第1导通指令导通；

第3开关元件，其连接在接地电位和上述电容器的一端之间，并且按照上述第2导通指令导通；和

第4开关元件，其连接在上述电容器的另一端和上述输出端子之间，并且按照上述第2导通指令导通。

8. 根据权利要求3所述的负电压输出电路，其特征在于，

上述充电泵电路进一步包括：

逻辑控制单元，将上述第1振荡器的输出信号作为时钟信号输入，产生第1导通指令和第2导通指令；

第1开关元件，其连接在电源电位和电容器的1端之间，并且按照上述第1导通指令导通；

第2开关元件，其连接在上述电容器的另一端和接地电位之间，并且按照上述第1导通指令导通；

第3开关元件，其连接在接地电位和上述电容器的一端之间，并且按照上述第2导通指令导通；和

第4开关元件，其连接在上述电容器的另一端和上述输出端子之间，并且按照上述第2导通指令导通，

其中，在上述第3导通指令输出期间，上述第3开关元件及上述第4开关元件是截止状态。

9. 根据权利要求8所述的负电压输出电路，其特征在于，在上述第3导通指令输出期间，上述第1开关元件及上述第2开关元件是导通状态。

负电压输出电路

技术领域

本发明涉及用于半导体集成电路的负电压输出电路。

用图 2、图 9 说明以往例的充电泵电路的负电压输出电路。图 9 是以往例的使用充电泵电路的负电压输出电路的模块图。在图 9 中，1 是以规定的频率振荡而输出时钟信号 V1 的振荡电路、2 是将时钟信号 V1 作为输入信号的逻辑控制单元、3 是 P 沟道型 MOS 晶体管（以下，称为 M1。）、4 是 N 沟道型 MOS 晶体管（以下，称为 M2。）、5 是 N 沟道型 MOS 晶体管（以下，称为 M3。）、6 是 N 沟道型 MOS 晶体管（以下，称为 M4。）、7 是容量 C1 的电容器、8 是变换电路（以下，称为 INV1。）、9 是施加电源电压端子（以下，称为 VCC 端子。将在 VCC 端子上施加的电源电压作为 VCC。）、10 是负电压输出端子（以下，称为 VSUB 端子。）。

图 2 是表示使用以往例的充电泵电路的负电压输出电路的动作的定时的图。在图 9 构成的负电压输出电路中，为了产生负电压输出电压，有必要重复由 T3 → T1 → T3 → T2 → T3 构成 1 周期的动作定时。以下，说明动作定时 T1、T2 及 T3 的各自的定时的动作。

首先，从 VCC 端子 9 施加电压 VCC，振荡电路 1 开始自振，输出时钟信号 V1。

时钟信号 V1 成为逻辑控制 2 的输入信号。逻辑控制 2 输出用来控制 M1、M2、M3 及 M4 的 ON/OFF 动作的信号 V2 及 V4。V2 成为 INV1 的输入信号。INV1 相对于 V2 输出使极性反转的信号 V3。

在动作定时 T1 中，由于 V2 是 Low 极性、V3 是 High 极性、V4 是 Low 极性，所以 M1 成为 ON（动作状态）、M2 成为 ON（动作状态）、M3 及 M4 成为 OFF（不动作状态）。

在该状态中，由于电容器 7 的一方的电极与 VCC 端子连接、另一方的电极接地（以下，称为“GND”。），所以通过由 M1 的 ON 电阻 R1 和电容器 7 的容量 C1 决定的时间常数将电容器 7 充电。（以下，将在电容器 7 充电的电

压作为 VC。) 电压 VC 大致与电源电压 VCC 相等。

在动作定时 T2 中, 由于 V2 是 High 极性、V3 是 Low 极性、V4 是 High 极性, 所以 M1 成为 OFF (不动作状态)、M2 成为 OFF (不动作状态)、M3 及 M4 成为 ON (动作状态)。

在该状态中, 由于电容器 7 的一方的电极与 GND 连接、另一方的电极与 VSUB 连接, 所以在动作定时 T1 的期间充电的电压被放电, 在 VSUB 端子上输出负电压 $-VC$ ($=-VCC$)。

在动作定时 T3 中, 由于 V2 是 High 极性、V3 是 Low 极性、V4 是 Low 极性, 所以 M1、M2、M3 及 M4 成为 OFF (不动作状态)。

在使控制信号 V2 的 Low 期间和控制信号 V4 的 High 期间接近的情况下, 由于 M1 及 M3 的栅电极和基板间构成的寄生电容的影响, V2 的 Low 向 High 的变化及 V4 的 High 向 Low 变化变慢, M1 及 M3 同时成为 ON (动作状态)、在 VCC-GND 间流动贯通电流。为此, 在从动作定时 T1 向动作定时 T2 移行时, 将所有的晶体管设置成 OFF 的动作定时 3 的期间时, 可防止上述贯通电流的产生。

重复 T3→T1→T3→T2→T3 的动作定时, 最终在动作定时 T1 中在电容器 7 充电的电压成为 VCC, 在 VSUB 端子上产生 $-VCC$ 电压。

在半导体集成电路中, 内藏这样的负电压输出电路, 从 VSUB 端子供给基板电位时, 与 VSUB 端子连接, 成为负电压输出电路的负载的电路, 不仅是接受电源电压 VC 也可接受电源电压 $-VC$ 的供给。例如, 音响电路如果是负载电路, 将 VC 及 $-VC$ 作为电源电压的音响电路的输出动态范围与仅将 VC 作为电源电压时比较, 扩大 2 倍。

可是, 在上述以往构成的负电压输出电路中, 在将负电压输出电路端子 10 与基板电位连接时, 从电源 VCC 上升后到振荡电路 1 以规定的振幅输出时钟信号 V1 前有延迟时间。从电源 VCC 上升后到振荡电路 1 以规定的振幅输出时钟信号 V1, 根据时钟信号 V1 完全操作充电泵电路之间, 产生在 VSUB 端子 10 的负电压是接近 GND 电位的低电压。另外, 此时, 负电压输出端子 10 与 N 沟道型 MOS 晶体管 M4 的漏极端子连接, 所以 VSUB 端子 10 的输出阻抗成为高阻抗, 与 VSUB 端子 10 的连接基板电位不稳定。由此引起启动时, 存在容易引起操作基板电位的负载电路上的寄生元件构成的开关元件而使

得电路的破坏的闭锁现象的问题。

发明内容

本发明就是为了解决上述以往的课题而进行的，其目的在于提供负电压输出电路，在电源上升后到充电泵（charge pump）电路完全开始动作前之间，防止负载电路的闭锁（latch up）现象的。

为了解决上述课题，本发明的负电压输出电路具有以下构成。按照一个观点的本发明的负电压输出电路具备如下构成，即，具备第1振荡器的充电泵电路和、根据上述第1振荡器的振荡频率设定定时器时间的定时器电路和、N沟道型MOS晶体管，其一方的N型扩散层与上述充电泵电路的输出端子连接，另一方的N型扩散层与接地电位连接，栅电极与上述定时器电路的输出端子连接，在上述定时器的时间内导通。

按照其他观点的本发明的负电压输出电路具有以下构成，负电压输出电路，其特征是具有：输出端子；充电泵电路，其具备：第1振荡器和、所述将第1振荡器的输出信号作为时钟信号进行输入，产生第1导通指令和第2导通指令的控制逻辑部分和、第1开关元件，连接电源电位和电容器的一端按照上述第1导通指令进行导通和、第2开关元件，连接上述电容器的另一端和接地电位按照上述第1导通指令进行导通和、第3开关元件，连接接地电位和上述电容器的一端按照上述第2导通指令进行导通的和、第4开关元件，连接上述电容器的另一端和上述输出端子按照上述第2导通指令进行导通及；定时器电路，其是输入上述第1振荡器的输出信号，上述电源电位上升后到经过规定时间的期间生成高电平的第3导通指令及；N沟道型MOS晶体管或者NPN型双极晶体管，一方的N型扩散层与上述输出端子连接，另一方的N型扩散层与上述的接地电位连接，栅电极或者基极电极输入上述的第3导通指令，上述的电源电位上升后经过规定时间的期间导通。

本发明具有以下的作用，在从电源电压升高后，到充电泵电路完全开始动作前的期间，可以实现不引起闭锁现象的负电压输出电路。

从另外的观点看，本发明的负电压输出电路，具有充电泵电路和、N沟道型MOS晶体管，一方的N型扩散层与上述输出端子连接，另一方的N型扩散层与上述的接地电位连接和、控制端子，将用来控制上述N沟道型MOS晶

晶体管动作的信号施加在栅电极上的。

从另外的观点看,本发明的负电压输出电路,具有输出端子、充电泵电路和、输入第3导通指令的控制端子和、N沟道型MOS晶体管或者NPN型双极晶体管,其中充电泵电路包括:第1振荡器和、逻辑控制部,将上述第1振荡器的输出信号作为时钟信号进行输入产生第1导通指令和第2导通指令和、第1开关元件,连接上述电源电位和电容器一端,根据上述第1导通指令进行导通和、第2开关元件,连接上述电容器另一端和接地电位,根据上述第1导通指令进行导通和、第3开关元件,连接上述接地电位和电容器1端,根据上述第2导通指令进行导通和、连接上述接地电位和上述输出端子,根据上述第2导通指令进行导通和、第4开关元件,连接上述电容器另1端和上述输出端子,根据上述第2导通指令进行导通和、连接上述接地电位和上述输出端子,根据上述第2导通指令进行导通以及、N沟道型MOS晶体管或者NPN型双极晶体管,其一方的N型扩散层连接在上述输出端子,另一方的N型扩散层连接在接地电位,根据从上述控制端子,栅电极或者基极电极输入的第3导通指令导通。

本发明具有以下的作用,在从电源升高后,到在充电泵电路完全开始动作前的规定时间内,可以实现从外部控制N沟道型MOS晶体管(或者NPN型双极晶体管),由此能够防止负载电路引起闭锁现象的负电压输出电路。

例如,控制向本发明负电压输出电路提供电源电压VCC的输出电路的外部微型计算机,通过供给上述信号,外部的微型计算机,可以相互关联地控制电源电压VCC和负电压(-VC)。本发明,对于例如规定的中央控制部的各种成套设备,通过适合该设定设备的电源的上升,进行电源上升时的初期控制系统,可以实现防止负载电路的闭锁的负电压输出电路。

按照另外的观点,上述的本发明的负电压输出电路,进而具有与上述第1振荡器不同的第2振荡器,上述定时器电路,不使用上述第1振荡器,替代使用根据上述第2振荡器的振荡频率设定定时时间。

按照另外的观点,上述的本发明的负电压输出电路,进而具有与上述第1振荡器不同的第2振荡器,上述定时器电路,不使用上述第1振荡器,替代以上述第2振荡器的输出信号作为时钟信号输入,生成上述第3导通指令。

本发明,设置与控制充电泵电路的动作的第1振荡电路不同的第2振荡电

路的事实，使得与充电泵电路的动作完全分离，从电源上升后，到在充电泵电路完全开始动作前的期间以上的任意设定的期间，可以控制 N 沟道型 MOS 晶体管（或者 NPN 型双极晶体管）处于导通状态，可以实现防止负载电路的闭锁的负电压输出电路的作用。

按照其他的观点看，上述的本发明的负电压输出电路，进而具有从外部输入控制信号的控制端子，上述第 1 振荡器的振荡频率根据上述控制信号变化。

本发明，通过从振荡频率控制电压端子（控制端子）输入振荡频率控制电压的事实，来进行控制充电泵电路的动作的第 1 振荡电路的振荡频率的控制。本发明，电源电压上升后，在充电泵电路完全开始动作前的期间以上的任意设定的期间，可以控制 N 沟道型 MOS 晶体管（或者 NPN 型双极晶体管）处于导通状态，可以实现防止负载电路的闭锁的负电压输出电路的作用。

按照其他的观点看，上述的本发明的负电压输出电路，进而具有控制端子，从外部输入控制信号，上述第 1 振荡器及上述第 2 振荡器的振荡频率根据上述控制信号进行变化。

本发明，通过从振荡频率控制电压端子（控制端子）输入振荡频率控制电压，来进行第 1 振荡电路的振荡频率和第 2 振荡电路的振荡频率的控制。本发明，电源上升后，在充电泵电路完全开始动作前的期间以上的任意设定的期间，可以控制 N 沟道型 MOS 晶体管（或者 NPN 型双极晶体管）处于导通状态，可以实现防止负载电路的闭锁的负电压输出电路的作用。

例如，通过外部微型计算机向振荡频率控制电压输入端子输入振荡频率控制电压，控制第 1 振荡电路的振荡频率的同时，能够将 N 沟道型 MOS 晶体管（或者 NPN 型双极晶体管）的导通期间，根据第 1 振荡电路的振荡频率进行延长或者缩短。

按照其他的观点看，上述的本发明的负电压输出电路，进而具有从外部输入控制信号的控制端子，上述第 2 振荡器的振荡频率根据上述控制信号进行变化。

本发明，通过从振荡频率控制电压端子（控制端子）输入振荡频率控制电压，来进行第 2 振荡电路的振荡频率的控制。本发明，从电源上升后，到在充电泵电路完全开始动作前的期间以上的任意设定的期间，可以控制 N 沟道型 MOS 晶体管（或者 NPN 型双极晶体管）处于导通状态，可以实现防止负载电

路的闭锁的负电压输出电路的作用。

例如,从外部微型计算机向振荡频率控制电压输入端子输入振荡频率控制电压,在控制第1振荡电路的同时,可以将N沟道型MOS晶体管(或者NPN型双极晶体管)处于导通状态期间,根据情况进行延长或者缩短。

按照其他的观点看,上述的本发明的负电压输出电路中,上述第3导通指令输出期间,上述第3开关元件及上述第4开关元件是截止状态。按照本发明,充电泵电路的电容量大时,通过电容器的短路放电电流防止N沟道型MOS晶体管(或者NPN型双极晶体管)的破坏。

按照其他的观点看,上述的本发明的负电压输出电路中,上述第3导通指令输出期间,上述第1开关元件及上述第2开关元件处于导通状态。按照本发明,N沟道型MOS晶体管(或者NPN型双极晶体管)在导通期间,充电泵电路的电容由于维持充电的导通状态,所以电容器的两端电压在达到规定电压(近似电源电压)的时间可以缩短。

按照本发明,可以得到以下有利的效果,电源电压上升后,在充电电路完全开始动作前的期间,可以实现不引起闭锁现象的负电压输出电路。

按照本发明,可以得到以下有利的效果,随着成套设备(set)的电源电压上升,可以实现电源上升时的初期控制的负电压输出电路。

发明的新特征特别地记载在权利要求中,没有其他的内容,关于构成及内容的两方面的本发明,从其他目的和特征一起,与附图共同地理解以下详细说明的本发明,可以进一步理解和评价。

附图说明

图1是使用本发明的实施方式1中充电泵电路的负电压输出电路的模块图。

图2是使用以往例,本发明的实施方式1~6中的充电泵电路的负电压输出电路的动作的时序图。

图3是使用本发明的实施方式1~6中的充电泵电路的负电压输出电路的电源投入时动作时序图。

图4是使用本发明的实施方式2中的充电泵电路的负电压输出电路的模块图。

图 5 是使用本发明的实施方式 3 中的充电泵电路的负电压输出电路的模块图。

图 6 是使用本发明的实施方式 4 中的充电泵电路的负电压输出电路的模块图。

图 7 是使用本发明的实施方式 5 中的充电泵电路的负电压输出电路的模块图。

图 8 是使用本发明的实施方式 6 中的充电泵电路的负电压输出电路的模块图。

图 9 是使用以往例的充电泵电路的负电压输出电路的模块图。

附图的一部分或者全部，通过概要地表示，描述了图示的目的，但是所表示出的要素与实际的大小和位置未必是一致的。

具体实施方式

以下与图一起对于具体地实施本发明的最佳方式进行说明。

实施方式 1

对于使用本发明的实施方式 1 的充电泵电路的负电压输出电路，使用图 1~图 3 进行说明。图 1 是使用本发明的实施方式 1 中充电泵电路的负电压输出电路的模块图。在图 1 中，1 是以规定的频率振荡时，输出时钟信号 V1 的振荡电路、2 是以时钟信号 V1 作为输入信号的逻辑控制单元、3 是 P 沟道型 MOS 晶体管（以下称为 M1）、4 是 N 沟道型 MOS 晶体管（以下称为 M2）、5 是 N 沟道型 MOS 晶体管（以下称为 M3）、6 是 N 沟道型 MOS 晶体管（以下称为 M4）、7 是容量为 C1 的电容器、8 是变换电路（以下称为 INVI）、9 是加入电源电压的端子（以下称为 VCC。在 VCC 端子 9 上施加的电源电压是 VCC）、10 是负电压输出端子（以下称为 VSUB 端子）、11 是定时器电路、12 是 N 沟道型 MOS 晶体管（以下称为 M5）。实施方式 1 的负电压输出电路形成在半导体装置上。

图 2 是使用本发明的实施方式 1~6 中的充电泵电路的负电压输出电路的动作时序图。在图 1 那样构成的负电压输出电路，为了产生负电压输出电压，需要反复地进行 T3→T1→T3→T2→T3 的一个周期的时序。动作时序中的 T1、T2 及 T3 的各个时序中的动作与以往例是相同的。

图3是使用本发明的实施方式1中的充电泵电路的负电压输出电路的电源投入动作时序图。定时器电路11输入振荡电路1的时钟信号V1,为了控制M5的ON/OFF动作,而输出定时器电路输出信号V5。定时器电路输出信号V5随着VCC的上升成为High,从电源的上升,到充电泵电路完全动作开始的期间以上的任意设定的期间(以下称为T4)维持High,T4期间以后经常输出Low信号。

由此,T4期间,V5与栅电极连接的M5成为ON,VSUB端子短路在GND,其输出阻抗成为低阻抗。T4期间结束后,M5成为OFF,在VSUB端子上产生-VCC电压。电源上升后,VSUB端子的输出阻抗维持低阻抗。由此,可以防止电源上升时,连接在VSUB端子上的负载电路发生闭锁。

实施方式2

对于本发明的实施方式2的使用充电泵电路的负电压输出电路,用图2~图4进行说明。图4是本发明的实施方式2中使用充电泵电路的负电压输出电路的模块图。实施方式2(图4)与实施方式1(图1)的不同点是代替定时器电路11,为了控制N沟道型MOS晶体管M5的动作,追加控制信号输入端子13。在图4中,对于与图1(实施方式1)相同构成要素赋予相同符号,省略说明。

在图4中,1是以规定的频率振荡输出时钟信号V1的振荡电路、2是以时钟信号V1作为输入信号的逻辑控制单元、3是M1、4是M2、5是M3、6是M4、7是电容器、8是INV1、9是VCC端子、10是VSUB端子、12是N沟道型MOS晶体管M5、13是为了控制N沟道型MOS晶体管M5的动作的控制信号输入端子。

图2是使用本发明的实施方式2的充电泵电路的负电压输出电路的动作定时图。图2是与实施方式1相同省略说明。

图3是本发明的实施方式2中的使用充电泵电路的负电压输出电路的电源投入动作时序图。控制信号输入端子13随着VCC的上升成为High,从电源的上升,到充电泵电路完全动作开始的期间以上的任意设定的期间(T4)维持High,以后经常输入输出Low的信号。

由此,从电源的上升,到充电泵电路完全动作开始的期间以上的任意设定的期间,T4、M5成为ON,VSUB端子短路在GND,其输出阻抗成为低阻抗。

T4 期间结束后, M5 成为 OFF, 在 VSUB 端子上产生 $-VCC$ 电压。电源上升后, VSUB 端子的输出阻抗维持低阻抗。由此, 可以防止电源上升时, 连接在 VSUB 端子上的负载电路发生闭锁。

例如, 外部微型计算机从外部端子 13 供给控制信号, 外部微型计算机可保持电源电压 VCC 和负电压 $-VC$ 相互关系进行控制。外部微型计算机, 例如电源 VCC 上升后将规定的期间(例如与实施方式 1 的期间 T4 相同的期间)、M5 成为 ON。由此, 可得到与实施方式 1 相同的效果。

实施方式 3

对于本发明的实施方式 3 的使用充电泵电路的负电压输出电路, 用图 2、图 3、图 5 进行说明。图 5 是本发明的实施方式 3 中使用充电泵电路的负电压输出电路的模块图。实施方式 3 (图 5) 与实施方式 1 (图 1) 的不同点是追加与振荡电路 1 不同的第 2 振荡电路 14。在图 5 中, 对于与图 1 (实施方式 1) 相同构成要素赋予相同符号, 省略其说明。

在图 5 中, 1 是以规定的频率振荡输出时钟信号 V1 的振荡电路、2 是以时钟信号 V1 作为输入信号的逻辑控制单元、3 是 M1、4 是 M2、5 是 M3、6 是 M4、7 是电容器、8 是 INV1、9 是 VCC 端子、10 是 VSUB 端子、11 是定时器电路、12 是 N 沟道型 MOS 晶体管 M5、14 是与振荡电路 1 不同的第 2 振荡电路。

图 2 是本发明的实施方式 3 的使用充电泵电路的负电压输出电路的动作时序图。图 2 是与实施方式 1 相同省略说明。

图 3 是本发明的实施方式 3 中的使用充电泵电路的负电压输出电路的电源投入动作时序图。若第 2 振荡电路 14 施加 VCC, 开始自身振荡, 输出时钟信号 V6。定时器电路 11 将第 2 振荡电路 14 的输出时钟信号 V6 作为输入, 输出为了控制 M5 的 ON/OFF 动作的定时器电路输出信号 V5。定时器电路输出信号 V5 随着 VCC 的上升成为 High, 从电源的上升, 到充电泵电路完全动作开始的期间以上的任意设定的期间维持 (T4) High, 以后经常输出 Low 的信号。

由此, T4 期间, V5 连接在栅电极的 M5 成为 ON, VSUB 端子短路在 GND, 其输出阻抗成为低阻抗。T4 期间结束后, M5 成为 OFF, 在 VSUB 端子上产生 $-VCC$ 电压。电源上升后, VSUB 端子的输出阻抗维持低阻抗。由此, 可

以防止电源上升时，连接在 VSUB 端子上的负载电路发生闭锁。

实施方式 4

对于本发明的实施方式 4 的使用充电泵电路的负电压输出电路，用图 2、图 3、图 6 进行说明。图 6 是本发明的实施方式 4 中使用充电泵电路的负电压输出电路的模块图。实施方式 4（图 6）与实施方式 1（图 1）的不同点是追加振荡电路 1 的振荡频率控制电压输入端子 15。在图 6 中，对于与图 1（实施方式 1）相同构成要素赋予相同符号，省略说明。

在图 6 中，1 是以规定的频率振荡输出时钟信号 V1 的振荡电路、2 是以时钟信号 V1 作为输入信号的逻辑控制单元、3 是 M1、4 是 M2、5 是 M3、6 是 M4、7 是电容器、8 是 INV1、9 是 VCC 端子、10 是 VSUB 端子、11 是定时器电路、12 是 N 沟道型 MOS 晶体管 M5、15 是振荡电路 1 的振荡频率控制电压输入端子。

图 2 是本发明的实施方式 4 的使用充电泵电路的负电压输出电路的动作定时图。图 2 是与实施方式 1 相同省略说明。

图 3 是本发明的实施方式 4 中的使用充电泵电路的负电压输出电路的电源投入动作的时序图。若振荡电路 1 施加 VCC，开始自身振荡，根据从振荡频率控制电压输入端子 15 输入的电压 V7，输出控制振荡频率的时钟信号 V1。以下，由于与实施方式 1 相同所以省略说明。在本实施方式中，可从外部控制振荡电路 1 的振荡频率。

实施方式 5

对于使用本发明的实施方式 5 的充电泵电路的负电压输出电路，使用图 2、图 3、图 7 进行说明。图 7 是本发明的实施方式 5 中使用充电泵电路的负电压输出电路的模块图。实施方式 5（图 7）与实施方式 3（图 5）的不同点是追加振荡电路 1 及与振荡电路 1 不同的第 2 振荡电路 14 的振荡频率控制电压输入端子 16。在图 7 中，对于与图 5（实施方式 3）相同构成要素赋予相同符号，省略说明。

在图 7 中，1 是以规定的频率振荡输出时钟信号 V1 的振荡电路、2 是以时钟信号 V1 作为输入信号的逻辑控制单元、3 是 M1、4 是 M2、5 是 M3、6 是 M4、7 是电容器、8 是 INV1、9 是 VCC 端子、10 是 VSUB 端子、11 是定时器电路、12 是 N 沟道型 MOS 晶体管 M5、14 是与振荡电路 1 不同的第 2

振荡电路、16 是振荡电路 1 及与振荡电路 1 不同的第 2 振荡电路 14 的振荡频率控制电压输入端子 16。

图 2 是本发明的实施方式 5 的使用充电泵电路的负电压输出电路的动作定时图。图 2 由于与实施方式 3 相同所以省略说明。

图 3 是本发明的实施方式 5 中的使用充电泵电路的负电压输出电路的电源投入动作时序图。若振荡电路 1 及第 2 振荡电路 14 施加电压 VCC，开始自身振荡，根据从振荡频率控制电压输入端子 16 输入的电压 V8，输出振荡频率被控制的时钟信号 V1 及 V6。以下，由于与实施方式 3 相同所以省略说明。

例如，通过从外部微型计算机在振荡频率控制电压输入端子 17 上输入振荡频率控制电压，控制振荡电路 1 的振荡频率的同时，可根据振荡电路 1 的振荡频率延长或缩短 M5 的 ON 期间。

实施方式 6

对于本发明的实施方式 6 的使用充电泵电路的负电压输出电路，使用图 2、图 3、图 8 进行说明。图 8 是本发明的实施方式 6 中使用充电泵电路的负电压输出电路的模块图。实施方式 6（图 8）与实施方式 3（图 5）的不同点是追加与振荡电路 1 不同的第 2 振荡电路 14 的振荡频率控制电压输入端子 17。在图 8 中，对于与图 5（实施方式 3）相同构成元件赋予相同符号，省略说明。

在图 8 中，1 是以规定的频率振荡输出时钟信号 V1 的振荡电路、2 是以时钟信号 V1 作为输入信号的逻辑控制单元、3 是 M1、4 是 M2、5 是 M3、6 是 M4、7 是电容器、8 是 INV1、9 是 VCC 端子、10 是 VSUB 端子、11 是定时器电路、12 是 N 沟道型 MOS 晶体管 M5、14 是与振荡电路 1 不同的第 2 振荡电路、17 是与振荡电路 1 不同的第 2 振荡电路 14 的振荡频率控制电压输入端子。

图 2 是本发明的实施方式 5 的使用充电泵电路的负电压输出电路的动作定时图。图 2 由于与实施方式 3 相同所以省略说明。

图 3 是本发明的实施方式 5 中的使用充电泵电路的负电压输出电路的电源投入动作时序图。若第 2 振荡电路 14 施加电压 VCC，开始自身振荡，根据从振荡频率控制电压输入端子 17 输入的电压 V9，输出控制振荡频率的时钟信号 V6。以下，由于与实施方式 3 相同所以省略说明。

例如，通过从外部微型计算机在振荡频率控制电压输入端子 17 上输入振

荡频率控制电压，可根据情况，延长或缩短 M5 的 ON 期间。

在上述实施方式 1~6 中，在 M5 处于 ON 间、动作定时 T2（控制信号 V4 的 High 期间）中，电容器 7 的两端通过 M3、M5 及 M4 短路。在电容器 7 的容量 C1 非常大时，由于电容器 7 的短路放电电流，M3、M5 或 M4 可能被破坏。将 M5 的输入信号（例如图 1 的定时器电路 11 的输出信号）信号 V5 用变换器（追加元件）反向，将信号 V5 的反向信号和逻辑控制单元 2 输出的控制信号 V4 输入到 2 输入 AND 电路（追加元件）中，也可以将 2 输入 AND 电路的输出信号输入到 M3 及 M4 的栅电极。由此，在 M5 处于 ON 间，由于 M3 及 M4 维持 OFF 状态，所以在此期间，可防止 M5、M3 或 M4 被破坏。在 M5 处于 ON 间，由于电容器 7 蓄积的电荷不放电，所以可缩短电容器 7 的两端电压达到规定的电压 VC（接近于电源电压 VCC。）的时间。

此外，将逻辑控制单元 2 输出的控制信号 V2 和、信号 V5 的反向信号输入到 2 输入 AND 电路（追加元件）中，也可以将 2 输入 AND 电路的输出信号与 M1 的栅电极及 INV1 的输入端子连接。由此，在 M5 处于 ON 间，由于 M1 及 M2 维持 ON 状态（电容器 7 充电状态），所以可缩短电容器 7 的两端电压达到规定的电压 VC（接近于电源电压 VCC。）的时间。

上述的实施方式 1~6 也可应用到双极晶体管上。将 P 型 MOS 晶体管 M1 置换成 PNP 型双极晶体管，将 N 型 MOS 晶体管 M2、M3、M4、M5 置换成 PNP 型双极晶体管，可得到与上述实施方式相同的效果。

本发明的负电压输出电路，例如在电源投入后的负电压输出电路的闭锁的对策中是有用的。

以一定详细的程度说明了发明的实施方式，但是合适方式所公开的内容是可以进行变化的，对于各个要素的组合和顺序的变化，在不超出本发明的范围及思想也是可以实现的。

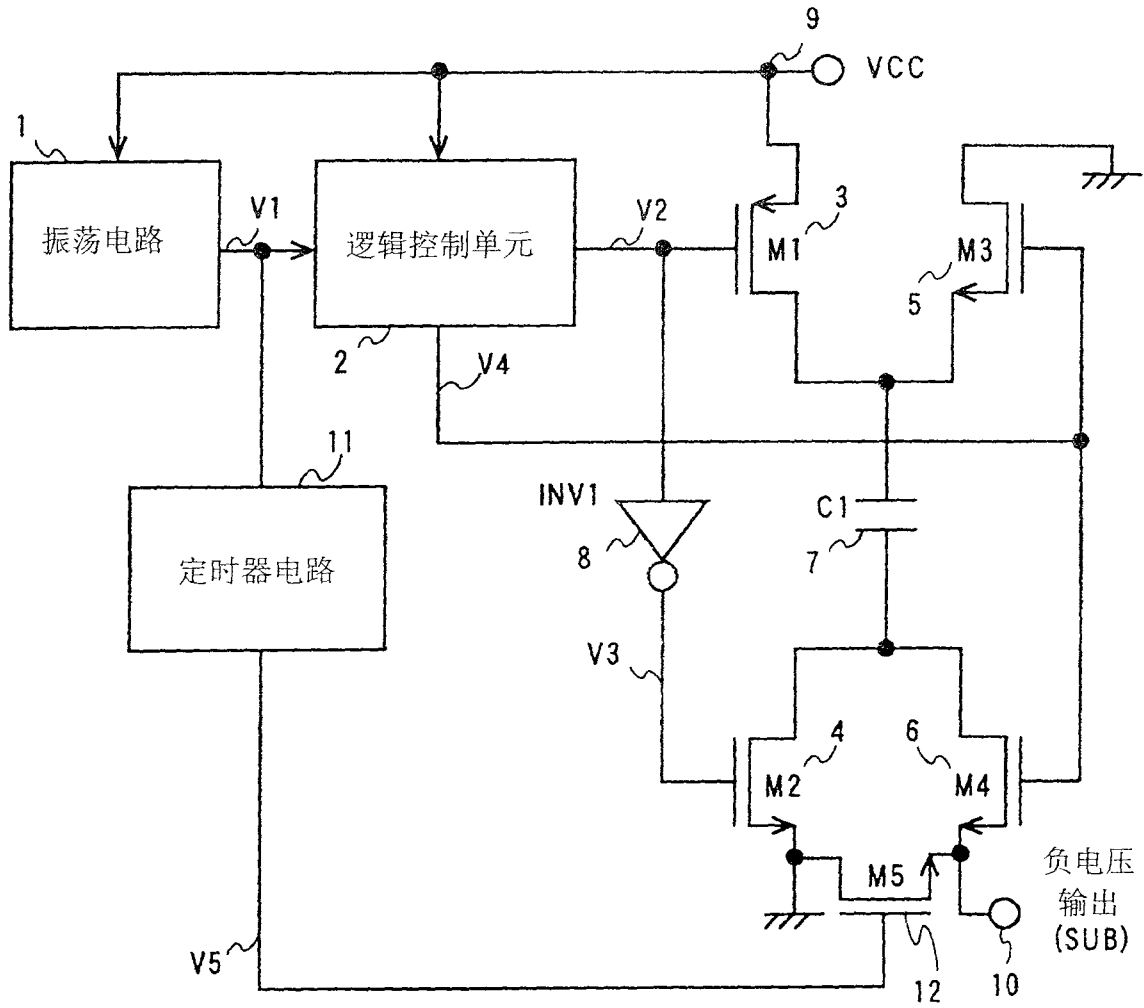


图 1

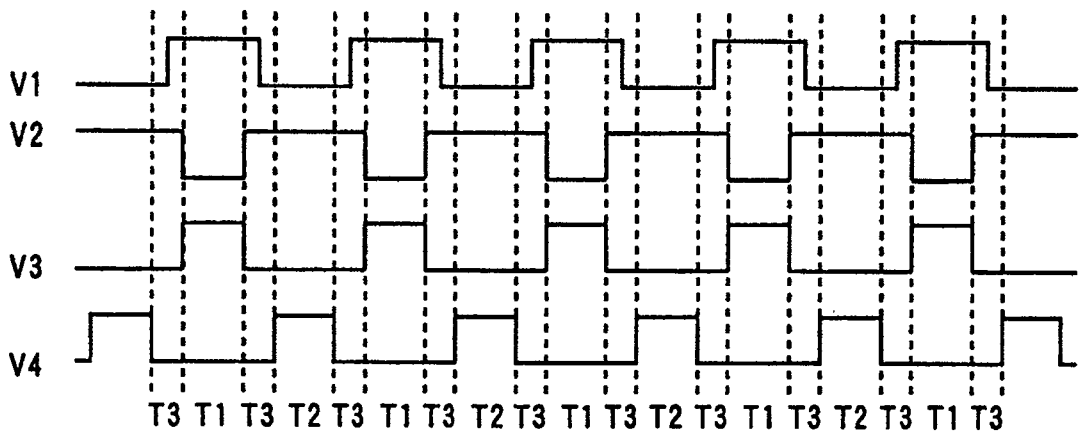


图 2

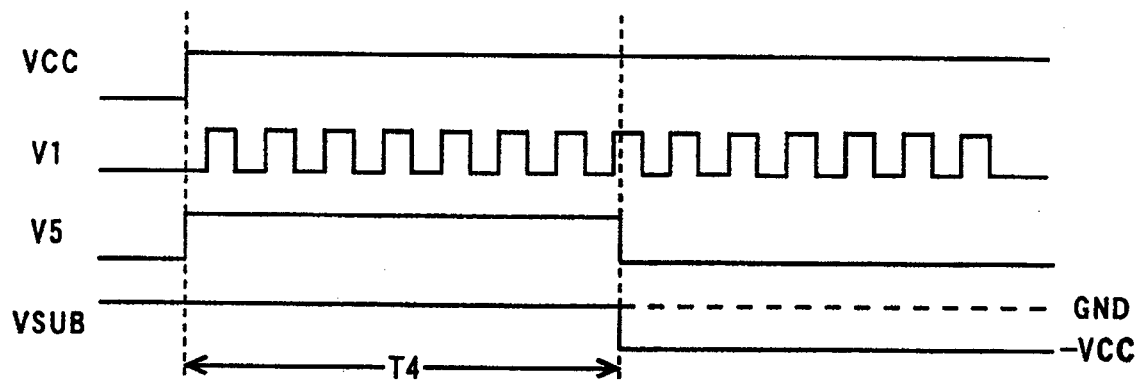


图 3

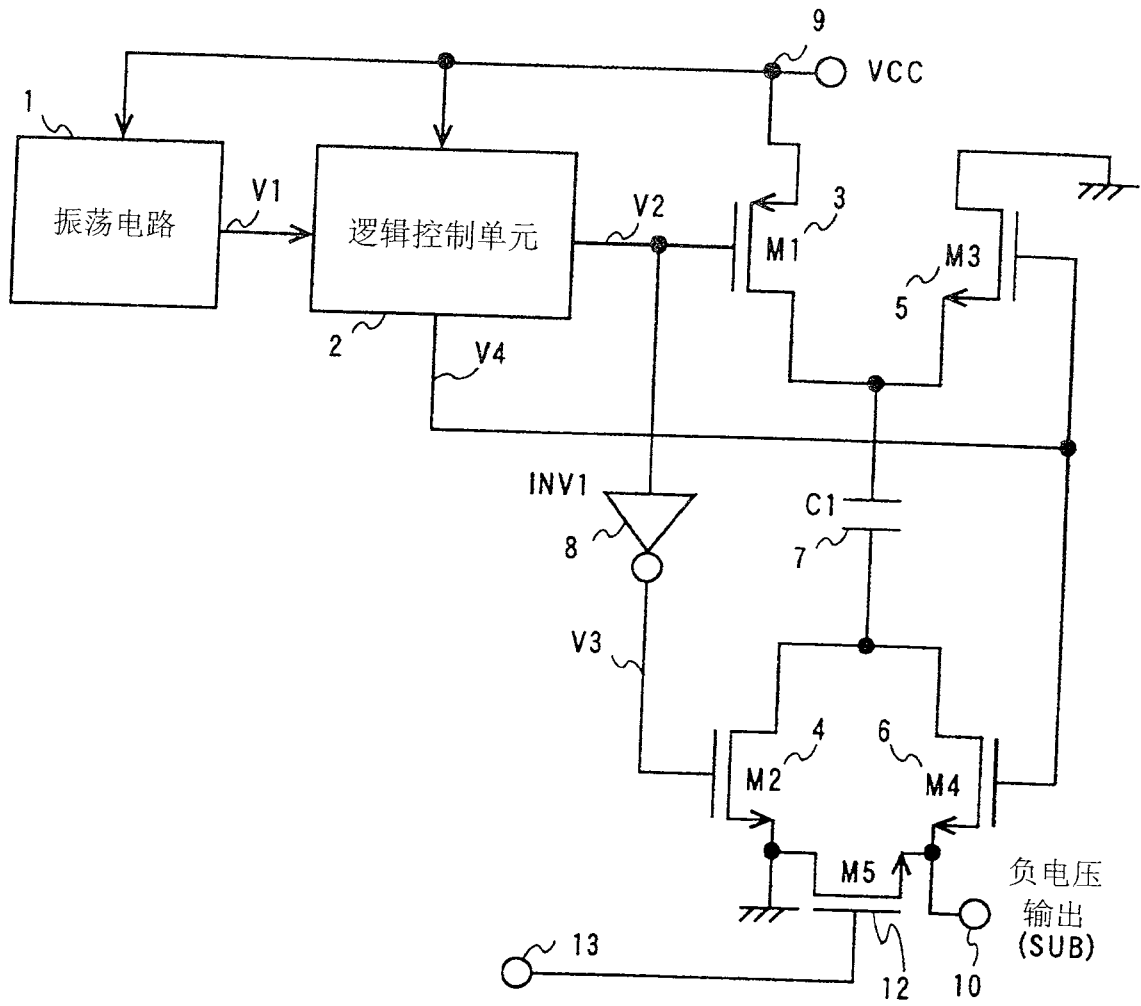


图 4

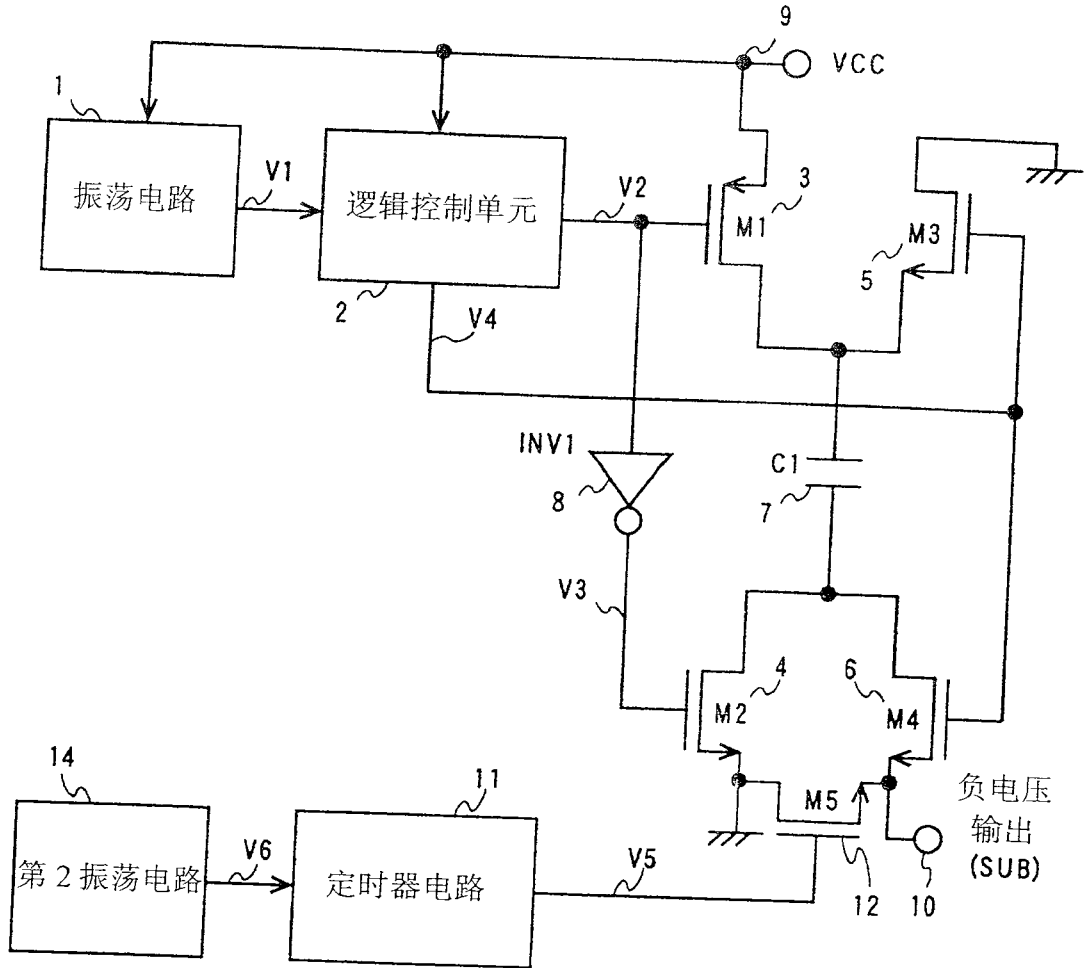


图 5

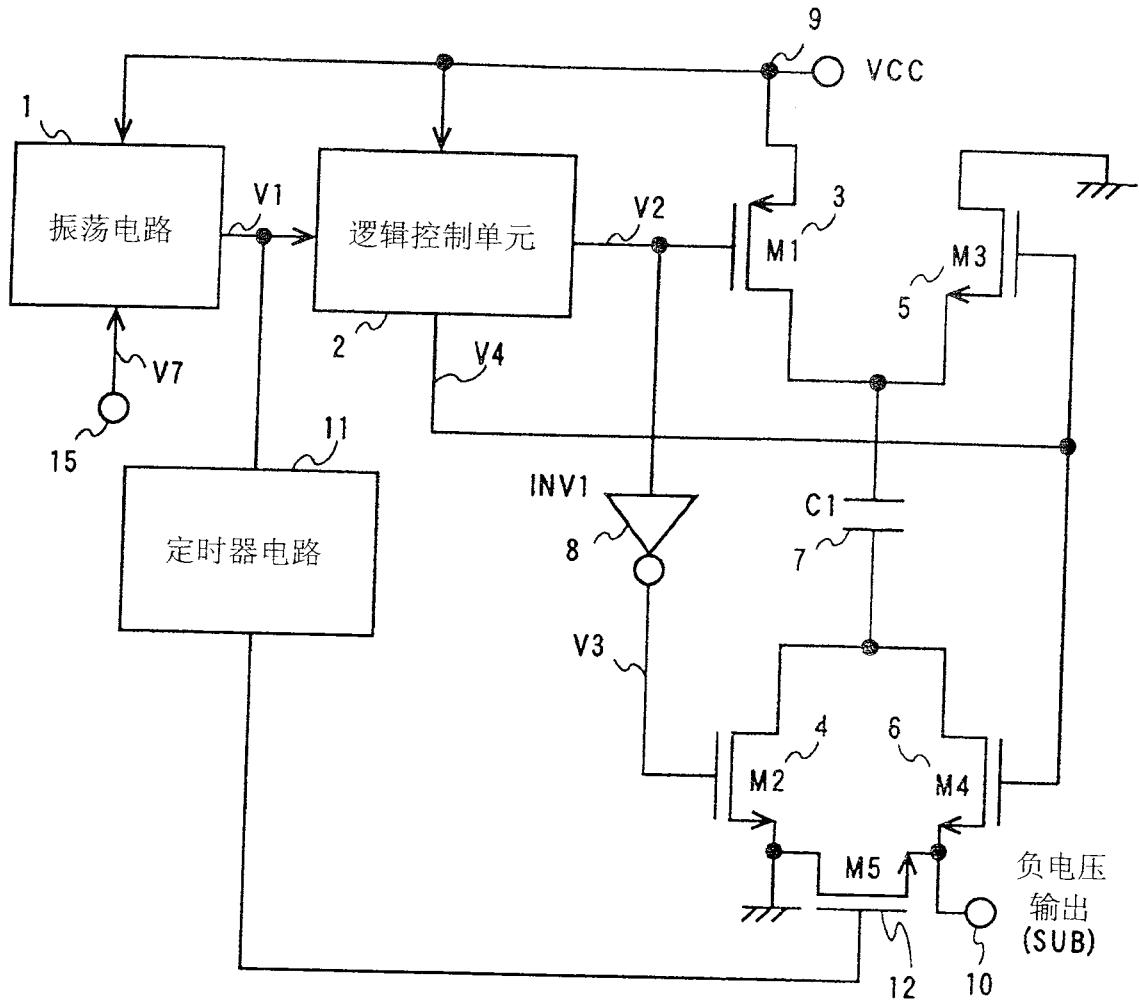


图 6

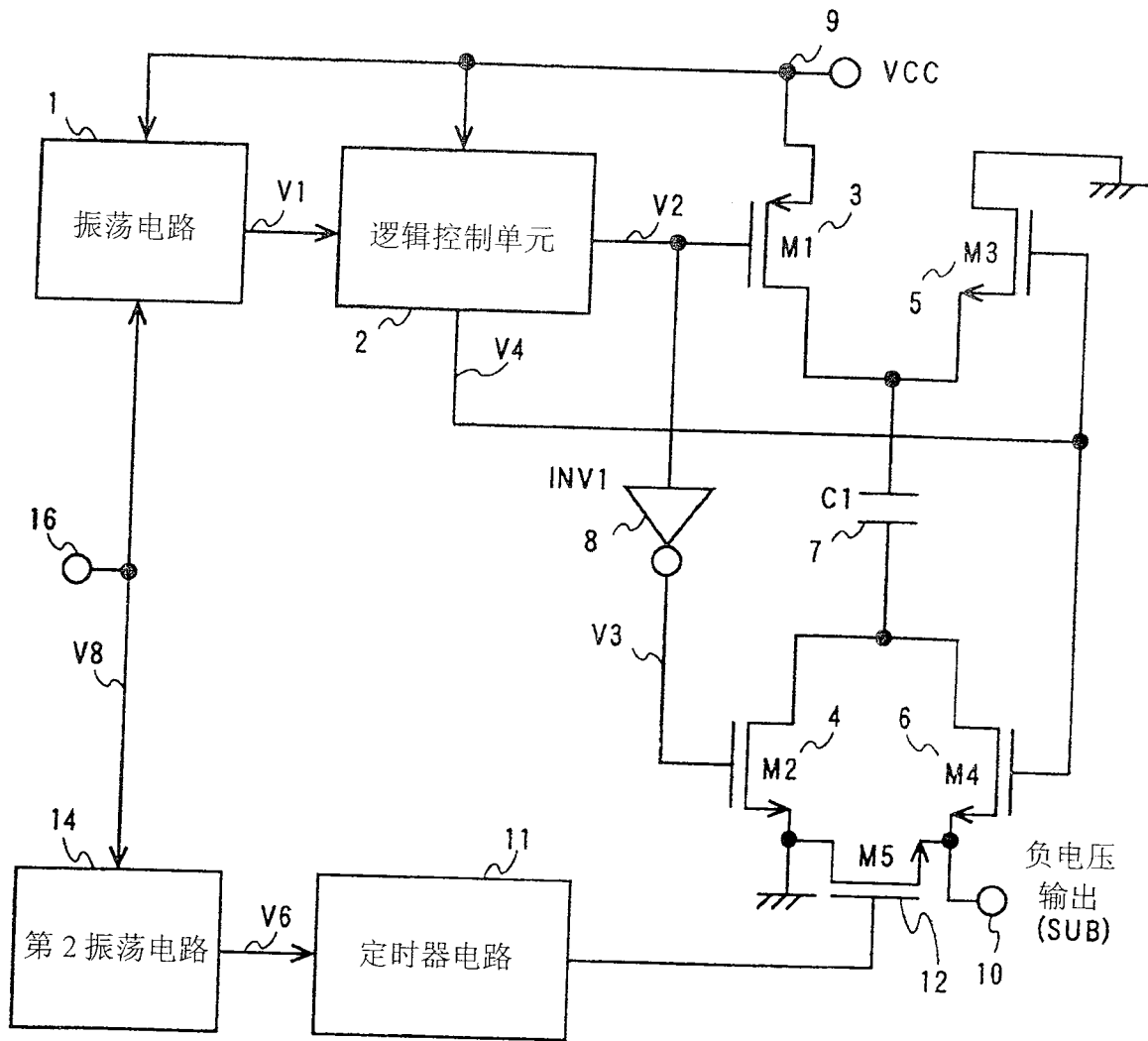


图 7

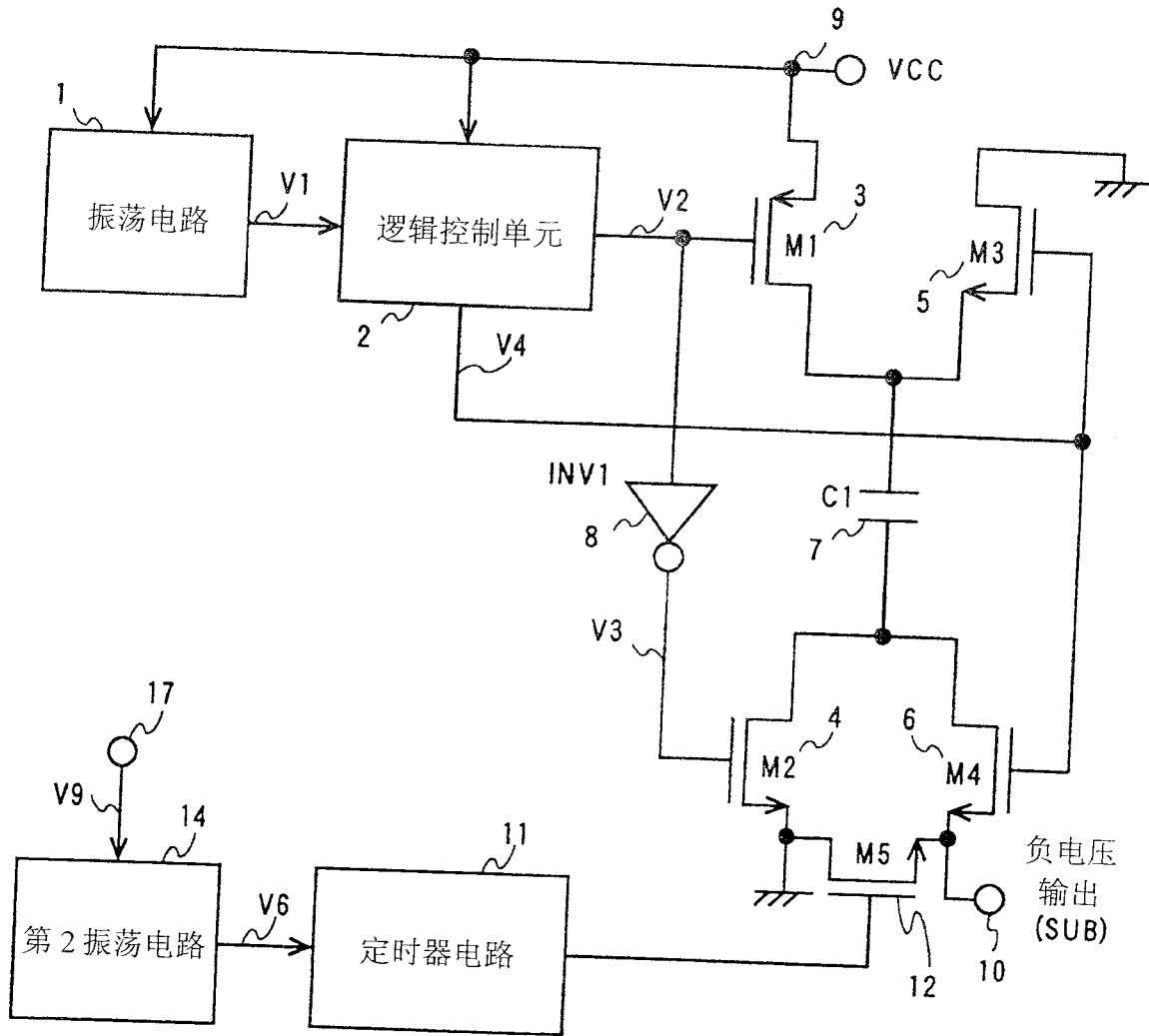


图 8

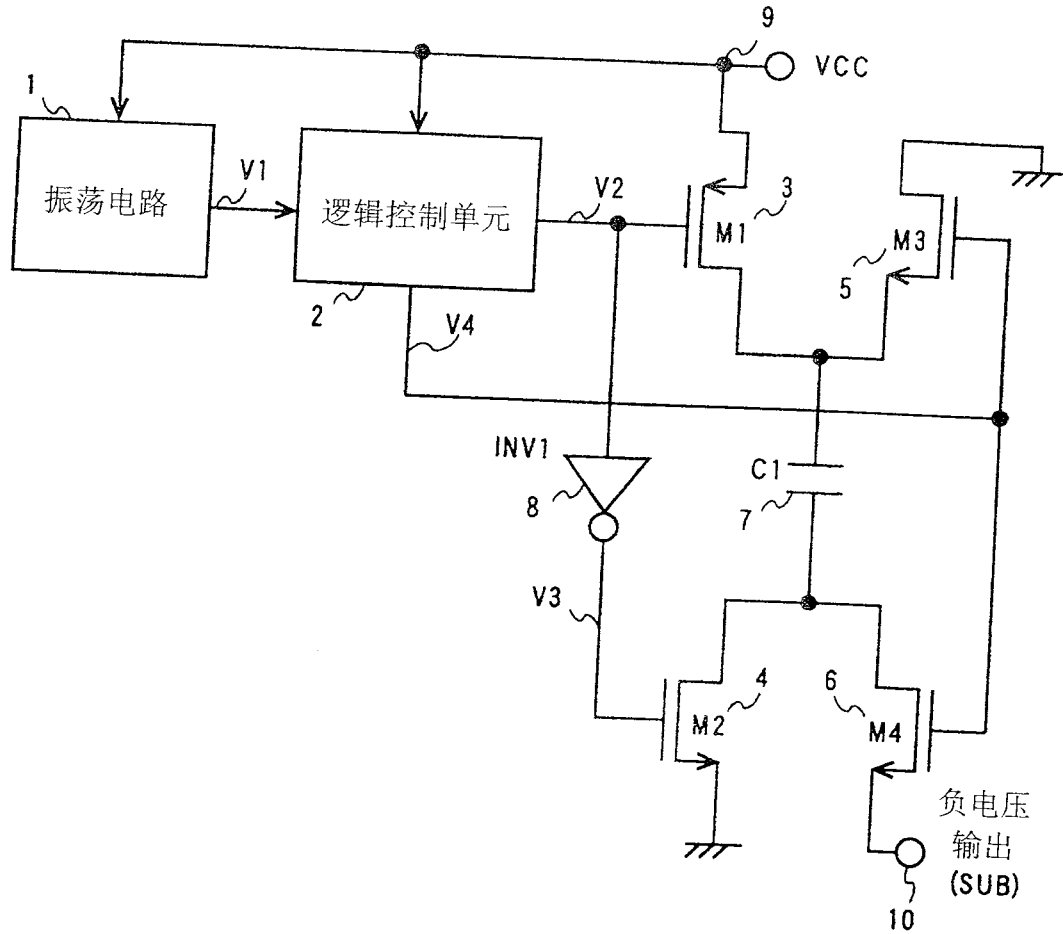


图 9