



(12)发明专利

(10)授权公告号 CN 105378934 B

(45)授权公告日 2018.12.11

(21)申请号 201480039829.0

(22)申请日 2014.06.28

(65)同一申请的已公布的文献号
申请公布号 CN 105378934 A

(43)申请公布日 2016.03.02

(30)优先权数据
13/941,119 2013.07.12 US

(85)PCT国际申请进入国家阶段日
2016.01.12

(86)PCT国际申请的申请数据
PCT/US2014/044769 2014.06.28

(87)PCT国际申请的公布数据
W02015/006074 EN 2015.01.15

(73)专利权人 电力集成公司
地址 美国加利福尼亚州

(72)发明人 V·帕塔萨拉蒂 S·班纳吉

(74)专利代理机构 北京汇知杰知识产权代理事
务所(普通合伙) 11587
代理人 杨勇 吴焕芳

(51)Int.Cl.
H01L 29/78(2006.01)
H01L 21/335(2006.01)

(56)对比文件
US 6168983 B1,2001.01.02,
US 6168983 B1,2001.01.02,
US 2011/0127607 A1,2011.06.02,
US 7011998 B1,2006.03.14,
CN 102148162 A,2011.08.10,
审查员 张竞存

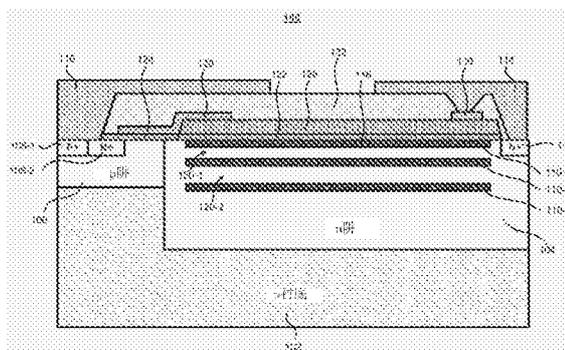
权利要求书4页 说明书8页 附图6页

(54)发明名称

具有多个注入层的高压场效应晶体管

(57)摘要

一种用于制造高压场效应晶体管的方法,包括在半导体衬底中形成一个主体区域、一个源极区域和一个漏极区域。该漏极区域通过该主体区域与该源极区域分开。形成该漏极区域包括:在半导体衬底的在该漏极区域上方的表面上形成一个氧化物层;以及在使该半导体衬底倾斜的同时穿过该氧化物层执行多个离子注入操作使得离子束以偏离垂线的角度撞击在该氧化物层上。所述多个注入操作在该漏极区域内形成相应的多个分立的注入层。所述注入层中的每一个形成在该漏极区域内的不同深度处。



1. 一种用于制造高压场效应晶体管的方法,该方法包括:
 - 在半导体衬底中形成一个主体区域;
 - 在该半导体衬底中形成一个源极区域;
 - 在该半导体衬底中形成一个漏极区域,该漏极区域通过该主体区域与该源极区域分开,其中形成该漏极区域包括:
 - 使用热氧化工艺在该半导体衬底的在该漏极区域上方的表面上形成一个第一氧化物层;以及
 - 在该半导体衬底倾斜的同时穿过该第一氧化物层执行多个离子注入操作,使得离子束以一个偏离垂线的角度撞击在该第一氧化物层上,其中所述多个离子注入操作在该漏极区域内形成相应的多个分立的注入层,并且其中所述注入层中的每一个形成在该漏极区域内的不同深度处;以及
 - 使用低温氧化物沉积工艺在该第一氧化物层的顶部上沉积第二氧化物层。
2. 根据权利要求1所述的方法,其中该第一氧化物层具有20纳米-500纳米的厚度。
3. 根据权利要求1所述的方法,其中使该半导体衬底倾斜包括使该半导体衬底倾斜以使得离子束以偏离垂线3度-10度的角度撞击在该第一氧化物层上。
4. 根据权利要求1所述的方法,其中该方法还包括在该第一氧化物层的顶部上形成第二氧化物层,其中该第一氧化物层具有20纳米-500纳米的厚度,且其中该第二氧化物层具有0.1微米-2微米的厚度。
5. 根据权利要求4所述的方法,还包括:
 - 执行蚀刻处理以暴露该半导体衬底的在该主体区域的顶部上方的表面;
 - 在该主体区域的顶部上方形成一个栅极氧化物层,其中该栅极氧化物层邻接该第一氧化物层和该第二氧化物层;以及
 - 在该栅极氧化物层的顶部以及该第二氧化物层的一部分上方形成一个栅极电极,其中该栅极电极的在该第二氧化物层的所述一部分上方的部分位于所述注入层的靠近该主体区域的多个部分的顶部上方。
6. 根据权利要求1所述的方法,其中所述多个分立的注入层中的每个注入层具有0.1微米-2微米的厚度。
7. 根据权利要求1所述的方法,其中该漏极区域包括一个n型阱,其中执行所述多个离子注入操作包括执行三个离子注入操作以形成三个分立的p型注入层,其中所述p型注入层的第一层形成在该半导体衬底的邻接该第一氧化物层的表面处,其中所述p型注入层的第二层形成在所述p型注入层的所述第一层的下方,并且其中所述p型注入层的第三层形成在所述p型注入层的所述第二层的下方。
8. 根据权利要求7所述的方法,其中所述p型注入层的所述第一层和所述第二层通过n型阱的第一n型区域分开,该第一n型区域具有0.5微米-3微米的厚度,并且其中所述p型注入层的所述第二层和所述第三层通过所述n型阱的第二n型区域分开,该第二n型区域具有0.5微米-3微米的厚度。
9. 根据权利要求1所述的方法,其中该漏极区域包括一个n型阱,其中执行所述多个离子注入操作包括执行三个离子注入操作以在所述n型阱内形成三个分立的p型注入层,其中所述p型注入层的第一层埋藏在该衬底的表面下方使得所述n型阱的一个n型区域设置在该

第一氧化物层和所述p型注入层的所述第一层之间,其中所述p型注入层的第二层形成在所述p型注入层的第一层的下方,并且其中所述p型注入层的第三层形成在所述p型注入层的所述第二层的下方。

10. 根据权利要求9所述的方法,其中所述p型注入层的所述第一层通过n型阱的第一n型区域与该第一氧化物层分开,该第一n型区域具有0.05微米-2微米的厚度,其中所述p型注入层的所述第一层和所述第二层通过该n型阱的第二n型区域分开,该第二n型区域具有0.5微米-3微米的厚度,并且其中所述p型注入层的所述第二层和所述第三层通过该n型阱的第三n型区域分开,该第三n型区域具有0.5微米-3微米的厚度。

11. 一种用于制造高压场效应晶体管的方法,该方法包括:

在半导体衬底中形成一个主体区域;

在该半导体衬底中形成一个源极区域;

在该半导体衬底中形成一个漏极区域,该漏极区域通过该主体区域与该源极区域分开,其中形成该漏极区域包括:

在该半导体衬底的在该漏极区域上方的表面上形成第一氧化物层;以及

穿过该第一氧化物层执行三个离子注入操作以在该漏极区域内形成三个分立的注入层,其中所述注入层中的每一个被沉积在该漏极区域内的不同深度处,并且其中所述三个注入层中的第一层位于该半导体的邻接该第一氧化物层的表面处;以及

在该第一氧化物层的顶部上形成第二氧化物层。

12. 根据权利要求11所述的方法,其中执行三个离子注入操作包括使该半导体衬底倾斜以使得离子束以偏离垂线的一个角度撞击在该第一氧化物层上。

13. 根据权利要求11-12中的任一项所述的方法,其中该第一氧化物层具有20纳米-500纳米的厚度,且其中该第二氧化物层具有0.1微米-2微米的厚度。

14. 根据权利要求13所述的方法,还包括:

执行蚀刻处理以暴露该半导体衬底的在该主体区域的顶部上方的表面;

在该主体区域的顶部上方形成一个栅极氧化物层,其中该栅极氧化物层邻接该第一氧化物层和该第二氧化物层;以及

在该栅极氧化物层的顶部上方形成一个栅极电极。

15. 根据权利要求11所述的方法,其中所述三个注入层中的每一个均具有0.1微米-2微米的厚度。

16. 根据权利要求11所述的方法,其中该漏极区域包括一个n型阱,其中所述三个注入层是p型注入层,其中所述p型注入层的第二层形成在所述p型注入层的第一层的下方,并且其中所述p型注入层的第三层形成在所述p型注入层的第二层的下方。

17. 根据权利要求16所述的方法,其中所述p型注入层的所述第一层和所述第二层通过所述n型阱的第一n型区域分开,该第一n型区域具有0.5微米-3微米的厚度,并且其中所述p型注入层的所述第二层和所述第三层通过所述n型阱的第二n型区域分开,该第二n型区域具有0.5微米-3微米的厚度。

18. 一种高压场效应晶体管,包括:

一个主体区域,其在一个半导体衬底中;

一个源极区域,其在该半导体衬底中;

一个漏极区域,其在该半导体衬底中,该漏极区域通过该主体区域与该源极区域分开,其中该漏极区域包括三个分立的注入层,其中所述注入层中的每一个处于该漏极区域内的不同深度处,并且其中所述三个注入层的第一层位于该半导体衬底的一个表面处;以及

一个第一氧化物层,其在该半导体衬底的在该漏极区域上方的表面上并且邻接该漏极区域中的所述第一注入层,其中所述第一氧化物层具有20纳米-500纳米的厚度,以及

在所述第一氧化物层的顶部上的第二氧化物层,其中所述第二氧化物层具有0.1微米-2微米的厚度。

19. 根据权利要求18所述的高压场效应晶体管,还包括:

一个栅极氧化物层,其在该主体区域的顶部上方的表面的顶部上,其中该栅极氧化物层邻接该第一氧化物层和该第二氧化物层;以及

一个栅极电极,其在该栅极氧化物层的顶部上方。

20. 根据权利要求18所述的高压场效应晶体管,其中所述三个注入层中的每一个均具有0.1微米-2微米的厚度。

21. 根据权利要求18-20中的任一项所述的高压场效应晶体管,其中该漏极区域包括一个n型阱,其中所述三个注入层是p型注入层,其中所述p型注入层的第二层位于所述p型注入层的所述第一层的下方,并且其中所述p型注入层的第三层位于所述p型注入层的所述第二层的下方。

22. 根据权利要求21所述的高压场效应晶体管,其中所述p型注入层的所述第一层和所述第二层通过所述n型阱的第一n型区域分开,该第一n型区域具有0.5微米-3微米的厚度,并且其中所述p型注入层的所述第二层和所述第三层通过所述n型阱的第二n型区域分开,该第二n型区域具有0.5微米-3微米的厚度。

23. 根据权利要求18所述的高压场效应晶体管,其中所述第一氧化物层具有三个分立的注入层,所述三个分立的注入层是在离子注入操作中穿过所述第一氧化物层注入的,在所述离子注入操作中,半导体衬底倾斜使得离子束以偏离垂线的角度撞击在所述第一氧化物层上。

24. 一种用于制造高压场效应晶体管的方法,该方法包括:

在半导体衬底中形成一个主体区域;

在该半导体衬底中形成一个源极区域;

在该半导体衬底中形成一个漏极区域,该漏极区域通过该主体区域与该源极区域分开,其中形成该漏极区域包括:

在半导体衬底的在该漏极区域上方的表面上形成第一氧化物层,其中该第一氧化物层具有20纳米-500纳米的厚度;以及

穿过该氧化物层执行三个离子注入操作以在该漏极区域内形成三个分立的注入层,其中所述注入层中的每一个被沉积在该漏极区域内的不同深度处,并且其中所述三个分立的注入层中的每一个均具有0.1微米-2微米的厚度;

在该第一氧化物层的顶部上方形成第二氧化物层,其中该第二氧化物层具有0.1微米-2微米的厚度;

在该半导体衬底的在该主体区域的顶部上方的表面上形成一个栅极氧化物层,其中该栅极氧化物层邻接该第一氧化物层和该第二氧化物层;以及

在该栅极氧化物层的顶部以及该第二氧化物层的一部分上方形成一个栅极电极。

具有多个注入层的高压场效应晶体管

技术领域

[0001] 本公开内容涉及场效应晶体管的制造,且更具体地,涉及高压场效应晶体管的制造。

背景技术

[0002] 高压场效应晶体管(HVFET)可以用在多种不同的电路应用(诸如,功率转换电路)中。例如,HVFET可以用作功率转换电路中的功率开关。包括HVFET功率开关的示例功率转换器拓扑可以包括但不限于非隔离功率转换器拓扑(例如,降压转换器或升压转换器)和隔离功率转换器拓扑(例如,反激转换器)。

[0003] 在功率转换电路的运行期间,HVFET可能遭受高电压和高电流。例如,在运行期间,HVFET可能遭受数百伏(例如,700V-800V)的电压。因此,HVFET可以被设计成具有高击穿电压。HVFET还可以被设计成具有相对低的导通电阻以便最小化功率转换电路运行期间的传导损耗。

附图说明

[0004] 参考以下附图描述本公开内容的非限制性且非穷举性实施方案,其中在所有多个视图中相同的参考数字可以指示相同的部分。

[0005] 图1示出一个高压场效应晶体管(HVFET)的横截面侧视图。

[0006] 图2是描述制造图1的HVFET的流程图。

[0007] 图3示出包括图1的HVFET的一个漏极区域和一个主体区域的衬底的横截面侧视图。

[0008] 图4示出包括一个薄氧化物层的衬底的横截面侧视图。

[0009] 图5示出用于注入图1的HVFET的注入层的离子注入操作的横截面侧视图。

[0010] 图6示出包括一个厚氧化物层的衬底的横截面侧视图。

[0011] 图7示出包括一个蚀刻的厚氧化物层和蚀刻的薄氧化物层的衬底的横截面侧视图。

[0012] 图8示出一个替代HVFET的横截面侧视图。

[0013] 在附图的所有若干视图中,相应的参考字符指示相应的部件。本领域技术人员将理解,图中的元件是为了简化和清楚而例示的从而不必按比例绘制。例如,图中的某些元件的尺度相对于其它元件可能被夸大,以有助于增进对本公开内容的多个实施方案的理解。另外,为了便于较少地遮挡本公开内容的这些多个实施方案的视图,通常不描绘出在商业上可行的实施方案中有用的或必需的通用但熟知的元件。

具体实施方式

[0014] 在下面的描述中阐述了许多具体的细节,以提供对本发明的透彻理解。然而,本领域的普通技术人员应明了,不需要采用具体细节来实践本发明。在其它实例中,为了避免模

糊本发明,没有详细描述公知的材料或方法。

[0015] 贯穿本说明书引用的“一个实施方案”、“一实施方案”、“一个实施例”或“一实施例”意味着结合该实施方案或实施例描述的具体特征、结构或特性包括在本发明的至少一个实施方案中。因此,在贯穿本说明书的多个位置出现的短语“在一个实施方案中”、“在一实施方案中”、“一个实施例”或“一实施例”未必全部指的是相同的实施方案或实施例。此外,所述具体特征、结构或特性可以以任何合适的组合和/或子组合被组合在一个或多个实施方案或实施例中。

[0016] 本公开内容的高压场效应晶体管(HVFET)可以制造在衬底(例如,掺杂的硅衬底)上。一般而言,可以在衬底的表面上执行用来形成HVFET的处理操作。例如,可以在衬底的表面上执行用来制造HVFET的掺杂操作、图案化操作和分层操作。

[0017] HVFET包括形成在衬底中的漏极区域(例如,图1的漏极区域104)、源极区域(例如,图1的源极区域108)和主体区域(例如,图1的主体区域106)。漏极区域和源极区域可以通过主体区域彼此分开。漏极区域可以包括一个形成在衬底中的掺杂区域(例如, n 阱)。主体区域可以包括一个形成在衬底中的邻近漏极区域的掺杂区域(例如, p 阱)。源极区域可以是形成在主体区域内的掺杂区域(例如, p^+ 掺杂区域和 n^+ 掺杂区域)使得主体区域的一部分被设置在源极区域和漏极区域之间。

[0018] 多种不同的层可以形成在衬底的表面上方。栅极氧化物层和栅极电极可以形成在主体区域的设置在源极区域和漏极区域之间的部分的顶部上方。主体区域的在栅极电极和栅极氧化物下面的部分可以形成HVFET的沟道区域。还可以形成源极电极和漏极电极以为源极区域和漏极区域提供接触。

[0019] 本公开内容的HVFET还可以包括形成在漏极区域上方的薄氧化物层。该薄氧化物层可以在制造漏极区域中包括的特征(例如,注入层110)期间存在。该薄氧化物层还可以存在于最终的HVFET中,如图1中例示的。下文描述漏极区域的结构和制造。

[0020] HVFET的漏极区域包括多个注入层(例如,图1的注入层110-1、注入层110-2、注入层110-3)。如本文中描述的,注入层可以是漏极区域的 n 阱内的 p -掺杂区域。每个注入层均可以具有一个近似平行于衬底表面的平面几何结构。因此,注入层可以彼此近似平行。注入层可以形成在漏极区域内的不同深度处,使得注入层彼此上下堆叠。注入的 p 型层可以通过漏极区域的 n 型区域彼此分开。

[0021] 所述三个注入层可以被称为顶部注入层、中间注入层和底部注入层。在一些实施例中,顶部注入层可以形成在衬底的表面处(例如,见图1)。在其他实施例中(例如,见图8),顶部注入层可以形成在衬底的表面下方一定距离处,使得漏极区域的一个 n -型部分设置在顶部注入层和衬底的表面之间。中间注入层可以形成在顶部注入层的下面并且通过 n 阱的一个区域与顶部注入层分开。底部注入层可以形成在中间注入层的下面并且通过 n 阱的一个区域与中间注入层分开。

[0022] 可以使用离子注入操作将所述三个注入层注入在漏极区域中。一般而言,离子注入操作可以包含在衬底处发射选定能量的离子束以注入所述注入层中的一个。如下文描述的(例如,参考图5),可以穿过形成在衬底的表面上的薄氧化物层注入所述三个注入层。穿过薄氧化物层的注入可以有助于产生具有高斯分布掺杂轮廓的注入层。在一些实施例中,在离子注入操作期间可以使衬底倾斜使得离子束不垂直地撞击在薄氧化物层上。例如,衬

底可以倾斜使得离子束以偏离垂线近似3度-10度的角度撞击在薄氧化物层上。在衬底倾斜的同时注入还可以有助于产生具有高斯分布掺杂轮廓的注入层。

[0023] 在随后的处理操作期间,漏极区域的顶部上方的薄氧化物层可以留在漏极区域上方。例如,在随后处理操作期间,可以在薄氧化物层的顶部上建立附加层(例如,绝缘体和电极)。在一些实施例中,在最后的HVFET器件中可以存在薄氧化物层,如图1和图8中例示的。

[0024] 现在参考图1-图8描述示例HVFET以及所述示例HVFET的制造。图1和图8示出示例HVFET。图2示出用于制造HVFET的一种示例方法。图3-图7示出如图2的方法中描述的制造HVFET的各个阶段。

[0025] 图1是本公开内容的HVFET 100的横截面侧视图。HVFET 100可以用在多种不同的电子应用中。例如,HVFET 100可以用作开关模式电源电路中的功率开关。在一个实施例中,HVFET 100可以用于具有额定电压700伏、额定电流5安培和1欧姆的 $R_{DS(on)}$ 的应用。

[0026] HVFET 100包括p型半导体衬底102。例如,p型半导体衬底102可以是p掺杂硅晶圆。p型半导体衬底102下文可以被称为“衬底102。衬底102包括漏极区域104、主体区域106和源极区域108。源极区域108可以指P+区域108-1和N+区域108-2的组合。主体区域106的一部分位于漏极区域104和源极区域108之间。

[0027] 漏极区域104形成在衬底102内。例如,漏极区域104可以是形成在衬底102内的n阱。漏极区域104包括三个注入层110-1、110-2和110-3(统称为“注入层110-”)。漏极区域104还可以包括漏极接触区域112。漏极接触区域112可以是漏极区域104内的重n掺杂(N+)区域。漏极接触区域112可以被漏极电极114接触。漏极电极114可以充当HVFET 100的漏极端子,该漏极端子可以连接到HVFET 100外部的电路系统。在一些实施例中,漏极电极114可以是金属电极。

[0028] 主体区域106形成在衬底102内邻近漏极区域104。例如,主体区域106可以是形成在衬底102中邻近漏极区域104的掺杂区域(例如,p阱)。在一些实施例中,主体区域106可以邻接漏极区域104(例如,与该漏极区域104交界)。

[0029] 源极区域108可以包括在主体区域106内的一个或多个掺杂区域。例如,源极区域108可以包括形成在主体区域106内的重p掺杂(P+)区域108-1和重n掺杂(N+)区域108-2。源极区域108通过主体区域106与漏极区域104分开。例如,源极区域108形成在主体区域106内使得主体区域106的一部分设置在源极区域108和漏极区域104之间。主体区域106的设置源极区域108和漏极区域104之间的部分可以包括HVFET 100的“沟道区域”的一部分。源极区域108可以被源极电极116接触。源极电极116可以充当HVFET 100的源极端子,该源极端子可以连接到HVFET 100外部的电路系统。在一些实施例中,源极电极116可以是金属电极。

[0030] 如上文所描述的,漏极区域104可以包括三个注入层110。虽然本文中例示了和描述了三个注入层100,但是可以预期,根据本公开内容的技术,形成在漏极区域104内可以附加注入层。注入层110-1本文中可以被称为“顶部注入层110-1”。注入层110-2本文中可以被称为“中间注入层110-2”。注入层110-3本文中可以被称为“底部注入层110-3”。

[0031] 注入层110可以是漏极区域104内的p掺杂区域(例如,使用硼)。可以使用本文中描述的离子注入操作将注入层110注入在漏极区域104内。注入层110中的每一个均可以具有在漏极区域104内近似平行于表面118延伸的近似平面几何结构。因此,注入层110可以被形象化为漏极区域104内的与表面118近似平行且彼此平行的p掺杂层。

[0032] 注入层110可以形成在漏极区域104内的不同深度处,使得注入层110彼此上下堆叠。注入层110可以通过n阱的未通过离子注入操作进行p掺杂的区域彼此分开。换句话说,注入层110可以形成在漏极区域104中使得注入层110通过漏极区域104的n掺杂区域120-1、120-2分开。

[0033] 顶部注入层110-1可以通过n掺杂区域120-1与中间注入层110-2分开。换言之,n掺杂区域120-1可以设置在顶部注入层110-1和中间注入层110-2之间并且可以沿着顶部注入层110-1的长度和中间注入层110-2的长度延伸。中间注入层110-2可以通过n掺杂区域120-2与底部注入层110-3分开。换句话说,n掺杂区域120-2可以设置在中间注入层110-2和底部注入层110-3之间并且可以沿着中间注入层110-2的长度和底部注入层110-3的长度延伸。

[0034] 在图1的HVFET 100中,顶部注入层110-1可以形成在表面118处。在其他实施例中,例如,对于图8,顶部注入层810-1可以形成在衬底102的表面118下方使得n掺杂区域820-1设置在顶部注入层810-1和表面118之间。

[0035] 注入层110可以在平行于表面118的方向上延伸。如本文中例示的,在一些实施例中,注入层110可以从漏极区域104的靠近漏极接触区域112的部分延伸到漏极区域104的靠近主体区域106的部分。然而,如图1中例示的,在一些实施例中,注入层110可以不接触漏极接触区域112和主体区域106。相反,在这些实施例中,漏极区域104的n掺杂区域可以将注入层110与漏极接触区域112分开。类似地,漏极区域104的n掺杂区域可以将注入层110与主体区域106分开。换言之,注入层110的靠近漏极接触区域112的边缘通过漏极区域104的n掺杂区域与漏极接触区域112分开。类似地,注入层110的靠近主体区域106的边缘通过漏极区域104的n掺杂区域与主体区域106分开。

[0036] 在图1的示例HVFET 100中,中间注入层110-2和底部注入层110-3可以被漏极区域104的n掺杂区域围绕。除了顶部注入层110-1在表面118处的一侧之外,顶部注入层110-1的其他侧被漏极区域104的n掺杂区域围绕。顶部注入层110-1在表面118处的一侧可以邻接薄氧化物层112。在图8的示例HVFET 800中,注入层810中的每一个均可以被漏极区域104的n掺杂区域围绕。

[0037] HVFET 100包括薄氧化物层122、栅极氧化物层124和厚氧化物层126。薄氧化物层122可以形成在表面118上在注入层110的顶部上方。例如,薄氧化物层122可以完全覆盖表面118的在注入层110的顶部上方的部分。如下文中描述的,可以在注入层110的注入之前在表面118上形成薄氧化物层122。在形成薄氧化物层122之后,可以在离子注入操作期间穿过薄氧化物层122将注入层110注入在漏极区域104中。

[0038] 栅极氧化物层124可以形成在表面118上在主体区域106的顶部上方。例如,栅极氧化物层124可以覆盖主体区域106的位于漏极区域104和源极区域108之间的部分。如图1中例示的,栅极氧化物层124可以形成为邻近薄氧化物层122,使得栅极氧化物层124和薄氧化物层122形成覆盖表面118的连续氧化物层。

[0039] 栅极电极128可以形成在栅极氧化物层124的顶部上在主体区域106的顶部上方。主体区域106和漏极区域104的在栅极氧化物层124和栅极电极128下面的部分可以形成HVFET 100的一个沟道区域。因此,在一些实施例中,HVFET 100的沟道区域可以从注入层110的边缘延伸到源极区域108。栅极电极128可以充当HVFET 100的栅极端子,该栅极端子可以连接到HVFET 100外部的电路系统。在一些实施例中,栅极电极128可以是重掺杂多晶

硅材料。调制施加在栅极电极128处的栅极电压可以调制主体区域106的在栅极电极128和栅极氧化物层124下面的部分(例如,沟道区域)的传导率。

[0040] 在通过离子注入操作形成注入层110之后,可以在薄氧化物层122的顶部上方形成厚氧化物层126。厚氧化物层126的一个边缘可以邻近栅极氧化物层124的一个边缘。例如,在栅极氧化物层124的一个边缘和厚氧化物层126的一个边缘之间可以存在一个界面。

[0041] 如上文所描述的,栅极电极128形成在栅极氧化物层124的顶部上方。在一些实施例中,如图1中例示的,栅极电极128可以是形成在栅极氧化物层124和厚氧化物层126的一部分上方的连续层。例如,栅极电极128可以遵照栅极氧化物层124和厚氧化物层126之间的界面,使得连续的栅极电极128沉积在栅极氧化物层124的顶部上以及沉积在厚氧化物层126的一部分的顶部上。如图1中例示的,栅极电极128可以形成在厚氧化物层126的顶部上在注入层110的靠近主体区域106的边缘的顶部上方。在一些实施例中,漏极多晶硅延伸部130可以沉积在厚氧化物层126的顶部上在注入层110的靠近漏极接触区域112的边缘的顶部上方。漏极多晶硅延伸部130和栅极电极128的在注入层110的顶部上方的部分可以改变在下方漏极区域104内的峰值场。

[0042] HVFET 100可以包括夹层电介质132,该夹层电介质形成在栅极氧化物层124、栅极电极128和厚氧化物层126的顶部上方。夹层电介质132可以是用于防止电极(例如,114、116、128)彼此接触的绝缘材料。

[0043] HVFET 100的结构和运行中的一些被概述如下。漏极区域104和源极区域108通过主体区域106分开。漏极区域104包括可以与漏极电极114接触的漏极接触区域112。主体区域106包括可以与源极电极116接触的源极区域108。主体区域106的一部分和漏极区域104的一部分位于源极区域108和漏极接触区域112之间。换言之,漏极接触区域112和源极区域108可以位于HVFET 100的分开的端部上,使得主体区域106的一些部分和包括注入层110的漏极区域104的一些部分位于漏极接触区域112和源极区域108之间。在运行期间,当HVFET 100由栅极电压设定成导通状态时,响应于漏极到源极电压的施加,电流可以在漏极接触区域112和源极区域108之间(例如,在注入层110之间)流动。

[0044] 下文中描述了HVFET 100的制造。参考图2描述用于制造HVFET100的方法200。在图3-图7中例示处于多个不同阶段的HVFET 100的制造。现在参考图3-图7描述用于制造HVFET 100的方法200。

[0045] 图2示出了用于制造HVFET 100的方法200。如本文中例示和描述的,HVFET 100可以制造在p型半导体衬底102(例如,p掺杂硅晶圆)上。在一个实施例中,可以使用轻p掺杂($5 \times 10^{13} \text{cm}^{-3}$ 至 $5 \times 10^{14} \text{cm}^{-3}$)的硅晶圆。

[0046] 参考图3,衬底102可以具有表面118,在该表面上执行处理操作以制造HVFET 100。例如,如下文中描述的,可以在表面118上执行用于制造HVFET 100的掺杂操作、图案化操作和分层操作。

[0047] 最初,在块202中,可以在衬底102中形成漏极区域104,在块204中,可以在衬底102中形成主体区域106。漏极区域104可以是形成在衬底102的一部分中的n阱。主体区域106可以是形成在衬底102的邻近漏极区域104的一部分中的p阱。

[0048] 漏极区域104和主体区域106可以从表面118延伸到衬底102中的掺杂区域。在一些实施例中,漏极区域104可以具有近似5-10 μm 的深度和近似20-150 μm 的长度。在一些实施

例中,主体区域106可以具有近似1-8 μm 的深度。

[0049] 现在参考图4,在块206中,可以在表面118上形成薄氧化物层122。如例示的,可以在主体区域106和漏极区域104二者上方形成薄氧化物层122。可以使用热氧化处理生长薄氧化物层122。在一些实施例中,薄氧化物层122可以具有近似20nm-500nm的厚度。

[0050] 现在参考图5,在块208中,可以在薄氧化物层122的顶部上方形成掩蔽层134。掩蔽层134可以在薄氧化物层122的在漏极区域104之上的一部分的顶部上方限定一个开口136。随后可以通过开口136执行离子注入操作。在一些实施例中,掩蔽层134可以是光刻胶层。掩蔽层134可以具有足够的厚度以防止离子穿透到衬底102的被掩蔽层134掩蔽的部分中。

[0051] 然后在块210-块214中,可以穿过薄氧化物层122执行多个离子注入操作以形成注入层110。所述多个离子注入操作由撞击在薄氧化物层122上的箭头138表示。例如,箭头138可以表示撞击在薄氧化物层122上的离子束。箭头138的角度可以表示离子束相对于薄氧化物层122的角度。可以通过使衬底102相对于离子束倾斜来控制离子束撞击在薄氧化物层122上的角度。虽然在离子注入操作期间可以使衬底102倾斜以使得离子束以除90度(例如,垂直于薄氧化物层122)之外的角度撞击在薄氧化物层122上,但是在一些实施例中,可以使衬底102倾斜以使得离子束以90度角度撞击在薄氧化物层122上。在图5中箭头138被例示为以偏离垂线近似5度的角度撞击在薄氧化物层122上。

[0052] 单个离子注入操作可以用来注入注入层110中的单个层。因此,可以使用三个分立的离子注入操作来注入三个分立的注入层110。多个不同的参数(例如,注入角度和注入能量)可以用于三个离子注入操作中的每一个。下文描述用于三个注入操作的示例参数。

[0053] 在块210中,可以穿过薄氧化物层122执行第一离子注入操作以注入底部注入层110-3。在一些实施例中,在使衬底102倾斜的同时执行第一离子注入操作,以使得离子束以除90度(即,除了垂直的位置)之外的角度撞击在薄氧化物层122上。例如,可以使衬底102倾斜以使得离子束以偏离垂线近似3度-10度的角度撞击在薄氧化物层122上。在一些实施例中,可以使用近似2MeV-5MeV的离子注入能量执行第一离子注入操作。如上文所描述的,在使衬底102倾斜的同时穿过薄氧化物层122执行离子注入可以导致底部注入层110-3具有近似高斯分布掺杂轮廓。

[0054] 底部注入层110-3可以注入在衬底102(即,漏极区域104)中在表面118以下近似2-5 μm 处。底部注入层110-3的厚度可以是近似0.5-2 μm 。在一些实施例中,底部注入层110-3和中间注入层110-2之间的距离(即,n掺杂区域120-2)可以是近似0.5-3 μm 。

[0055] 在块212中,可以穿过薄氧化物层122执行第二离子注入操作以注入中间注入层110-2。在一些实施例中,在使衬底102倾斜的同时执行第二离子注入操作,使得离子束以除90度(即,除了垂直的位置)之外的角度撞击在薄氧化物层122上。例如,可以使衬底102倾斜以使得离子束以偏离垂线近似3度-10度的角度撞击在薄氧化物层122上。在一些实施例中,可以使用近似0.5-3MeV的离子注入能量执行第二离子注入操作。如上文所描述的,在使衬底102倾斜的同时穿过薄氧化物层122执行离子注入可以导致中间注入层110-2具有近似高斯分布掺杂轮廓。

[0056] 中间注入层110-2可以注入在衬底102(即,漏极区域104)中在表面118以下近似0.5-3 μm 处。中间注入层110-2的厚度可以是近似0.3-1.5 μm 。在一些实施例中,中间注入层110-2和顶部注入层110-1之间的距离(即,n掺杂区域120-1)可以是近似0.5-3 μm 。

[0057] 在块214中,可以穿过薄氧化物层122执行第三离子注入操作以注入顶部注入层110-1。在一些实施例中,在使衬底102倾斜的同时执行第三离子注入操作,使得离子束以除90度(即,除了垂直的位置)之外的角度撞击在薄氧化物层122上。例如,可以使衬底102倾斜以使得离子束以偏离垂线近似3度-10度的角度撞击在薄氧化物层122上。在一些实施例中,可以使用近似50-500keV的离子注入能量执行第三离子注入操作。如上文所描述的,在使衬底102倾斜的同时穿过薄氧化物层122执行离子注入可以导致顶部注入层110-1具有近似高斯分布掺杂轮廓。顶部注入层110-1的厚度可以是近似0.1-1 μm 。因此,顶部注入层110-1可以从表面118向下延伸到衬底102中(即,到漏极区域104中)近似0.1-1 μm 。

[0058] 现在参考图6,可以将掩蔽层134从薄氧化物层122移除。随后,在块216中,可以在薄氧化物层122的顶部上方形成厚氧化物层126。在一些实施例中,可以使用低温氧化物形成工艺(诸如,化学气相沉积)形成厚氧化物层126。使用低温工艺可以防止注入层110的扩散。在一些实施例中,厚氧化物层126可以具有近似0.1-2 μm 的厚度。

[0059] 现在参考图7,在块218中,厚氧化物层126和薄氧化物层122可以被蚀刻以暴露表面118的区域140-1、140-2。暴露的区域140-1可以在主体区域106的顶部上方。暴露的区域140-2可以在漏极区域104的顶部上方。现在关于图1描述HVFET 100的附加特征的制造。

[0060] 返回参考图1,在块224中,可以制造源极区域108和漏极接触区域112。可以使用两个掺杂操作形成源极区域108。例如,可以通过使用p掺杂工艺形成P+区域108-1,通过使用n掺杂工艺形成N+区域108-2。可以使用N+掺杂工艺形成漏极接触区域112。

[0061] 在块220中,可以在主体区域106上方形成栅极氧化物层124。可以使用热氧化工艺形成栅极氧化物层124。在一些实施例中,栅极氧化物层124可以具有近似10nm-100nm的厚度。

[0062] 在块222中,可以使用低压化学气相沉积(LPCVD)工艺形成栅极电极128和漏极多晶硅延伸部130。在一些实施例中,栅极电极128和漏极多晶硅延伸部130可以包括掺杂多晶硅。栅极电极128可以具有近似0.1-1 μm 的厚度。漏极多晶硅延伸部130可以具有近似0.1-1 μm 的厚度。

[0063] 然后在块226中,可以使用是低温工艺的化学气相沉积(CVD)工艺形成夹层电介质132。在一些实施例中,夹层电介质132可以具有近似0.3-2 μm 的厚度。在块228中,可以形成漏极电极114和源极电极116。在一些实施例中,漏极电极114和源极电极116可以是金属电极。

[0064] 虽然上文已经详细描述了一些实施例,但是其他变型是可能的。例如,图2中描绘的流程图不需要示出的特定顺序或相继顺序来实现期望的结果。在所描述的流程图中可以提供或消除其他步骤。例如,可以以与关于图2描述的不同的顺序制造衬底102的多个区域(例如,104、106、108、110、112)和HVFET 100的多个层(例如,114、116、122、124、126、128、130、132)。此外,可以预期,可以向衬底102添加区域和/或层,或者可以从衬底102移除区域和/或层,以形成HVFET。其他实施方案可以在权利要求的范围之内。

[0065] 图8示出包括注入层810-1、810-2、810-3(统称为“注入层810”)的替代HVFET 800。替代地,HVFET 800与HVFET 100的不同之处在于:与注入层110相比注入层810注入在漏极区域104内的不同深度处。例如,顶部注入层810-1可以被注入成远离表面118一定距离,使得在注入层810-1和表面118之间存在n掺杂区域820-1。

[0066] 注入层810可以是漏极区域104内的p掺杂区域(例如,使用硼)。可以使用如上文关于注入层110的离子注入描述的离子注入操作将注入层810注入在漏极区域104内。注入层810中的每一个均可以具有在漏极区域104内近似平行于表面118延伸的近似平面的几何结构。

[0067] 注入层810可以形成在漏极区域104内的不同深度处,使得注入层810彼此上下堆叠。注入层810可以通过n阱的未通过离子注入操作进行p掺杂的区域彼此分开。换句话说,注入层810可以形成在漏极区域104中,使得注入层810通过漏极区域104的n掺杂区域820-2、820-3分开。在HVFET 800中,注入层810中的每一个被漏极区域104的n掺杂材料所围绕。

[0068] 对本发明的所例示的实施例的以上描述,包括摘要中描述的内容,并不旨在穷举或限制所公开的确切形式。尽管出于例示目的在本文中描述了本发明的特定实施方案和实施例,但是在不偏离本发明的较宽泛的精神和范围的前提下,多种等同改型是可能的。实际上,应理解,特定的示例尺寸、电压、电流等被提供是出于解释目的,且根据本公开内容的教导,在其它实施方案和实施例中也可以使用其他值。

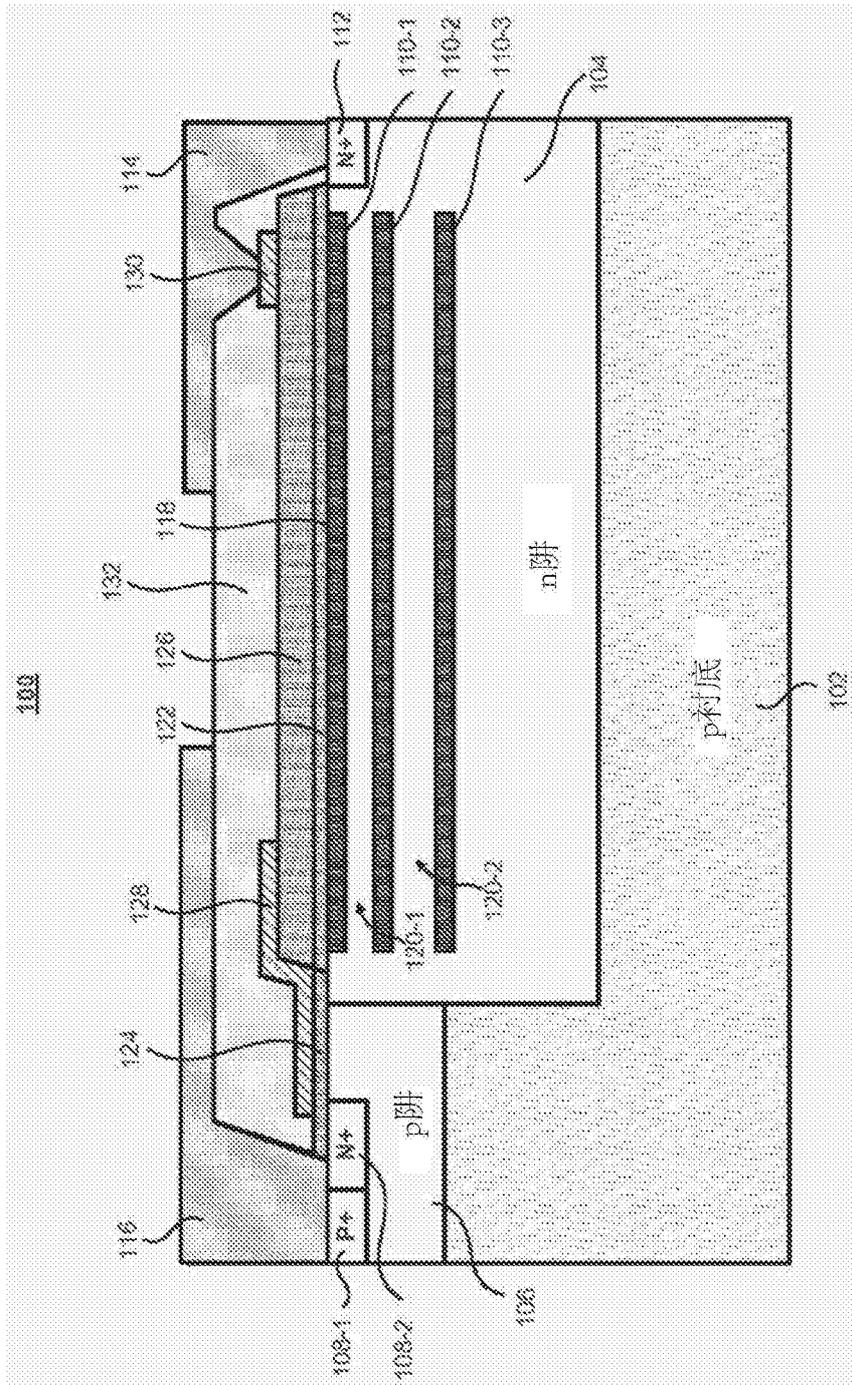


图1

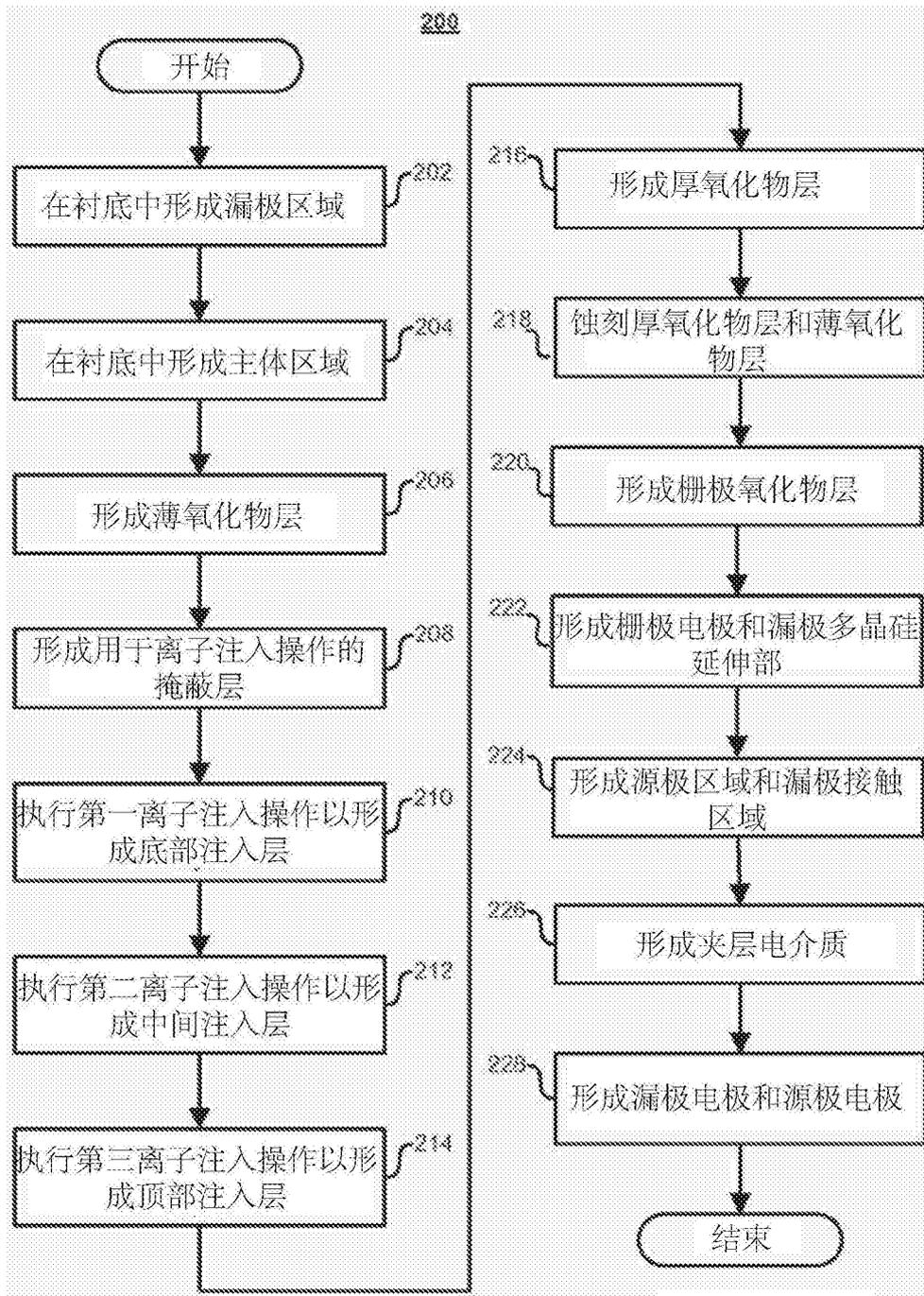


图2

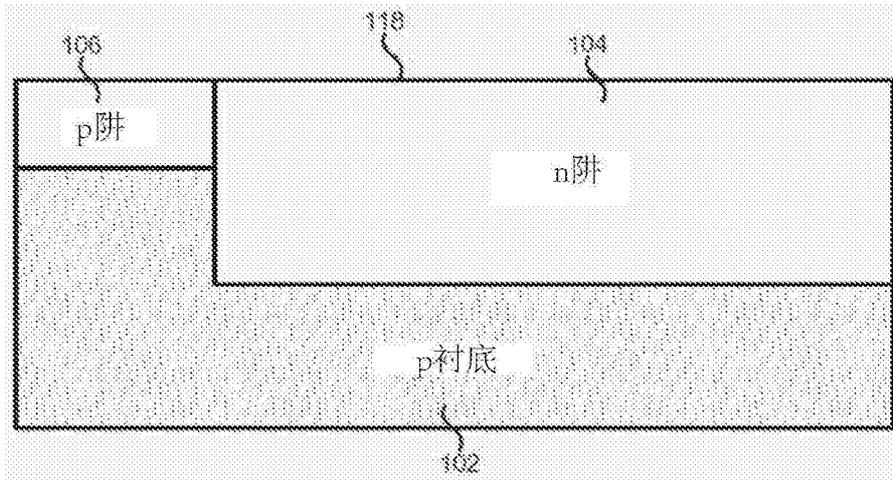


图3

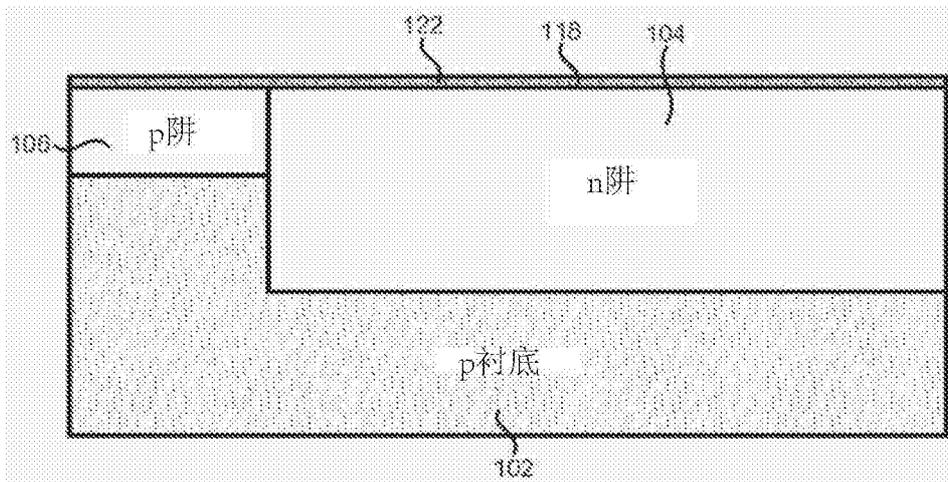


图4

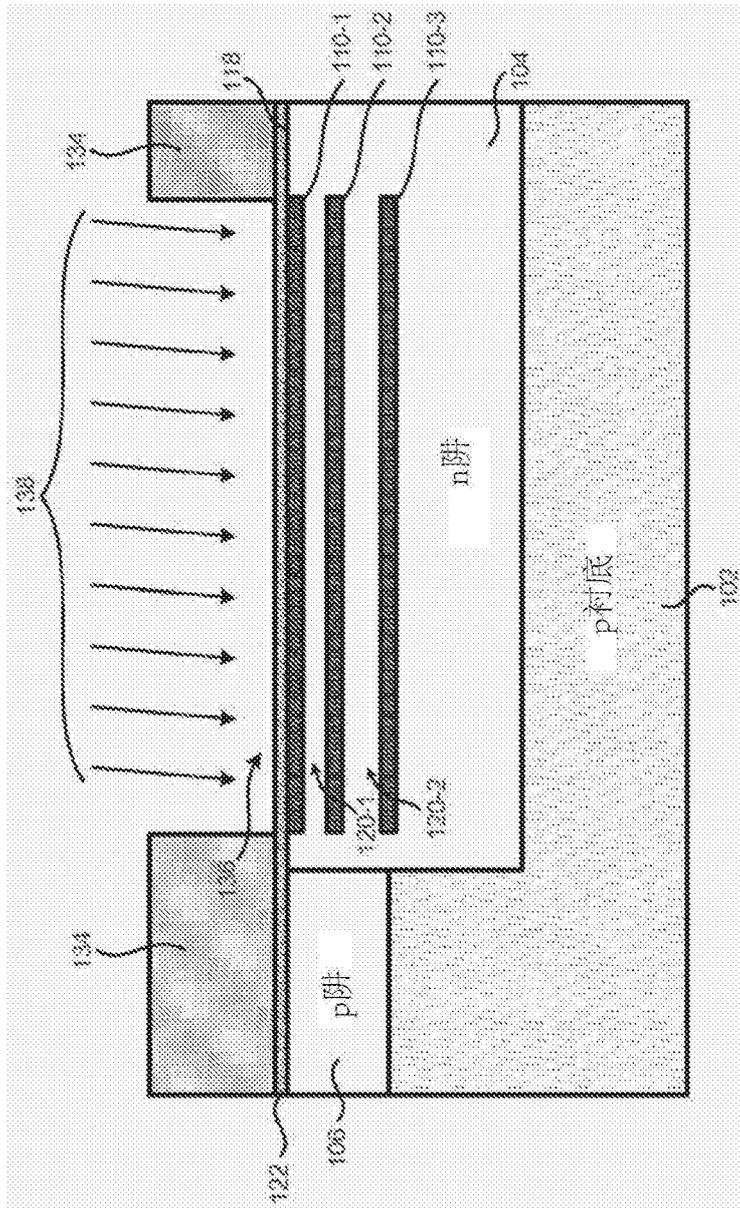


图5

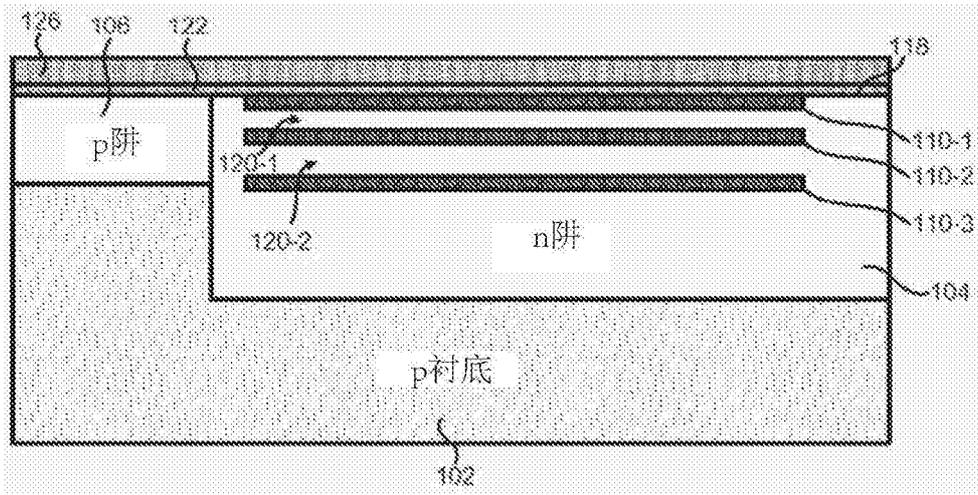


图6

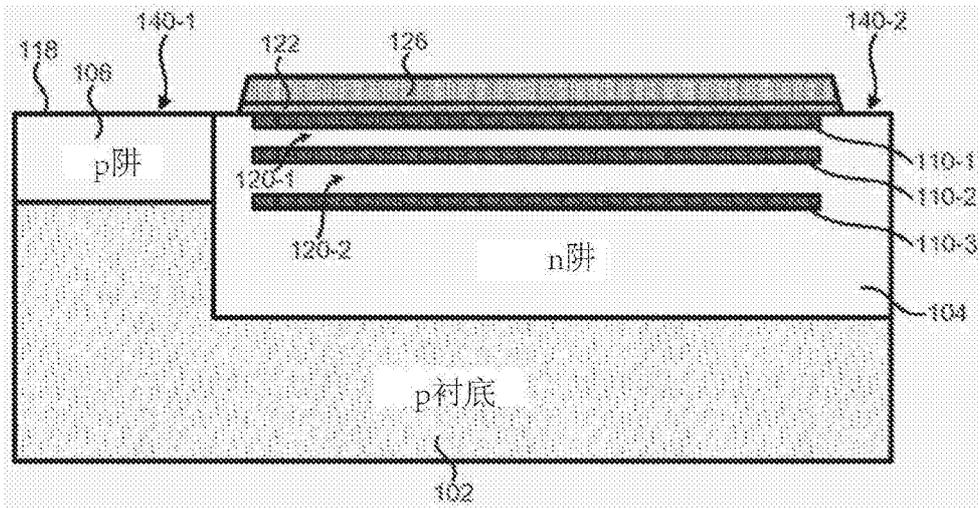


图7

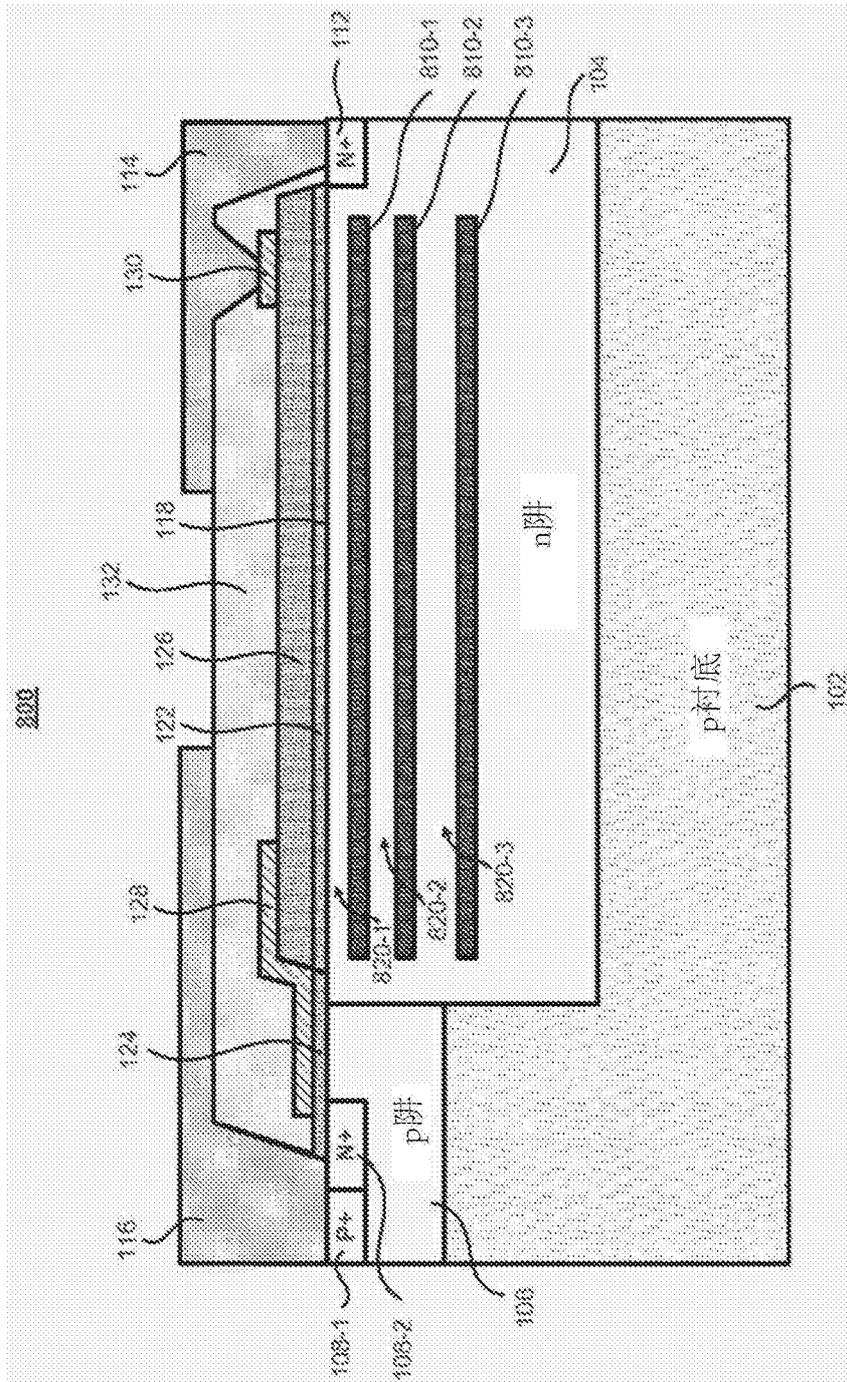


图8