

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2018年11月8日 (08.11.2018)

(10) 国际公布号
WO 2018/202054 A1

(51) 国际专利分类号:
H04L 1/00 (2006.01)

(21) 国际申请号: PCT/CN2018/085368

(22) 国际申请日: 2018年5月2日 (02.05.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710301564.2 2017年5月2日 (02.05.2017) CN

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 周悦 (ZHOU, Yue); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 李榕 (LI, Rong); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 杜颖钢 (DU, Yinggang); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 张华滋 (ZHANG, Huazi); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 邱鹏程 (QIU, Pengcheng); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 乔云飞 (QIAO, Yunfei); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 王俊 (WANG, Jun); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(54) Title: ENCODING METHOD AND DEVICE

(54) 发明名称: 一种编码的方法和装置

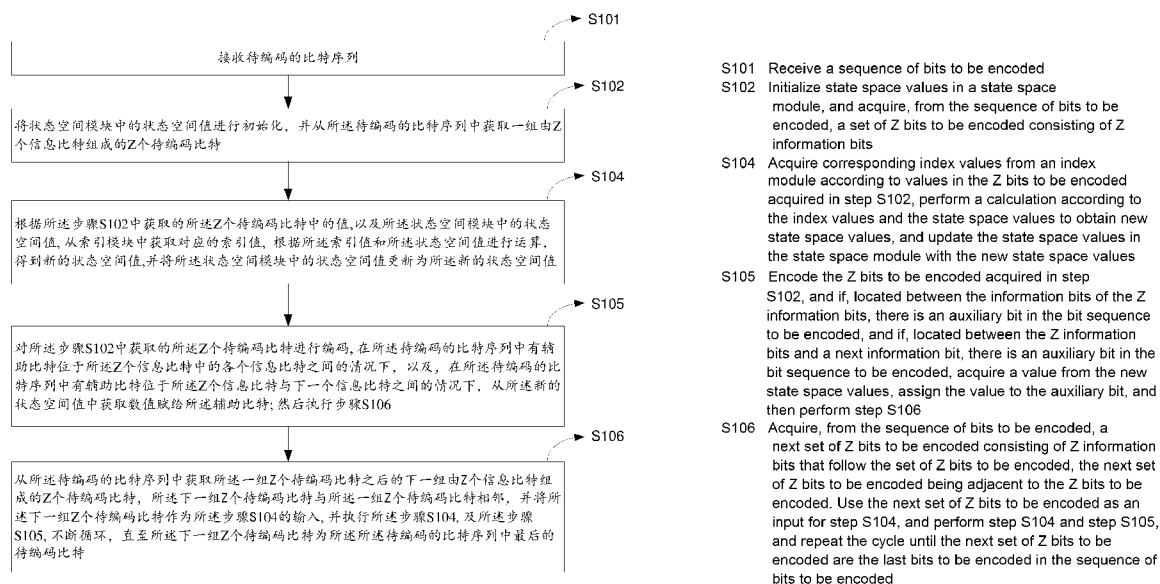


图 8

(57) Abstract: Embodiments of the present invention disclose an encoding method. The method comprises: acquiring corresponding index values from an index module according to values in acquired Z bits to be encoded and state space values in a state space module; and performing an operation according to the index values and the state space values, to obtain new state space values, and encoding the acquired Z bits to be encoded, to acquire a value from the new state space values for assignment to an auxiliary bit.

(57) 摘要: 本发明实施例公开了一种编码方法,该方法包括:根据获取的所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,根据所述索引值和所述状态空间值进行运算,得到新的状态空间值,对获取的所述Z个待编码比特进行编码,从所述新的状态空间值中获取数值赋给辅助比特。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

一种编码的方法和装置

本申请要求于 2017 年 5 月 2 日提交中国专利局、申请号为 201710301564.2、发明名称为“一种编码的方法和装置”的中国专利申请的优先权，其全部内容通过引用结合
5 在本申请中。

技术领域

本发明涉及通信技术领域，尤其涉及一种编码的方法和装置。

背景技术

10 极化码（Polar Codes）是 2008 年提出的一种新型的信道编码方式。极化码基于信道极化（Channel Polarization）进行设计，是第一种能够通过严格的数学方法证明达到信道容量的构造性编码方案，Polar 码是一种线性块码。

但是采用何种编码方式，能使得解码端在对编码后的比特序列进行译码的过程中起到辅助译码的作用，现有技术中还没有解决方案。

15

发明内容

本发明实施例提供了一种编码的方法和装置，用于解决如何通过编码，以使得解码端在对编码后的比特序列进行译码的过程中能够辅助译码的问题。

20 第一方面，本发明实施例提供一种编码方法，所述方法包括：

S101：接收待编码的比特序列；

S102：将状态空间模块中的状态空间值进行初始化，并从所述待编码的比特序列中获取一组由 Z 个信息比特组成的 Z 个待编码比特；

25 S104：根据所述步骤 S102 中获取的所述 Z 个待编码比特中的值，以及所述状态空间模块中的状态空间值，从索引模块中获取对应的索引值，根据所述索引值和所述状态空间值进行运算，得到新的状态空间值，并将所述状态空间模块中的状态空间值更新为所述新的状态空间值；

30 S105：对所述步骤 S102 中获取的所述 Z 个待编码比特进行编码，在所述待编码的比特序列中有辅助比特位于所述 Z 个信息比特中的各个信息比特之间的情况下，以及，在所述待编码的比特序列中有辅助比特位于所述 Z 个信息比特与下一个信息比特之间的情况下，从所述新的状态空间值中获取数值赋给所述辅助比特；然后执行步骤 S106；

S106：从所述待编码的比特序列中获取所述一组 Z 个待编码比特之后的下一组由 Z 个信息比特组成的 Z 个待编码比特，所述下一组 Z 个待编码比特与所述一组 Z 个待编码比特相邻，并将所述下一组 Z 个待编码比特作为所述步骤 S104 的输入，并执行所述步骤 S104，

及所述步骤S105, 不断循环, 直至所述下一组Z个待编码比特为所述待编码的比特序列中最后的待编码比特。

在上述编码方法的实施例中, 通过在编码端进行辅助比特编码, 使得解码端能够采用辅助比特对编码后的比特序列进行纠错、检错或者早停等辅助译码操作。并且由于每次针对Z个待编码比特进行编码, 采用这种块处理的方式进行辅助比特编码, 方便硬件实施, 可以有效提升编码效率与吞吐量。

在第一方面的第一种可能的实现方式中, 辅助比特是指在编码端动态生成的, 并且在解码端用于辅助译码的比特, 所述的辅助译码是指进行纠错、进行检错或帮助判断是否提前终止译码等。

结合第一方面或第一方面前述的各种可能的实现方式, 在第二种可能的实现方式中, 在所述步骤S102中, 所述获取的Z个待编码比特中Z个信息比特之间的前后次序与所述Z个信息比特在所述待编码的比特序列中的前后次序是一致的。

结合第一方面或第一方面前述的各种可能的实现方式, 在第三种可能的实现方式中, 在所述待编码的比特序列中有辅助比特位于所述Z个信息比特中的各个信息比特之间的情况下, 以及, 在所述待编码的比特序列中有辅助比特位于所述Z个信息比特与下一个信息比特之间的情况下, 从所述新的状态空间值中获取数值赋给所述辅助比特, 包括: 分别从所述新的状态空间值中获取数值赋给位于所述Z个信息比特中的各个信息比特之间的辅助比特, 以及位于所述Z个信息比特与下一个信息比特之间的辅助比特。赋给所述Z个信息比特中的各个信息比特之间的辅助比特的数值, 以及赋给位于所述Z个信息比特与下一个信息比特之间的辅助比特的数值, 可以从所述新的状态空间值中的同一位置获取, 或者是从所述新的状态空间值中的不同的位置获取。

结合第一方面或第一方面前述的各种可能的实现方式, 在第四种可能的实现方式中, 在所述步骤S106中, 所述下一组Z个待编码比特为所述待编码的比特序列中最后的待编码比特是指: 所述待编码的比特序列最后还剩下小于或等于Z个信息比特, 在所述待编码的比特序列最后还剩下的信息比特不够Z个的情况下, 将不足的部分填充固定值0或1。

结合第一方面或第一方面前述的各种可能的实现方式, 在第五种可能的实现方式中, 在所述步骤S104之前还包括:

对所述待编码的比特序列中的所述Z个待编码比特的 2^Z 种排列组合进行预编码, 将预编码后的结果作为索引值存储在所述索引模块中。所述预编码中所采用的编码方式与所述步骤S105中所述的编码中所采用的编码方式是一致的, 所述预编码是所述步骤S105中所述的编码的预处理过程。

结合第一方面或第一方面前述的各种可能的实现方式, 在第六种可能的实现方式中, 在所述步骤S105中, 对所述步骤S102中获取的所述Z个待编码比特进行编码的步骤中, 所述的编码是指: 检验编码方式的编码或信息摘要编码方式的编码或线性运算方式的编码。

结合第一方面或第一方面前述的各种可能的实现方式,在第七种可能的实现方式中,在所述步骤S104中,根据所述步骤S102中获取的所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,包括:

5 将所述状态空间值的低Z个比特位与所述步骤S102中获取的所述Z个待编码比特中的值进行运算,得到索引ID,并通过该索引ID获得索引模块中存储的索引值。

结合第一方面或第一方面前述的各种可能的实现方式,在第八种可能的实现方式中,

在所述步骤S104中,根据所述索引值和所述状态空间值进行运算的操作,包括:

将所述索引值和所述状态空间值进行按位逻辑运算。

10 结合第一方面或第一方面前述的各种可能的实现方式,在第九种可能的实现方式中,将所述索引值和所述状态空间值进行按位逻辑运算具体可以包括:将所述索引值与所述状态空间值的低Z位进行按位逻辑运算。

结合第一方面或第一方面前述的各种可能的实现方式,在第十种可能的实现方式中,在所述步骤S104中,根据所述步骤S102中获取的所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,包括:

15 S1041: 将所述状态空间值按照固定方向(例如:向左或向右)循环移Z个比特位,之后,将所述状态空间值的低Z个比特位与所述步骤S102中获取的所述Z个待编码比特中的值进行运算,得到索引ID,并通过该索引ID获得索引模块中存储的索引值;

20 相应地,在所述步骤S104中,根据所述索引值和所述状态空间值进行运算的操作,包括:

S1042: 将所述索引值和所述状态空间值进行按位逻辑运算。例如:将所述状态空间值循环左移Z个比特位,之后,将所述索引值与状态空间值的低Z位进行按位逻辑运算。

25 结合第一方面或第一方面前述的各种可能的实现方式,在第十一种可能的实现方式中,所述状态空间模块具体可以为一个CRC寄存器组。在所述步骤S104中,根据所述步骤S102中获取的所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,还可以包括:

S1043: 将CRC寄存器组高Z比特位与根据所述步骤S102中获取的所述Z个待编码比特中的值进行异或运算,得到索引ID,并通过该索引ID获得索引模块中对应的索引值。

30 相应地,在所述步骤S104中,根据所述索引值和所述状态空间值进行运算的操作,包括:

S1044: 将CRC寄存器组中全部的比特位按照固定方向(例如:向左或向右)循环移Z个比特位,之后,将所述索引值与CRC寄存器组低Z位做异或运算,得到新的状态空间值。

相应地,在所述步骤S105中,从所述新的状态空间值中获取数值赋给所述辅助比特的处理中,所述辅助比特是指PC校验比特。

35 结合第一方面或第一方面前述的各种可能的实现方式,在第十二种可能的实现方式中,Z为大于0的偶数。

结合第一方面或第一方面前述的各种可能的实现方式,在第十三种可能的实现方式中,所述状态空间模块的形式具体可以为寄存器。

结合第一方面或第一方面前述的各种可能的实现方式,在第十四种可能的实现方式中,将状态空间模块中的状态空间值进行初始化的步骤中,所述状态空间模块中的值进行初始化后的值为:编码侧(或编码端)与译码侧(或译码端)之间约定的值。

5 结合第一方面或第一方面前述的各种可能的实现方式,在第十五种可能的实现方式中,所述状态空间模块由寄存器组实现,在将寄存器组的状态初始化为全1时,在步骤S105中的从所述新的状态空间值中获取数值赋给所述辅助比特的操作中,应将新的状态空间值取反后,再将所述新的状态空间值中的至少一个位置的数值赋给所述辅助比特。

结合第一方面或第一方面前述的各种可能的实现方式,在第十六种可能的实现方式中,在执行所述步骤S105的过程中,从所述新的状态空间值中获取数值赋给所述辅助比特的步骤可以包括:将所述新的状态空间值中的至少一个位置的数值赋给所述辅助比特。
10

结合第一方面或第一方面前述的各种可能的实现方式,在第十七种可能的实现方式中,多次针对不同的Z个待编码比特执行所述步骤S105的过程中,多次从所述新的状态空间值中获取数值赋给所述辅助比特的步骤可以包括:每次从状态空间模块的固定位置获取数值赋给所述辅助比特;或者采用轮回旋转的方式,按某一个固定方向,从某一位置开始,在状态空间模块中逐次更替位置选取数值赋给所述辅助比特;或者采用某种伪随机方式,从状态空间模块中选取数值赋给所述辅助比特;或者采用某种函数(例如状态空间模块的存储空间大小与辅助比特的序号之间关系的函数),在计算出的所述状态空间模块中的位置上选取数值赋给所述辅助比特。
15

结合第一方面或第一方面前述的各种可能的实现方式,在第十八种可能的实现方式中,在所述步骤S106之后还包括:

S3060:将所述待编码的比特序列中最后的待编码比特作为所述步骤S104的输入,并执行所述步骤S104,及所述步骤S105之后,得到的所述状态空间模块中的状态空间值作为CRC校验比特,并进行CRC编码。

25 并且,在所述步骤S105中,从所述新的状态空间值中获取数值赋给所述辅助比特的处理中,所述辅助比特可以是指PC校验比特。结合步骤S3060,这样,本申请的上述实施例可以实现系统对不同种类辅助比特的同时编码,减少硬件开销,提升编码效率。

结合第一方面或第一方面前述的各种可能的实现方式,在第十九种可能的实现方式中,在所述步骤S106之后还包括:

30 S307:对编码后的比特序列进行极化编码和速率匹配得到待发送的速率匹配后的序列。

S308:发送速率匹配后的序列。

结合第一方面或第一方面前述的各种可能的实现方式,在第二十种可能的实现方式中,可以在执行所述S3060之后执行上述的步骤S307和步骤S308。

35 第二方面,本发明实施例还提供一种编码方法,所述方法包括:

S201:接收待编码的比特序列;

S202:将状态空间模块中的状态空间值进行初始化,并从所述待编码的比特序列中获取一组由信息比特和辅助比特组成的Z个待编码比特,然后执行步骤S203;

S203:将所述Z个待编码比特中的辅助比特的位置置为固定值,然后执行步骤S204;

S204: 根据执行步骤S203后输出的所述Z个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 根据所述索引值和所述状态空间值进行运算, 得到新的状态空间值, 并将所述状态空间模块中的状态空间值更新为所述新的状态空间值;

5 S205: 对执行步骤S203后输出的所述Z个待编码比特进行编码, 并从所述新的状态空间值中获取数值赋给所述Z个待编码比特中的所述辅助比特; 然后执行步骤S206;

S206: 从所述待编码的比特序列中获取所述一组Z个待编码比特之后的下一组由信息比特和辅助比特组成的Z个待编码比特, 所述下一组Z个待编码比特与所述一组Z个待编码比特相邻, 并将所述下一组Z个待编码比特作为所述步骤S203的输入, 并执行所述步
10 骤S203, 所述步骤S204, 及所述步骤S205, 不断循环, 直至所述下一组Z个待编码比特为所述待编码的比特序列中最后的待编码比特。

在上述的编码方法的实施例中, 通过在编码端进行辅助比特编码, 使得解码端能够采用辅助比特对编码后的比特序列进行纠错、检错或者早停等辅助译码操作。并且由于每次针对Z个待编码比特进行编码, 采用这种块处理的方式进行辅助比特编码, 方便硬
15 件实施, 可以有效提升编码效率与吞吐量。

在第二方面的第一种可能的实现方式中, 辅助比特是指在编码端动态生成的, 并且在解码端用于辅助译码的比特, 所述的辅助译码是指进行纠错、进行检错或帮助判断是否提前终止译码等。

结合第二方面或第二方面前述的各种可能的实现方式, 在第二种可能的实现方式
20 中, 在所述步骤S202中, 所述获取的Z个待编码比特中信息比特和辅助比特之间的前后次序与所述信息比特和所述辅助比特在所述待编码的比特序列中的前后次序是一致的。

结合第二方面或第二方面前述的各种可能的实现方式, 在第三种可能的实现方式中, 在所述步骤S206中, 所述下一组Z个待编码比特为所述待编码的比特序列中最后的待编码比特是指:

25 所述待编码的比特序列最后还剩下的比特中的信息比特和辅助比特的总数等于Z个或不足Z个, 在所述待编码的比特序列最后还剩下的比特中的信息比特和辅助比特的总数不足Z个的情况下, 将不足的部分填充固定值0或1。

结合第二方面或第二方面前述的各种可能的实现方式, 在第四种可能的实现方式中, 在所述步骤204之前还包括:

30 对所述待编码的比特序列中的所述Z个待编码比特的 2^z 种排列组合进行预编码, 将预编码后的结果作为索引值存储在所述索引模块中。所述预编码中所采用的编码方式与所述步骤S205中所述的编码中所采用的编码方式是一致的, 所述预编码是所述步骤S205中所述的编码的预处理过程。

结合第二方面或第二方面前述的各种可能的实现方式, 在第五种可能的实现方式
35 中, 在所述步骤S205中, 对执行步骤S203后输出的所述Z个待编码比特进行编码的步骤中, 所述的编码是指: 检验编码方式的编码或信息摘要编码方式的编码或线性运算方式的编码。

结合第二方面或第二方面前述的各种可能的实现方式,在第六种可能的实现方式中,在所述步骤S204中,根据执行步骤S203后输出的所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,包括:

5 将所述状态空间值的低Z个比特位与所述执行步骤S203后输出的所述Z个待编码比特中的值进行运算,得到索引ID,并通过该索引ID获得索引模块中存储的索引值。

结合第二方面或第二方面前述的各种可能的实现方式,在第七种可能的实现方式中,在所述步骤S204中,根据所述索引值和所述状态空间值进行运算的操作,包括:

将所述索引值和所述状态空间值进行按位逻辑运算。

10 结合第二方面或第二方面前述的各种可能的实现方式,在第八种可能的实现方式中,将所述索引值和所述状态空间值进行按位逻辑运算具体可以是:将所述索引值与所述状态空间值的低Z位进行按位逻辑运算。

结合第二方面或第二方面前述的各种可能的实现方式,在第九种可能的实现方式中,在所述步骤S204中,根据执行步骤S203后输出的所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,包括:

15 S2041: 将所述状态空间值按照固定方向(例如:向左或向右)循环移Z个比特位,之后,将所述状态空间值的低Z个比特位与所述执行步骤S203后输出的所述Z个待编码比特中的值进行运算,得到索引ID,并通过该索引ID获得索引模块中存储的索引值;

相应地,在所述步骤S204中,根据所述索引值和所述状态空间值进行运算的操作,包括:

20 S2042: 将所述索引值和所述状态空间值进行按位逻辑运算。例如:将所述索引值与状态空间值的低Z位进行按位逻辑运算。

结合第二方面或第二方面前述的各种可能的实现方式,在第十种可能的实现方式中,所述状态空间模块具体可以为一个CRC寄存器组。在所述步骤S204中,根据执行步骤S203后输出的所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,还可以包括:

25 S2043: 将CRC寄存器组高Z个比特位与所述执行步骤S203后输出的所述Z个待编码比特中的值进行异或运算,得到索引ID,并通过该索引ID获得索引模块中对应的索引值。

相应地,在所述步骤S204中,根据所述索引值和所述状态空间值进行运算的操作,包括:

30 S2044: 将CRC寄存器组中全部的比特位按照固定方向(例如:向左或向右)循环移Z个比特位,之后,将所述索引值与CRC寄存器组低Z位做异或运算,得到新的状态空间值。

相应地,在所述步骤S205中,从所述新的状态空间值中获取数值赋给所述辅助比特的处理中,所述辅助比特是指PC校验比特。

结合第二方面或第二方面前述的各种可能的实现方式,在第十一种可能的实现方式中,在所述步骤S203中,将所述辅助比特的位置置为编码端(或编码侧)和译码端(或译码侧)约定的值即可,可以为0,也可以为1。

结合第二方面或第二方面前述的各种可能的实现方式,在第十二种可能的实现方式中,Z为大于0的偶数。

结合第二方面或第二方面前述的各种可能的实现方式,在第十三种可能的实现方式中,所述状态空间模块的形式具体可以为寄存器。

结合第二方面或第二方面前述的各种可能的实现方式,在第十四种可能的实现方式中,将状态空间模块中的状态空间值进行初始化的步骤中,所述状态空间模块中的值进行初始化后的值为:编码侧(或编码端)与译码侧(或译码端)之间约定的值。

结合第二方面或第二方面前述的各种可能的实现方式,在第十五种可能的实现方式中,所述状态空间模块可以由寄存器组实现,在将寄存器组的状态初始化为全1时,在步骤S205中的从所述新的状态空间值中获取数值赋给所述辅助比特的操作中,应将新的状态空间值取反后,再将所述新的状态空间值中的至少一个位置的数值赋给所述辅助比特。

结合第二方面或第二方面前述的各种可能的实现方式,在第十六种可能的实现方式中,在执行所述步骤S205的过程中,从所述新的状态空间值中获取数值赋给所述辅助比特的步骤可以包括:将所述新的状态空间值中的至少一个位置的数值赋给所述辅助比特。

结合第二方面或第二方面前述的各种可能的实现方式,在第十七种可能的实现方式中,多次针对不同的Z个待编码比特执行所述步骤S205的过程中,多次从所述新的状态空间值中获取数值赋给所述辅助比特的步骤可以包括:每次从状态空间模块的固定位置获取数值赋给所述辅助比特;或者采用轮回旋转的方式,按某一个固定方向,从某一位置开始,在状态空间模块中逐次更替位置选取数值赋给所述辅助比特;或者采用某种伪随机方式,从状态空间模块中选取数值赋给所述辅助比特;或者采用某种函数(例如状态空间模块的存储空间大小与辅助比特的序号之间关系的函数),在计算出的所述状态空间模块中的位置上选取数值赋给所述辅助比特。

结合第二方面或第二方面前述的各种可能的实现方式,在第十八种可能的实现方式中,在所述步骤S206之后还包括:

S3060:将所述待编码的比特序列中最后的待编码比特作为所述步骤S203的输入,并执行所述步骤S203,所述步骤S204及所述步骤S205之后,得到的所述状态空间模块中的状态空间值作为CRC校验比特,并进行CRC编码。

并且,在所述步骤S205中,从所述新的状态空间值中获取数值赋给所述辅助比特的处理中,所述辅助比特可以是指PC校验比特。结合步骤S3060,这样,本申请的上述实施例可以实现系统对不同种类辅助比特的同时编码,减少硬件开销,提升编码效率。

结合第二方面或第二方面前述的各种可能的实现方式,在第十九种可能的实现方式中,在所述步骤S206之后还包括:

S307:对编码后的比特序列进行极化编码和速率匹配得到待发送的速率匹配后的序列。

S308:发送速率匹配后的序列。

结合第二方面或第二方面前述的各种可能的实现方式,在第二十种可能的实现方式中,可以在执行所述S3060之后执行上述的步骤S307和步骤S308。

第三方面,本发明实施例再提供一种编码方法,所述方法包括:

S301:接收待编码的比特序列;

S302: 将状态空间模块中的状态空间值进行初始化, 并从所述待编码的比特序列中获取一组相邻的Z个待编码比特, 然后执行步骤S303;

S303: 所述Z个待编码比特包括信息比特, 冻结比特, 以及辅助比特中的至少一种, 在所述Z个待编码比特包括有辅助比特的情况下, 将所述辅助比特的位置置为固定值, 在
5 在所述Z个待编码比特包括有冻结比特的情况下, 将所述冻结比特的位置置为固定值, 然后执行步骤S304;

S304: 根据执行步骤S303后输出的所述Z个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 根据所述索引值和所述状态空间值进行运算, 得到新的状态空间值, 并将所述状态空间模块中的状态空间值更新为所述
10 新的状态空间值;

S305: 对执行步骤S303后输出的所述Z个待编码比特进行编码, 在所述Z个待编码比特包括有所述辅助比特的情况下, 从所述新的状态空间值中获取数值赋给所述辅助比特; 然后执行步骤S306;

S306: 从所述待编码的比特序列中获取所述一组Z个待编码比特之后的下一组相邻
15 的Z个待编码比特, 所述下一组Z个待编码比特与所述一组Z个待编码比特相邻, 并将所述下一组Z个待编码比特作为所述步骤S303的输入, 并执行所述步骤S303, 所述步骤S304及所述步骤S305, 不断循环, 直至所述下一组Z个待编码比特为所述待编码的比特序列中最后的待编码比特。

本申请的上述实施例中, 通过在编码端进行辅助比特编码, 使得解码端能够采用辅助
20 比特对编码后的比特序列进行纠错、检错或者早停等辅助译码操作。并且由于每次针对Z个待编码比特进行编码, 采用这种块处理的方式进行辅助比特编码, 方便硬件实施, 可以有效提升编码效率与吞吐量。

在第三方面的第一种可能的实现方式中, 辅助比特是指在编码端动态生成的, 并且在解码端用于辅助译码的比特, 所述的辅助译码是指进行纠错、进行检错或帮助判断是
25 否提前终止译码等。

结合第三方面或第三方面前述的各种可能的实现方式, 在第二种可能的实现方式中, 在所述步骤S302中, 所述获取的Z个待编码比特中的信息比特, 辅助比特和冻结比特之间的先后次序与所述信息比特, 所述辅助比特和所述冻结比特在所述待编码的比特序列中的先后次序是一致的。

结合第三方面或第三方面前述的各种可能的实现方式, 在第三种可能的实现方式中, 在所述步骤S306中, 所述下一组相邻的Z个待编码比特为所述待编码的比特序列中
30 最后的待编码比特是指:

所述待编码的比特序列最后还剩下小于或等于Z个待编码比特, 在所述待编码的比特序列最后还剩下的待编码比特不够Z个的情况下, 将不足的部分填充固定值0或1。

35

结合第三方面或第三方面前述的各种可能的实现方式, 在第四种可能的实现方式中, 在所述步骤S303中, 所述将所述冻结比特的位置置为固定值, 其中, 所述固定值是指编码端(或编码侧)和译码端(或译码侧)约定的固定值。

结合第三方面或第三方面前述的各种可能的实现方式,在第五种可能的实现方式中,在所述步骤S303中,将所述辅助比特的位置置为编码端(或编码侧)和译码端(或译码侧)约定的值即可,可以为0,也可以为1。

5 结合第三方面或第三方面前述的各种可能的实现方式,在第六种可能的实现方式中,Z为大于0的偶数。

结合第三方面或第三方面前述的各种可能的实现方式,在第七种可能的实现方式中,所述状态空间模块的形式具体可以为寄存器。

10 结合第三方面或第三方面前述的各种可能的实现方式,在第八种可能的实现方式中,将状态空间模块中的状态空间值进行初始化的步骤中,所述状态空间模块中的值进行初始化后的值为:编码侧(或编码端)与译码侧(或译码端)之间约定的值。

15 结合第三方面或第三方面前述的各种可能的实现方式,在第九种可能的实现方式中,所述状态空间模块可以由寄存器组实现,在将寄存器组的状态初始化为全1时,在步骤S305中的从所述新的状态空间值中获取数值赋给所述辅助比特的操作中,应将新的状态空间值取反后,再将所述新的状态空间值中的至少一个位置的数值赋给所述辅助比特。

结合第三方面或第三方面前述的各种可能的实现方式,在第十种可能的实现方式中,在执行所述步骤S305的过程中,从所述新的状态空间值中获取数值赋给所述辅助比特的步骤可以包括:将所述新的状态空间值中的至少一个位置的数值赋给所述辅助比特。

20 结合第三方面或第三方面前述的各种可能的实现方式,在第十一种可能的实现方式中,多次针对不同的Z个待编码比特执行所述步骤S305的过程中,多次从所述新的状态空间值中获取数值赋给所述辅助比特的步骤可以包括:每次从状态空间模块的固定位置获取数值赋给所述辅助比特;或者采用轮回旋转的方式,按某一个固定方向,从某一位置开始,在状态空间模块中逐次更替位置选取数值赋给所述辅助比特;或者采用某种伪随机方式,从状态空间模块中选取数值赋给所述辅助比特;或者采用某种函数(例如状态空间模块的存储空间大小与辅助比特的序号之间关系的函数),在计算出的所述状态空间模块中的位置上选取数值赋给所述辅助比特。

结合第三方面或第三方面前述的各种可能的实现方式,在第十二种可能的实现方式中,在所述步骤S304之前还包括:

30 对所述待编码的比特序列中的所述Z个待编码比特的 2^Z 种排列组合进行预编码,将预编码后的结果作为索引值存储在所述索引模块中。所述预编码中所采用的编码方式与所述步骤S305中所述的编码中所采用的编码方式是一致的,所述预编码是所述步骤S305中所述的编码的预处理过程。

35 结合第三方面或第三方面前述的各种可能的实现方式,在第十三种可能的实现方式中,在所述步骤S305中,对执行步骤S303后输出的所述Z个待编码比特进行编码的步骤中,所述的编码是指:检验编码方式的编码或信息摘要编码方式的编码或线性运算方式的编码。

结合第三方面或第三方面前述的各种可能的实现方式,在第十四种可能的实现方式中,在所述步骤S304中,根据执行步骤S303后输出的所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,包括:

5 将所述状态空间值的低Z个比特位与所述执行步骤S303后输出的所述Z个待编码比特中的值进行运算,得到索引ID,并通过该索引ID获得索引模块中存储的索引值。

结合第三方面或第三方面前述的各种可能的实现方式,在第十五种可能的实现方式中,在所述步骤S304中,根据所述索引值和所述状态空间值进行运算的操作,包括:

将所述索引值和所述状态空间值进行按位逻辑运算。

10 结合第三方面或第三方面前述的各种可能的实现方式,在第十六种可能的实现方式中,将所述索引值和所述状态空间值进行按位逻辑运算具体可以是:将所述索引值与状态空间值的低Z位进行按位逻辑运算。

结合第三方面或第三方面前述的各种可能的实现方式,在第十七种可能的实现方式中,在所述步骤S304中,根据执行步骤S303后输出的所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,包括:

15 S3041:将所述状态空间值按照固定方向(例如:向左或向右)循环移Z个比特位,之后,将所述状态空间值的低Z个比特位与所述执行步骤S303后输出的所述Z个待编码比特中的值进行运算,得到索引ID,并通过该索引ID获得索引模块中存储的索引值。

相应地,在所述步骤S304中,根据所述索引值和所述状态空间值进行运算的操作,包括:

20 S3042:将所述索引值和所述状态空间值进行按位逻辑运算。例如:将所述索引值与状态空间值的低Z位进行按位逻辑运算。

结合第三方面或第三方面前述的各种可能的实现方式,在第十八种可能的实现方式中,所述状态空间模块具体可以为一个CRC寄存器组。在所述步骤S304中,根据执行步骤S303后输出的所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,还可以包括:

25 S3043:将CRC寄存器组高Z个比特位与所述执行步骤S303后输出的所述Z个待编码比特中的值进行异或运算,得到索引ID,并通过该索引ID获得索引模块中对应的索引值。

相应地,在所述步骤S304中,根据所述索引值和所述状态空间值进行运算的操作,包括:

30 S3044:将CRC寄存器组中全部的比特位按照固定方向(例如:向左或向右)循环移Z个比特位,之后,将所述索引值与CRC寄存器组低Z位做异或运算,得到新的状态空间值。

相应地,在所述步骤S305中,从所述新的状态空间值中获取数值赋给所述辅助比特的处理中,所述辅助比特是指PC校验比特。

35 结合第三方面或第三方面前述的各种可能的实现方式,在第十九种可能的实现方式中,在所述步骤S306之后还包括:

S3060:将所述待编码的比特序列中最后的待编码比特作为所述步骤S303的输入,并执行所述步骤S303,所述步骤S304及所述步骤S305之后,得到的所述状态空间模块中的状态空间值作为CRC校验比特,并进行CRC编码。

并且,在所述步骤S305中,从所述新的状态空间值中获取数值赋给所述辅助比特的处理中,所述辅助比特可以是指PC校验比特。结合步骤S3060,这样,本申请的上述实施例可以实现系统对不同种类辅助比特的同时编码,减少硬件开销,提升编码效率。

结合第三方面或第三方面前述的各种可能的实现方式,在第二十种可能的实现方式中,在所述步骤S306之后还包括:

S307:对编码后的比特序列进行极化编码和速率匹配得到待发送的速率匹配后的序列。

S308:发送速率匹配后的序列。

结合第三方面或第三方面前述的各种可能的实现方式,在第二十一种可能的实现方式中,可以在执行所述S3060之后执行上述的步骤S307和步骤S308。

第四方面,本发明实施例还提供了一种用于编码的处理装置,该处理装置可以通过硬件实现也可以通过软件实现,当通过硬件实现时,该处理装置包括:

输入接口电路,用于接收待编码的比特序列;

逻辑电路,用于将状态空间模块中的状态空间值进行初始化,并从所述待编码的比特序列中获取一组由Z个信息比特组成的Z个待编码比特;根据获取的所述Z个待编码比特,得到新的状态空间值,并为辅助比特赋值,所述根据获取的所述Z个待编码比特,得到新的状态空间值,并为辅助比特赋值包括:根据获取的所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,根据所述索引值和所述状态空间值进行运算,得到新的状态空间值,并将所述状态空间模块中的状态空间值更新为所述新的状态空间值;对所述获取的所述Z个待编码比特进行编码,在所述待编码的比特序列中有辅助比特位于所述Z个信息比特中的各个信息比特之间的情况下,以及,在所述待编码的比特序列中有辅助比特位于所述Z个信息比特与下一个信息比特之间的情况下,从所述新的状态空间值中获取数值赋给所述辅助比特;从所述待编码的比特序列中获取所述一组Z个待编码比特之后的下一组由Z个信息比特组成的Z个待编码比特,所述下一组Z个待编码比特与所述一组Z个待编码比特相邻,并根据所述下一组Z个待编码比特,得到新的状态空间值,并为辅助比特赋值,不断循环,直至所述下一组Z个待编码比特为所述待编码的比特序列中最后的待编码比特。

在上述处理装置的实施例中,通过在编码端进行辅助比特编码,使得解码端能够采用辅助比特对编码后的比特序列进行纠错、检错或者早停等辅助译码操作。并且由于每次针对Z个待编码比特进行编码,采用这种块处理的方式进行辅助比特编码,方便硬件实施,可以有效提升编码效率与吞吐量。

在第四方面的第一种可能的实现方式中,辅助比特是指在编码端动态生成的,并且在解码端用于辅助译码的比特,所述的辅助译码是指进行纠错、进行检错或帮助判断是否提前终止译码等。

结合第四方面或第四方面前述的各种可能的实现方式,在第二种可能的实现方式中,所述获取的Z个待编码比特中Z个信息比特之间的前后次序与所述Z个信息比特在所述待编码的比特序列中的前后次序是一致的。

结合第四方面或第四方面前述的各种可能的实现方式,在第三种可能的实现方式中,在所述待编码的比特序列中有辅助比特位于所述Z个信息比特中的各个信息比特之

间的情况下, 以及, 在所述待编码的比特序列中有辅助比特位于所述Z个信息比特与下一个信息比特之间的情况下, 从所述新的状态空间值中获取数值赋给所述辅助比特, 包括: 分别从所述新的状态空间值中获取数值赋给位于所述Z个信息比特中的各个信息比特之间的辅助比特, 以及位于所述Z个信息比特与下一个信息比特之间的辅助比特。赋
5 给所述Z个信息比特中的各个信息比特之间的辅助比特的数值, 以及赋给位于所述Z个信息比特与下一个信息比特之间的辅助比特的数值, 可以从所述新的状态空间值中的同一位置获取, 或者是从所述新的状态空间值中的不同的位置获取。

结合第四方面或第四方面前述的各种可能的实现方式, 在第四种可能的实现方式中, 所述下一组Z个待编码比特为所述待编码的比特序列中最后的待编码比特是指: 所述
10 待编码的比特序列最后还剩下小于或等于Z个信息比特, 在所述待编码的比特序列最后还剩下的信息比特不够Z个的情况下, 将不足的部分填充固定值0或1。

结合第四方面或第四方面前述的各种可能的实现方式, 在第五种可能的实现方式中, 所述逻辑电路进一步用于:

对所述待编码的比特序列中的所述Z个待编码比特的 2^Z 种排列组合进行预编码, 将预
15 编码后的结果作为索引值存储在所述索引模块中。

结合第四方面或第四方面前述的各种可能的实现方式, 在第六种可能的实现方式中, 对所述获取的所述Z个待编码比特进行编码中, 所述的编码是指: 检验编码方式的编码或信息摘要编码方式的编码或线性运算方式的编码。

结合第四方面或第四方面前述的各种可能的实现方式, 在第七种可能的实现方式
20 中, 根据所述获取的所述Z个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 包括:

将所述状态空间值的低Z个比特位与所述获取的所述Z个待编码比特中的值进行运算, 得到索引ID, 并通过该索引ID获得索引模块中存储的索引值。

结合第四方面或第四方面前述的各种可能的实现方式, 在第八种可能的实现方式
25 中, 所述根据所述索引值和所述状态空间值进行运算, 包括:

将所述索引值和所述状态空间值进行按位逻辑运算。

结合第四方面或第四方面前述的各种可能的实现方式, 在第九种可能的实现方式中, 将所述索引值和所述状态空间值进行按位逻辑运算具体可以包括: 将所述索引值与
所述状态空间值的低Z位进行按位逻辑运算。

结合第四方面或第四方面前述的各种可能的实现方式, 在第十种可能的实现方式
30 中, 根据所述获取的所述Z个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 包括:

将所述状态空间值按照固定方向(例如: 向左或向右)循环移Z个比特位, 之后, 将所述状态空间值的低Z个比特位与所述Z个待编码比特中的值进行运算, 得到索引ID, 并
35 通过该索引ID获得索引模块中存储的索引值;

相应地, 根据所述索引值和所述状态空间值进行运算, 包括:

将所述索引值和所述状态空间值进行按位逻辑运算。例如: 将所述状态空间值循环左移Z个比特位, 之后, 将所述索引值与状态空间值的低Z位进行按位逻辑运算。

结合第四方面或第四方面前述的各种可能的实现方式,在第十一种可能的实现方式中,所述状态空间模块具体可以为一个CRC寄存器组。所述根据所述步骤S102中获取的所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,还可以包括:

5 将CRC寄存器组高Z比特位与根据所述步骤S102中获取的所述Z个待编码比特中的值进行异或运算,得到索引ID,并通过该索引ID获得索引模块中对应的索引值。

相应地,根据所述索引值和所述状态空间值进行运算的操作,包括:

将CRC寄存器组中全部的比特位按照固定方向(例如:向左或向右)循环移Z个比特位,之后,将所述索引值与CRC寄存器组低Z位做异或运算,得到新的状态空间值。

10 相应地,从所述新的状态空间值中获取数值赋给所述辅助比特中,所述辅助比特是指PC校验比特。

结合第四方面或第四方面前述的各种可能的实现方式,在第十二种可能的实现方式中,Z为大于0的偶数。

15 结合第四方面或第四方面前述的各种可能的实现方式,在第十三种可能的实现方式中,所述状态空间模块的形式具体可以为寄存器。

结合第四方面或第四方面前述的各种可能的实现方式,在第十四种可能的实现方式中,所述状态空间模块中的值进行初始化后的值为:编码侧(或编码端)与译码侧(或译码端)之间约定的值。

20 结合第四方面或第四方面前述的各种可能的实现方式,在第十五种可能的实现方式中,所述状态空间模块由寄存器组实现,在将寄存器组的状态初始化为全1时,在从所述新的状态空间值中获取数值赋给所述辅助比特时,应将新的状态空间值取反后,再将所述新的状态空间值中的至少一个位置的数值赋给所述辅助比特。

25 结合第四方面或第四方面前述的各种可能的实现方式,在第十六种可能的实现方式中,从所述新的状态空间值中获取数值赋给所述辅助比特可以包括:将所述新的状态空间值中的至少一个位置的数值赋给所述辅助比特。

30 结合第四方面或第四方面前述的各种可能的实现方式,在第十七种可能的实现方式中,多次针对不同的Z个待编码比特,多次从所述新的状态空间值中获取数值赋给所述辅助比特可以包括:每次从状态空间模块的固定位置获取数值赋给所述辅助比特;或者采用轮回旋转的方式,按某一个固定方向,从某一位置开始,在状态空间模块中逐次更替位置选取数值赋给所述辅助比特;或者采用某种伪随机方式,从状态空间模块中选取数值赋给所述辅助比特;或者采用某种函数(例如状态空间模块的存储空间大小与辅助比特的序号之间关系的函数),在计算出的所述状态空间模块中的位置上选取数值赋给所述辅助比特。

35 结合第四方面或第四方面前述的各种可能的实现方式,在第十八种可能的实现方式中,所述逻辑电路进一步用于:

根据所述待编码的比特序列中最后的待编码比特得到新的状态空间值,并为辅助比特赋值,之后,得到的所述状态空间模块中的状态空间值作为CRC校验比特,并进行CRC编码。

并且,在从所述新的状态空间值中获取数值赋给所述辅助比特时,所述辅助比特可以是指PC校验比特。这样,本申请的上述实施例可以实现系统对不同种类辅助比特的同时编码,减少硬件开销,提升编码效率。

5 结合第四方面或第四方面前述的各种可能的实现方式,在第十九种可能的实现方式中,上述处理装置可以是芯片或者集成电路。

第五方面,本发明实施例还提供一种用于编码的处理装置,该处理装置可以通过硬件实现也可以通过软件实现,当通过硬件实现时,该处理装置包括:

所述输入接口电路,用于接收待编码的比特序列;

所述逻辑电路,用于将状态空间模块中的状态空间值进行初始化,并从所述待编
10 码的比特序列中获取一组由信息比特和辅助比特组成的Z个待编码比特,根据获取的所述Z个待编码比特,得到新的状态空间值,并为辅助比特赋值,所述根据获取的所述Z个待编码比特,得到新的状态空间值,并为辅助比特赋值包括:将所述Z个待编码比特中的辅助比特的位置置为固定值,然后根据所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,根据所述索引值和所述状态空间值
15 进行运算,得到新的状态空间值,并将所述状态空间模块中的状态空间值更新为所述新的状态空间值;针对将所述Z个待编码比特中的辅助比特的位置置为固定值之后的所述Z个待编码比特进行编码,并从所述新的状态空间值中获取数值赋给所述Z个待编码比特中的所述辅助比特;然后从所述待编码的比特序列中获取所述一组Z个待编码比特之后的下一组由信息比特和辅助比特组成的Z个待编码比特,所述下一组Z个待编码比特与所
20 述一组Z个待编码比特相邻,并根据所述下一组Z个待编码比特,得到新的状态空间值,并为辅助比特赋值,不断循环,直至所述下一组Z个待编码比特为所述待编码的比特序列中最后的待编码比特。

在上述的处理装置的实施例中,通过在编码端进行辅助比特编码,使得解码端能够采用辅助比特对编码后的比特序列进行纠错、检错或者早停等辅助译码操作。并且由于
25 每次针对Z个待编码比特进行编码,采用这种块处理的方式进行辅助比特编码,方便硬件实施,可以有效提升编码效率与吞吐量。

在第五方面的第一种可能的实现方式中,辅助比特是指在编码端动态生成的,并且在解码端用于辅助译码的比特,所述的辅助译码是指进行纠错、进行检错或帮助判断是否提前终止译码等。

30 结合第五方面或第五方面前述的各种可能的实现方式,在第二种可能的实现方式中,所述获取的Z个待编码比特中信息比特和辅助比特之间的前后次序与所述信息比特和所述辅助比特在所述待编码的比特序列中的前后次序是一致的。

结合第五方面或第五方面前述的各种可能的实现方式,在第三种可能的实现方式中,所述下一组Z个待编码比特为所述待编码的比特序列中最后的待编码比特是指:

35 所述待编码的比特序列最后还剩下的比特中的信息比特和辅助比特的总数等于Z个或不足Z个,在所述待编码的比特序列最后还剩下的比特中的信息比特和辅助比特的总数不足Z个的情况下,将不足的部分填充固定值0或1。

结合第五方面或第五方面前述的各种可能的实现方式,在第四种可能的实现方式中,所述逻辑电路进一步用于:对所述待编码的比特序列中的所述Z个待编码比特的 2^Z 种排列组合进行预编码,将预编码后的结果作为索引值存储在所述索引模块中。

5 结合第五方面或第五方面前述的各种可能的实现方式,在第五种可能的实现方式中,对所述Z个待编码比特进行编码中,所述的编码是指:检验编码方式的编码或信息摘要编码方式的编码或线性运算方式的编码。

结合第五方面或第五方面前述的各种可能的实现方式,在第六种可能的实现方式中,根据所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,包括:

10 将所述状态空间值的低Z个比特位与所述Z个待编码比特中的值进行运算,得到索引ID,并通过该索引ID获得索引模块中存储的索引值。

结合第五方面或第五方面前述的各种可能的实现方式,在第七种可能的实现方式中,根据所述索引值和所述状态空间值进行运算的操作,包括:

15 将所述索引值和所述状态空间值进行按位逻辑运算。

结合第五方面或第五方面前述的各种可能的实现方式,在第八种可能的实现方式中,将所述索引值和所述状态空间值进行按位逻辑运算具体可以是:将所述索引值与所述状态空间值的低Z位进行按位逻辑运算。

20 结合第五方面或第五方面前述的各种可能的实现方式,在第九种可能的实现方式中,根据所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,包括:

将所述状态空间值按照固定方向(例如:向左或向右)循环移Z个比特位,之后,将所述状态空间值的低Z个比特位与所述Z个待编码比特中的值进行运算,得到索引ID,并通过该索引ID获得索引模块中存储的索引值;

25 相应地,根据所述索引值和所述状态空间值进行运算的操作,包括:

将所述索引值和所述状态空间值进行按位逻辑运算。例如:将所述索引值与状态空间值的低Z位进行按位逻辑运算。

30 结合第五方面或第五方面前述的各种可能的实现方式,在第十种可能的实现方式中,所述状态空间模块具体可以为一个CRC寄存器组。根据所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,还可以包括:

将CRC寄存器组高Z比特位与所述执行步骤S203后输出的所述Z个待编码比特中的值进行异或运算,得到索引ID,并通过该索引ID获得索引模块中对应的索引值。

相应地,根据所述索引值和所述状态空间值进行运算,包括:

35 将CRC寄存器组中全部的比特位按照固定方向(例如:向左或向右)循环移Z个比特位,之后,将所述索引值与CRC寄存器组低Z位做异或运算,得到新的状态空间值。

相应地,在从所述新的状态空间值中获取数值赋给所述辅助比特时,所述辅助比特是指PC校验比特。

结合第五方面或第五方面前述的各种可能的实现方式,在第十一种可能的实现方式中,将所述辅助比特的位置置为编码端(或编码侧)和译码端(或译码侧)约定的值即可,可以为0,也可以为1。

5 结合第五方面或第五方面前述的各种可能的实现方式,在第十二种可能的实现方式中,Z为大于0的偶数。

结合第五方面或第五方面前述的各种可能的实现方式,在第十三种可能的实现方式中,所述状态空间模块的形式具体可以为寄存器。

结合第五方面或第五方面前述的各种可能的实现方式,在第十四种可能的实现方式中,将状态空间模块中的状态空间值进行初始化中,所述状态空间模块中的值进行初始
10 化后的值为:编码侧(或编码端)与译码侧(或译码端)之间约定的值。

结合第五方面或第五方面前述的各种可能的实现方式,在第十五种可能的实现方式中,所述状态空间模块可以由寄存器组实现,在将寄存器组的状态初始化为全1时,在从所述新的状态空间值中获取数值赋给所述辅助比特时,应将新的状态空间值取反后,再将所述新的状态空间值中的至少一个位置的数值赋给所述辅助比特。

15 结合第五方面或第五方面前述的各种可能的实现方式,在第十六种可能的实现方式中,从所述新的状态空间值中获取数值赋给所述辅助比特可以包括:将所述新的状态空间值中的至少一个位置的数值赋给所述辅助比特。

结合第五方面或第五方面前述的各种可能的实现方式,在第十七种可能的实现方式中,多次针对不同的Z个待编码比特,多次从所述新的状态空间值中获取数值赋给所述辅助比特可以包括:每次从状态空间模块的固定位置获取数值赋给所述辅助比特;或者采用
20 轮回旋转的方式,按某一个固定方向,从某一位置开始,在状态空间模块中逐次更替位置选取数值赋给所述辅助比特;或者采用某种伪随机方式,从状态空间模块中选取数值赋给所述辅助比特;或者采用某种函数(例如状态空间模块的存储空间大小与辅助比特的序号之间关系的函数),在计算出的所述状态空间模块中的位置上选取数值赋给所
25 述辅助比特。

结合第五方面或第五方面前述的各种可能的实现方式,在第十八种可能的实现方式中,所述逻辑电路进一步用于:

根据所述待编码的比特序列中最后的待编码比特得到新的状态空间值,并为辅助比特赋值,之后,得到的所述状态空间模块中的状态空间值作为CRC校验比特,并进行CRC编
30 码。

并且,在从所述新的状态空间值中获取数值赋给所述辅助比特时,所述辅助比特可以是指PC校验比特。这样,本申请的上述实施例可以实现系统对不同种类辅助比特的同时编码,减少硬件开销,提升编码效率。

结合第五方面或第五方面前述的各种可能的实现方式,在第十九种可能的实现方式中,上述处理装置可以是芯片或者集成电路。
35

第六方面,本发明实施例还提供一种用于编码的处理装置,该处理装置可以通过硬件实现也可以通过软件实现,当通过硬件实现时,该处理装置包括:

所述输入接口电路,用于接收待编码的比特序列;

所述逻辑电路，用于将状态空间模块中的状态空间值进行初始化，并从所述待编码的比特序列中获取一组相邻的Z个待编码比特，根据获取的所述Z个待编码比特，得到新的状态空间值，并为辅助比特赋值，所述根据获取的所述Z个待编码比特，得到新的状态空间值，并为辅助比特赋值包括：所述Z个待编码比特包括信息比特，冻结比特，以及辅助比特中的至少一种，在所述Z个待编码比特包括有辅助比特的情况下，将所述辅助比特的位置置为固定值，在所述Z个待编码比特包括有冻结比特的情况下，将所述冻结比特的位置置为固定值，然后根据所述Z个待编码比特中的值，以及所述状态空间模块中的状态空间值，从索引模块中获取对应的索引值，根据所述索引值和所述状态空间值进行运算，得到新的状态空间值，并将所述状态空间模块中的状态空间值更新为所述新的状态空间值；针对将所述Z个待编码比特中的辅助比特和冻结比特的位置置为固定值之后的所述Z个待编码比特进行编码，在所述Z个待编码比特包括有所述辅助比特的情况下，从所述新的状态空间值中获取数值赋给所述辅助比特；然后从所述待编码的比特序列中获取所述一组Z个待编码比特之后的下一组相邻的Z个待编码比特，所述下一组Z个待编码比特与所述一组Z个待编码比特相邻，并根据所述下一组Z个待编码比特，得到新的状态空间值，并为辅助比特赋值，不断循环，直至所述下一组Z个待编码比特为所述待编码的比特序列中最后的待编码比特。

本申请的上述实施例中，通过在编码端进行辅助比特编码，使得解码端能够采用辅助比特对编码后的比特序列进行纠错、检错或者早停等辅助译码操作。并且由于每次针对Z个待编码比特进行编码，采用这种块处理的方式进行辅助比特编码，方便硬件实施，可以有效提升编码效率与吞吐量。

在第六方面的第一种可能的实现方式中，辅助比特是指在编码端动态生成的，并且在解码端用于辅助译码的比特，所述的辅助译码是指进行纠错、进行检错或帮助判断是否提前终止译码等。

结合第六方面或第六方面前述的各种可能的实现方式，在第二种可能的实现方式中，所述获取的Z个待编码比特中的信息比特，辅助比特和冻结比特之间的前后次序与所述信息比特，所述辅助比特和所述冻结比特在所述待编码的比特序列中的前后次序是一致的。

结合第六方面或第六方面前述的各种可能的实现方式，在第三种可能的实现方式中，所述下一组相邻的Z个待编码比特为所述待编码的比特序列中最后的待编码比特是指：

所述待编码的比特序列最后还剩下小于或等于Z个待编码比特，在所述待编码的比特序列最后还剩下的待编码比特不够Z个的情况下，将不足的部分填充固定值0或1。

结合第六方面或第六方面前述的各种可能的实现方式，在第四种可能的实现方式中，所述将所述冻结比特的位置置为固定值，其中，所述固定值是指编码端（或编码侧）和译码端（或译码侧）约定的固定值。

结合第六方面或第六方面前述的各种可能的实现方式，在第五种可能的实现方式中，将所述辅助比特的位置置为编码端（或编码侧）和译码端（或译码侧）约定的值即可，可以为0，也可以为1。

结合第六方面或第六方面前述的各种可能的实现方式,在第六种可能的实现方式中, Z 为大于0的偶数。

结合第六方面或第六方面前述的各种可能的实现方式,在第七种可能的实现方式中,所述状态空间模块的形式具体可以为寄存器。

5 结合第六方面或第六方面前述的各种可能的实现方式,在第八种可能的实现方式中,将所述状态空间模块中的值进行初始化后的值为:编码侧(或编码端)与译码侧(或译码端)之间约定的值。

结合第六方面或第六方面前述的各种可能的实现方式,在第九种可能的实现方式中,所述状态空间模块可以由寄存器组实现,在将寄存器组的状态初始化为全1时,在从
10 所述新的状态空间值中获取数值赋给所述辅助比特时,应将新的状态空间值取反后,再将所述新的状态空间值中的至少一个位置的数值赋给所述辅助比特。

结合第六方面或第六方面前述的各种可能的实现方式,在第十种可能的实现方式中,从所述新的状态空间值中获取数值赋给所述辅助比特可以包括:将所述新的状态空间值中的至少一个位置的数值赋给所述辅助比特。

15 结合第六方面或第六方面前述的各种可能的实现方式,在第十一种可能的实现方式中,多次针对不同的 Z 个待编码比特,多次从所述新的状态空间值中获取数值赋给所述辅助比特可以包括:每次从状态空间模块的固定位置获取数值赋给所述辅助比特;或者采用轮回旋转的方式,按某一个固定方向,从某一位置开始,在状态空间模块中逐次更替位置选取数值赋给所述辅助比特;或者采用某种伪随机方式,从状态空间模块中选取数值赋给所述辅助比特;或者采用某种函数(例如状态空间模块的存储空间大小与辅助比特的序号之间关系的函数),在计算出的所述状态空间模块中的位置上选取数值赋给所述辅助比特。
20

结合第六方面或第六方面前述的各种可能的实现方式,在第十二种可能的实现方式中,所述逻辑电路进一步用于:

25 对所述待编码的比特序列中的所述 Z 个待编码比特的 2^Z 种排列组合进行预编码,将预编码后的结果作为索引值存储在所述索引模块中。

结合第六方面或第六方面前述的各种可能的实现方式,在第十三种可能的实现方式中,对所述 Z 个待编码比特进行编码时,所述的编码是指:检验编码方式的编码或信息摘要编码方式的编码或线性运算方式的编码。

30 结合第六方面或第六方面前述的各种可能的实现方式,在第十四种可能的实现方式中,根据所述 Z 个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,包括:

将所述状态空间值的低 Z 个比特位与所述 Z 个待编码比特中的值进行运算,得到索引ID,并通过该索引ID获得索引模块中存储的索引值。

35 结合第六方面或第六方面前述的各种可能的实现方式,在第十五种可能的实现方式中,根据所述索引值和所述状态空间值进行运算,包括:

将所述索引值和所述状态空间值进行按位逻辑运算。

结合第六方面或第六方面前述的各种可能的实现方式,在第十六种可能的实现方式中,将所述索引值和所述状态空间值进行按位逻辑运算具体可以是:将所述索引值与状态空间值的低Z位进行按位逻辑运算。

5 结合第六方面或第六方面前述的各种可能的实现方式,在第十七种可能的实现方式中,根据所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,包括:

将所述状态空间值按照固定方向(例如:向左或向右)循环移Z个比特位,之后,将所述状态空间值的低Z个比特位与所述Z个待编码比特中的值进行运算,得到索引ID,并通过该索引ID获得索引模块中存储的索引值。

10 相应地,根据所述索引值和所述状态空间值进行运算,包括:

将所述索引值和所述状态空间值进行按位逻辑运算。例如:将所述索引值与状态空间值的低Z位进行按位逻辑运算。

结合第六方面或第六方面前述的各种可能的实现方式,在第十八种可能的实现方式中,所述状态空间模块具体可以为一个CRC寄存器组。根据所述Z个待编码比特中的值,15 以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,还可以包括:

将CRC寄存器组高Z比特位与所述Z个待编码比特中的值进行异或运算,得到索引ID,并通过该索引ID获得索引模块中对应的索引值。。

相应地,根据所述索引值和所述状态空间值进行运算的操作,包括:

20 将CRC寄存器组中全部的比特位按照固定方向(例如:向左或向右)循环移Z个比特位,之后,将所述索引值与CRC寄存器组低Z位做异或运算,得到新的状态空间值。

相应地,从所述新的状态空间值中获取数值赋给所述辅助比特时,所述辅助比特是指PC校验比特。

结合第六方面或第六方面前述的各种可能的实现方式,在第十九种可能的实现方式25 中,所述逻辑电路进一步用于:

根据所述待编码的比特序列中最后的待编码比特得到新的状态空间值,并为辅助比特赋值,之后,得到的所述状态空间模块中的状态空间值作为CRC校验比特,并进行CRC编码。

30 并且,在从所述新的状态空间值中获取数值赋给所述辅助比特时,所述辅助比特可以是指PC校验比特。这样,本申请的上述实施例可以实现系统对不同种类辅助比特的同时编码,减少硬件开销,提升编码效率。

结合第六方面或第六方面前述的各种可能的实现方式,在第二十种可能的实现方式中,上述处理装置可以是芯片或者集成电路。

35 当上述第四方面,第五方面,以及第六方面中的处理装置通过软件实现时,该处理装置包括:

存储器,用于存储程序;

处理器,用于执行所述存储器存储的所述程序,当所述程序被执行时,所述处理装置用于实现第一方面或第二方面或第三方面中所述编码方法的各种实施例。

上述存储器可以是物理上独立的单元,也可以与处理器集成在一起。

本申请的实施例的又一方面还提供了一种通信设备，用于实现编码的功能，该通信设备包括：上述各个方面中所述的处理装置，以及收发器。

所述收发器，用于发送速率匹配后的序列。

5 本申请的实施例的又一方面还提供了一种计算机可读存储介质，所述计算机可读存储介质中存储有指令，当其在计算机上运行时，使得计算机执行上述各方面所述的方法。

本申请的实施例的又一方面还提供了一种包含指令的计算机程序产品，当其在计算机上运行时，使得计算机执行上述各方面所述的方法。

附图说明

图1为无线通信系统的结构示意图；

10 图2为无线通信的基本流程示意图；

图3为对Polar码级联循环冗余校验比特的编码方式的流程示意图；

图4为对Polar码级联循环冗余校验比特的数据结构的示意图；

图5为对Polar码级联校验冻结比特的数据结构的示意图；

图6为PC-Polar的SCL译码过程的示意图；

15 图7 (a) 为CA-Polar和PC-Polar级联编码的流程示意图；

图7 (b) 为CA-Polar和PC-Polar级联的方式中，译码的流程示意图；

图8为本申请提供的一种编码方法的实施例的流程示意图；

图9本申请提供的编码方法的实施例中，从待编码的比特序列提取Z个待编码比特的过程示意图；

20 图10为本申请提供的另一种编码方法的实施例的流程示意图；

图11为本申请提供的再一种编码方法的实施例的流程示意图；

图12为本申请提供的一种用于编码的处理装置的结构示意图；

图13为本申请提供的另一种用于编码的处理装置的结构示意图；

图14为本申请提供的再一种用于编码的处理装置的结构示意图；

25 图15为本申请提供的一种通信设备的结构示意图；

图16为本申请提供的一种终端的结构示意图。

具体实施方式

下面结合附图对本发明具体实施例作进一步的详细描述。

30 图1本申请实施例所适用的无线通信系统，该无线通信系统中可以包括至少一个网络设备，该网络设备与一个或多个终端进行通信。该网络设备可以是基站，也可以是基站与基站控制器集成后的设备，还可以是具有类似通信功能的其它设备。

需要说明的是，本申请实施例提及的无线通信系统包括但不限于：窄带物联网系统（英文：Narrow Band- Internet of Things，简称：NB-IoT）、全球移动通信系统（英文：Global System for Mobile Communications，简称：GSM）、增强型数据速率GSM演进系统（英文：Enhanced Data rate for GSM Evolution，简称：EDGE）、宽带码分多址系统（英文：Wideband Code Division Multiple Access，简称：WCDMA）、码分

多址2000系统（英文：Code Division Multiple Access，简称：CDMA2000）、时分同步码分多址系统（英文：Time Division-Synchronization Code Division Multiple Access，简称：TD-SCDMA），长期演进系统（英文：Long Term Evolution，简称：LTE）、下一代5G移动通信系统的三大应用场景eMBB，URLLC和eMTC或者将来出现的新的通信系统。

本申请实施例中所涉及到的终端可以包括各种具有无线通信功能的手持设备、车载设备、可穿戴设备、计算设备或连接到无线调制解调器的其它处理设备。所述终端可以是MS（英文：Mobile Station）、用户单元（英文：subscriber unit）、蜂窝电话（英文：cellular phone）、智能电话（英文：smart phone）、无线数据卡、个人数字助理（英文：Personal Digital Assistant，简称：PDA）电脑、平板型电脑、无线调制解调器（英文：modem）、手持设备（英文：handset）、膝上型电脑（英文：laptop computer）、机器类型通信（英文：Machine Type Communication，简称：MTC）终端等。

图1中的网络设备与终端之间采用无线技术进行通信。当网络设备发送信号时，其为发送端，当网络设备接收信号时，其为接收端；终端也是一样的，当终端发送信号时，其为发送端，当终端接收信号时，其为接收端。图2是采用无线技术进行通信的基本流程，发送端的信源依次经过信源编码、信道编码、速率匹配和调制后在信道上发出，接收端收到信号后依次经过解调、解速率匹配、信道解码和信源解码后获得信宿。

信道编解码是无线通信领域的核心技术之一，其性能的改进将直接提升网络覆盖及用户传输速率。目前，极化码是可理论证明达到香农极限，并且具有可实用的线性复杂度编译码能力的信道编码技术。极化码构造的核心是通过“信道极化”的处理，在编码侧，采用编码的方法使各个子信道呈现出不同的可靠性，当码长持续增加时，一部分信道将趋向于容量接近于1的无噪信道，另一部分信道趋向于容量接近于0的全噪信道，选择在容量接近于1的信道上直接传输信息以逼近信道容量。

Polar码的编码策略正是应用了这种现象的特性，利用无噪信道传输用户有用的信息，全噪信道传输约定的信息或者不传信息。Polar码也是一种线性块码，其编码矩阵为 G_N ，编码过程为 $x_1^N = u_1^N G_N$ ，其中 $u_1^N = (u_1, u_2, \dots, u_N)$ 是一个二进制的行矢量，长度为 N （即码长）； G_N 是一个 $N \times N$ 的矩阵，且 $G_N = F_2^{\otimes(\log_2(N))}$ 。 $F_2^{\otimes(\log_2(N))}$ 定义为 $\log_2 N$ 个

矩阵 F_2 的克罗内克（Kronecker）乘积。上述矩阵 $F_2 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$ 。

Polar码的编码过程中， u_1^N 中的一部分比特用来携带信息，称为信息比特集合，这些比特的索引的集合记作 \mathcal{A} ；另外的一部分比特设置为接收端和发送端预先约定的固定值，称之为固定比特集合或冻结比特集合（frozen bits），其索引的集合用 \mathcal{A} 的补集 \mathcal{A}^c 表示。Polar码的编码过程相当于： $x_1^N = u_{\mathcal{A}} G_N(\mathcal{A}) \oplus u_{\mathcal{A}^c} G_N(\mathcal{A}^c)$ ，这里， $G_N(\mathcal{A})$ 是 G_N 中由集合 \mathcal{A} 中的索引对应的那些行得到的子矩阵， $G_N(\mathcal{A}^c)$ 是 G_N 中由集合 \mathcal{A}^c 中的索引

对应的那些行得到的子矩阵。 u_A 为 u_1^N 中的信息比特集合，数量为 K ； u_{A^c} 为 u_1^N 中的固定比特集合，其数量为 $(N-K)$ ，是已知比特。这些固定比特通常被设置为0，但是只要接收端和发送端预先约定，固定比特可以被任意设置。从而，Polar码的编码输出可简化为：

$$x_1^N = u_A G_N(\mathcal{A}),$$

这里 u_A 为 u_1^N 中的信息比特集合， u_A 为长度 K 的行矢量，即 $|\mathcal{A}| = K$ ，

5 $|\cdot|$ 表示集合中元素的个数， K 为信息块大小， $G_N(\mathcal{A})$ 是矩阵 G_N 中由集合 \mathcal{A} 中的索引对应的那些行得到的子矩阵， $G_N(\mathcal{A})$ 是一个 $K \times N$ 的矩阵。

Polar码的构造过程即集合 \mathcal{A} 的选取过程，决定了Polar码的性能。Polar码的构造过程通常是，根据母码码长 N 确定共存在 N 个极化信道，分别对应编码矩阵的 N 个行，计算极化信道可靠度，将可靠度较高的前 K 个极化信道的索引作为集合 \mathcal{A} 的元素，剩余
10 $(N-K)$ 个极化信道对应的索引作为固定比特的索引集合 \mathcal{A}^c 的元素。集合 \mathcal{A} 决定了信息比特的位置，集合 \mathcal{A}^c 决定了固定比特的位置。

图2为常用的无线通信的基本流程示意图，如图2所示，在发送端，信源依次经过信源编码、信道编码、数字调制后发出。在接收端，依次经过数字解调、信道译码、信源
15 解码输出信宿。信道编码可以采用Polar码，而在信道译码的时候，可以采用SC译码、SCL译码等。为了提高Polar码的性能，现在又提出了很多在Polar码的基础上进行改进的技术，例如，CA-Polar码，PC-Polar码，CA-PC-Polar等等。

如图3及图4所示，对Polar码级联循环冗余校验（Cyclic Redundancy Check）比特的编码方式，简称CA-Polar。在译码过程中，通过CRC校验（Cyclic Redundancy Check，
20 循环冗余校验），在SCL译码输出的候选路径中选择CRC通过的路径作为译码输出，这种译码算法称为CA-SCL（CRC-Aided Successive Cancellation List）译码算法，CA-SCL译码算法能显著提高Polar码的性能。

CA-Polar码的构造过程包括确定信息比特位置的过程。假设信息块大小为 K_{info} ，CRC长度为 K_{crc} ，编码的母码码长为 N ，则只需要从 N 个极化信道中选择 $K_{info}+K_{crc}$ 个可靠度最高的作为信息比特，其余的作为静态冻结比特（或称为冻结比特）。在CA-Polar码的构造过程中，先对信息块进行CRC编码，然后将CRC编码后的比特映射到信息比特，在静态冻结比特放置收发两端约定的固定值，最后进行Arikan Polar编码，得到CA-Polar的编码块。所述CRC比特可以级联在所述信息块的前端或后端，或者分布在所述信息块的内部。

30 译码时，信息块和CRC比特均未知，按照正常的SCL译码。在SCL译码结束后，得到 L （路径扩展的宽度）个候选译码结果，所述候选译码结果包括信息块和CRC比特。从PM最小的路径的候选译码结果开始，对每个候选译码结果进行CRC校验，如果校验通过，则将该路径的信息块作为译码输出。否则，将PM最小的路径的候选译码结果的信息块作为译码输出，或者直接指示译码失败。CA-Polar可以取得比SCL更低的误块率（Block Error Rate, BLER）。
35

在SCL译码过程中，CRC比特均作为信息比特处理，只在SCL译码结束时用于选择路径。

如图5所示，对Polar码级联校验（Parity-check）比特，简称为PC-Polar，是另一种提升Polar码性能的级联码方法。PC-Polar的主要思想是选择一些校验比特

5 （Parity-check-frozen），也称为动态冻结（Dynamic Frozen）比特或校验冻结比特，分布到信息块中，并且校验比特的值由其前面的信息比特根据校验方程确定。

PC-Polar主要是通过对信息块进行PC编码提升Polar码的最小码距，从而提升Polar码的性能。PC-Polar的构造主要包括两点，一是校验比特的位置，通常需要位于可靠度较高的极化信道；二是校验方程，即各校验比特由其前面的哪些信息比特确定。一旦构造完成，PC-Polar码的编码过程与CA-Polar类似，包括PC编码和Arikan编码两步，PC编
10 码即根据校验方程和信息块的值确定校验比特的值，静态冻结比特仍然放置收发两端已知的值。PC-Polar的译码算法基于SCL译码算法，信息比特和静态冻结比特的处理与SCL译码算法的处理一样，不同是动态冻结比特的处理。由于动态冻结比特并不是未知的信息比特，而是由其前面的信息比特确定，其处理与静态冻结比特类似，不同的是动态冻
15 结比特的值由前面译码的信息比特计算获得。动态冻结比特由于与前面的信息比特相关，实际上辅助了信息比特译码结果的校验。具体来说，如果前面译码的信息比特有错，计算得到动态冻结比特的值与其LLR（Log likelihood ratio 对数似然比）不符的可能性更大，相应的路径PM会加惩罚值，从而在排序时会更可能把该错误路径删除。PC-SCL译码最终输出PM最小的路径。

20 图6是一个PC-Polar的SCL译码示例，动态冻结比特与信息比特之间的箭头表示的是动态冻结比特与信息比特之间的校验关系。在译码到动态冻结比特时，在各译码路径，根据校验关系将译码得到的信息比特的值计算得到该动态冻结比特的值，并用于译码。PC-Polar中动态冻结比特的位置对性能起到重要作用，构造时需要仔细挑选。

25 图7 (a) 为常用的CA-Polar和PC-Polar级联编码的流程示意图，如图7 (a) 所示，（1）对待编码的比特序列 $a_0, a_1, a_2, \dots, a_{A-1}$ 先进行级联循环冗余校验（Cyclic Redundancy Check, CRC）编码得到 b_0, b_1, \dots, b_{B-1} ；（2）再进行PC编码，根据确定的信息比特、静态冻结比特（或称为冻结比特）和校验冻结比特的位置分别设置信息比特、静态冻结比特和校验冻结比特的值，生成序列 c_0, c_1, \dots, c_{C-1} ；（3）然后进行Polar编码（即极化编码）
30 得到序列 $d_0, d_1, d_2, \dots, d_{D-1}$ ，最后进行速率匹配得到序列 $e_0, e_1, e_2, \dots, e_{E-1}$ 进行发送。CRC编码矩阵由如下参数唯一确定：CRC校验比特的数量、CRC校验比特的位置和CRC校验方程。而PC编码是由如下参数确定：校验冻结比特的位置和校验方程。

有一种级联CRC的Polar编码方法的实现步骤为：首先确定信息比特、静态冻结比特和校验比特的位置。然后将待编码的比特序列进行CRC编码，即进行CRC计算（其中，A
35 表示信息比特的长度，B表示信息比特和CRC校验比特的长度之和），CRC计算的输入是信息比特 $a_0, a_1, a_2, \dots, a_{A-1}$ ，生成的校验比特是 $p_0, p_1, p_2, \dots, p_{K_{crc}-1}$ 。采用如下方式进行CRC编码得到 b_0, b_1, \dots, b_{B-1} ，其中，

$$b_k = a_k \quad \text{for} \quad k = 0, 1, 2, \dots, A-1;$$

$$b_k = p_{k-A} \quad \text{for} \quad k = A, A+1, A+2, \dots, B-1;$$

在CRC编码得到的CRC编码序列 b_0, b_1, \dots, b_{B-1} 中设置信息比特、静态冻结比特和校验冻结比特的值。具体可采用如下方式进行信息比特、静态冻结比特以及校验冻结比特的值的设置，得到序列 c_0, c_1, \dots, c_{C-1} （C表示设置完信息比特、静态冻结比特以及校验冻结比特的值之后的序列长度，即C等于母码长度N），其中，

$$\begin{aligned} c_i &= b_j \quad \text{for } i \in \text{信息比特}; \\ c_i &= 0 \quad \text{for } i \in \text{冻结比特}; \\ c_i &= f(b_j) \quad \text{for } i \in \text{校验冻结比特}, f(\cdot) \text{表示校验方程}; \end{aligned}$$

然后进行Arikan Polar编码，其中（D表示Arikan Polar编码后的序列长度，与N相等）：

$$[d_0, d_1, d_2, \dots, d_{D-1}] = [c_0, c_1, c_2, \dots, c_{C-1}] \cdot F_2^{\otimes n}, n = \log_2 N$$

最后进行速率匹配。从 $d_0, d_1, d_2, \dots, d_{D-1}$ 序列中去除不传输的序列，得到传输序列 $e_0, e_1, e_2, \dots, e_{E-1}$ ，E表示速率匹配后的序列长度，即码长。完成编码后可将得到的传输序列发送给接收设备。

然而，该编码方法中CRC编码与PC编码（校验冻结比特值与校验方程的确定）是分别进行的。

图7 (b) 为常用的CA-Polar和PC-Polar级联编码的译码示意图，如图7 (b) 所示，首先SCL对Polar码进行译码，并输出L个幸存路径（L是一个参数），然后对这些幸存路径进行CRC校验，选择CRC通过的路径为译码输出。这里如果没有路径通过CRC校验，译码失败，可以选择最大概率路径作为输出；如果多于一个路径通过CRC校验，选择其中概率最大的路径作为输出。

上述介绍的各种概念或实施方式适用于下述的任意一个实施例中。

本申请提供的编码方法和译码方法的应用在网络设备与终端之间的信息交互过程中，编码侧既可以是网络设备也可以是终端；与之相应的，译码侧既可以是终端也可以是网络设备。可选的，也可以应用在终端之间的信息交互过程中，对此本申请不做限制。

在下述的各个编码方法的实施例中，辅助比特是指在编码端动态生成的，并且在解码端用于辅助译码的比特，所述的辅助译码是指进行纠错、进行检错或帮助判断是否提前终止译码等。所述辅助比特可以包括校验冻结比特（也可以称为冻结校验比特、PC—frozen比特、Parity-check-frozen比特、预冻结比特、校验比特、动态冻结（Dynamic Frozen）比特或PC校验比特），HASH（哈希）校验比特，分布式CRC比特以及CRC校验比特中的至少一种。

图8为本申请提供的编码方法的实施例的流程示意图，如图8所示，该编码方法具体包括：

S101：接收待编码的比特序列；

S102: 将状态空间模块中的状态空间值进行初始化, 并从所述待编码的比特序列中获取一组由Z个信息比特组成的Z个待编码比特;

5 S104: 根据所述步骤S102中获取的所述Z个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 根据所述索引值和所述状态空间值进行运算, 得到新的状态空间值, 并将所述状态空间模块中的状态空间值更新为所述新的状态空间值;

10 S105: 对所述步骤S102中获取的所述Z个待编码比特进行编码, 在所述待编码的比特序列中有辅助比特位于所述Z个信息比特中的各个信息比特之间的情况下, 以及, 在所述待编码的比特序列中有辅助比特位于所述Z个信息比特与下一个信息比特之间的情况下, 从所述新的状态空间值中获取数值赋给所述辅助比特; 然后执行步骤S106;

15 S106: 从所述待编码的比特序列中获取所述一组Z个待编码比特之后的下一组由Z个信息比特组成的Z个待编码比特, 所述下一组Z个待编码比特与所述一组Z个待编码比特相邻, 并将所述下一组Z个待编码比特作为所述步骤S104的输入, 并执行所述步骤S104, 及所述步骤S105, 不断循环, 直至所述下一组Z个待编码比特为所述待编码的比特序列中最后的待编码比特。

在图8所示的编码方法的实施例中, 针对所述待编码的比特序列中的信息比特, 每次处理Z个信息比特, 直到将所述待编码的比特序列中的信息比特处理完毕。

20 在图8所示的编码方法的实施例中, 通过在编码端进行辅助比特编码, 使得解码端能够采用辅助比特对编码后的比特序列进行纠错、检错或者早停等辅助译码操作。并且由于每次针对Z个待编码比特进行编码, 采用这种块处理的方式进行辅助比特编码, 方便硬件实施, 可以有效提升编码效率与吞吐量。

25 在图8所示的编码方法的实施例中, 在所述步骤S106中: 从所述待编码的比特序列中获取所述一组Z个待编码比特之后的下一组由Z个信息比特组成的Z个待编码比特, 所述下一组由Z个信息比特组成的Z个待编码比特与所述一组由Z个信息比特组成的Z个待编码比特相邻是指: 如图9所示, 图9表示的一串待编码的比特序列, 其中F表示冻结比特, I表示信息比特, PF表示辅助比特。在Z为2的情况下, 从所述待编码的比特序列中连续的提取信息比特, 在从所述待编码的比特序列中获取2个信息比特之后, 接着再从所述待编码的比特序列中获取2个信息比特时, 在所述待编码的比特序列中两次获取的
30 信息比特之间不存在信息比特。

35 在图8所示的编码方法的实施例中, 在所述步骤S102中, 所述获取的Z个待编码比特中Z个信息比特之间的前后次序与所述Z个信息比特在所述待编码的比特序列中的前后次序是一致的。具体来讲, 如图9所示, 图9表示的是一串待编码的比特序列, 其中F表示冻结比特, I表示信息比特, PF表示辅助比特。在Z为2的情况下, 从所述待编码的比特序列中连续的提取信息比特。在所述步骤S105中: 在所述待编码的比特序列中有辅助比特位于所述Z个信息比特中的各个信息比特之间的情况是指: 如图9中所示, 从所述待编码的比特序列中获取2个信息比特的过程中, 跳过了这2个信息比特之间的1个辅助比特, 则要从所述新的状态空间值中获取数值赋给这1个辅助比特。如果这2个信息比特之

间存在2个或多个辅助比特的情况下，则要从所述新的状态空间值中获取数值赋给这2个或多个辅助比特。在所述待编码的比特序列中有辅助比特位于所述Z个信息比特与下一个信息比特之间的情况是指：如图9所示，从所述待编码的比特序列中获取2个信息比特之后，接着再从所述待编码的比特序列中获取2个信息比特时，跳过了1个辅助比特，则
5 要从所述新的状态空间值中获取数值赋给这1个辅助比特。如果两次获取的信息比特之间存在2个或多个辅助比特的情况下，则要从所述新的状态空间值中获取数值赋给这2个或多个辅助比特。

在图8所示的编码方法的实施例中，在所述待编码的比特序列中有辅助比特位于所述Z个信息比特中的各个信息比特之间的情况下，以及，在所述待编码的比特序列中有
10 辅助比特位于所述Z个信息比特与下一个信息比特之间的情况下，从所述新的状态空间值中获取数值赋给所述辅助比特，包括：分别从所述新的状态空间值中获取数值赋给位于所述Z个信息比特中的各个信息比特之间的辅助比特，以及位于所述Z个信息比特与下一个信息比特之间的辅助比特。赋给所述Z个信息比特中的各个信息比特之间的辅助比
15 特的数值，以及赋给位于所述Z个信息比特与下一个信息比特之间的辅助比特的数值，可以从所述新的状态空间值中的同一位置获取，或者是从所述新的状态空间值中的不同的位置获取。一般来讲，赋给这两种辅助比特的数值可以是相同的，或者是不同的。

在所述图8所示的编码方法的实施例中，在所述步骤S106中，所述下一组Z个待编码
20 比特为所述待编码的比特序列中最后的待编码比特是指：

所述待编码的比特序列最后还剩下小于或等于Z个信息比特。

在所述待编码的比特序列最后还剩下的信息比特不够Z个的情况下，将不足的部分填充固定值0或1。

25 在所述图8所示的编码方法的实施例中，步骤S104可以在步骤S105之前执行。

在图8所示的所述编码方法的实施例中，在所述步骤S104之前还包括：

对所述待编码的比特序列中的所述Z个待编码比特的 2^z 种排列组合进行预编码，将预编码后的结果存储在所述索引模块中。所述预编码中所采用的编码方式与所述步骤
30 S105中所述的编码中所采用的编码方式是一致的，所述预编码是所述步骤S105中所述的编码的预处理过程。具体来讲，所述预编码后的结果可以是指预编码值，所述预编码值作为索引值存储在所述索引模块中。所述索引模块中的索引值可以以索引表格的形式存储。具体来讲，所述索引值可以以离线存储的方式存储在所述索引模块中。

其中，所述步骤S105中所述的编码的编码方式可以认为是该编码方法实施例的目标
35 编码方法，也就是说，所述步骤S105中所述的编码的编码方式可以认为是该编码方法实施例打算采用的编码方法。

在图8所示的所述编码方法的实施例中，在所述步骤S105中，对所述步骤S102中获取的所述Z个待编码比特进行编码的步骤中，所述的编码是指：检验编码方式的编码或信息摘要编码方式的编码或线性运算方式的编码。其中，检验编码方式的编码可以是CRC

编码或PC编码。信息摘要编码方式的编码可以是HASH（哈希）编码等。线性运算方式的编码可以为采用编码矩阵的方式的编码。

5 在图8所示的所述编码方法的实施例中, 在所述步骤S104中, 根据所述步骤S102中获取的所述Z个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 包括:

将所述状态空间值的低Z个比特位与所述步骤S102中获取的所述Z个待编码比特中的值进行运算, 得到索引ID, 并通过该索引ID获得索引模块中存储的索引值。

10 在图8所示的所述编码方法的实施例中, 在所述步骤S104中, 根据所述索引值和所述状态空间值进行运算的操作, 包括:

将所述索引值和所述状态空间值进行按位逻辑运算。

具体的按位逻辑运算方式可以为按位异或运算, 或者按位与运算、或者按位或运算、或者按位与非运算等。

15 将所述索引值和所述状态空间值进行按位逻辑运算具体可以是: 将所述索引值与所述状态空间值的低Z位进行按位逻辑运算。

在图8所示的所述编码方法的实施例中, 在采用CRC编码或PC编码的情况下, 在所述步骤S104中, 根据所述索引值和所述状态空间值进行运算的操作包括: 将所述索引值和所述状态空间值进行按位异或(XOR)运算。

20

在图8所示的所述编码方法的实施例中, 在所述步骤S104中, 根据所述步骤S102中获取的所述Z个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 包括:

25 S1041: 将所述状态空间值按照固定方向(例如: 向左或向右)循环移Z个比特位, 之后, 将所述状态空间值的低Z个比特位与所述步骤S102中获取的所述Z个待编码比特中的值进行运算, 得到索引ID, 并通过该索引ID获得索引模块中存储的索引值。

相应地, 在所述步骤S104中, 根据所述索引值和所述状态空间值进行运算的操作, 包括:

30 S1042: 将所述索引值和所述状态空间值进行按位逻辑运算。例如: 将所述索引值与状态空间值的低Z位进行按位逻辑运算。

在图8所示的所述编码方法的实施例中, 所述状态空间模块具体可以为一个CRC寄存器组。根据编码中采用的CRC的类型, 确定CRC寄存器组的存储空间, 一般来讲, CRC寄存器组的存储空间可以为CRC长度的两倍, 如果CRC的长度为Z比特, 那么CRC寄存器组的存储空间可以为2Z比特, 每次可以处理Z个待编码比特。

在所述步骤S104中, 根据所述步骤S102中获取的所述Z个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 还可以包括:

S1043: 将CRC寄存器组高Z比特位与根据所述步骤S102中获取的所述Z个待编码比特中的值进行异或运算, 得到索引ID, 并通过该索引ID获得索引模块中对应的索引值。

相应地, 在所述步骤S104中, 根据所述索引值和所述状态空间值进行运算的操作, 包括:

S1044: 将CRC寄存器组中全部的比特位按照固定方向(例如: 向左或向右)循环移Z个比特位, 之后, 将所述索引值与CRC寄存器组低Z位做异或运算, 得到新的状态空间值。

5 相应地, 在所述步骤S105中, 从所述新的状态空间值中获取数值赋给所述辅助比特的处理中, 所述辅助比特是指PC校验比特。

图10为本申请提供的另一种编码方法的实施例的流程示意图, 如图10所示, 该编码方法具体包括:

10 S201: 接收待编码的比特序列;

S202: 将状态空间模块中的状态空间值进行初始化, 并从所述待编码的比特序列中获取一组由信息比特和辅助比特组成的Z个待编码比特, 然后执行步骤S203;

S203: 将所述Z个待编码比特中的辅助比特的位置置为固定值, 然后执行步骤S204;

15 S204: 根据执行步骤S203后输出的所述Z个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 根据所述索引值和所述状态空间值进行运算, 得到新的状态空间值, 并将所述状态空间模块中的状态空间值更新为所述新的状态空间值;

S205: 对执行步骤S203后输出的所述Z个待编码比特进行编码, 并从所述新的状态空间值中获取数值赋给所述Z个待编码比特中的所述辅助比特; 然后执行步骤S206;

20 S206: 从所述待编码的比特序列中获取所述一组Z个待编码比特之后的下一组由信息比特和辅助比特组成的Z个待编码比特, 所述下一组Z个待编码比特与所述一组Z个待编码比特相邻, 并将所述下一组Z个待编码比特作为所述步骤S203的输入, 并执行所述步骤S203, 所述步骤S204, 及所述步骤S205, 不断循环, 直至所述下一组Z个待编码比特为所述待编码的比特序列中最后的待编码比特。

25 在图10所示的编码方法的实施例中, 针对所述待编码的比特序列中的信息比特和辅助比特, 每次处理的Z个待编码比特中既包括信息比特也包括辅助比特, 并且连续的提取所述待编码的比特序列中的信息比特和辅助比特, 直到将所述待编码的比特序列中的信息比特和辅助比特处理完毕。

30 在图10所示的编码方法的实施例中, 通过在编码端进行辅助比特编码, 使得解码端能够采用辅助比特对编码后的比特序列进行纠错、检错或者早停等辅助译码操作。并且由于每次针对Z个待编码比特进行编码, 采用这种块处理的方式进行辅助比特编码, 方便硬件实施, 可以有效提升编码效率与吞吐量。

35 在图10所示的所述编码方法的实施例中, 在所述步骤S202中, 所述获取的Z个待编码比特中信息比特和辅助比特之间的前后次序与所述信息比特和所述辅助比特在所述待编码的比特序列中的前后次序是一致的。具体来讲, 如图9所示, 在Z为4的情况下, 从所述待编码的比特序列中连续的提取所述信息比特和所述辅助比特。

在图10所示的所述编码方法的实施例中, 在所述步骤S206中, 从所述待编码的比特序列中获取所述一组Z个待编码比特之后的下一组由信息比特和辅助比特组成的Z个待编码比特, 所述下一组Z个待编码比特与所述一组Z个待编码比特相邻, 是指: 如图9所

示,在Z为4的情况下,从所述待编码的比特序列中连续的提取信息比特和辅助比特,从所述待编码的比特序列中连续的获取信息比特和辅助比特之后,接着再从所述待编码的比特序列中获取信息比特和辅助比特时,在所述待编码的比特序列中,两次获取的4个待编码比特之间不存在信息比特,也不存在辅助比特。

5

在所述图10所示的编码方法的实施例中,在所述步骤S206中,所述下一组Z个待编码比特为所述待编码的比特序列中最后的待编码比特是指:

所述待编码的比特序列最后还剩下的比特中的信息比特和辅助比特的总数等于Z个或不足Z个。

10 在所述待编码的比特序列最后还剩下的比特中的信息比特和辅助比特的总数不足Z个的情况下,将不足的部分填充固定值0或1。

在所述图10所示的编码方法的实施例中,在所述步骤S203中,所述信息比特的位置的值不需要改变。

在所述图10所示的编码方法的实施例中,步骤S204可以在步骤S205之前执行。

15

在图10所示的所述编码方法的实施例中,在所述步骤S204之前还包括:

20 对所述待编码的比特序列中的所述Z个待编码比特的 $2z$ 种排列组合进行预编码,将预编码后的结果存储在所述索引模块中。所述预编码中所采用的编码方式与所述步骤S205中所述的编码中所采用的编码方式是一致的,所述预编码是所述步骤S205中所述的编码的预处理过程。具体来讲,所述预编码后的结果可以是指预编码值,所述预编码值作为索引值存储在所述索引模块中。所述索引模块中的索引值可以以索引表格的形式存储。具体来讲,所述索引值可以以离线存储的方式存储在所述索引模块中。

25 其中,所述的预编码是针对未经过步骤S203处理的Z个待编码比特进行处理的。所述步骤S205中所述的编码的编码方式可以认为是该编码方法实施例的目标编码方法,也就是说,所述步骤S205中所述的编码的编码方式可以认为是该编码方法实施例打算采用的编码方法。

30 在图10所示的所述编码方法的实施例中,在所述步骤S205中,对执行步骤S203后输出的所述Z个待编码比特进行编码的步骤中,所述的编码是指:检验编码方式的编码或信息摘要编码方式的编码或线性运算方式的编码。其中,检验编码方式的编码可以是CRC编码或PC编码。信息摘要编码方式的编码可以是HASH(哈希)编码等。线性运算方式的编码可以为采用编码矩阵的方式的编码。

35 在图10所示的所述编码方法的实施例中,在所述步骤S204中,根据执行步骤S203后输出的所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,包括:

将所述状态空间值的低Z个比特位与所述执行步骤S203后输出的所述Z个待编码比特中的值进行运算,得到索引ID,并通过该索引ID获得索引模块中存储的索引值。

在图10所示的所述编码方法的实施例中,在所述步骤S204中,根据所述索引值和所述状态空间值进行运算的操作,包括:

将所述索引值和所述状态空间值进行按位逻辑运算。

具体的按位逻辑运算方式可以为按位异或运算,或者按位与运算、或者按位或运算、或者按位与非运算等。

5 将所述索引值和所述状态空间值进行按位逻辑运算具体可以是:将所述索引值与
所述状态空间值的低Z位进行按位逻辑运算。

在图10所示的所述编码方法的实施例中,在采用CRC编码或PC编码的情况下,在所
述步骤S204中,根据所述索引值和所述状态空间值进行运算的操作包括:将所述索引值
和所述状态空间值进行按位异或(XOR)运算。

10

在图10所示的所述编码方法的实施例中,在所述步骤S204中,根据执行步骤S203后
输出的所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块
中获取对应的索引值,包括:

15 S2041:将所述状态空间值按照固定方向(例如:向左或向右)循环移Z个比特位,之
后,将所述状态空间值的低Z个比特位与所述执行步骤S203后输出的所述Z个待编码比特
中的值进行运算,得到索引ID,并通过该索引ID获得索引模块中存储的索引值。

相应地,在所述步骤S204中,根据所述索引值和所述状态空间值进行运算的操作,
包括:

20 S2042:将所述索引值和所述状态空间值进行按位逻辑运算。例如:将所述索引值与
状态空间值的低Z位进行按位逻辑运算。

在图10所示的所述编码方法的实施例中,所述状态空间模块具体可以为一个CRC寄
存器组。根据编码中采用的CRC的类型,确定CRC寄存器组的存储空间,一般来讲,CRC
寄存器组的存储空间可以为CRC长度的两倍,如果CRC的长度为Z比特,那么CRC寄存器组
25 的存储空间可以为2Z比特,每次可以处理Z个待编码比特。

在所述步骤S204中,根据执行步骤S203后输出的所述Z个待编码比特中的值,以及所
述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,还可以包括:

30 S2043:将CRC寄存器组高Z比特位与所述执行步骤S203后输出的所述Z个待编码比特
中的值进行异或运算,得到索引ID,并通过该索引ID获得索引模块中对应的索引值。

相应地,在所述步骤S204中,根据所述索引值和所述状态空间值进行运算的操作,
包括:

S2044:将CRC寄存器组中全部的比特位按照固定方向(例如:向左或向右)循环移动Z
个比特位,之后,将所述索引值与CRC寄存器组低Z位做异或运算,得到新的状态空间值。

35 相应地,在所述步骤S205中,从所述新的状态空间值中获取数值赋给所述辅助比特
的处理中,所述辅助比特是指PC校验比特。

图11为本申请提供的再一种编码方法的实施例的流程示意图,如图11所示,该编码
方法具体包括:

S301:接收待编码的比特序列;

S302: 将状态空间模块中的状态空间值进行初始化, 并从所述待编码的比特序列中获取一组相邻的Z个待编码比特, 然后执行步骤S303;

S303: 所述Z个待编码比特包括信息比特, 冻结比特, 以及辅助比特中的至少一种, 在所述Z个待编码比特包括有辅助比特的情况下, 将所述辅助比特的位置置为固定值, 在
5 在所述Z个待编码比特包括有冻结比特的情况下, 将所述冻结比特的位置置为固定值, 然后执行步骤S304;

S304: 根据执行步骤S303后输出的所述Z个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 根据所述索引值和所述状态空间值进行运算, 得到新的状态空间值, 并将所述状态空间模块中的状态空间值更新为所述
10 新的状态空间值;

S305: 对执行步骤S303后输出的所述Z个待编码比特进行编码, 在所述Z个待编码比特包括有所述辅助比特的情况下, 从所述新的状态空间值中获取数值赋给所述辅助比特; 然后执行步骤S306;

S306: 从所述待编码的比特序列中获取所述一组Z个待编码比特之后的下一组相邻
15 的Z个待编码比特, 所述下一组Z个待编码比特与所述一组Z个待编码比特相邻, 并将所述下一组Z个待编码比特作为所述步骤S303的输入, 并执行所述步骤S303, 所述步骤S304及所述步骤S305, 不断循环, 直至所述下一组Z个待编码比特为所述待编码的比特序列中最后的待编码比特。

在图11所示的编码方法的实施例中, 针对所述待编码的比特序列中的信息比特, 冻结
20 比特以及辅助比特, 每次从待编码的比特序列中连续的提取Z个比特进行处理, 直到将所述待编码的比特序列中的比特处理完毕。所述Z个待编码比特可能包括所述信息比特, 所述冻结比特, 以及所述辅助比特中的一种或多种。

本申请的上述实施例中, 通过在编码端进行辅助比特编码, 使得解码端能够采用辅助
25 比特对编码后的比特序列进行纠错、检错或者早停等辅助译码操作。并且由于每次针对Z个待编码比特进行编码, 采用这种块处理的方式进行辅助比特编码, 方便硬件实施, 可以有效提升编码效率与吞吐量。

在图11所示的所述编码方法的实施例中, 在所述步骤S302中, 所述获取的Z个待编
30 码比特中的信息比特, 辅助比特和冻结比特之间的前后次序与所述信息比特, 所述辅助比特和所述冻结比特在所述待编码的比特序列中的前后次序是一致的。具体来讲, 如图9所示, 在Z为4的情况下, 从所述待编码的比特序列中连续的提取所述信息比特, 所述辅助比特和所述冻结比特。

在所述图11所示的编码方法的实施例中, 在所述步骤S306中, 所述下一组相邻的Z
个待编码比特为所述待编码的比特序列中最后的待编码比特是指:

所述待编码的比特序列最后还剩下小于或等于Z个待编码比特, 在所述待编码的比
35 特序列最后还剩下的待编码比特不够Z个的情况下, 将不足的部分填充固定值0或1。

在所述图11所示的编码方法的实施例中, 在所述步骤S303中, 所述将所述冻结比特的
位置置为固定值, 其中, 所述固定值是指编码端(或编码侧)和译码端(或译码侧)约定的固定值。

在所述图11所示的编码方法的实施例中,在所述步骤S303中,所述信息比特的位置的值不需要改变。

在所述图11所示的编码方法的实施例中,所述步骤S304可以在步骤S305之前执行。

在所述图10及图11所示的编码方法的实施例中,在所述步骤S203以及所述步骤S303
5 中,将所述辅助比特的位置置为编码端(或编码侧)和译码端(或译码侧)约定的值即可,可以为0,也可以为1。

在上述的各个编码方法的实施例中,发送设备对待编码的比特序列进行编码得到编码后的比特序列,编码后的比特序列中包括信息比特,冻结比特,以及辅助比特,其中,所述辅助比特的值通过所述状态空间值获取。

10 在上述的各个编码方法的实施例中,Z为大于0的偶数。

在上述的各个编码方法的实施例中,所述状态空间模块的形式具体可以为寄存器,例如:寄存器组。

在上述的各个编码方法的实施例中,将状态空间模块中的状态空间值进行初始化的步骤中,所述状态空间模块中的值进行初始化后的值为:编码侧(或编码端)与译码侧(或译码端)之间约定的值。例如:初始化后的值可以为全“0”,或者编码侧与译码侧约定好的任意一种固定序列。具体的来讲,所述状态空间模块可以由寄存器组实现,在将寄存器组的状态初始化为全1时,在步骤S105,S205,以及S305中的从所述新的状态空间值中获取数值赋给所述辅助比特的操作中,应将新的状态空间值取反后,再将所述新的状态空间值中的至少一个位置的数值赋给所述辅助比特。

20 在所述图8,图10及图11所述的编码方法的实施例中,在执行所述步骤S105,S205,以及S305的过程中,从所述新的状态空间值中获取数值赋给所述辅助比特的步骤可以包括:将所述新的状态空间值中的至少一个位置的数值赋给所述辅助比特。

在所述图8,图10及图11所述的编码方法的实施例中,多次针对不同的Z个待编码比特执行所述步骤S105,S205,以及S305的过程中,多次从所述新的状态空间值中获取数值赋给所述辅助比特的步骤可以包括:每次从状态空间模块的固定位置获取数值赋给所述辅助比特;或者采用轮回旋转的方式,按某一个固定方向,从某一位置开始,在状态空间模块中逐次更替位置选取数值赋给所述辅助比特;或者采用某种伪随机方式,从状态空间模块中选取数值赋给所述辅助比特;或者采用某种函数(例如状态空间模块的存储空间大小与辅助比特的序号之间关系的函数),在计算出的所述状态空间模块中的位置
25 30 上选取数值赋给所述辅助比特。

在图11所示的所述编码方法的实施例中,在所述步骤S304之前还包括:

对所述待编码的比特序列中的所述Z个待编码比特的 2^z 种排列组合进行预编码,将预编码后的结果存储在所述索引模块中。所述预编码中所采用的编码方式与所述步骤S305中所述的编码中所采用的编码方式是一致的,所述预编码是所述步骤S305中所述的编码的预处理过程。具体来讲,所述预编码后的结果可以是指预编码值,所述预编码值作为索引值存储在所述索引模块中。所述索引模块中的索引值可以以索引表格的形式存储。具体来讲,所述索引值可以以离线存储的方式存储在所述索引模块中。

其中,所述的预编码是针对未经过步骤S303处理的Z个待编码比特进行处理的。所述步骤S305中所述的编码的编码方式可以认为是该编码方法实施例的目标编码方法,也就

是说, 所述步骤S305中所述的编码的编码方式可以认为是该编码方法实施例打算采用的编码方法。

在图11所示的所述编码方法的实施例中, 在所述步骤S305中, 对执行步骤S303后输出的所述Z个待编码比特进行编码的步骤中, 所述的编码是指: 检验编码方式的编码或信息摘要编码方式的编码或线性运算方式的编码。其中, 检验编码方式的编码可以是CRC编码或PC编码。信息摘要编码方式的编码可以是HASH (哈希) 编码等。线性运算方式的编码可以为采用编码矩阵的方式的编码。

在图11所示的所述编码方法的实施例中, 在所述步骤S304中, 根据执行步骤S303后输出的所述Z个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 包括:

将所述状态空间值的低Z个比特位与所述执行步骤S303后输出的所述Z个待编码比特中的值进行运算, 得到索引ID, 并通过该索引ID获得索引模块中存储的索引值。

在图11所示的所述编码方法的实施例中, 在所述步骤S304中, 根据所述索引值和所述状态空间值进行运算的操作, 包括:

将所述索引值和所述状态空间值进行按位逻辑运算。

具体的按位逻辑运算方式可以为按位异或运算, 或者按位与运算、或者按位或运算、或者按位与非运算等。

将所述索引值和所述状态空间值进行按位逻辑运算具体可以是: 将所述索引值与状态空间值的低Z位进行按位逻辑运算。

在图11所示的所述编码方法的实施例中, 在采用CRC编码或PC编码的情况下, 在所述步骤S304中, 根据所述索引值和所述状态空间值进行运算的操作包括: 将所述索引值和所述状态空间值进行按位异或 (XOR) 运算。

在图11所示的所述编码方法的实施例中, 在所述步骤S304中, 根据执行步骤S303后输出的所述Z个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 包括:

S3041: 将所述状态空间值按照固定方向 (例如: 向左或向右) 循环移Z个比特位, 之后, 将所述状态空间值的低Z个比特位与所述执行步骤S303后输出的所述Z个待编码比特中的值进行运算, 得到索引ID, 并通过该索引ID获得索引模块中存储的索引值。

相应地, 在所述步骤S304中, 根据所述索引值和所述状态空间值进行运算的操作, 包括:

S3042: 将所述索引值和所述状态空间值进行按位逻辑运算。例如: 将所述索引值与状态空间值的低Z位进行按位逻辑运算。在图11所示的所述编码方法的实施例中, 所述状态空间模块具体可以为一个CRC寄存器组。根据编码中采用的CRC的类型, 确定CRC寄存器组的存储空间, 一般来讲, CRC寄存器组的存储空间可以为CRC长度的两倍, 如果CRC的长度为Z比特, 那么CRC寄存器组的存储空间可以为2Z比特, 每次可以处理Z个待编码比特。

在所述步骤S304中, 根据执行步骤S303后输出的所述Z个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 还可以包括:

S3043: 将CRC寄存器组高Z比特位与所述执行步骤S303后输出的所述Z个待编码比特中的值进行异或运算, 得到索引ID, 并通过该索引ID获得索引模块中对应的索引值。。

相应地, 在所述步骤S304中, 根据所述索引值和所述状态空间值进行运算的操作, 包括:

5 S3044: 将CRC寄存器组中全部的比特位按照固定方向(例如: 向左或向右)循环移Z个比特位, 之后, 将所述索引值与CRC寄存器组低Z位做异或运算, 得到新的状态空间值。

相应地, 在所述步骤S305中, 从所述新的状态空间值中获取数值赋给所述辅助比特的处理中, 所述辅助比特是指PC校验比特。

10 在所述图8, 图10及图11所述的编码方法的实施例中, 在所述步骤S106或所述步骤S206或所述步骤S306之后还包括:

S3060: 将所述待编码的比特序列中最后的待编码比特作为所述步骤S303的输入, 并执行所述步骤S303, 所述步骤S304及所述步骤S305之后, 得到的所述状态空间模块中的状态空间值作为CRC校验比特, 并进行CRC编码。

15 并且, 在所述步骤S305或所述步骤S205或所述步骤S105中, 从所述新的状态空间值中获取数值赋给所述辅助比特的处理中, 所述辅助比特可以是指PC校验比特。结合步骤S3060, 这样, 本申请的上述实施例可以实现系统对不同种类辅助比特的同时编码, 减少硬件开销, 提升编码效率。

20 在所述图8, 图10及图11所述的编码方法的实施例中, 在所述步骤S106或所述步骤S206或所述步骤S306之后还包括:

S307: 对编码后的比特序列进行极化编码和速率匹配得到待发送的速率匹配后的序列。

S308: 发送速率匹配后的序列。

25 在所述图8, 图10及图11所述的编码方法的实施例中, 可以在执行所述S3060之后执行上述的步骤S307和步骤S308。

下面举一个具体的例子, 在这个例子中的各种具体特征均可独立的并入上述的实施例。

30 在该例子中是利用一个17位比特的多项式生成所述状态空间值, 并且所述状态空间值是位于16位(双字节)比特的状态空间模块中。在更新状态空间值的过程中, 是以8个比特位(就是上述实施例中的Z为8的情况), 也就是一个字节为单位来更新的。

状态空间值的更新过程包括:

35 将状态空间模块中的状态空间值初始化为全“0”, 或者编码侧与译码侧约定好的一种固定序列。

将状态空间模块中的状态空间值循环左移8位, 并保存该状态空间值。

将状态空间模块中的状态空间值的低8位与8个待编码比特进行运算, 得出一个指向索引表中相应的索引值。

将索引表中的索引值与状态空间模块中的状态空间值进行运算,得到新的状态空间值,并将所述状态空间模块中的状态空间值更新为所述新的状态空间值。

在上述的步骤2)中,采用寄存器是16位的寄存器,循环左移或循环右移8位的结果是一致的,都是实现寄存器高8为与低8位的交换。

5

下面再举一个具体的例子,在这个例子中的各种具体特征均可独立的并入上述的实施例。

在所述例子中,在进行CRC编码的同时,进行PC编码。并且在下面所述的例子中,Z为8,并且所述状态空间模块为一个CRC寄存器组。

10 该例子包括如下步骤:

将8个比特位的待编码比特所有可能的排列组合对应的CRC值制成索引表格,并将所述索引表格进行离线存储。

将CRC寄存器组的状态初始化为全"0"(0x0000)。(注意: CRC寄存器组初始化全为1时,最后得到的CRC比特应取反。)

15 将CRC寄存器组向左移8位,并保存到所述CRC寄存器组。

将左移8位之前的原CRC寄存器组高8位与所述8个比特位的待编码比特进行异或运算,得出一个指向表的索引。

索引所指的表值与CRC寄存器组做异或运算,得到新的状态空间值。

20 从所述新的状态空间值中获得PC比特的值,并针对下一个所述8个比特位的待编码比特执行前述的4),不断重复,直到处理完所述待编码的比特序列中最后的待编码比特。

所述待编码的比特序列中最后的待编码比特处理完之后,得出的状态空间值作为CRC比特,并进行CRC编码。

25 如图12所示,本发明实施例还提供了一种用于编码的处理装置504,该处理装置504可以通过硬件实现也可以通过软件实现,当通过硬件实现时,参见图12所示,该处理装置504包括:

输入接口电路5142,用于接收待编码的比特序列;

30 逻辑电路5144,用于将状态空间模块中的状态空间值进行初始化,并从所述待编码的比特序列中获取一组由Z个信息比特组成的Z个待编码比特;根据获取的所述Z个待编码比特,得到新的状态空间值,并为辅助比特赋值,所述根据获取的所述Z个待编码比特,得到新的状态空间值,并为辅助比特赋值包括:根据获取的所述Z个待编码比特中的值,以及所述状态空间模块中的状态空间值,从索引模块中获取对应的索引值,根据所述索引值和所述状态空间值进行运算,得到新的状态空间值,并将所述状态空间模块中的状态空间值更新为所述新的状态空间值;对所述获取的所述Z个待编码比特进行编码,在所述待编码的比特序列中有辅助比特位于所述Z个信息比特中的各个信息比特之间的情况下,以及,在所述待编码的比特序列中有辅助比特位于所述Z个信息比特与下一个信息比特之间的情况下,从所述新的状态空间值中获取数值赋给所述辅助比特;从所述待编码的比特序列中获取所述一组Z个待编码比特之后的下一组由Z个信息比特组成的Z个

待编码比特, 所述下一组Z个待编码比特与所述一组Z个待编码比特相邻, 并根据所述下一组Z个待编码比特, 得到新的状态空间值, 并为辅助比特赋值, 不断循环, 直至所述下一组Z个待编码比特为所述待编码的比特序列中最后的待编码比特。

5 在具体实现时, 上述处理装置可以是芯片或者集成电路。

本发明实施例所提供的图12所示的所述处理装置可用于执行图8或图10或图11所示的所述编码方法的各种实施例, 其实现原理和技术效果类似。具体来讲, 本发明实施例所提供的图12所示的所述处理装置在用于执行图8所示的所述编码方法的各种实施例的情况下, 图8所示的所述编码方法中关于步骤S101的各种具体实现方式, 也相应地可以作为图12所示的所述处理装置的输入接口电路5142的功能的各种具体化的实现方式。图8所示的所述编码方法中关于步骤S102, S104, S105, S106, S3060, 以及S307的各种具体实现方式, 也相应地可以作为图12所示的所述处理装置的逻辑电路5144的功能的各种具体化的实现方式。

15

本发明实施例所提供的图12所示的所述处理装置在用于执行图10所示的所述编码方法的各种实施例的情况下,

所述输入接口电路5142, 用于接收待编码的比特序列;

所述逻辑电路5144, 用于将状态空间模块中的状态空间值进行初始化, 并从所述待编码的比特序列中获取一组由信息比特和辅助比特组成的Z个待编码比特, 根据获取的所述Z个待编码比特, 得到新的状态空间值, 并为辅助比特赋值, 所述根据获取的所述Z个待编码比特, 得到新的状态空间值, 并为辅助比特赋值包括: 将所述Z个待编码比特中的辅助比特的位置置为固定值, 然后根据所述Z个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 根据所述索引值和所述状态空间值进行运算, 得到新的状态空间值, 并将所述状态空间模块中的状态空间值更新为所述新的状态空间值; 针对将所述Z个待编码比特中的辅助比特的位置置为固定值之后的所述Z个待编码比特进行编码, 并从所述新的状态空间值中获取数值赋给所述Z个待编码比特中的所述辅助比特; 然后从所述待编码的比特序列中获取所述一组Z个待编码比特之后的下一组由信息比特和辅助比特组成的Z个待编码比特, 所述下一组Z个待编码比特与所述一组Z个待编码比特相邻, 并根据所述下一组Z个待编码比特, 得到新的状态空间值, 并为辅助比特赋值, 不断循环, 直至所述下一组Z个待编码比特为所述待编码的比特序列中最后的待编码比特。

具体来讲, 图10所示的所述编码方法中关于步骤S201的各种具体实现方式, 也相应地可以作为图12所示的所述处理装置的输入接口电路5142的功能的各种具体化的实现方式。图10所示的所述编码方法中关于步骤S202, S203, S204, S205, S206, S3060, 以及S307的各种具体实现方式, 也相应地可以作为图12所示的所述处理装置的逻辑电路的功能的各种具体化的实现方式。

本发明实施例所提供的图12所示的所述处理装置在用于执行图11所示的所述编码方法的各种实施例的情况下，

所述输入接口电路5142，用于接收待编码的比特序列；

所述逻辑电路5144，用于将状态空间模块中的状态空间值进行初始化，并从所述待编码的比特序列中获取一组相邻的Z个待编码比特，根据获取的所述Z个待编码比特，得到新的状态空间值，并为辅助比特赋值，所述根据获取的所述Z个待编码比特，得到新的状态空间值，并为辅助比特赋值包括：所述Z个待编码比特包括信息比特，冻结比特，以及辅助比特中的至少一种，在所述Z个待编码比特包括有辅助比特的情况下，将所述辅助比特的位置置为固定值，在所述Z个待编码比特包括有冻结比特的情况下，将所述冻结比特的位置置为固定值，然后根据所述Z个待编码比特中的值，以及所述状态空间模块中的状态空间值，从索引模块中获取对应的索引值，根据所述索引值和所述状态空间值进行运算，得到新的状态空间值，并将所述状态空间模块中的状态空间值更新为所述新的状态空间值；针对将所述Z个待编码比特中的辅助比特和冻结比特的位置置为固定值之后的所述Z个待编码比特进行编码，在所述Z个待编码比特包括有所述辅助比特的情况下，从所述新的状态空间值中获取数值赋给所述辅助比特；然后从所述待编码的比特序列中获取所述一组Z个待编码比特之后的下一组相邻的Z个待编码比特，所述下一组Z个待编码比特与所述一组Z个待编码比特相邻，并根据所述下一组Z个待编码比特，得到新的状态空间值，并为辅助比特赋值，不断循环，直至所述下一组Z个待编码比特为所述待编码的比特序列中最后的待编码比特。

20

具体来讲，图11所示的所述编码方法中关于步骤S301的各种具体实现方式，也相应地可以作为图12所示的所述处理装置的所述输入接口电路5142的功能的各种具体化的实现方式。图11所示的所述编码方法中关于步骤S302，S303，S304，S305，S306，S3060，以及S307的各种具体实现方式，也相应地可以作为图12所示的所述处理装置的逻辑电路的功能的各种具体化的实现方式。

25

当该处理装置504通过软件实现时，参见参见图13所示，该处理装置504包括：

存储器5044，用于存储程序；

处理器5042，用于执行所述存储器存储的所述程序，当所述程序被执行时，所述处理装置用于实现图8或图10或图11所示的所述编码方法的各种实施例。

30

上述存储器5044可以是物理上独立的单元，也可以与处理器5042集成在一起，具体参见图14所示。

参见图15所示，为本申请还提供一种通信设备500的实施例，用于实现编码的功能，该通信设备500包括：上述各个实施例中的处理装置504，以及收发器。

35

所述收发器，用于发送速率匹配后的序列。

上述通信设备可以是终端，也可以是网络设备。当该通信设备是终端时，参见图16所示，该终端600还可以包括电源512、用于给终端中的各种器件或电路提供电源；该终端还可以包括天线510，用于将收发器输出的上行数据通过无线信号发送出去，或者将收到的无线信号输出给收发器。

5 除此之外，为了使得终端的功能更加完善，该终端还可以包括输入单元514，显示单元516，音频电路518，摄像头520和传感器522等中的一个或多个，所述音频电路518可以包括扬声器5182，麦克风5184等。

10 结合前面的描述，本领域的技术人员可以意识到，本文实施例的方法，可以通过硬件（例如，逻辑电路），或者软件，或者硬件与软件的结合来实现。这些方法究竟以硬件还是软件方式来执行，取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应认为超出本申请的范围。

15 当上述功能通过软件的形式实现并作为独立的产品销售或使用，可以存储在一个计算机可读取存储介质中。在这种情况下，本申请的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算机，服务器，或者网络设备）执行本申请各个实施例所述方法的全部或部分步骤。而前述的存储介质包括：U盘、移动硬盘、只读存储器（ROM，Read-Only Memory）、随机存取存储器（RAM，Random Access Memory）、磁碟或者光盘等各种可以存储程序代码的介质。

20 以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

25

权利要求

1、一种编码方法，其特征在于，所述方法包括：

S101：接收待编码的比特序列；

5 S102：将状态空间模块中的状态空间值进行初始化，并从所述待编码的比特序列中获取一组由 Z 个信息比特组成的 Z 个待编码比特；

S104：根据所述步骤 S102 中获取的所述 Z 个待编码比特中的值，以及所述状态空间模块中的状态空间值，从索引模块中获取对应的索引值，根据所述索引值和所述状态空间值进行运算，得到新的状态空间值，并将所述状态空间模块中的状态空间值更新为所述新的状态空间值；

10 S105：对所述步骤 S102 中获取的所述 Z 个待编码比特进行编码，在所述待编码的比特序列中有辅助比特位于所述 Z 个信息比特中的各个信息比特之间的情况下，以及，在所述待编码的比特序列中有辅助比特位于所述 Z 个信息比特与下一个信息比特之间的情况下，从所述新的状态空间值中获取数值赋给所述辅助比特；然后执行步骤 S106；

15 S106：从所述待编码的比特序列中获取所述一组 Z 个待编码比特之后的下一组由 Z 个信息比特组成的 Z 个待编码比特，所述下一组 Z 个待编码比特与所述一组 Z 个待编码比特相邻，并将所述下一组 Z 个待编码比特作为所述步骤 S104 的输入，并执行所述步骤 S104，及所述步骤 S105，不断循环，直至所述下一组 Z 个待编码比特为所述待编码的比特序列中最后的待编码比特。

20 2、如权利要求 1 所述的编码方法，其特征在于，在所述步骤 S104 中，根据所述索引值和所述状态空间值进行运算的操作，包括：将所述索引值和所述状态空间值进行按位逻辑运算。

3、如权利要求 1 所述的编码方法，其特征在于，在所述步骤 S104 中，根据所述步骤 S102 中获取的所述 Z 个待编码比特中的值，以及所述状态空间模块中的状态空间值，从索引模块中获取对应的索引值，包括：

25 S1041：将所述状态空间值按照固定方向循环移 Z 个比特位，之后，将所述状态空间值的低 Z 个比特位与所述步骤 S102 中获取的所述 Z 个待编码比特中的值进行运算，得到索引 ID，并通过该索引 ID 获得索引模块中存储的索引值；

相应地，在所述步骤 S104 中，根据所述索引值和所述状态空间值进行运算的操作，包括：

30 S1042：将所述索引值和所述状态空间值进行按位逻辑运算。

4、如权利要求 1 所述的编码方法，其特征在于，在所述步骤 S106 之后还包括：

S3060：将所述待编码的比特序列中最后的待编码比特作为所述步骤 S104 的输入，并执行所述步骤 S104，及所述步骤 S105 之后，得到的所述状态空间模块中的状态空间值作为 CRC 校验比特，并进行 CRC 编码。

35 并且，在所述步骤 S105 中，从所述新的状态空间值中获取数值赋给所述辅助比特的处理中，所述辅助比特是指 PC 校验比特。

5、一种编码方法，其特征在于，所述方法包括：

S201：接收待编码的比特序列；

S202：将状态空间模块中的状态空间值进行初始化，并从所述待编码的比特序列中

获取一组由信息比特和辅助比特组成的 Z 个待编码比特, 然后执行步骤 S203;

S203: 将所述 Z 个待编码比特中的辅助比特的位置置为固定值, 然后执行步骤 S204;

S204: 根据执行步骤 S203 后输出的所述 Z 个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 根据所述索引值和所述状态空间值进行运算, 得到新的状态空间值, 并将所述状态空间模块中的状态空间值更新为所述新的状态空间值;

S205: 对执行步骤 S203 后输出的所述 Z 个待编码比特进行编码, 并从所述新的状态空间值中获取数值赋给所述 Z 个待编码比特中的所述辅助比特; 然后执行步骤 S206;

S206: 从所述待编码的比特序列中获取所述一组 Z 个待编码比特之后的下一组由信息比特和辅助比特组成的 Z 个待编码比特, 所述下一组 Z 个待编码比特与所述一组 Z 个待编码比特相邻, 并将所述下一组 Z 个待编码比特作为所述步骤 S203 的输入, 并执行所述步骤 S203, 所述步骤 S204, 及所述步骤 S205, 不断循环, 直至所述下一组 Z 个待编码比特为所述待编码的比特序列中最后的待编码比特。

6、如权利要求 5 所述的编码方法, 其特征在于, 在所述步骤 S204 中, 根据所述索引值和所述状态空间值进行运算的操作, 包括: 将所述索引值和所述状态空间值进行按位逻辑运算。

7、如权利要求 5 所述的编码方法, 其特征在于, 在所述步骤 S204 中, 根据执行步骤 S203 后输出的所述 Z 个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 包括:

S2041: 将所述状态空间值按照固定方向循环移 Z 个比特位, 之后, 将所述状态空间值的低 Z 个比特位与所述执行步骤 S203 后输出的所述 Z 个待编码比特中的值进行运算, 得到索引 ID, 并通过该索引 ID 获得索引模块中存储的索引值;

相应地, 在所述步骤 S204 中, 根据所述索引值和所述状态空间值进行运算的操作, 包括:

S2042: 将所述索引值和所述状态空间值进行按位逻辑运算。

8、如权利要求 5 所述的编码方法, 其特征在于, 在所述步骤 S206 之后还包括:

S3060: 将所述待编码的比特序列中最后的待编码比特作为所述步骤 S203 的输入, 并执行所述步骤 S203, 所述步骤 S204 及所述步骤 S205 之后, 得到的所述状态空间模块中的状态空间值作为 CRC 校验比特, 并进行 CRC 编码;

并且, 在所述步骤 S205 中, 从所述新的状态空间值中获取数值赋给所述辅助比特的处理中, 所述辅助比特是指 PC 校验比特。

9、一种编码方法, 其特征在于, 所述方法包括:

S301: 接收待编码的比特序列;

S302: 将状态空间模块中的状态空间值进行初始化, 并从所述待编码的比特序列中获取一组相邻的 Z 个待编码比特, 然后执行步骤 S303;

S303: 所述 Z 个待编码比特包括信息比特, 冻结比特, 以及辅助比特中的至少一种, 在所述 Z 个待编码比特包括有辅助比特的情况下, 将所述辅助比特的位置置为固定值, 在所述 Z 个待编码比特包括有冻结比特的情况下, 将所述冻结比特的位置置为固定值, 然后执行步骤 S304;

S304: 根据执行步骤 S303 后输出的所述 Z 个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 根据所述索引值和所述状态空间值进行运算, 得到新的状态空间值, 并将所述状态空间模块中的状态空间值更新为所述新的状态空间值;

5 S305: 对执行步骤 S303 后输出的所述 Z 个待编码比特进行编码, 在所述 Z 个待编码比特包括有所述辅助比特的情况下, 从所述新的状态空间值中获取数值赋给所述辅助比特; 然后执行步骤 S306;

S306: 从所述待编码的比特序列中获取所述一组 Z 个待编码比特之后的下一组相邻的 Z 个待编码比特, 所述下一组 Z 个待编码比特与所述一组 Z 个待编码比特相邻, 并将
10 所述下一组 Z 个待编码比特作为所述步骤 S303 的输入, 并执行所述步骤 S303, 所述步骤 S304 及所述步骤 S305, 不断循环, 直至所述下一组 Z 个待编码比特为所述待编码的比特序列中最后的待编码比特。

10、如权利要求 9 所述的编码方法, 其特征在于, 在所述步骤 S304 中, 根据所述索引值和所述状态空间值进行运算的操作, 包括: 将所述索引值和所述状态空间值进行
15 按位逻辑运算。

11、如权利要求 9 所述的编码方法, 其特征在于, 在所述步骤 S304 中, 根据执行步骤 S303 后输出的所述 Z 个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 包括:

S3041: 将所述状态空间值按照固定方向循环移 Z 个比特位, 之后, 将所述状态空间值的低 Z 个比特位与所述执行步骤 S303 后输出的所述 Z 个待编码比特中的值进行运算,
20 得到索引 ID, 并通过该索引 ID 获得索引模块中存储的索引值;

相应地, 在所述步骤 S304 中, 根据所述索引值和所述状态空间值进行运算的操作, 包括:

S3042: 将所述索引值和所述状态空间值进行按位逻辑运算。

25 12、如权利要求 9 所述的编码方法, 其特征在于, 在所述步骤 S306 之后还包括:

S3060: 将所述待编码的比特序列中最后的待编码比特作为所述步骤 S303 的输入, 并执行所述步骤 S303, 所述步骤 S304 及所述步骤 S305 之后, 得到的所述状态空间模块中的状态空间值作为 CRC 校验比特, 并进行 CRC 编码;

并且, 在所述步骤 S305 中, 从所述新的状态空间值中获取数值赋给所述辅助比特的
30 处理中, 所述辅助比特是指 PC 校验比特。

13、一种用于编码的处理装置, 其特征在于, 该处理装置包括:

输入接口电路, 用于接收待编码的比特序列;

逻辑电路, 用于将状态空间模块中的状态空间值进行初始化, 并从所述待编码的比特序列中获取一组由 Z 个信息比特组成的 Z 个待编码比特; 根据获取的所述 Z 个待编码
35 比特, 得到新的状态空间值, 并为辅助比特赋值, 所述根据获取的所述 Z 个待编码比特, 得到新的状态空间值, 并为辅助比特赋值包括: 根据获取的所述 Z 个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 根据所述索引值和所述状态空间值进行运算, 得到新的状态空间值, 并将所述状态空间模块中的状态空间值更新为所述新的状态空间值; 对所述获取的所述 Z 个待编码比特进行编码, 在所

述待编码的比特序列中有辅助比特位于所述 Z 个信息比特中的各个信息比特之间的情况下, 以及, 在所述待编码的比特序列中有辅助比特位于所述 Z 个信息比特与下一个信息比特之间的情况下, 从所述新的状态空间值中获取数值赋给所述辅助比特; 从所述待编码的比特序列中获取所述一组 Z 个待编码比特之后的下一组由 Z 个信息比特组成的 Z 个待编码比特, 所述下一组 Z 个待编码比特与所述一组 Z 个待编码比特相邻, 并根据所述下一组 Z 个待编码比特, 得到新的状态空间值, 并为辅助比特赋值, 不断循环, 直至所述下一组 Z 个待编码比特为所述待编码的比特序列中最后的待编码比特。

14、如权利要求 13 所述的装置, 其特征在于, 所述根据所述索引值和所述状态空间值进行运算, 包括: 将所述索引值和所述状态空间值进行按位逻辑运算。

15、如权利要求 13 所述的装置, 其特征在于, 根据所述获取的所述 Z 个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 包括:

15 将所述状态空间值按照固定方向循环移 Z 个比特位, 之后, 将所述状态空间值的低 Z 个比特位与所述获取的所述 Z 个待编码比特中的值进行运算, 得到索引 ID, 并通过该索引 ID 获得索引模块中存储的索引值;

相应地, 根据所述索引值和所述状态空间值进行运算, 包括:

将所述索引值和所述状态空间值进行按位逻辑运算。

16、如权利要求 13 所述的装置, 其特征在于, 所述逻辑电路进一步用于:

20 根据所述待编码的比特序列中最后的待编码比特得到新的状态空间值, 并为辅助比特赋值, 之后, 得到的所述状态空间模块中的状态空间值作为 CRC 校验比特, 并进行 CRC 编码。

并且, 在从所述新的状态空间值中获取数值赋给所述辅助比特时, 所述辅助比特是指 PC 校验比特。

17、一种用于编码的装置, 其特征在于, 该装置包括:

25 所述输入接口电路, 用于接收待编码的比特序列;

所述逻辑电路, 用于将状态空间模块中的状态空间值进行初始化, 并从所述待编码的比特序列中获取一组由信息比特和辅助比特组成的 Z 个待编码比特, 根据获取的所述 Z 个待编码比特, 得到新的状态空间值, 并为辅助比特赋值, 所述根据获取的所述 Z 个待编码比特, 得到新的状态空间值, 并为辅助比特赋值包括: 将所述 Z 个待编码比特中的辅助比特的位置置为固定值, 然后根据所述 Z 个待编码比特中的值, 以及所述状态空间模块中的状态空间值, 从索引模块中获取对应的索引值, 根据所述索引值和所述状态空间值进行运算, 得到新的状态空间值, 并将所述状态空间模块中的状态空间值更新为所述新的状态空间值; 针对将所述 Z 个待编码比特中的辅助比特的位置置为固定值之后的所述 Z 个待编码比特进行编码, 并从所述新的状态空间值中获取数值赋给所述 Z 个待编码比特中的所述辅助比特; 然后从所述待编码的比特序列中获取所述一组 Z 个待编码比特之后的下一组由信息比特和辅助比特组成的 Z 个待编码比特, 所述下一组 Z 个待编码比特与所述一组 Z 个待编码比特相邻, 并根据所述下一组 Z 个待编码比特, 得到新的状态空间值, 并为辅助比特赋值, 不断循环, 直至所述下一组 Z 个待编码比特为所述待编码的比特序列中最后的待编码比特。

18、如权利要求 17 所述的处理装置，其特征在于，根据所述索引值和所述状态空间值进行运算的操作，包括：将所述索引值和所述状态空间值进行按位逻辑运算。

19、如权利要求 17 所述的处理装置，其特征在于，根据所述 Z 个待编码比特中的值，以及所述状态空间模块中的状态空间值，从索引模块中获取对应的索引值，包括：

5 将所述状态空间值按照固定方向循环移 Z 个比特位，之后，将所述状态空间值的低 Z 个比特位与所述 Z 个待编码比特中的值进行运算，得到索引 ID，并通过该索引 ID 获得索引模块中存储的索引值；

相应地，根据所述索引值和所述状态空间值进行运算，包括：

将所述索引值和所述状态空间值进行按位逻辑运算。

10 20、如权利要求 17 所述的处理装置，其特征在于，所述逻辑电路进一步用于：

根据所述待编码的比特序列中最后的待编码比特得到新的状态空间值，并为辅助比特赋值，之后，得到的所述状态空间模块中的状态空间值作为 CRC 校验比特，并进行 CRC 编码；

15 并且，在从所述新的状态空间值中获取数值赋给所述辅助比特时，所述辅助比特是指 PC 校验比特。

21、一种用于编码的处理装置，其特征在于，该处理装置包括：

所述输入接口电路，用于接收待编码的比特序列；

所述逻辑电路，用于将状态空间模块中的状态空间值进行初始化，并从所述待编码的比特序列中获取一组相邻的 Z 个待编码比特，根据获取的所述 Z 个待编码比特，得到新的状态空间值，并为辅助比特赋值，所述根据获取的所述 Z 个待编码比特，得到新的状态空间值，并为辅助比特赋值包括：所述 Z 个待编码比特包括信息比特，冻结比特，以及辅助比特中的至少一种，在所述 Z 个待编码比特包括有辅助比特的情况下，将所述辅助比特的位置置为固定值，在所述 Z 个待编码比特包括有冻结比特的情况下，将所述冻结比特的位置置为固定值，然后根据所述 Z 个待编码比特中的值，以及所述状态空间模块中的状态空间值，从索引模块中获取对应的索引值，根据所述索引值和所述状态空间值进行运算，得到新的状态空间值，并将所述状态空间模块中的状态空间值更新为所述新的状态空间值；针对将所述 Z 个待编码比特中的辅助比特和冻结比特的位置置为固定值之后的所述 Z 个待编码比特进行编码，在所述 Z 个待编码比特包括有所述辅助比特的情况下，从所述新的状态空间值中获取数值赋给所述辅助比特；然后从所述待编码的比特序列中获取所述一组 Z 个待编码比特之后的下一组相邻的 Z 个待编码比特，所述下一组 Z 个待编码比特与所述一组 Z 个待编码比特相邻，并根据所述下一组 Z 个待编码比特，得到新的状态空间值，并为辅助比特赋值，不断循环，直至所述下一组 Z 个待编码比特为所述待编码的比特序列中最后的待编码比特。

22、如权利要求 21 所述的处理装置，其特征在于，根据所述索引值和所述状态空间值进行运算，包括：将所述索引值和所述状态空间值进行按位逻辑运算。

23、如权利要求 21 所述的处理装置，其特征在于，根据所述 Z 个待编码比特中的值，以及所述状态空间模块中的状态空间值，从索引模块中获取对应的索引值，包括：

将所述状态空间值按照固定方向循环移 Z 个比特位，之后，将所述状态空间值的低 Z 个比特位与所述 Z 个待编码比特中的值进行运算，得到索引 ID，并通过该索引 ID 获得

索引模块中存储的索引值；

相应地, 根据所述索引值和所述状态空间值进行运算, 包括:

将所述索引值和所述状态空间值进行按位逻辑运算。

24、如权利要求 21 所述的处理装置, 其特征在于, 所述逻辑电路进一步用于:

5 根据所述待编码的比特序列中最后的待编码比特得到新的状态空间值, 并为辅助比特赋值, 之后, 得到的所述状态空间模块中的状态空间值作为 CRC 校验比特, 并进行 CRC 编码;

并且, 在从所述新的状态空间值中获取数值赋给所述辅助比特时, 所述辅助比特是指 PC 校验比特。

10

15

20

25

30

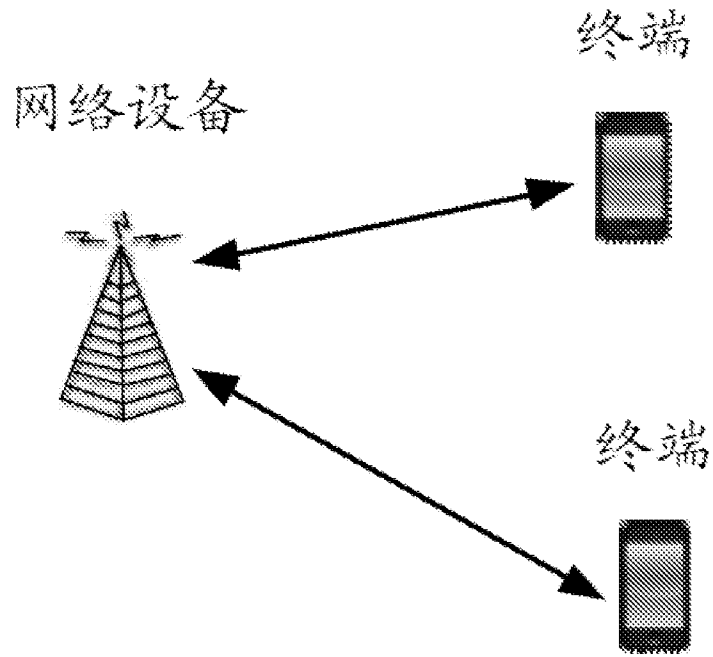


图 1

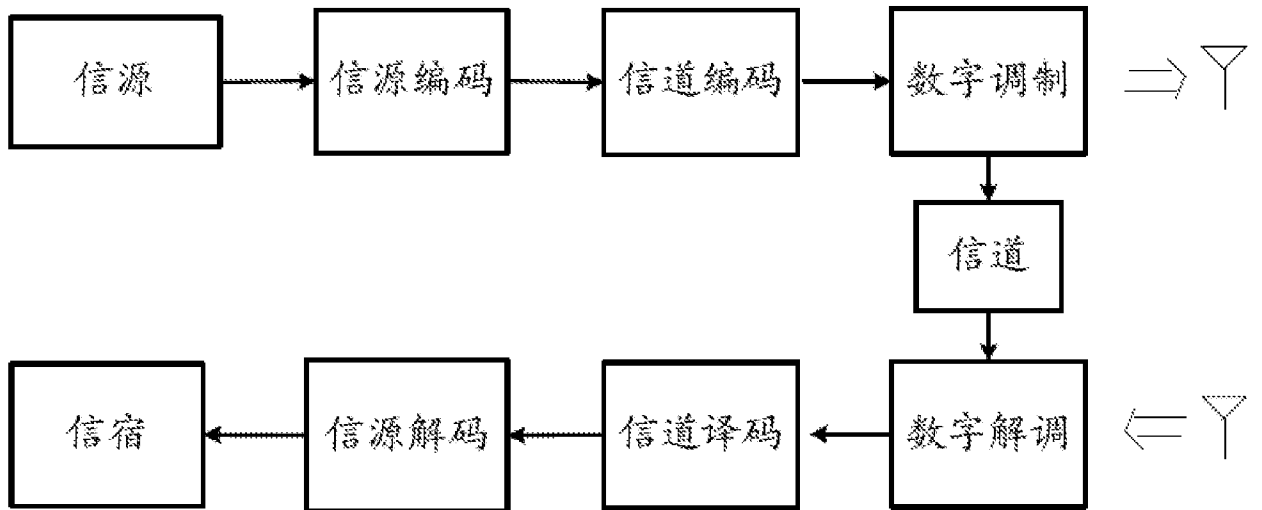


图 2

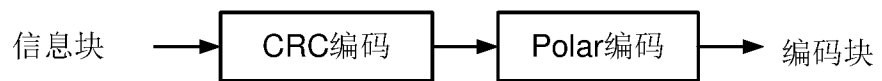


图 3



图 4

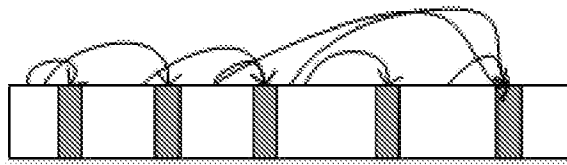


图 5

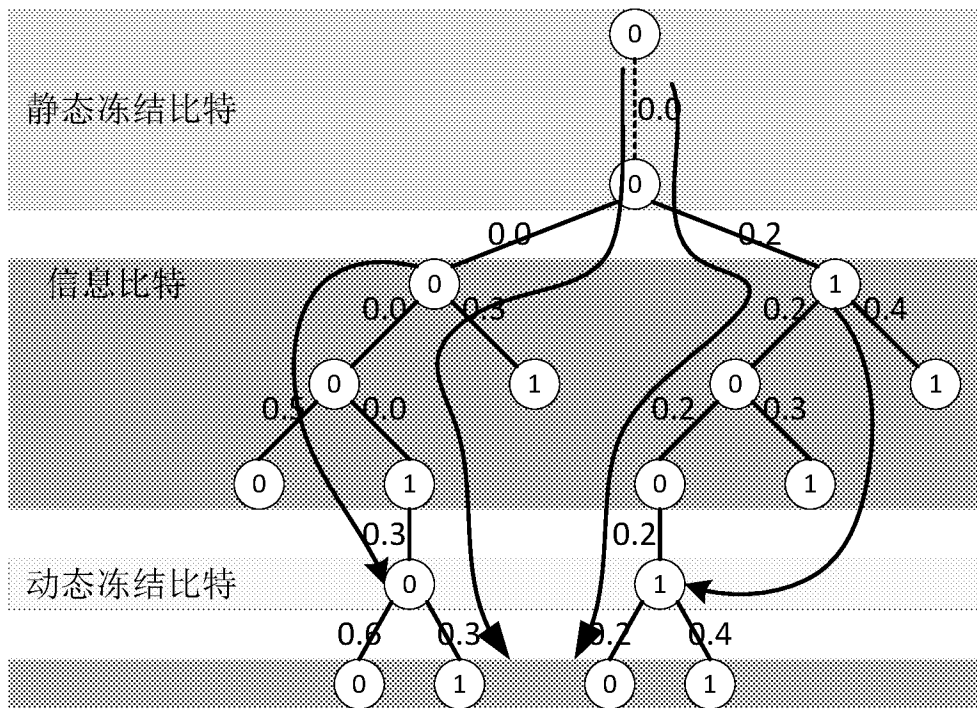


图 6

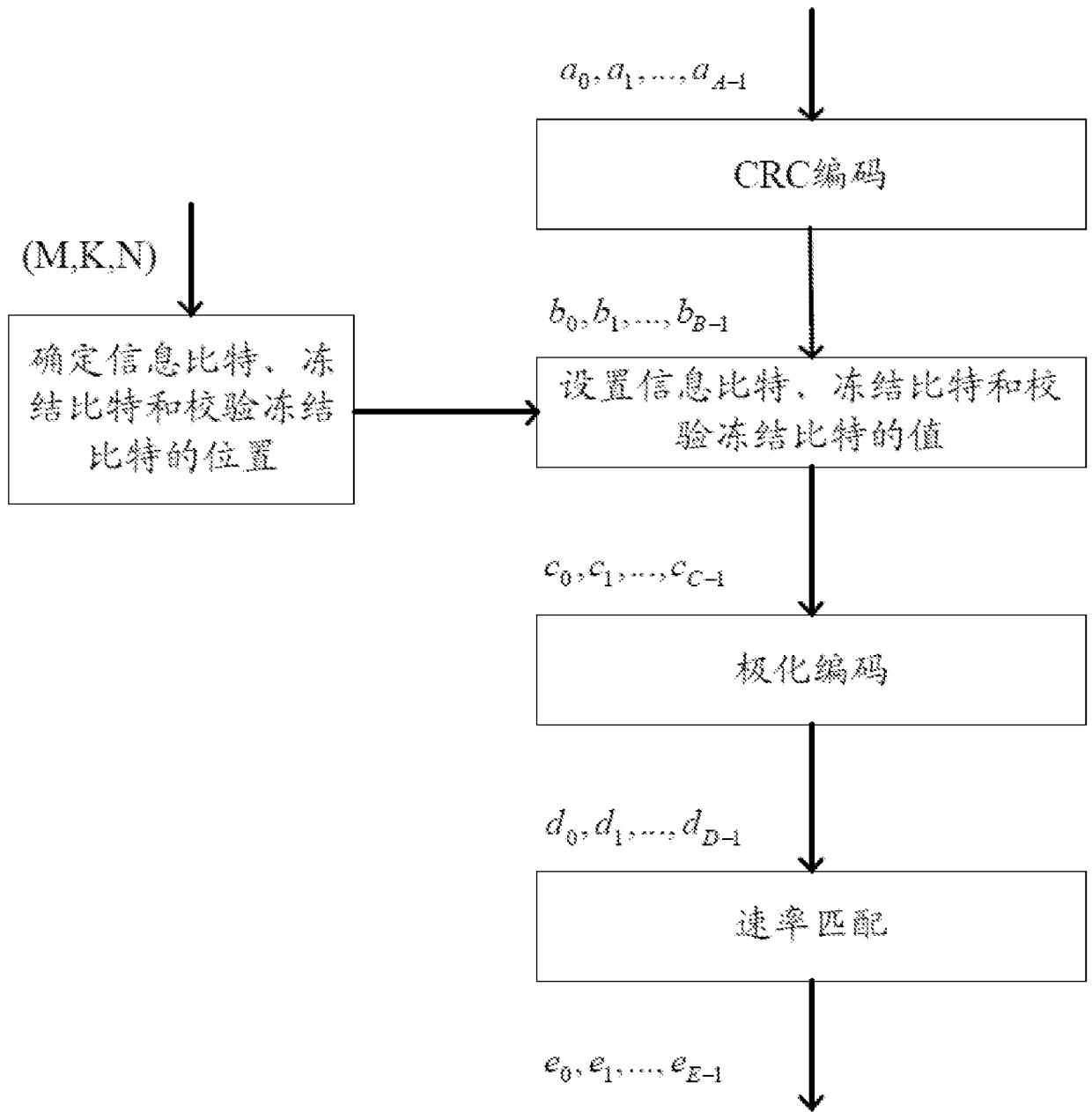


图 7(a)

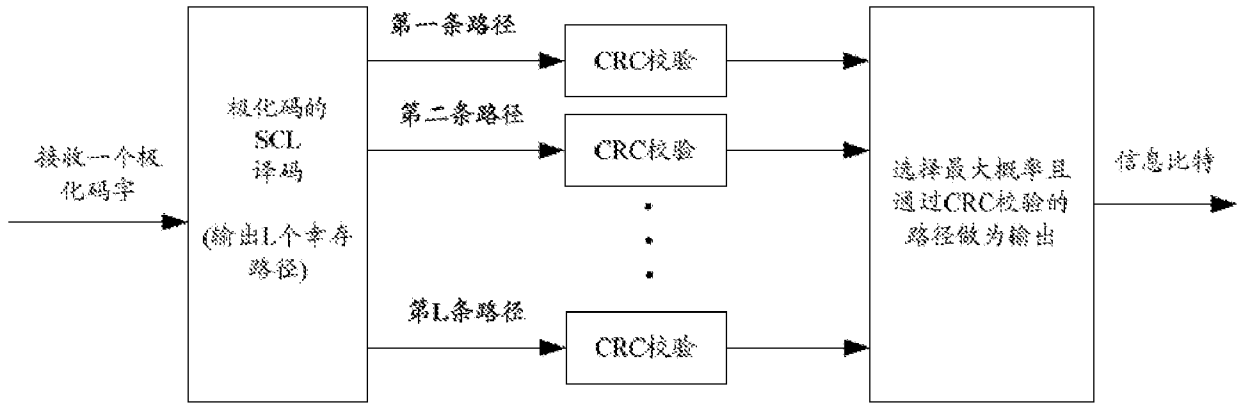


图 7(b)

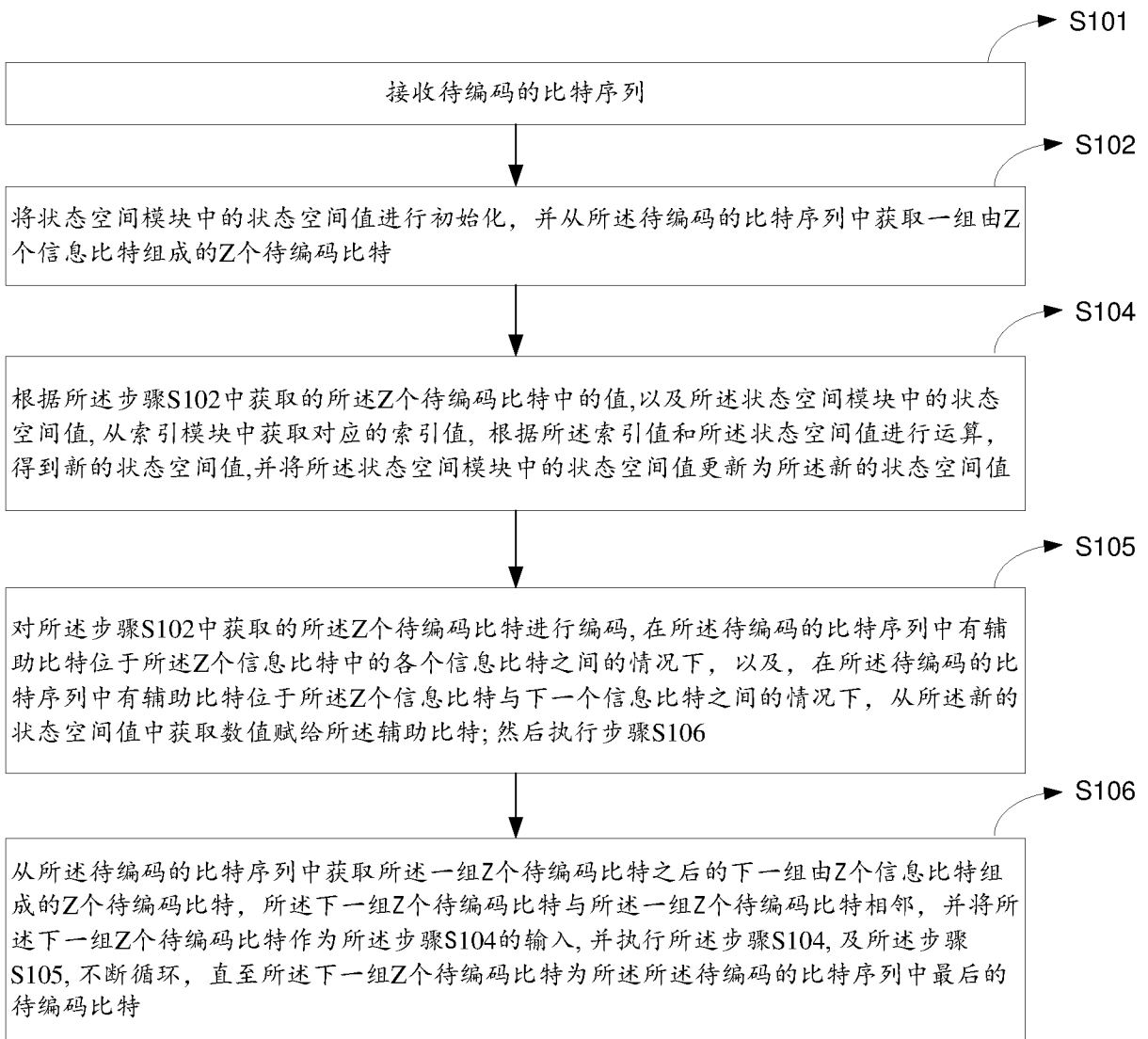


图 8

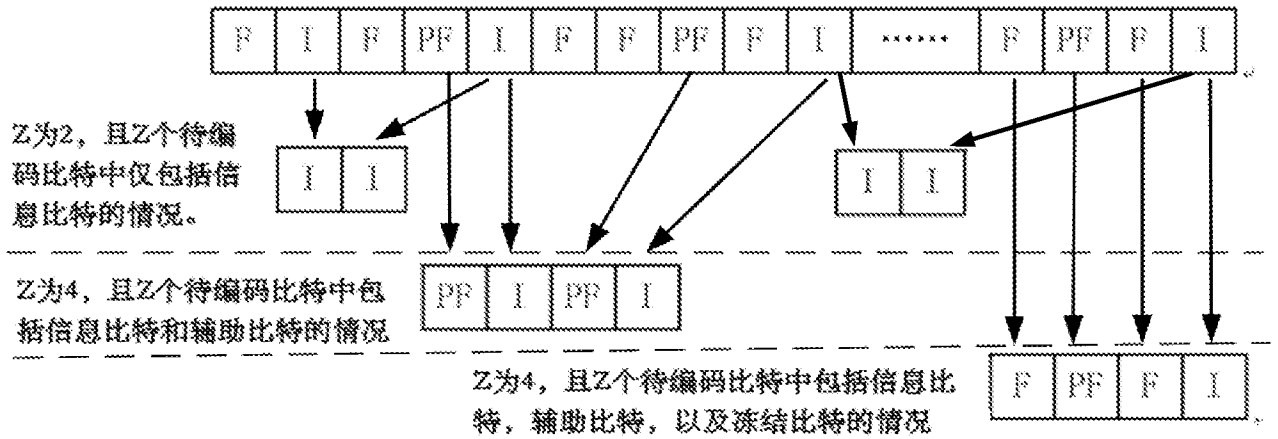


图 9

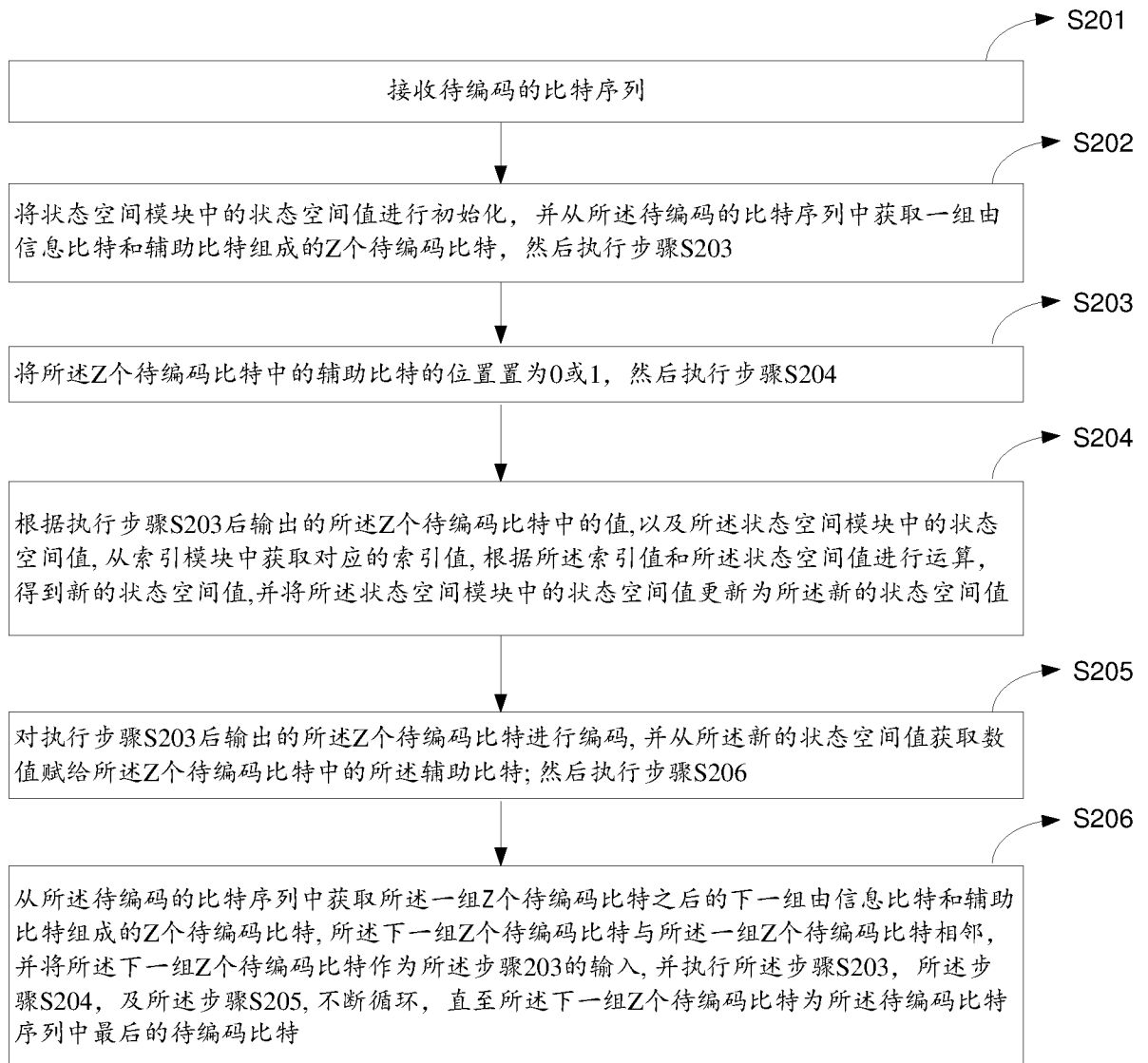


图 10



图 11

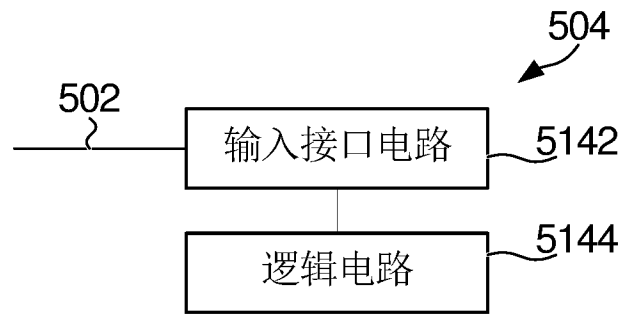


图 12

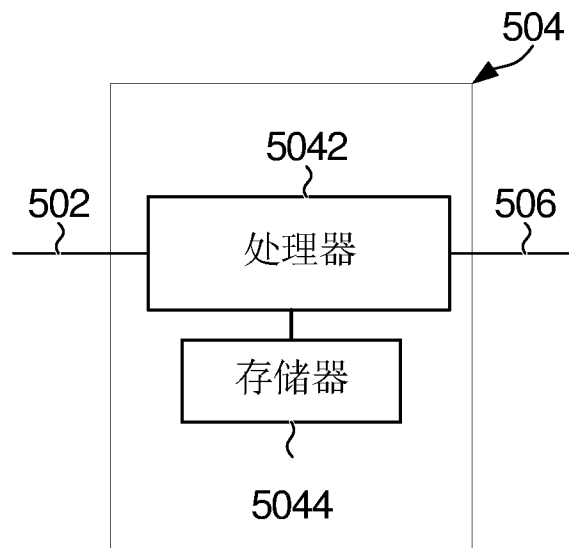


图 13

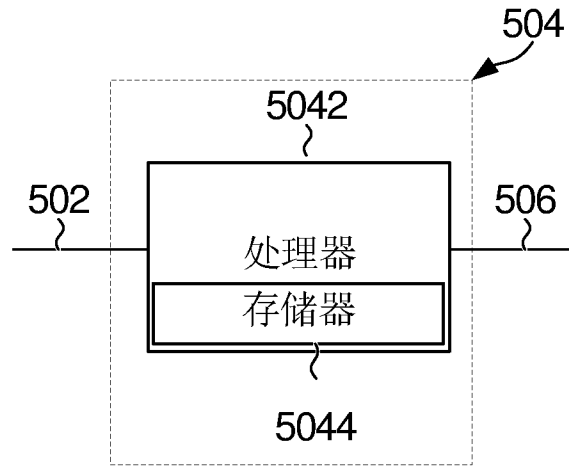


图 14

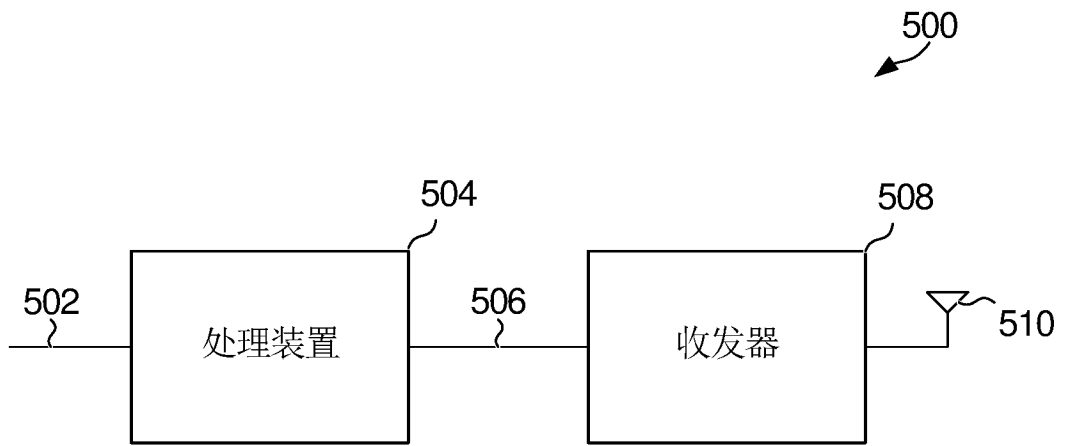


图 15

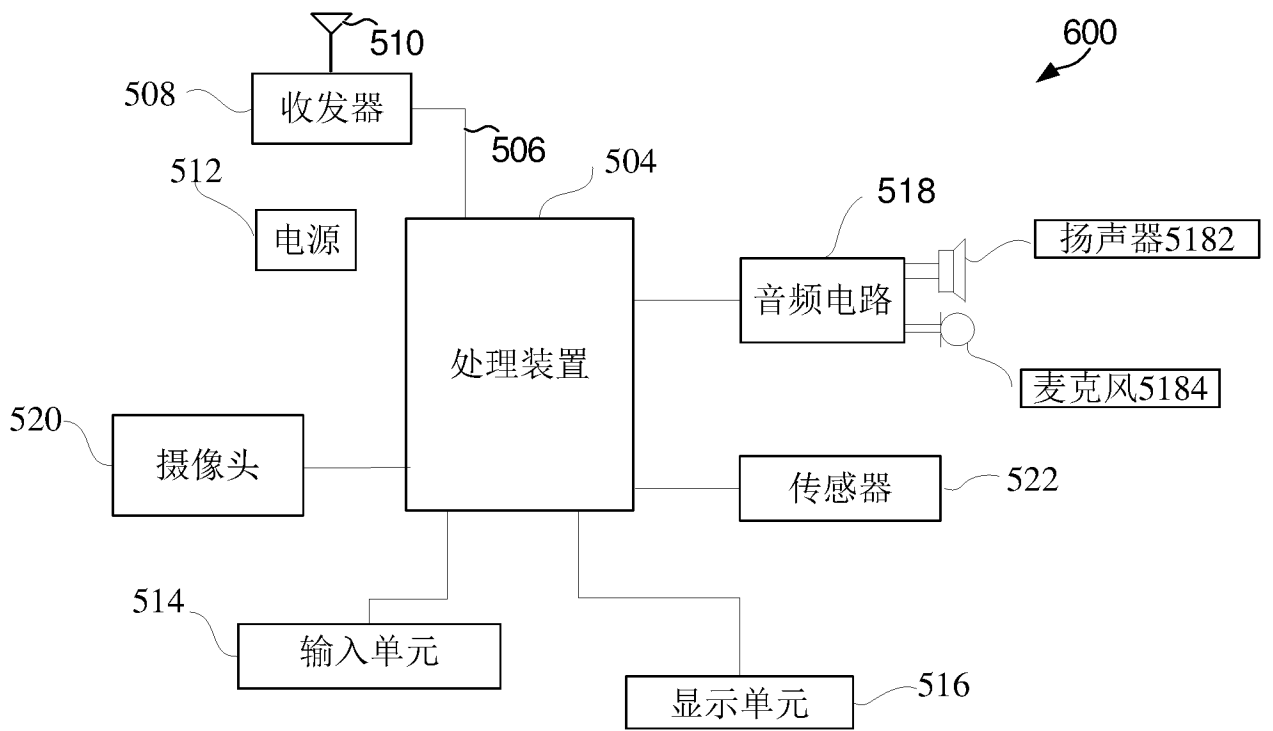


图 16

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/085368

A. CLASSIFICATION OF SUBJECT MATTER

H04L 1/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L; H04W

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNXTX; CNABS; CNKI; WOTXT; USTXT; EPTXT; VEN: 辅助, 固定比特, 状态空间, 状态, 译码, 信息比特, 冻结比特, 比特, 辅助比特, 编码, 索引, 极化, 空间, 值, 解码, space, auxiliary, bit, state, update, polar, value, code, decode, index

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102122966 A (BEIJING UNIVERSITY OF POSTS AND TELECOMMUNICATIONS) 13 July 2011 (13.07.2011), entire document	1-24
A	CN 105811998 A (SHENZHEN UNIVERSITY) 27 July 2016 (27.07.2016), entire document	1-24
A	CN 104079370 A (HUAWEI TECHNOLOGIES CO., LTD.) 01 October 2014 (01.10.2014), entire document	1-24
A	US 8381083 B2 (ARM LIMITED) 19 February 2013 (19.02.2013), entire document	1-24

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

<p>Date of the actual completion of the international search</p> <p style="text-align: center;">01 June 2018</p>	<p>Date of mailing of the international search report</p> <p style="text-align: center;">06 July 2018</p>
<p>Name and mailing address of the ISA</p> <p>State Intellectual Property Office of the P. R. China</p> <p>No. 6, Xitucheng Road, Jimenqiao</p> <p>Haidian District, Beijing 100088, China</p> <p>Facsimile No. (86-10) 62019451</p>	<p>Authorized officer</p> <p style="text-align: center;">LIU, Shanshan</p> <p>Telephone No. (86-20) 28950447</p>

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/085368

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102122966 A	13 July 2011	CN 102122966 B	14 November 2012
CN 105811998 A	27 July 2016	None	
CN 104079370 A	01 October 2014	CN 104079370 B	04 May 2018
		WO 2014154162 A1	02 October 2014
		KR 20180018862 A	21 February 2018
		KR 20150133254 A	27 November 2015
		US 2016013887 A1	14 January 2016
US 8381083 B2	19 February 2013	US 2011099451 A1	28 April 2011

<p>A. 主题的分类</p> <p>H04L 1/00 (2006.01) i</p> <p>按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献 (标明分类系统和分类号)</p> <p>H04L, H04W</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))</p> <p>CNXTXT; CNABS; CNKI; WOTXT; USTXT; EPTXT; VEN: 辅助, 固定比特, 状态空间, 状态, 译码, 信息比特, 冻结比特, 比特, 辅助比特, 编码, 索引, 极化, 空间, 值, 解码, space, auxiliary, bit, state, update, polar, value, code, decode, index</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 102122966 A (北京邮电大学) 2011年 7月 13日 (2011 - 07 - 13) 全文</td> <td>1-24</td> </tr> <tr> <td>A</td> <td>CN 105811998 A (深圳大学) 2016年 7月 27日 (2016 - 07 - 27) 全文</td> <td>1-24</td> </tr> <tr> <td>A</td> <td>CN 104079370 A (华为技术有限公司) 2014年 10月 1日 (2014 - 10 - 01) 全文</td> <td>1-24</td> </tr> <tr> <td>A</td> <td>US 8381083 B2 (ARM LIMITED) 2013年 2月 19日 (2013 - 02 - 19) 全文</td> <td>1-24</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 102122966 A (北京邮电大学) 2011年 7月 13日 (2011 - 07 - 13) 全文	1-24	A	CN 105811998 A (深圳大学) 2016年 7月 27日 (2016 - 07 - 27) 全文	1-24	A	CN 104079370 A (华为技术有限公司) 2014年 10月 1日 (2014 - 10 - 01) 全文	1-24	A	US 8381083 B2 (ARM LIMITED) 2013年 2月 19日 (2013 - 02 - 19) 全文	1-24
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
A	CN 102122966 A (北京邮电大学) 2011年 7月 13日 (2011 - 07 - 13) 全文	1-24															
A	CN 105811998 A (深圳大学) 2016年 7月 27日 (2016 - 07 - 27) 全文	1-24															
A	CN 104079370 A (华为技术有限公司) 2014年 10月 1日 (2014 - 10 - 01) 全文	1-24															
A	US 8381083 B2 (ARM LIMITED) 2013年 2月 19日 (2013 - 02 - 19) 全文	1-24															
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																	
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																	
<p>国际检索实际完成的日期</p> <p>2018年 6月 1日</p>		<p>国际检索报告邮寄日期</p> <p>2018年 7月 6日</p>															
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局 (ISA/CN)</p> <p>中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10) 62019451</p>		<p>受权官员</p> <p>刘珊珊</p> <p>电话号码 86-(20)-28950447</p>															

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2018/085368

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102122966	A	2011年 7月 13日	CN	102122966	B	2012年 11月 14日
CN	105811998	A	2016年 7月 27日	无			
CN	104079370	A	2014年 10月 1日	CN	104079370	B	2018年 5月 4日
				WO	2014154162	A1	2014年 10月 2日
				KR	20180018862	A	2018年 2月 21日
				KR	20150133254	A	2015年 11月 27日
				US	2016013887	A1	2016年 1月 14日
US	8381083	B2	2013年 2月 19日	US	2011099451	A1	2011年 4月 28日

表 PCT/ISA/210 (同族专利附件) (2015年1月)