



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2016년05월25일  
 (11) 등록번호 10-1624441  
 (24) 등록일자 2016년05월19일

(51) 국제특허분류(Int. Cl.)  
 G09G 3/36 (2006.01) G11C 19/00 (2006.01)  
 (21) 출원번호 10-2014-7019948  
 (22) 출원일자(국제) 2013년12월17일  
 심사청구일자 2014년07월17일  
 (85) 번역문제출일자 2014년07월17일  
 (65) 공개번호 10-2015-0044835  
 (43) 공개일자 2015년04월27일  
 (86) 국제출원번호 PCT/CN2013/089615  
 (87) 국제공개번호 WO 2015/039393  
 국제공개일자 2015년03월26일  
 (30) 우선권주장  
 201310432095.X 2013년09월22일 중국(CN)  
 (56) 선행기술조사문헌  
 KR1020070122174 A\*  
 KR1020080057601 A\*  
 KR1020130012392 A\*  
 KR1020130071438 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 보에 테크놀로지 그룹 컴퍼니 리미티드  
 중국 베이징 100016, 차오양 디스트릭트, 지우시 양치아오 로드 10호  
 (72) 발명자  
 카오, 쿤  
 중국 100176 베이징 비디에이 디저로드 9호  
 우, 중유안  
 중국 100176 베이징 비디에이 디저로드 9호  
 두안, 리예  
 중국 100176 베이징 비디에이 디저로드 9호  
 (74) 대리인  
 양영준, 김성운, 백만기

전체 청구항 수 : 총 17 항

심사관 : 추장희

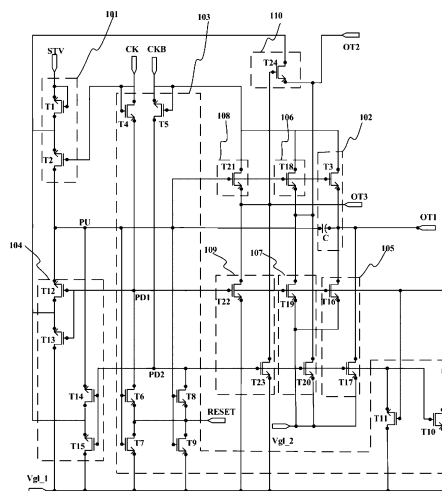
(54) 발명의 명칭 **시프트 레지스터 유닛 및 게이트 드라이버 회로**

**(57) 요약**

임계 전압들에서의 드리프트 및 출력 단자를 풀링하는 동작에 존재하는 인터벌에 의해 일어나는 출력 오류들을 억제하도록 구성되어, 시프트 레지스터 유닛의 안정성을 향상하기 위한 시프트 레지스터 유닛 및 게이트 드라이버 회로가 제공된다. 시프트 레지스터 유닛은 입력 모듈, 제1 출력 모듈, 풀다운 구동 모듈, 풀다운 모듈, 및

(뒷면에 계속)

**대표도** - 도2



제1 출력 방전 유닛을 포함한다. 풀다운 구동 모듈은 제1 클럭 신호 입력 단자 및 제2 클럭 신호 입력 단자에 연결되고, 제1 클럭 신호에 응답하여 제1 클럭 신호를 제1 풀다운 노드에 제공하고, 제2 클럭 신호에 응답하여 제2 클럭 신호를 제2 풀다운 노드에 제공하고, 풀업 노드에서의 전압 신호에 응답하여 제1 풀다운 노드 및 제2 풀다운 노드에 제1 저전압 신호를 제공하고, 제1 풀다운 노드에서의 전압 신호에 응답하여 제1 저전압 신호를 제2 풀다운 노드에 제공하고, 제2 풀다운 노드에서의 전압 신호에 응답하여 제1 저전압 신호를 제1 풀다운 노드에 제공하도록 구성된다.

---

## 명세서

### 청구범위

#### 청구항 1

시프트 레지스터 유닛으로서,

상기 시프트 레지스터 유닛의 입력 신호 단자 및 제1 클럭 신호 입력 단자에 연결되고, 입력 신호 및 제1 클럭 신호에 응답하여 입력 신호를 풀업 노드(pull-up node)에 제공하도록 구성된 입력 모듈;

제2 클럭 신호 입력 단자에 연결되고, 상기 풀업 노드에서의 전압 신호에 응답하여 제2 클럭 신호를 상기 시프트 레지스터 유닛의 제1 출력 단자에 제공하도록 구성된 제1 출력 모듈;

상기 제1 클럭 신호 입력 단자 및 상기 제2 클럭 신호 입력 단자에 연결되고, 상기 제1 클럭 신호에 응답하여 상기 제1 클럭 신호를 제1 풀다운 노드(pull-down node)에 제공하고, 상기 제2 클럭 신호에 응답하여 상기 제2 클럭 신호를 제2 풀다운 노드에 제공하고, 상기 풀업 노드에서의 전압 신호에 응답하여 제1 저전압 신호를 상기 제1 풀다운 노드 및 상기 제2 풀다운 노드에 제공하고, 상기 제1 풀다운 노드에서의 전압 신호에 응답하여 상기 제1 저전압 신호를 상기 제2 풀다운 노드에 제공하고, 상기 제2 풀다운 노드에서의 전압 신호에 응답하여 상기 제1 저전압 신호를 상기 제1 풀다운 노드에 제공하도록 구성된 풀다운 구동 모듈;

상기 제1 풀다운 노드에서의 전압 신호 및 상기 제2 풀다운 노드에서의 전압 신호에 응답하여 상기 제1 저전압 신호를 상기 풀업 노드에 제공하도록 구성된 풀다운 모듈;

상기 제1 풀다운 노드에서의 전압 신호 및 상기 제2 풀다운 노드에서의 전압 신호에 응답하여 제2 저전압 신호를 상기 시프트 레지스터 유닛의 제1 출력 단자에 제공하도록 구성된 제1 출력 방전 유닛

을 포함하고,

상기 풀업 노드는 상기 입력 모듈과 상기 제1 출력 모듈의 연결 지점이고, 상기 제1 풀다운 노드 및 상기 제2 풀다운 노드는 둘 다 상기 풀다운 구동 모듈과 상기 풀다운 모듈의 연결 지점들이고, 상기 제1 저전압 신호는 상기 제2 저전압 신호보다 작거나 같은, 시프트 레지스터 유닛.

#### 청구항 2

제1항에 있어서, 상기 입력 모듈은,

상기 시프트 레지스터 유닛의 입력 신호 단자에 동시에 연결된 게이트 및 소스, 및 제2 TFT의 소스에 연결된 드레인을 갖는 제1 박막 트랜지스터 TFT; 및

상기 제1 클럭 신호 입력 단자에 연결된 게이트 및 상기 풀업 노드에 연결된 드레인을 갖는 상기 제2 TFT를 포함하는, 시프트 레지스터 유닛.

#### 청구항 3

제2항에 있어서, 상기 제1 출력 모듈은,

상기 풀업 노드에 연결된 게이트, 상기 제2 클럭 신호 입력 단자에 연결된 드레인, 및 상기 제1 출력 단자에 연결된 소스를 갖는 제3 TFT; 및

상기 풀업 노드와 상기 제1 출력 단자 사이에 연결된 커패시터

를 포함하는, 시프트 레지스터 유닛.

#### 청구항 4

제3항에 있어서, 상기 풀다운 구동 모듈은,

상기 제1 클럭 신호 입력 단자에 동시에 연결된 게이트 및 드레인, 및 상기 제1 풀다운 노드에 연결된 소스를

갖는 제4 TFT;

상기 제2 클럭 신호 입력 단자에 동시에 연결된 게이트 및 소스, 및 상기 제2 풀다운 노드에 연결된 드레인을 갖는 제5 TFT;

상기 풀업 노드에 연결된 게이트, 상기 제1 풀다운 노드에 연결된 드레인, 및 제7 TFT의 드레인에 연결된 소스를 갖는 제6 TFT;

상기 풀업 노드에 연결된 게이트 및 상기 제1 저전압 신호 입력 단자에 연결된 소스를 갖는 상기 제7 TFT;

상기 풀업 노드에 연결된 게이트, 상기 제2 풀다운 노드에 연결된 드레인, 및 제9 TFT의 드레인에 연결된 소스를 갖는 제8 TFT;

상기 풀업 노드에 연결된 게이트 및 상기 제1 저전압 신호 입력 단자에 연결된 소스를 갖는 상기 제9 TFT;

상기 제2 풀다운 노드에 연결된 게이트, 상기 제1 풀다운 노드에 연결된 드레인, 및 상기 제1 저전압 신호 입력 단자에 연결된 소스를 갖는 제10 TFT; 및

상기 제1 풀다운 노드에 연결된 게이트, 상기 제2 풀다운 노드에 연결된 소스, 및 상기 제1 저전압 신호 입력 단자에 연결된 드레인을 갖는 제11 TFT

를 포함하는, 시프트 레지스터 유닛.

#### 청구항 5

제4항에 있어서, 상기 풀다운 모듈은,

상기 제1 풀다운 노드에 연결된 게이트, 상기 풀업 노드에 연결된 소스, 및 제13 TFT의 드레인에 연결된 드레인을 갖는 제12 TFT;

상기 제1 풀다운 노드에 연결된 게이트 및 상기 제1 저전압 신호 입력 단자에 연결된 드레인을 갖는 상기 제13 TFT;

상기 제2 풀다운 노드에 연결된 게이트, 상기 풀업 노드에 연결된 소스, 및 제15 TFT의 소스에 연결된 드레인을 갖는 제14 TFT; 및

상기 제2 풀다운 노드에 연결된 게이트 및 상기 제1 저전압 신호 입력 단자에 연결된 드레인을 갖는 상기 제15 TFT

를 포함하는, 시프트 레지스터 유닛.

#### 청구항 6

제5항에 있어서, 상기 제1 출력 방전 모듈은,

상기 제1 풀다운 노드에 연결된 게이트, 상기 제1 출력 단자에 연결된 드레인, 및 상기 제2 저전압 신호 입력 단자에 연결된 소스를 갖는 제16 TFT; 및

상기 제2 풀다운 노드에 연결된 게이트, 상기 제1 출력 단자에 연결된 드레인, 및 상기 제2 저전압 신호 입력 단자에 연결된 소스를 갖는 제17 TFT

를 포함하는, 시프트 레지스터 유닛.

#### 청구항 7

제6항에 있어서, 상기 제2 클럭 신호 입력 단자에 연결되고, 상기 풀업 노드에서의 전압 신호에 응답하여 상기 제2 클럭 신호를 상기 시프트 레지스터 유닛의 제2 출력 단자에 제공함으로써 상기 시프트 레지스터 유닛보다 일 스테이지 이전의 다른 시프트 레지스터 유닛에 리셋 신호를 제공하도록 구성된 제2 출력 모듈을 더 포함하는, 시프트 레지스터 유닛.

#### 청구항 8

제7항에 있어서, 상기 제2 출력 모듈은 상기 풀업 노드에 연결된 게이트, 상기 제2 클럭 신호 입력 단자에 연결

된 드레인, 및 상기 제2 출력 단자에 연결된 소스를 갖는 제18 TFT를 포함하는, 시프트 레지스터 유닛.

**청구항 9**

제8항에 있어서, 상기 제1 풀다운 노드에서의 전압 신호 및 상기 제2 풀다운 노드에서의 전압 신호에 응답하여 상기 제2 저전압 신호를 상기 제2 출력 단자에 제공하도록 구성된 제2 출력 방전 모듈을 더 포함하는, 시프트 레지스터 유닛.

**청구항 10**

제9항에 있어서, 상기 제2 출력 방전 모듈은,

상기 제1 풀다운 노드에 연결된 게이트, 상기 제2 출력 단자에 연결된 드레인, 및 상기 제2 저전압 신호 입력 단자에 연결된 소스를 갖는 제19 TFT; 및

상기 제2 풀다운 노드에 연결된 게이트, 상기 제2 출력 단자에 연결된 드레인, 및 상기 제2 저전압 신호 입력 단자에 연결된 소스를 갖는 제20 TFT

를 포함하는, 시프트 레지스터 유닛.

**청구항 11**

제10항에 있어서, 상기 제2 클럭 신호 입력 단자에 연결되고, 상기 풀업 노드에서의 전압 신호에 응답하여 상기 제2 클럭 신호를 제3 출력 단자에 제공함으로써 상기 시프트 레지스터 유닛보다 일 스테이지 다음의 다른 시프트 레지스터 유닛에 시작 신호를 제공하도록 구성된 제3 출력 모듈을 더 포함하는, 시프트 레지스터 유닛.

**청구항 12**

제11항에 있어서, 상기 제3 출력 모듈은 상기 풀업 노드에 연결된 게이트, 상기 제2 클럭 신호 입력 단자에 연결된 드레인, 및 상기 제3 출력 단자에 연결된 소스를 갖는 제21 TFT를 포함하는, 시프트 레지스터 유닛.

**청구항 13**

제12항에 있어서, 상기 제1 풀다운 노드에서의 전압 신호 및 상기 제2 풀다운 노드에서의 전압 신호에 응답하여 상기 제1 저전압 신호를 상기 제3 출력 단자에 제공하도록 구성된 제3 출력 방전 모듈을 더 포함하는, 시프트 레지스터 유닛.

**청구항 14**

제13항에 있어서, 상기 제3 출력 방전 모듈은,

상기 제1 풀다운 노드에 연결된 게이트, 상기 제3 출력 단자에 연결된 드레인, 및 상기 제1 저전압 신호 입력 단자에 연결된 소스를 갖는 제22 TFT; 및

상기 제2 풀다운 노드에 연결된 게이트, 상기 제3 출력 단자에 연결된 드레인, 및 상기 제1 저전압 신호 입력 단자에 연결된 소스를 갖는 제23 TFT

를 포함하는, 시프트 레지스터 유닛.

**청구항 15**

제11항에 있어서, 상기 제3 출력 단자에서의 전압 신호에 응답하여 상기 입력 모듈 및 상기 풀다운 모듈에 상기 제2 출력 단자에서의 전압 신호를 제공하도록 구성된 피드백 모듈을 더 포함하는, 시프트 레지스터 유닛.

**청구항 16**

제15항에 있어서, 상기 피드백 모듈은 상기 제3 출력 단자에 연결된 게이트, 상기 제2 TFT의 소스, 상기 제12 TFT의 드레인, 및 상기 제14 TFT의 드레인에 동시에 연결된 드레인, 및 상기 제2 출력 단자에 연결된 소스를 갖는 제24 TFT를 포함하는, 시프트 레지스터 유닛.

**청구항 17**

캐스캐이드로 연결된 시프트 레지스터 유닛들의 개별 스테이지들을 포함하는 게이트 드라이버 회로로서,

시프트 레지스터 유닛의 제1 스테이지의 입력 신호 단자는 상기 게이트 드라이버 회로의 시작 신호 단자에 연결되고, 상기 시프트 레지스터 유닛의 제1 스테이지의 리셋 신호 단자는 상기 시프트 레지스터 유닛의 제2 스테이지의 출력 단자들 중 어느 하나에 연결되고, 시프트 레지스터 유닛의 최종 스테이지의 입력 신호 단자는 시프트 레지스터 유닛의 이전 스테이지의 출력 단자들 중 어느 하나에 연결되고, 시프트 레지스터 유닛의 최종 스테이지의 리셋 신호 단자는 상기 시작 신호 단자에 연결되고,

시프트 레지스터 유닛들의 제1 스테이지 및 최종 스테이지를 제외하고, 시프트 레지스터 유닛들의 다른 스테이지들 각각의 입력 신호 단자는 시프트 레지스터 유닛의 이전 스테이지의 출력 단자들 중 어느 하나에 연결되고, 시프트 레지스터 유닛들의 다른 스테이지들 각각의 리셋 신호 단자는 상기 시프트 레지스터 유닛의 다음 스테이지의 출력 단자들 중 어느 하나에 연결되고,

캐스캐이드로 연결된 시프트 레지스터 유닛들 모두가 제1항 내지 제16항 중 어느 하나의 시프트 레지스터 유닛인, 게이트 드라이버 회로.

## 발명의 설명

### 기술 분야

[0001] 본 개시는 액정 디스플레이 기술 분야에 관한 것으로서, 상세하게는 시프트 레지스터 유닛 및 게이트 드라이버 회로에 관한 것이다.

### 배경 기술

[0002] 박막 트랜지스터 액정 디스플레이(TFT-LCD)의 드라이버들은 게이트 드라이버 회로 및 데이터 드라이버 회로를 주로 포함한다. 게이트 드라이버 회로는 시프트 레지스터 유닛들을 통해 입력 클럭 신호를 변환하고, 그 후 액정 디스플레이(LCD) 패널의 게이트 라인에 변환된 클럭 신호를 공급한다. 게이트 드라이버 회로는 동일한 프로세스에서 TFT들과 함께 LCD 패널에 형성될 수 있다. 게이트 드라이버 회로는 시프트 레지스터 유닛들의 복수의 스테이지를 포함하고, 시프트 레지스터 유닛의 각 스테이지는 대응 게이트 라인에 연결되어 게이트 구동 신호를 출력한다. 시프트 레지스터 유닛들의 개별 스테이지들은 서로 연결되고, 시작 신호가 개별 스테이지들 중 제1 스테이지에 입력되고, 게이트 라인들에 게이트 구동 신호들이 순차적으로 출력된다. 시프트 레지스터 유닛의 현재 스테이지의 입력 단자는 시프트 레지스터 유닛의 이전 스테이지의 출력 단자에 연결되고, 시프트 레지스터 유닛의 다음 스테이지의 출력 단자가 시프트 레지스터 유닛의 현재 스테이지의 제어 단자에 연결된다.

[0003] 전술한 구조의 게이트 드라이버 회로는 LCD 패널에 설정된다. 현재, 게이트 드라이버 회로 설계에서, 일반적으로 게이트 구동 신호가 출력된 행(row)에 대응하지 않는 시프트 레지스터 유닛의 출력 단자에서의 전위를 풀다운(pull down)하기 위해 풀다운 노드가 배치된다. 그러나, 풀다운 노드가 오랜 시간 동안 직류(DC) 고레벨 동작 상태에 있으면, 관련 박막 트랜지스터들의 임계 전압들에서 드리프트들(drifts)을 초래할 것이고, 노이즈 감소에서의 불리한 효과를 갖는다. 한편, 풀다운 노드에서의 전압 신호가 교류(AC) 신호이면, 임계 전압들에서의 드리프트에 의해 일어나는 효과가 감소될 수 있지만, 출력 오류들이 일어날 수 있고, 결국 교류 신호로 풀다운하는 동작에서 인터벌(interval)이 존재하기 때문에 판독 및 기입 오류들이 발생할 수 있다.

## 발명의 내용

### 해결하려는 과제

[0004] 종래 기술에서의 기술적 문제를 해결하기 위해, 본 개시의 실시예들에서, 임계 전압들에서의 드리프트 및 출력 단자를 풀다운하는 동작에 존재하는 인터벌에 의해 일어나는 출력 오류들을 억제하도록 구성되어, 시프트 레지스터 유닛의 안정성을 향상하기 위한 시프트 레지스터 유닛 및 게이트 드라이버 회로가 제공된다.

### 과제의 해결 수단

[0005] 본 개시의 실시예들에서 제공되는 시프트 레지스터 유닛은 시프트 레지스터 유닛의 입력 신호 단자 및 제1 클럭 신호 입력 단자에 연결되고, 입력 신호 및 제1 클럭 신호에 응답하여 입력 신호를 풀업 노드에 제공하도록 구성된 입력 모듈; 제2 클럭 신호 입력 단자에 연결되고, 풀업 노드에서의 전압 신호에 응답하여 제2 클럭 신호를 시프트 레지스터 유닛의 제1 출력 단자에 제공하도록 구성된 제1 출력 모듈; 상기 제1 클럭 신호 입력 단자 및

상기 제2 클럭 신호 입력 단자에 연결되고, 상기 제1 클럭 신호에 응답하여 상기 제1 클럭 신호를 제1 풀다운 노드에 제공하고, 상기 제2 클럭 신호에 응답하여 상기 제2 클럭 신호를 제2 풀다운 노드에 제공하고, 상기 풀업 노드에서의 전압 신호에 응답하여 제1 저전압 신호를 상기 제1 풀다운 노드 및 상기 제2 풀다운 노드에 제공하고, 상기 제1 풀다운 노드에서의 전압 신호에 응답하여 상기 제1 저전압 신호를 상기 제2 풀다운 노드에 제공하고, 그리고 상기 제2 풀다운 노드에서의 전압 신호에 응답하여 상기 제1 저전압 신호를 상기 제1 풀다운 노드에 제공하도록 구성된 풀다운 구동 모듈; 상기 제1 풀다운 노드에서의 전압 신호 및 상기 제2 풀다운 노드에서의 전압 신호에 응답하여 상기 제1 저전압 신호를 상기 풀업 노드에 제공하도록 구성된 풀다운 모듈; 상기 제1 풀다운 노드에서의 전압 신호 및 상기 제2 풀다운 노드에서의 전압 신호에 응답하여 제2 저전압 신호를 상기 시프트 레지스터 유닛의 제1 출력 단자에 제공하도록 구성된 제1 출력 방전 유닛을 포함한다. 풀업 노드는 입력 모듈과 제1 출력 모듈의 연결 지점이고, 제1 풀다운 노드 및 제2 풀다운 노드는 둘 다 풀다운 구동 모듈과 풀다운 모듈의 연결 지점들이다. 제1 저전압 신호는 제2 저전압 신호보다 작거나 같다.

[0006] 시프트 레지스터 유닛에서, 풀다운 구동 모듈은 제1 클럭 신호 입력 단자 및 제2 클럭 신호 입력 단자에 연결되고, 제1 클럭 신호에 응답하여 제1 클럭 신호를 제1 풀다운 노드에 제공하고, 제2 클럭 신호에 응답하여 제2 클럭 신호를 제2 풀다운 노드에 제공하고; 풀업 노드에서의 전압 신호에 응답하여 제1 풀다운 노드 및 제2 풀다운 노드에 제1 저전압 신호를 제공하고; 제1 풀다운 노드에서의 전압 신호에 응답하여 제1 저전압 신호를 제2 풀다운 노드에 제공하고; 그리고 제2 풀다운 노드에서의 전압 신호에 응답하여 제1 저전압 신호를 제1 풀다운 노드에 제공하도록 구성된다. 여기에서, 제1 풀다운 노드 및 제2 풀다운 노드는 둘 다 풀다운 구동 모듈과 풀다운 모듈의 연결 지점들이다. 비-출력 국면 동안, 제1 풀다운 노드에서의 전압 신호 및 제2 풀다운 노드에서의 전압 신호는 소자들의 임계 전압들에서의 드리프트들에 의해 일어나는 출력 오류들을 효과적으로 억제하는 AC 신호들이며, 이로써 노이즈 감소 효과가 증가한다. 한편, 제1 풀다운 노드에서의 전압 신호와 제2 풀다운 노드에서의 전압 신호는 상호 보완적이어서 제1 출력 방전 모듈은 항상 비-출력 국면 동안 제1 출력 단자를 방전하며, 이로써 제1 출력 단자가 풀다운되어야 하는 구간 동안 제1 출력 단자가 풀다운되지 않는 시간 인터벌에 의해 일어나는 출력 오류들을 제거한다.

[0007] 선택적으로, 입력 모듈은 시프트 레지스터 유닛의 입력 신호 단자에 동시에 연결된 게이트 및 소스, 및 제2 박막 트랜지스터(TFT)의 소스에 연결된 드레인을 갖는 제1 TFT; 및 제1 클럭 신호 입력 단자에 연결된 게이트 및 풀업 노드에 연결된 드레인을 갖는 제2 TFT를 포함한다.

[0008] 입력 신호는 풀업 노드에서의 전위를 증가시키기 위해 제1 TFT 및 제2 TFT를 통해 풀업 노드에 제공된다.

[0009] 선택적으로, 제1 출력 모듈은 풀업 노드에 연결된 게이트, 제2 클럭 신호 입력 단자에 연결된 드레인, 및 제1 출력 단자에 연결된 소스를 갖는 제3 TFT; 및 풀업 노드와 제1 출력 단자 사이에 연결된 커패시터를 포함한다.

[0010] 풀업 노드가 고레벨인 경우, 제3 TFT는 턴온되고, 제2 클럭 신호가 제3 TFT를 통해 출력 단자에 제공될 수 있고, 커패시터는 풀업 노드에서 전위를 유지하도록 구성되며, 이로써 제3 TFT가 일정 기간 동안 턴온된 채로 유지된다.

[0011] 선택적으로, 풀다운 구동 모듈은 제1 클럭 신호 입력 단자에 동시에 연결된 게이트 및 드레인, 및 제1 풀다운 노드에 연결된 소스를 갖는 제4 TFT; 제2 클럭 신호 입력 단자에 동시에 연결된 게이트 및 소스, 및 제2 풀다운 노드에 연결된 드레인을 갖는 제5 TFT; 풀업 노드에 연결된 게이트, 제1 풀다운 노드에 연결된 드레인, 및 제7 TFT의 드레인에 연결된 소스를 갖는 제6 TFT; 풀업 노드에 연결된 게이트 및 제1 저전압 신호 입력 단자에 연결된 소스를 갖는 제7 TFT; 풀업 노드에 연결된 게이트, 제2 풀다운 노드에 연결된 드레인, 및 제9 TFT의 드레인에 연결된 소스를 갖는 제8 TFT; 풀업 노드에 연결된 게이트 및 제1 저전압 신호 입력 단자에 연결된 소스를 갖는 제9 TFT; 제2 풀다운 노드에 연결된 게이트, 제1 풀다운 노드에 연결된 드레인, 및 제1 저전압 신호 입력 단자에 연결된 소스를 갖는 제10 TFT; 및 제1 풀다운 노드에 연결된 게이트, 제2 풀다운 노드에 연결된 소스, 및 제1 저전압 신호 입력 단자에 연결된 드레인을 갖는 제11 TFT를 포함한다.

[0012] 풀다운 구동 모듈은 제4 TFT를 통해 제1 풀다운 노드를 충전하고, 제5 TFT를 통해 제2 풀다운 노드를 충전하고, 제6 TFT, 제7 TFT, 및 제10 TFT를 통해 제1 풀다운 노드를 방전하고, 제8 TFT, 제9 TFT, 및 제11 TFT를 통해 제2 풀다운 노드를 방전한다. 제1 풀다운 노드에서의 전위 및 제2 풀다운 노드에서의 전위가 둘 다 비-출력 국면 동안 AC 신호이기 때문에, 소자들의 임계 전압에서의 드리프트들에 의해 일어나는 출력 오류들은 효과적으로 억제될 수 있고, 이에 따라 노이즈 감소 효과가 증가할 수 있다. 제1 풀다운 노드에서의 전압 신호와 제2 풀다운 노드에서의 전압 신호는 상호 보완적이어서 제1 출력 방전 모듈은 항상 비-출력 국면 동안 제1 출력 단자를 방전하며, 이로써 제1 출력 단자를 풀다운하는 동작에 존재하는 인터벌에 의해 일어나는 출력 오류를 제거한다.

- [0013] 선택적으로, 풀다운 모듈은 제1 풀다운 노드에 연결된 게이트, 풀업 노드에 연결된 소스, 및 제13 TFT의 드레인에 연결된 드레인을 갖는 제12 TFT; 제1 풀다운 노드에 연결된 게이트 및 제1 저전압 신호 입력 단자에 연결된 드레인을 갖는 제13 TFT, 제2 풀다운 노드에 연결된 게이트, 풀업 노드에 연결된 소스, 및 제15 TFT의 소스에 연결된 드레인을 갖는 제14 TFT; 및 제2 풀다운 노드에 연결된 게이트 및 제1 저전압 신호 입력 단자에 연결된 드레인을 갖는 제15 TFT를 포함한다.
- [0014] 풀다운 모듈은 AC 신호들에 의해 일어나는 노이즈를 제거하기 위해 제1 풀다운 노드에서의 전압 신호 및 제2 풀다운 노드에서의 전압 신호에 응답하여 풀업 노드를 지속적으로 방전한다.
- [0015] 선택적으로, 제1 출력 방전 모듈은 제1 풀다운 노드에 연결된 게이트, 제1 출력 단자에 연결된 드레인, 및 제2 저전압 신호 입력 단자에 연결된 소스를 갖는 제16 TFT; 및 제2 풀다운 노드에 연결된 게이트, 제1 출력 단자에 연결된 드레인, 및 제2 저전압 신호 입력 단자에 연결된 소스를 갖는 제17 TFT를 포함한다.
- [0016] 제1 출력 방전 모듈은 제1 풀다운 노드에서의 전압 신호 및 제2 풀다운 노드에서의 전압 신호에 응답하여 비-출력 국면 동안 제1 출력 단자를 지속적으로 방전하여, AC 신호들에 의해 일어나는 노이즈를 제거한다.
- [0017] 선택적으로, 시프트 레지스터 유닛은 제2 클럭 신호 입력 단자에 연결되고, 풀업 노드에서의 전압 신호에 응답하여 제2 클럭 신호를 시프트 레지스터 유닛의 제2 출력 단자에 제공함으로써 시프트 레지스터 유닛보다 일 스테이지 이전의 다른 시프트 레지스터 유닛에 리셋 신호를 제공하도록 구성된 제2 출력 모듈을 더 포함한다.
- [0018] 또한, 제2 출력 모듈은 풀업 노드에 연결된 게이트, 제2 클럭 신호 입력 단자에 연결된 드레인, 및 제2 출력 단자에 연결된 소스를 갖는 제18 TFT를 포함한다.
- [0019] 선택적으로, 시프트 레지스터 유닛은 제1 풀다운 노드에서의 전압 신호 및 제2 풀다운 노드에서의 전압 신호에 응답하여 제2 저전압 신호를 제2 출력 단자에 제공하도록 구성된 제2 출력 방전 모듈을 더 포함한다.
- [0020] 제2 출력 방전 모듈은 제1 풀다운 노드에 연결된 게이트, 제2 출력 단자에 연결된 드레인, 및 제2 저전압 신호 입력 단자에 연결된 소스를 갖는 제19 TFT; 및 제2 풀다운 노드에 연결된 게이트, 제2 출력 단자에 연결된 드레인, 및 제2 저전압 신호 입력 단자에 연결된 소스를 갖는 제20 TFT를 포함한다.
- [0021] 제2 출력 방전 모듈은 제1 풀다운 노드에서의 전압 신호 및 제2 풀다운 노드에서의 전압 신호에 응답하여 비-출력 국면 동안 제2 출력 단자를 지속적으로 방전하여, AC 신호들에 의해 일어나는 노이즈를 제거한다.
- [0022] 선택적으로, 시프트 레지스터 유닛은 제2 클럭 신호 입력 단자에 연결되고, 풀업 노드에서의 전압 신호에 응답하여 제2 클럭 신호를 제3 출력 단자에 제공함으로써 시프트 레지스터 유닛보다 일 스테이지 다음의 다른 시프트 레지스터 유닛에 시작 신호를 제공하도록 구성된 제3 출력 모듈을 더 포함한다.
- [0023] 또한, 제3 출력 모듈은 풀업 노드에 연결된 게이트, 제2 클럭 신호 입력 단자에 연결된 드레인, 및 제3 출력 단자에 연결된 소스를 갖는 제21 TFT를 포함한다.
- [0024] 선택적으로, 시프트 레지스터 유닛은 제1 풀다운 노드에서의 전압 신호 및 제2 풀다운 노드에서의 전압 신호에 응답하여 제1 저전압 신호를 제3 출력 단자에 제공하도록 구성된 제3 출력 방전 모듈을 더 포함한다.
- [0025] 제3 출력 방전 모듈은 제1 풀다운 노드에 연결된 게이트, 제3 출력 단자에 연결된 드레인, 및 제1 저전압 신호 입력 단자에 연결된 소스를 갖는 제22 TFT; 및 제2 풀다운 노드에 연결된 게이트, 제3 출력 단자에 연결된 드레인, 및 제1 저전압 신호 입력 단자에 연결된 소스를 갖는 제23 TFT를 포함한다.
- [0026] 제3 출력 방전 모듈은 제1 풀다운 노드에서의 전압 신호 및 제2 풀다운 노드에서의 전압 신호에 응답하여 비-출력 국면 동안 제3 출력 단자를 지속적으로 방전하여, AC 신호들에 의해 일어나는 노이즈를 제거한다.
- [0027] 선택적으로, 시프트 레지스터 유닛은 제3 출력 단자에서의 전압 신호에 응답하여 입력 모듈 및 풀다운 모듈에 제2 출력 단자에서의 전압 신호를 제공하도록 구성된 피드백 모듈을 더 포함한다.
- [0028] 또한, 피드백 모듈은 제3 출력 단자에 연결된 게이트, 제2 TFT의 소스, 제12 TFT의 드레인, 및 제14 TFT의 드레인에 동시에 연결된 드레인, 및 제2 출력 단자에 연결된 소스를 갖는 제24 TFT를 포함한다.
- [0029] 피드백 회로에서의 전압 신호가 고레벨인 경우, 제2 TFT의 소스, 제13 TFT의 소스, 및 제15 TFT의 소스는 모두 고레벨이고, 이로써 제2 TFT(T2), 제13 TFT(T13), 및 제15 TFT(T15)는 턴오프되고, 한편 제1 TFT, 제12 TFT, 및 제14 TFT는 완전히 턴오프된다. 그러므로, 제1 TFT 및 제2 TFT에서의 암전류(dark current)가 풀업 노드를 방전시키는 것, 제12 TFT 및 제13 TFT에서의 암전류가 풀업 노드를 방전시키는 것, 및 제14 TFT 및 제15 TFT에

서의 암전류가 풀업 노드를 방전시키는 것을 효과적으로 회피할 수 있다.

[0030] 선택적으로, 제1 저전압 신호는 제2 저전압 신호보다 작고, 제1 풀다운 노드 및 제2 풀다운 노드에서의 전위가 모두 저레벨인 경우 제1 풀다운 노드 및 제2 풀다운 노드에서의 전위들이 제2 저전압의 전위보다 낮으며, 이로써 제1 풀다운 노드 또는 제2 풀다운 노드에 연결된 게이트들 및 제2 저전압 신호 입력 단자에 연결된 소스들을 가진 트랜지스터들이 더 쉽게 턴오프되고 암전류들이 생성되는 것이 효과적으로 방지된다.

[0031] 본 개시의 실시예들에서 제공되는 게이트 드라이버 회로는 캐스케이드(cascade)로 연결된 시프트 레지스터 유닛들의 개별 스테이지들을 포함하는데, 시프트 레지스터 유닛의 제1 스테이지의 입력 신호 단자는 게이트 드라이버 회로의 시작 신호 단자에 연결되고, 시프트 레지스터 유닛의 제1 스테이지의 리셋 신호 단자는 시프트 레지스터 유닛의 제2 스테이지의 출력 단자들 중 어느 하나에 연결되고, 시프트 레지스터 유닛의 최종 스테이지의 입력 신호 단자는 시프트 레지스터 유닛의 이전 스테이지의 출력 단자들 중 어느 하나에 연결되고, 시프트 레지스터 유닛의 최종 스테이지의 리셋 신호 단자는 시작 신호 단자에 연결된다. 시프트 레지스터 유닛들의 제1 스테이지와 최종 스테이지를 제외하고, 시프트 레지스터 유닛들의 다른 스테이지들 각각의 입력 신호 단자는 시프트 레지스터 유닛의 이전 스테이지의 출력 단자들 중 어느 하나에 연결되고, 시프트 레지스터 유닛들의 다른 스테이지들 각각의 리셋 신호 단자는 시프트 레지스터 유닛의 다음 스테이지의 출력 단자들 중 어느 하나에 연결된다. 캐스케이드로 연결된 모든 시프트 레지스터 유닛들은 전술한 시프트 레지스터 유닛이다.

**도면의 간단한 설명**

[0032] 도 1은 본 개시의 제1 실시예에서 제공되는 시프트 레지스터 유닛의 구조의 개략도이다.  
 도 2는 본 개시의 제2 실시예에서 제공되는 다른 시프트 레지스터 유닛의 구조의 개략도이다.  
 도 3은 본 개시의 제3 실시예에서 제공되는, 도 1에 도시된 바와 같은 시프트 레지스터 유닛에 의해 이루어진 게이트 드라이버 회로의 구조의 개략도이다.  
 도 4는 본 개시의 제1 실시예에서 제공되는 시프트 레지스터 유닛의 개별 신호 단자들에서의 신호들의 타이밍도이다.  
 도 5는 본 개시의 제4 실시예에서 제공되는, 도 1에 도시된 바와 같은 시프트 레지스터 유닛에 의해 이루어진 게이트 드라이버 회로의 구조의 개략도이다.

**발명을 실시하기 위한 구체적인 내용**

[0033] 본 개시의 실시예들에서, 출력 단자가 풀다운되어야 하는 기간 동안 출력 단자가 풀다운되지 않는 시간 인터벌 및 임계 전압들에서의 드리프트에 의해 일어난 출력 오류들을 억제하도록 구성되어 시프트 레지스터 유닛의 안정성을 증가시키는 시프트 레지스터 유닛 및 게이트 드라이버 회로가 제공된다.

[0034] 이하, 첨부 도면을 참조하여 본 개시의 실시예들에 대한 설명이 주어질 것이다.

[0035] 본 개시의 제1 실시예에 제공되는 시프트 레지스터 유닛은 도 1에 도시된 바와 같은 구조를 갖는다. 시프트 레지스터 유닛은 입력 모듈(101), 제1 출력 모듈(102), 풀다운 구동 모듈(103), 풀다운 모듈(104), 및 제1 출력 방전 모듈(105)을 포함한다는 것을 도 1로부터 알 수 있다.

[0036] 입력 모듈(101)은 시프트 레지스터 유닛에서 입력 신호 단자 및 제1 클럭 신호 입력 단자에 연결되고, 입력 신호 및 제1 클럭 신호에 응답하여 풀업 노드에 입력 신호를 제공하도록 구성된다. 풀업 노드는 입력 모듈과 제1 출력 모듈 사이의 연결 지점이다.

[0037] 제1 출력 모듈(102)는 제2 클럭 신호 입력 단자에 연결되고, 풀업 노드에서의 전압 신호에 응답하여 시프트 레지스터 유닛에서의 제1 출력 단자에 제2 클럭 신호를 제공하도록 구성된다.

[0038] 풀다운 구동 모듈(103)은 제1 클럭 신호 입력 단자 및 제2 클럭 신호 입력 단자에 연결되고, 제1 클럭 신호에 응답하여 제1 클럭 신호를 제1 풀다운 노드에 제공하고, 제2 클럭 신호에 응답하여 제2 클럭 신호를 제2 풀다운 노드에 제공하고; 풀업 노드에서의 전압 신호에 응답하여 제1 풀다운 노드 및 제2 풀다운 노드에 제1 저전압 신호를 제공하고; 제1 풀다운 노드에서의 전압 신호에 응답하여 제1 저전압 신호를 제2 풀다운 노드에 제공하고; 그리고 제2 풀다운 노드에서의 전압 신호에 응답하여 제1 저전압 신호를 제1 풀다운 노드에 제공하도록 구성된다. 제1 풀다운 노드와 제2 풀다운 노드는 둘 다 풀다운 구동 모듈과 풀다운 모듈 사이의 연결 지점들이다.

- [0039] 폴다운 모듈(104)은 제1 폴다운 노드에서의 전압 신호 및 제2 폴다운 노드에서의 전압 신호에 응답하여 제1 저전압 신호를 풀업 노드에 제공하도록 구성된다.
- [0040] 제1 출력 방전 유닛(105)은 제1 폴다운 노드에서의 전압 신호 및 제2 폴다운 노드에서의 전압 신호에 응답하여 제2 저전압 신호를 시프트 레지스터 유닛의 제1 출력 단자에 제공하도록 구성된다.
- [0041] 본 실시예에서, 제1 저전압 신호는 제2 저전압 신호보다 작거나 같고, 제1 저전압 신호 및 제2 저전압 신호는 노드들 및/또는 이에 연결된 출력 단자들에서의 전위들을 폴다운하기 위해 모두 음의 전압들이다.
- [0042] 본 개시의 동작 원리는 특정 실시예들을 참조하여 이하 상세히 설명될 것이다. 실시예들은 단지 본 개시의 더 나은 설명을 위한 것이고, 본 개시를 제한하지 않는다는 점에 유의해야 한다.
- [0043] 도 1에 도시된 바와 같은 시프트 레지스터 유닛은 입력 모듈(101), 제1 출력 모듈(102), 폴다운 구동 모듈(103), 폴다운 모듈(104), 및 제1 출력 방전 모듈(105)을 포함한다.
- [0044] 구체적으로, 입력 모듈(101)은 시프트 레지스터 유닛의 입력 신호 단자(INPUT)에 연결된 게이트 및 소스, 및 제2 TFT(T2)의 소스에 연결된 드레인을 갖는 제1 박막 트랜지스터(TFT)(T1); 및 제1 클럭 신호(CK) 입력 단자에 연결된 게이트 및 풀업 노드(PU)에 연결된 드레인을 갖는 제2 TFT(T2)를 포함한다.
- [0045] 입력 신호는 풀업 노드(PU)에서의 전위를 증가시키기 위해 제1 TFT(T1) 및 제2 TFT(T2)를 통해 풀업 노드(PU)에 제공된다.
- [0046] 제1 출력 모듈(102)은 풀업 노드(PU)에 연결된 게이트, 제2 클럭 신호(CKB) 입력 단자에 연결된 드레인, 및 제1 출력 단자(OT1)에 연결된 소스를 갖는 제3 TFT(T3); 및 풀업 노드(PU)와 제1 출력 단자(OT1) 사이에 연결되고, 풀업 노드(PU)에서의 전위를 유지하여 제3 TFT(T3)가 일정 기간 동안 계속 턴온되도록 구성된 커패시터(C)를 포함한다.
- [0047] 폴다운 구동 모듈(103)은 제1 클럭 신호(CK) 입력 단자에 연결된 게이트 및 드레인, 및 제1 폴다운 노드(PD1)에 연결된 소스를 갖는 제4 TFT(T4); 제2 클럭 신호(CKB) 입력 단자에 동시에 연결된 게이트 및 소스, 및 제2 폴다운 노드(PD2)에 연결된 드레인을 갖는 제5 TFT(T5); 풀업 노드(PU)에 연결된 게이트, 제1 폴다운 노드(PD1)에 연결된 드레인, 및 제7 TFT(T7)의 드레인에 연결된 소스를 갖는 제6 TFT(T6); 풀업 노드(PU)에 연결된 게이트 및 제1 저전압 신호(Vg1\_1) 입력 단자에 연결된 소스를 갖는 제7 TFT(T7); 풀업 노드(PU)에 연결된 게이트, 제2 폴다운 노드(PD2)에 연결된 드레인, 및 제9 TFT(T9)의 드레인에 연결된 소스를 갖는 제8 TFT(T8); 풀업 노드(PU)에 연결된 게이트 및 제1 저전압 신호(Vg1\_1) 입력 단자에 연결된 소스를 갖는 제9 TFT(T9); 제2 폴다운 노드(PD2)에 연결된 게이트, 제1 폴다운 노드(PD1)에 연결된 드레인, 및 제1 저전압 신호(Vg1\_1) 입력 단자에 연결된 소스를 갖는 제10 TFT(T10); 및 제1 폴다운 노드(PD1)에 연결된 게이트, 제2 폴다운 노드(PD2)에 연결된 소스, 및 제1 저전압 신호(Vg1\_1) 입력 단자에 연결된 드레인을 갖는 제11 TFT(T11)를 포함한다.
- [0048] 폴다운 구동 모듈(103)은 제4 TFT(T4)를 통해 제1 폴다운 노드(PD1)를 충전하고, 제5 TFT(T5)를 통해 제2 폴다운 노드(PD2)를 충전하고, 제6 TFT(T6), 제7 TFT(T7), 및 제10 TFT(T10)를 통해 제1 폴다운 노드(PD1)를 방전하고, 제8 TFT(T8), 제9 TFT(T9), 및 제11 TFT(T11)를 통해 제2 폴다운 노드(PD2)를 방전한다. 제1 폴다운 노드(PD1)에서의 전위 및 제2 폴다운 노드(PD2)에서의 전위가 비-출력 국면 동안 AC 신호이기 때문에, 소자들의 임계 전압에서의 드리프트들에 의해 일어나는 출력 오류들은 효과적으로 억제될 수 있고, 이에 따라 노이즈 감소 효과가 증가할 수 있다. 제1 폴다운 노드(PD1)에서의 전압 신호와 제2 폴다운 노드(PD2)에서의 전압 신호가 상호 보완적이기 때문에, 제1 출력 방전 모듈(105)은 항상 비-출력 국면 동안 제1 출력 단자(OT1)를 방전하며, 이로써 출력 단자를 폴다운하는 동작에 존재하는 인터벌에 의해 일어나는 출력 오류를 제거한다.
- [0049] 폴다운 모듈(104)은 제1 폴다운 노드(PD1)에 연결된 게이트, 풀업 노드(PU)에 연결된 소스, 및 제13 TFT(T13)의 드레인에 연결된 드레인을 갖는 제12 TFT(T12); 제1 폴다운 노드(PD1)에 연결된 게이트 및 제1 저전압 신호(Vg1\_1) 입력 단자에 연결된 드레인을 갖는 제13 TFT(T13); 제2 폴다운 노드(PD2)에 연결된 게이트, 풀업 노드(PU)에 연결된 소스, 및 제15 TFT(T15)의 소스에 연결된 드레인을 갖는 제14 TFT(T14); 제2 폴다운 노드(PD2)에 연결된 게이트 및 제1 저전압 신호(Vg1\_1) 입력 단자에 연결된 드레인을 갖는 제15 TFT(T15)를 포함한다.
- [0050] 폴다운 모듈(104)은 AC 신호들에 의해 일어나는 노이즈를 제거하기 위해 제1 폴다운 노드(PD1)에서의 전압 신호 및 제2 폴다운 노드(PD2)에서의 전압 신호에 응답하여 풀업 노드(PU)를 지속적으로 방전한다.
- [0051] 제1 출력 방전 모듈(105)은 제1 폴다운 노드(PD1)에 연결된 게이트, 제1 출력 단자(OT1)에 연결된 드레인, 및 제2 저전압 신호(Vg1\_2) 입력 단자에 연결된 소스를 갖는 제16 TFT(T16); 및 제2 폴다운 노드(PD2)에 연결된 게

이트, 제1 출력 단자(OT1)에 연결된 드레인, 및 제2 저전압 신호(Vg1\_2) 입력 단자에 연결된 소스를 갖는 제17 TFT(T17)를 포함한다.

- [0052] 제1 출력 방전 모듈(105)은 제1 풀다운 노드(PD1)에서의 전압 신호 및 제2 풀다운 노드(PD2)에서의 전압 신호에 응답하여 비-출력 국면 동안 제1 출력 단자(OT1)를 지속적으로 방전하여, AC 신호들에 의해 일어나는 노이즈를 제거한다.
- [0053] 시프트 레지스터 유닛에서, 풀다운 구동 모듈(104)은 제1 클럭 신호(CK) 입력 단자 및 제2 클럭 신호(CKB) 입력 단자에 연결되고, 제1 클럭 신호(CK)에 응답하여 제1 클럭 신호(CK)를 제1 풀다운 노드(PD1)에 제공하고, 제2 클럭 신호(CKB)에 응답하여 제2 클럭 신호(CKB)를 제2 풀다운 노드(PD2)에 제공하고; 풀업 노드(PU)에서의 전압 신호에 응답하여 제1 풀다운 노드(PD1) 및 제2 풀다운 노드(PD2)에 제1 저전압 신호(Vg1\_1)를 제공하고; 제1 풀다운 노드(PD1)에서의 전압 신호에 응답하여 제1 저전압 신호(Vg1\_1)를 제2 풀다운 노드(PD2)에 제공하고; 그리고 제2 풀다운 노드(PD2)에서의 전압 신호에 응답하여 제1 저전압 신호(Vg1\_1)를 제1 풀다운 노드(PD1)에 제공하도록 구성된다. 비-출력 국면 동안, 제1 풀다운 노드(PD1)에서의 전압 신호 및 제2 풀다운 노드(PD2)에서의 전압 신호는 소자들의 임계 전압들에서의 드리프트들에 의해 일어나는 출력 오류들을 효과적으로 억제하기 위해 모두 AC 신호들이다. 한편, 제1 풀다운 노드(PD1)에서의 전압 신호와 제2 풀다운 노드(PD2)에서의 전압 신호는 상호 보완적이어서 제1 출력 방전 모듈(105)은 항상 비-출력 국면 동안 제1 출력 단자(OT1)를 방전하며, 이로써 제1 출력 단자를 풀다운하는 동작에 존재하는 인터벌에 의해 일어나는 출력 오류를 제거한다.
- [0054] 시프트 레지스터 유닛에서, 제6 TFT(T6)의 소스와 제8 TFT(T8)의 소스에 동시에 연결된 리셋 신호 입력 단자(RESET)가 또한 존재한다. 리셋 신호가 고레벨인 경우, 제6 TFT(T6) 및 제8 TFT(T8)의 소스들은 또한 고레벨이며, 이로써 제6 TFT(T6) 및 제8 TFT(T8)는 신속히 턴오프되어 암전류(dark current)가 제8 TFT(T8)를 통해 흐르는 것을 방지하여 제2 풀다운 노드(PD2)를 방전하면서, 암전류가 제6 TFT(T6)를 통해 흐르는 것을 방지하여 제1 풀다운 노드(PD1)를 방전한다.
- [0055] 제1 저전압 신호(Vg1\_1)는 제2 저전압 신호(Vg1\_2)보다 작으며, 이로써 제16 TFT(T16) 및 제17 TFT(T17)가 훨씬 더 쉽게 턴오프되어 암전류가 제16 TFT(T16) 및 제17 TFT(T17)를 통해 흐르는 것을 효과적으로 방지하여 출력 국면 동안 제1 출력 단자(OT1)를 방전한다.
- [0056] 도 2는 본 개시의 제2 실시예에서 제공되는 시프트 레지스터 유닛을 도시한다. 도 2를 참조하면, 여기에 도시된 시프트 레지스터 유닛은 입력 모듈(101), 제1 출력 모듈(102), 풀다운 구동 모듈(103), 풀다운 모듈(104), 및 제1 출력 방전 모듈(105)을 포함할 뿐 아니라, 제2 출력 모듈(106), 제2 출력 방전 모듈(107), 제3 출력 모듈(108), 제3 출력 방전 모듈(109), 및 피드백 모듈(110)을 포함한다.
- [0057] 제2 실시예에서, 제2 출력 모듈(106)은 제2 클럭 신호(CKB) 입력 단자에 연결되고, 시프트 레지스터 유닛보다 일 스테이지 이전의 다른 시프트 레지스터 유닛에 리셋 신호를 제공하기 위해 풀업 노드(PU)에서의 전압 신호에 응답하여 제2 클럭 신호(CKB)를 제2 출력 단자(OT2)에 제공하도록 구성된다.
- [0058] 여기에서, 제2 출력 모듈(106)은 풀업 노드(PU)에 연결된 게이트, 제2 클럭 신호(CKB) 입력 단자에 연결된 드레인, 및 제2 출력 단자(OT2)에 연결된 소스를 갖는 제18 TFT(T18)를 포함한다.
- [0059] 제2 출력 방전 모듈(107)은 제1 풀다운 노드(PD1)에서의 전압 신호 및 제2 풀다운 노드(PD2)에서의 전압 신호에 응답하여 제2 저전압 신호(Vg1\_2)를 제2 출력 단자(OT2)에 제공하도록 구성된다.
- [0060] 여기에서, 제2 출력 방전 모듈(107)은 제1 풀다운 노드(PD1)에 연결된 게이트, 제2 출력 단자(OT2)에 연결된 드레인, 및 제2 저전압 신호(Vg1\_2) 입력 단자에 연결된 소스를 갖는 제19 TFT(T19); 및 제2 풀다운 노드(PD2)에 연결된 게이트, 제2 출력 단자(OT2)에 연결된 드레인, 및 제2 저전압 신호(Vg1\_2) 입력 단자에 연결된 소스를 갖는 제20 TFT(T20)를 포함한다.
- [0061] 제2 출력 방전 모듈(107)은 제1 풀다운 노드(PD1)에서의 전압 신호 및 제2 풀다운 노드(PD2)에서의 전압 신호에 응답하여 비-출력 국면 동안 제2 출력 단자(OT2)를 지속적으로 방전하여, AC 신호들에 의해 일어나는 노이즈를 제거한다.
- [0062] 제3 출력 모듈(108)은 제2 클럭 신호(CKB) 입력 단자에 연결되고, 시프트 레지스터 유닛보다 일 스테이지 다음의 다른 시프트 레지스터 유닛에 시작 신호를 제공하기 위해 풀업 노드(PU)에서의 전압 신호에 응답하여 제2 클럭 신호(CKB)를 제3 출력 단자(OT3)에 제공하도록 구성된다.
- [0063] 여기에서, 제3 출력 모듈(108)은 풀업 노드(PU)에 연결된 게이트, 제2 클럭 신호(CKB) 입력 단자에 연결된 드레

인, 및 제3 출력 단자(OT3)에 연결된 소스를 갖는 제21 TFT(T21)를 포함한다.

- [0064] 제3 출력 방전 모듈(109)은 시프트 레지스터 유닛보다 일 스테이지 다음의 다른 시프트 레지스터 유닛에 시작 신호를 제공하기 위해, 제1 풀다운 노드(PD1)에서의 전압 신호 및 제2 풀다운 노드(PD2)에서의 전압 신호에 응답하여 제1 저전압 신호(Vg1\_1)를 제3 출력 단자(OT3)에 제공하도록 구성된다.
- [0065] 여기에서, 제3 출력 방전 모듈(109)은 제1 풀다운 노드(PD1)에 연결된 게이트, 제3 출력 단자(OT3)에 연결된 드레인, 및 제1 저전압 신호(Vg1\_1) 입력 단자에 연결된 소스를 갖는 제22 TFT(T22); 및 제2 풀다운 노드(PD2)에 연결된 게이트, 제3 출력 단자(OT3)에 연결된 드레인, 및 제1 저전압 신호(Vg1\_1) 입력 단자에 연결된 소스를 갖는 제23 TFT(T23)를 포함한다.
- [0066] 제3 출력 방전 모듈(109)은 제1 풀다운 노드(PD1)에서의 전압 신호 및 제2 풀다운 노드(PD2)에서의 전압 신호에 응답하여 비-출력 국면 동안 제3 출력 단자(OT3)를 지속적으로 방전하여, AC 신호들에 의해 일어나는 노이즈를 제거한다.
- [0067] 피드백 모듈(110)은 제3 출력 단자(OT3)에서의 전압 신호에 응답하여 입력 모듈(101) 및 풀다운 모듈(104)에 제2 출력 단자(OT2)에서의 전압 신호를 제공하도록 구성된다.
- [0068] 여기에서, 피드백 모듈(110)은 제3 출력 단자(OT3)에 연결된 게이트, 제1 TFT(T1)의 드레인, 제12 TFT(T12)의 드레인, 및 제14 TFT(T14)의 드레인에 연결된 드레인, 및 제2 출력 단자(OT2)에 연결된 소스를 갖는 제24 TFT(T24)를 포함한다.
- [0069] 제2 출력 단자(OT2)에서의 출력이 고레벨인 경우, 제2 TFT(T2)의 소스, 제13 TFT(T13)의 소스, 및 제15 TFT(T15)의 소스는 모두 고레벨이며, 이로써 제2 TFT(T2), 제13 TFT(T13), 및 제15 TFT(T15)는 모두 턴오프되고, 이 때 제1 TFT(T1), 제12 TFT(T12), 및 제14 TFT(T14)는 또한 완전히 턴오프되며, 이로써 암전류가 제2 TFT(T2), 제12 TFT(T12), 및 제14 TFT(T14)에서 발생하는 것을 방지하여 풀업 노드(PU)를 방전한다.
- [0070] 커패시터(C)가 풀업 노드(PU)와 제1 출력 단자(OT1) 사이에 설정되거나, 풀업 노드(PU)와 제2 출력 단자(OT2) 사이에 설정되거나, 풀업 노드(PU)와 제3 출력 단자(OT3) 사이에 설정될 수도 있다는 점에 주목해야 한다. 이들 3개의 연결 방식에서, 커패시터의 기능은 풀업 노드(PU)에서의 전위를 유지하는 것과 동일하다.
- [0071] 전술한 TFT들 중 어느 하나에서, 화살표를 갖는 하나의 전극은 TFT의 소스이고, 화살표의 방향은 TFT에서의 전류 방향이다.
- [0072] 본 개시의 제2 실시예에 제공되는 시프트 레지스터 유닛에서, 시프트 레지스터 유닛의 특정 스테이지의 출력에서의 오류는 시프트 레지스터 유닛보다 일 스테이지 이전의 다른 시프트 레지스터 유닛들 및 시프트 레지스터 유닛보다 일 스테이지 다음의 다른 시프트 레지스터 유닛들의 동작 상태들에 영향을 미치지 않는데, 그 이유는 리셋 신호 및 시작 신호가 별도의 회로들을 통해 출력되기 때문이다.
- [0073] 전술한 시프트 레지스터 유닛들이 캐스캐이드로 연결되어 어레이 기판 상의 게이트 드라이버 회로를 형성한다. 본 개시의 실시예들에서 제공되는 게이트 드라이버 회로는 캐스캐이드로 연결된 시프트 레지스터 유닛들의 개별 스테이지들을 포함하는데, 시프트 레지스터 유닛의 제1 스테이지의 입력 신호 단자는 게이트 드라이버 회로의 시작 신호 단자에 연결되고, 시프트 레지스터 유닛의 제1 스테이지의 리셋 신호 단자는 시프트 레지스터 유닛의 제2 스테이지의 출력 단자들 중 어느 하나에 연결되고, 시프트 레지스터 유닛의 최종 스테이지의 입력 신호 단자는 시프트 레지스터 유닛의 이전 스테이지의 출력 단자들 중 어느 하나에 연결되고, 시프트 레지스터 유닛의 최종 스테이지의 리셋 신호 단자는 시작 신호 단자에 연결된다. 시프트 레지스터 유닛들의 제1 스테이지와 최종 스테이지를 제외하고, 시프트 레지스터 유닛들의 나머지 스테이지 각각의 입력 신호 단자는 시프트 레지스터 유닛의 이전 스테이지의 출력 단자들 중 어느 하나에 연결되고, 시프트 레지스터 유닛들의 나머지 스테이지 각각의 리셋 신호 단자는 시프트 레지스터 유닛의 다음 스테이지의 출력 단자들 중 어느 하나에 연결된다. 전술한 캐스캐이드로 연결된 시프트 레지스터 유닛들 각각은 도 1에 도시된 바와 같은 시프트 레지스터 유닛 또는 도 2에 도시된 바와 같은 시프트 레지스터 유닛이다.
- [0074] 구체적으로, 어레이 기판 상의 게이트 드라이버 회로는 시프트 레지스터 유닛들의 N개의 스테이지들을 포함하는데, N은 게이트 라인들의 개수이고, 시작 신호(STV)는 입력 신호로서 시프트 레지스터 유닛의 제1 스테이지에 입력되고, 게이트 구동 신호들은 개별 게이트 라인들에 순차적으로 출력되고, 시프트 레지스터 유닛의 n번째 스테이지의 입력 신호는 시프트 레지스터 유닛의 (n-1)번째 스테이지의 출력 신호에 의해 공급되고, 시프트 레지스터 유닛의 n번째 스테이지의 리셋 신호는 시프트 레지스터 유닛의 (n+1)번째 스테이지의 출력 신호에 의해 공

급되는데, 여기서  $n < N$ 이다.

- [0075] 도 3은 본 개시의 제3 실시예에서 제공되는 바와 같이 캐스캐이드로 연결된 도 1에 도시된 바와 같은 시프트 레지스터 유닛들에 의해 형성된 어레이 기관 상의 게이트 드라이버 회로를 도시한다. 도 4는 시프트 레지스터 유닛에서 개별 신호 단자들에서의 신호들의 타이밍도이다. 이하, 어레이 기관 상의 게이트 드라이버 회로에서 시프트 레지스터 유닛의  $n$ 번째 스테이지의 동작 방법은 도 4를 참조하여 설명될 것이며, 여기서  $n < N$ 이고,  $N$ 은 어레이 기관 상의 게이트 드라이버 회로에서 시프트 레지스터 유닛들의 스테이지들의 개수이다.
- [0076] 게이트 드라이버 회로가 스캐닝 동작을 수행하는 경우, 게이트 드라이버 회로 내의 TFT들의 전부는 고레벨에서 턴온되고, 저레벨에서 턴오프된다. 제1 클럭 신호(CK) 및 제2 클럭 신호(CKB)는 서로 상반되는 국면들을 갖는다.
- [0077] 제1 국면(S1) 동안, 제1 클럭 신호(CK)는 저레벨이고, 제2 클럭 신호(CKB)는 고레벨인데, 시프트 레지스터 유닛의  $n$ 번째 스테이지의 입력 신호인 시프트 레지스터 유닛의  $(n-1)$ 번째 스테이지의 출력 신호(OUTPUT( $n-1$ ))는 저레벨에 있고, 시프트 레지스터 유닛의  $n$ 번째 스테이지의 리셋 신호인 시프트 레지스터의  $(n+1)$ 번째 스테이지의 출력 신호(OUTPUT( $n+1$ ))는 저레벨에 있고, 제1 풀다운 노드(PD1)는 저레벨에 있고, 제2 풀다운 노드(PD2)는 고레벨에 있다.
- [0078] 제10 TFT(T10), 제14 TFT(T14), 제15 TFT(T15), 및 제17 TFT(T17)은 제2 풀다운 노드(PD2)에서의 고레벨 전압 신호에 응답하여 턴온되고, 제14 TFT(T14) 및 제15 TFT(T15)는 제1 저전압 신호(Vg1\_1)를 풀업 노드(PU)에 제공하고, 제10 TFT(T10)는 제1 저전압 신호(Vg1\_1)를 제1 풀다운 노드(PD1)에 제공하고, 제17 TFT(T17)는 제2 저전압 신호(Vg1\_2)를 제1 출력 단자(OT1)에 제공한다.
- [0079] 그러므로, 제1 출력 단자(OT1)에서의 출력 신호(OUTPUT( $n$ ))는 이 경우 저레벨에 있다.
- [0080] 제2 국면(S2) 동안, 제1 클럭 신호(CK)는 고레벨에 있고, 제2 클럭 신호(CKB)는 저레벨에 있고, OUTPUT( $n-1$ )는 고레벨에 있고, OUTPUT( $n+1$ )는 저레벨에 있다.
- [0081] 입력 신호(OUTPUT( $n-1$ ))가 고레벨에 있기 때문에 제1 TFT(T1)는 턴온되고, 제1 클럭 신호(CK)가 고레벨에 있기 때문에 제2 TFT(T2)는 턴온되고, 입력 신호는 제1 TFT(T1) 및 제2 TFT(T2)를 통해 커패시터(C)를 충전하고, 풀업 노드(PU)는 고레벨이다. 이 때에, 제3 TFT(T3)는 풀업 노드(PU)에서의 전압 신호에 응답하여 턴온되지만, 제2 클럭 신호(CKB)가 저레벨에 있기 때문에 제1 출력 단자(OT1)에서의 출력 신호(OUTPUT( $n$ ))는 저레벨에 있다.
- [0082] 한편, 제6 TFT(T6), 제7 TFT(T7), 제8 TFT(T8), 및 제9 TFT(T9)는 풀업 노드(PU)에서의 전압 신호에 응답하여 턴온되고, 제1 풀다운 노드(PD1)는 제6 TFT(T6) 및 제7 TFT(T7)를 통해 지속적으로 방전되어 저레벨로 유지하고, 제2 풀다운 노드(PD2)는 제8 TFT(T8) 및 제9 TFT(T9)를 통해 방전되고, 제2 풀다운 노드(PD2)에서의 전위가 신속히 감소한다.
- [0083] 제3 국면(S3) 동안, 제1 클럭 신호(CK)는 저레벨에 있고, 제2 클럭 신호(CKB)는 고레벨에 있고, OUTPUT( $n-1$ )는 저레벨에 있고, OUTPUT( $n+1$ )는 저레벨에 있다.
- [0084] 입력 신호(OUTPUT( $n-1$ ))가 저레벨에 있기 때문에 제1 TFT(T1)는 턴오프되고, 제1 클럭 신호(CK)가 저레벨에 있기 때문에 제2 TFT(T2)는 턴오프되지만, 풀업 노드(PU)는 커패시터(C)로 인해 고레벨로 유지된다. 한편, 제2 클럭 신호(CKB)는 고레벨에 있고, 풀업 노드(PU)에서의 전위는 커패시터(C)의 부트스트래핑 기능(bootstrapping function)으로 인해 지속적으로 증가하며, 그 결과 제3 TFT(T3)는 턴온된 채로 유지된다.
- [0085] 한편, 제6 TFT(T6), 제7 TFT(T7), 제8 TFT(T8), 및 제9 TFT(T9)는 풀업 노드(PU)에서의 전압 신호에 응답하여 턴온된 채로 유지되고, 제1 풀다운 노드(PD1) 및 제2 풀다운 노드(PD2)는 저레벨에 있다. 이 때에, 제16 TFT(T16)는 제1 풀다운 노드(PD1)에서의 저레벨 전압 신호에 응답하여 턴오프되고, 제17 TFT(T17)는 제2 풀다운 노드(PD2)에서의 고레벨 전압 신호에 응답하여 턴오프된다.
- [0086] 그러므로, 제1 출력 단자(OT1)에서의 출력 신호(OUTPUT( $n$ ))는 고레벨이다.
- [0087] 제4 국면(S4) 동안, 제1 클럭 신호(CK)는 고레벨에 있고, 제2 클럭 신호(CKB)는 저레벨에 있고, OUTPUT( $n-1$ )는 저레벨에 있고, OUTPUT( $n+1$ )는 고레벨에 있다.
- [0088] OUTPUT( $n+1$ )가 고레벨에 있기 때문에, 제6 TFT(T6), 제7 TFT(T7), 제8 TFT(T8), 및 제9 TFT(T9)는 완전히 턴오프된다. 제1 클럭 신호(CK)가 고레벨에 있어서 제1 클럭 신호(CK)를 제1 풀다운 노드(PD1)에 제공하기 때문에 제4 TFT(T4)는 턴온되고, 제1 풀다운 노드(PD1)는 고레벨로 증가한다. 제11 TFT(T11), 제12 TFT(T12), 제13

TFT(T13), 및 제16 TFT(T16)는 제1 풀다운 노드(PD1)에서의 고레벨 전압 신호에 응답하여 턴온되고, 제12 TFT(T12) 및 제13 TFT(T13)는 풀업 노드(PU)를 방전하고, 풀업 노드(PU)는 저레벨로 신속히 감소하고; 제11 TFT(T11)는 제1 저전압 신호(Vg1\_1)를 제2 풀다운 노드(PD2)에 제공하고, 제2 풀다운 노드(PD2)는 저레벨로 유지되고; 제16 TFT(T16)는 제2 저전압 신호(Vg1\_2)를 제1 출력 단자(OT1)에 제공한다.

[0089] 그러므로, 제1 출력 단자(OT1)에서의 출력 신호(OUTPUT(n))는 이 때에 저레벨에 있다.

[0090] 제5 국면(S5) 동안, 제1 클럭 신호(CK)는 저레벨에 있고, 제2 클럭 신호(CKB)는 고레벨에 있고, OUTPUT(n-1)는 저레벨에 있고, OUTPUT(n+1)는 저레벨에 있다.

[0091] 제2 클럭 신호(CKB)가 고레벨에 있기 때문에 제5 TFT(T5)는 턴온되고, 제8 TFT(T8) 및 제9 TFT(T9)는 풀업 노드(PU)에서의 전압 신호에 응답하여 턴오프된 채로 유지되고, 제2 풀다운 노드(PD2)는 고레벨로 증가하고, 제10 TFT(T10), 제14 TFT(T14), 제15 TFT(T15), 및 제17 TFT(T17)는 제2 풀다운 노드(PD2)에서의 고레벨 전압 신호에 응답하여 턴온되고, 제10 TFT(T10)는 제1 저전압 신호(Vg1\_1)를 제1 풀다운 노드(PD1)에 제공하고, 제1 풀다운 노드(PD1)는 저레벨로 유지되고; 제14 TFT(T14) 및 제15 TFT(T15)는 풀업 노드(PU)를 지속적으로 방전하고, 풀업 노드(PU)는 저레벨로 유지되어 제3 TFT(T3)가 턴오프되고; 한편 제17 TFT(T17)는 제2 저전압 신호(Vg1\_2)를 제1 출력 단자(OT1)에 제공한다.

[0092] 그러므로, 제1 출력 단자(OT1)에서의 출력 신호(OUTPUT(n))는 저레벨에 있다.

[0093] 도 5는 본 개시의 제4 실시예에서 제공되는, 도 1에 도시된 바와 같은 시프트 레지스터 유닛에 의해 구성되는 어레이 기관 상의 게이트 드라이버 회로를 도시한다. 도 5를 참조하면, 게이트 드라이버 회로에서, 시프트 레지스터 유닛의 n번째 스테이지의 제1 출력 단자(OT1(n))는 현재 행에 대해 신호를 제공하고, 시프트 레지스터 유닛의 n번째 스테이지의 제2 출력 단자(OT2(n))는 시프트 레지스터 유닛의 (n-1)번째 스테이지에 리셋 신호를 제공하고, 시프트 레지스터 유닛의 n번째 스테이지의 제3 출력 단자(OT3(n))는 시프트 레지스터 유닛의 (n+1)번째 스테이지에 시작 신호를 제공한다. 제1 출력 단자(OT1(n)), 제2 출력 단자(OT2(n)), 및 제3 출력 단자(OT3(n))는 동일한 출력 신호인 OUTPUT(n)을 갖는다.

[0094] 본 개시의 제4 실시예에서 제공되는 바와 같은 어레이 기관 상의 게이트 드라이버 회로에서의 시프트 레지스터 유닛의 n번째 스테이지의 동작 방법은 이하의 도 4를 참조하여 설명될 것이며, 여기서  $n < N$ 이고, N은 어레이 기관 상의 게이트 드라이버 회로에서 시프트 레지스터 유닛들의 스테이지들의 개수이다.

[0095] 제1 국면(S1) 동안, 제1 클럭 신호(CK)는 저레벨이고, 제2 클럭 신호(CKB)는 고레벨에 있는데, 시프트 레지스터 유닛의 n번째 스테이지의 입력 신호인 시프트 레지스터 유닛의 (n-1)번째 스테이지의 출력 신호(OUTPUT(n-1))는 저레벨에 있고, 시프트 레지스터 유닛의 n번째 스테이지의 리셋 신호인 시프트 레지스터의 (n+1)번째 스테이지의 출력 신호(OUTPUT(n+1))는 저레벨에 있고, 제1 풀다운 노드(PD1)는 저레벨에 있고, 제2 풀다운 노드(PD2)는 고레벨에 있다.

[0096] 제10 TFT(T10), 제14 TFT(T14), 제15 TFT(T15), 및 제17 TFT(T17)는 제2 풀다운 노드(PD2)에서의 고레벨 전압 신호에 응답하여 턴온된다. 여기에서, 제10 TFT(T10)는 제1 저전압 신호(Vg1\_1)를 제1 풀다운 노드(PD1)에 제공하고; 제14 TFT(T14) 및 제15 TFT(T15)는 제1 저전압 신호(Vg1\_1)를 풀업 노드(PU)에 제공하고, 제3 TFT(T3), 제18 TFT(T18), 및 제21 TFT(T21)는 풀업 노드(PU)에서의 전압 신호에 응답하여 턴오프되고; 그리고 제17 TFT(T17)는 제2 저전압 신호(Vg1\_2)를 제1 출력 단자(OT1(n))에 제공하고, 제20 TFT(T20)는 제2 저전압 신호(Vg1\_2)를 제2 출력 단자(OT2(n))에 제공하고, 그리고 제23 TFT(T23)는 제1 저전압 신호(Vg1\_1)를 제3 출력 단자(OT3(n))에 제공한다.

[0097] 그러므로, 이 때에, 제1 출력 단자(OT1(n))에서의 출력 신호(OUTPUT(n)), 제2 출력 단자(OT2(n))에서의 출력 신호(OUTPUT(n)), 및 제3 출력 단자(OT3(n))에서의 출력 신호(OUTPUT(n))는 모두 저레벨에 있다.

[0098] 제2 국면(S2) 동안, 제1 클럭 신호(CK)는 고레벨에 있고, 제2 클럭 신호(CKB)는 저레벨에 있고, OUTPUT(n-1)는 고레벨에 있고, OUTPUT(n+1)는 저레벨에 있다.

[0099] 입력 신호(OUTPUT(n-1))가 고레벨에 있기 때문에 제1 TFT(T1)는 턴온되고, 제1 클럭 신호(CK)가 고레벨에 있기 때문에 제2 TFT(T2)는 턴온되고, 입력 신호는 제1 TFT(T1) 및 제2 TFT(T2)를 통해 커패시터(C)를 충전하고, 이로써 풀업 노드(PU)는 고레벨에 있다. 이 때에, 제3 TFT(T3), 제18 TFT(T18), 및 제21 TFT(T21)는 풀업 노드(PU)에서의 전압 신호에 응답하여 턴온된다. 그러나, 이 때에, 제2 클럭 신호(CKB)가 저레벨에 있기 때문에, 제1 출력 단자(OT1(n))에서의 출력 신호(OUTPUT(n)), 제2 출력 단자(OT2(n))에서의 출력 신호(OUTPUT(n)), 및

제3 출력 단자(OT3(n))에서의 출력 신호(OUTPUT(n))는 모두 저레벨에 있다.

- [0100] 한편, 제6 TFT(T6), 제7 TFT(T7), 제8 TFT(T8), 및 제9 TFT(T9)는 풀업 노드(PU)에서의 전압 신호에 응답하여 턴온되고; 제1 풀다운 노드(PD1)는 제6 TFT(T6) 및 제7 TFT(T7)를 통해 지속적으로 방전되어 저레벨로 유지되고; 제2 풀다운 노드(PD2)는 제8 TFT(T8) 및 제9 TFT(T9)를 통해 지속적으로 방전되어 제2 풀다운 노드(PD2)에서의 전위는 신속히 감소한다.
- [0101] 제3 국면(S3) 동안, 제1 클럭 신호(CK)는 저레벨에 있고, 제2 클럭 신호(CKB)는 고레벨에 있고, OUTPUT(n-1)는 저레벨에 있고, OUTPUT(n+1)는 저레벨에 있다.
- [0102] 입력 신호(OUTPUT(n-1))가 저레벨에 있기 때문에 제1 TFT(T1)는 턴오프되고, 제1 클럭 신호(CK)가 저레벨에 있기 때문에 제2 TFT(T2)는 턴오프되지만, 풀업 노드(PU)는 커패시터(C)로 인해 고레벨로 계속 유지된다. 한편, 제2 클럭 신호(CKB)는 고레벨에 있고, 풀업 노드(PU)에서의 전위는 커패시터(C)의 부트스트래핑 기능(bootstrapping function)으로 인해 지속적으로 증가하고, 그리고 제3 TFT(T3), 제18 TFT(T18), 및 제21 TFT(T21)는 턴온된 채로 유지된다.
- [0103] 한편, 제6 TFT(T6), 제7 TFT(T7), 제8 TFT(T8), 및 제9 TFT(T9)는 풀업 노드(PU)에서의 전압 신호에 응답하여 턴온된 채로 유지되고, 제1 풀다운 노드(PD1) 및 제2 풀다운 노드(PD2)는 저레벨에 있다. 이 때에, 제16 TFT(T16), 제19 TFT(T19), 및 제22 TFT(T22)는 제1 풀다운 노드(PD1)에서의 전압 신호에 응답하여 턴오프되고, 제17 TFT(T17), 제20 TFT(T20), 및 제23 TFT(T23)는 제2 풀다운 노드(PD2)에서의 전압 신호에 응답하여 턴오프된다.
- [0104] 그러므로, 이 때에, 제1 출력 단자(OT1(n))에서의 출력 신호(OUTPUT(n)), 제2 출력 단자(OT2(n))에서의 출력 신호(OUTPUT(n)), 및 제3 출력 단자(OT3(n))에서의 출력 신호(OUTPUT(n))는 고레벨에 있다.
- [0105] 한편, 제24 TFT(T24)는 제2 출력 단자(OT2(n))에서의 전압 신호에 응답하여 턴온되어 제2 TFT(T2)의 소스에서의 전위, 제12 TFT(T12)의 드레인에서의 전위, 및 제14 TFT(T14)의 드레인에서의 전위는 증가하며, 이로써 제2 TFT(T2), 제12 TFT(T12), 및 제14 TFT(T14)는 암전류들이 풀업 노드(PU)를 방전하는 것을 방지하기 위해 완전히 턴오프된다.
- [0106] 제4 국면(S4) 동안, 제1 클럭 신호(CK)는 고레벨에 있고, 제2 클럭 신호(CKB)는 저레벨에 있고, OUTPUT(n-1)는 저레벨에 있고, OUTPUT(n+1)는 고레벨에 있다.
- [0107] OUTPUT(n+1)가 고레벨에 있기 때문에, 제6 TFT(T6), 제7 TFT(T7), 제8 TFT(T8), 및 제9 TFT(T9)는 턴오프된다. 제1 클럭 신호(CK)가 고레벨에 있어서 제1 클럭 신호(CK)를 제1 풀다운 노드(PD1)에 제공하기 때문에 제4 TFT(T4)는 턴온되고, 제1 풀다운 노드(PD1)는 고레벨로 증가한다. 제11 TFT(T11), 제12 TFT(T12), 제13 TFT(T13), 제16 TFT(T16), 제19 TFT(T19), 및 제22 TFT(T22)는 제1 풀다운 노드(PD1)에서의 전압 신호에 응답하여 턴온되고, 제12 TFT(T12) 및 제13 TFT(T13)는 풀업 노드(PU)를 방전하고, 풀업 노드(PU)는 저레벨로 신속히 감소하고; 제11 TFT(T11)는 제1 저전압 신호(Vg1\_1)를 제2 풀다운 노드(PD2)에 제공하고, 제2 풀다운 노드(PD2)는 저레벨로 유지되고; 그리고 제16 TFT(T16)는 제2 저전압 신호(Vg1\_2)를 제1 출력 단자(OT1(n))에 제공하고, 제19 TFT(T19)는 제2 저전압 신호(Vg1\_2)를 제2 출력 단자(OT2(n))에 제공하고, 그리고 제22 TFT(T22)는 제1 저전압 신호(Vg1\_1)를 제3 출력 단자(OT3(n))에 제공한다.
- [0108] 그러므로, 이 때에, 제1 출력 단자(OT1(n))에서의 출력 신호(OUTPUT(n)), 제2 출력 단자(OT2(n))에서의 출력 신호(OUTPUT(n)), 및 제3 출력 단자(OT3(n))에서의 출력 신호(OUTPUT(n))는 저레벨에 있다.
- [0109] 제5 국면(S5) 동안, 제1 클럭 신호(CK)는 저레벨에 있고, 제2 클럭 신호(CKB)는 고레벨에 있고, OUTPUT(n-1)는 저레벨에 있고, OUTPUT(n+1)는 고레벨에 있다.
- [0110] 제2 클럭 신호(CKB)가 고레벨에 있기 때문에 제5 TFT(T5)는 턴온되고, 제8 TFT(T8) 및 제9 TFT(T9)는 풀업 노드(PU)에서의 전압 신호에 응답하여 턴오프된 채로 유지되고, 제2 풀다운 노드(PD2)는 고레벨로 증가한다. 제10 TFT(T10), 제14 TFT(T14), 제15 TFT(T15), 제17 TFT(T17), 제20 TFT(T20), 및 제23 TFT(T23)는 제2 풀다운 노드(PD2)에서의 전압 신호에 응답하여 턴온되고, 제10 TFT(T10)는 제1 저전압 신호(Vg1\_1)를 제1 풀다운 노드(PD1)에 제공하고, 그리고 제1 풀다운 노드(PD1)는 저레벨로 유지되고; 제14 TFT(T14) 및 제15 TFT(T15)는 풀업 노드(PU)를 지속적으로 방전하고, 그리고 풀업 노드(PU)는 저레벨로 유지되어 제3 TFT(T3), 제18 TFT(T18), 및 제21 TFT(T21)는 턴오프되고; 제17 TFT(T17)는 제2 저전압 신호(Vg1\_2)를 제1 출력 단자(OT1(n))에 제공하고, 제20 TFT(T20)는 제2 저전압 신호(Vg1\_2)를 제2 출력 단자(OT2(n))에 제공하고, 제23 TFT(T23)는 제1 저전

압 신호(Vg1\_1)를 제3 출력 단자(OT3(n))에 제공한다.

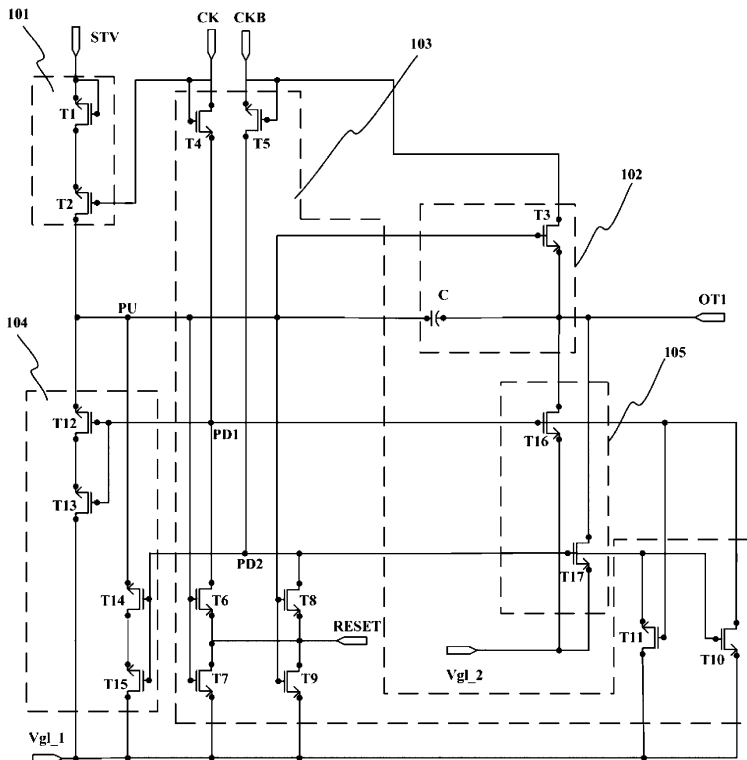
[0111] 그러므로, 이 때에, 제1 출력 단자(OT1(n))에서의 출력 신호(OUTPUT(n)), 제2 출력 단자(OT2(n))에서의 출력 신호(OUTPUT(n)), 및 제3 출력 단자(OT3(n))에서의 출력 신호(OUTPUT(n))는 모두 저레벨에 있다.

[0112] 요약하면, 본 개시의 실시예들에서의 시프트 레지스터 유닛에서, 풀다운 구동 모듈은 제1 클럭 신호 입력 단자 및 제2 클럭 신호 입력 단자에 연결되고, 제1 클럭 신호에 응답하여 제1 클럭 신호를 제1 풀다운 노드에 제공하고, 제2 클럭 신호에 응답하여 제2 클럭 신호를 제2 풀다운 노드에 제공하고; 풀업 노드에서의 전압 신호에 응답하여 제1 풀다운 노드 및 제2 풀다운 노드에 제1 저전압 신호를 제공하고; 제1 풀다운 노드에서의 전압 신호에 응답하여 제1 저전압 신호를 제2 풀다운 노드에 제공하고; 그리고 제2 풀다운 노드에서의 전압 신호에 응답하여 제1 저전압 신호를 제1 풀다운 노드에 제공하도록 구성된다. 여기에서, 제1 풀다운 노드 및 제2 풀다운 노드는 풀다운 구동 모듈과 풀다운 모듈 사이의 연결 지점들이다. 비-출력 국면 동안, 제1 풀다운 노드에서의 전압 신호 및 제2 풀다운 노드에서의 전압 신호는 소자들의 임계 전압들에서의 드리프트들에 의해 일어나는 출력 오류들을 효과적으로 억제하기 위해 AC 신호들이다. 한편, 제1 풀다운 노드에서의 전압 신호와 제2 풀다운 노드에서의 전압 신호는 상호 보완적이어서 제1 출력 방전 모듈은 항상 비-출력 국면 동안 제1 출력 단자를 방전하며, 이로써 제1 출력 단자를 풀다운하는 동작에 존재하는 인터벌에 의해 일어나는 출력 오류를 제거한다.

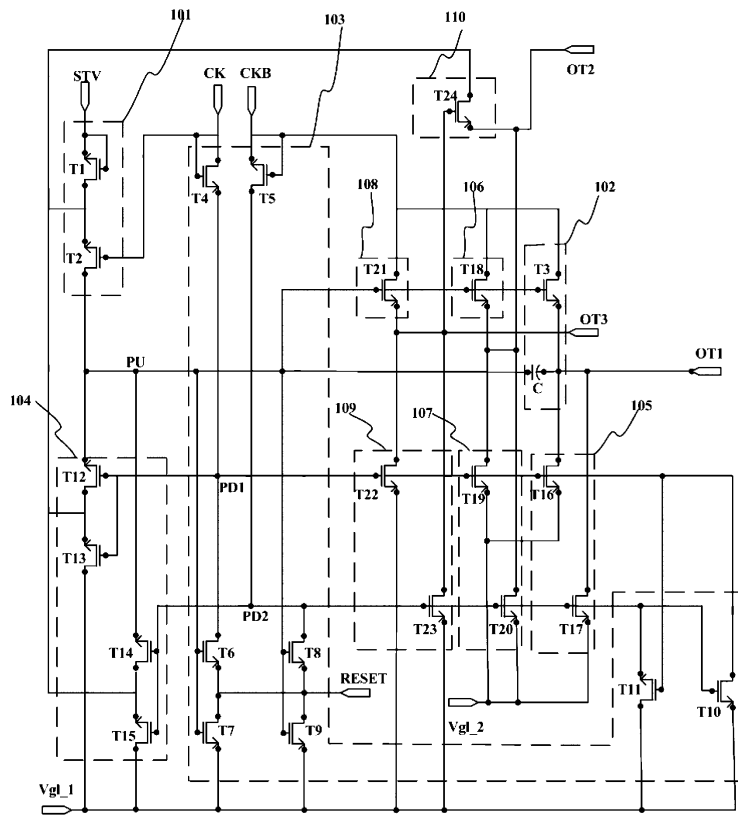
[0113] 당업자에게는 다음의 청구항에 의해 정의되는 바와 같은 본 개시의 사상 및 범위에서 벗어나지 않고, 전술한 실시예들에 대한 다양한 변형 및 변경이 가능할 수 있다는 점이 자명할 것이다. 이러한 변형 및 변경은 본 개시의 사상 및 범위 내에 포함된다.

**도면**

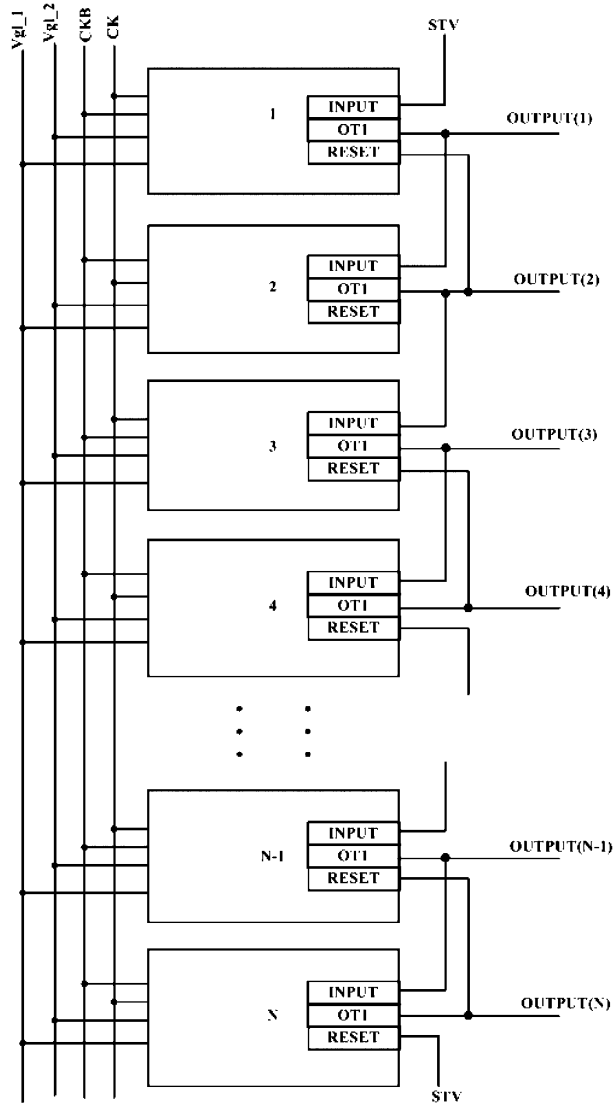
**도면1**



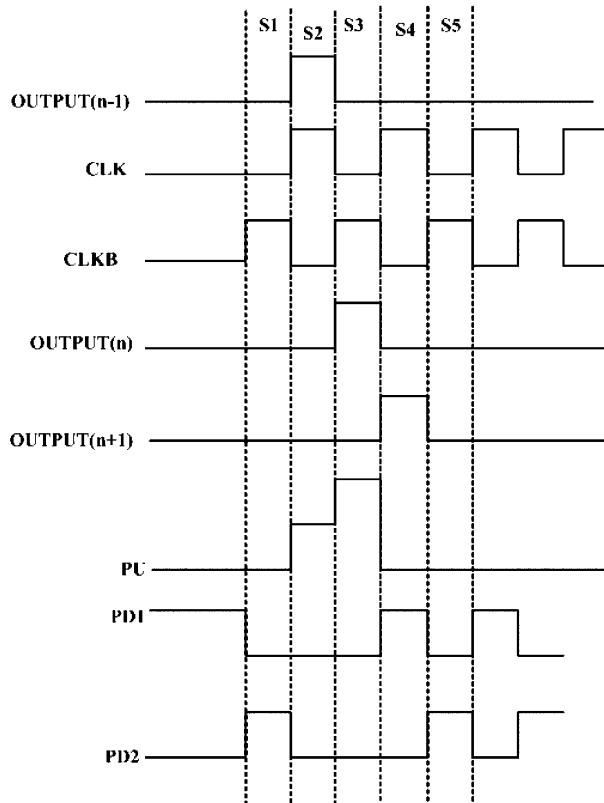
도면2



도면3



도면4



도면5

