

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成20年7月24日(2008.7.24)

【公表番号】特表2008-511989(P2008-511989A)

【公表日】平成20年4月17日(2008.4.17)

【年通号数】公開・登録公報2008-015

【出願番号】特願2007-529890(P2007-529890)

【国際特許分類】

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 21/761 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

H 0 1 L 27/06 1 0 2 A

H 0 1 L 29/78 3 0 1 G

H 0 1 L 27/08 3 3 1 D

H 0 1 L 21/76 J

H 0 1 L 29/78 3 0 1 X

H 0 1 L 27/04 C

【手続補正書】

【提出日】平成20年5月30日(2008.5.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の導電型の半導体基板であって、前記半導体基板は、該半導体基板の上部領域の下方に配置された第 2 の導電型のドープ領域を含み、前記第 1 の導電型は、前記第 2 の導電型とは異なる、第 1 の導電型の半導体基板と、

前記半導体基板の前記上部領域内に配置されたウェル領域であって、前記ウェル領域は、前記第 2 の導電型の外側ウェル領域と、前記第 1 の導電型の内側ウェル領域とを含み、前記ウェル領域のウェルの各々は、分離領域によって上面で分離される、ウェル領域と、

前記内側ウェル領域の上方に配置された、少なくとも前記第 1 の導電型のゲート導体を有する電界効果トランジスタとを備えるバラクタ構造体。

【請求項 2】

前記第 2 のドープ領域は、サブコレクタ又は分離ウェルである、請求項 1 に記載のバラクタ構造体。

【請求項 3】

各々のウェル領域は、隣接するウェル領域が互いに接触状態にあるように、前記分離領域の下方に延びる、請求項 1 に記載のバラクタ構造体。

【請求項 4】

前記半導体基板の前記上部領域は、エピタキシャル半導体層を含む、請求項 1 に記載の

バラクタ構造体。

【請求項 5】

前記電界効果トランジスタは、前記ゲート導体の下方に配置されたゲート誘電体と、前記ゲート導体上に配置されたハード・マスクと、該ゲート導体の側壁上に配置された少なくとも 1 つのスペーサと、隣接するソース/ドレイン領域とをさらに備える、請求項 1 に記載のバラクタ構造体。

【請求項 6】

前記ゲート導体はポリシリコンを含む、請求項 1 に記載のバラクタ構造体。

【請求項 7】

半導体基板の上部領域の下方に配置された、 n -ドープ領域を含む p -型半導体基板と

、
前記半導体基板の前記上部領域内に配置されたウェル領域であって、前記ウェル領域は、外側 N -ウェル領域及び内側 P -ウェル領域を含み、該ウェル領域のウェルの各々は、分離領域によって上面で分離される、ウェル領域と、

前記内側 P -ウェル領域の上方に配置された、少なくとも p -型ゲート導体を有する電界効果トランジスタと
を備えるバラクタ構造体。

【請求項 8】

前記 n -ドープ領域は、サブコレクタ又は分離ウェルを含む、請求項 7 に記載のバラクタ構造体。

【請求項 9】

各々のウェル領域は、隣接するウェル領域が互いに接触状態にあるように、分離領域の下方に延びる、請求項 7 に記載のバラクタ構造体。

【請求項 10】

前記基板の前記上部領域は、エピタキシャル半導体層を含む、請求項 7 に記載のバラクタ構造体。

【請求項 11】

前記電界効果トランジスタは、前記ゲート導体の下方に配置されたゲート誘電体と、前記ゲート導体上に配置されたハード・マスクと、前記ゲート導体の側壁上に配置された少なくとも 1 つのスペーサと、隣接するソース/ドレイン領域とをさらに備える、請求項 7 に記載のバラクタ構造体。

【請求項 12】

前記ゲート導体は、ポリシリコンを含む、請求項 7 に記載のバラクタ構造体。

【請求項 13】

バラクタ構造体を製造する方法であって、

第 1 の導電型の半導体基板を含む構造体を準備するステップと、

前記半導体基板の前記上部領域内に複数の分離領域を形成するステップと、

前記半導体基板の前記上部領域内にウェル領域を形成するステップであって、前記ウェル領域は、前記第 1 の導電型とは異なる第 2 の導電型の外側ウェル領域と、該第 1 の導電型の内側ウェル領域とを含み、前記ウェル領域のウェルの各々は、分離領域によって上面で分離される、ステップと、

前記内側ウェル領域の上方に、少なくとも前記第 1 の導電型のゲート導体を有する電界効果トランジスタを形成するステップであって、前記第 2 の導電型のドープ領域は、前記複数の分離領域を形成する前又は直後に、前記半導体基板の上部領域内に形成される、ステップと

を含む方法。

【請求項 14】

前記ウェル領域を形成するステップは、マスク・イオン注入プロセスを含む、請求項 13 に記載の方法。