

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号  
特開2016-189190  
(P2016-189190A)

(43) 公開日 平成28年11月4日(2016.11.4)

(51) Int.Cl.	F I	テーマコード (参考)
GO6F 3/041 (2006.01)	GO6F 3/041 412	2H189
HO1L 21/336 (2006.01)	HO1L 29/78 612Z	5F110
HO1L 29/786 (2006.01)	GO2F 1/1333	
GO2F 1/1333 (2006.01)	GO6F 3/044 128	
GO6F 3/044 (2006.01)		

審査請求 未請求 請求項の数 6 O L (全 91 頁)

(21) 出願番号	特願2016-58073 (P2016-58073)	(71) 出願人	000153878
(22) 出願日	平成28年3月23日 (2016. 3. 23)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2015-66887 (P2015-66887)		神奈川県厚木市長谷398番地
(32) 優先日	平成27年3月27日 (2015. 3. 27)	(72) 発明者	木村 肇
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2015-81398 (P2015-81398)		半導体エネルギー研究所内
(32) 優先日	平成27年4月13日 (2015. 4. 13)	(72) 発明者	山崎 舜平
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		Fターム(参考)	2H189 JA14 LA03 LA10 LA28 LA31

最終頁に続く

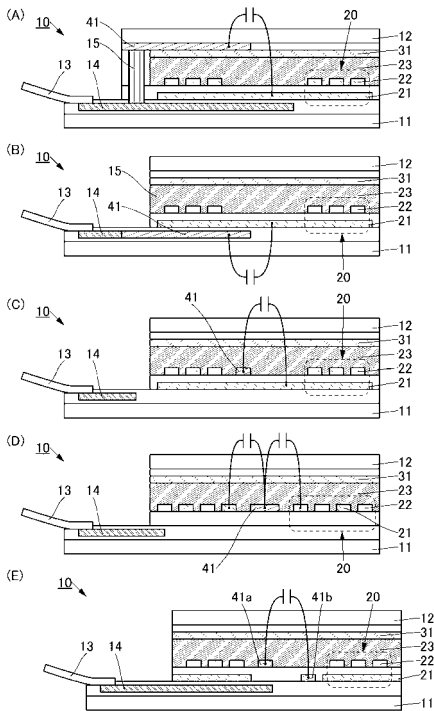
(54) 【発明の名称】 タッチパネル

(57) 【要約】

【課題】厚さの薄いタッチパネルを提供する。または、構成が簡素化したタッチパネルを提供する。または、電子機器に組み込みやすいタッチパネルを提供する。

【解決手段】第1の基板と、第2の基板と、第1の導電層と、第2の導電層と、第3の導電層と、第4の導電層と、液晶と、FPCと、を備えるタッチパネルとする。第1の導電層は、画素電極としての機能を有する。第2の導電層は、共通電極としての機能を有する。第3の導電層及び第4の導電層は、タッチセンサの電極としての機能を有する。FPCは第4の導電層と電気的に接続する。第1の導電層、第2の導電層、第3の導電層、第4の導電層、及び液晶は、第1の基板と第2の基板の間に位置し、第1の導電層、第2の導電層、及び第3の導電層は、第1の基板に設けられ、FPCが第1の基板に設けられている。

【選択図】 図7



**【特許請求の範囲】****【請求項 1】**

第 1 の基板と、第 2 の基板と、第 1 の導電層と、第 2 の導電層と、第 3 の導電層と、第 4 の導電層と、液晶と、F P C と、を備えるタッチパネルであって、

前記第 1 の導電層は、画素電極としての機能を有し、

前記第 2 の導電層は、共通電極としての機能を有し、

前記第 3 の導電層及び前記第 4 の導電層は、タッチセンサの電極としての機能を有し、

前記 F P C は前記第 4 の導電層と電氣的に接続し、

前記第 1 の導電層、前記第 2 の導電層、前記第 3 の導電層、前記第 4 の導電層、及び前記液晶は、前記第 1 の基板と前記第 2 の基板の間に位置し、

前記第 1 の導電層、前記第 2 の導電層、及び前記第 3 の導電層は、前記第 1 の基板に設けられ、

前記 F P C が前記第 1 の基板に設けられた、

タッチパネル。

10

**【請求項 2】**

請求項 1 において、

第 5 の導電層と、接続体と、を有し、

前記第 5 の導電層は前記第 1 の基板に設けられ、

前記第 4 の導電層は、前記第 2 の基板に設けられ、

前記第 5 の導電層と前記第 4 の導電層とは、前記接続体を介して電氣的に接続する、

タッチパネル。

20

**【請求項 3】**

請求項 1 において、

前記第 4 の導電層は前記第 1 の基板に設けられ、

前記第 3 の導電層及び前記第 4 の導電層のいずれか一方が、前記第 2 の導電層と同一面上に設けられた、

タッチパネル。

**【請求項 4】**

請求項 1 において、

前記第 4 の導電層は前記第 1 の基板に設けられ、

前記第 3 の導電層は、前記第 1 の導電層または前記第 2 の導電層と同一面上に設けられ

30

、

前記第 4 の導電層は、前記第 1 の導電層または前記第 2 の導電層と同一面上に設けられた、

タッチパネル。

**【請求項 5】**

請求項 1 において、

前記第 4 の導電層は前記第 1 の基板に設けられ、

前記第 2 の導電層が、前記第 3 の導電層または前記第 4 の導電層のいずれか一方と一体に設けられた、

タッチパネル。

40

**【請求項 6】**

請求項 1 において、

前記第 4 の導電層は前記第 1 の基板に設けられ、

前記第 1 の導電層が、前記第 3 の導電層または前記第 4 の導電層のいずれか一方と一体に設けられた、

タッチパネル。

**【発明の詳細な説明】****【技術分野】****【0001】**

50

本発明の一態様は、入力装置に関する。本発明の一態様は、表示装置に関する。本発明の一態様は、入出力装置に関する。本発明の一態様は、タッチパネルに関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、又は、製造方法に関する。本発明の一態様は、プロセス、マシン、マニファクチャ、又は、組成物（コンポジション・オブ・マター）に関する。そのため、より具体的に本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又は、それらの製造方法、を一例として挙げることができる。

【0003】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、入力装置、入出力装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は、半導体装置を有している場合がある。

【背景技術】

【0004】

近年、位置入力手段としてタッチセンサを搭載した表示装置（または表示モジュール）が実用化されている。タッチセンサを搭載した表示装置（または表示モジュール）は、タッチパネル、またはタッチスクリーンなどと呼ばれている（以下、これを単に「タッチパネル」とも呼ぶ）。なお、表示装置を有しておらず、タッチセンサのみで構成されている部材に対して、そのような部材のことをタッチパネルと呼ぶ場合もある。または、タッチセンサを搭載した表示装置は、タッチセンサ付表示装置、表示装置付タッチパネル、または、表示モジュール、などとも呼ばれる場合がある。また、表示装置の内部にタッチセンサが組み込まれている場合には、インセル型タッチセンサ（またはインセル型タッチセンサ付表示装置）、または、オンセル型タッチセンサ（またはオンセル型タッチセンサ付表示装置）などとも呼ばれる場合がある。インセル型タッチセンサは、例えば、液晶素子で用いられる電極をタッチセンサ用の電極としても用いているものである。一方、オンセル型タッチセンサは、例えば、対向基板の上側（表示素子が設けられていない面側）に、タッチセンサ用の電極が形成されているものである。例えば、これらのタッチパネルなどを備える携帯情報端末としては、スマートフォン、タブレット端末などがある。

【0005】

表示装置の一つとして、液晶素子を備える液晶表示装置がある。例えば、画素電極をマトリクス状に配置し、画素電極の各々に接続するスイッチング素子としてトランジスタを用いたアクティブマトリクス型液晶表示装置が注目を集めている。

【0006】

例えば、画素電極の各々に接続するスイッチング素子として、金属酸化物をチャネル形成領域とするトランジスタを用いるアクティブマトリクス型液晶表示装置が知られている（特許文献1及び特許文献2）。

【0007】

また特許文献3乃至6には、液晶素子が適用されたタッチパネルが記載されている。

【0008】

液晶表示装置には大きく分けて透過型と反射型の二種類のタイプが知られている。

【0009】

透過型の液晶表示装置は、冷陰極蛍光ランプやLEDなどのバックライトを用い、液晶の光学変調作用を利用して、バックライトからの光が液晶を透過して液晶表示装置外部に出力される状態と、出力されない状態とを選択し、明と暗の表示を行わせ、さらにそれらを組み合わせることで、画像表示を行うものである。

【0010】

また、反射型の液晶表示装置は、液晶の光学変調作用を利用して、外光、即ち入射光が

10

20

30

40

50

画素電極で反射して装置外部に出力される状態と、入射光が装置外部に出力されない状態とを選択し、明と暗の表示を行わせ、さらにそれらを組み合わせることで、画像表示を行うものである。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【特許文献3】特開2011-197685号公報

【特許文献4】特開2014-44537号公報

【特許文献5】特開2014-178847号公報

【特許文献6】米国特許第7920129号明細書

【発明の概要】

【発明が解決しようとする課題】

【0012】

表示パネル（表示装置、または、表示モジュール）に、ユーザーインターフェースとして画面に指やスタイラス等で触れることで入力する機能を付加したタッチパネルが望まれている。

【0013】

また、タッチパネルが適用された電子機器の薄型化、軽量化が求められている。そのため、タッチパネル自体の薄型化、軽量化が求められている。

【0014】

例えば、タッチパネルは、表示パネルの視認側（表示面側）、つまり、人の指やペンが触る側にタッチセンサを設ける構成とすることができる。

【0015】

例えばタッチパネル（または表示モジュール）の構成として、表示パネルの表示面側にタッチセンサを有する基板を貼り付ける構成とすることができる。つまり、タッチパネル（または表示モジュール）の構成として、表示パネルとタッチセンサとが別々の部品として構成されており、表示パネルとタッチセンサと貼り合わせるような構成とすることができる。しかしながら、このような構成の場合、表示パネル用の基板とは別に、タッチセンサ用の基板が必要であるため、タッチパネル（または表示モジュール）の厚さを薄くできない、部品点数が多くなる、などの問題があった。

【0016】

本発明の一態様は、厚さの薄いタッチパネル（またはタッチセンサ付表示装置）などを提供することを課題の一とする。または、構成が簡素化したタッチパネル（またはタッチセンサ付表示装置）などを提供することを課題の一とする。または、電子機器に組み込みやすいタッチパネル（またはタッチセンサ付表示装置）などを提供することを課題の一とする。または、部品点数の少ないタッチパネル（またはタッチセンサ付表示装置）などを提供することを課題の一とする。または、軽量のタッチパネル（またはタッチセンサ付表示装置）などを提供することを課題の一とする。

【0017】

または、新規な入力装置を提供することを課題の一とする。または、新規な入出力装置を提供することを課題の一とする。または、新規な表示装置を提供することを課題の一とする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0018】

本発明の一態様は、第1の基板と、第2の基板と、第1の導電層と、第2の導電層と、

10

20

30

40

50

第 3 の導電層と、第 4 の導電層と、液晶と、F P C と、を備えるタッチパネルである。第 1 の導電層は、画素電極としての機能を有する。第 2 の導電層は、共通電極としての機能を有する。第 3 の導電層及び第 4 の導電層は、タッチセンサの電極としての機能を有する。F P C は第 4 の導電層と電氣的に接続する。第 1 の導電層、第 2 の導電層、第 3 の導電層、第 4 の導電層、及び液晶は、第 1 の基板と第 2 の基板の間に位置し、第 1 の導電層、第 2 の導電層、及び第 3 の導電層は、第 1 の基板に設けられ、F P C が第 1 の基板に設けられている。

【 0 0 1 9 】

また、上記において、第 5 の導電層と、接続体と、を有し、第 5 の導電層は第 1 の基板に設けられ、第 4 の導電層は、第 2 の基板に設けられ、第 5 の導電層と第 4 の導電層とは、接続体を介して電氣的に接続する構成とすることが好ましい。

10

【 0 0 2 0 】

または、第 4 の導電層は第 1 の基板に設けられていることが好ましい。

【 0 0 2 1 】

このとき、第 3 の導電層及び第 4 の導電層のいずれか一方が、第 2 の導電層と同一面上に設けられていることが好ましい。

【 0 0 2 2 】

または、第 3 の導電層は、第 1 の導電層または第 2 の導電層と同一面上に設けられ、第 4 の導電層は、第 1 の導電層または第 2 の導電層と同一面上に設けられていることが好ましい。

20

【 0 0 2 3 】

または、第 2 の導電層が、第 3 の導電層または第 4 の導電層のいずれか一方と一体に設けられていることが好ましい。

【 0 0 2 4 】

または、第 1 の導電層が、第 3 の導電層または第 4 の導電層のいずれか一方と一体に設けられていることが好ましい。

【 発明の効果 】

【 0 0 2 5 】

本発明の一態様によれば、厚さの薄いタッチパネル（またはタッチセンサ付表示装置）などを提供できる。または、構成が簡素化したタッチパネル（またはタッチセンサ付表示装置）などを提供できる。または、電子機器に組み込みやすいタッチパネル（またはタッチセンサ付表示装置）などを提供できる。または、部品点数の少ないタッチパネル（またはタッチセンサ付表示装置）などを提供できる。または、軽量のタッチパネル（またはタッチセンサ付表示装置）などを提供できる。または、新規な入力装置を提供できる。または、新規な入出力装置を提供できる。または、新規な表示装置を提供できる。なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

30

【 図面の簡単な説明 】

40

【 0 0 2 6 】

【 図 1 】実施の形態に係る、タッチセンサのブロック図及びタイミングチャート図。

【 図 2 】実施の形態に係る、タッチセンサを備える画素を説明する図。

【 図 3 】実施の形態に係る、タッチセンサを備える画素を説明する図。

【 図 4 】実施の形態に係る、タッチセンサを備える画素を説明する図。

【 図 5 】実施の形態に係る、タッチセンサを備える画素を説明する図。

【 図 6 】実施の形態に係る、タッチセンサ及び画素の動作を説明する図。

【 図 7 】実施の形態に係る、タッチパネルの構成例。

【 図 8 】実施の形態に係る、タッチパネルの構成例。

【 図 9 】実施の形態に係る、タッチパネルの構成例。

50

[illegible]

- 【図 6 0】実施の形態に係る、タッチパネルの構成例。
- 【図 6 1】実施の形態に係る、タッチパネルの構成例。
- 【図 6 2】実施の形態に係る、タッチパネルの構成例。
- 【図 6 3】実施の形態に係る、タッチパネルの構成例。
- 【図 6 4】実施の形態に係る、タッチパネルの構成例。
- 【図 6 5】実施の形態に係る、タッチパネルの構成例。
- 【図 6 6】実施の形態に係る、タッチパネルの構成例。
- 【図 6 7】実施の形態に係る、タッチパネルの構成例。
- 【図 6 8】実施の形態に係る、タッチパネルの構成例。
- 【図 6 9】実施の形態に係る、タッチパネルの構成例。 10
- 【図 7 0】実施の形態に係る、タッチパネルの構成例。
- 【図 7 1】実施の形態に係る、タッチパネルの構成例。
- 【図 7 2】実施の形態に係る、タッチパネルの構成例。
- 【図 7 3】実施の形態に係る、タッチパネルの構成例。
- 【図 7 4】実施の形態に係る、タッチパネルの構成例。
- 【図 7 5】実施の形態に係る、タッチパネルの構成例。
- 【図 7 6】実施の形態に係る、タッチパネルの構成例。
- 【図 7 7】実施の形態に係る、タッチパネルの構成例。
- 【図 7 8】実施の形態に係る、タッチパネルの構成例。
- 【図 7 9】実施の形態に係る、タッチパネルの構成例。 20
- 【図 8 0】表示装置の一例を説明するための模式図。
- 【図 8 1】トランジスタの一形態を説明する断面図。
- 【図 8 2】トランジスタの一形態を説明する断面図。
- 【図 8 3】トランジスタの一形態を説明する断面図。
- 【図 8 4】トランジスタの一形態を説明する平面図および断面図。
- 【図 8 5】トランジスタの一形態を説明する平面図および断面図。
- 【図 8 6】トランジスタの一形態を説明する平面図および断面図。
- 【図 8 7】トランジスタの一形態を説明する平面図および断面図。
- 【図 8 8】トランジスタの一形態を説明する平面図および断面図。
- 【図 8 9】エネルギーバンド構造を説明する図。 30
- 【図 9 0】実施の形態に係る表示モジュールを説明する図。
- 【図 9 1】実施の形態に係る電子機器を説明する図。
- 【図 9 2】実施の形態に係る電子機器を説明する図。
- 【発明を実施するための形態】
- 【0027】
- 実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。
- 【0028】 40
- なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。
- 【0029】
- なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。
- 【0030】
- なお、本明細書等における「第 1」、「第 2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。 50

## 【 0 0 3 1 】

なお、「膜」という言葉と、「層」という言葉とは、互いに入れ替えることが可能である場合がある。例えば、「導電層」という用語を、「導電膜」という用語に変更することや、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

## 【 0 0 3 2 】

## ( 実施の形態 1 )

本実施の形態では、本発明の一態様の入力装置または入出力装置の駆動方法、モード、及び構成例について図面を参照して説明する。

## 【 0 0 3 3 】

10

## [ センサの検知方法の例 ]

図 1 ( A ) は、相互容量方式のタッチセンサの構成を示すブロック図である。図 1 ( A ) では、パルス電圧出力回路 6 0 1、電流検知回路 6 0 2 を示している。なお図 1 ( A ) では、一例として、パルス電圧が与えられる電極 6 2 1、電流の変化を検知する電極 6 2 2 をそれぞれ、X 1 - X 6、Y 1 - Y 6 のそれぞれ 6 本の配線として示している。なお、電極の数は、これに限定されない。また図 1 ( A ) は、電極 6 2 1 および電極 6 2 2 が重畳すること、または、電極 6 2 1 および電極 6 2 2 が近接して配置されることで形成される容量 6 0 3 を図示している。なお、電極 6 2 1 と電極 6 2 2 とはその機能を互いに置き換えてもよい。

## 【 0 0 3 4 】

20

パルス電圧出力回路 6 0 1 は、一例としては、X 1 - X 6 の配線に順にパルス電圧を印加するための回路である。X 1 - X 6 の配線にパルス電圧が印加されることで、容量 6 0 3 を形成する電極 6 2 1 および電極 6 2 2 の間では、電界が生じる。そして、パルス電圧により、容量 6 0 3 に電流が流れる。この電極間に生じる電界が、指やペンなどのタッチによる遮蔽等により変化する。つまり、指やペンなどのタッチなどにより、容量 6 0 3 の容量値が変化する。このように、指やペンなどのタッチなどにより、容量値に変化を生じさせることを利用して、被検知体の接近、または接触を検出することができる。

## 【 0 0 3 5 】

電流検知回路 6 0 2 は、容量 6 0 3 の容量値の変化による、Y 1 - Y 6 の配線での電流の変化を検知するための回路である。Y 1 - Y 6 の配線では、被検知体の接近、または接触がないと検知される電流値に変化はないが、検出する被検知体の接近、または接触により容量値が減少する場合には電流値が減少する変化を検知する。なお電流の検知は、電流量の総和を検知してもよい。その場合には、積分回路等を用いて検知を行えばよい。または、電流のピーク値を検知してもよい。その場合には、電流を電圧に変換して、電圧値のピーク値を検知してもよい。

30

## 【 0 0 3 6 】

次いで図 1 ( B ) には、図 1 ( A ) で示す相互容量方式のタッチセンサにおける入出力波形のタイミングチャートを示す。図 1 ( B ) では、1 フレーム期間で各行列での被検知体の検出を行うものとする。また図 1 ( B ) では、被検知体を検出しない場合 ( 非タッチ ) と被検知体を検出する場合 ( タッチ ) との 2 つの場合について示している。なお Y 1 - Y 6 の配線については、検知される電流値に対応する電圧値とした波形を示している。なお、表示パネルにおいても、表示動作が行われている。この表示動作のタイミングと、タッチセンサのタイミングとは、同期させて動作することが望ましい。なお、図 1 ( B ) では、表示動作とは同期させていない場合の例を示す。

40

## 【 0 0 3 7 】

X 1 - X 6 の配線には、順にパルス電圧が与えられ、該パルス電圧にしたがって Y 1 - Y 6 の配線での波形が変化する。被検知体の接近または接触がない場合には、X 1 - X 6 の配線の電圧の変化に応じて Y 1 - Y 6 の波形が一様に変化する。一方、被検知体が接近または接触する箇所では、電流値が減少するため、これに対応する電圧値の波形も変化する。

50



## 【 0 0 3 8 】

このように、容量値の変化を検知することにより、被検知体の接近または接触を検出することができる。なお、指やペンなどの被検知体は、タッチセンサやタッチパネルに接触せず、接近した場合でも、信号が検知される場合がある。

## 【 0 0 3 9 】

またパルス電圧出力回路 6 0 1 及び電流検知回路 6 0 2 は、一例としては、1 個の I C チップの中に、形成されていることが望ましい。そして、その I C チップは、例えば、タッチパネルに実装されること、若しくは電子機器の筐体内の基板に実装されることが好ましい。また可撓性を有するタッチパネルとする場合には、曲げた部分では寄生容量が増大し、ノイズの影響が大きくなってしまう恐れがあるため、ノイズの影響を受けにくい駆動方法が適用された I C チップを用いることが好ましい。例えばシグナル - ノイズ比 ( S / N 比 ) を高める駆動方法が適用された I C チップを用いることが好ましい。

## 【 0 0 4 0 】

また、図 1 ( A ) ではタッチセンサとして配線の交差部に容量 6 0 3 のみを設けるパッシブマトリクス型のタッチセンサの構成を示したが、トランジスタと容量とを備えたアクティブマトリクス型のタッチセンサとしてもよい。

## 【 0 0 4 1 】

[ インセル型のタッチパネルの構成例 ]

ここでは、表示素子やトランジスタ等が設けられる基板上に、タッチセンサを構成する電極の少なくとも一方を配置する例について説明する。

## 【 0 0 4 2 】

以下では、複数の画素を有する表示部にタッチセンサを組み込んだタッチパネル ( いわゆるインセル型 ) の構成例について説明する。ここでは、画素に設けられる表示素子として、液晶素子を適用した例を示す。ただし、本発明の一態様は、これに限定されず、様々な表示素子を適用することができる。

## 【 0 0 4 3 】

図 2 ( A ) は、本構成例で例示するタッチパネルの表示部に設けられる画素回路の一部における等価回路図である。

## 【 0 0 4 4 】

一つの画素は少なくともトランジスタ 6 3 と液晶素子 6 4 を有する。なお、画素は、さらに、保持容量を有する場合もある。またトランジスタ 6 3 のゲートに配線 6 1 が、ソースまたはドレインの一方には配線 6 2 が、それぞれ電氣的に接続されている。

## 【 0 0 4 5 】

画素回路は、X 方向に延在する複数の配線 ( 例えば、配線 7 2 \_\_ 1、配線 7 2 \_\_ 2 ) と、Y 方向に延在する複数の配線 ( 例えば、配線 7 1 \_\_ 1、配線 7 1 \_\_ 2 ) を有し、これらは互いに交差して設けられている。そして、配線の間に容量が形成される。

## 【 0 0 4 6 】

また、一例としては、画素回路に設けられる画素のうち、一部の隣接する複数の画素は、それぞれに設けられる液晶素子の一方の電極が電氣的に接続され、一つのブロックを形成する。ここで、例えば、Y 方向に延在するライン状の複数のブロック ( 例えば、ブロック 6 5 \_\_ 1、6 5 \_\_ 2 ) が形成される。なお、図 2 ( A ) では、画素回路の一部のみを示しているが、実際にはこれらのブロックが X 方向に繰り返し配置される。ここで、液晶素子の一方の電極としては、一例としては、コモン電極、または、対向電極などがあげられる。一方、液晶素子の他方の電極としては、一例としては、画素電極などがあげられる。

## 【 0 0 4 7 】

このような構成とすることで、タッチセンサを構成する電極と、画素回路が有する液晶素子の一方の電極とを兼ねることができる。図 2 ( A ) では、配線 7 1 \_\_ 1、配線 7 1 \_\_ 2 は、液晶素子の一方の電極と、タッチセンサを構成する電極とを兼ねている。一方、配線 7 2 \_\_ 1、配線 7 2 \_\_ 2 は、タッチセンサを構成する電極として機能している。そのためタッチパネルの構成を簡略化できる。なお、図 2 ( A ) では、Y 方向に延在する複数の

10

20

30

40

50

配線（例えば、配線 7 1 \_\_ 1、配線 7 1 \_\_ 2）が、液晶素子の一方の電極と、タッチセンサを構成する電極とを兼ねていたが、本発明の一態様は、これに限定されない。例えば、X 方向に延在する複数の配線（例えば、配線 7 2 \_\_ 1、配線 7 2 \_\_ 2）が、液晶素子の一方の電極と、タッチセンサを構成する電極とを兼ねていてもよい。その場合の回路図の例を、図 3 に示す。

【 0 0 4 8 】

なお、図 2（A）および図 3 では、配線が、液晶素子の一方の電極と、タッチセンサを構成する電極とを兼ねている場合の例を示したが、本発明の一態様は、これに限定されない。液晶素子の一方の電極と、タッチセンサを構成する電極とは、それぞれ、別の配線で構成してもよい。例えば、図 2（B）に示すように、液晶素子 6 4 の一方の電極と電氣的に接続する配線 6 6 を有する構成としてもよい。このとき配線 6 6、液晶素子 6 4 を構成する一方の電極、または、液晶素子 6 4 を構成する他方の電極の少なくとも一つと、X 方向に延在する配線または Y 方向に延在する配線の少なくとも一つと、を同一の導電膜を加工して同時に形成することで、タッチパネルの作製工程を簡略化できる。例えば、配線 6 6 と配線 7 1 \_\_ 1 及び配線 7 1 \_\_ 2 を同時に形成してもよいし、または配線 6 6 と配線 7 2 \_\_ 1 及び配線 7 2 \_\_ 2 などと同時に形成してもよい。

【 0 0 4 9 】

なお、図 2（A）、図 2（B）および図 3 では、表示素子として、液晶素子を適用した例を示したが、本発明の一態様は、これに限定されない。表示素子として、発光素子を適用した場合の例を、図 4 および図 5 に示す。

【 0 0 5 0 】

図 6（A）は、X 方向に延在する複数の配線 7 2 と、Y 方向に延在する複数の配線 7 1 の接続構成を示した等価回路図である。なお、タッチセンサが、投影型であり、相互容量方式である場合を示している。Y 方向に延在する配線 7 1 の各々には、入力電圧（または、選択電圧）または共通電位（または、接地電位、もしくは、基準となる電位）を入力することができる。また、X 方向に延在する配線 7 2 の各々には接地電位（または、基準となる電位）を入力する、または配線 7 2 と検知回路と電氣的に接続することができる。なお、配線 7 1 と配線 7 2 とは入れ替えることが可能である。つまり、配線 7 1 と検知回路とを接続してもよい。

【 0 0 5 1 】

以下、図 6（B）、（C）を用いて、上述したタッチパネルの動作について説明する。

【 0 0 5 2 】

ここでは、一例として、1 フレーム期間を、書き込み期間と検知期間とに分ける。書き込み期間は画素への画像データの書き込みを行う期間であり、図 2 等で示す配線 6 1（ゲート線、または走査線ともいう）が順次選択される。一方、検知期間は、タッチセンサによるセンシングを行う期間であり、Y 方向に延在する配線 7 1 が順次選択され、入力電圧が入力される。

【 0 0 5 3 】

図 6（B）は、書き込み期間における等価回路図である。書き込み期間では、X 方向に延在する配線 7 2 と、Y 方向に延在する配線 7 1 の両方に、共通電位が入力される。

【 0 0 5 4 】

図 6（C）は、検知期間のある時点における等価回路図である。検知期間では、X 方向に延在する配線 7 2 の各々は、検知回路と導通する。また、Y 方向に延在する配線 7 1 のうち、選択されたものには入力電圧が入力され、それ以外のものには共通電位が入力される。

【 0 0 5 5 】

なお、ここで例示した駆動方法は、インセル方式だけでなく上記で例示したタッチパネルにも適用することができる。

【 0 0 5 6 】

このように、画像の書き込み期間とタッチセンサによるセンシングを行う期間とを、独

10

20

30

40

50

立して設けることが好ましい。例えば、表示の帰線期間にセンシングを行うことが好ましい。これにより、画素の書き込み時のノイズに起因するタッチセンサの感度の低下を抑制することができる。

【 0 0 5 7 】

[ タッチパネルの方式について ]

以下では、本発明の一態様のタッチパネルに適用可能ないくつかの方式について説明する。

【 0 0 5 8 】

なお、本明細書等において、タッチパネルは表示面に画像等を表示（出力）する機能と、表示面に指やスタイラスなどの被検知体が触れる、または接近することを検出するタッチセンサとしての機能と、を有する。したがってタッチパネルは入出力装置の一態様である。

10

【 0 0 5 9 】

また、本明細書等では、タッチパネルの基板に、例えば F P C ( F l e x i b l e P r i n t C i r c u i t ) もしくは T C P ( T a p e C a r r i e r P a c k a g e ) などのコネクタが取り付けられたもの、または基板に C O G ( C h i p O n G l a s s ) 方式により I C ( 集積回路 ) が実装されたものを、タッチパネルモジュール、表示モジュール、または単にタッチパネルと呼ぶ場合がある。

【 0 0 6 0 】

本発明の一態様に適用できる静電容量方式のタッチセンサは、一対の導電層を備える。一対の導電層間には容量が形成されている。一対の導電層に被検知体が触れる、または接近することにより一対の導電層間の容量の大きさが変化することを利用して、検出を行うことができる。

20

【 0 0 6 1 】

静電容量方式としては、表面型静電容量方式、投影型静電容量方式等がある。投影型静電容量方式としては、主に駆動方式の違いから、自己容量方式、相互容量方式などがある。相互容量方式を用いると、同時多点検出が可能となるため好ましい。ただし、自己容量方式を用いることも可能である。

【 0 0 6 2 】

また、本発明の一態様のタッチパネルが有する表示素子としては、液晶素子（縦電界方式、または、横電界方式）、M E M S ( M i c r o E l e c t r o M e c h a n i c a l S y s t e m ) を利用した光学素子、有機 E L ( E l e c t r o L u m i n e s c e n c e ) 素子や発光ダイオード ( L E D : L i g h t E m i t t i n g D i o d e ) 等の発光素子、電気泳動素子など、様々な表示素子を用いることができる。

30

【 0 0 6 3 】

ここで、一例として、タッチパネルに表示素子として横電界方式が適用された液晶素子を用いた透過型の液晶表示装置を適用することが好ましい。

【 0 0 6 4 】

本発明の一態様のタッチパネルは、一対の基板の間にタッチセンサを構成する一対の電極（導電層または配線ともいう）を挟持することにより、表示パネルとタッチセンサとが一体となった構成を有する。つまり、別の基板などにタッチセンサを形成するのではなく、表示素子やトランジスタが設けられている一対の基板に、タッチセンサを形成する。そのため、タッチパネルの厚さが低減され、軽量のタッチパネルを実現できる。

40

【 0 0 6 5 】

また、本発明の一態様のタッチパネルは、画素を駆動する信号を供給する F P C ( F l e x i b l e P r i n t C i r c u i t ) と、タッチセンサを駆動する F P C の両方を、一方の基板側に配置する。これにより、電子機器に組み込みやすく、また部品点数を削減することが可能となる。

【 0 0 6 6 】

図 7 ( A ) は、本発明の一態様のタッチパネル 10 の方式を説明する断面概略図である

50

。

## 【0067】

タッチパネル10は、基板11、基板12、FPC13、導電層14、液晶素子20、着色層31、導電層41等を有する。

## 【0068】

液晶素子20は、導電層21、導電層22及び液晶23により構成される。ここでは液晶素子20にFFS(Fringe Field Switching)モードが適用された液晶素子を用いた場合の例を示している。導電層21上には絶縁層を介して導電層22が配置されている。導電層22は、一例としては、櫛歯状の上面形状、またはスリットが設けられた上面形状(平面形状ともいう)を有する。導電層21および導電層22は、一方が共通電極として機能し、他方が画素電極として機能する。なお、表示素子として、発光素子などを用いる場合には、一例としては、導電層22は、櫛歯状の上面形状、または、スリットが設けられた上面形状を、有していない。

10

## 【0069】

タッチセンサは、基板12側に設けられた導電層41と、液晶素子20の一对の電極の一方として機能する導電層21との間に形成される容量を利用して検出することができる。ここで、一例としては、導電層41は基板12の基板11側の面(つまり、基板12の下側の面)に設けられていることが好ましい。

## 【0070】

基板12側に設けられた導電層41は、接続層15により基板11側に設けられた導電層14と電氣的に接続する。導電層14は基板11側に取り付けられたFPC13と電氣的に接続する。このような構成とすることで、1つの基板にタッチセンサを駆動するためのFPCと、液晶素子20を駆動するためのFPCの両方を配置することができる。

20

## 【0071】

ここで、タッチパネルの構成として、例えば基板12の基板11側とは反対側の面(つまり、基板12の上側の面)にタッチセンサの電極として機能する導電層を配置した場合、これと電氣的に接続するFPCを基板12に取り付ける必要がある。また図7(A)で示した接続層15を用いない場合であっても、導電層41と電氣的に接続するFPCは、基板12に取り付ける必要がある。また、基板11及び基板12とは異なる基板に、タッチセンサの電極として機能する導電層を配置する場合も、当該基板にFPCを取り付ける必要がある。したがってこのような構成では部品点数が増加する、また電子機器に組み込む際にFPCの位置により制限が生じてしまう場合がある。一方、本発明の一態様では、一对の基板の一方にのみFPCを配置することが可能であるため、部品点数を低減し、電子機器に組み込みやすい構成とすることができる。

30

## 【0072】

また、液晶素子20の一方の電極を、タッチセンサとして機能する一对の電極の少なくとも一方と兼ねることにより、工程を簡略化することができるため歩留りの向上できまた製造コストを低減することができる。

## 【0073】

図7(B)では、タッチセンサの電極として機能する導電層41を、基板11側に配置した例を示している。導電層41は、導電層14と電氣的に接続する。タッチセンサは、導電層41と、液晶素子20の一对の電極の一方(例えば、共通電極)として機能する導電層21との間に形成される容量を利用して検出することができる。このような構成とすることでも、FPC13を基板11側に配置することができる。またこのとき、基板11側の面をタッチ面とすると、より検出感度を高めることができるため好ましい。

40

## 【0074】

図7(C)に示す構成では、導電層41を導電層22と同一面上に配置した例を示している。また導電層41は図示しない領域で導電層14と電氣的に接続している。ここで、導電層41と導電層22とを同一の導電膜を加工して同時に形成されていることが好ましい。タッチセンサは、導電層41と導電層21の間に形成される容量を利用して検出する

50

ことができる。導電層 21 は、例えば、液晶素子 20 の共通電極としての機能と、タッチセンサの電極としての機能とを有している。

【0075】

図 7 (D) に示す構成は、液晶素子 20 に IPS (In - Plane - Switching) モードを適用した場合の例を示している。

【0076】

液晶素子 20 を構成する導電層 21 と導電層 22 とは同一面上に設けられている。導電層 21 と導電層 22 とは、それぞれ櫛歯状の形状を有しており、これらが噛み合うように配置されている。タッチセンサは、導電層 41 と導電層 21 の間に形成される容量を利用して検出することができる。導電層 21 は、例えば、液晶素子 20 の共通電極としての機能と、タッチセンサの電極として機能とを有している。

10

【0077】

またタッチセンサの一方の電極として機能する導電層 41 は、導電層 21 及び導電層 22 と同一面上に配置されている。また導電層 41 は図示しない領域で導電層 14 と電氣的に接続している。ここで導電層 41、導電層 21 及び導電層 22 は、これらが同一の導電膜を加工して同時に形成されていることが好ましい。

【0078】

図 7 (E) に示す構成では、FFS モードが適用された液晶素子 20 を適用した他の例を示している。タッチセンサは、導電層 41a と導電層 41b との間に形成される容量を利用して検出することができる。導電層 21 及び導電層 22 は、一方が液晶素子 20 の共通電極としての機能を有し、他方が液晶素子 20 の画素電極としての機能を有している。

20

【0079】

導電層 41a は導電層 22 と同一面上に設けられている。また導電層 41b は導電層 21 と同一面上に設けられている。ここで導電層 41a と導電層 22 とを同一の導電膜を加工して同時に形成することが好ましい。同様に導電層 41b と導電層 21 とを同一の導電膜を加工して同時に形成することが好ましい。このような構成とすることで、液晶素子 20 の一対の電極を形成する工程で、同時にタッチセンサを構成する一対の電極を形成することができるため、製造工程を増やすことなくタッチセンサとしての機能を有するタッチパネル 10 を作製することができる。

【0080】

30

図 8 (A) に示す構成では、FFS モードが適用された液晶素子 20 を適用した他の例を示している。タッチセンサは、導電層 41a と導電層 41b との間に形成される容量を利用して検出することができる。導電層 21 は、例えば、液晶素子 20 の共通電極としての機能を有している。

【0081】

導電層 41a および導電層 41b は導電層 22 と同一面上に設けられている。ここで導電層 41a と導電層 41b と導電層 22 とを同一の導電膜を加工して同時に形成することが好ましい。このような構成とすることで、液晶素子 20 の一方の電極を形成する工程で、同時にタッチセンサを構成する一対の電極を形成することができるため、製造工程を増やすことなくタッチセンサとしての機能を有するタッチパネル 10 を作製することができる。

40

【0082】

なお、導電層 41a は、導電層 21 と重なるように設けられているが、本発明の一態様は、これに限定されない。導電層 21 は、導電層 41a と重ならないように設けてもよい。その結果、導電層 41a の寄生容量を低減することができる。なお、導電層 41b の場合も同様に、導電層 21 は、導電層 41b と重ならないように設けてもよい。

【0083】

図 8 (B) に示す構成では、FFS モードが適用された液晶素子 20 を適用した他の例を示している。タッチセンサは、導電層 41a と導電層 41b との間に形成される容量を利用して検出することができる。導電層 21 及び導電層 22 は、一方が液晶素子 20 の共

50

通電極としての機能を有し、他方が液晶素子 20 の画素電極としての機能を有している。

【0084】

導電層 41a および導電層 41b は導電層 21 と同一面上に設けられている。ここで導電層 41a と導電層 41b と導電層 21 とを同一の導電膜を加工して同時に形成することが好ましい。このような構成とすることで、液晶素子 20 の一方の電極を形成する工程で、同時にタッチセンサを構成する一対の電極を形成することができるため、製造工程を増やすことなくタッチセンサとしての機能を有するタッチパネル 10 を作製することができる。

【0085】

図 8 (C) に示す構成では、FFS モードが適用された液晶素子 20 を適用した他の例を示している。タッチセンサは、導電層 41 と、液晶素子 20 の一対の電極の一方として機能する導電層 21 との間に形成される容量を利用して検出することができる。導電層 21 は、例えば、液晶素子 20 の共通電極としての機能と、タッチセンサの電極としての機能とを有している。

10

【0086】

導電層 41 は、導電層 21 と同一面上に設けられている。ここで導電層 41 と導電層 21 とを同一の導電膜を加工して同時に形成することが好ましい。このような構成とすることで、液晶素子 20 の一方の電極を形成する工程で、同時にタッチセンサを構成する一対の電極を形成することができるため、製造工程を増やすことなくタッチセンサとしての機能を有するタッチパネル 10 を作製することができる。

20

【0087】

図 9 に示す構成は、液晶素子 20 に IPS モードを適用した場合の例を示している。

【0088】

液晶素子 20 を構成する導電層 21 と導電層 22 とは同一面状に設けられている。導電層 21 と導電層 22 とは、それぞれ櫛歯状の形状を有しており、これらが噛み合うように配置されている。導電層 21 及び導電層 22 は、一方が液晶素子 20 の共通電極としての機能を有し、他方が液晶素子 20 の画素電極としての機能を有している。

【0089】

またタッチセンサの電極として機能する導電層 41a と導電層 41b は、導電層 21 及び導電層 22 と同一面上に配置されている。ここで導電層 41a と導電層 41b と導電層 21 と導電層 22 とは、同一の導電膜を加工して同時に形成されていることが好ましい。タッチセンサは、導電層 41a と導電層 41b の間に形成される容量を利用して検出することができる。

30

【0090】

なお、FFS モードが適用された場合については、導電層 21 を、櫛歯状、または、スリットが設けられた上面形状とすることにより、IPS モードに変更することが出来る。

【0091】

例えば、図 7 (C) を IPS モードに変更した場合を、図 10 (A) に示す。導電層 21 は、例えば、液晶素子 20 の共通電極としての機能と、タッチセンサの電極としての機能とを有している。

40

【0092】

同様に、図 7 (E) を IPS モードに変更した場合を、図 10 (B) に示す。導電層 21 及び導電層 22 は、一方が液晶素子 20 の共通電極としての機能を有し、他方が液晶素子 20 の画素電極としての機能を有している。

【0093】

同様に、図 8 (A)、図 8 (B) を IPS モードに変更した場合を、それぞれ、図 11 (A)、図 11 (B) に示す。導電層 21 及び導電層 22 は、一方が液晶素子 20 の共通電極としての機能を有し、他方が液晶素子 20 の画素電極としての機能を有している。

【0094】

同様に、図 8 (C) を IPS モードに変更した場合を、図 11 (C) に示す。導電層 2

50

1 は、例えば、液晶素子 20 の共通電極としての機能と、タッチセンサの電極としての機能とを有している。

【0095】

なお、上側の電極が液晶素子 20 の画素電極であり、下側の電極が液晶素子 20 の共通電極である場合の例を多く示したが、本発明の一態様は、これに限定されない。上側の電極が液晶素子 20 の共通電極であり、下側の電極が液晶素子 20 の画素電極となる構成としてもよい。

【0096】

例えば、図 7 (C) において、上側の電極が液晶素子 20 の共通電極となるようにした例を、図 12 に示す。導電層 21 は、例えば、液晶素子 20 の共通電極としての機能と、タッチセンサの電極としての機能とを有している。

10

【0097】

同様に、図 8 (A) において、上側の電極が液晶素子 20 の共通電極となるようにした例を、図 13 (A) に示す。導電層 21 は、例えば、液晶素子 20 の共通電極としての機能を有している。

【0098】

同様に、図 8 (C) において、上側の電極が液晶素子 20 の共通電極となるようにした例を、図 13 (B) に示す。導電層 21 は、例えば、液晶素子 20 の共通電極としての機能と、タッチセンサの電極としての機能とを有している。

【0099】

20

同様に、図 11 (C) において、上側の電極が液晶素子 20 の共通電極となるようにした例を、図 14 に示す。導電層 21 は、例えば、液晶素子 20 の共通電極としての機能と、タッチセンサの電極としての機能とを有している。

【0100】

図 15 (A) (B) (C) は、上面から見た本発明の一態様のタッチパネルの概念図である。したがって、タッチセンサ以外の部分については、大幅に省略して示している。また、画素電極 51 において、櫛歯状の上面形状、またはスリットが設けられた上面形状を有している場合があるが、ここでは、省略している。

【0101】

図 15 (A) に示す構成では、タッチセンサはセンサ電極 55 とセンサ電極 56 とを有する。ここで、センサ電極 55 及びセンサ電極 56 は、画素電極 51 と同一の導電膜により形成されている。または、センサ電極 55 及びセンサ電極 56 は、画素電極 51 と同一面上に設けられている。X 方向に配列する複数のセンサ電極 55 は電氣的に接続された構成を有する。このとき、センサ電極 55 は、配線 57 により、接続されている。また、センサ電極 56 は、Y 方向に延在して設けられている。つまり、図 15 (A) は、図 8 (A) の平面図を示しているとも言える。なお、センサ電極 55 及びセンサ電極 56 は、画素電極ではなく、コモン電極と同一の導電膜により形成されてもよい。

30

【0102】

図 15 (B) に示す構成では、共通電極 52 とセンサ電極 55 が同一の導電膜により形成されている例を示している。または、共通電極 52 とセンサ電極 55 は、同一面上に設けられている。ここで共通電極 52 及びセンサ電極 55 は X 方向に伸びた帯状の形状を有し、各センサ電極 56 と交差する構成を有する。つまり、図 15 (B) は、図 8 (C) の平面図を示しているとも言える。

40

【0103】

図 15 (C) では、図 15 (B) で示した共通電極 52 が、センサ電極 55 を兼ねる構成の例を示している。つまり、図 15 (C) は、図 7 (C) の平面図を示しているとも言える。

【0104】

なお、センサ電極 56 は、Y 方向に延在して設けられている場合の例を示したが、X 方向に延在して設けられてもよい。図 15 (A)、図 15 (B)、図 15 (C) において、

50

X方向に延在した場合の例を、図16(A)、図16(B)、図16(C)にそれぞれ示す。

【0105】

なお、図15(B)および図15(C)では、上側の電極(液晶層に近い側の電極、つまり、指やペンなどの被検知体に近い側の電極)が画素電極であり、下側の電極(液晶層から遠い側の電極、つまり、指やペンなどの被検知体から遠い側の電極)が共通電極である場合の例を示したが、本発明の一態様は、これに限定されない。上側の電極(液晶層に近い側の電極、つまり、指やペンなどの被検知体に近い側の電極)が共通電極であり、下側の電極(液晶層から遠い側の電極、つまり、指やペンなどの被検知体から遠い側の電極)が画素電極となるような構成としてもよい。このような構成を図15(B)および図15(C)に適用した場合の例を、それぞれ、図17(A)および図17(B)に示す。なお、共通電極52において、櫛歯状の上面形状、またはスリットが設けられた上面形状を有している場合があるが、ここでは、省略している。

10

【0106】

以上がタッチパネルの方式についての説明である。

【0107】

[構成例1]

以下では、タッチパネルのより具体的な構成例について説明する。

【0108】

図18(A)は、本発明の一態様のタッチパネル310の斜視概略図である。また図18(B)は、図18(A)を展開した斜視概略図である。なお明瞭化のため、代表的な構成要素のみを示している。また図18(B)では、一部の構成要素(基板372)を破線で輪郭のみ明示している。

20

【0109】

タッチパネル310は、対向して設けられた基板371と基板372とを有する。

【0110】

基板371上には、表示部381、駆動回路382、配線383、駆動回路384等が設けられている。また表示部381には、導電層332が形成されている。基板371には、配線383と電氣的に接続されるFPC373が設けられている。また図18(A)(B)では、FPC373上にIC374が設けられている例を示している。

30

【0111】

また基板372の基板371と対向する面側には、複数の導電層331、複数の導電層335、複数の導電層341等が形成されている。導電層341は複数の導電層331のいずれかと電氣的に接続する。また複数の導電層341は接続部385を介して基板371に設けられたFPC373と電氣的に接続する。

【0112】

導電層335は、2つの導電層331の間に配置される。導電層335を設けることで導電層331が設けられている領域と設けられていない領域の間で透過率に差が生じることを抑制する機能を有する。また導電層335は電氣的にフローティングであることが好ましい。こうすることで、導電層335を介して、導電層331及び導電層332の一方の電位の変化を他方に効率よく伝達することができ、検出感度を高めることができる。なお導電層335は不要である場合には設けなくてもよい。

40

【0113】

表示部381は、少なくとも複数の画素を有する。画素は、少なくとも一つの表示素子を有する。また、画素は、トランジスタ及び表示素子を備えることが好ましい。表示素子としては、代表的には有機EL素子などの発光素子や液晶素子などを用いることができる。

【0114】

駆動回路382は、例えば走査線駆動回路、信号線駆動回路等として機能する回路を用いることができる。

50



## 【 0 1 1 5 】

配線 3 8 3 は、表示部 3 8 1 や駆動回路 3 8 2 に信号や電力を供給する機能を有する。当該信号や電力は、F P C 3 7 3 を介して外部、または I C 3 7 4 から配線 3 8 3 に入力される。

## 【 0 1 1 6 】

駆動回路 3 8 4 は、導電層 3 3 2 を順次選択する機能を有する。または、導電層 3 3 2 ではなく導電層 3 3 1 を順次選択することによりタッチセンサを駆動する場合には、駆動回路 3 8 4 は、固定電位とセンシングに用いる信号とを切り替えて導電層 3 3 2 に供給する機能を有する。なお、I C 3 7 4 や外部によりタッチセンサを駆動する信号が供給される場合には、駆動回路 3 8 4 を設けなくてもよい。

10

## 【 0 1 1 7 】

また、図 1 8 ( A ) ( B ) では、F P C 3 7 3 上に C O F ( C h i p O n F i l m ) 方式により実装された I C 3 7 4 が設けられている例を示している。I C 3 7 4 は、例えば走査線駆動回路、または信号線駆動回路などとしての機能を有する I C を適用できる。なおタッチパネル 3 1 0 が走査線駆動回路及び信号線駆動回路として機能する回路を備える場合や、走査線駆動回路や信号線駆動回路として機能する回路を外部に設け、F P C 3 7 3 を介して表示部 3 8 1 を駆動するための信号を入力する場合などでは、I C 3 7 4 を設けない構成としてもよい。また、I C 3 7 4 を、C O G ( C h i p O n G l a s s ) 方式等により、基板 3 7 1 に直接実装してもよい。

20

## 【 0 1 1 8 】

タッチセンサは、基板 3 7 2 に設けられた導電層 3 3 1 と、基板 3 7 1 に設けられた導電層 3 3 2 と、により構成される。導電層 3 3 1 と導電層 3 3 2 の間に形成される容量を利用して、タッチセンサは検出することができる。

## 【 0 1 1 9 】

このような構成とすることで、タッチパネル 3 1 0 に接続する F P C を 1 つの基板側 (ここでは基板 3 7 1 側) にのみ配置することができる。また、図 1 8 ( A )、( B ) に示すように、タッチパネル 3 1 0 には 1 つの F P C 3 7 3 を設け、当該 F P C 3 7 3 が、表示パネルとタッチセンサの両方に信号を供給する機能を有する構成とすると、より構成を簡略化できるため好ましい。

## 【 0 1 2 0 】

またこのとき、I C 3 7 4 はタッチセンサを駆動する機能を有していてもよいし、タッチセンサを駆動する I C をさらに設けてもよい。または、タッチセンサを駆動する I C を基板 3 7 1 上に実装してもよい。

30

## 【 0 1 2 1 】

図 1 9 は、図 1 8 とは異なる構成を有するタッチパネル 3 1 0 の上面概略図を示している。

## 【 0 1 2 2 】

図 1 9 に示すタッチパネルは、基板 3 7 1 に複数の F P C 3 7 3 a と、F P C 3 7 3 b とを有している場合の例を示している。F P C 3 7 3 a は表示部 3 8 1 を駆動するための信号を供給する機能を有する。また F P C 3 7 3 b は基板 3 7 2 側に配置された導電層 3 3 1 に信号等を供給する機能を有する。

40

## 【 0 1 2 3 】

このように、タッチパネル 3 1 0 の表示部 3 8 1 の 2 以上の辺に沿って F P C 3 7 3 a を配置することで、多くの信号をタッチパネル 3 1 0 に供給できる。例えば表示部 3 8 1 が高解像度である場合には、このように表示部 3 8 1 の 2 以上の辺から信号を供給する構成とすることで、配線の密度が高まることによる配線間の寄生容量を低減できる。また大型の表示装置とする場合には、このような構成とすることで配線の長さを短くできるため、配線抵抗を削減し、信号の遅延などの影響を抑制することができる。

## 【 0 1 2 4 】

[ 断面構成例 1 ]

50

以下では、本発明の一態様のタッチパネルの断面構成の例について、図面を参照して説明する。

【0125】

〔断面構成例1-1〕

図20はタッチパネル310の断面概略図である。図20では、図18(A)におけるFPC373を含む領域、駆動回路382を含む領域、表示部381を含む領域のそれぞれの断面を示している。

【0126】

基板371と、基板372とは、接着層151によって貼り合わされている。また基板371、基板372、及び接着層151に囲まれた領域に、液晶253が封止されている。

10

【0127】

基板371上には、トランジスタ201、トランジスタ203、接続部206、導電層207、液晶素子208を構成する導電層251及び導電層252等が設けられている。

【0128】

基板371上には、絶縁層211、絶縁層212、絶縁層213、絶縁層214、絶縁層254、スペーサ216等が設けられている。絶縁層211は、その一部が各トランジスタのゲート絶縁層として機能する。絶縁層212、絶縁層213、及び絶縁層214は、各トランジスタ等を覆って設けられている。絶縁層214は、一例としては、平坦化層としての機能を有する。なお、ここではトランジスタ等を覆う絶縁層として、絶縁層212、絶縁層213、及び絶縁層214の3層を有する場合を示しているが、これに限られず4層以上であってもよいし、単層、または2層であってもよい。また平坦化層として機能する絶縁層214は不要であれば設けなくてもよい。

20

【0129】

図20では、表示部381の例として、1つの副画素の断面を示している。例えば、副画素は赤色を呈する副画素、緑色を呈する副画素、青色を呈する副画素のいずれかとする。フルカラーの表示を行うことができる。例えば図20に示す副画素は、トランジスタ203と、液晶素子208と、着色層231と、を有する。

【0130】

また図20では、駆動回路382の例としてトランジスタ201が設けられている例を示している。

30

【0131】

図20では、トランジスタ201及びトランジスタ203の例として、チャンネルが形成される半導体層をゲート電極283及びゲート電極284、または、ゲート電極281及びゲート電極282で挟持する構成を適用した例を示している。このようなトランジスタは、ゲート電極281とゲート電極282とが接続されている場合や、ゲート電極283とゲート電極284とが接続されている場合には、他のトランジスタと比較して電界効果移動度を高めることが可能であり、オン電流を増大させることができる。その結果、高速動作が可能な回路を作製することができる。さらには回路部の占有面積を縮小することが可能となる。オン電流の大きなトランジスタを適用することで、表示パネルまたはタッチパネルを大型化、または高精細化したときに配線数が増大したとしても、各配線における信号遅延を低減することが可能であり、表示ムラを抑制することが可能である。

40

【0132】

なお、駆動回路382が有するトランジスタと、表示部381が有するトランジスタは、同じ構造であってもよい。また駆動回路382が有する複数のトランジスタは、全て同じ構造であってもよいし、異なる構造のトランジスタを組み合わせ用いてもよい。また、表示部381が有する複数のトランジスタは、全て同じ構造であってもよいし、異なる構造のトランジスタを組み合わせ用いてもよい。

【0133】

各トランジスタを覆う絶縁層212、絶縁層213のうち少なくとも一方は、一例とし

50

ては、水や水素などの不純物が拡散しにくい材料を用いることが好ましい。すなわち、絶縁層 2 1 2 または絶縁層 2 1 3 はバリア膜として機能させることができる。このような構成とすることで、トランジスタに対して外部から不純物が拡散することを効果的に抑制することが可能となり、信頼性の高いタッチパネルを実現できる。

#### 【0134】

図 20 には、液晶素子 2 0 8 に FFS (Fringe Field Switching) モードが適用された液晶素子を用いた場合の例を示している。液晶素子 2 0 8 は、導電層 2 5 1、液晶 2 5 3、及び導電層 2 5 2 を有する。導電層 2 5 1 と導電層 2 5 2 との間に生じる電界により、液晶 2 5 3 の配向を制御することができる。

#### 【0135】

絶縁層 2 1 4 上に導電層 2 5 2 が設けられている。また導電層 2 5 2 を覆って絶縁層 2 5 4 が設けられ、絶縁層 2 5 4 上に導電層 2 5 1 が設けられている。導電層 2 5 1 は絶縁層 2 5 4、絶縁層 2 1 4、絶縁層 2 1 3、絶縁層 2 1 2 に設けられた開口を介してトランジスタ 2 0 3 のソース又はドレインの一方と電氣的に接続されている。導電層 2 5 1 と導電層 2 5 2 として透光性を有する導電性材料を用いると、タッチパネル 3 1 0 を透過型の液晶表示装置とすることができる。

#### 【0136】

導電層 2 5 1 は、櫛歯状の上面形状、またはスリットが設けられた上面形状（平面形状ともいう）を有する。また、導電層 2 5 2 は導電層 2 5 1 と重ねて配置されている。また着色層 2 3 1 等と重なる領域において、導電層 2 5 2 上に導電層 2 5 1 が配置されていない部分を有する。

#### 【0137】

図 20 では、導電層 2 5 1 が画素電極として機能し、導電層 2 5 2 が共通電極として機能する。なお、上層に設けられ、櫛歯状またはスリット状の上面形状を有する導電層 2 5 1 を共通電極とし、下層に設けられる導電層 2 5 2 を画素電極として用いることもできる。その場合には、導電層 2 5 2 をトランジスタ 2 0 3 のソース又はドレインの一方と電氣的に接続すればよい。

#### 【0138】

基板 3 7 1 の端部に近い領域には、接続部 2 0 6 が設けられている。接続部 2 0 6 は、接続層 2 0 9 を介して FPC 3 7 3 と電氣的に接続されている。図 20 では、導電層 2 0 7 の一部と、導電層 2 5 1 と同一の導電膜を加工して形成した導電層とを積層することで接続部 2 0 6 を構成している例を示している。

#### 【0139】

基板 3 7 2 の基板 3 7 1 側の面には、導電層 3 3 1、導電層 3 4 1、着色層 2 3 1、遮光層 2 3 2、絶縁層 2 5 5 等が設けられている。

#### 【0140】

図 20 では、導電層 3 3 1 と導電層 3 4 1 とが同一面上に形成されている場合を示している。ここで、導電層 3 3 1 と導電層 3 4 1 とは同一の導電膜を加工して同時に形成されていることが好ましい。また、導電層 3 3 1 と導電層 3 4 1 とが一体であってもよい。このとき、少なくとも表示部 3 8 1 と重なる部分が、タッチセンサの一方の電極として機能する導電層 3 3 1 に相当し、それ以外の部分を導電層 3 4 1 と呼ぶこともできる。つまり、図 20 は、図 7 (A) の場合の断面図の一例を示していると言える。

#### 【0141】

接続部 3 8 5 において、導電層 3 4 1 は絶縁層 2 5 5 に覆われない領域を有する。導電層 3 4 1 は接続体 3 8 6 を介して、基板 3 7 1 側に設けられた導電層 2 0 7 と電氣的に接続している。これにより、FPC 3 7 3 と導電層 3 3 1 とが電氣的に接続する。図 20 では、接続体 3 8 6 が導電層 3 4 1 に接する部分と、導電層 2 5 1 と同一面上に形成され、導電層 2 0 7 と電氣的に接続する導電層と接する部分と、を有する場合の例を示している。

#### 【0142】

10

20

30

40

50

接続体 386 としては、例えば導電性の粒子を用いることができる。導電性の粒子としては、有機樹脂またはシリカなどの粒子の表面を金属材料で被覆したものをを用いることができる。金属材料としてニッケルや金を用いると接触抵抗を低減できるため好ましい。またニッケルをさらに金で被覆するなど、2種類以上の金属材料を層状に被覆させた粒子を用いることが好ましい。また接続体 386 として弾性変形、または塑性変形する材料を用いることが好ましい。このとき導電性の粒子は図 20 に示すように上下方向に潰れた形状となる場合がある。こうすることで接続体 386 と、これと電氣的に接続する導電層との接触面積が増大し、接触抵抗が低減できるほか、接続不良などの不具合の発生を抑制できる。

#### 【0143】

接続体 386 は接着層 151 に覆われるように配置することが好ましい。例えば接着層 151 となるペースト等を塗布した後に、接続部 385 に接続体 386 を配置すればよい。例えば固体封止構造の表示装置や中空封止構造の表示装置等のような、接着層 151 を周辺に用いる構成に、接着層 151 が設けられる部分に接続部 385 を配置する構成を適用することができる。

#### 【0144】

着色層 231 及び遮光層 232 は、導電層 331 上に設けられている。また着色層 231 や遮光層 232 を覆って絶縁層 255 が設けられている。

#### 【0145】

絶縁層 255 は、着色層 231 や遮光層 232 等に含まれる不純物が液晶 253 に拡散することを防ぐオーバーコートとしての機能を有する。

#### 【0146】

スペーサ 216 は、絶縁層 254 上に設けられ、基板 371 と基板 372 との距離が一定以上近づくことを防ぐ機能を有する。図 20 ではスペーサ 216 と基板 372 側の構造物（例えば絶縁層 255 等）とが接触している例を示すが、これらが接していなくてもよい。またここではスペーサ 216 が基板 371 側に設けられている例を示したが、基板 372 側に設けてもよい。例えば、隣接する 2 つの副画素の間に配置すればよい。または、スペーサ 216 として粒状のスペーサを用いてもよい。粒状のスペーサとしては、シリカなどの材料を用いることもできるが、有機樹脂やゴムなどの弾性を有する材料を用いることが好ましい。このとき、粒状のスペーサは上下方向に潰れた形状となる場合がある。

#### 【0147】

なお、導電層 251、絶縁層 254、絶縁層 255 等において、液晶 253 と接する面には液晶 253 の配向を制御するための配向膜が設けられていてもよい。

#### 【0148】

導電層 331 の、少なくとも着色層 231 と重なる部分には透光性を有する材料を用いることが好ましい。

#### 【0149】

また、透過型の液晶素子 208 の場合、例えば図示しない偏光板を、表示部を挟むように 2 つ配置する。偏光板よりも外側に配置されたバックライトからの光は偏光板を介して入射される。このとき、導電層 251 と導電層 252 の間に与える電圧によって液晶 253 の配向を制御し、光の光学変調を制御することができる。すなわち、偏光板を介して射出される光の強度を制御することができる。またバックライトから入射される光は着色層 231 によって特定の波長領域以外の光が吸収され、射出される光は例えば赤色、青色、または緑色を呈する光となる。

#### 【0150】

また偏光板に加えて、例えば円偏光板を用いることができる。円偏光板としては、例えば直線偏光板と 1/4 波長位相差板を積層したものをを用いることができる。円偏光板により、視野角依存を低減することができる。

#### 【0151】

なお、ここでは液晶素子 20 として FFS モードが適用された素子を用いたが、これに

10

20

30

40

50

限られず様々なモードが適用された液晶素子を用いることができる。例えばVA (Vertical Alignment) モード、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (Anti Ferroelectric Liquid Crystal) モード等が適用された液晶素子を用いることができる。

【0152】

また、タッチパネル310にノーマリーブラック型の液晶表示装置、例えば垂直配向 (VA) モードを採用した透過型の液晶表示装置を適用してもよい。垂直配向モードとしては、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV (Advanced Super View) モードなどを用いることができる。

【0153】

なお、液晶素子は、液晶の光学変調作用によって光の透過または非透過を制御する素子である。なお、液晶の光学的変調作用は、液晶にかかる電界 (横方向の電界、縦方向の電界又は斜め方向の電界を含む) によって制御される。なお、液晶素子に用いる液晶としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶 (PDLC: Polymer Dispersed Liquid Crystal)、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0154】

また、液晶材料としては、ポジ型の液晶、またはネガ型の液晶のいずれを用いてもよく、適用するモードや設計に応じて最適な液晶材料を用いればよい。

【0155】

また、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために数重量%以上のカイラル剤を混合させた液晶組成物を液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性である。また、ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。

【0156】

本構成例において、導電層331と、導電層252の間に形成される容量を利用して、タッチ動作等を検出することができる。すなわち導電層252は、液晶素子208の一对の電極の一方と、タッチセンサの一对の電極の一方と、の両方を兼ねる。

【0157】

ここで、導電層251、導電層252、または導電層331として、可視光を透過する導電性材料を用いることが好ましい。例えば金属酸化物を含む導電性材料を含んで構成される。例えば、後述する透光性を有する導電性材料のうち、金属酸化物を用いることができる。

【0158】

または、導電層251、導電層252、または導電層331は、例えば、他の導電層や半導体層と同一の金属元素を含む金属酸化物を用いることが好ましい。特に、タッチパネル310が有するトランジスタの半導体層に酸化物半導体を用いた場合、これに含まれる金属元素を含む導電性酸化物を適用することが好ましい。特に、絶縁層254において、

10

20

30

40

50

水素を含む窒化珪素膜を用いてもよい。その場合には、導電層 2 5 2 として、酸化物半導体を用いる場合、絶縁層 2 5 4 から供給される水素によって、導電率を向上させることができる。つまり、酸化物半導体が N + 化された状態とすることができる。

#### 【0159】

また、状況によっては、導電層 3 3 1 に固定電位が与えられていてもよい。その場合には、外部から電磁的なノイズを遮蔽することができる。例えばセンシングを行っていないとき、導電層 3 3 1 には液晶 2 5 3 のスイッチングに影響しない定電位を供給すればよい。例えば接地電位、共通電位、または任意の定電位を用いることができる。また例えば、導電層 3 3 1 と導電層 2 5 2 とを同電位としてもよい。

#### 【0160】

また、導電層 3 3 1 に適切な電位を与えることにより、導電層 2 5 1 と導電層 2 5 2 との間に生じる電界の向き（電気力線の向き）のうち、厚さ方向の成分を低減し、より効果的に厚さに対して概略垂直な方向（横方向）に電界が向くようにすることができる。こうすることで、液晶 2 5 3 の配向欠陥を抑制し、光漏れなどの不具合が生じることを防ぐことができる。

#### 【0161】

ここで、基板 3 7 2 よりも上部に、指またはスタイラスなどの検知体が直接触れる基板を設けてもよい。またこのとき、基板 3 7 2 と当該基板との間に偏光板または円偏光板を設けることが好ましい。その場合、当該基板上に保護層（セラミックコート等）を設けることが好ましい。保護層は、例えば酸化シリコン、酸化アルミニウム、酸化イットリウム、イットリア安定化ジルコニア（YSZ）などの無機絶縁材料を用いることができる。また、当該基板に強化ガラスを用いてもよい。強化ガラスは、イオン交換法や風冷強化法等により物理的、または化学的な処理が施され、その表面に圧縮応力を加えたものを用いることができる。

#### 【0162】

〔各構成要素について〕

以下では、上記に示す各構成要素について説明する。

#### 【0163】

{ 基板 }

タッチパネルが有する基板には、平坦面を有する材料を用いることができる。表示素子からの光を取り出す側の基板には、該光を透過する材料を用いる。例えば、ガラス、石英、セラミック、サファイヤ、有機樹脂などの材料を用いることができる。また、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI 基板等を適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板として用いてもよい。

#### 【0164】

なお、基板として、ガラス基板を用いる場合、第 6 世代（1500 mm × 1850 mm）、第 7 世代（1870 mm × 2200 mm）、第 8 世代（2200 mm × 2400 mm）、第 9 世代（2400 mm × 2800 mm）、第 10 世代（2950 mm × 3400 mm）等の大面積基板を用いることで、大型の表示装置を作製することができる。また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタや容量素子等を形成してもよい。

#### 【0165】

厚さの薄い基板を用いることで、タッチパネルの軽量化、薄型化を図ることができる。さらに、可撓性を有する程度の厚さの基板を用いることで、可撓性を有するタッチパネルを実現できる。

#### 【0166】

ガラスとしては、例えば、無アルカリガラス、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等を用いることができる。

#### 【0167】

10

20

30

40

50

可撓性及び可視光に対する透過性を有する材料としては、例えば、可撓性を有する程度の厚さのガラスや、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）等のポリエステル樹脂、ポリアクリロニトリル樹脂、ポリイミド樹脂、ポリメチルメタクリレート樹脂、ポリカーボネート（PC）樹脂、ポリエーテルスルホン（PES）樹脂、ポリアミド樹脂、シクロオレフィン樹脂、ポリスチレン樹脂、ポリアミドイミド樹脂、ポリ塩化ビニル樹脂、ポリテトラフルオロエチレン（PTFE）樹脂等が挙げられる。特に、熱膨張係数の低い材料を用いることが好ましく、例えば、ポリアミドイミド樹脂、ポリイミド樹脂、PET等を好適に用いることができる。また、ガラス繊維に有機樹脂を含浸した基板や、無機フィラーを有機樹脂に混ぜて熱膨張係数を下げた基板を使用することもできる。このような材料を用いた基板は、重量が軽いため、該基板を用いたタッチパネルも軽量にすることができる。

10

#### 【0168】

また、発光を取り出さない側の基板は、透光性を有していなくてもよい。また、上記に挙げた基板の他に、金属材料や合金材料を用いた金属基板、セラミック基板、または半導体基板等を用いることもできる。金属材料や合金材料は熱伝導性が高く、封止基板全体に熱を容易に伝導できるため、タッチパネルの局所的な温度上昇を抑制することができ、好ましい。可撓性や曲げ性を得るためには、金属基板の厚さは、 $10\mu\text{m}$ 以上 $200\mu\text{m}$ 以下が好ましく、 $20\mu\text{m}$ 以上 $50\mu\text{m}$ 以下であることがより好ましい。

#### 【0169】

金属基板を構成する材料としては、特に限定はないが、例えば、アルミニウム、銅、ニッケル、又はアルミニウム合金もしくはステンレス等の金属の合金などを好適に用いることができる。

20

#### 【0170】

また、導電性の基板の表面を酸化する、又は表面に絶縁膜を形成するなどにより、絶縁処理が施された基板を用いてもよい。例えば、スピンコート法やディップ法などの塗布法、電着法、蒸着法、又はスパッタリング法などを用いて絶縁膜を形成してもよいし、酸素雰囲気中で放置する又は加熱するほか、陽極酸化法などによって、基板の表面に酸化膜を形成してもよい。

#### 【0171】

可撓性を有する基板としては、上記材料を用いた層が、タッチパネルの表面を傷などから保護するハードコート層（例えば、窒化シリコン層など）や、押圧を分散可能な材質の層（例えば、アラミド樹脂層など）等と積層されて構成されていてもよい。また、水分等による表示素子の寿命の低下等を抑制するために、窒化シリコン膜、酸化窒化シリコン膜等の窒素と珪素を含む膜や、窒化アルミニウム膜等の窒素とアルミニウムを含む膜等の透水性の低い絶縁膜を有していてもよい。

30

#### 【0172】

基板は、複数の層を積層して用いることもできる。特に、ガラス層を有する構成とすると、水や酸素に対するバリア性を向上させ、信頼性の高いタッチパネルとすることができる。

#### 【0173】

例えば、表示素子に近い側からガラス層、接着層、及び有機樹脂層を積層した基板を用いることができる。当該ガラス層の厚さとしては $20\mu\text{m}$ 以上 $200\mu\text{m}$ 以下、好ましくは $25\mu\text{m}$ 以上 $100\mu\text{m}$ 以下とする。このような厚さのガラス層は、水や酸素に対する高いバリア性と可撓性を同時に実現できる。また、有機樹脂層の厚さとしては、 $10\mu\text{m}$ 以上 $200\mu\text{m}$ 以下、好ましくは $20\mu\text{m}$ 以上 $50\mu\text{m}$ 以下とする。このような有機樹脂層を設けることにより、ガラス層の割れやクラックを抑制し、機械的強度を向上させることができる。このようなガラス材料と有機樹脂の複合材料を基板に適用することにより、極めて信頼性が高いフレキシブルなタッチパネルとすることができる。

40

#### 【0174】

{トランジスタ}

50

トランジスタは、ゲート電極として機能する導電層と、半導体層と、ソース電極として機能する導電層と、ドレイン電極として機能する導電層と、ゲート絶縁層として機能する絶縁層と、を有する。上記では、ボトムゲート構造のトランジスタを適用した場合を示している。

【0175】

なお、本発明の一態様のタッチパネルが有するトランジスタの構造は特に限定されない。例えば、プレーナ型のトランジスタとしてもよいし、スタガ型のトランジスタとしてもよいし、逆スタガ型のトランジスタとしてもよい。また、トップゲート型又はボトムゲート型のいずれのトランジスタ構造としてもよい。または、チャンネルの上下にゲート電極が設けられていてもよい。トランジスタに用いる半導体材料は特に限定されず、例えば、酸化物半導体、シリコン、ゲルマニウム等が挙げられる。

10

【0176】

トランジスタに用いる半導体材料の結晶性についても特に限定されず、非晶質半導体、結晶性を有する半導体（微結晶半導体、多結晶半導体、単結晶半導体、又は一部に結晶領域を有する半導体）のいずれを用いてもよい。結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

【0177】

また、トランジスタに用いる半導体材料としては、例えば、第14族の元素、化合物半導体又は酸化物半導体を半導体層に用いることができる。代表的には、シリコンを含む半導体、ガリウムヒ素を含む半導体又はインジウムを含む酸化物半導体などを適用できる。

20

【0178】

特に、トランジスタのチャンネルが形成される半導体に、酸化物半導体を適用することが好ましい。特にシリコンよりもバンドギャップの大きな酸化物半導体を適用することが好ましい。シリコンよりもバンドギャップが広く、且つキャリア密度の小さい半導体材料を用いると、トランジスタのオフ状態における電流を低減できるため好ましい。

【0179】

例えば、上記酸化物半導体として、少なくともインジウム（In）もしくは亜鉛（Zn）を含むことが好ましい。より好ましくは、In-M-Zn酸化物（MはAl、Ti、Ga、Ge、Y、Zr、Sn、La、Ce、HfまたはNd等の金属）で表記される酸化物を含む。

30

【0180】

特に、半導体層として、複数の結晶部を有し、当該結晶部はc軸が半導体層の被形成面、または半導体層の上面に対し概略垂直に配向し、且つ隣接する結晶部間には粒界が確認できない酸化物半導体膜を用いることが好ましい。

【0181】

このような酸化物半導体は、結晶粒界を有さないために表示パネルを湾曲させたときの応力によって酸化物半導体膜にクラックが生じてしまうことが抑制される。したがって、可撓性を有し、湾曲させて用いるタッチパネルなどに、このような酸化物半導体を好適に用いることができる。

【0182】

また半導体層としてこのような結晶性を有する酸化物半導体を用いることで、電気特性の変動が抑制され、信頼性の高いトランジスタを実現できる。

40

【0183】

また、シリコンよりもバンドギャップの大きな酸化物半導体を用いたトランジスタは、その低いオフ電流により、トランジスタと直列に接続された容量に蓄積した電荷を長期間に亘って保持することが可能である。このようなトランジスタを画素に適用することで、各表示領域に表示した画像の階調を維持しつつ、駆動回路を停止することも可能となる。その結果、極めて消費電力の低減された表示装置を実現できる。

【0184】

半導体層は、例えば少なくともインジウム（In）、亜鉛（Zn）及びM（Al、Ti

50



、Ga、Y、Zr、La、Ce、SnまたはHf等の金属)を含むIn-M-Zn酸化物で表記される膜を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

【0185】

スタビライザーとしては、上記Mで記載の金属を含め、例えば、ガリウム(Ga)、スズ(Sn)、ハフニウム(Hf)、アルミニウム(Al)、またはジルコニウム(Zr)等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)等がある。

10

【0186】

半導体層を構成する酸化物半導体として、例えば、In-Ga-Zn系酸化物、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

20

【0187】

なお、ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0188】

また、半導体層と、導電層は、上記酸化物のうち、同一の金属元素を有していてもよい。半導体層と、導電層を同一の金属元素とすることで、製造コストを低減させることができる。例えば、同一の金属組成の金属酸化物ターゲットを用いることで製造コストを低減させることができる。また同一の金属組成の金属酸化物ターゲットを用いることによって、半導体層と、導電層を加工する際のエッチングガスまたはエッチング液を共通して用いることができる。ただし、半導体層と、導電層は、同一の金属元素を有していても、組成が異なる場合がある。例えば、トランジスタ及び容量素子の作製工程中に、膜中の金属元素が脱離し、異なる金属組成となる場合がある。

30

【0189】

なお、半導体層がIn-M-Zn酸化物であるとき、ZnおよびOを除いてのInとMの原子数比率は、InおよびMの和を100 atomic %としたとき、好ましくはInが25 atomic %より高く、Mが75 atomic %未満、さらに好ましくはInが34 atomic %より高く、Mが66 atomic %未満とする。

40

【0190】

半導体層は、エネルギーギャップが2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタのオフ電流を低減することができる。

【0191】

半導体層の厚さは、3 nm以上200 nm以下、好ましくは3 nm以上100 nm以下、さらに好ましくは3 nm以上50 nm以下とする。

【0192】

半導体層がIn-M-Zn酸化物(MはAl、Ti、Ga、Ge、Y、Zr、Sn、La、Ce、HfまたはNd)の場合、In-M-Zn酸化物を成膜するために用いるスパ

50

ツタリングターゲットの金属元素の原子数比は、 $In$ 、 $M$ 、 $Zn$ を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $In:M:Zn=1:1:1$ 、 $In:M:Zn=1:1:1.2$ 、 $In:M:Zn=3:1:2$ 、 $4:2:3$ が好ましい。なお、成膜される半導体層の原子数比はそれぞれ、誤差として上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。

#### 【0193】

半導体層としては、キャリア密度の低い酸化物半導体膜を用いる。例えば、半導体層は、キャリア密度が $1 \times 10^{17}$ 個/cm<sup>3</sup>以下、好ましくは $1 \times 10^{15}$ 個/cm<sup>3</sup>以下、さらに好ましくは $1 \times 10^{13}$ 個/cm<sup>3</sup>以下、より好ましくは $1 \times 10^{11}$ 個/cm<sup>3</sup>以下の酸化物半導体膜を用いる。

10

#### 【0194】

なお、これらに限られず、必要とするトランジスタの半導体特性及び電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

#### 【0195】

半導体層において、第14族元素の一つであるシリコンや炭素が含まれると、半導体層において酸素欠損が増加し、 $n$ 型化してしまう。このため、半導体層におけるシリコンや炭素の濃度（二次イオン質量分析法により得られる濃度）を、 $2 \times 10^{18}$  atoms/cm<sup>3</sup>以下、好ましくは $2 \times 10^{17}$  atoms/cm<sup>3</sup>以下とする。

20

#### 【0196】

また、半導体層において、二次イオン質量分析法により得られるアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18}$  atoms/cm<sup>3</sup>以下、好ましくは $2 \times 10^{16}$  atoms/cm<sup>3</sup>以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流が増大してしまうことがある。このため、半導体層のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。

#### 【0197】

また、半導体層に窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、 $n$ 型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。従って、当該酸化物半導体膜において、窒素はできる限り低減されていることが好ましい、例えば、二次イオン質量分析法により得られる窒素濃度は、 $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下にすることが好ましい。

30

#### 【0198】

また、半導体層は、例えば非単結晶構造でもよい。非単結晶構造は、例えば、後述するCAAC-OS(C Axis Aligned-Crystalline Oxide Semiconductor)、多結晶構造、後述する微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-OSは最も欠陥準位密度が低い。

40

#### 【0199】

半導体層は、例えば非晶質構造でもよい。非晶質構造の酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質構造の酸化物膜は、例えば、完全な非晶質構造であり、結晶部を有さない。

#### 【0200】

なお、半導体層が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域の二種以上を有する混合膜であってもよい。また、混合膜は、例えば、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域のいずれか二種以上の領域の積層構造を有する場合がある

50

。

## 【0201】

または、トランジスタのチャネルが形成される半導体に、シリコンを用いることが好ましい。シリコンとしてアモルファスシリコンを用いてもよいが、特に結晶性を有するシリコンを用いることが好ましい。例えば、微結晶シリコン、多結晶シリコン、単結晶シリコンなどを用いることが好ましい。特に、多結晶シリコンは、単結晶シリコンに比べて低温で形成でき、且つアモルファスシリコンに比べて高い電界効果移動度と高い信頼性を備える。このような多結晶半導体を画素に適用することで画素の開口率を向上させることができる。また極めて高精細に画素を有する場合であっても、ゲート駆動回路とソース駆動回路を画素と同一基板上に形成することが可能となり、電子機器を構成する部品数を低減することができる。

10

## 【0202】

## { 導電層 }

トランジスタのゲート、ソースおよびドレインのほか、タッチパネルを構成する各種配線および電極などの導電層に用いることのできる材料としては、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、チタン膜上にアルミニウム膜を積層する二層構造、タングステン膜上にアルミニウム膜を積層する二層構造、銅・マグネシウム・アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。また、マンガンを含む銅を用いると、エッチングによる形状の制御性が高まるため好ましい。

20

## 【0203】

また、透光性を有する導電性材料としては、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを添加した酸化亜鉛などの導電性酸化物またはグラフェンを用いることができる。または、金、銀、白金、マグネシウム、ニッケル、タングステン、クロム、モリブデン、鉄、コバルト、銅、パラジウム、またはチタンなどの金属材料や、該金属材料を含む合金材料を用いることができる。または、該金属材料の窒化物（例えば、窒化チタン）などを用いてもよい。なお、金属材料、合金材料（またはそれらの窒化物）を用いる場合には、透光性を有する程度に薄くすればよい。また、上記材料の積層膜を導電層として用いることができる。例えば、銀とマグネシウムの合金とインジウムスズ酸化物の積層膜などを用いると、導電性を高めることができるため好ましい。

30

## 【0204】

または、導電層として、半導体層と同様の酸化物半導体を用いることが好ましい。このとき導電層が、半導体層のチャネルが形成される領域よりも低い電気抵抗を呈するように、形成されていることが好ましい。

40

## 【0205】

例えばこのような導電層を、トランジスタの第2のゲート電極として機能する導電層に適用することができる。または、透光性を有する他の導電層にも適用することができる。

## 【0206】

## { 酸化物半導体の抵抗率の制御方法 }

半導体層及び導電層に用いることのできる酸化物半導体膜は、膜中の酸素欠損及び／又は膜中の水素、水等の不純物濃度によって、抵抗率を制御することができる半導体材料である。そのため、半導体層及び導電層へ酸素欠損及び／又は不純物濃度が増加する処理、

50

または酸素欠損及び／又は不純物濃度が低減する処理を選択することによって、それぞれの酸化物半導体膜の抵抗率を制御することができる。

【0207】

具体的には、導電層に用いる酸化物半導体膜にプラズマ処理を行い、該酸化物半導体の膜中の酸素欠損を増加させる、および／または酸化物半導体の膜中の水素、水等の不純物を増加させることによって、キャリア密度が高く、抵抗率が低い酸化物半導体膜とすることができる。また、酸化物半導体膜に水素を含む絶縁膜を接して形成し、該水素を含む絶縁膜から酸化物半導体膜に水素を拡散させることによって、キャリア密度が高く、抵抗率が低い酸化物半導体膜とすることができる。

【0208】

一方、トランジスタのチャネル領域として機能する半導体層は、水素を含む絶縁膜と接しない構成とする。半導体層と接する絶縁膜の少なくとも一つに酸素を含む絶縁膜、別言すると、酸素を放出することが可能な絶縁膜を適用することで、半導体層に酸素を供給することができる。酸素が供給された半導体層は、膜中または界面の酸素欠損が補填され抵抗率が高い酸化物半導体膜となる。なお、酸素を放出することが可能な絶縁膜としては、例えば、酸化シリコン膜、または酸化窒化シリコン膜を用いることができる。

【0209】

また、抵抗率が低い酸化物半導体膜を得るために、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いて、水素、ボロン、リン、または窒素を酸化物半導体膜に注入してもよい。

【0210】

また、抵抗率が低い酸化物半導体膜を得るために、該酸化物半導体膜にプラズマ処理を行ってもよい。例えば、該プラズマ処理としては、代表的には、希ガス（He、Ne、Ar、Kr、Xe）、水素、及び窒素の中から選ばれた一種以上を含むガスを用いたプラズマ処理が挙げられる。より具体的には、Ar雰囲気下でのプラズマ処理、Arと水素の混合ガス雰囲気下でのプラズマ処理、アンモニア雰囲気下でのプラズマ処理、Arとアンモニアの混合ガス雰囲気下でのプラズマ処理、または窒素雰囲気下でのプラズマ処理などが挙げられる。

【0211】

上記プラズマ処理によって、酸化物半導体膜は、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損を形成する。該酸素欠損は、キャリアを発生する要因になる場合がある。また、酸化物半導体膜の近傍、より具体的には、酸化物半導体膜の下側または上側に接する絶縁膜から水素が供給されると、上記酸素欠損と水素が結合することで、キャリアである電子を生成する場合がある。

【0212】

一方、酸素欠損が補填され、水素濃度が低減された酸化物半導体膜は、高純度真性化、又は実質的に高純度真性化された酸化物半導体膜といえる。ここで、実質的に真性とは、酸化物半導体膜のキャリア密度が、 $8 \times 10^{11}$  個/cm<sup>3</sup> 未満、好ましくは  $1 \times 10^{11}$  個/cm<sup>3</sup> 未満、さらに好ましくは  $1 \times 10^{10}$  個/cm<sup>3</sup> 未満であることを指す。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度を低減することができる。

【0213】

また、高純度真性または実質的に高純度真性である酸化物半導体膜は、オフ電流が著しく小さく、チャネル幅が  $1 \times 10^6 \mu\text{m}$  でチャネル長が  $10 \mu\text{m}$  の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち  $1 \times 10^{-13}$  A 以下という特性を得ることができる。したがって、上述した高純度真性または実質的に高純度真性である酸化物半導体膜を用いる半導体層をチャネル領域に用いるトランジスタは、電気

10

20

30

40

50

特性の変動が小さく、信頼性の高いトランジスタとなる。

【0214】

導電層として用いる酸化物半導体膜と接する絶縁膜として、例えば、水素を含む絶縁膜、別言すると水素を放出することが可能な絶縁膜、代表的には窒化シリコン膜を用いることで、導電層に水素を供給することができる。水素を放出することが可能な絶縁膜としては、膜中の含有水素濃度が  $1 \times 10^{22} \text{ atoms/cm}^3$  以上であると好ましい。このような絶縁膜を導電層に接して形成することで、導電層に効果的に水素を含有させることができる。このように、半導体層及び導電層に接する絶縁膜の構成を変えることによって、酸化物半導体膜の抵抗率を制御することができる。

【0215】

酸化物半導体膜に含まれる水素は、金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損を形成する。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合することで、キャリアである電子を生成する場合がある。したがって、水素が含まれている絶縁膜と接して設けられた導電層は、半導体層よりもキャリア密度の高い酸化物半導体膜となる。

【0216】

トランジスタのチャネル領域が形成される半導体層は、水素ができる限り低減されていることが好ましい。具体的には、半導体層において、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）により得られる水素濃度を、 $2 \times 10^{20} \text{ atoms/cm}^3$  以下、好ましくは  $5 \times 10^{19} \text{ atoms/cm}^3$  以下、より好ましくは  $1 \times 10^{19} \text{ atoms/cm}^3$  以下、 $5 \times 10^{18} \text{ atoms/cm}^3$  未満、好ましくは  $1 \times 10^{18} \text{ atoms/cm}^3$  以下、より好ましくは  $5 \times 10^{17} \text{ atoms/cm}^3$  以下、さらに好ましくは  $1 \times 10^{16} \text{ atoms/cm}^3$  以下とする。

【0217】

一方、導電層は、半導体層よりも水素濃度及び／又は酸素欠損量が多く、抵抗率が低い酸化物半導体膜である。導電層に含まれる水素濃度は、 $8 \times 10^{19} \text{ atoms/cm}^3$  以上、好ましくは  $1 \times 10^{20} \text{ atoms/cm}^3$  以上、より好ましくは  $5 \times 10^{20} \text{ atoms/cm}^3$  以上である。また、半導体層と比較して、導電層に含まれる水素濃度は2倍以上、好ましくは10倍以上である。また、導電層の抵抗率が、半導体層の抵抗率の  $1 \times 10^{-8}$  倍以上  $1 \times 10^{-1}$  倍未満であることが好ましく、代表的には  $1 \times 10^{-3} \text{ cm}$  以上  $1 \times 10^{-4} \text{ cm}$  未満、さらに好ましくは、抵抗率が  $1 \times 10^{-3} \text{ cm}$  以上  $1 \times 10^{-1} \text{ cm}$  未満であるとよい。

【0218】

{ 絶縁層 }

各絶縁層、オーバーコート、スペーサ等に用いることのできる絶縁材料としては、例えば、アクリル、エポキシなどの樹脂、シロキサン結合を有する樹脂の他、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウムなどの無機絶縁材料を用いることもできる。

【0219】

{ 接着層 }

接着層としては、熱硬化樹脂や光硬化樹脂、2液混合型の硬化性樹脂などの硬化性樹脂を用いることができる。例えば、アクリル、ウレタン、エポキシなどの樹脂、またはシリコーンなどのシロキサン結合を有する樹脂などの樹脂を用いることができる。

【0220】

{ 接続層 }

接続層としては、異方性導電フィルム（ACF：Anisotropic Conductive Film）や、異方性導電ペースト（ACP：Anisotropic Conductive Paste）などを用いることができる。

10

20

30

40

50

## 【0221】

## { 着色層 }

着色層に用いることのできる材料としては、金属材料、樹脂材料、顔料または染料が含まれた樹脂材料などが挙げられる。

## 【0222】

以上が各構成要素についての説明である。

## 【0223】

## { 断面構成例 1 - 2 }

図21には、上記とは一部の構成の異なるタッチパネルの断面構成例について示している。なお、上記と重複する部分については説明を省略し、相違点について説明する。

10

## 【0224】

図21では、着色層231が基板371側に配置されている例を示している。具体的には、着色層231が絶縁層213の上面に接して設けられている。また着色層231を覆って平坦化層として機能する絶縁層214が設けられている。

## 【0225】

このような構成とすることで、基板372の構成をより簡略化することができる。例えば図21では、基板372上には導電層331及び導電層341のみが形成されている例を示している。なお、基板372上には必要であれば配向膜等が設けられていてもよい。

## 【0226】

## { 断面構成例 1 - 3 }

図22では、図20におけるトランジスタ201及びトランジスタ203に、トップゲート型のトランジスタを適用した場合の例を示している。

20

## 【0227】

各トランジスタは半導体層を有し、半導体層上に絶縁層211を介してゲート電極が設けられている。また半導体層は低抵抗化された領域を有していてもよい。当該領域は、ソースまたはドレインとして機能する。

## 【0228】

トランジスタのソース電極及びドレイン電極は、絶縁層213上に設けられ、絶縁層213、絶縁層212、絶縁層211に設けられた開口を介して、半導体層の低抵抗化された領域と電氣的に接続している。

30

## 【0229】

半導体層の低抵抗化された領域は、例えばトランジスタのチャネルが形成される領域よりも不純物を多く含む領域、キャリア濃度の高い領域、または結晶性が低い領域、などとすることができる。導電性を高める効果を奏する不純物は、半導体層に適用される半導体によって異なるが、代表的にはリンなどのn型の導電性を付与しうる元素、ホウ素などのp型の導電性を付与しうる元素、ヘリウム、ネオン、アルゴンなどの希ガスの他、水素、リチウム、ナトリウム、マグネシウム、アルミニウム、窒素、フッ素、カリウム、カルシウムなどが挙げられる。そのほかチタン、鉄、ニッケル、銅、亜鉛、銀、インジウム、スズなども、半導体の導電性に影響する不純物として機能する。例えば領域262や領域263は、トランジスタのチャネルが形成される領域よりも上記不純物を多く含む。

40

## 【0230】

## { 断面構成例 1 - 4 }

図23では、図20等と比較して導電層252の位置が異なる場合の例を示している。具体的には導電層252が絶縁層212と絶縁層213の間に位置する構成の例を示している。

## 【0231】

導電層252には、一例としては、上述した透光性の導電性材料を用いることができる。

## 【0232】

また、一例としては、導電層252が低抵抗化された酸化物半導体を含んで構成されて

50

いることが好ましい。特に、タッチパネル 3 1 0 が有するトランジスタの半導体層に酸化物半導体を用いた場合、これよりも抵抗率の低い酸化物半導体を適用することが好ましい。

【0 2 3 3】

例えば、上述した酸化物半導体の抵抗率の制御方法により、導電層 2 5 2 を低抵抗化させることができる。

【0 2 3 4】

またこのとき、導電層 2 5 2 を覆う絶縁層 2 1 3 としては、上述した水素を多く含む絶縁層を用いることが好ましい。特に、窒化シリコンを含む絶縁膜を含むことが好ましい。

【0 2 3 5】

[断面構成例 2]

以下では、上記断面構成例とは一部の構成が異なるタッチパネルの断面構成例について説明する。

【0 2 3 6】

[断面構成例 2 - 1]

図 2 4 は、導電層 3 3 1 及び導電層 3 4 1 を基板 3 7 1 側に配置している点で、上記断面構成例と相違している。

【0 2 3 7】

導電層 3 3 1 及び導電層 3 4 1 は、基板 3 7 1 上に設けられている。また導電層 3 3 1 及び導電層 3 4 1 を覆って絶縁層 2 1 7 が設けられている。また絶縁層 2 1 7 上に、トランジスタ 2 0 1 やトランジスタ 2 0 3 等が設けられている。

【0 2 3 8】

また接続部 3 8 5 において、絶縁層 2 1 7 に設けられた開口を介して、導電層 3 4 1 と導電層 2 0 7 とが電氣的に接続している。

【0 2 3 9】

ここで、導電層 3 3 1 と導電層 2 5 2 との間に生じる容量を利用して、タッチ動作を検出することができる。

【0 2 4 0】

このような構成とすることで、基板 3 7 2 の構成を簡略化することができる。

【0 2 4 1】

なお、このとき導電層 3 3 1 及び導電層 3 4 1 には耐熱性の高い導電性材料を用いることが好ましい。また、導電層 3 3 1 として、金属などの遮光性を有する材料を用いる場合には、図 2 4 に示すように着色層 2 3 1 と重なる部分に開口を設けることが好ましい。

【0 2 4 2】

また図 2 4 に示すように、導電層 3 3 1 はトランジスタ 2 0 3 等と重ならないように配置することが好ましい。または、導電層 3 3 1 のトランジスタ 2 0 3 等と重なる部分に開口を有する構成とすることが好ましい。こうすることで、導電層 3 3 1 の電位の変化に起因してトランジスタ 2 0 3 等が誤動作してしまうことを抑制できる。

【0 2 4 3】

[断面構成例 2 - 2]

図 2 5 は、図 2 4 で示した構成に、図 2 1 と同様に着色層 2 3 1 を基板 3 7 1 側に配置した例を示している。

【0 2 4 4】

このように、導電層 3 3 1、導電層 3 4 1、及び着色層 2 3 1 を基板 3 7 1 側に設けることで、基板 3 7 2 上になにも形成しない構成とすることができる。なお、基板 3 7 2 及び基板 3 7 1 の液晶層と接する領域には、配向膜を設けてもよい。

【0 2 4 5】

[構成例 2]

以下では、上記構成例 1 とは一部の構成が異なるタッチパネルの構成例について図面を参照して説明する。

10

20

30

40

50

## 【 0 2 4 6 】

以下で説明する本発明の一態様のタッチパネルは、タッチセンサを構成する一対の導電層の少なくとも一つを、液晶素子が有する一対の導電層の少なくとも一つと同一の導電膜で形成される。タッチセンサを構成する一対の導電層の少なくとも一つと、液晶素子が有する一対の導電層の少なくとも一つとは、同一面上に配置される。または、タッチセンサを構成する一対の導電層の少なくとも一つは、液晶素子が有する一対の導電層の少なくとも一つを兼ねて設けられる。つまり、一つの導電膜が、タッチセンサを構成する一対の導電層の少なくとも一つとしての機能と、液晶素子が有する一対の導電層の少なくとも一つとしての機能とを、両方を併せ持つ。これにより、タッチパネルの作製工程が簡略化され、より作製コストを低減することができる。

10

## 【 0 2 4 7 】

〔構成例 2 - 1〕

図 2 6 は、液晶素子の電極として機能する一対の導電層と、タッチセンサを構成する一対の導電層のレイアウトの例を示す上面概略図である。ここでは、F F S モードが適用された液晶素子を例に挙げて説明する。

## 【 0 2 4 8 】

また図 2 7 には、図 2 6 中の切断線 X 1 - X 2 に対応する部分の断面を含む、タッチパネルの断面概略図を示す。図 2 6 および図 2 7 は、図 8 ( A ) に対応している。

## 【 0 2 4 9 】

導電層 4 0 1 は島状の形状を有し、X 方向及び Y 方向にマトリクス状に配列している。そして、導電層 4 0 1 にスリットが設けられている。導電層 4 0 2 は各導電層 4 0 1 と重なるように配置されている。ここで導電層 4 0 1 が画素電極として機能し、導電層 4 0 2 が共通電極として機能する。なお、ここでは上側の導電層 4 0 1 が画素電極であり、下側の導電層 4 0 2 が共通電極である場合について説明するが、これらの関係を逆転させてもよい。

20

## 【 0 2 5 0 】

Y 方向に延在する導電層 4 1 1 a 及び導電層 4 1 1 b は、それぞれ隣接する 2 つの導電層 4 0 1 の間に位置するように配置されている。

## 【 0 2 5 1 】

X 方向に延在する導電層 4 1 2 a は、導電層 4 0 4 と導電層 4 0 5 により構成されている。導電層 4 0 4 は長辺方向が X 方向と平行な帯状の形状を有し、例えば、導電層 4 1 1 a と導電層 4 1 1 b との間に設けられている。また導電層 4 0 5 は、導電層 4 1 1 a または導電層 4 1 1 b と重なる部分を有し、導電層 4 1 1 a または導電層 4 1 1 b を挟む 2 つの導電層 4 0 4 を、コンタクトホールを介して、電氣的に接続する。導電層 4 0 5 と導電層 4 1 1 a または導電層 4 1 1 b とは、図示しない絶縁層を介して重なっている。なお、導電層 4 0 5 は、図 2 8 に示すように、X 方向に延在して配置されていてもよい。このようにすることにより、導電層 4 0 4 の配線抵抗を実質的に低減することができる。

30

## 【 0 2 5 2 】

なお、図 2 6 または図 2 8 において、導電層 4 1 1 a 及び導電層 4 1 1 b は、X 方向に延在するように配置し、導電層 4 1 2 a 及び導電層 4 1 2 b は、Y 方向に延在するように配置してもよい。

40

## 【 0 2 5 3 】

ここで、導電層 4 1 1 a、導電層 4 1 1 b、導電層 4 0 4、及び導電層 4 0 1 は、それぞれ同一の導電膜を加工することにより形成されている。したがって、導電層 4 1 1 a、導電層 4 1 1 b、導電層 4 0 4、及び導電層 4 0 1 は、同一面上に配置されていることとなる。

## 【 0 2 5 4 】

なお、ここでは導電層 4 0 5 としてトランジスタのソース電極及びドレイン電極 2 8 5 と同一の導電膜を加工して形成した構成とした。この場合には、導電層 4 0 5 の下に、ゲート電極などが配置されていても、問題なくレイアウトすることができる。よって、導電

50



層 4 0 5 は、ゲート電極や、ゲート電極と同一の導電膜を加工して形成された膜と、重ねて配置することができる。ただし、本発明の一態様は、これに限られず、トランジスタのゲート電極 2 8 1、半導体層、またはそのほかの導電層と同一の導電膜を加工して導電層 4 0 5 を形成することができる。

#### 【 0 2 5 5 】

一例として、導電層 4 0 5 を、ゲート電極と同一の導電膜を加工して形成した場合を図 2 9 に示す。この場合には、導電層 4 0 5 の上に、ソース電極及びドレイン電極 2 8 5 などが配置されていても、問題なくレイアウトすることができる。よって、導電層 4 0 5 は、ソース電極及びドレイン電極 2 8 5 や、ソース電極及びドレイン電極 2 8 5 と同一の導電膜を加工して形成された膜と、重ねたり、交差させて配置することができる。つまり、

10

#### 【 0 2 5 6 】

または、導電層 4 0 5 を、導電層 4 0 2 と同一の導電膜を加工して形成した場合を図 3 0 に示す。この場合には、導電層 4 0 5 の下に、ソース電極及びドレイン電極 2 8 5 やゲート電極などが配置されていても、問題なくレイアウトすることができる。よって、導電層 4 0 5 は、ゲート電極や、ソース電極及びドレイン電極 2 8 5 や、ゲート電極と同一の導電膜を加工して形成された膜や、ソース電極及びドレイン電極 2 8 5 と同一の導電膜を加工して形成された膜と、重ねたり、交差させて配置することができる。つまり、ソース

20

#### 【 0 2 5 7 】

なお、図 2 6 または図 2 8 において、導電層 4 1 1 a 及び導電層 4 1 1 b は、X 方向に延在するように配置し、導電層 4 1 2 a 及び導電層 4 1 2 b は、Y 方向に延在するように配置する場合には、配置される方向が異なるため、導電層 4 1 2 a 及び導電層 4 1 2 b を

30

#### 【 0 2 5 8 】

なお、導電層 4 1 1 a、導電層 4 1 1 b、および、導電層 4 0 4 の抵抗を下げたい場合には、導電層 4 1 1 a、導電層 4 1 1 b および導電層 4 0 4 の上または下に、抵抗の低い導電層 4 1 1 a \_\_ 1、4 1 1 b \_\_ 1、4 0 4 \_\_ 1 を設けてもよい。例えば、アルミニウム、銅、チタン、モリブデン、タングステン、または、それらの積層を、導電層 4 1 1 a、導電層 4 1 1 b および導電層 4 0 4 の上または下に設けてもよい。または、導電層 4 1 1 a \_\_ 1、4 1 1 b \_\_ 1、4 0 4 \_\_ 1 の少なくとも一つは、メッシュ状に加工された金属膜

40

#### 【 0 2 5 9 】

なお、導電層 4 1 1 a、導電層 4 1 1 b の抵抗値を実質的に下げたい場合には、導電層 4 1 1 a a、導電層 4 1 1 b b を配置してもよい。導電層 4 1 1 a (導電層 4 1 1 b) と、導電層 4 1 1 a a (導電層 4 1 1 b b) とは、コンタクトホールを介して、接続されている。その場合の例を、図 3 3 と、図 3 4 に示す。

50

## 【0260】

なお、導電層405のみを別途形成してもよいが、他の導電層と同時に形成することが好ましい。

## 【0261】

〔構成例2-2〕

図35は、導電層411a、導電層411b及び導電層404を、導電層402と同一の導電膜を加工して形成した場合の例を示している。したがって、導電層411a、導電層411b、導電層404、及び導電層402は、同一面上に配置されていることとなる。また図36に、図35中の切断線X3-X4に対応する部分の断面を含む、タッチパネルの断面概略図を示す。図35および図36は、図8(B)に対応している。

10

## 【0262】

図35に示すように、導電層402は島状の形状を有する。また導電層411aまたは導電層411bを挟んで隣接する2つの導電層402は、導電層412aと同様に導電層405によって電氣的に接続されている。なお、ここではY方向に隣接する2つの導電層402が電氣的に接続されていない場合の例を示したが、複数の導電層402がY方向に導電層405を介して電氣的に接続してもよいし、X方向とY方向のいずれも導電層405を介して電氣的に接続してもよい。なお、ここでは上側の導電層401が画素電極であり、下側の導電層402が共通電極である場合について説明するが、これらの関係を逆転させてもよい。

20

## 【0263】

なお、導電層405は、図37に示すように、X方向に延在して配置されていてもよい。このようにすることにより、導電層404の配線抵抗を実質的に低減することができる。

## 【0264】

なお、図35または図37において、導電層411a及び導電層411bは、X方向に延在するように配置し、導電層412a及び導電層412bは、Y方向に延在するように配置してもよい。

## 【0265】

なお、図36では導電層405としてトランジスタのソース電極及びドレイン電極285と同一の導電膜を加工して形成した構成とした。この場合には、導電層405の下に、ゲート電極などが配置されていても、問題なくレイアウトすることができる。よって、導電層405は、ゲート電極や、ゲート電極と同一の導電膜を加工して形成された膜と、重ねて配置することができる。ただし、本発明の一態様は、これに限られず、トランジスタのゲート電極281、半導体層、またはそのほかの導電層と同一の導電膜を加工して導電層405を形成することができる。

30

## 【0266】

一例として、導電層405を、ゲート電極281と同一の導電膜を加工して形成した場合を図38に示す。この場合には、導電層405の上に、ソース電極及びドレイン電極285などが配置されていても、問題なくレイアウトすることができる。よって、導電層405は、ソース電極及びドレイン電極285や、ソース電極及びドレイン電極285と同一の導電膜を加工して形成された膜と、重ねたり、交差させて配置することができる。つまり、ソース信号線と、導電層411aまたは導電層411bとを、重ねて配置することができる。そのため、導電層401のレイアウト面積を大きくすることができる。つまり、開口率を高くすることができる。

40

## 【0267】

または、導電層405を、導電層401と同一の導電膜を加工して形成した場合を図39に示す。この場合には、導電層405の下に、ソース電極及びドレイン電極285やゲート電極などが配置されていても、問題なくレイアウトすることができる。よって、導電層405は、ゲート電極や、ソース電極及びドレイン電極285や、ゲート電極と同一の導電膜を加工して形成された膜や、ソース電極及びドレイン電極285と同一の導電膜を

50

加工して形成された膜と、重ねたり、交差させて配置することができる。つまり、ソース信号線と、導電層 4 1 1 a または導電層 4 1 1 b とを、重ねて配置することができる。そのため、導電層 4 0 1 のレイアウト面積を大きくすることができる。つまり、開口率を高くすることができる。または、ゲート信号線と導電層 4 0 4 または導電層 4 0 5 と、重ねて配置することができる。そのため、導電層 4 0 1 のレイアウト面積を大きくすることができる。つまり、開口率を高くすることができる。

【0268】

なお、図 3 5 または図 3 7 において、導電層 4 1 1 a 及び導電層 4 1 1 b は、X 方向に延在するように配置し、導電層 4 1 2 a 及び導電層 4 1 2 b は、Y 方向に延在するように配置する場合には、配置される方向が異なるため、導電層 4 1 2 a 及び導電層 4 1 2 b をゲート信号線と重ねて配置するのではなくソース信号線と重ねて配置し、導電層 4 1 1 a 及び導電層 4 1 1 b をソース信号線と重ねて配置するのではなくゲート信号線と重ねて配置することとなる。

【0269】

なお、図 3 6、図 3 8、図 3 9 において、上側の導電層 4 0 1 が画素電極であり、下側の導電層 4 0 2 が共通電極である場合の例を示した。ただし、本発明の一態様は、これに限定されない。上側の導電層 4 0 1 を共通電極とし、下側の導電層 4 0 2 を画素電極としてもよい。その場合の例を、図 4 0、図 4 1、図 4 2 に示す。

【0270】

なお、図 4 0、図 4 1、図 4 2 などでは、導電層 4 1 1 a、導電層 4 1 1 b 及び導電層 4 0 4 を、導電層 4 0 2 と同一の導電膜を加工して形成した場合の例を示している。ただし、本発明の一態様は、これに限定されない。導電層 4 1 1 a、導電層 4 1 1 b 及び導電層 4 0 4 を、導電層 4 0 1 と同一の導電膜を加工して形成してもよい。したがって、導電層 4 1 1 a、導電層 4 1 1 b、導電層 4 0 4、及び導電層 4 0 1 は、同一面上に配置されていてもよい。その場合の例を、図 4 3、図 4 4、図 4 5 に示す。

【0271】

なお、導電層 4 1 1 a、導電層 4 1 1 b、および、導電層 4 0 4 の抵抗を下げたい場合には、導電層 4 1 1 a、導電層 4 1 1 b および導電層 4 0 4 の上または下に、抵抗の低い導電層 4 1 1 a \_\_ 1、4 1 1 b \_\_ 1、4 0 4 \_\_ 1 を設けてもよい。例えば、アルミニウム、銅、チタン、モリブデン、タンゲステン、または、それらの積層を、導電層 4 1 1 a、導電層 4 1 1 b および導電層 4 0 4 の上または下に設けてもよい。または、導電層 4 1 1 a \_\_ 1、4 1 1 b \_\_ 1、4 0 4 \_\_ 1 の少なくとも一つは、メッシュ状に加工された金属膜で構成されていてもよい。または、導電層 4 1 1 a \_\_ 1、4 1 1 b \_\_ 1、4 0 4 \_\_ 1 の少なくとも一つは、金属ナノワイヤ、またはカーボンナノチューブなどで構成されていてもよい。ただし、導電層 4 0 2 は、透光性を有することが望ましい。したがって、導電層 4 0 2 の上または下には、抵抗の低い導電層を設けないことが望ましい。その場合の例を、図 4 6 と、図 4 7 に示す。

【0272】

なお、導電層 4 1 1 a、導電層 4 1 1 b の抵抗値を実質的に下げたい場合には、導電層 4 1 1 a a、導電層 4 1 1 b b を配置してもよい。導電層 4 1 1 a (導電層 4 1 1 b) と、導電層 4 1 1 a a (導電層 4 1 1 b b) とは、コンタクトホールを介して、接続されている。その場合の例を、図 4 8 と、図 4 9 に示す。

【0273】

〔構成例 2 - 3〕

図 5 0 は、導電層 4 1 1 a 及び導電層 4 1 1 b を導電層 4 0 1 と同一の導電膜を加工して形成し、導電層 4 1 2 a 及び導電層 4 1 2 b を導電層 4 0 2 と同一の導電膜を加工して形成した場合の例を示している。したがって、導電層 4 1 1 a、導電層 4 1 1 b、導電層 4 0 1 は、同一面上に配置されていることとなる。同様に、導電層 4 1 2 a、導電層 4 1 2 b、導電層 4 0 2 は、同一面上に配置されていることとなる。また図 5 1 に、図 5 0 中の切断線 X 5 - X 6 に対応する部分の断面を含む、タッチパネルの断面概略図を示す。図

50および図51は、図7(E)に対応している。

【0274】

このように、タッチセンサの一对の電極として機能する2つの導電層(例えば、導電層411aと導電層412a、または、導電層411bと導電層412bなど)を、それぞれ異なる層で形成することで、これらを交差させることができる。したがって、構成例1や構成例2と比較して、導電層405を用いたブリッジ部を形成する必要がないため、より構成を簡略化できる。そのため、製造歩留りを向上させることができる。また、導電層411a、導電層412a、導電層411b、または、導電層412bなどの下に、ソース電極及びドレイン電極285やゲート電極281などが配置されていても、問題なくレイアウトすることができる。よって、導電層411a、導電層412a、導電層411b、または、導電層412bは、ゲート電極281や、ソース電極及びドレイン電極285や、ゲート電極281と同一の導電膜を加工して形成された膜や、ソース電極及びドレイン電極285と同一の導電膜を加工して形成された膜と、重ねたり、交差させて配置することができる。つまり、ソース信号線と、導電層411a、導電層412a、導電層411b、または、導電層412bとを、重ねて配置することができる。そのため、導電層401のレイアウト面積を大きくすることができる。つまり、開口率を高くすることができる。または、ゲート信号線と、導電層411a、導電層412a、導電層411b、または、導電層412bとを、重ねて配置することができる。そのため、導電層401のレイアウト面積を大きくすることができる。つまり、開口率を高くすることができる。

10

【0275】

なお、図51では上側の導電層401が画素電極であり、下側の導電層402が共通電極である場合について説明するが、これらの関係を逆転させてもよい。

20

【0276】

なお、図50において、導電層411a及び導電層411bは、X方向に延在するように配置し、導電層412a及び導電層412bは、Y方向に延在するように配置してもよい。

【0277】

なお、図50、図51において、上側の導電層401が画素電極であり、下側の導電層402が共通電極である場合の例を示した。ただし、本発明の一態様は、これに限定されない。上側の導電層401を共通電極とし、下側の導電層402を画素電極としてもよい。その場合の例を、図52、図53に示す。

30

【0278】

なお、導電層411a、導電層411b、導電層412a、および、導電層412bの抵抗を下げたい場合には、導電層411a、導電層411b、導電層412a、および、導電層412bの上または下に、抵抗の低い導電層411a\_\_1、411b\_\_1、412a\_\_1、412b\_\_1を設けてもよい。例えば、アルミニウム、銅、チタン、モリブデン、タングステン、または、それらの積層を、導電層411a、導電層411b、導電層412a、および、導電層412bの上または下に設けてもよい。または、導電層411a\_\_1、411b\_\_1、412a\_\_1、412b\_\_1の少なくとも一つは、メッシュ状に加工された金属膜で構成されていてもよい。または、導電層411a\_\_1、411b\_\_1、412a\_\_1、412b\_\_1の少なくとも一つは、金属ナノワイヤ、またはカーボンナノチューブなどで構成されていてもよい。ただし、導電層401および導電層402は、透光性を有することが望ましい。したがって、開口部においては、導電層401および導電層402の上または下には、抵抗の低い導電層を設けないことが望ましい。その場合の例を、図54と、図55に示す。

40

【0279】

なお、導電層411a、導電層411b、導電層412a、または、導電層412bの抵抗値を実質的に下げたい場合には、導電層411a a、導電層411b b、導電層412a a、または、導電層412b bを配置してもよい。導電層411a(導電層411b、導電層412a、または、導電層412b)と、導電層411a a(導電層411b b

50

、導電層 4 1 2 a a、または、導電層 4 1 2 b b) とは、コンタクトホールを介して、接続されている。その場合の例を、図 5 6 と、図 5 7 に示す。なお、例えば、導電層 4 1 1 a と導電層 4 1 1 a a とを接続する場合には、導電層 4 0 2 に設けられた穴を介して、接続される。つまり、間に導電層 4 0 2 があって、導電層 4 0 2 などの上側の導電層と下側の導電層とを接続する場合には、導電層 4 0 2 に穴などが設けられている。

#### 【0280】

なお、導電層 4 1 1 a および導電層 4 1 1 b と、導電層 4 1 2 a および導電層 4 1 2 b とにおいて、交差部において、容量が形成される。しかしながら、この容量の大きさは、小さいことが望ましい場合がある。そこで、この交差容量を減らすようにするため、別の導電層とコンタクトホールを介して、導電層同士が接続されるようにしてもよい。その場合の例を、図 5 8 と図 5 9 に示す。図 5 8 と図 5 9 では、導電層 4 1 2 a 同士(導電層 4 1 2 b 同士)は、コンタクトホールと導電層 4 0 5 とを介して、接続されている。導電層 4 0 5 は、例えば、ゲート電極 2 8 1 と同一の導電膜を加工して形成された膜や、ソース電極及びドレイン電極 2 8 5 と同一の導電膜を加工して形成された膜を用いて、構成される。これにより、タッチセンサ電極の寄生容量を低減することができる。その結果、タッチセンサの感度を向上させることができる。

#### 【0281】

##### 〔構成例 2 - 4〕

上記では、液晶素子を構成する一对の導電層と、タッチセンサを構成する一对の導電層とをそれぞれ設ける構成としたが、液晶素子の一方の導電層が、タッチセンサの一方の導電層を兼ねる構成とすることもできる。

#### 【0282】

図 6 0 では、導電層 4 0 2 が X 方向に伸びた帯状の形状を有し、Y 方向には分断されている例を示している。このとき、導電層 4 0 2 の一つは、タッチセンサの電極として機能する導電層 4 1 2 a、導電層 4 1 2 b、または導電層 4 1 2 c として機能し、液晶素子の一方の導電層、例えば、共通電極としても機能する。また図 6 1 に、図 6 0 中の切断線 X 5 - X 6 に対応する部分の断面を含む、タッチパネルの断面概略図を示す。図 6 0 および図 6 1 は、図 7 (C) に対応している。

#### 【0283】

タッチセンサの一对の電極として機能する導電層(例えば、導電層 4 1 2 a、導電層 4 1 2 b など)と、導電層 4 0 2 を、それぞれ異なる層で形成することで、これらを交差させることができる。したがって、構成例 1 や構成例 2 と比較して、導電層 4 0 5 を用いたブリッジ部を形成する必要がないため、より構成を簡略化できる。そのため、製造歩留りを向上させることができる。また、導電層 4 1 1 a、導電層 4 1 2 a、導電層 4 1 1 b、または、導電層 4 1 2 b などの下に、ソース電極及びドレイン電極 2 8 5 やゲート電極 2 8 1 などが配置されていても、問題なくレイアウトすることができる。よって、導電層 4 1 1 a、導電層 4 1 2 a、導電層 4 1 1 b、または、導電層 4 1 2 b は、ゲート電極 2 8 1 や、ソース電極及びドレイン電極 2 8 5 や、ゲート電極 2 8 1 と同一の導電膜を加工して形成された膜や、ソース電極及びドレイン電極 2 8 5 と同一の導電膜を加工して形成された膜と、重ねたり、交差させて配置することができる。つまり、ソース信号線と、導電層 4 1 1 a、導電層 4 1 2 a、導電層 4 1 1 b、または、導電層 4 1 2 b とを、重ねて配置することができる。そのため、導電層 4 0 1 のレイアウト面積を大きくすることができる。つまり、開口率を高くすることができる。または、ゲート信号線と、導電層 4 1 1 a、導電層 4 1 2 a、導電層 4 1 1 b、または、導電層 4 1 2 b とを、重ねて配置することができる。そのため、導電層 4 0 1 のレイアウト面積を大きくすることができる。つまり、開口率を高くすることができる。

#### 【0284】

なお、図 6 0、図 6 1 において、上側の導電層 4 0 1 が画素電極であり、下側の導電層 4 0 2 が共通電極である場合の例を示した。ただし、本発明の一態様は、これに限定されない。上側の導電層 4 0 1 を共通電極とし、下側の導電層 4 0 2 を画素電極としてもよい

。その場合の例を、図 6 2、図 6 3 に示す。

【 0 2 8 5 】

なお、導電層 4 1 1 a、導電層 4 1 1 b、導電層 4 1 2 a、および、導電層 4 1 2 b の抵抗を下げたい場合には、導電層 4 1 1 a、導電層 4 1 1 b、導電層 4 1 2 a、および、導電層 4 1 2 b の上または下に、抵抗の低い導電層 4 1 1 a \_\_ 1、4 1 1 b \_\_ 1、4 1 2 a \_\_ 1、4 1 2 b \_\_ 1 を設けてもよい。例えば、アルミニウム、銅、チタン、モリブデン、タングステン、または、それらの積層を、導電層 4 1 1 a、導電層 4 1 1 b、導電層 4 1 2 a、および、導電層 4 1 2 b の上または下に設けてもよい。または、導電層 4 1 1 a \_\_ 1、4 1 1 b \_\_ 1、4 1 2 a \_\_ 1、4 1 2 b \_\_ 1 の少なくとも一つは、メッシュ状に加工された金属膜で構成されていてもよい。または、導電層 4 1 1 a \_\_ 1、4 1 1 b \_\_ 1、4 1 2 a \_\_ 1、4 1 2 b \_\_ 1 の少なくとも一つは、金属ナノワイヤ、またはカーボンナノチューブなどで構成されていてもよい。ただし、導電層 4 0 1 および導電層 4 0 2 は、透光性を有することが望ましい。したがって、開口部においては、導電層 4 0 1 および導電層 4 0 2 の上または下には、抵抗の低い導電層を設けないことが望ましい。その場合の例を、図 6 4 と、図 6 5 に示す。

10

【 0 2 8 6 】

なお、導電層 4 1 1 a、導電層 4 1 1 b、導電層 4 1 2 a、または、導電層 4 1 2 b の抵抗値を実質的に下げたい場合には、導電層 4 1 1 a a、導電層 4 1 1 b b、導電層 4 1 2 a a、または、導電層 4 1 2 b b を配置してもよい。導電層 4 1 1 a (導電層 4 1 1 b、導電層 4 1 2 a、または、導電層 4 1 2 b) と、導電層 4 1 1 a a (導電層 4 1 1 b b、導電層 4 1 2 a a、または、導電層 4 1 2 b b) とは、コンタクトホールを介して、接続されている。その場合の例を、図 6 6 と、図 6 7 に示す。なお、例えば、導電層 4 1 1 a と導電層 4 1 1 a a とを接続する場合には、導電層 4 0 2 に設けられた穴を介して、接続される。つまり、間に導電層 4 0 2 があって、導電層 4 0 2 などの上側の導電層と下側の導電層とを接続する場合には、導電層 4 0 2 に穴などが設けられている。

20

【 0 2 8 7 】

なお、導電層 4 1 1 a および導電層 4 1 1 b と、導電層 4 1 2 a および導電層 4 1 2 b とにおいて、交差部において、容量が形成される。しかしながら、この容量の大きさは、小さいことが望ましい場合がある。そこで、この交差容量を減らすようにするため、別の導電層とコンタクトホールを介して、導電層同士が接続されるようにしてもよい。その場合の例を、図 6 8 と図 6 9 とに示す。図 6 8 と図 6 9 では、導電層 4 0 2 同士は、コンタクトホールと導電層 4 0 5 とを介して、接続されている。導電層 4 0 5 は、例えば、ゲート電極 2 8 1 と同一の導電膜を加工して形成された膜や、ソース電極及びドレイン電極 2 8 5 と同一の導電膜を加工して形成された膜を用いて、構成される。これにより、タッチセンサ電極の寄生容量を低減することができる。その結果、タッチセンサの感度を向上させることができる。

30

【 0 2 8 8 】

なお、図 6 0 において、導電層 4 1 1 a 及び導電層 4 1 1 b は、X 方向に延在するように配置し、導電層 4 1 2 a 及び導電層 4 1 2 b は、Y 方向に延在するように配置してもよい。

40

【 0 2 8 9 】

また、図 7 0 では、導電層 4 0 2 が Y 方向に伸びた帯状の形状を有し、X 方向には分断されている例を示している。このとき、導電層 4 0 2 の一つは、タッチセンサの電極として機能する導電層 4 1 1 a、導電層 4 1 1 b、または導電層 4 1 1 c として機能し、液晶素子の一方の導電層、例えば、共通電極としても機能する。

【 0 2 9 0 】

このような構成とすることで、より構成を簡略化できるため好ましい。

【 0 2 9 1 】

なお、ここでは F F S モードが適用された液晶素子を用いる場合の例について説明したが、例えば I P S モードが適用された液晶素子を用いる構成としてもよい。その場合には

50

、導電層 401 と導電層 402 とを同一の導電膜を加工することにより形成すればよい。または、導電層 401 と導電層 402 の両方を、櫛歯状の上面形状にすればよい。また、このとき共通電極として機能する導電層 402 を、X 方向及び Y 方向のいずれか一方に伸びた帯状の形状とし、タッチセンサの一方の電極として機能させることが好ましい。

【0292】

〔構成例 3〕

以下では、上記構成例 1 及び構成例 2 とは一部の構成が異なるタッチパネルの構成例について図面を参照して説明する。

【0293】

以下で説明する本発明の一態様のタッチパネルは、表示素子に有機 EL 素子が適用されたタッチパネルである。

【0294】

〔構成例 3 - 1〕

図 71 には、2 つの副画素を含む領域の断面構成例を示している。図 71 で例示するタッチパネルは、トランジスタ 201 等が形成された基板側に光を射出するボトムエミッション型の発光装置を含む。

【0295】

タッチパネルは、発光素子 202 を有する。発光素子 202 は、導電層 321 と、EL 層 322 と、導電層 323 とが積層された構成を有する。また導電層 321 と導電層 323 の間に、光学調整層 324 が設けられていてもよい。発光素子 202 からの光は基板 371 側に射出される。また導電層 321 及び光学調整層 324 の端部を覆って絶縁層 215 が設けられている。

【0296】

導電層 321 は透光性を有していることが好ましい。また導電層 323 は反射性を有していることが好ましい。

【0297】

また、発光素子 202 よりも基板 371 側に、着色層 231 が設けられている。図 71 に示す構成では、着色層 231 が絶縁層 213 上に設けられている。

【0298】

導電層 351 と導電層 352 は、一方がタッチセンサの一方の電極として機能し、他方がタッチセンサの他方の電極として機能する。導電層 351 は、導電層 321 と同一面上に形成されている。また導電層 352 は、トランジスタ 201 が有する 2 つのゲート電極のうちの一方と同一面上に形成されている。したがって、作製工程を増やすことなくタッチパネルを作製することができる。

【0299】

図 71 に示すように、基板 371 側において、導電層 351 と導電層 352 の間に生じる容量を利用して検出することができる。

【0300】

〔発光素子について〕

発光素子としては、自発光が可能な素子を用いることができ、電流又は電圧によって輝度が制御される素子をその範疇に含んでいる。例えば、発光ダイオード (LED)、有機 EL 素子、無機 EL 素子等を用いることができる。

【0301】

発光素子は、トップエミッション型、ボトムエミッション型、デュアルエミッション型のいずれであってもよい。光を取り出す側の電極には、可視光を透過する導電膜を用いる。また、光を取り出さない側の電極には、可視光を反射する導電膜を用いることが好ましい。

【0302】

EL 層は少なくとも発光層を有する。EL 層は、発光層以外の層として、正孔注入性の高い物質、正孔輸送性の高い物質、正孔ブロック材料、電子輸送性の高い物質、電子注入

10

20

30

40

50

性の高い物質、又はバイポーラ性の物質（電子輸送性及び正孔輸送性が高い物質）等を含む層をさらに有していてもよい。

【0303】

EL層には低分子系化合物及び高分子系化合物のいずれを用いることもでき、無機化合物を含んでいてもよい。EL層を構成する層は、それぞれ、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法、塗布法等の方法で形成することができる。

【0304】

陰極と陽極の間に、発光素子の閾値電圧より高い電圧を印加すると、EL層に陽極側から正孔が注入され、陰極側から電子が注入される。注入された電子と正孔はEL層において再結合し、EL層に含まれる発光物質が発光する。

10

【0305】

発光素子として、白色発光の発光素子を適用する場合には、EL層に2種類以上の発光物質を含む構成とすることが好ましい。例えば2以上の発光物質の各々の発光が補色の関係となるように、発光物質を選択することにより白色発光を得ることができる。例えば、それぞれR（赤）、G（緑）、B（青）、Y（黄）、O（橙）等の発光を示す発光物質、またはR、G、Bのうち2以上の色のスペクトル成分を含む発光を示す発光物質のうち、2以上を含むことが好ましい。また、発光素子からの発光のスペクトルが、可視光領域の波長（例えば350nm～750nm）の範囲内に2以上のピークを有する発光素子を適用することが好ましい。また、黄色の波長領域にピークを有する材料の発光スペクトルは、緑色及び赤色の波長領域にもスペクトル成分を有する材料であることが好ましい。

20

【0306】

より好ましくは、EL層は、一の色を発光する発光材料を含む発光層と、他の色を発光する発光材料を含む発光層とが積層された構成とすることが好ましい。例えば、EL層における複数の発光層は、互いに接して積層されていてもよいし、分離層を介して積層されていてもよい。例えば、蛍光発光層と燐光発光層との間に分離層を設ける構成としてもよい。

【0307】

分離層は、例えば燐光発光層中で生成する燐光材料等の励起状態から蛍光発光層中の蛍光材料等へのデクスター機構によるエネルギー移動（特に三重項エネルギー移動）を防ぐために設けることができる。分離層は数nm程度の厚さがあればよい。具体的には、0.1nm以上20nm以下、あるいは1nm以上10nm以下、あるいは1nm以上5nm以下である。分離層は、単一の材料（好ましくはバイポーラ性の物質）、又は複数の材料（好ましくは正孔輸送性材料及び電子輸送性材料）を含む。

30

【0308】

分離層は、該分離層と接する発光層に含まれる材料を用いて形成してもよい。これにより、発光素子の作製が容易になり、また、駆動電圧が低減される。例えば、燐光発光層が、ホスト材料、アシスト材料、及び燐光材料（ゲスト材料）からなる場合、分離層を、該ホスト材料及びアシスト材料で形成してもよい。上記構成を別言すると、分離層は、燐光材料を含まない領域を有し、燐光発光層は、燐光材料を含む領域を有する。これにより、分離層と燐光発光層とを燐光材料の有無で蒸着し分けることが可能となる。また、このような構成とすることで、分離層と燐光発光層を同じチャンバーで成膜することが可能となる。これにより、製造コストを削減することができる。

40

【0309】

また、発光素子は、EL層を1つ有するシングル素子であってもよいし、複数のEL層が電荷発生層を介して積層されたタンデム素子であってもよい。

【0310】

〔構成例3-2〕

図72は、図71における導電層352の位置が異なる点で相違している。図72において、導電層352及びトランジスタ201のゲート電極の一方は、絶縁層212と絶縁層213の間に設けられている。

50



## 【0311】

導電層352及びトランジスタ201のゲート電極の一方には、上述した低抵抗化された酸化物半導体を含んで構成されていることが好ましい。

## 【0312】

また、図73のように、導電層352が導電層321、光学調整層324、EL層322、導電層323、着色層231の少なくとも一つと重なるように配置してもよい。また図74に示すように導電層352が導電層321、光学調整層324、EL層322、導電層323、着色層231のいずれとも重ならないように配置してもよい。

## 【0313】

## 〔断面構成例3-2〕

図75は、タッチセンサを構成する導電層351と導電層352の両方が、導電層321と同一面上に形成されている場合の例を示している。

## 【0314】

このとき、一方の副画素に配置された導電層351と、他方の副画素に配置された導電層352との間に生じる容量を利用して検出することができる。

## 【0315】

## 〔断面構成例3-3〕

図76は、基板372側に光を射出するトップエミッション型の発光装置を含むタッチパネルの断面構成例である。

## 【0316】

ここで、発光素子202において、導電層321は反射性を有し、導電層323は透光性を有する。

## 【0317】

また導電層323は、少なくとも導電層351の一部と重なる部分に開口を有する。また、導電層323は、スリットまたは開口を有していてもよいし、櫛歯状の形状を有していてもよい。

## 【0318】

導電層351及び導電層352は、導電層321と同一面上に形成されている。

## 【0319】

図76に示す例では、一方の副画素に配置された導電層351と、他方の副画素に配置された導電層352との間に生じる容量を利用して検出する例を示している。

## 【0320】

また、図77に示すように、導電層323をタッチセンサの電極として用いることもできる。すなわち、導電層351と導電層323の間に生じる容量を利用して検出する構成としてもよい。

## 【0321】

また、図77では、塗り分け方式によりEL層322を形成した例を示している。またこのとき、図77に示すようにEL層322の端部を導電層323で覆うことにより、EL層322への不純物の拡散が抑制され、信頼性を高めることができる。また図77では、着色層231等が設けられていない場合の例を示している。

## 【0322】

## 〔他の構成例〕

なお本発明の一態様は上記で例示した構成に限られず、様々な構成をとることができる。

## 【0323】

## 〔センサ電極と画素用配線との位置関係〕

例えば、画素が有するソース線（信号線）は、偶数列目と奇数列目とで、ソース線の配置を右か左かに変えることができる。その結果、ソース線が2本隣接する形となる。また、その上に、タッチセンサ用の導電層（電極）を置くことができる。また、画素が有するゲート線も同様に、上下の画素でゲート線を近接しておき、その上に、タッチセンサ用電

10

20

30

40

50

極を置くことができる。その場合の例を、図 7 8 に示す。ソース線 8 1、8 2、8 3、8 4 は、2 本ずつ隣接されている。また、ゲート線 8 5、8 6、8 7、8 8 も、2 本ずつ隣接されている。

【0324】

〔周辺回路〕

周辺回路は、一体形成しない構成とすることができる。すなわち、タッチセンサを駆動する回路と、画素を駆動する回路とを、それぞれ別に形成することができる。なお、これらの機能を一つの回路で実現してもよい。

【0325】

また、タッチセンサの X 方向の導電層または Y 方向の導電層（電極）のうち、一方の導電層の選択を行うドライバ回路を T F T で一体形成することもできる。

10

【0326】

またタッチセンサを駆動する回路は、画素を駆動するゲートドライバ側、またはソースドライバ側のいずれに配置してもよい。

【0327】

また、タッチセンサの X 方向の導電層または Y 方向の導電層（電極）と電気的に接続する 2 つの回路のうち、検知する機能を有する回路としては I C を用いることが好ましい。このとき、当該導電層は F P C を介して当該 I C で制御することが好ましい。

【0328】

〔タッチセンサの導電層（電極）の材質〕

20

タッチセンサを構成する一对の導電層の少なくとも一つは、液晶素子を構成する共通電極や画素電極などと同じ材料を用いることが好ましい。

【0329】

または、タッチセンサを構成する一对の導電層の少なくとも一つは、メッシュ状に加工された金属膜（メタルメッシュともいう）で構成してもよい。

【0330】

また、タッチセンサの X 方向の導電層または Y 方向の導電層（電極）の少なくとも一つは、その直下か直上に金属膜を付けることで、抵抗を下げるができる。このとき、金属酸化物を含む導電膜と、金属を含む導電膜の積層構造とする場合には、ハーフトーンマスクを用いたパターニング技術により形成すると、工程を簡略化できるため好ましい。

30

【0331】

〔タッチセンサの導電層（電極）を接続する配線〕

タッチセンサの X 方向の導電層と Y 方向の導電層が交差する部分において、他の導電層を用いてブリッジ構造を実現する場合、例えば、当該導電層をトランジスタのゲート電極と同一面上の導電層とし、X 方向の導電層をゲート線と平行に横方向に画素全体で引き回す。または、当該導電層をトランジスタのソース電極及びドレイン電極と同一面上の導電層とし、Y 方向の導電層をソース線と平行に、縦方向に画素全体で引き回す。このとき、画素内にコンタクト部を形成することができる。または、当該導電層を共通電極として機能する導電層と同一の導電層、または画素電極として機能する導電層と同一面上の導電層を用いてもよい。

40

【0332】

〔タッチセンサの導電層（電極）や液晶素子の導電層（電極）〕

上部に配置されるスリットを有する導電層（電極）を画素電極として用い、下部に配置され、複数の画素にわたって設けられる導電層（電極）を共通電極（コモン電極ともいう）として用いることができる。

【0333】

または、上部に配置され、複数の画素にわたって設けられるスリットを有する導電層（電極）を共通電極として用い、下部に配置され、複数の画素のそれぞれに設けられる導電層（電極）を画素電極として用いることができる。

【0334】

50

タッチセンサの X 方向の導電層を、画素電極として機能する導電層、または共通電極として機能する導電層と兼ねる構成とすることができる。または、タッチセンサの Y 方向の導電層を、画素電極として機能する導電層、または共通電極として機能する導電層と兼ねる構成とすることができる。

【 0 3 3 5 】

また、タッチセンサの X 方向の導電層をパルス電圧が与えられる導電層または電流の検知を行う導電層のいずれとしてもよい。またこのとき、タッチセンサの Y 方向の導電層は他方にすればよい。

【 0 3 3 6 】

また、タッチセンサの X 方向の導電層または Y 方向の導電層が交差する部分において、いずれか一方の導電層の形状を、他の部分とは異なる形状とすることができる。例えば、画素電極として機能する導電層と同一面上の導電層のみでタッチセンサの一对の導電層を形成する場合、下部に配置される共通電極として機能する導電層をタッチセンサの導電層の下部には配置しないようにすることができる。ただし、タッチセンサの導電層の下部に位置する共通電極として機能する導電層を全て設けない構成とすると、当該共通電極として機能する導電層が島状となってしまうため、隣接する 2 つの共通電極として機能する導電層の一部がつながるように、スリットを有するような形状とすることが好ましい。

【 0 3 3 7 】

また、共通電極として機能する導電層は、複数の画素にわたって設けられる構成としてもよいし、例えばトランジスタのゲート電極と同一面上の導電層により形成された共通配線と電氣的に接続されていてもよい。このとき、1 つの共通電極として機能する導電層は島状の形状を有していてもよい。

【 0 3 3 8 】

〔対向基板〕

トランジスタ等が設けられる基板と対向して設けられる基板（対向基板ともいう）にタッチセンサの X 方向の導電層または Y 方向の導電層を設ける場合、当該導電層よりも視認側に遮光層を配置することが好ましい。

【 0 3 3 9 】

また、対向基板に液晶素子の一方の電極を形成する場合（TN モード、MVA モード等の場合）、対向基板に設けられるタッチセンサの導電層と重なる部分には、当該電極にスリットを設けることが好ましい。

【 0 3 4 0 】

また、FFS モードや IPS モード等のように、一对の電極をトランジスタ等が設けられる基板上に形成する場合であっても、対向基板に液晶の配向を制御する導電層を設けてもよい。このときも同様に、当該導電層には、タッチセンサの導電層と重なる部分にスリットを設けることが好ましい。

【 0 3 4 1 】

〔駆動方法〕

タッチセンサの駆動方法としては、例えば画素の駆動における 1 水平期間（1 ゲート選択期間）の隙間で、対応する行のセンシング（走査）をする方法を用いることができる。または、1 フレーム期間を 2 つに分け、前半で全画素の書き込みを行い、後半でセンシングしてもよい。

【 0 3 4 2 】

〔トランジスタ〕

例えば、本明細書等において、トランジスタとして、様々な構造のトランジスタを用いることが出来る。よって、用いるトランジスタの種類に限定はない。トランジスタの一例としては、単結晶シリコンを有するトランジスタ、または、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有するトランジスタなどを用いることが出来る。または、それらの半導体を薄膜化した薄膜トランジスタ（TFET）などを用いることが

10

20

30

40

50

出来る。TFTを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。または、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透光性を有する基板上にトランジスタを製造できる。または、透光性を有する基板上のトランジスタを用いて表示素子の光の透過を制御することが出来る。または、トランジスタの膜厚が薄いため、トランジスタを形成する膜の一部は、光を透過させることが出来る。そのため、開口率が向上させることができる。

#### 【0343】

なお、多結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。その結果、ゲートドライバ回路（走査線駆動回路）、ソースドライバ回路（信号線駆動回路）、及び信号処理回路（信号生成回路、ガンマ補正回路、DA変換回路など）を基板上に一体形成することが出来る。

#### 【0344】

なお、微結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。このとき、レーザー照射を行うことなく、熱処理を加えるだけで、結晶性を向上させることも可能である。その結果、ソースドライバ回路の一部（アナログスイッチなど）及びゲートドライバ回路（走査線駆動回路）を基板上に一体形成することが出来る。なお、結晶化のためにレーザー照射を行わない場合は、シリコンの結晶性のムラを抑えることができる。そのため、画質の向上した画像を表示することが出来る。ただし、触媒（ニッケルなど）を用いずに、多結晶シリコン又は微結晶シリコンを製造することは可能である。

#### 【0345】

なお、シリコンの結晶性を、多結晶又は微結晶などへと向上させることは、パネル全体で行うことが望ましいが、それに限定されない。パネルの一部の領域のみにおいて、シリコンの結晶性を向上させてもよい。選択的に結晶性を向上させることは、レーザー光を選択的に照射することなどにより可能である。例えば、画素以外の領域である周辺回路領域にのみ、ゲートドライバ回路及びソースドライバ回路などの領域にのみ、又はソースドライバ回路の一部（例えば、アナログスイッチ）の領域にのみ、にレーザー光を照射してもよい。その結果、回路を高速に動作させる必要がある領域にのみ、シリコンの結晶化を向上させることができる。画素領域は、高速に動作させる必要性が低いため、結晶性が向上されなくても、問題なく画素回路を動作させることが出来る。こうすることによって、結晶性を向上させる領域が少なくて済むため、製造工程も短くすることが出来る。そのため、スループットが向上し、製造コストを低減させることが出来る。または、必要とされる製造装置の数も少ない数で製造できるため、製造コストを低減させることが出来る。

#### 【0346】

なお、トランジスタの一例としては、化合物半導体（例えば、SiGe、GaAsなど）、又は酸化物半導体（例えば、Zn-O、In-Ga-Zn-O、In-Zn-O、In-Sn-O（ITO）、Sn-O、Ti-O、Al-Zn-Sn-O（AZTO）、In-Sn-Zn-Oなど）などを有するトランジスタを用いることが出来る。または、これらの化合物半導体、又は、これらの酸化物半導体を薄膜化した薄膜トランジスタなどを用いることが出来る。これらにより、製造温度を低くできるので、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板又はフィルム基板などに直接トランジスタを形成することが出来る。なお、これらの化合物半導体又は酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体又は酸化物半導体を配線、抵抗素子、画素電極、又は透光性を有する電極などとして用いることができる。それらをトランジスタと同時に成膜又は形成することが可能なため、コストを低減できる。

10

20

30

40

50

## 【0347】

なお、トランジスタの一例としては、インクジェット法又は印刷法を用いて形成したトランジスタなどを用いることが出来る。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することが出来る。よって、マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。または、レジストを用いらずに製造することが可能なので、材料費が安くなり、工程数を削減できる。または、必要な部分にのみ膜を付けることが可能なので、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

## 【0348】

なお、トランジスタの一例としては、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることが出来る。これらにより、曲げることが可能な基板上にトランジスタを形成することが出来る。有機半導体やカーボンナノチューブを有するトランジスタを用いた装置は、衝撃に強くすることが出来る。

10

## 【0349】

なお、トランジスタとしては、他にも様々な構造のトランジスタを用いることが出来る。例えば、トランジスタとして、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを用いることが出来る。トランジスタとしてMOS型トランジスタを用いることにより、トランジスタのサイズを小さくすることが出来る。よって、多数のトランジスタを搭載することが出来る。トランジスタとしてバイポーラトランジスタを用いることにより、大きな電流を流すことが出来る。よって、高速に回路を動作させることが出来る。なお、MOS型トランジスタとバイポーラトランジスタとを1つの基板に混在させて形成してもよい。これにより、低消費電力、小型化、高速動作などを実現することが出来る。

20

## 【0350】

例えば、本明細書等において、トランジスタの一例としては、ゲート電極が2個以上のマルチゲート構造のトランジスタを用いることが出来る。マルチゲート構造にすると、チャンネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構造となる。よって、マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上（信頼性の向上）を図ることが出来る。または、マルチゲート構造により、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレインとソースとの間の電流があまり変化せず、傾きがフラットである電圧・電流特性を得ることが出来る。傾きがフラットである電圧・電流特性を利用すると、理想的な電流源回路、又は非常に高い抵抗値をもつ能動負荷を実現することが出来る。その結果、特性のよい差動回路又はカレントミラー回路などを実現することが出来る。

30

## 【0351】

なお、トランジスタの一例としては、チャンネルの上下にゲート電極が配置されている構造のトランジスタを適用することが出来る。チャンネルの上下にゲート電極が配置される構造にすることにより、複数のトランジスタが並列に接続されたような回路構成となる。よって、チャンネル領域が増えるため、電流値の増加を図ることが出来る。または、チャンネルの上下にゲート電極が配置されている構造にすることにより、空乏層ができやすくなるため、S値の改善を図ることが出来る。

40

## 【0352】

なお、トランジスタの一例としては、チャンネル領域の上にゲート電極が配置されている構造、チャンネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャンネル領域を複数の領域に分けた構造、チャンネル領域を並列に接続した構造、又はチャンネル領域が直列に接続する構造などのトランジスタを用いることが出来る。または、トランジスタとして、プレーナ型、FIN型（フィン型）、TRI-GATE型（トライゲート型）、トップゲート型、ボトムゲート型、ダブルゲート型（チャンネルの上下にゲートが配置されている）、など、様々な構成をとることが出来る。

## 【0353】

50

なお、トランジスタの一例としては、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造のトランジスタを用いることができる。チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることによって、チャンネル領域の一部に電荷が溜まることにより動作が不安定になることを防ぐことができる。

#### 【0354】

なお、トランジスタの一例としては、LDD領域を設けた構造を適用できる。LDD領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上（信頼性の向上）を図ることができる。または、LDD領域を設けることにより、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレイン電流があまり変化せず、傾きがフラットな電圧・電流特性を得ることができる。

10

#### 【0355】

例えば、図61において、トップゲート型のトランジスタを用いた場合を図79に示す。

#### 【0356】

〔接続とは〕

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等の開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

20

#### 【0357】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

#### 【0358】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

30

#### 【0359】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

40

#### 【0360】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信

50

号が Y へ伝達される場合は、X と Y とは機能的に接続されているものとする。なお、X と Y とが機能的に接続されている場合は、X と Y とが直接的に接続されている場合と、X と Y とが電氣的に接続されている場合とを含むものとする。

【0361】

なお、X と Y とが電氣的に接続されている、と明示的に記載されている場合は、X と Y とが電氣的に接続されている場合（つまり、X と Y との間に別の素子又は別の回路を挟んで接続されている場合）と、X と Y とが機能的に接続されている場合（つまり、X と Y との間に別の回路を挟んで機能的に接続されている場合）と、X と Y とが直接接続されている場合（つまり、X と Y との間に別の素子又は別の回路を挟まずに接続されている場合）とが、本明細書等に関示されているものとする。つまり、電氣的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等に関示されているものとする。

10

【0362】

なお、例えば、トランジスタのソース（又は第 1 の端子など）が、Z 1 を介して（又は介さず）、X と電氣的に接続され、トランジスタのドレイン（又は第 2 の端子など）が、Z 2 を介して（又は介さず）、Y と電氣的に接続されている場合や、トランジスタのソース（又は第 1 の端子など）が、Z 1 の一部と直接的に接続され、Z 1 の別の一部が X と直接的に接続され、トランジスタのドレイン（又は第 2 の端子など）が、Z 2 の一部と直接的に接続され、Z 2 の別の一部が Y と直接的に接続されている場合では、以下のように表現することが出来る。

20

【0363】

例えば、「X と Y とトランジスタのソース（又は第 1 の端子など）とドレイン（又は第 2 の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第 1 の端子など）、トランジスタのドレイン（又は第 2 の端子など）、Y の順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第 1 の端子など）は、X と電氣的に接続され、トランジスタのドレイン（又は第 2 の端子など）は Y と電氣的に接続され、X、トランジスタのソース（又は第 1 の端子など）、トランジスタのドレイン（又は第 2 の端子など）、Y は、この順序で電氣的に接続されている」と表現することができる。または、「X は、トランジスタのソース（又は第 1 の端子など）とドレイン（又は第 2 の端子など）とを介して、Y と電氣的に接続され、X、トランジスタのソース（又は第 1 の端子など）、トランジスタのドレイン（又は第 2 の端子など）、Y は、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第 1 の端子など）と、ドレイン（又は第 2 の端子など）とを、区別して、技術的範囲を決定することができる。

30

【0364】

または、別の表現方法として、例えば、「トランジスタのソース（又は第 1 の端子など）は、少なくとも第 1 の接続経路を介して、X と電氣的に接続され、前記第 1 の接続経路は、第 2 の接続経路を有しておらず、前記第 2 の接続経路は、トランジスタを介した、トランジスタのソース（又は第 1 の端子など）とトランジスタのドレイン（又は第 2 の端子など）との間の経路であり、前記第 1 の接続経路は、Z 1 を介した経路であり、トランジスタのドレイン（又は第 2 の端子など）は、少なくとも第 3 の接続経路を介して、Y と電氣的に接続され、前記第 3 の接続経路は、前記第 2 の接続経路を有しておらず、前記第 3 の接続経路は、Z 2 を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第 1 の端子など）は、少なくとも第 1 の接続経路によって、Z 1 を介して、X と電氣的に接続され、前記第 1 の接続経路は、第 2 の接続経路を有しておらず、前記第 2 の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第 2 の端子など）は、少なくとも第 3 の接続経路によって、Z 2 を介して、Y と電氣的に接続され、前記第 3 の接続経路は、前記第 2 の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（又は第 1 の端子など）は、少な

40

50

くとも第 1 の電氣的パスによって、Z 1 を介して、X と電氣的に接続され、前記第 1 の電氣的パスは、第 2 の電氣的パスを有しておらず、前記第 2 の電氣的パスは、トランジスタのソース（又は第 1 の端子など）からトランジスタのドレイン（又は第 2 の端子など）への電氣的パスであり、トランジスタのドレイン（又は第 2 の端子など）は、少なくとも第 3 の電氣的パスによって、Z 2 を介して、Y と電氣的に接続され、前記第 3 の電氣的パスは、第 4 の電氣的パスを有しておらず、前記第 4 の電氣的パスは、トランジスタのドレイン（又は第 2 の端子など）からトランジスタのソース（又は第 1 の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第 1 の端子など）と、ドレイン（又は第 2 の端子など）とを、区別して、技術的範囲を決定することができる。

10

#### 【0365】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z 1、Z 2 は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

#### 【0366】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1 つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

20

#### 【0367】

##### 〔基板〕

例えば、本明細書等において、様々な基板を用いて、トランジスタを形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板（例えば単結晶基板又はシリコン基板）、SOI 基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）、ポリテトラフルオロエチレン（PTFE）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又は SOI 基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

30

40

#### 【0368】

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するために用いることができる。その際、トランジスタは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成等を用いる

50



ことができる。

【0369】

つまり、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュブラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

10

【0370】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態、または、本実施の形態の少なくとも一部と適宜組み合わせる実施することができる。

【0371】

（実施の形態2）

本実施の形態では、上述の実施の形態で説明した表示装置にドライバーICを適用した際の実装例について、図80（A）、（B）を用いて説明する。

【0372】

図80（A）の表示装置500Aは、画素部510、ゲートドライバー520\_\_1、ゲートドライバー520\_\_2、ソースドライバー530を有する。画素部510は、ゲート線GL、ソース線SLに接続される画素511を有する。ソースドライバー530は、複数のTAB（Tape Automated Bonding）テープ531、ソースドライバーIC532\_\_1乃至532\_\_k（kは2以上の自然数）を有する。

20

【0373】

画素部510において画素511は、一例として、長辺側（図80（A）に図示するX方向）と、短辺側（図80（A）に図示するY方向）とに、マトリクス状に設けられる。従って本実施の形態の構成では、同じゲート線GLに接続して短辺側に設けられる画素511の数よりも、同じソース線SLに接続して長辺側に設けられる画素511の数の方が多くなる。

30

【0374】

ゲートドライバー520\_\_1、ゲートドライバー520\_\_2は、長辺側の二辺に設けられる。ゲートドライバー520\_\_1は、奇数行のゲート線（GL1，GL3）を駆動し、ゲートドライバー520\_\_2は、偶数行のゲート線（GL2，GL4）を駆動する。長辺側に並んで設けられるゲート線GLは、画素の数に応じて多くなる。ゲートドライバー520\_\_1、ゲートドライバー520\_\_2を設けることで、ゲート線GL一本あたりの選択期間を長くすることができる。

【0375】

またゲートドライバー520\_\_1、ゲートドライバー520\_\_2は、ソースドライバー530に比べて高速での動作が不要である。そのためまたゲートドライバー520\_\_1、ゲートドライバー520\_\_2は、画素511が有するトランジスタと同様に作製したトランジスタで構成することが好ましい。表示装置500Aに、ゲートドライバー520\_\_1、ゲートドライバー520\_\_2を内蔵することで、低コスト化を図ることができる。また表示装置500Aの狭額縁化ができる。

40

【0376】

ソースドライバーIC532\_\_1乃至532\_\_k（kは2以上の自然数）はTABテープ531上に異方性導電接着剤等によって実装される。表示装置500Aは、ソースドライバーIC532\_\_1乃至532\_\_kが実装された複数のTABテープ531を貼り付けることで、複数のソース線（SL1，SL2）の駆動を行う。

【0377】

50

ソースドライバー IC 532 \_\_ 1 乃至 532 \_\_ k は、ゲートドライバー 520 \_\_ 1、ゲートドライバー 520 \_\_ 2 より高速で動作させる。そのため、ソースドライバー IC 532 \_\_ 1 乃至 532 \_\_ k は、ゲートドライバー 520 \_\_ 1、ゲートドライバー 520 \_\_ 2 のように表示装置 500A に内蔵させることが難しい。本実施の形態のように、ソースドライバー 530 を短辺側に配置することで、ソースドライバー IC の数を削減でき、低コスト化を図ることができる。

#### 【0378】

ソースドライバー IC の数の削減は、特に画素数の多い表示装置、例えば画素数が  $8k \times 4k$  といった表示装置に適用することが極めて有効である。画素数の多い表示装置を低コストで作製できることで画素の精細度を高めることができ、より臨場感のある表示装置を低コストで作製することができる。

10

#### 【0379】

なお図 80 (A) とは異なる構成として、図 80 (B) の構成としてもよい。図 80 (B) の表示装置 500B は、図 80 (A) とは異なり、画素 1 行あたりのゲート線 GL の数を増やし、画素 1 列あたりのソース線 SL の数を削減する構成である。

#### 【0380】

図 80 (B) のゲートドライバー 520 \_\_ 1、ゲートドライバー 520 \_\_ 2 は、図 80 (A) と同様に、長辺側の二辺に設けられる。ゲートドライバー 520 \_\_ 1 は、奇数行のゲート線 (GL1, GL3, GL5, GL7) を駆動し、ゲートドライバー 520 \_\_ 2 は、偶数行のゲート線 (GL2, GL4, GL6, GL8) を駆動する。

20

#### 【0381】

図 80 (B) のソースドライバー IC 532 \_\_ 1 乃至 532 \_\_ k / 2 は、図 80 (A) と比べて半分の数のソース線 (SL1) を駆動するだけでよい。そのため、ソースドライバー IC の数をさらに削減でき、より低コスト化を図ることができる。

#### 【0382】

ここで、特に 50 インチ以上、または 60 インチ以上といった画面の大きな表示装置を実現するために、各画素に設けられるトランジスタとしては、移動度の比較的高いものを用いることが好ましい。例えばトランジスタの半導体層に多結晶シリコンなどを用いることもできるが、酸化物半導体を用いると大型基板に容易に形成できるため好ましい。またこのとき、酸化物半導体として In - M - Zn 酸化物を用いる場合、M よりも In が多く含有する酸化物を用いることが好ましい。例えば、In : Ga : Zn = 4 : 2 : 3 の酸化物膜と、In : Ga : Zn = 1 : 1 : 1 の酸化物膜を積層した酸化物半導体膜を、半導体層に用いたトランジスタを適用することで、高い移動度を実現できる。

30

#### 【0383】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

#### 【0384】

##### (実施の形態 3)

本実施の形態では、上記実施の形態に示したトランジスタに置き換えて用いることができるトランジスタの一例について、図面を用いて説明する。

40

#### 【0385】

本発明の一態様のタッチパネルは、ボトムゲート型のトランジスタや、トップゲート型トランジスタなどの様々な形態のトランジスタを用いて作製することができる。よって、既存の製造ラインに合わせて、使用する半導体層の材料やトランジスタ構造を容易に置き換えることができる。

#### 【0386】

##### 〔ボトムゲート型トランジスタ〕

図 81 (A1) は、ボトムゲート型のトランジスタの一種であるチャネル保護型のトランジスタ 810 の断面図である。図 81 (A1) において、トランジスタ 810 は基板 771 上に形成されている。また、トランジスタ 810 は、基板 771 上に絶縁層 772 を

50

介して電極 746 を有する。また、電極 746 上に絶縁層 726 を介して半導体層 742 を有する。電極 746 はゲート電極として機能できる。絶縁層 726 はゲート絶縁層として機能できる。

【0387】

また、半導体層 742 のチャネル形成領域上に絶縁層 741 を有する。また、半導体層 742 の一部と接して、絶縁層 726 上に電極 744a および電極 744b を有する。電極 744a は、ソース電極またはドレイン電極の一方として機能できる。電極 744b は、ソース電極またはドレイン電極の他方として機能できる。電極 744a の一部、および電極 744b の一部は、絶縁層 741 上に形成される。

【0388】

絶縁層 741 は、チャネル保護層として機能できる。チャネル形成領域上に絶縁層 741 を設けることで、電極 744a および電極 744b の形成時に生じる半導体層 742 の露出を防ぐことができる。よって、電極 744a および電極 744b の形成時に、半導体層 742 のチャネル形成領域がエッチングされることを防ぐことができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。

【0389】

また、トランジスタ 810 は、電極 744a、電極 744b および絶縁層 741 上に絶縁層 728 を有し、絶縁層 728 の上に絶縁層 729 を有する。

【0390】

本実施の形態で開示するトランジスタを構成する電極、半導体層、絶縁層などは、他の実施の形態に開示した材料および方法を用いて形成することができる。

【0391】

半導体層 742 に酸化物半導体を用いる場合、電極 744a および電極 744b の、少なくとも半導体層 742 と接する部分に、半導体層 742 の一部から酸素を奪い、酸素欠損を生じさせることが可能な材料を用いることが好ましい。半導体層 742 中の酸素欠損が生じた領域はキャリア濃度が増加し、当該領域は n 型化し、n 型領域 (n<sup>+</sup> 層) となる。したがって、当該領域はソース領域またはドレイン領域として機能することができる。半導体層 742 に酸化物半導体を用いる場合、半導体層 742 から酸素を奪い、酸素欠損を生じさせることが可能な材料の一例として、タングステン、チタン等を挙げることができる。

【0392】

半導体層 742 にソース領域およびドレイン領域が形成されることにより、電極 744a および電極 744b と半導体層 742 の接触抵抗を低減することができる。よって、電界効果移動度や、しきい値電圧などの、トランジスタの電気特性を良好なものとすることができる。

【0393】

半導体層 742 にシリコンなどの半導体を用いる場合は、半導体層 742 と電極 744a の間、および半導体層 742 と電極 744b の間に、n 型半導体または p 型半導体として機能する層を設けることが好ましい。n 型半導体または p 型半導体として機能する層は、トランジスタのソース領域またはドレイン領域として機能することができる。

【0394】

絶縁層 729 は、外部からのトランジスタへの不純物の拡散を防ぐ、または低減する機能を有する材料を用いて形成することが好ましい。なお、必要に応じて絶縁層 729 を省略することもできる。

【0395】

なお、半導体層 742 に酸化物半導体を用いる場合、絶縁層 729 の形成前または形成後、もしくは絶縁層 729 の形成前後に加熱処理を行ってもよい。加熱処理を行うことで、絶縁層 729 や他の絶縁層中に含まれる酸素を半導体層 742 中に拡散させ、半導体層 742 中の酸素欠損を補填することができる。または、絶縁層 729 を加熱しながら成膜することで、半導体層 742 中の酸素欠損を補填することができる。

10

20

30

40

50

## 【0396】

なお、一般に、CVD法は、プラズマを利用するプラズマCVD(PECVD: Plasma Enhanced CVD)法、熱を利用する熱CVD(TCVD: Thermal CVD)法などに分類できる。さらに用いる原料ガスによって金属CVD(MCVD: Metal CVD)法、有機金属CVD(MOCVD: Metal Organic CVD)法などに分類できる。

## 【0397】

また、一般に、蒸着法は、抵抗加熱蒸着法、電子線蒸着法、MBE(Molecular Beam Epitaxy)法、PLD(Pulsed Laser Deposition)法、IAD(Ion beam Assisted Deposition)法、ALD(Atomic Layer Deposition)法などに分類できる。

10

## 【0398】

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、MOCVD法や蒸着法などの、成膜時にプラズマを用いない成膜方法を用いると、被形成面にダメージが生じにくく、また、欠陥の少ない膜が得られる。

## 【0399】

また、一般に、スパッタリング法は、DCスパッタリング法、マグネトロンスパッタリング法、RFスパッタリング法、イオンビームスパッタリング法、ECR(Electron Cyclotron Resonance)スパッタリング法、対向ターゲットスパッタリング法などに分類できる。

20

## 【0400】

対向ターゲットスパッタリング法では、プラズマがターゲット間に閉じこめられるため、基板へのプラズマダメージを低減することができる。また、ターゲットの傾きによっては、スパッタリング粒子の基板への入射角度を浅くすることができるため、段差被覆性を高めることができる。

## 【0401】

図81(A2)に示すトランジスタ811は、絶縁層729上にバックゲート電極として機能できる電極723を有する点が、トランジスタ810と異なる。電極723は、電極746と同様の材料および方法で形成することができる。

## 【0402】

一般に、バックゲート電極は導電層で形成され、ゲート電極とバックゲート電極で半導体層のチャネル形成領域を挟むように配置される。よって、バックゲート電極は、ゲート電極と同様に機能させることができる。バックゲート電極の電位は、ゲート電極と同電位としてもよいし、接地電位(GND電位)や、任意の電位としてもよい。また、バックゲート電極の電位をゲート電極と連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

30

## 【0403】

電極746および電極723は、どちらもゲート電極として機能することができる。よって、絶縁層726、絶縁層728、および絶縁層729は、それぞれがゲート絶縁層として機能することができる。なお、電極723は、絶縁層728と絶縁層729の間に設けてもよい。

40

## 【0404】

なお、電極746または電極723の一方を、「ゲート電極」という場合、他方を「バックゲート電極」という。例えば、トランジスタ811において、電極723を「ゲート電極」と言う場合、電極746を「バックゲート電極」と言う。また、電極723を「ゲート電極」として用いる場合は、トランジスタ811をトップゲート型のトランジスタの一種と考えることができる。また、電極746および電極723のどちらか一方を、「第1のゲート電極」といい、他方を「第2のゲート電極」という場合がある。

## 【0405】

半導体層742を挟んで電極746および電極723を設けることで、更には、電極7

50

４６および電極７２３を同電位とすることで、半導体層７４２においてキャリアの流れる領域が膜厚方向においてより大きくなるため、キャリアの移動量が増加する。この結果、トランジスタ８１１のオン電流が大きくなる共に、電界効果移動度が高くなる。

【０４０６】

したがって、トランジスタ８１１は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ８１１の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さくすることができる。よって、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

【０４０７】

また、ゲート電極とバックゲート電極は導電層で形成されるため、トランジスタの外部で生じる電界が、チャンネルが形成される半導体層に作用しないようにする機能（特に静電気などに対する電界遮蔽機能）を有する。なお、バックゲート電極を半導体層よりも大きく形成し、バックゲート電極で半導体層を覆うことで、電界遮蔽機能を高めることができる。

【０４０８】

また、電極７４６および電極７２３は、それぞれが外部からの電界を遮蔽する機能を有するため、絶縁層７７２側もしくは電極７２３上方に生じる荷電粒子等の電荷が半導体層７４２のチャンネル形成領域に影響しない。この結果、ストレス試験（例えば、ゲートに負の電荷を印加する－ＧＢＴ（Gate Bias-Temperature）ストレス試験）による劣化が抑制される。また、ドレイン電圧の大きさにより、オン電流が流れ始めるゲート電圧（立ち上がり電圧）が変化する現象を軽減することができる。なお、この効果は、電極７４６および電極７２３が、同電位、または異なる電位の場合において生じる。

【０４０９】

なお、ＢＴストレス試験は加速試験の一種であり、長期間の使用によって起こるトランジスタの特性変化（経年変化）を短時間で評価することができる。特に、ＢＴストレス試験前後におけるトランジスタのしきい値電圧の変動量は、信頼性を調べるための重要な指標となる。しきい値電圧の変動量が少ないほど、信頼性が高いトランジスタであるといえる。

【０４１０】

また、電極７４６および電極７２３を有し、且つ電極７４６および電極７２３を同電位とすることで、しきい値電圧の変動量が低減される。このため、複数のトランジスタにおける電気特性のばらつきも同時に低減される。

【０４１１】

また、バックゲート電極を有するトランジスタは、ゲートに正の電荷を印加する＋ＧＢＴストレス試験前後におけるしきい値電圧の変動も、バックゲート電極を有さないトランジスタより小さい。

【０４１２】

また、バックゲート電極を、遮光性を有する導電膜で形成することで、バックゲート電極側から半導体層に光が入射することを防ぐことができる。よって、半導体層の光劣化を防ぎ、トランジスタのしきい値電圧がシフトするなどの電気特性の劣化を防ぐことができる。

【０４１３】

本発明の一態様によれば、信頼性の良好なトランジスタを実現することができる。また、信頼性の良好な半導体装置を実現することができる。

【０４１４】

図８１（Ｂ１）に、ボトムゲート型のトランジスタの１つであるチャンネル保護型のトランジスタ８２０の断面図を示す。トランジスタ８２０は、トランジスタ８１０とほぼ同様の構造を有しているが、絶縁層７４１が半導体層７４２を覆っている点が異なる。また、

10

20

30

40

50

半導体層 742 と重なる絶縁層 741 の一部を選択的に除去して形成した開口部において、半導体層 742 と電極 744a が電氣的に接続している。また、半導体層 742 と重なる絶縁層 741 の一部を選択的に除去して形成した他の開口部において、半導体層 742 と電極 744b が電氣的に接続している。絶縁層 741 の、チャンネル形成領域と重なる領域は、チャンネル保護層として機能できる。

【0415】

図 81 (B2) に示すトランジスタ 821 は、絶縁層 729 上にバックゲート電極として機能できる電極 723 を有する点が、トランジスタ 820 と異なる。

【0416】

絶縁層 741 を設けることで、電極 744a および電極 744b の形成時に生じる半導体層 742 の露出を防ぐことができる。よって、電極 744a および電極 744b の形成時に半導体層 742 の薄膜化を防ぐことができる。

【0417】

また、トランジスタ 820 およびトランジスタ 821 は、トランジスタ 810 およびトランジスタ 811 よりも、電極 744a と電極 746 の間の距離と、電極 744b と電極 746 の間の距離が長くなる。よって、電極 744a と電極 746 の間に生じる寄生容量を小さくすることができる。また、電極 744b と電極 746 の間に生じる寄生容量を小さくすることができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現できる。

【0418】

図 81 (C1) に示すトランジスタ 825 は、ボトムゲート型のトランジスタの 1 つであるチャンネルエッチング型のトランジスタである。トランジスタ 825 は、絶縁層 741 を用いずに電極 744a および電極 744b を形成する。このため、電極 744a および電極 744b の形成時に露出する半導体層 742 の一部がエッチングされる場合がある。一方、絶縁層 741 を設けないため、トランジスタの生産性を高めることができる。

【0419】

図 81 (C2) に示すトランジスタ 826 は、絶縁層 729 上にバックゲート電極として機能できる電極 723 を有する点が、トランジスタ 825 と異なる。

【0420】

〔トップゲート型トランジスタ〕

図 82 (A1) に、トップゲート型のトランジスタの一種であるトランジスタ 830 の断面図を示す。トランジスタ 830 は、絶縁層 772 の上に半導体層 742 を有し、半導体層 742 および絶縁層 772 上に、半導体層 742 の一部に接する電極 744a、および半導体層 742 の一部に接する電極 744b を有し、半導体層 742、電極 744a、および電極 744b 上に絶縁層 726 を有し、絶縁層 726 上に電極 746 を有する。

【0421】

トランジスタ 830 は、電極 746 および電極 744a、並びに、電極 746 および電極 744b が重ならないため、電極 746 および電極 744a の間に生じる寄生容量、並びに、電極 746 および電極 744b の間に生じる寄生容量を小さくすることができる。また、電極 746 を形成した後に、電極 746 をマスクとして用いて不純物 755 を半導体層 742 に導入することで、半導体層 742 中に自己整合（セルフアライメント）的に不純物領域を形成することができる（図 82 (A3) 参照）。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。

【0422】

なお、不純物 755 の導入は、イオン注入装置、イオンドーピング装置またはプラズマ処理装置を用いて行うことができる。

【0423】

不純物 755 としては、例えば、第 13 族元素または第 15 族元素のうち、少なくとも一種の元素を用いることができる。また、半導体層 742 に酸化物半導体を用いる場合は、不純物 755 として、希ガス、水素、および窒素のうち、少なくとも一種の元素を

10

20

30

40

50

用いることも可能である。

【0424】

図82(A2)に示すトランジスタ831は、電極723および絶縁層727を有する点がトランジスタ830と異なる。トランジスタ831は、絶縁層772の上に形成された電極723を有し、電極723上に形成された絶縁層727を有する。電極723は、バックゲート電極として機能することができる。よって、絶縁層727は、ゲート絶縁層として機能することができる。絶縁層727は、絶縁層726と同様の材料および方法により形成することができる。

【0425】

トランジスタ811と同様に、トランジスタ831は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ831の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さくすることができる。よって、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

10

【0426】

図82(B1)に例示するトランジスタ840は、トップゲート型のトランジスタの1つである。トランジスタ840は、電極744aおよび電極744bを形成した後に半導体層742を形成する点が、トランジスタ830と異なる。また、図82(B2)に例示するトランジスタ841は、電極723および絶縁層727を有する点が、トランジスタ840と異なる。トランジスタ840およびトランジスタ841において、半導体層742の一部は電極744a上に形成され、半導体層742の他の一部は電極744b上に形成される。

20

【0427】

トランジスタ811と同様に、トランジスタ841は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ841の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さくすることができる。よって、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

【0428】

図83(A1)に例示するトランジスタ842は、トップゲート型のトランジスタの1つである。トランジスタ842は、絶縁層729を形成した後に電極744aおよび電極744bを形成する点がトランジスタ830やトランジスタ840と異なる。電極744aおよび電極744bは、絶縁層728および絶縁層729に形成した開口部において半導体層742と電氣的に接続する。

30

【0429】

また、電極746と重ならない絶縁層726の一部を除去し、電極746と残りの絶縁層726をマスクとして用いて不純物755を半導体層742に導入することで、半導体層742中に自己整合(セルフアライメント)的に不純物領域を形成することができる(図83(A3)参照)。トランジスタ842は、絶縁層726が電極746の端部を越えて延伸する領域を有する。不純物755を半導体層742に導入する際に、半導体層742の絶縁層726を介して不純物755が導入された領域の不純物濃度は、絶縁層726を介さずに不純物755が導入された領域よりも小さくなる。よって、半導体層742の電極746と重なる部分に隣接する領域にLDD(Lightly Doped Drain)領域が形成される。

40

【0430】

図83(A2)に示すトランジスタ843は、電極723を有する点がトランジスタ842と異なる。トランジスタ843は、基板771の上に形成された電極723を有し、絶縁層772を介して半導体層742と重なる。電極723は、バックゲート電極として機能することができる。

【0431】

50

また、図 8 3 ( B 1 ) に示すトランジスタ 8 4 4 および図 8 3 ( B 2 ) に示すトランジスタ 8 4 5 のように、電極 7 4 6 と重ならない領域の絶縁層 7 2 6 を全て除去してもよい。また、図 8 3 ( C 1 ) に示すトランジスタ 8 4 6 および図 8 3 ( C 2 ) に示すトランジスタ 8 4 7 のように、電極 7 4 6 と重ならない領域に絶縁層 7 2 6 を残してもよい。

#### 【 0 4 3 2 】

トランジスタ 8 4 2 乃至トランジスタ 8 4 7 も、電極 7 4 6 を形成した後に、電極 7 4 6 をマスクとして用いて不純物 7 5 5 を半導体層 7 4 2 に導入することで、半導体層 7 4 2 中に自己整合的に不純物領域を形成することができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。また、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

10

#### 【 0 4 3 3 】

〔 s - c h a n n e l 型トランジスタ 〕

図 8 4 に、半導体層 7 4 2 として酸化物半導体を用いたトランジスタ構造の一例を示す。図 8 4 に例示するトランジスタ 8 5 0 は、半導体層 7 4 2 a の上に半導体層 7 4 2 b が形成され、半導体層 7 4 2 b の上面並びに半導体層 7 4 2 b 及び半導体層 7 4 2 a の側面が半導体層 7 4 2 c に覆われた構造を有する。図 8 4 ( A ) はトランジスタ 8 5 0 の上面図である。図 8 4 ( B ) は、図 8 4 ( A ) 中の X 1 - X 2 の一点鎖線で示した部位の断面図 ( チャネル長方向の断面図 ) である。図 8 4 ( C ) は、図 8 4 ( A ) 中の Y 1 - Y 2 の一点鎖線で示した部位の断面図 ( チャネル幅方向の断面図 ) である。

20

#### 【 0 4 3 4 】

また、トランジスタ 8 5 0 は、ゲート電極として機能する電極 7 4 3 を有する。電極 7 4 3 は、電極 7 4 6 と同様の材料および方法で形成することができる。本実施の形態では、電極 7 4 3 を 2 層の導電層の積層としている。

#### 【 0 4 3 5 】

半導体層 7 4 2 a、半導体層 7 4 2 b、および半導体層 7 4 2 c は、I n もしくは G a の一方、または両方を含む材料で形成する。代表的には、I n - G a 酸化物 ( I n と G a を含む酸化物 )、I n - Z n 酸化物 ( I n と Z n を含む酸化物 )、I n - M - Z n 酸化物 ( I n と、元素 M と、Z n を含む酸化物。元素 M は、A l、T i、G a、Y、Z r、L a、C e、N d または H f から選ばれた 1 種類以上の元素で、I n よりも酸素との結合力が強い金属元素である。 ) がある。

30

#### 【 0 4 3 6 】

半導体層 7 4 2 a および半導体層 7 4 2 c は、半導体層 7 4 2 b を構成する金属元素のうち、1 種類以上の同じ金属元素を含む材料により形成されることが好ましい。このような材料を用いると、半導体層 7 4 2 a および半導体層 7 4 2 b との界面、ならびに半導体層 7 4 2 c および半導体層 7 4 2 b との界面に界面準位を生じにくくすることができる。よって、界面におけるキャリアの散乱や捕獲が生じにくく、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧のばらつきを低減することが可能となる。よって、良好な電気特性を有する半導体装置を実現することが可能となる。

40

#### 【 0 4 3 7 】

半導体層 7 4 2 a および半導体層 7 4 2 c の厚さは、3 n m 以上 1 0 0 n m 以下、好ましくは 3 n m 以上 5 0 n m 以下とする。また、半導体層 7 4 2 b の厚さは、3 n m 以上 7 0 0 n m 以下、好ましくは 3 n m 以上 1 0 0 n m 以下、さらに好ましくは 3 n m 以上 5 0 n m 以下とする。

#### 【 0 4 3 8 】

また、半導体層 7 4 2 b が I n - M - Z n 酸化物であり、半導体層 7 4 2 a および半導体層 7 4 2 c も I n - M - Z n 酸化物であるとき、半導体層 7 4 2 a および半導体層 7 4 2 c を  $I n : M : Z n = x_1 : y_1 : z_1$  [ 原子数比 ]、半導体層 7 4 2 b を  $I n : M : Z n = x_2 : y_2 : z_2$  [ 原子数比 ] とすると、 $y_1 / x_1$  が  $y_2 / x_2$  よりも大きくなるように半導体層 7 4 2 a、半導体層 7 4 2 c、および半導体層 7 4 2 b を選択すること

50



ができる。好ましくは、 $y_1/x_1$ が $y_2/x_2$ よりも1.5倍以上大きくなるように半導体層742a、半導体層742c、および半導体層742bを選択する。さらに好ましくは、 $y_1/x_1$ が $y_2/x_2$ よりも2倍以上大きくなるように半導体層742a、半導体層742c、および半導体層742bを選択する。より好ましくは、 $y_1/x_1$ が $y_2/x_2$ よりも3倍以上大きくなるように半導体層742a、半導体層742cおよび半導体層742bを選択する。 $y_1$ が $x_1$ 以上であるとトランジスタに安定した電気特性を付与できるため好ましい。ただし、 $y_1$ が $x_1$ の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 $y_1$ は $x_1$ の3倍未満であると好ましい。半導体層742aおよび半導体層742cを上記構成とすることにより、半導体層742aおよび半導体層742cを、半導体層742bよりも酸素欠損が生じにくい層とすることができる。

10

#### 【0439】

なお、半導体層742aおよび半導体層742cがIn-M-Zn酸化物であるとき、ZnおよびOを除いてのInと元素Mの含有率は、好ましくはInが50atomic%未満、元素Mが50atomic%以上、さらに好ましくはInが25atomic%未満、元素Mが75atomic%以上とする。また、半導体層742bがIn-M-Zn酸化物であるとき、ZnおよびOを除いてのInと元素Mの含有率は好ましくはInが25atomic%以上、元素Mが75atomic%未満、さらに好ましくはInが34atomic%以上、元素Mが66atomic%未満とする。

#### 【0440】

例えば、InまたはGaを含む半導体層742a、およびInまたはGaを含む半導体層742cとしてIn:Ga:Zn=1:3:2、1:3:4、1:3:6、1:6:4、または1:9:6などの原子数比のターゲットを用いて形成したIn-Ga-Zn酸化物や、In:Ga=1:9などの原子数比のターゲットを用いて形成したIn-Ga酸化物や、酸化ガリウムなどを用いることができる。また、半導体層742bとしてIn:Ga:Zn=3:1:2、1:1:1、5:5:6、または4:2:4、1などの原子数比のターゲットを用いて形成したIn-Ga-Zn酸化物を用いることができる。なお、半導体層742a、半導体層742b、および半導体層742cの原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス20%の変動を含む。

20

#### 【0441】

半導体層742bを用いたトランジスタに安定した電気特性を付与するためには、半導体層742b中の不純物および酸素欠損を低減して高純度真性化し、半導体層742bを真性または実質的に真性と見なせる酸化物半導体層とすることが好ましい。また、少なくとも半導体層742b中のチャネル形成領域が真性または実質的に真性と見なせる酸化物半導体層とすることが好ましい。

30

#### 【0442】

なお、実質的に真性と見なせる酸化物半導体層とは、酸化物半導体層中のキャリア密度が、 $8 \times 10^{11}$ 個/cm<sup>3</sup>未満、好ましくは $1 \times 10^{11}$ /cm<sup>3</sup>未満、さらに好ましくは $1 \times 10^{10}$ 個/cm<sup>3</sup>未満であり、 $1 \times 10^{-9}$ 個/cm<sup>3</sup>以上である酸化物半導体層をいう。

#### 【0443】

図85に、半導体層742として酸化物半導体を用いたトランジスタ構造の一例を示す。図85に例示するトランジスタ822は、半導体層742aの上に半導体層742bが形成されている。トランジスタ822は、バックゲート電極を有するボトムゲート型のトランジスタの一種である。図85(A)はトランジスタ822の上面図である。図85(B)は、図85(A)中のX1-X2の一点鎖線で示した部位の断面図(チャネル長方向の断面図)である。図85(C)は、図85(A)中のY1-Y2の一点鎖線で示した部位の断面図(チャネル幅方向の断面図)である。

40

#### 【0444】

絶縁層729上に設けられた電極723は、絶縁層726、絶縁層728、および絶縁層729に設けられた開口747aおよび開口747bにおいて、電極746と電氣的に

50

接続されている。よって、電極 723 と電極 746 には、同じ電位が供給される。また、開口 747a および開口 747b は、どちらか一方を設けなくてもよい。また、開口 747a および開口 747b の両方を設けなくてもよい。開口 747a および開口 747b の両方を設けない場合は、電極 723 と電極 746 に異なる電位を供給することができる。

#### 【0445】

##### [ 酸化物半導体のエネルギーバンド構造 ]

ここで、半導体層 742a、半導体層 742b、および半導体層 742c の積層により構成される半導体層 742 の機能およびその効果について、図 89 (A) および図 89 (B) に示すエネルギーバンド構造図を用いて説明する。図 89 (A) は、図 84 (B) に D1 - D2 の一点鎖線で示す部位のエネルギーバンド構造図である。図 89 (A) は、トランジスタ 850 のチャンネル形成領域のエネルギーバンド構造を示している。

10

#### 【0446】

図 89 (A) 中、Ec882、Ec883a、Ec883b、Ec883c、Ec886 は、それぞれ、絶縁層 772、半導体層 742a、半導体層 742b、半導体層 742c、絶縁層 726 の伝導帯下端のエネルギーを示している。

#### 【0447】

ここで、真空準位と伝導帯下端のエネルギーとの差（「電子親和力」ともいう。）は、真空準位と価電子帯上端のエネルギーとの差（イオン化ポテンシャルともいう。）からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリブソメータ（例えば、HORIBA JOBIN YVON 社 UT-300）を用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析（UPS: Ultraviolet Photoelectron Spectroscopy）装置（例えば、PHI 社 VersaProbe）を用いて測定できる。

20

#### 【0448】

なお、原子数比が In : Ga : Zn = 1 : 3 : 2 のターゲットを用いて形成した In - Ga - Zn 酸化物のエネルギーギャップは約 3.5 eV、電子親和力は約 4.5 eV である。また、原子数比が In : Ga : Zn = 1 : 3 : 4 のターゲットを用いて形成した In - Ga - Zn 酸化物のエネルギーギャップは約 3.4 eV、電子親和力は約 4.5 eV である。また、原子数比が In : Ga : Zn = 1 : 3 : 6 のターゲットを用いて形成した In - Ga - Zn 酸化物のエネルギーギャップは約 3.3 eV、電子親和力は約 4.5 eV である。また、原子数比が In : Ga : Zn = 1 : 6 : 2 のターゲットを用いて形成した In - Ga - Zn 酸化物のエネルギーギャップは約 3.9 eV、電子親和力は約 4.3 eV である。また、原子数比が In : Ga : Zn = 1 : 6 : 8 のターゲットを用いて形成した In - Ga - Zn 酸化物のエネルギーギャップは約 3.5 eV、電子親和力は約 4.4 eV である。また、原子数比が In : Ga : Zn = 1 : 6 : 10 のターゲットを用いて形成した In - Ga - Zn 酸化物のエネルギーギャップは約 3.5 eV、電子親和力は約 4.5 eV である。また、原子数比が In : Ga : Zn = 1 : 1 : 1 のターゲットを用いて形成した In - Ga - Zn 酸化物のエネルギーギャップは約 3.2 eV、電子親和力は約 4.7 eV である。また、原子数比が In : Ga : Zn = 3 : 1 : 2 のターゲットを用いて形成した In - Ga - Zn 酸化物のエネルギーギャップは約 2.8 eV、電子親和力は約 5.0 eV である。

30

40

#### 【0449】

絶縁層 772 と絶縁層 726 は絶縁物であるため、Ec882 と Ec886 は、Ec883a、Ec883b、および Ec883c よりも真空準位に近い（電子親和力が小さい）。

#### 【0450】

また、Ec883a は、Ec883b よりも真空準位に近い。具体的には、Ec883a は、Ec883b よりも 0.05 eV 以上、0.07 eV 以上、0.1 eV 以上または 0.15 eV 以上、かつ 2 eV 以下、1 eV 以下、0.5 eV 以下または 0.4 eV 以下真空準位に近いことが好ましい。

50

## 【0451】

また、Ec883cは、Ec883bよりも真空準位に近い。具体的には、Ec883cは、Ec883bよりも0.05eV以上、0.07eV以上、0.1eV以上または0.15eV以上、かつ2eV以下、1eV以下、0.5eV以下または0.4eV以下真空準位に近いことが好ましい。

## 【0452】

また、半導体層742aと半導体層742bとの界面近傍、および、半導体層742bと半導体層742cとの界面近傍では、混合領域が形成されるため、伝導帯下端のエネルギーは連続的に変化する。即ち、これらの界面において、準位は存在しないか、ほとんどない。

10

## 【0453】

従って、当該エネルギーバンド構造を有する積層構造において、電子は半導体層742bを主として移動することになる。そのため、半導体層742aと絶縁層772との界面、または、半導体層742cと絶縁層726との界面に準位が存在したとしても、当該準位は電子の移動にほとんど影響しない。また、半導体層742aと半導体層742bとの界面、および半導体層742cと半導体層742bとの界面に準位が存在しないか、ほとんどないため、当該領域において電子の移動を阻害することもない。従って、上記酸化物半導体の積層構造を有するトランジスタは、高い電界効果移動度を実現することができる。

## 【0454】

なお、図89(A)に示すように、半導体層742aと絶縁層772の界面、および半導体層742cと絶縁層726の界面近傍には、不純物や欠陥に起因したトラップ準位890が形成され得るものの、半導体層742a、および半導体層742cがあることにより、半導体層742bと当該トラップ準位とを遠ざけることができる。

20

## 【0455】

特に、本実施の形態に例示するトランジスタは、半導体層742bの上面と側面が半導体層742cと接し、半導体層742bの下面が半導体層742aと接して形成されている。このように、半導体層742bを半導体層742aと半導体層742cで覆う構成とすることで、上記トラップ準位の影響をさらに低減することができる。

## 【0456】

ただし、Ec883aまたはEc883cと、Ec883bとのエネルギー差が小さい場合、半導体層742bの電子が該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁層の界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

30

## 【0457】

従って、Ec883a、およびEc883cと、Ec883bとのエネルギー差を、それぞれ0.1eV以上、好ましくは0.15eV以上とすると、トランジスタのしきい値電圧の変動が低減され、トランジスタの電気特性を良好なものとすることができるため、好ましい。

## 【0458】

また、半導体層742a、および半導体層742cのバンドギャップは、半導体層742bのバンドギャップよりも広いほうが好ましい。

40

## 【0459】

図89(B)は、図85(B)にD3-D4の一点鎖線で示す部位のエネルギーバンド構造図である。図89(B)は、トランジスタ822のチャネル形成領域のエネルギーバンド構造を示している。

## 【0460】

図89(B)中、Ec887は、絶縁層728の伝導帯下端のエネルギーを示している。半導体層742を半導体層742aと半導体層742bの2層とすることで、トランジスタの生産性を高めることができる。なお、半導体層742cを設けない分、トラップ準

50

位 8 9 0 の影響を受けやすくなるが、半導体層 7 4 2 を単層構造とした場合よりも高い電界効果移動度を実現することができる。

【 0 4 6 1 】

本発明の一態様によれば、電気特性のばらつきが少ないトランジスタを実現することができる。よって、電気特性のばらつきが少ない半導体装置を実現することができる。本発明の一態様によれば、信頼性の良好なトランジスタを実現することができる。よって、信頼性の良好な半導体装置を実現することができる。

【 0 4 6 2 】

また、酸化物半導体は、エネルギーギャップが 3 . 0 e V 以上と大きく、可視光に対する透過率が大きい。また、酸化物半導体を適切な条件で加工して得られたトランジスタにおいては、オフ電流を使用時の温度条件下（例えば、25℃）において、 $100 \text{ zA}$ （ $1 \times 10^{-19} \text{ A}$ ）以下、もしくは $10 \text{ zA}$ （ $1 \times 10^{-20} \text{ A}$ ）以下、さらには $1 \text{ zA}$ （ $1 \times 10^{-21} \text{ A}$ ）以下とすることができる。このため、消費電力の少ない半導体装置を提供することができる。

10

【 0 4 6 3 】

本発明の一態様によれば、消費電力が少ないトランジスタを実現することができる。よって、消費電力が少ない表示素子や表示装置などの半導体装置を実現することができる。または、信頼性の良好な表示素子や表示装置などの半導体装置を実現することができる。

【 0 4 6 4 】

図 8 4 に示すトランジスタ 8 5 0 の説明にもどる。絶縁層 7 7 2 に設けた凸部上に半導体層 7 4 2 b を設けることによって、半導体層 7 4 2 b の側面も電極 7 4 3 で覆うことができる。すなわち、トランジスタ 8 5 0 は、電極 7 4 3 の電界によって、半導体層 7 4 2 b を電気的に取り囲むことができる構造を有している。このように、導電膜の電界によって、チャンネルが形成される半導体層を電気的に取り囲むトランジスタの構造を、*surrounded channel*（*s-channel*）構造とよぶ。また、*s-channel* 構造を有するトランジスタを、「*s-channel* 型トランジスタ」もしくは「*s-channel* トランジスタ」ともいう。

20

【 0 4 6 5 】

*s-channel* 構造では、半導体層 7 4 2 b の全体（バルク）にチャンネルを形成することもできる。*s-channel* 構造では、トランジスタのドレイン電流を大きくすることができる、さらに大きいオン電流を得ることができる。また、電極 7 4 3 の電界によって、半導体層 7 4 2 b に形成されるチャンネル形成領域の全領域を空乏化することができる。したがって、*s-channel* 構造では、トランジスタのオフ電流をさらに小さくすることができる。

30

【 0 4 6 6 】

なお、絶縁層 7 7 2 の凸部を高くし、また、チャンネル幅を小さくすることで、*s-channel* 構造によるオン電流の増大効果、オフ電流の低減効果などをより高めることができる。また、半導体層 7 4 2 b の形成時に、露出する半導体層 7 4 2 a を除去してもよい。この場合、半導体層 7 4 2 a と半導体層 7 4 2 b の側面が揃う場合がある。

【 0 4 6 7 】

また、図 8 6 に示すトランジスタ 8 5 1 のように、半導体層 7 4 2 の下方に、絶縁層を介して電極 7 2 3 を設けてもよい。図 8 6（A）はトランジスタ 8 5 1 の上面図である。図 8 6（B）は、図 8 6（A）中の X 1 - X 2 の一点鎖線で示した部位の断面図である。図 8 6（C）は、図 8 6（A）中の Y 1 - Y 2 の一点鎖線で示した部位の断面図である。

40

【 0 4 6 8 】

また、図 8 7 に示すトランジスタ 8 5 2 のように、電極 7 4 3 の上方に絶縁層 7 7 5 を設け、絶縁層 7 7 5 上に層 7 2 5 を設けてもよい。図 8 7（A）はトランジスタ 8 5 2 の上面図である。図 8 7（B）は、図 8 7（A）中の X 1 - X 2 の一点鎖線で示した部位の断面図である。図 8 7（C）は、図 8 7（A）中の Y 1 - Y 2 の一点鎖線で示した部位の断面図である。

50

## 【0469】

なお、図87では、層725を絶縁層775上に設けているが、絶縁層728上、または絶縁層729上に設けてもよい。層725を、遮光性を有する材料で形成することで、光照射によるトランジスタの特性変動や、信頼性の低下などを防ぐことができる。なお、層725を少なくとも半導体層742bよりも大きく形成し、層725で半導体層742bを覆うことで、上記の効果を高めることができる。層725は、有機物材料、無機物材料、又は金属材料を用いて作製することができる。また、層725を導電性材料で作製した場合、層725に電圧を供給してもよいし、電氣的に浮遊した（フローティング）状態としてもよい。

## 【0470】

10

図88に、s-channel構造を有するトランジスタの一例を示す。図88に例示するトランジスタ848は、前述したトランジスタ847とほぼ同様の構成を有する。トランジスタ848は、絶縁層772に設けた凸部上に半導体層742が形成されている。トランジスタ848はバックゲート電極を有するトップゲート型のトランジスタの一種である。図88(A)はトランジスタ848の上面図である。図88(B)は、図88(A)中のX1-X2の一点鎖線で示した部位の断面図である。図88(C)は、図88(A)中のY1-Y2の一点鎖線で示した部位の断面図である。

## 【0471】

絶縁層729上に設けられた電極744aは、絶縁層726、絶縁層728、および絶縁層729に設けられた開口747cにおいて、半導体層742と電氣的に接続されている。また、絶縁層729上に設けられた電極744bは、絶縁層726、絶縁層728、および絶縁層729に設けられた開口747dにおいて、半導体層742と電氣的に接続されている。

20

## 【0472】

絶縁層726上に設けられた電極743は、絶縁層726、および絶縁層772に設けられた開口747aおよび開口747bにおいて、電極723と電氣的に接続されている。よって、電極746と電極723には、同じ電位が供給される。また、開口747aおよび開口747bは、どちらか一方を設けなくてもよい。また、開口747aおよび開口747bの両方を設けなくてもよい。開口747aおよび開口747bの両方を設けない場合は、電極723と電極746に異なる電位を供給することができる。

30

## 【0473】

なお、s-channel構造を有するトランジスタに用いる半導体層は、酸化物半導体に限定されるものではない。

## 【0474】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

## 【0475】

(実施の形態4)

本実施の形態では、本発明の一態様の表示装置、またはタッチパネルを有する表示モジュール及び電子機器について、図90乃至図92を用いて説明を行う。

40

## 【0476】

図90に示す表示モジュール8000は、上部カバー8001と下部カバー8002との間に、FPC8003に接続されたタッチパネル8004、フレーム8009、プリント基板8010、バッテリー8011を有する。

## 【0477】

本発明の一態様のタッチパネルは、例えば、タッチパネル8004に用いることができる。

## 【0478】

上部カバー8001及び下部カバー8002は、タッチパネル8004のサイズに合わせて、形状や寸法を適宜変更することができる。

50

## 【 0 4 7 9 】

タッチパネル 8 0 0 4 は、抵抗膜方式または静電容量方式のタッチパネルを表示パネルに重畳して用いることができる。また、タッチパネル 8 0 0 4 の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。また、タッチパネル 8 0 0 4 の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。

## 【 0 4 8 0 】

また、透過型の液晶素子を用いた場合には、図 9 0 に示すようにバックライト 8 0 0 7 を設けてもよい。バックライト 8 0 0 7 は、光源 8 0 0 8 を有する。なお、図 9 0 において、バックライト 8 0 0 7 上に光源 8 0 0 8 を配置する構成について例示したが、これに限定さない。例えば、バックライト 8 0 0 7 の端部に光源 8 0 0 8 を配置し、さらに光拡散板を用いる構成としてもよい。なお、有機 E L 素子等の自発光型の発光素子を用いる場合、または反射型パネル等の場合においては、バックライト 8 0 0 7 を設けない構成としてもよい。

10

## 【 0 4 8 1 】

フレーム 8 0 0 9 は、タッチパネル 8 0 0 4 の保護機能の他、プリント基板 8 0 1 0 の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム 8 0 0 9 は、放熱板としての機能を有していてもよい。

## 【 0 4 8 2 】

プリント基板 8 0 1 0 は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー 8 0 1 1 による電源であってもよい。バッテリー 8 0 1 1 は、商用電源を用いる場合には、省略可能である。

20

## 【 0 4 8 3 】

また、タッチパネル 8 0 0 4 は、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

## 【 0 4 8 4 】

図 9 1 ( A ) ~ ( H ) 及び図 9 2 は、電子機器を示す図である。これらの電子機器は、筐体 5 0 0 0、表示部 5 0 0 1、スピーカ 5 0 0 3、LED ランプ 5 0 0 4、操作キー 5 0 0 5（電源スイッチ、又は操作スイッチを含む）、接続端子 5 0 0 6、センサ 5 0 0 7（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に  
おい又は赤外線を測定する機能を含むもの）、マイクロフォン 5 0 0 8、等を有することができる。

30

## 【 0 4 8 5 】

図 9 1 ( A ) はモバイルコンピュータであり、上述したものの他に、スイッチ 5 0 0 9、赤外線ポート 5 0 1 0、等を有することができる。図 9 1 ( B ) は記録媒体を備えた携帯型の画像再生装置（たとえば、DVD 再生装置）であり、上述したものの他に、第 2 表示部 5 0 0 2、記録媒体読込部 5 0 1 1、等を有することができる。図 9 1 ( C ) はテレビジョン装置であり、上述したものの他に、スタンド 5 0 1 2 等を有することができる。また、テレビジョン装置の操作は、筐体 5 0 0 0 が備える操作スイッチや、別体のリモコン操作機 5 0 1 3 により行うことができる。リモコン操作機 5 0 1 3 が備える操作キーにより、チャンネルや音量の操作を行うことができ、表示部 5 0 0 1 に表示される映像を操作することができる。また、リモコン操作機 5 0 1 3 に、当該リモコン操作機 5 0 1 3 から出力する情報を表示する表示部を設ける構成としてもよい。図 9 1 ( D ) は携帯型遊技機であり、上述したものの他に、記録媒体読込部 5 0 1 1、等を有することができる。図 9 1 ( E ) はテレビ受像機能付きデジタルカメラであり、上述したものの他に、アンテナ 5 0 1 4、シャッターボタン 5 0 1 5、受像部 5 0 1 6、等を有することができる。図 9 1 ( F ) は携帯型遊技機であり、上述したものの他に、第 2 表示部 5 0 0 2、記録媒体読込部 5 0 1 1、等を有することができる。図 9 1 ( G ) は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器 5 0 1 7、等を有することができる

40

50

。図 9 1 ( H ) は腕時計型情報端末であり、上述したもののほかに、バンド 5 0 1 8、留め金 5 0 1 9、等を有することができる。ベゼル部分を兼ねる筐体 5 0 0 0 に搭載された表示部 5 0 0 1 は、非矩形状の表示領域を有している。表示部 5 0 0 1 は、時刻を表すアイコン 5 0 2 0、その他のアイコン 5 0 2 1 等を表示することができる。図 9 2 ( A ) はデジタルサイネージ ( Digital Signage : 電子看板 ) である。図 9 2 ( B ) は円柱状の柱に取り付けられたデジタルサイネージである。

#### 【 0 4 8 6 】

図 9 1 ( A ) ~ ( H ) 及び図 9 2 に示す電子機器は、様々な機能を有することができる。例えば、様々な情報 ( 静止画、動画、テキスト画像など ) を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア ( プログラム ) によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、又は、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動又は手動で補正する機能、撮影した画像を記録媒体 ( 外部又はカメラに内蔵 ) に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図 9 1 ( A ) ~ ( H ) 及び図 9 2 に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

#### 【 0 4 8 7 】

本実施の形態の電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。該表示部に、本発明の一態様のタッチパネルを適用することができる。

#### 【 0 4 8 8 】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

#### 【 符号の説明 】

#### 【 0 4 8 9 】

- 1 0      タッチパネル
- 1 1      基板
- 1 2      基板
- 1 3      F P C
- 1 4      導電層
- 1 5      接続層
- 2 0      液晶素子
- 2 1      導電層
- 2 2      導電層
- 2 3      液晶
- 3 1      着色層
- 4 1      導電層
- 4 1 a    導電層
- 4 1 b    導電層
- 5 1      画素電極
- 5 2      共通電極
- 5 5      センサ電極
- 5 6      センサ電極
- 5 7      配線
- 6 1      配線

10

20

30

40

50

6 2	配線	
6 3	トランジスタ	
6 4	液晶素子	
6 5 _ 1	ブロック	
6 5 _ 2	ブロック	
6 6	配線	
7 1	配線	
7 1 _ 1	配線	
7 1 _ 2	配線	
7 2	配線	10
7 2 _ 1	配線	
7 2 _ 2	配線	
8 1	ソース線	
8 2	ソース線	
8 3	ソース線	
8 4	ソース線	
8 5	ゲート線	
8 6	ゲート線	
8 7	ゲート線	
8 8	ゲート線	20
1 5 1	接着層	
2 0 1	トランジスタ	
2 0 2	発光素子	
2 0 3	トランジスタ	
2 0 6	接続部	
2 0 7	導電層	
2 0 8	液晶素子	
2 0 9	接続層	
2 1 1	絶縁層	
2 1 2	絶縁層	30
2 1 3	絶縁層	
2 1 4	絶縁層	
2 1 5	絶縁層	
2 1 6	スペーサ	
2 1 7	絶縁層	
2 3 1	着色層	
2 3 2	遮光層	
2 5 1	導電層	
2 5 2	導電層	
2 5 3	液晶	40
2 5 4	絶縁層	
2 5 5	絶縁層	
2 6 2	領域	
2 6 3	領域	
2 8 1	ゲート電極	
2 8 2	ゲート電極	
2 8 3	ゲート電極	
2 8 4	ゲート電極	
2 8 5	ドレイン電極	
3 1 0	タッチパネル	50

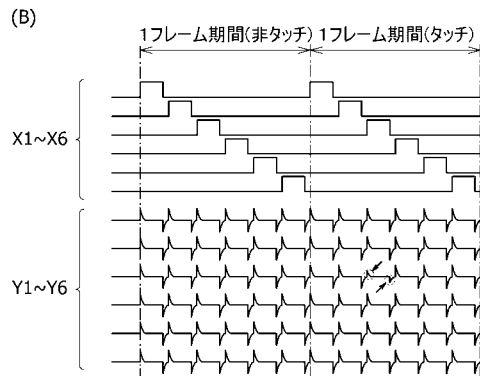
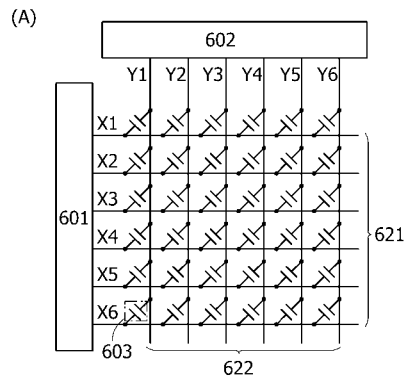


3 2 1	導電層	
3 2 2	E L 層	
3 2 3	導電層	
3 2 4	光学調整層	
3 3 1	導電層	
3 3 2	導電層	
3 3 5	導電層	
3 4 1	導電層	
3 5 1	導電層	
3 5 2	導電層	10
3 7 1	基板	
3 7 2	基板	
3 7 3	F P C	
3 7 3 a	F P C	
3 7 3 b	F P C	
3 7 4	I C	
3 8 1	表示部	
3 8 2	駆動回路	
3 8 3	配線	
3 8 4	駆動回路	20
3 8 5	接続部	
3 8 6	接続体	
4 0 1	導電層	
4 0 2	導電層	
4 0 4	導電層	
4 0 5	導電層	
4 1 1 a	導電層	
4 1 1 a _ 1	導電層	
4 1 1 a a	導電層	
4 1 1 b	導電層	30
4 1 1 b _ 1	導電層	
4 1 1 b b	導電層	
4 1 1 c	導電層	
4 1 2 a	導電層	
4 1 2 a a	導電層	
4 1 2 b	導電層	
4 1 2 b b	導電層	
4 1 2 c	導電層	
5 0 0 A	表示装置	
5 0 0 B	表示装置	40
5 1 0	画素部	
5 1 1	画素	
5 2 0 _ 1	ゲートドライバー	
5 2 0 _ 2	ゲートドライバー	
5 3 0	ソースドライバー	
5 3 1	T A B テープ	
5 3 2 _ k	ソースドライバー I C	
5 3 2 _ 1	ソースドライバー I C	
6 0 1	パルス電圧出力回路	
6 0 2	電流検知回路	50

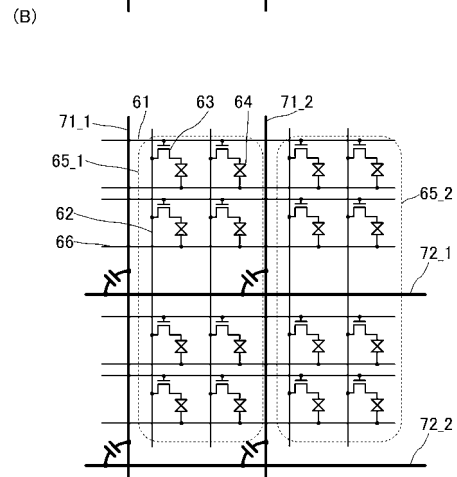
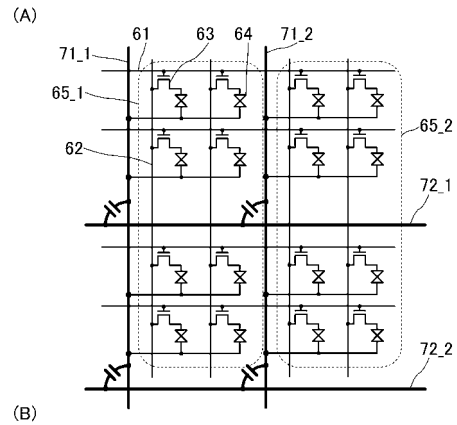
6 0 3	容 量	
6 2 1	電 極	
6 2 2	電 極	
7 2 3	電 極	
7 2 5	層	
7 2 6	絶 縁 層	
7 2 7	絶 縁 層	
7 2 8	絶 縁 層	
7 2 9	絶 縁 層	
7 4 1	絶 縁 層	10
7 4 2	半 導 体 層	
7 4 2 a	半 導 体 層	
7 4 2 b	半 導 体 層	
7 4 2 c	半 導 体 層	
7 4 3	電 極	
7 4 4 a	電 極	
7 4 4 b	電 極	
7 4 6	電 極	
7 4 7 a	開 口	
7 4 7 b	開 口	20
7 4 7 c	開 口	
7 4 7 d	開 口	
7 5 5	不 純 物	
7 7 1	基 板	
7 7 2	絶 縁 層	
7 7 5	絶 縁 層	
8 1 0	ト ラ ン ジ ス タ	
8 1 1	ト ラ ン ジ ス タ	
8 2 0	ト ラ ン ジ ス タ	
8 2 1	ト ラ ン ジ ス タ	30
8 2 2	ト ラ ン ジ ス タ	
8 2 5	ト ラ ン ジ ス タ	
8 2 6	ト ラ ン ジ ス タ	
8 3 0	ト ラ ン ジ ス タ	
8 3 1	ト ラ ン ジ ス タ	
8 4 0	ト ラ ン ジ ス タ	
8 4 1	ト ラ ン ジ ス タ	
8 4 2	ト ラ ン ジ ス タ	
8 4 3	ト ラ ン ジ ス タ	
8 4 4	ト ラ ン ジ ス タ	40
8 4 5	ト ラ ン ジ ス タ	
8 4 6	ト ラ ン ジ ス タ	
8 4 7	ト ラ ン ジ ス タ	
8 4 8	ト ラ ン ジ ス タ	
8 5 0	ト ラ ン ジ ス タ	
8 5 1	ト ラ ン ジ ス タ	
8 5 2	ト ラ ン ジ ス タ	
8 8 2	E c	
8 8 3 a	E c	
8 8 3 b	E c	50

8 8 3 c	E c	
8 8 6	E c	
8 8 7	E c	
8 9 0	トラップ準位	
5 0 0 0	筐体	
5 0 0 1	表示部	
5 0 0 2	表示部	
5 0 0 3	スピーカ	
5 0 0 4	L E Dランプ	
5 0 0 5	操作キー	10
5 0 0 6	接続端子	
5 0 0 7	センサ	
5 0 0 8	マイクロフォン	
5 0 0 9	スイッチ	
5 0 1 0	赤外線ポート	
5 0 1 1	記録媒体読込部	
5 0 1 2	スタンド	
5 0 1 3	リモコン操作機	
5 0 1 4	アンテナ	
5 0 1 5	シャッターボタン	20
5 0 1 6	受像部	
5 0 1 7	充電器	
5 0 1 8	バンド	
5 0 1 9	留め金	
5 0 2 0	アイコン	
5 0 2 1	アイコン	
8 0 0 0	表示モジュール	
8 0 0 1	上部カバー	
8 0 0 2	下部カバー	
8 0 0 3	F P C	30
8 0 0 4	タッチパネル	
8 0 0 7	バックライト	
8 0 0 8	光源	
8 0 0 9	フレーム	
8 0 1 0	プリント基板	
8 0 1 1	バッテリー	

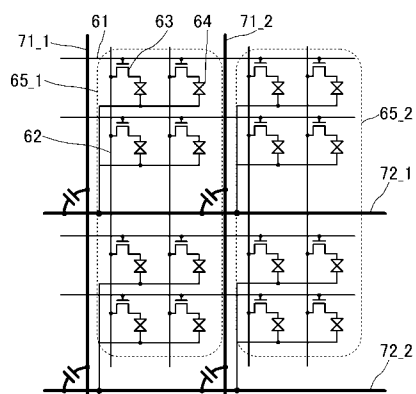
【図 1】



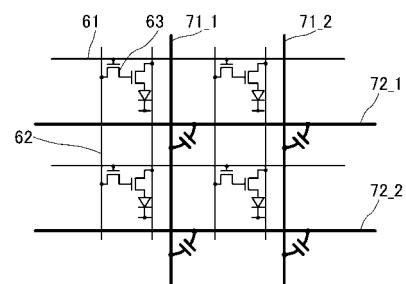
【図 2】



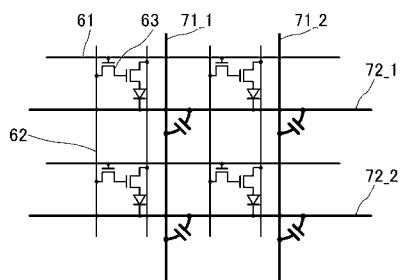
【図 3】



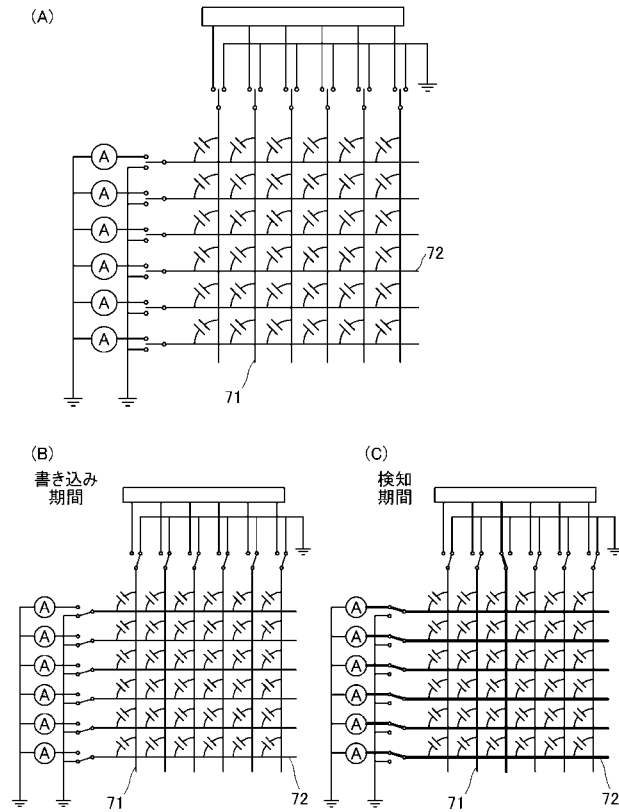
【図 5】



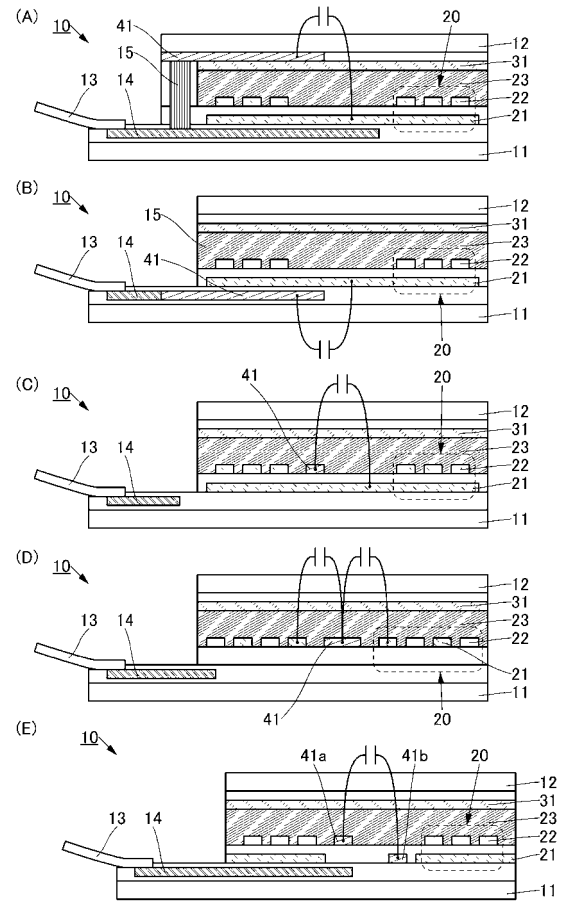
【図 4】



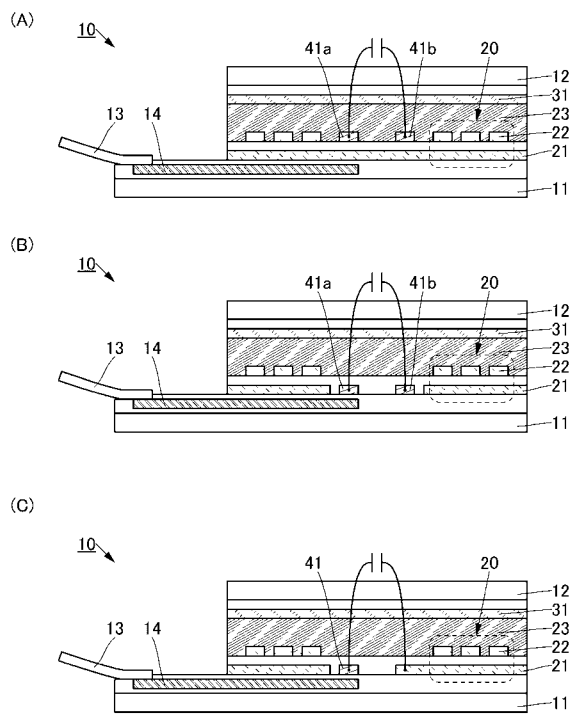
【図 6】



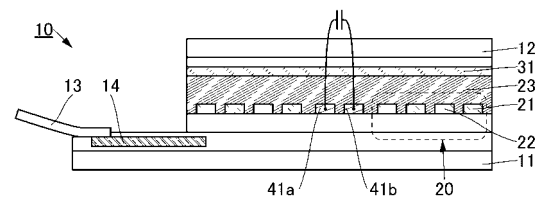
【図 7】



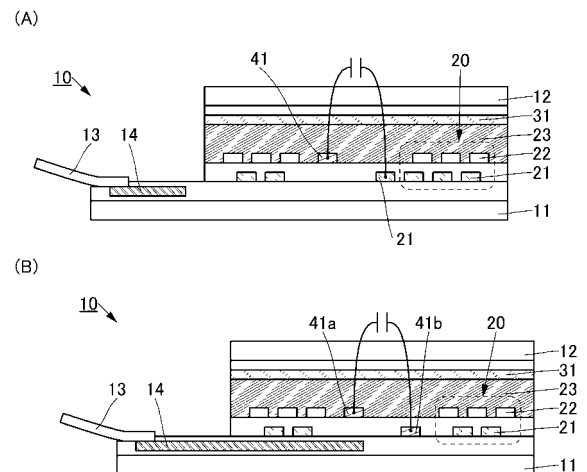
【図 8】



【図 9】

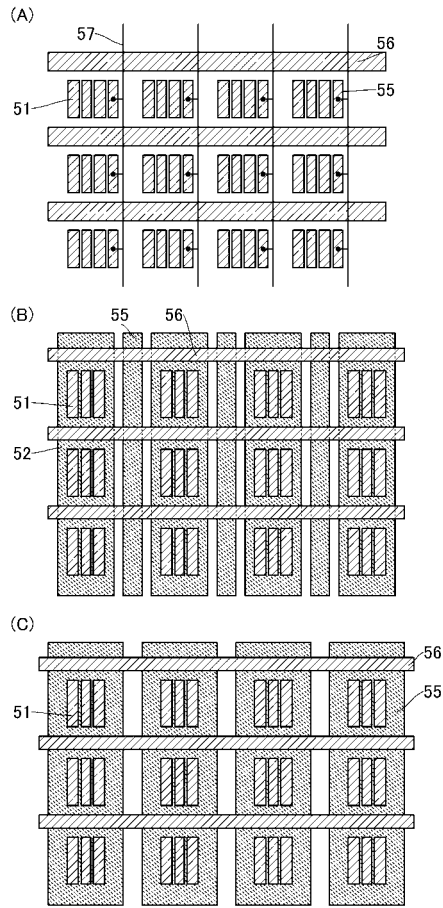


【図 10】

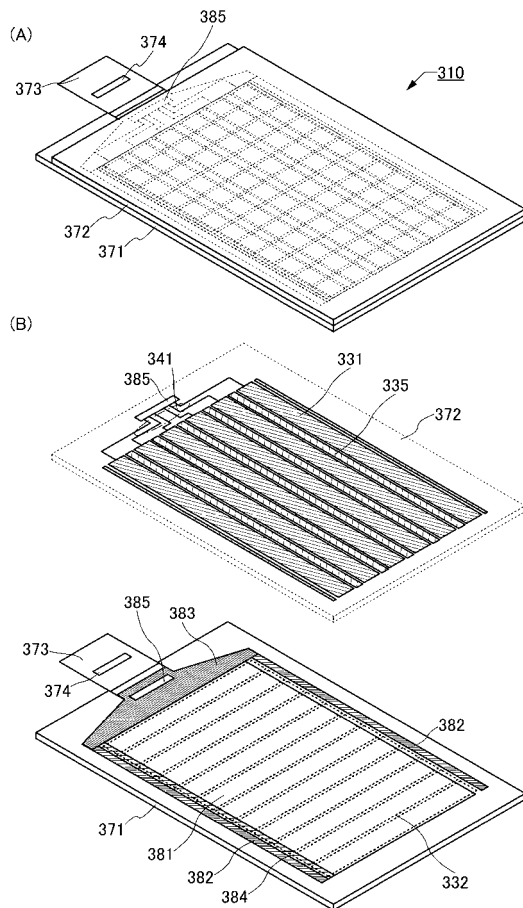




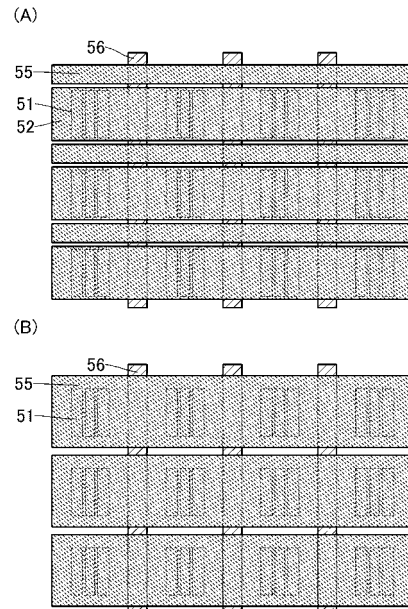
【図 16】



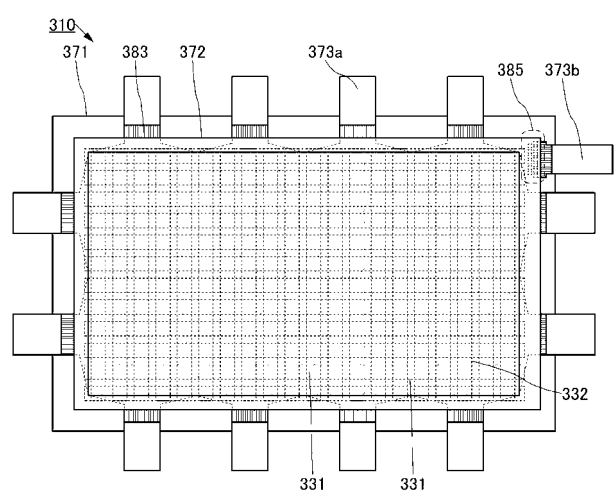
【図 18】



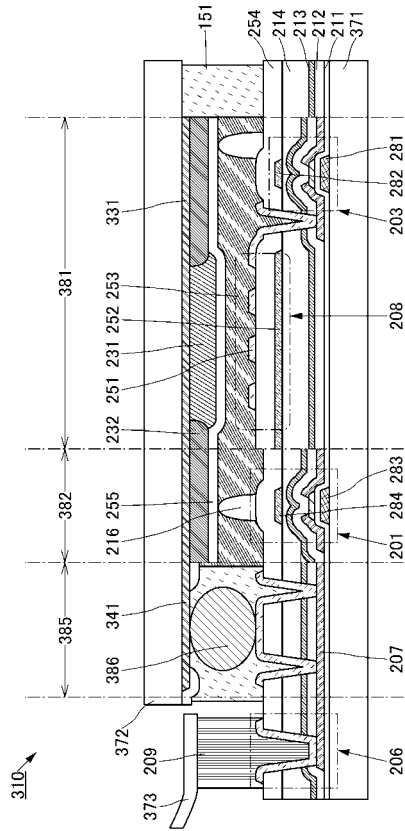
【図 17】



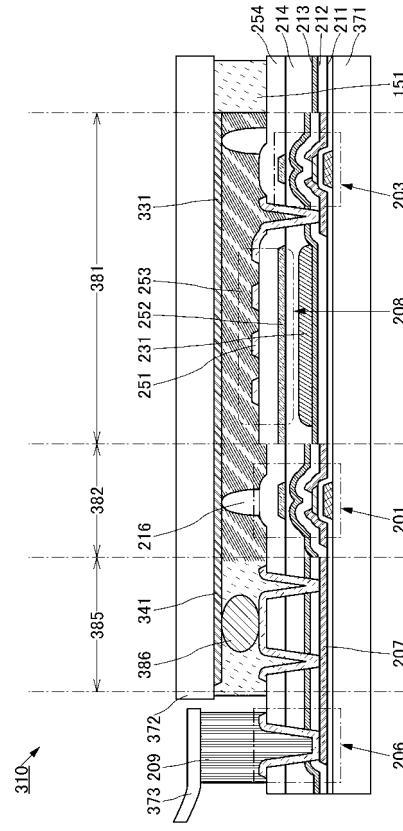
【図 19】



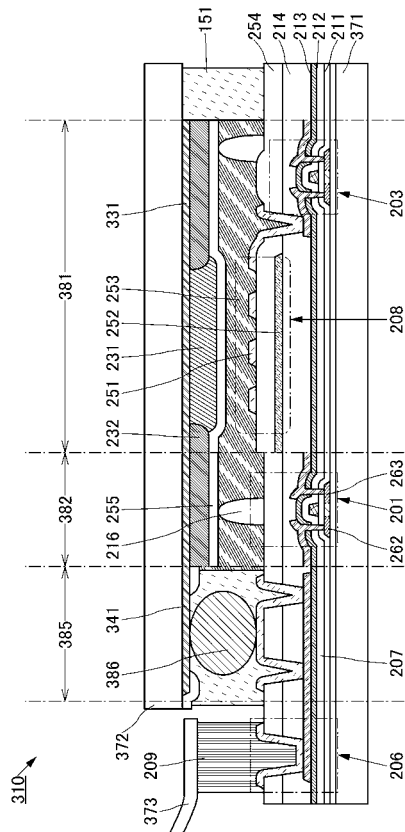
【図 20】



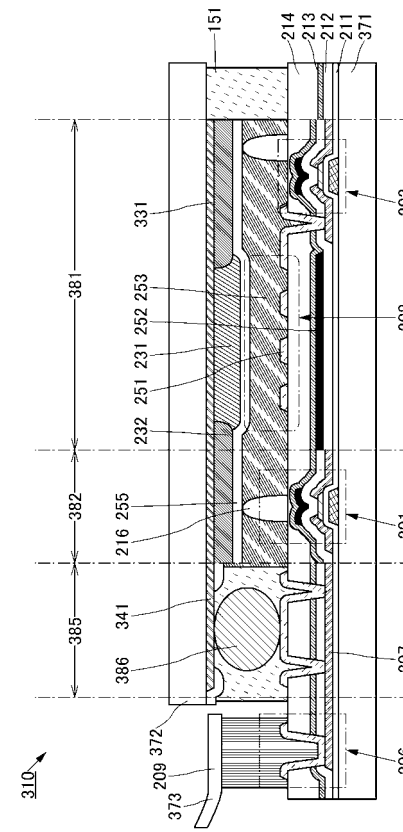
【図 21】



【図 22】

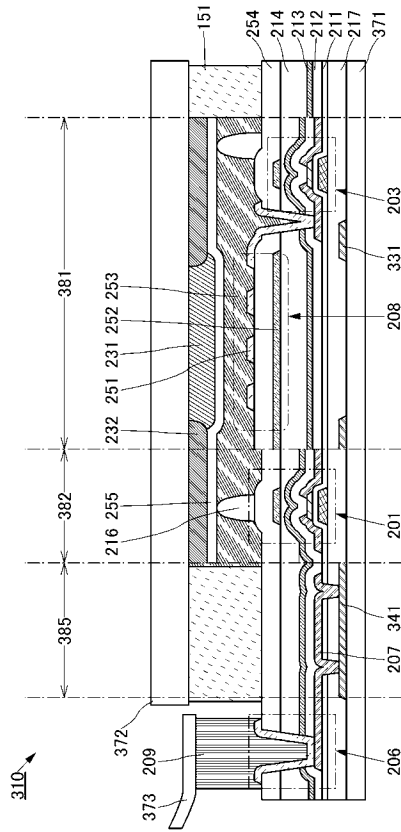


【図 23】

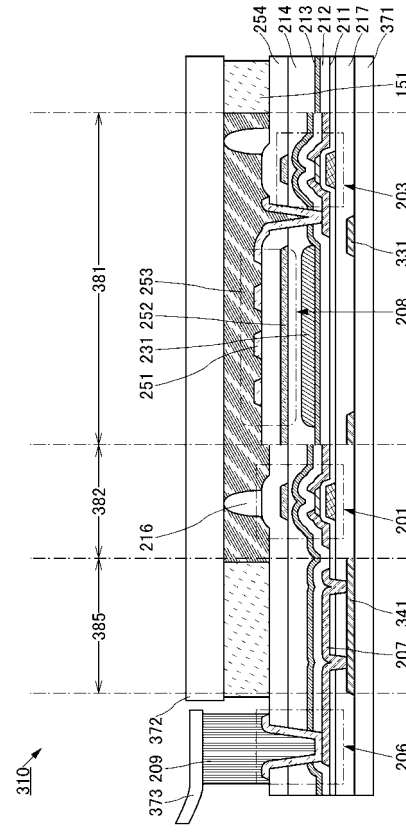




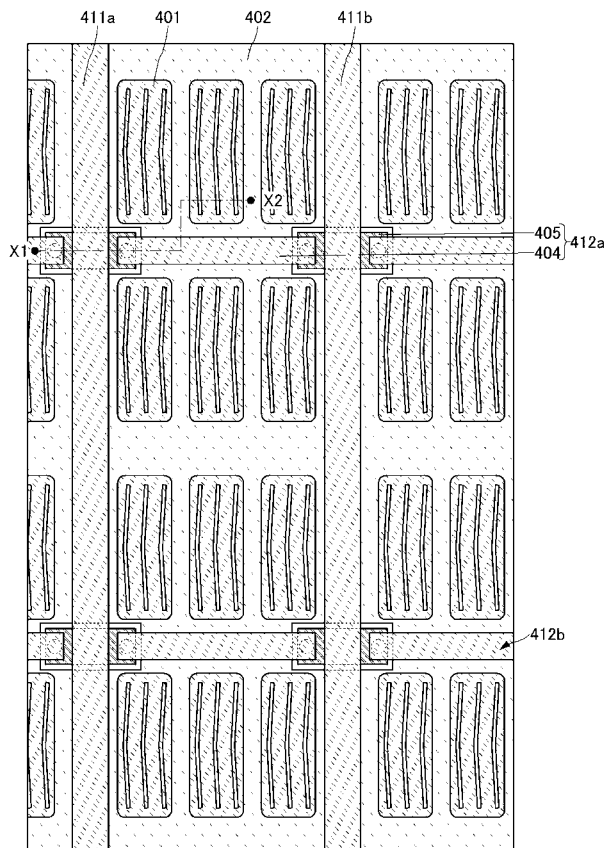
【図 2 4】



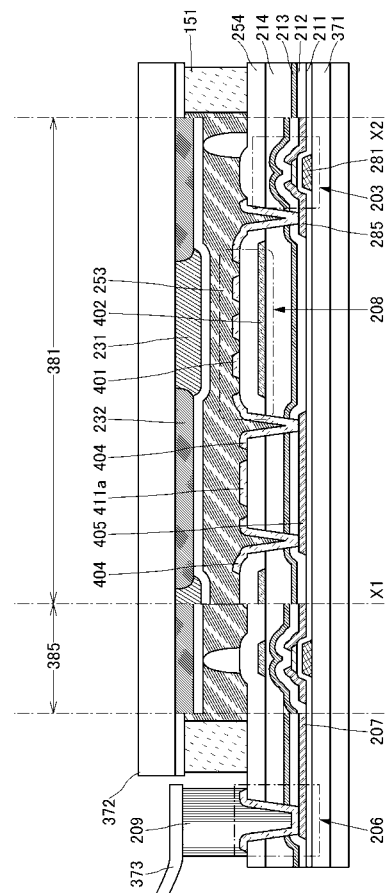
【図 2 5】



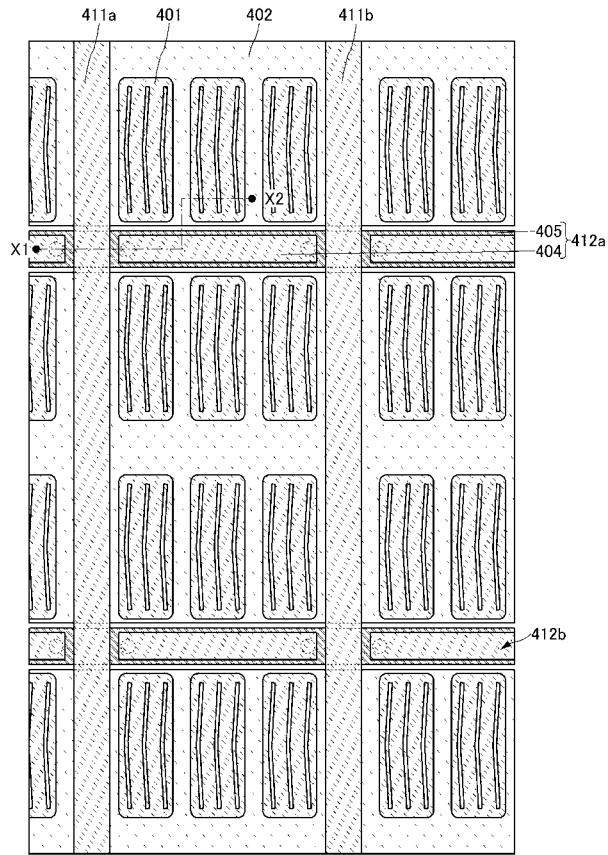
【図 2 6】



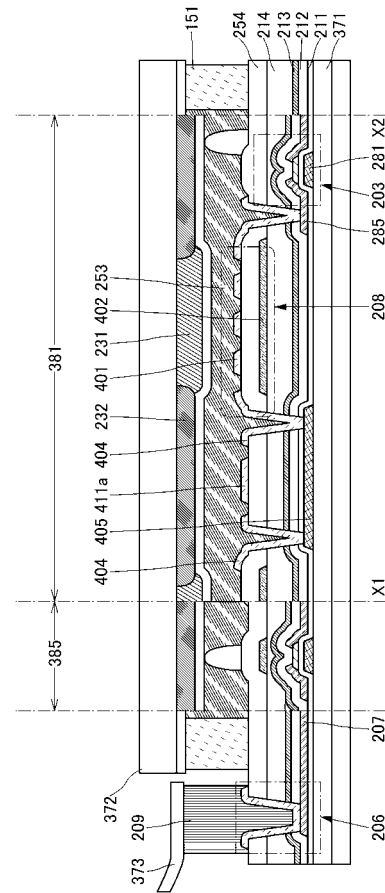
【図 2 7】



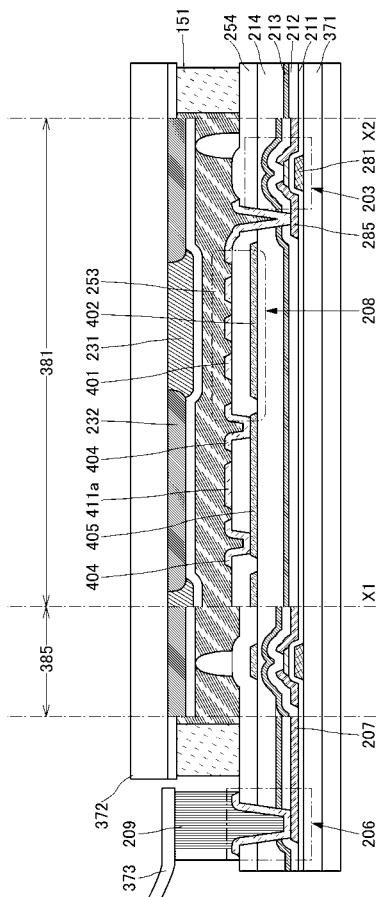
【図 28】



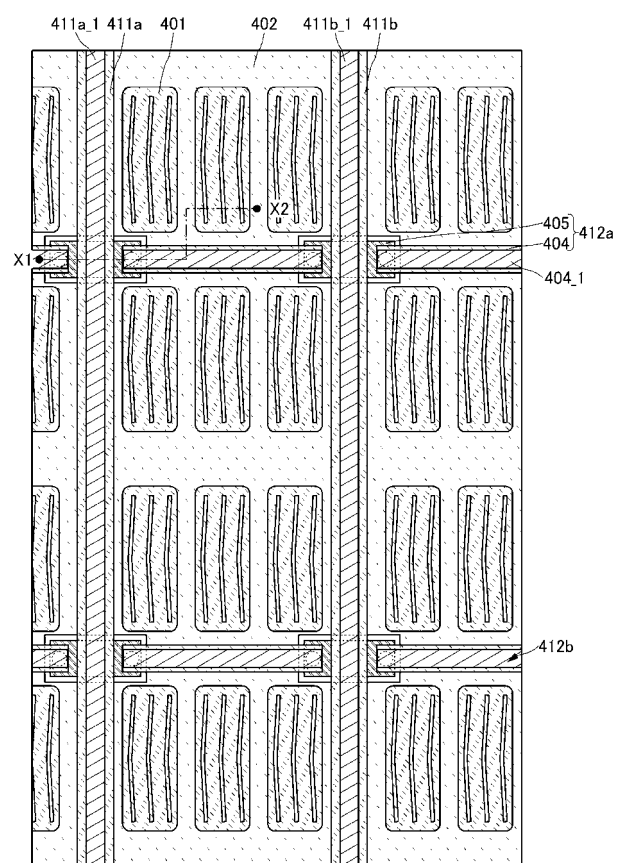
【図 29】



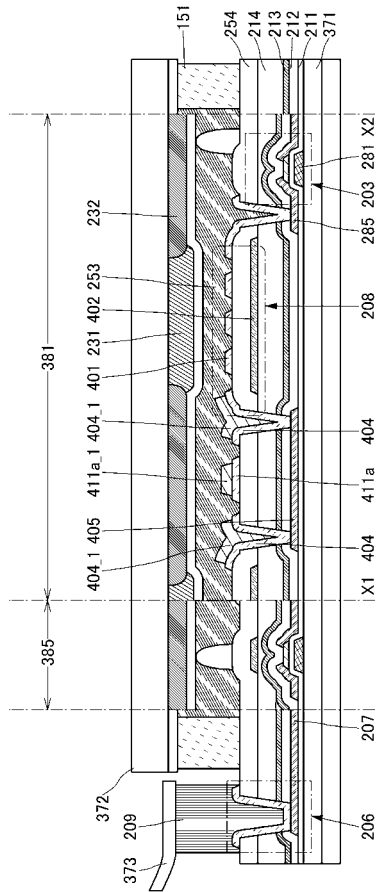
【図 30】



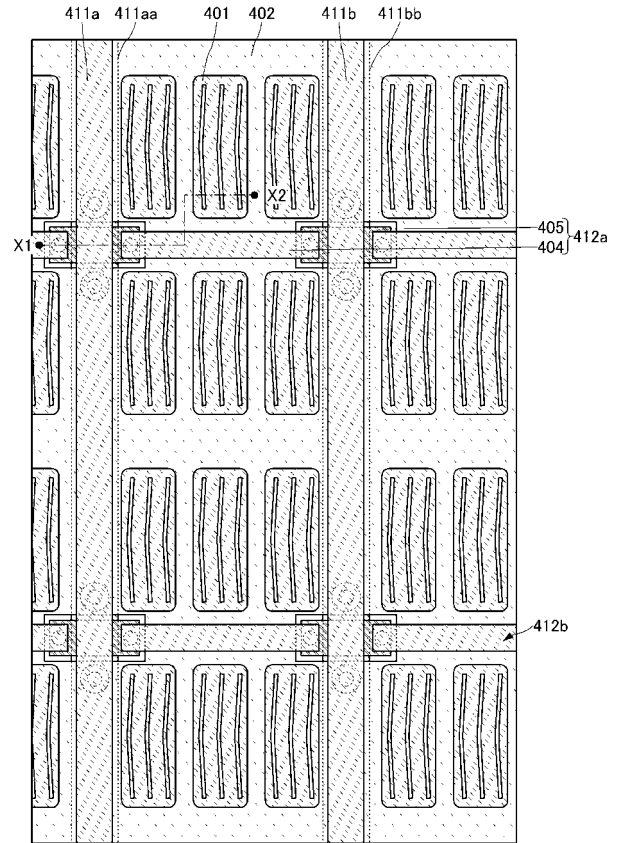
【図 31】



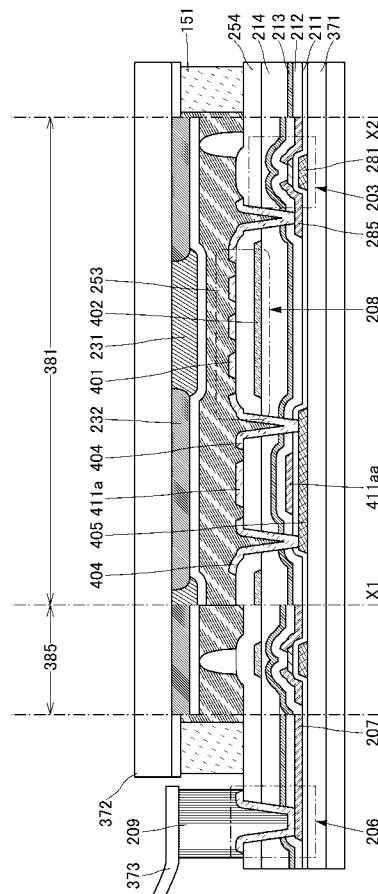
【図 3 2】



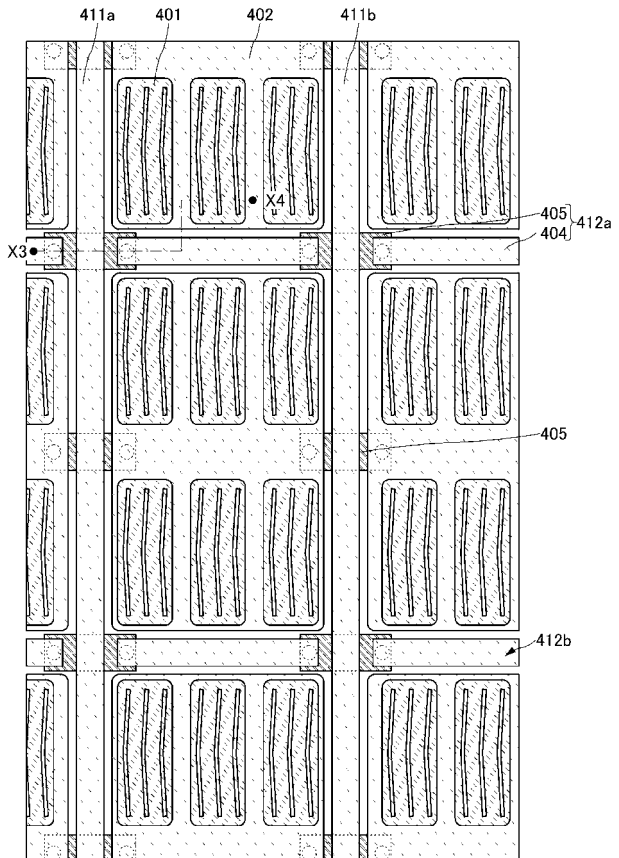
【図 3 3】



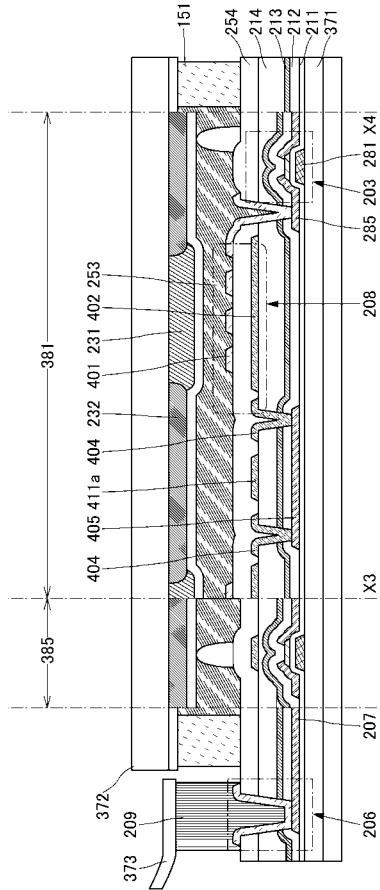
【図 3 4】



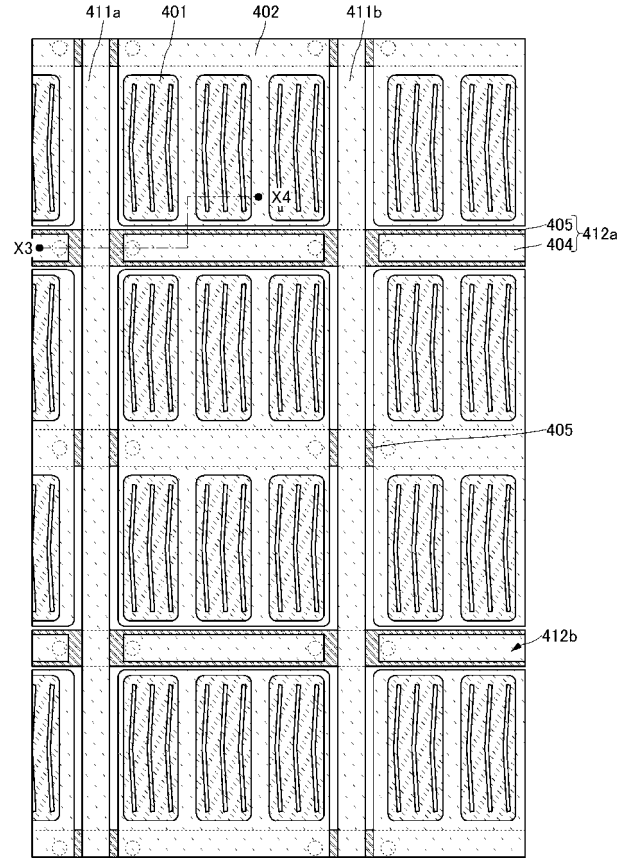
【図 3 5】



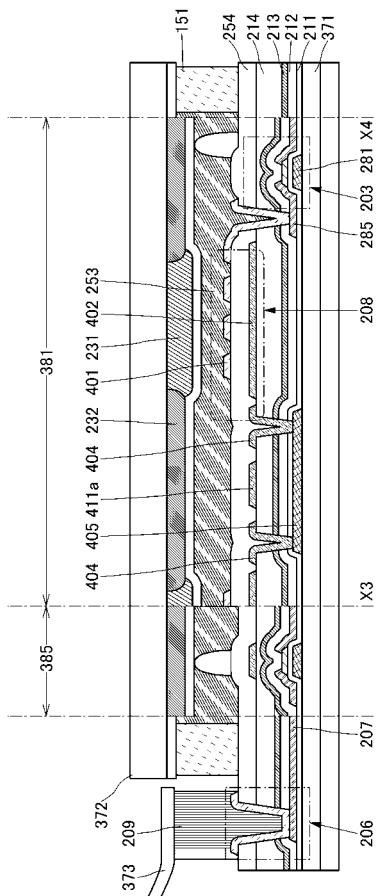
【図 3 6】



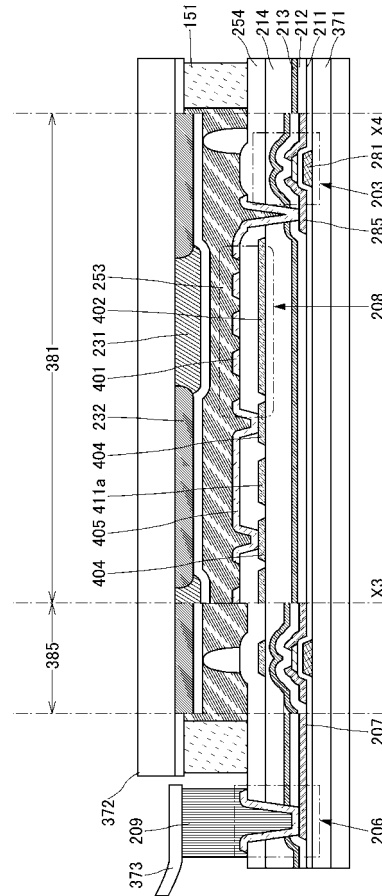
【図 3 7】



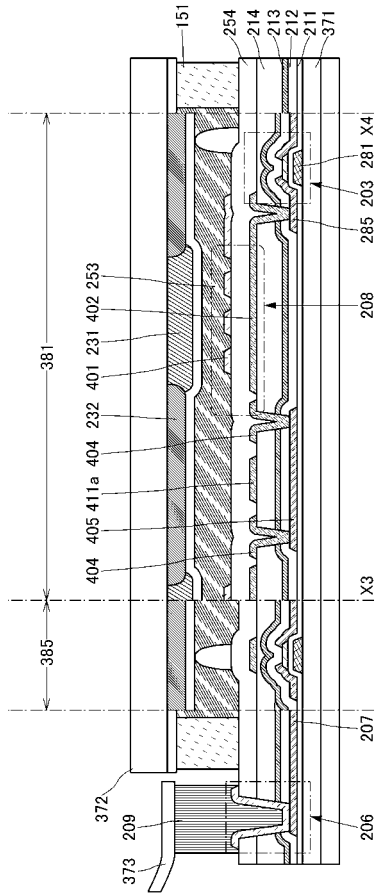
【図 3 8】



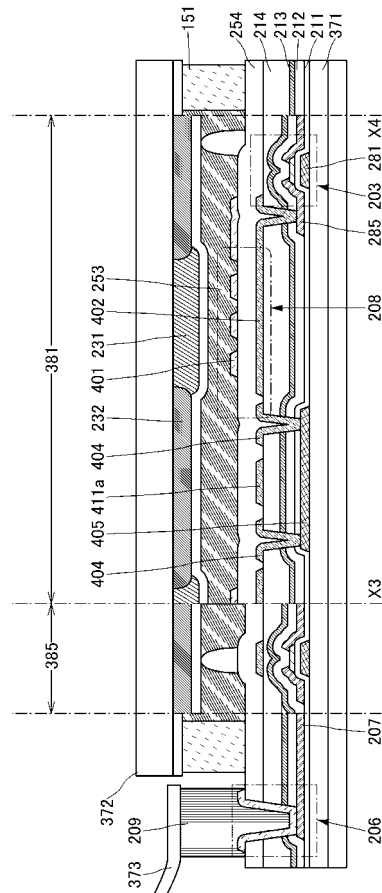
【図 3 9】



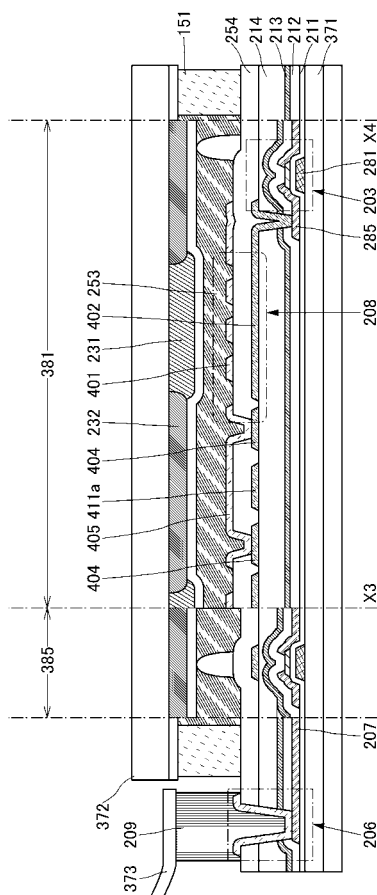
【 図 4 0 】



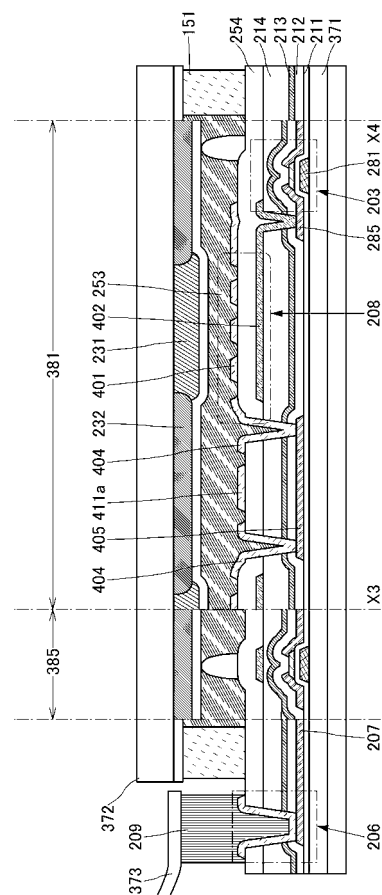
【 図 4 1 】



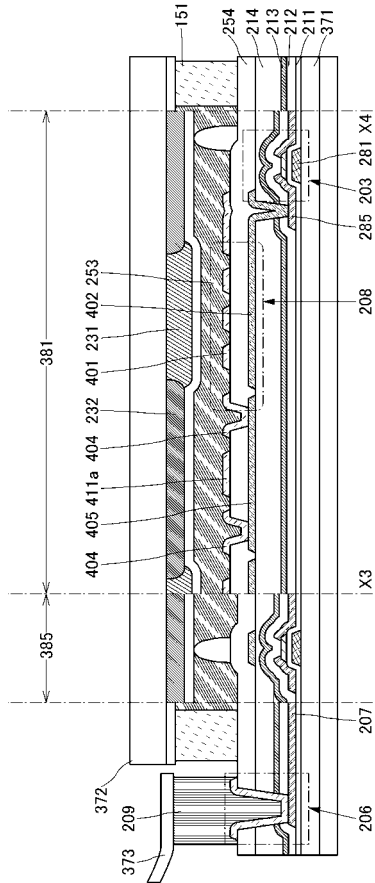
【 図 4 2 】



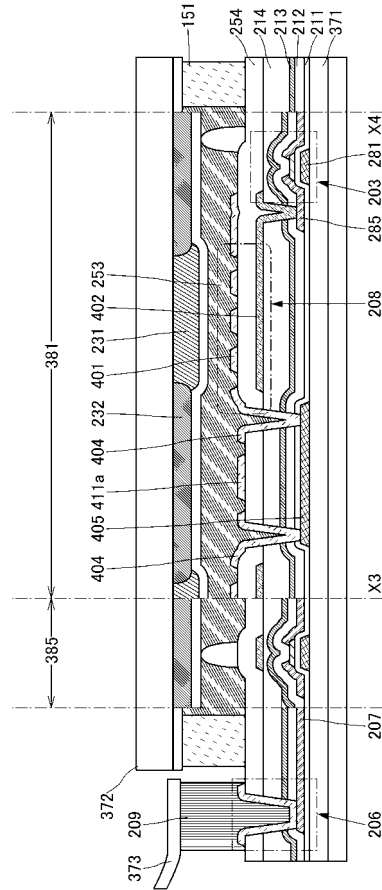
【 図 4 3 】



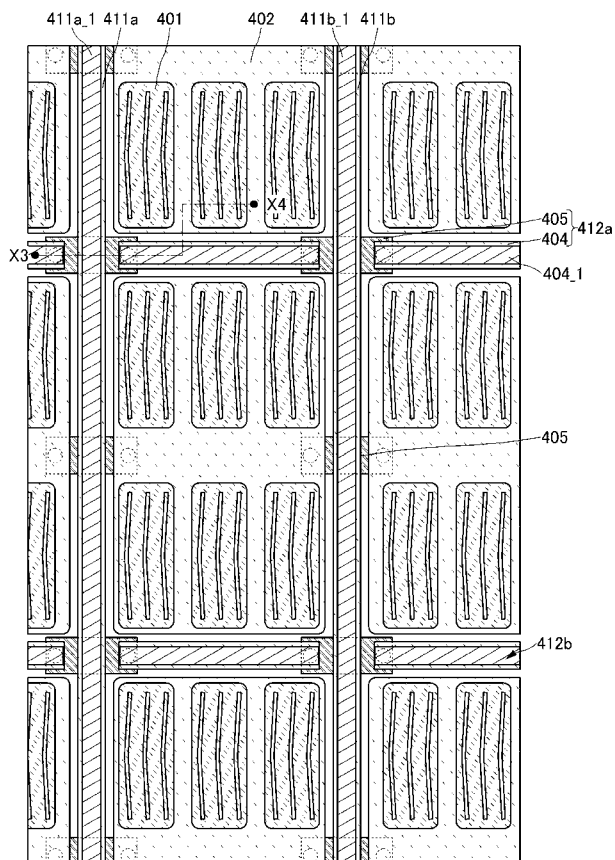
【図 4 4】



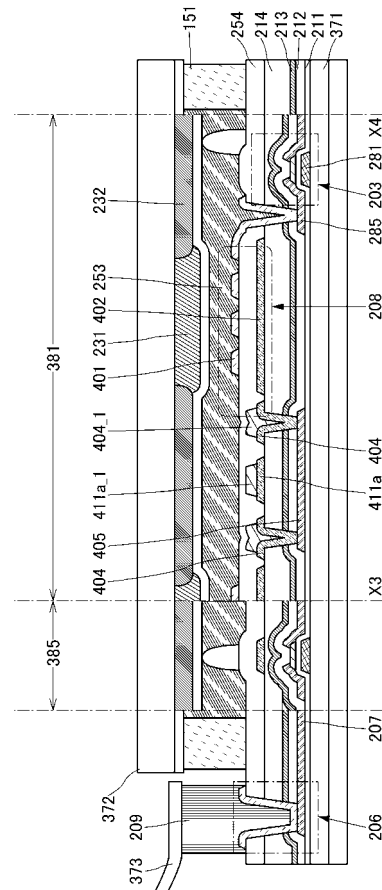
【図 4 5】



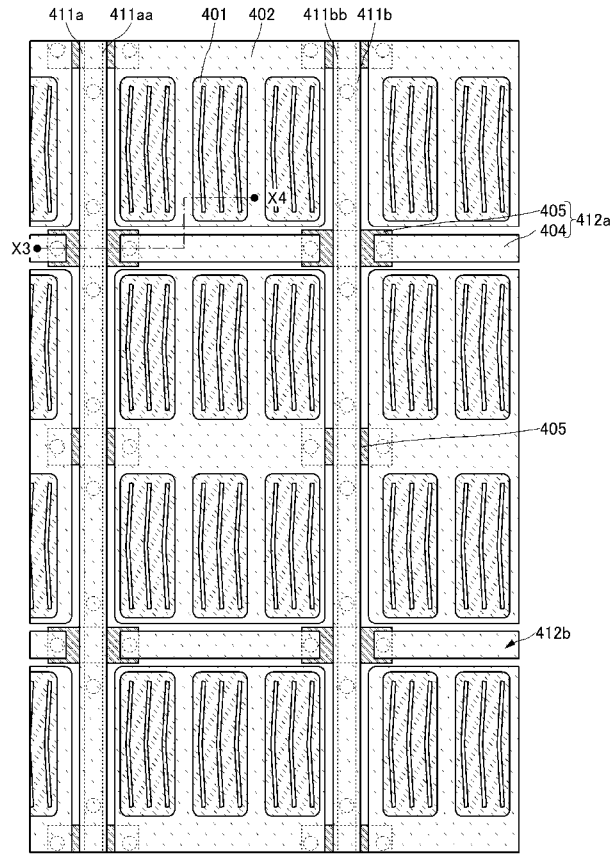
【図 4 6】



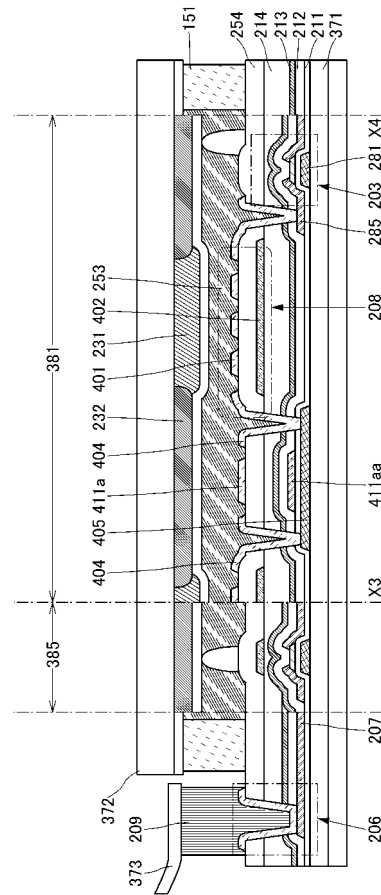
【図 4 7】



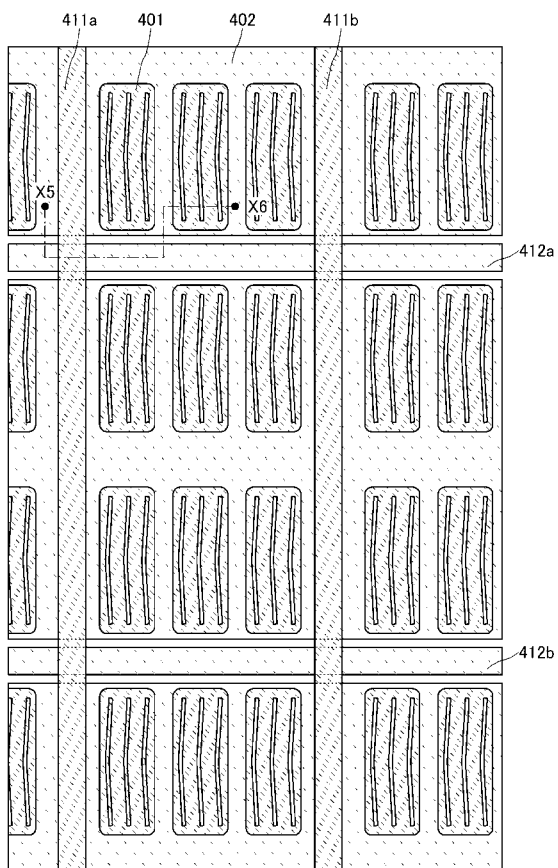
【図 48】



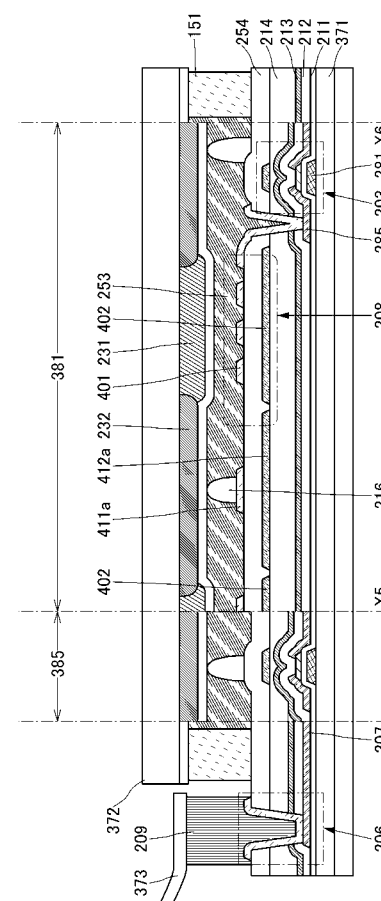
【図 49】



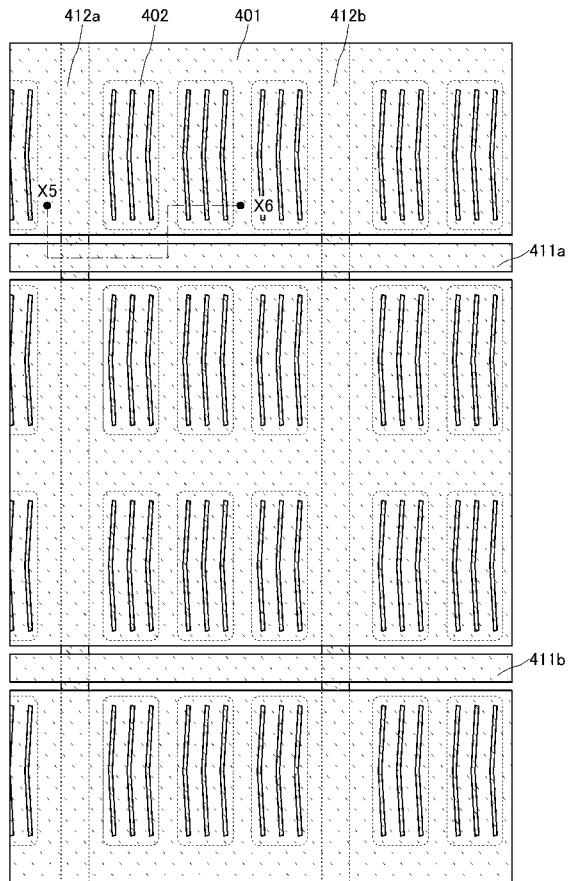
【図 50】



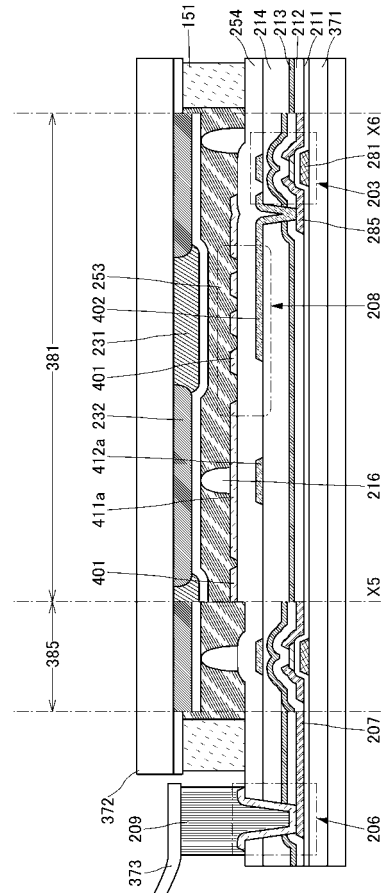
【図 51】



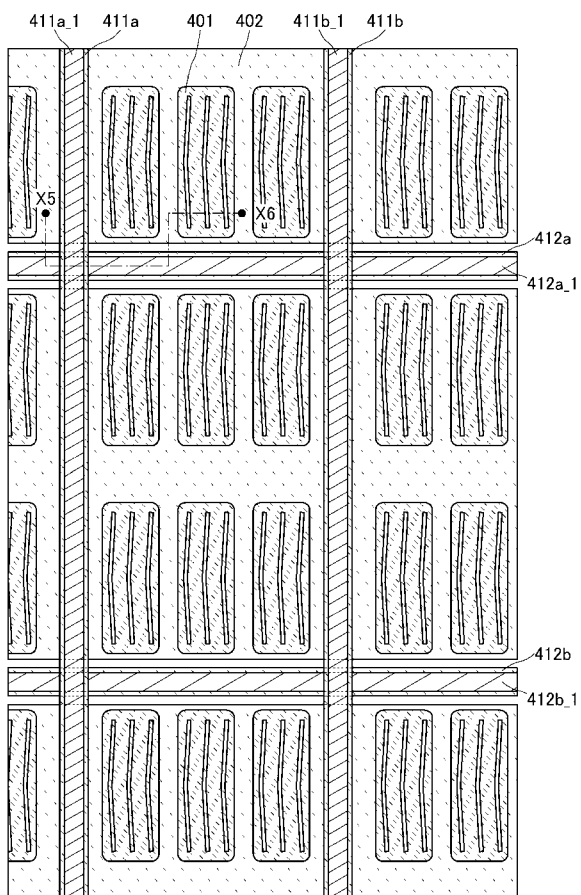
【図 5 2】



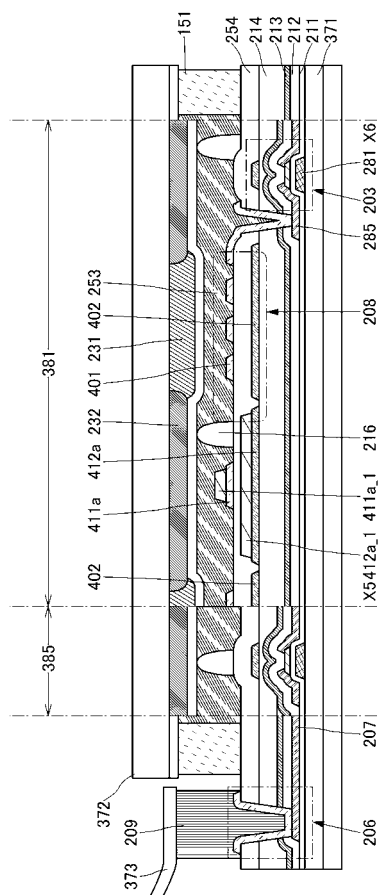
【図 5 3】



【図 5 4】

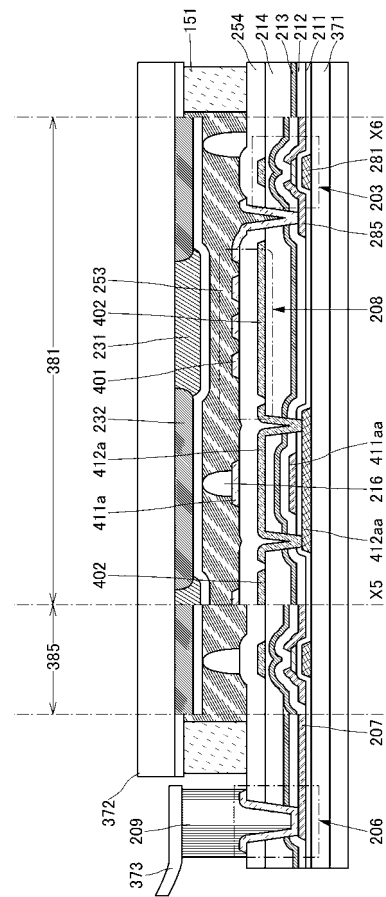


【図 5 5】

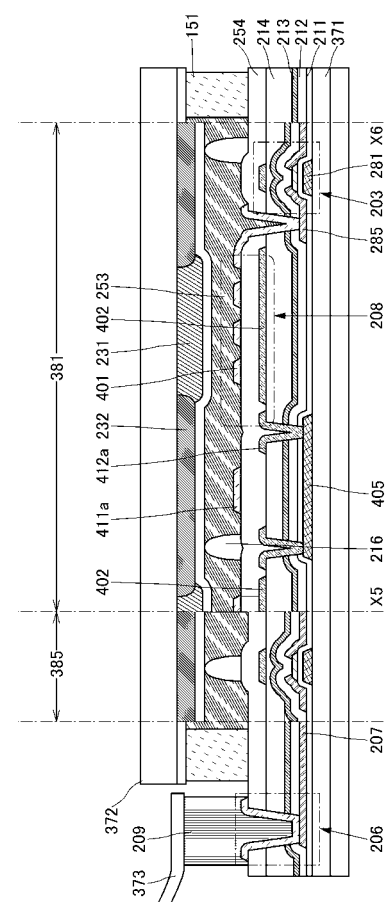




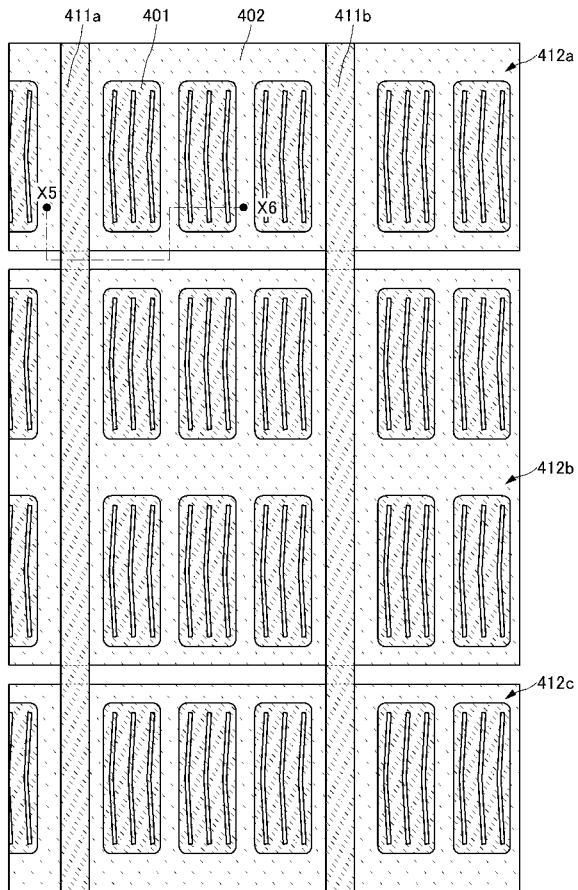
【 図 5 7 】



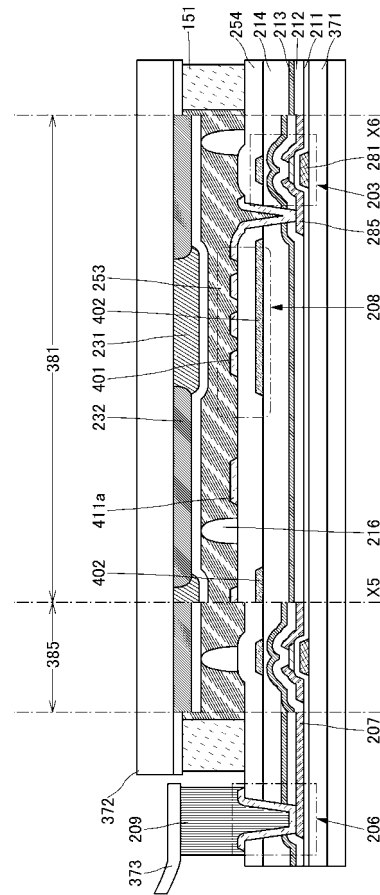
【 ䷮ 5 9 】



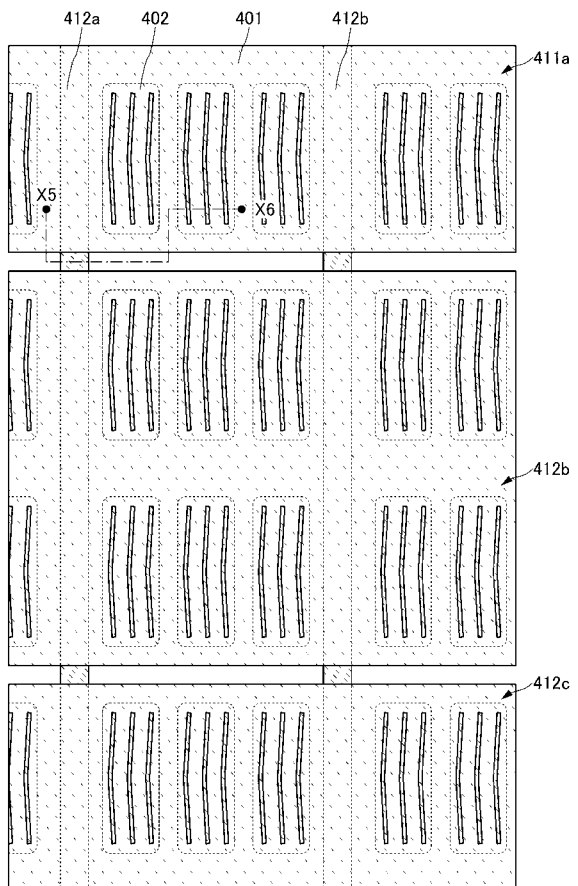
【図 60】



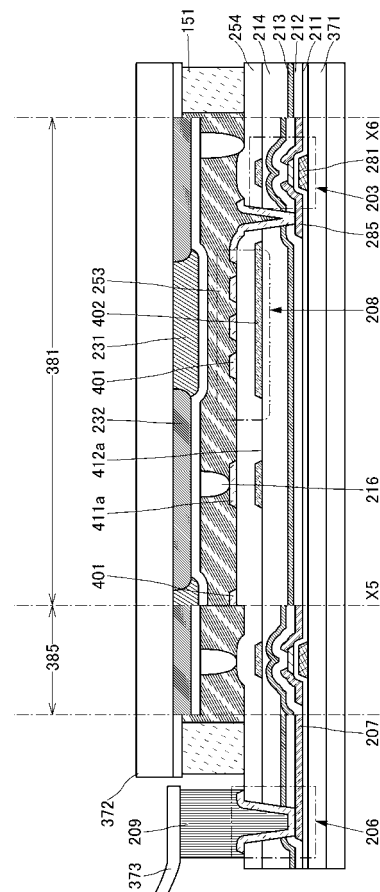
【図 61】



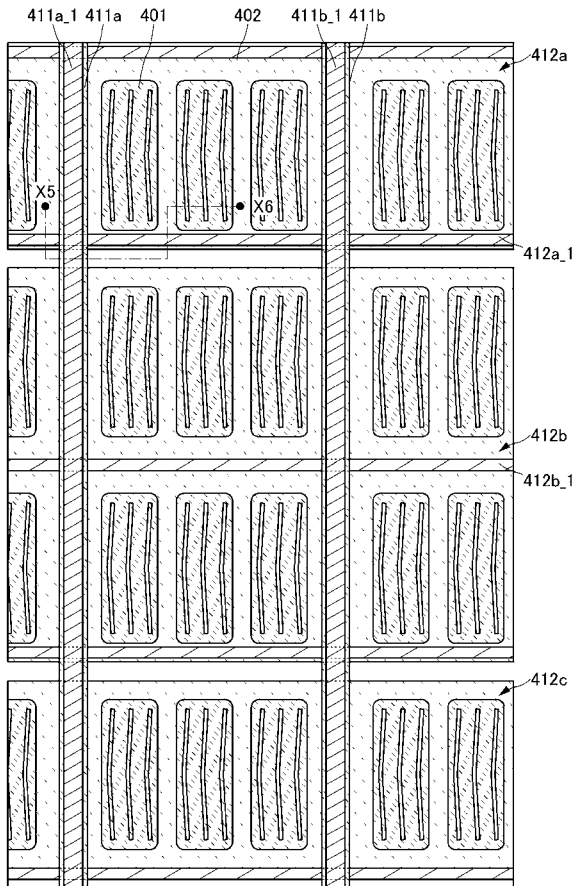
【図 62】



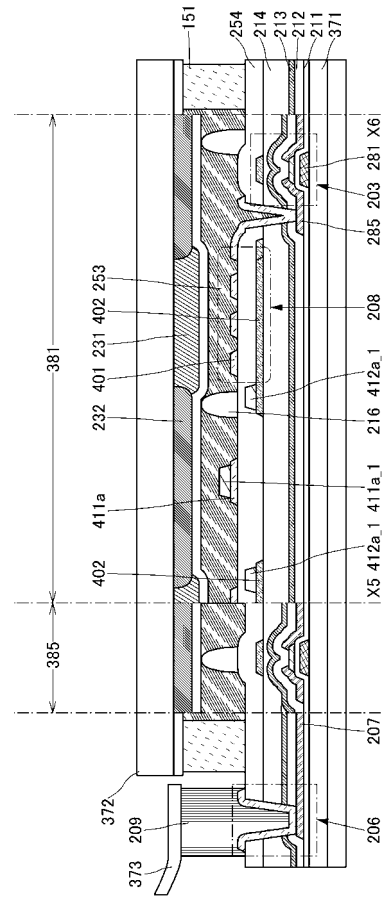
【図 63】



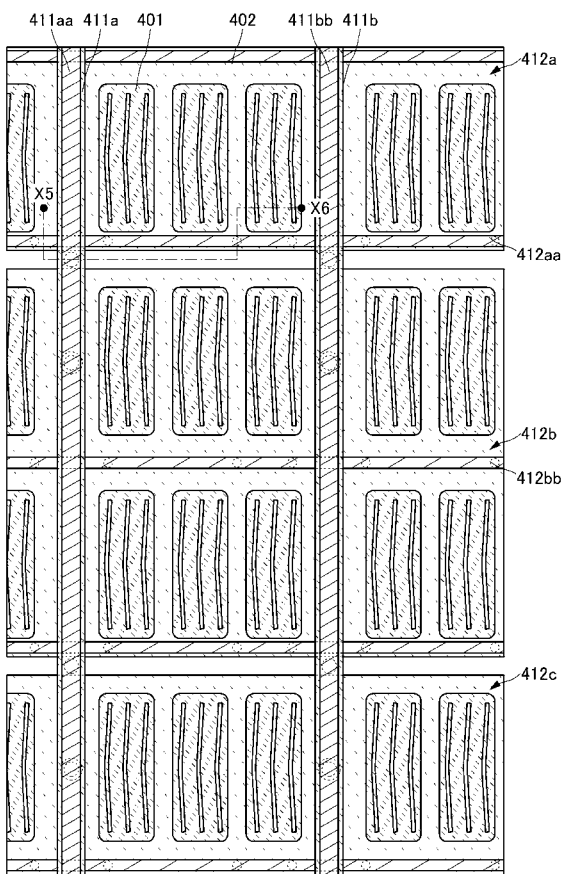
【図 6 4】



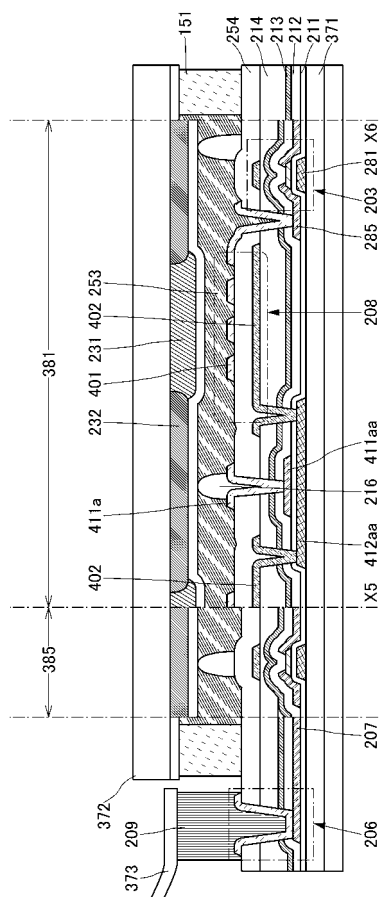
【図 6 5】



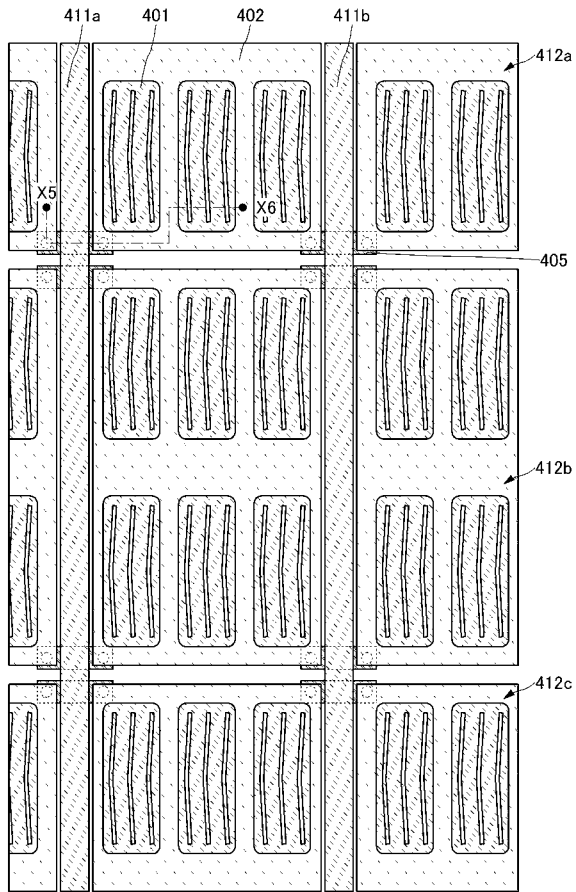
【図 6 6】



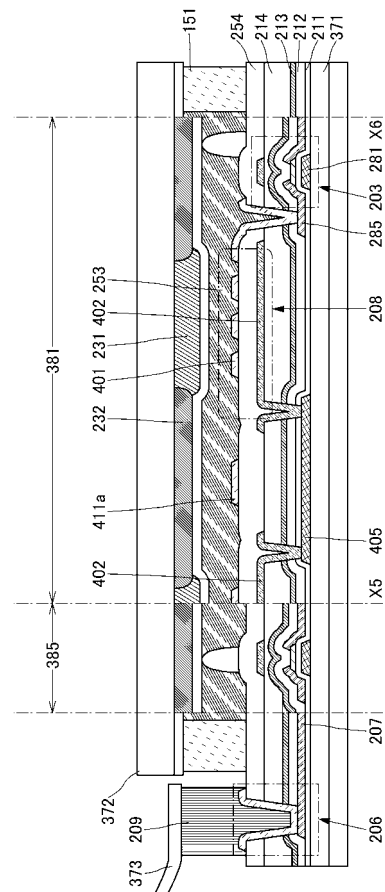
【図 6 7】



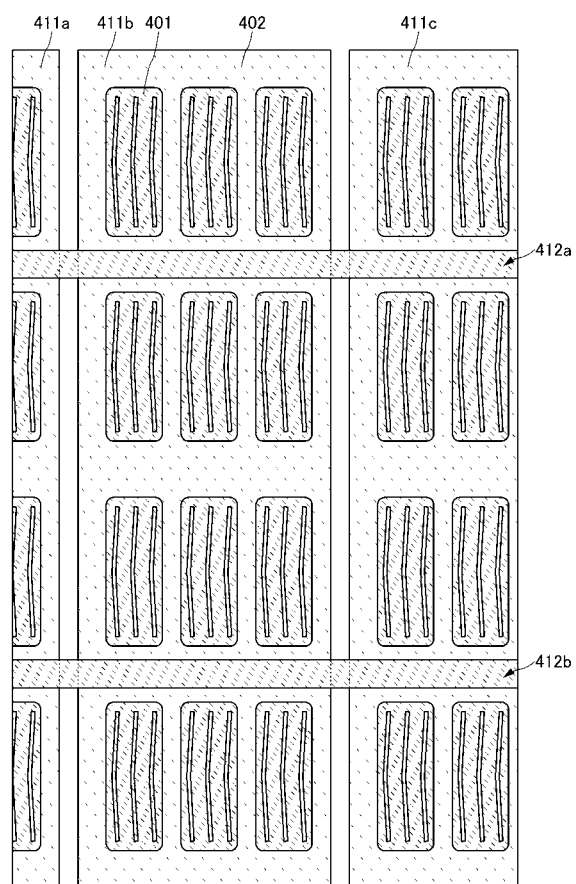
【図 68】



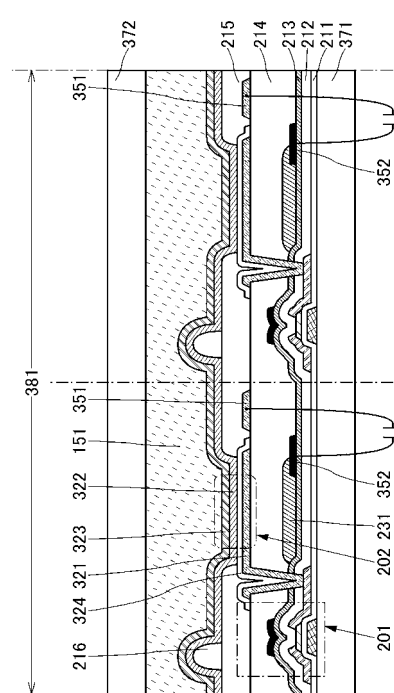
【図 69】



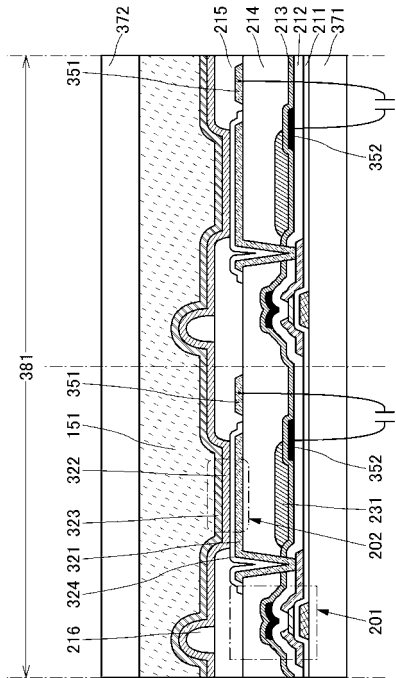
【図 70】



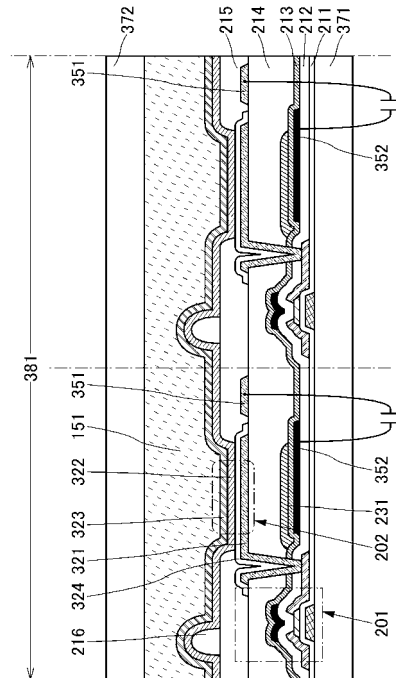
【図 71】



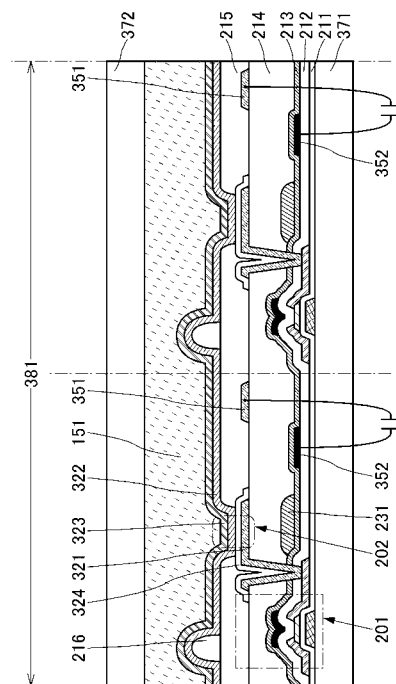
【図 7 2】



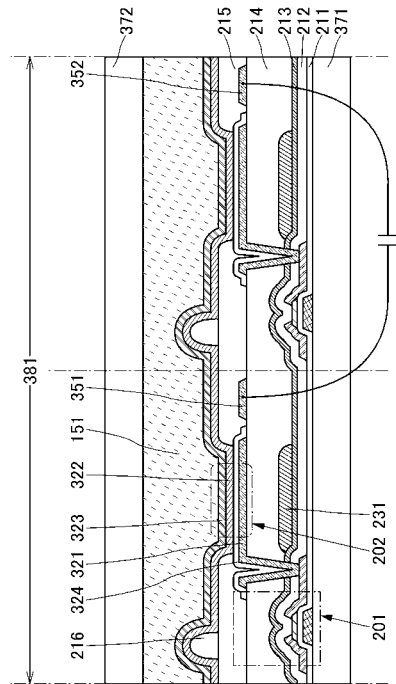
【図 7 3】



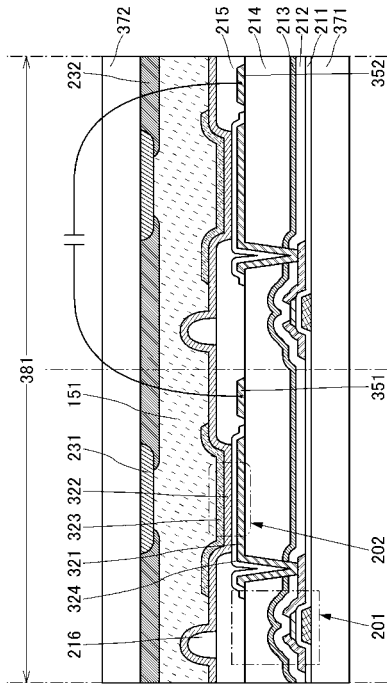
【図 7 4】



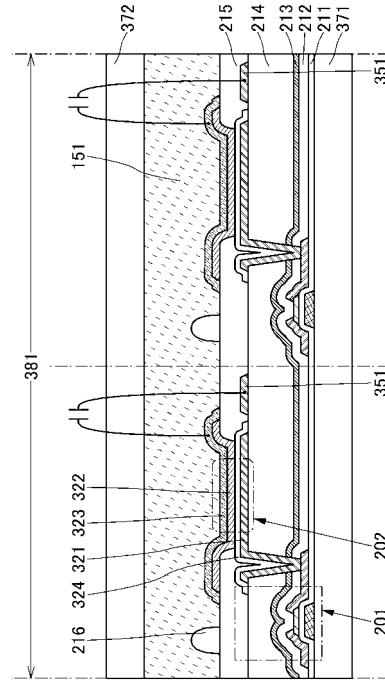
【図 7 5】



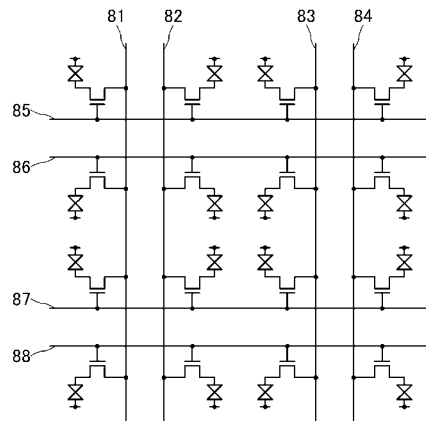
【図 7 6】



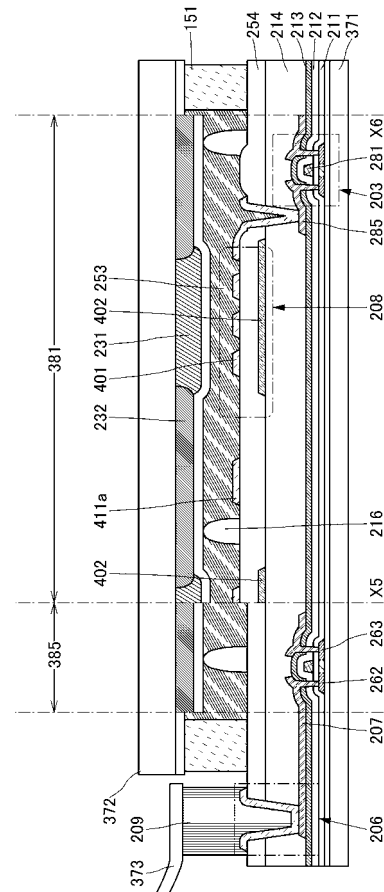
【図 7 7】



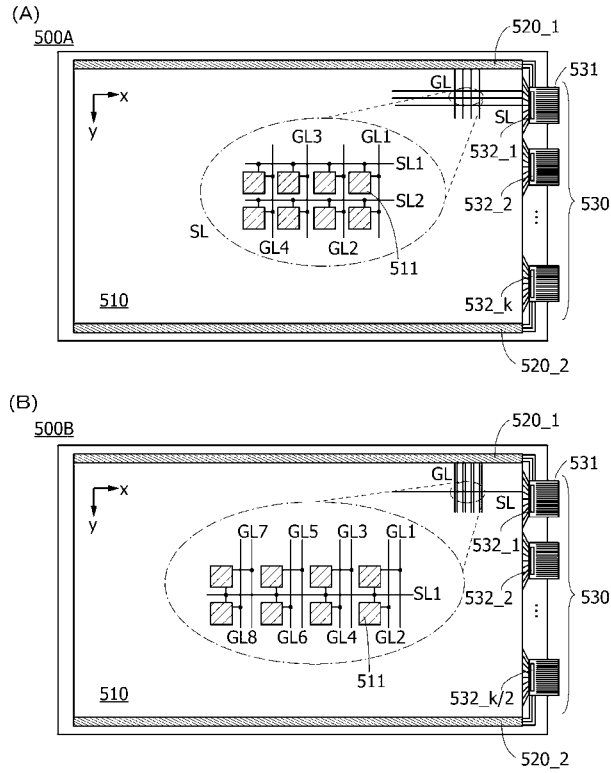
【図 7 8】



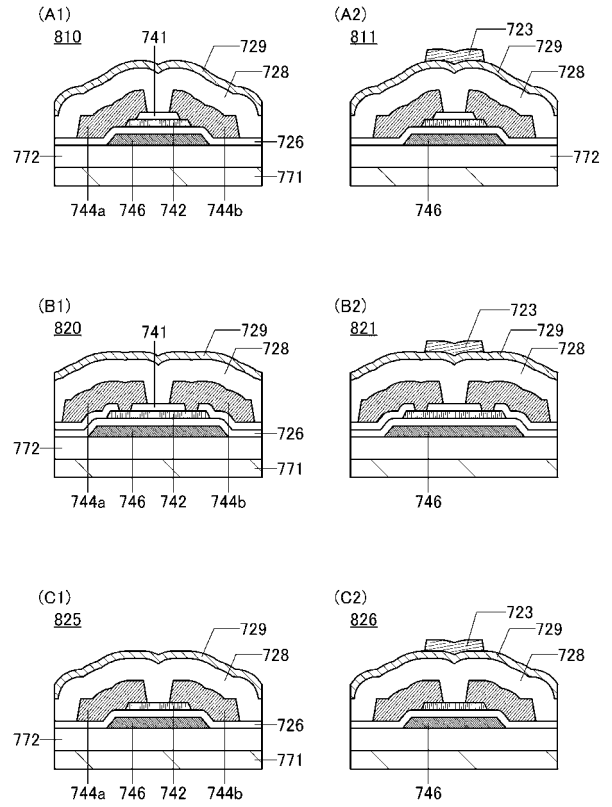
【図 7 9】



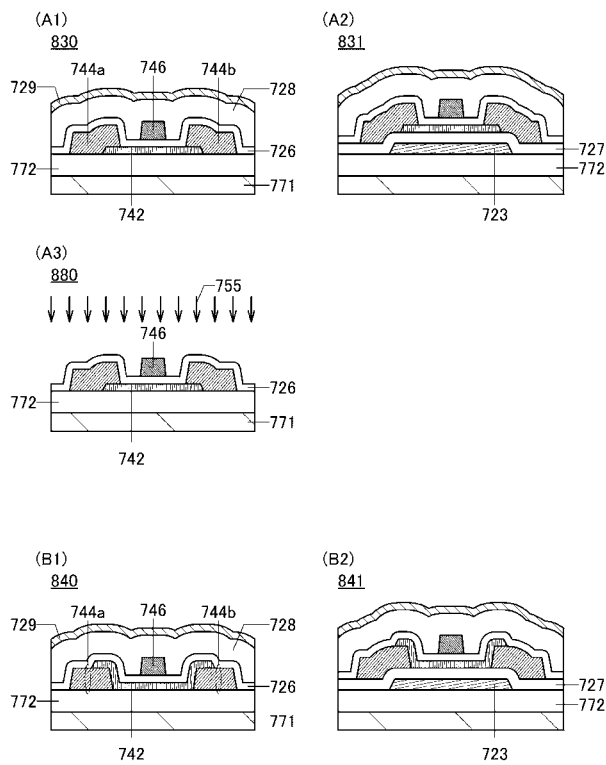
【図 80】



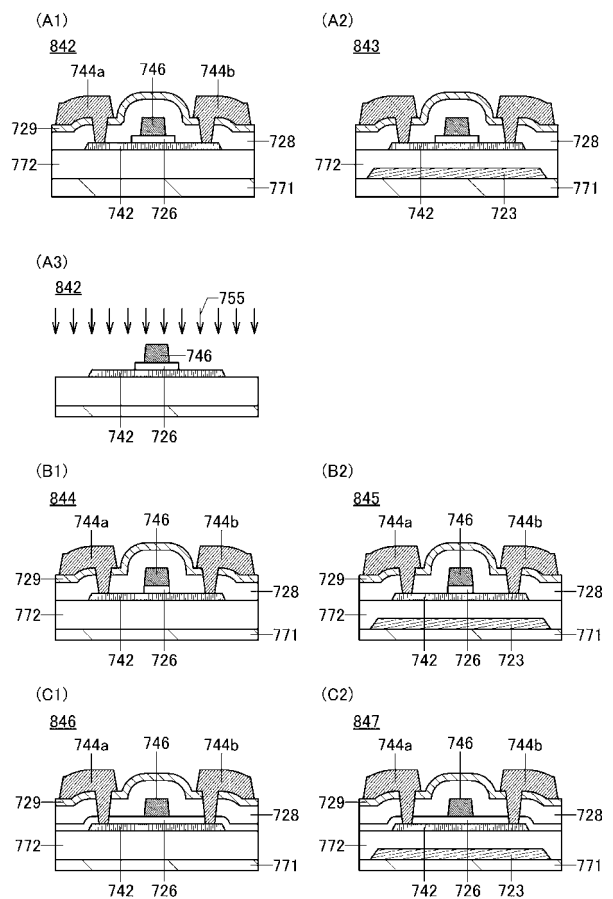
【図 81】



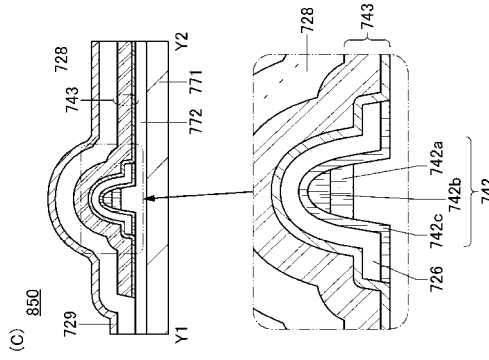
【図 82】



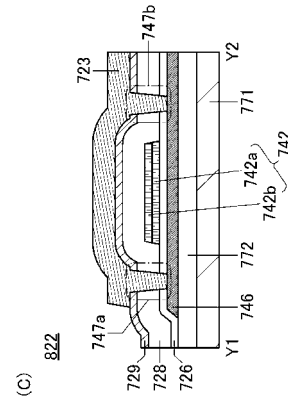
【図 83】



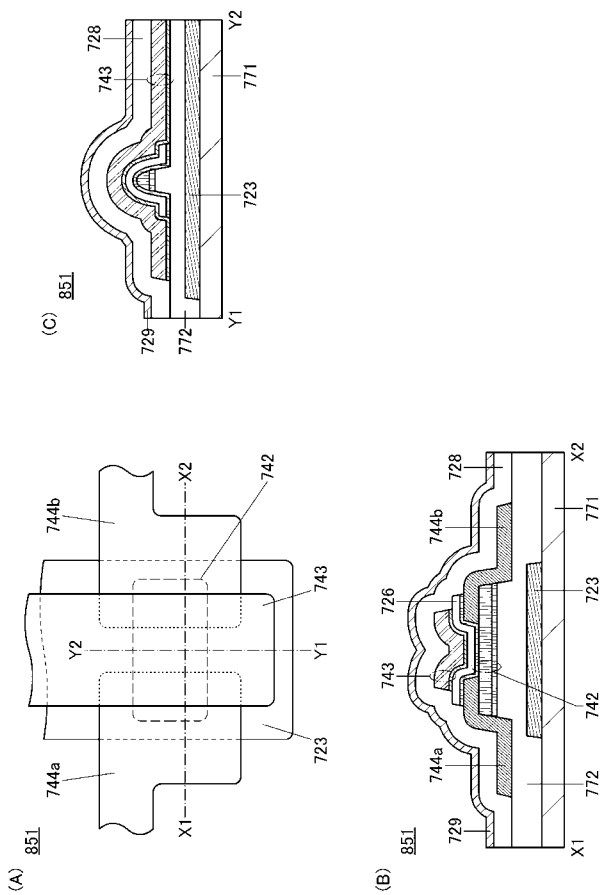
【図 8 4】



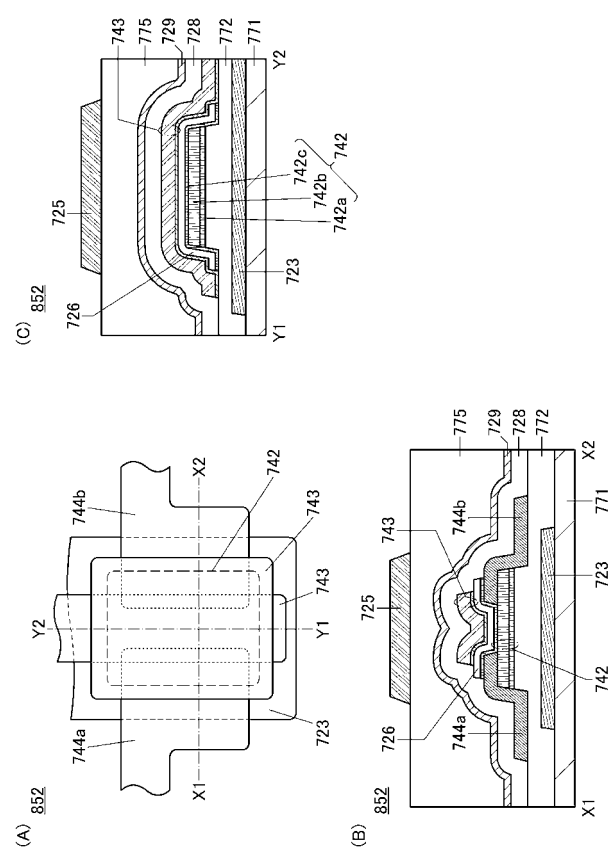
【図 8 5】



【図 8 6】

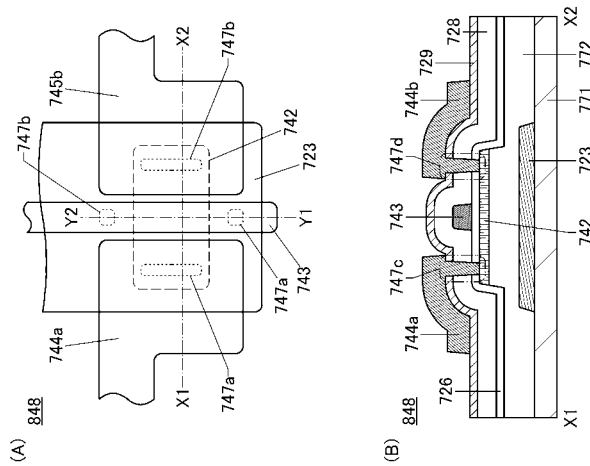
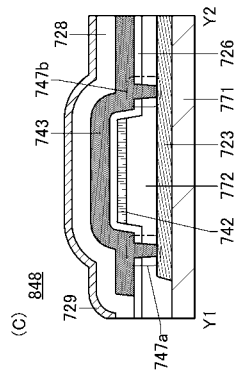


【図 8 7】

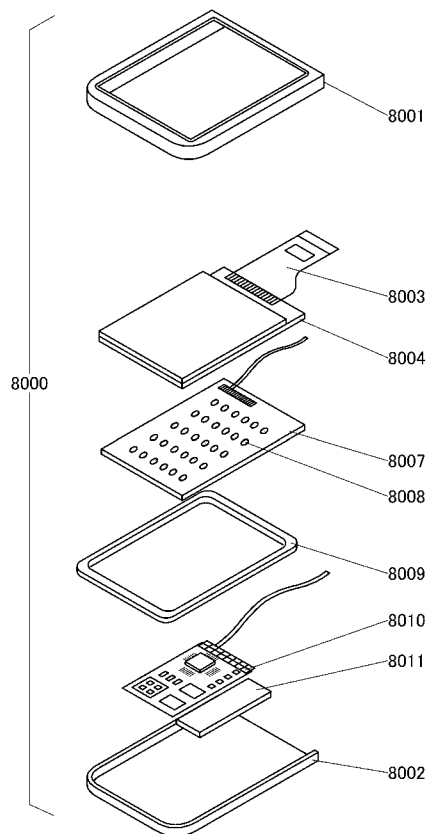




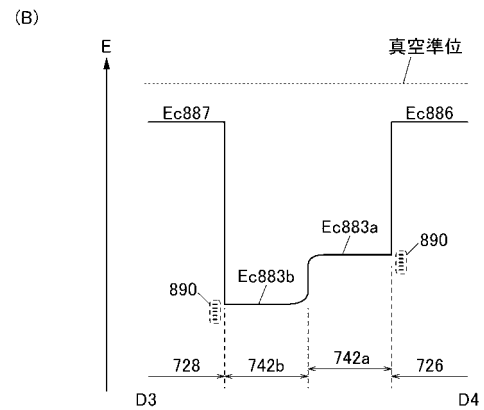
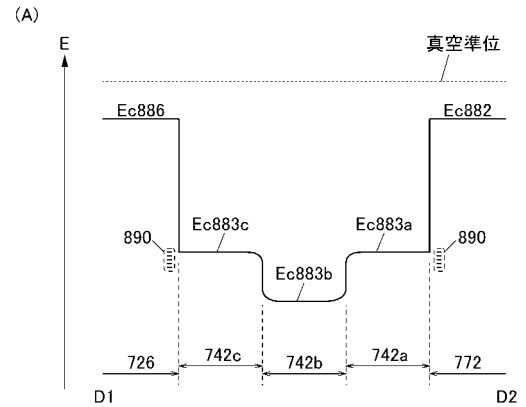
【図 88】



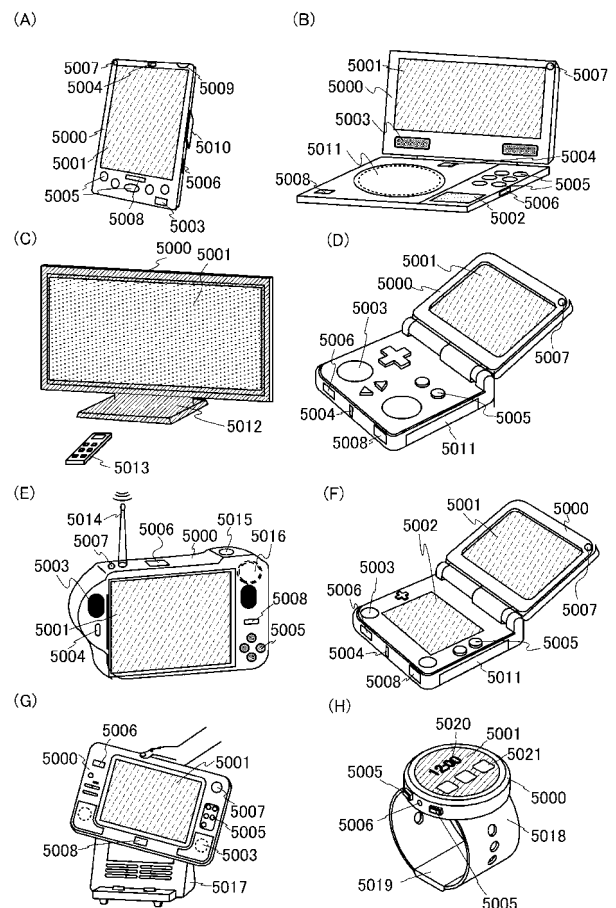
【図 90】



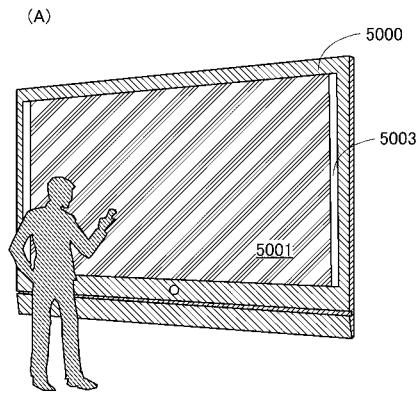
【図 89】



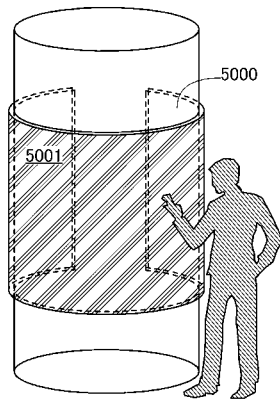
【図 91】



【図 9 2】



(B)



---

フロントページの続き

F ターム(参考) 5F110 BB01 BB09 CC01 CC02 CC03 CC04 CC05 CC06 CC07 CC08  
DD01 DD02 DD03 DD04 DD05 DD21 EE01 EE02 EE03 EE04  
EE06 EE07 EE08 EE14 EE15 EE22 EE27 EE30 FF01 FF02  
FF03 FF04 GG01 GG02 GG03 GG05 GG06 GG07 GG12 GG13  
GG14 GG15 GG17 GG19 GG24 GG25 GG33 GG34 GG35 GG58  
HJ01 HJ12 HJ13 HJ30 HK01 HK02 HK03 HK04 HK06 HK07  
HK08 HK21 HK22 HM15 NN22 NN23 NN24 NN27 NN44 PP34  
QQ11