



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년01월31일
(11) 등록번호 10-1109363
(24) 등록일자 2012년01월17일

(51) Int. Cl.
H03K 23/44 (2006.01) H03K 23/00 (2006.01)
(21) 출원번호 10-2009-7001789
(22) 출원일자(국제출원일자) 2007년06월27일
심사청구일자 2009년01월28일
(85) 번역문제출일자 2009년01월28일
(65) 공개번호 10-2009-0034358
(43) 공개일자 2009년04월07일
(86) 국제출원번호 PCT/US2007/072215
(87) 국제공개번호 WO 2008/002968
국제공개일자 2008년01월03일
(30) 우선권주장
11/560,973 2006년11월17일 미국(US)
60/817,572 2006년06월28일 미국(US)
(56) 선행기술조사문헌
US20050058236 A1
전체 청구항 수 : 총 22 항

(73) 특허권자
칼컴 인코포레이티드
미국 캘리포니아 샌디에고 모어하우스
드라이브5775 (우 92121-1714)
(72) 발명자
나라통, 치우차른
미국 92677 캘리포니아 라구나 니구엘 도헤니 24
수, 웬준
미국 92131 캘리포니아 샌디에고 발리스톡 코트
10733
(74) 대리인
남상선

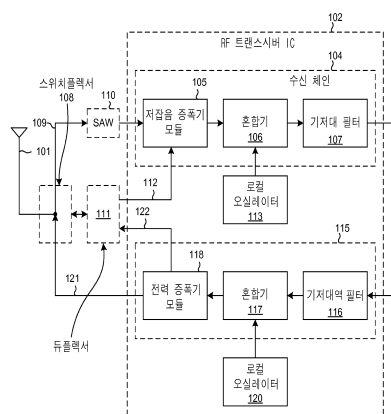
심사관 : 강현일

(54) 저-전력 모듈러스 분할기 스테이지

(57) 요약

모듈러스 분할기 스테이지(MDS: modulus divider stage)는 제1 및 제2 스테이지를 포함한다. MDS는 MDS가 나누기-2 모드 또는 나누기-3 모드로 작동하는지를 결정하는 모듈러스 분할기 제어 신호(S)를 수신한다. MDS는 또한 다른 MDS로부터 피드백 모듈러스 제어 신호를 수신한다. 나누기-2 모드일 때, MDS는 피드백 모듈러스 제어 신호에 무관하게 2로 나누어진다. 전력을 보존하기 위하여, MDS가 나누기-2 모드에서 동작할 때 제1 스테이지는 전력을 공급받지 않는다. 나누기-3 모드일 때, 피드백 모듈러스 제어 신호에 따라 MDS는 2 또는 3으로 분할된다. 전력 소모를 추가로 감소시키기 위하여, MDS가 나누기-3 모드일 때 제1 스테이지는 전력을 공급받지 않지만, 그럼에도 불구하고, 나누기-2 동작을 수행한다. 전력-다운 트랜지스터는 제1 스테이지가 전력을 공급받지 않을 때 적절한 로직 레벨로 제1 스테이지의 출력을 고정시킨다.

대표도 - 도2



특허청구의 범위

청구항 1

(a) 입력 신호를 3으로 나누기 위하여 모듈러스 분할기 스테이지(MDS: modulus divider stage)를 사용하는 단계 ? 상기 MDS는 제1 스테이지 및 제2 스테이지를 포함하고, 상기 MDS는 상기 입력 신호를 2 또는 3으로 나누도록 제어가능함 ? ;

(b) 상기 MDS의 상기 제2 스테이지를 파워 다운(power down)시키지 않고 상기 MDS의 상기 제1 스테이지를 파워 다운시키는 단계; 및

(c) 상기 파워 다운시키는 단계 (b) 이후에, 상기 제1 스테이지가 파워 다운될 때 상기 입력 신호를 2로 나누기 위하여 상기 MDS를 사용하는 단계를 포함하는,

모듈러스 분할기 스테이지(MDS)의 동작 방법.

청구항 2

제1항에 있어서,

상기 사용하는 단계 (a)는,

상기 MDS에 피드백 모듈러스 제어 신호의 펄스를 수신하는 단계; 및

상기 피드백 모듈러스 제어 신호의 펄스를 검출하고, 클럭 억제 제어 펄스(clock swallow control pulse)를 어서팅(assert)하기 위하여 상기 제1 스테이지를 사용하는 단계를 포함하며,

상기 클럭 억제 제어 펄스는 상기 제2 스테이지로 하여금 상기 제2 스테이지에 의하여 수행되는 토글(toggle) 동작을 중지(suspend)시키도록 하는,

모듈러스 분할기 스테이지(MDS)의 동작 방법.

청구항 3

제2항에 있어서,

상기 제1 스테이지는 신호 컨덕터를 통해 상기 클럭 억제 제어 펄스를 상기 제2 스테이지에 공급하고,

상기 클럭 억제 제어 펄스는 제1 디지털 로직 레벨의 펄스이며,

상기 MDS의 상기 제1 스테이지가 파워 다운될 때, 상기 신호 컨덕터는 제2 디지털 로직 레벨로 유지되는,

모듈러스 분할기 스테이지(MDS)의 동작 방법.

청구항 4

제3항에 있어서,

상기 MDS의 상기 제1 스테이지가 파워 다운될 때, 상기 신호 컨덕터는 접지 컨덕터에 상기 신호 컨덕터를 커플링시키도록 트랜지스터를 제어함으로써 상기 제2 디지털 로직 레벨로 유지되는,

모듈러스 분할기 스테이지(MDS)의 동작 방법.

청구항 5

제2항에 있어서,

(d) 상기 사용하는 단계(c) 이후에, 상기 MDS의 상기 제1 스테이지를 파워 업시키고, 그리고 나서 상기 단계 (a)를 반복하는 단계를 더 포함하는,

모듈러스 분할기 스테이지(MDS)의 동작 방법.

청구항 6

제5항에 있어서,

상기 단계(d)에서의 상기 제1 스테이지의 파워 업은 후속하는 단계(a)에서 상기 입력 신호를 3으로 나누는 것보다 둘 이상의 입력 신호 클럭 주기 이전에 시작되는,

모듈러스 분할기 스테이지(MDS)의 동작 방법.

청구항 7

제1항에 있어서,

상기 MDS는 나누기-2(divide-by-two) 모드 또는 나누기-3(divide-by-three) 모드로 작동가능하고,

상기 나누기-2 모드에서 상기 MDS는 피드백 모듈러스 제어 신호의 값과 무관하게 상기 입력 신호를 2로 나누고,

상기 나누기-3 모드에서 상기 MDS는 상기 피드백 모듈러스 제어 신호의 값에 따라 상기 입력 신호를 2로 또는 3으로 나누며,

상기 MDS가 상기 나누기-2 모드에서 동작할 때, 상기 단계(c)의 나누기-2가 수행되는,

모듈러스 분할기 스테이지(MDS)의 동작 방법.

청구항 8

제1항에 있어서,

상기 MDS는 나누기-2 모드 또는 나누기-3 모드로 작동가능하고,

상기 나누기-2 모드에서 상기 MDS는 피드백 모듈러스 제어 신호의 값과 무관하게 상기 입력 신호를 2로 나누고,

상기 나누기-3 모드에서 상기 MDS는 상기 피드백 모듈러스 제어 신호의 값에 따라 상기 입력 신호를 2로 또는 3으로 나누며,

상기 MDS가 상기 나누기-3 모드에서 동작할 때, 상기 단계(c)의 나누기-2가 수행되는,

모듈러스 분할기 스테이지(MDS)의 동작 방법.

청구항 9

제1항에 있어서,

상기 MDS는 전류 모드 로직(CML: current mode logic)에서 적어도 부분적으로 실현되는,

모듈러스 분할기 스테이지(MDS)의 동작 방법.

청구항 10

제1항에 있어서,

상기 제1 스테이지는 소정량의 플립-플롭 회로 소자 및 공급 전압 컨덕터를 포함하며, 상기 파워 다운시키는 단계 (b)는 상기 공급 전압 컨덕터로부터의 상기 소정량의 플립-플롭 회로 소자를 디커플링시키는 단계를 포함하는,

모듈러스 분할기 스테이지(MDS)의 동작 방법.

청구항 11

멀티-모듈러스 분할기로서,

입력 클럭 신호를 2 또는 3으로 나누고, 출력 클럭 신호를 출력하는 제1 모듈러스 분할기 스테이지(MDS)를 포함하며, 상기 제1 MDS는,

제1 MDS가 3으로 나누어질 때, 클럭 억제(swallow) 제어 펄스를 출력하는 제 1 스테이지 ? 상기 제1 스테이지는 상기 제1 MDS가 2로 분할되는 시간의 적어도 일부에서 파워 다운됨 ? ; 및

상기 제1 MDS가 2로 나누어질 때 토글링하는 제2 스테이지 ? 상기 제2 스테이지는 상기 출력 클럭 신호를 출력하며, 상기 MDS가 3으로 나누어지도록 상기 클럭 억제 제어 펄스의 수신시 토글 동작을 중지시킴 ? 를

포함하는,
멀티-모듈러스 분할기.

청구항 12

제11항에 있어서,
상기 제1 MDS로부터 상기 출력 클럭 신호를 수신하고, 피드백 모듈러스 제어 신호를 출력하는 제2 모듈러스 분할기 스테이지(MDS)를 더 포함하고,
상기 제1 MDS의 상기 제1 스테이지는 상기 제2 MDS로부터 상기 피드백 모듈러스 제어 신호를 수신하고, 상기 피드백 모듈러스 제어 신호의 수신에 응답하여 상기 클럭 억제 제어 펄스를 출력하는,
멀티-모듈러스 분할기.

청구항 13

제12항에 있어서,
상기 제1 MDS는 나누기-2 모드 또는 나누기-3 모드로 작동가능하고,
상기 나누기-2 모드에서 상기 제1 MDS는 상기 제2 MDS로부터 수신되는 상기 피드백 모듈러스 제어 신호의 값과 무관하게 상기 입력 신호를 2로 나누고,
상기 나누기-3 모드에서 상기 MDS는 상기 제2 MDS로부터 수신되는 상기 피드백 모듈러스 제어 신호의 값에 따라 상기 입력 신호를 2로 또는 3으로 나누며,
상기 제1 스테이지가 파워 다운되는 시간의 적어도 일부는 상기 제1 MDS가 상기 나누기-2 모드에서 동작하는 시간인,
멀티-모듈러스 분할기.

청구항 14

제12항에 있어서,
상기 제1 MDS는 나누기-2 모드 또는 나누기-3 모드로 작동가능하고,
상기 나누기-2 모드에서 상기 제1 MDS는 상기 제2 MDS로부터 수신되는 상기 피드백 모듈러스 제어 신호의 값과 무관하게 상기 입력 신호를 2로 나누고,
상기 나누기-3 모드에서 상기 MDS는 상기 제2 MDS로부터 수신되는 상기 피드백 모듈러스 제어 신호의 값에 따라 상기 입력 신호를 2로 또는 3으로 나누며,
상기 제1 스테이지가 파워 다운되는 시간의 적어도 일부는 상기 제1 MDS가 상기 나누기-3 모드에서 동작하고 있는 시간인,
멀티-모듈러스 분할기.

청구항 15

제11항에 있어서,
상기 제1 MDS의 상기 제1 스테이지는,
상기 제1 MDS의 상기 제1 스테이지가 상기 제1 MDS의 상기 제2 스테이지에 상기 클럭 억제 제어 펄스를 공급하는 신호 컨덕터; 및
상기 MDS의 상기 제1 스테이지가 파워 다운될 때 접지 컨덕터에 상기 신호 컨덕터를 커플링시키는 트랜지스터를 포함하는,
멀티-모듈러스 분할기.

청구항 16

제11항에 있어서,

상기 제1 MDS의 상기 제1 스테이지는,

소정량의 플립-플롭 회로 소자;

공급 전압 컨덕터; 및

상기 제1 MDS의 상기 제1 스테이지가 파워 다운될 때 상기 공급 전압 컨덕터로부터 상기 소정량의 플립-플롭 회로 소자를 디커플링시키고, 상기 제1 MDS의 상기 제1 스테이지에 전력이 공급될 때 상기 공급 전압 컨덕터에 상기 소정량의 플립-플롭 회로 소자를 커플링시키는 회로 소자를 포함하는,

멀티-모듈러스 분할기.

청구항 17

모듈러스 분할기 스테이지(MDS)로서,

클럭 입력 노드, 데이터 입력 노드 및 데이터 출력 노드를 포함하는 제1 플립-플롭;

상기 제1 플립-플롭의 상기 데이터 입력 노드로 신호를 출력하고, 제1 입력 리드(lead), 제2 입력 리드, 및 제3 입력 리드를 포함하는 상기 제1 NOR 회로 ? 모듈러스 제수(divisor) 제어 신호는 상기 제1 NOR 회로의 상기 제1 입력 리드상에 존재하고, 피드백 모듈러스 제어 신호는 상기 제1 NOR 회로의 상기 제2 입력 리드상에 존재함 ? ;

클럭 입력 노드, 데이터 입력 노드, 및 데이터 출력 노드를 포함하는 제2 플립-플롭 ? 상기 제2 플립-플롭의 상기 클럭 입력 노드는 상기 제1 플립-플롭의 상기 클럭 입력 노드에 커플링됨 ? ; 및

상기 제2 플립-플롭의 상기 데이터 입력 노드로 신호를 출력하고, 제1 입력 리드 및 제2 입력 리드를 포함하는 제2 NOR 회로 ? 상기 제2 NOR 회로의 상기 제1 입력 리드는 상기 제1 플립-플롭의 상기 데이터 출력 노드에 커플링되고, 상기 제2 NOR 회로의 상기 제2 데이터 입력 리드는 상기 제2 플립-플롭으로부터 출력되는 데이터 출력 신호를 수신하도록 커플링됨 ? 를 포함하며,

상기 제1 플립-플롭은 상기 제2 플립-플롭이 토글 플립-플롭으로서 기능하는 시간 동안에 파워 다운되고 상기 제2 플립-플롭의 상기 클럭 입력 노드상의 입력 신호를 2로 나누고,

상기 제1 플립-플롭은 상기 제1 플립-플롭, 상기 제1 NOR 회로, 상기 제2 플립-플롭 및 상기 제2 NOR 회로가 상기 입력 신호를 3으로 나누기 위하여 함께 동작하는 시간 동안 파워 업되는, 모듈러스 분할기 스테이지(MDS).

청구항 18

제17항에 있어서,

상기 제2 플립-플롭은 제2 데이터 출력 노드를 가지고, 상기 제2 플립-플롭으로부터 상기 제2 NOR 회로의 상기 제2 데이터 입력 리드에 출력되는 상기 데이터 출력 신호는 상기 제2 플립-플롭의 상기 제2 데이터 출력 노드상의 신호인,

모듈러스 분할기 스테이지(MDS).

청구항 19

제17항에 있어서,

상기 모듈러스 분할기 스테이지(MDS)는 다수의 다른 모듈러스 분할기 스테이지들을 포함하는 멀티-모듈러스 분할기의 모듈러스 분할기 스테이지(MDS)이고,

상기 다른 모듈러스 분할기 스테이지들 중 하나는 상기 제1 NOR 회로의 상기 제2 입력 리드에 상기 피드백 모듈러스 제어 신호를 공급하는,

모듈러스 분할기 스테이지(MDS).

청구항 20

제17항에 있어서,

상기 모듈러스 분할기 스테이지(MDS)는 제수 값으로 입력 클럭 신호를 나누고, 출력 클럭 신호를 출력하는 멀티-모듈러스 분할기의 모듈러스 분할기 스테이지(MDS)이고,

상기 제수 값은 다수의 모듈러스 제수 제어 신호들에 의해 결정되고,

상기 제1 NOR 회로의 상기 제1 입력 리드상에 존재하는 상기 모듈러스 제수 제어 신호는 상기 다수의 모듈러스 제수 제어 신호들 중 하나인,

모듈러스 분할기 스테이지(MDS).

청구항 21

모듈러스 분할기 스테이지로서,

제어 입력 리드, 클럭 입력 리드 및 데이터 출력 리드를 가지는 플립-플롭 스테이지 ? 상기 플립-플롭 스테이지는 자신의 클럭 입력 리드로 클럭 입력 신호를 수신하고, 제1 디지털 로직 레벨이 상기 제어 입력 리드상에 존재하면 토글링하고, 제2 디지털 로직 레벨이 특정 시점에서 상기 제어 입력 리드상에 존재하면 상기 토글링이 중지됨 ? ; 및

피드백 모듈러스 제어 신호를 검출하고, 상기 플립-플롭의 토글링이 상기 클럭 입력 신호의 한 주기 동안 중지되도록 상기 특정 시점에 상기 제어 입력 리드로 클럭 억제 제어 펄스를 어서팅(assert)하기 위한 수단 ? 상기 클럭 억제 제어 펄스는 상기 제 2 디지털 로직 레벨의 펄스임 ? 을 포함하며,

상기 수단은 상기 피드백 모듈러스 제어 신호의 검출 이전에 실질적으로 전력을 공급받지 않고, 상기 피드백 모듈러스 제어 신호의 검출 동안 그리고 상기 클럭 억제 제어 펄스의 어서팅 동안 전력을 공급받으며, 그리고 나서, 상기 클럭 억제 제어 펄스 이후에 실질적으로 전력을 공급받지 않는,

모듈러스 분할기 스테이지.

청구항 22

제21항에 있어서,

상기 특정 시간은 상기 클럭 입력 신호의 천이가 발생하는 시간이며,

상기 플립-플롭 스테이지는 플립-플롭을 포함하고, 상기 토글링은 상기 클럭 입력 신호 천이에 응답하여 상기 플립-플롭이 상태를 변화시키는 것을 방지함으로써 중지되는,

모듈러스 분할기 스테이지.

명세서

기술분야

[0001] 본 출원은 2006년 6월 28일자로 출원되고, 본 출원인에게 양도된 "Low power modulus divider stage"라는 제목의 가출원 제60/817,572호에 대한 우선권을 주장하며, 그 모든 내용은 본 명세서에 참조로서 통합된다.

[0002] 개시된 실시예들은 멀티-모듈러스 분할기(MMD: multi-modulus divider)들에 관한 것으로서, 특히, MMD의 모듈러스 분할기 스테이지(MDS: modulus divider stage)에서의 전력 소모 감소에 관한 것이다.

배경기술

[0003] 휴대폰 내의 수신기 및 전송기 회로 소자는 통상적으로 하나 이상의 로컬 오실레이터들을 포함한다. 로컬 오실레이터의 기능은 선택된 주파수의 신호를 출력하는 것이다. 휴대폰의 그러한 로컬 오실레이터는 예를 들어, 크리스탈 오실레이터로부터 안정되지만 상대적으로 저주파수 신호(예를 들어, 20 MHz)를 수신하고, 선택된 상대적으로 고주파수(예를 들어, 900 MHz)의 출력 신호를 발생시키는 위상 고정 루프(PLL)를 포함할 수 있다. PLL의 피드백 루프는 고주파수 신호를 수신하고, 크리스탈 오실레이터로부터의 신호와 동일한 위상 및 주파수의 저주파수 신호를 획득하기 위해 그것을 나누는 주파수 분할기를 포함한다. 본 명세서에서 "멀티-모듈러스 분할기"로 불리는 분할기 타입은 종종 주파수 분할기를 실현시키는데 사용된다. 주파수 분할기의 고주파수 동작으로

인하여, 주파수 분할기의 회로 소자는 원치 않게 큰 전력량을 소모할 수 있다. 로컬 오실레이터의 주파수 분할기들에 의하여 소모되는 전력량을 감소시키기 위한 기술들 및 방법들이 필요하다.

발명의 상세한 설명

- [0004] 멀티-모듈러스 분할기(MMD)는 출력 신호(SOUT)를 발생시키기 위하여 제수 값(DV)으로 입력 신호(SIN)를 나눈다. MMD는 MMD를 형성하기 위하여 함께 연쇄(chain)되는 다수의 모듈러스 분할기 스테이지들(MDS들)을 포함한다. 각각의 MDS(마지막 MDS는 제외)는 체인의 다음 MDS로부터 피드백 모듈러스 제어 신호를 수신한다. 각각의 MDS는 또한 모듈러스 제수 제어 신호(S)를 수신한다. 특정 MDS에 대한 모듈러스 제수 제어 신호(S)가 제1 디지털 로직 값을 갖는다면, MDS는 나누기-2 모드로(divide-by-two mode)로 동작하고, 그렇지 않으면, 나누기-3 모드(divide-by three mode)로 동작한다.
- [0005] 각각의 MDS는 제1 스테이지 및 제2 스테이지를 포함한다. 새로운 제1 측면에 따라, MDS가 나누기-2 모드로 동작할 때, 제1 스테이지의 출력은 천이되지 않는다는 것을 인지할 수 있다. MDS의 전력 소모를 감소시키기 위하여, 제1 스테이지는 나누기-2 모드 동안 전력을 공급받지 않는다.
- [0006] 신규한 제2 측면에 따라, 나누기-3 모드 동작 동안의 제1 스테이지의 기능은 피드백 모듈러스 제어 신호를 검출하고, 제2 스테이지가 나누기-3 동작을 수행하도록 하기에 적절한 시간에 제2 스테이지의 제어 입력 리드에 클럭 억제 제어 펄스(clock swallow control pulse)를 공급하는 것이다. MMD의 통상적인 동작에서, 나누기-3 모드의 MDS는 실제로 단지 드물게 나누기-3 동작을 수행할 것이다. 따라서, MDS가 나누기-3 모드에 있을 때 제1 스테이지를 파워 다운(power down)시킴으로써 신규한 제2 측면에 따라 전력이 보존되며, 제2 스테이지는 나누기-2 동작들을 수행한다.
- [0007] 본 발명의 신규한 한 측면에 따른 방법은 다음의 3 단계들 (a)-(c)을 포함한다: (a) 입력 신호를 3으로 나누기 위하여 모듈러스 분할기 스테이지(MDS: modulus divider stage)를 사용하는 단계. MDS는 제1 스테이지 및 제2 스테이지를 포함하고, 입력 신호를 2 또는 3으로 나누도록 제어가능하다. (b) MDS의 제2 스테이지를 파워 다운(power down)시키지 않고 MDS의 제1 스테이지를 파워 다운시키는 단계. (c) 단계(b)의 파워 다운시키는 단계 이후에, 제1 스테이지가 파워 다운될 때 입력 신호를 2로 나누기 위하여 MDS를 사용하는 단계. 방법의 일 실시예에서, MDS가 2로 나누어질 때 제1 스테이지는 전력이 공급될 필요가 없다. MDS는 나누기-2 또는 3 나누기 위하여 모듈러스 제어 신호에 의하여 MDS가 제어되는 나누기-3 모드에 있다. 나누기-3 모드가 예상될 때, 제1 스테이지는 파워 업(power-up)되며, 그리고 나서, 나누기-3 동작 동안 전력을 공급받도록 유지된다. 나누기-3 동작의 완료 이후, 후속하는 나누기-2 동작들 동안에 파워 다운된 상태에 있도록 제1 스테이지는 파워 다운된다.
- [0008] 전문한 내용은 요약이며, 따라서, 상세한 설명의 필수적인 내용, 간략화된 내용, 일반화된 내용 및 삭제된 내용을 포함한다; 그 결과, 본 기술 분야의 당업자들은 요약이 단지 도식적인 것으로서, 어떠한 제한을 위해 의도된 것이 아님을 알 수 있을 것이다. 본 명세서에 개시된 디바이스들 및/또는 프로세스들의 다른 측면들, 특징들, 및 장점들은 단지 청구항에 의해서만 한정되며, 본 명세서에 진술된 비제한적 상세한 설명에서 명백해질 것이다.

실시 예

- [0028] 도 1은 신규한 한 측면에 따른 이동 통신 디바이스(100)의 간략화된 도면이다. 이 경우에 이동 통신 디바이스(100)는 휴대폰이다. 휴대폰(100)은 안테나(101), 및 신규한 무선 주파수(RF) 트랜스시버 집적 회로(102) 및 디지털 기저대역 집적 회로(103)를 포함하는 다수의 집적 회로들을 포함한다. 디지털 기저대역 집적 회로(103)는 1차 디지털 회로 소자 및 디지털 프로세서를 포함한다. 디지털 기저대역 집적 회로(103)의 일 실시예는 Qualcomm Inc.로부터 이용가능한 MSM6280이다. 신규한 RF 트랜스시버 집적 회로(102)는 아날로그 신호들을 프로세싱하기 위한 회로들을 포함한다.
- [0029] 도 2는 도 1의 RF 트랜스시버 집적 회로(102)의 보다 상세한 도면이다. 수신기 "신호 체인"(104)은 저 잡음 증폭기(LNA: low noise amplifier) 모듈(105), 혼합기(106), 및 기저대역 필터(107)를 포함한다. GSM(Global System for Mobile Communications) 모드에서 수신할 때, 안테나(101)상의 신호는 스위치플렉서(switchplexer)(108)를 통해, 그리고 나서, 경로(109)를 통해, SAW(110)를 통해 LNA(105)로 넘어간다. CDMA(Code Division Multiple Access) 모드에서 수신할 때, 안테나(101)상의 신호는 스위치플렉서(108)를 통해, 듀플렉서(111)를 통해, 그리고 경로(112)를 통해 LNA(105)로 넘어간다. 모든 모드들에서, LNA(105)는 고 주파수 신호를 증폭시킨다. 로컬 오실레이터(LO)(113)는 수신기가 적절한 주파수의 신호들을 수신하기 위하여

튜닝되도록 혼합기(106)에 적절한 주파수의 로컬 오실레이터 신호를 공급한다. 혼합기(106)는 고주파수 신호를 저주파수 신호로 다운 복조시킨다. 원치 않는 고주파수 잡음은 기저대역 필터(107)에 의하여 필터링된다. 기저대역 필터(107)의 아날로그 출력은 디지털 기저대역 집적 회로(103)의 아날로그-디지털 변환기(ADC)(114)에 공급된다. ADC(114)는 아날로그 신호를 디지털 기저대역 집적 회로(103)에서 디지털 프로세서에 의하여 추가로 프로세싱되는 디지털 정보로 디지털화한다.

[0030] 전송기 "신호 체인"(115)는 기저대역 필터(116), 혼합기(117), 및 전력 증폭기 모듈(118)을 포함한다. 전송될 디지털 정보는 디지털 기저대역 집적 회로(103)내의 디지털-아날로그 변환기(DAC)에 의하여 아날로그 신호로 변환된다. 결과적인 아날로그 신호는 RF 트랜스미버 집적 회로(102) 내의 기저대역 필터(116)로 공급된다. 기저대역 필터(116)는 원치 않는 고주파수 잡음을 필터링한다. 혼합기(117)는 기저대역 필터(116)의 출력을 고주파수 캐리어로 변조시킨다. 로컬 오실레이터(LO)(120)는 고주파수 캐리어가 사용되고 있는 채널에 대하여 정확한 주파수를 갖도록 로컬 오실레이터 신호를 혼합기(117)로 공급한다. 혼합기(117)의 고주파수 출력은 그 후 전력 증폭기 모듈(118)에 의하여 증폭된다. GSM 모드에서 전송할 때, 전력 증폭기 모듈(118)은 경로(121)를 통해, 스위치플렉서(108)를 통과하여, 안테나(101)로 신호를 출력한다. CDMA 모드에서 전송할 때, 전력 증폭기 모듈(118)은 경로(122)를 통해 듀플렉서(111)로 신호를 출력한다. 신호는 듀플렉서(111)를 통해, 스위치플렉서(108)를 통해, 그리고 안테나(101)로 넘겨진다. 듀플렉서(111), 및 비-듀플렉스(예를 들어, GSM) 및 듀플렉스(예를 들어, CDMA1X) 통신을 모두 허용하는 스위치플렉서(108)의 사용이 통상적이다. 도 2의 특정 회로는 단지 도식적인 목적으로 본 명세서에 제시되는 하나의 가능한 구현예이다.

[0031] 로컬 오실레이터들(113 및 120)의 동작이 수신기에서 로컬 오실레이터(LO)(113)의 동작과 함께 하기에서 설명된다. 도 3은 로컬 오실레이터(113)의 보다 상세한 도면이다. 로컬 오실레이터(113)는 크리스털 오실레이터 신호 소스(123) 및 부분-N(fractional-N) 위상 고정 루프(PLL)(124)를 포함한다. 본 실시예에서, 크리스털 오실레이터 신호 소스(123)는 외부 크리스털 오실레이터 모듈에 대한 접속부이다. 대안적으로, 크리스털 오실레이터 신호 소스는 RF 트랜스미버 집적 회로(102)상에 배치되는 오실레이터이며, 크리스털 오실레이터 신호 소스는 집적 회로(102) 외부에 있으나, 집적 회로(102)의 단자들을 통해 오실레이터에 부착된다.

[0032] PLL(124)은 위상-검출기(PD)(125), 전하 펌프(126), 루프 필터(127), 전압 제어 오실레이터(VCO)(128), 신호 조절 출력 분할기(129), 및 신규한 주파수 분할기(130)(때때로 "루프 분할기"로 불림)를 포함한다. 주파수 분할기(130)는 더 높은 제1 주파수(F1)의 주파수 분할기 입력 신호(SIN)를 수신하고, 주파수는 제수(D)로 신호를 나누며, 더 낮은 제2 주파수(F2)의 주파수 분할기 출력 신호(SOUT)를 출력한다. 주파수 분할기(130)의 다수의 카운트 사이클들 동안, PLL이 고정될 때, $F2=F1/D$ 이다. 고정될 때, SOUT 신호의 위상 및 주파수(F2)은 크리스털 오실레이터 신호 소스(123)로부터 공급되는 기준 클럭 신호의 주파수 및 위상과 매칭된다.

[0033] 주파수 분할기(130)는 신규한 멀티-모듈러스 분할기(MMD)(131), 가산기(132), 및 시그마-델타 변조기(133)를 포함한다. 주파수 분할기(134)는 카운트 사이클에서 값(DV)으로 입력 노드(들)(134)상의 주파수 분할기 입력 신호(SIN)를 나누며, 출력 노드(들)(135)상의 주파수 분할기 출력 신호(SOUT)를 발생시킨다. 값(DV)은 가산기(132)의 제1 디지털 입력 포트(136)상의 제1 디지털 값과 가산기(132)의 제2 디지털 입력 포트(137)상의 제2 디지털 값의 합이다. 시그마 델타 변조기(133)는 MMD의 다수의 카운트 사이클들에 걸쳐 $F2=F1/D$ 가 되도록, 제2 디지털 입력 포트(137)상의 값을 변화시킨다.

[0034] 멀티-모듈러스 분할기의 하이 레벨 기재:

[0035] 도 4는 도 3의 MMD(131)의 보다 상세한 도면이다. MMD(131)는 입력 버퍼(141), 7개의 모듈러스 분할기 스테이지들(MDS들)(142-148), 및 출력 동기 장치(149)를 포함한다. 제1 3개 MDS들(142-144)이 전류 모드 로직(CML)에서 실행된다. 마지막 4개 MDS들(145-148)은 상보적 금속 산화물 반도체(CMOS) 로직에서 실행된다. 인버터들(150-153)은 CMOS 로직 신호들 및 레벨들을 CML 로직 신호들 및 레벨들로 반전시키고 변환한다. 도 4의 각각의 MDS는 피드백 모듈러스 제어 신호(FMC) 및 모듈러스 제수 제어 신호(S)의 값들에 따라 2 또는 3으로 분할할 수 있다. FMC는 본 명세서에서 "피드백 모듈러스 제어"를 나타낸다. 전체 MMD(131)가 나누는 제수 값(DV)은 7개 S 모듈러스 제수 제어 신호들 S[6:0]의 값들에 의해 결정된다.

[0036] 도 5는 도 4의 입력 버퍼(141)의 보다 상세한 도면이다. 두 개의 인버터들 각각은 CML 로직을 사용하여 실현된다. 신호 라인들이 단일 신호 라인들로 도시되었으나, 도시된 신호 라인들 각각은 실제로 2개의 물리적인 신호 라인들로 나타난다. CML 로직에서 사용되는 신호들은 차동 신호들이다.

[0037] 도 6은 도 4의 출력 동기 장치(149)의 보다 상세한 도면이다. 출력 동기 장치(149)는 출력 노드(135)상의 MMD

출력 신호(SOUT)를 발생시키기 위하여 셀프-타이밍 기술을 이용한다. 종래의 동기 장치(때때로 "리타이밍(retiming) 회로"로 불림)에서, MMD로 넘어가는 고속 MMD 입력 신호는 일반적으로 MMD 출력 신호의 지터(jitter)를 감소시키기 위하여 MMD 출력 신호를 동기화시키는데 사용되는 신호이다. 동기화를 수행하기 위하여 그러한 고속 신호를 사용하는 것은 동기 장치가 많은 양의 전력을 소모하게 한다. 하나의 바람직한 측면에서, 도 4의 모듈러스 제어 신호(MC1B)가 원하는 출력 신호(SOUT)의 주기가 천이되어야 하는 시간에 하이(high)로 천이하는 로우(low)-지터 신호이다. 그러나, 로우-지터 모듈러스 제어 신호(MC1B)는 원하는 SOUT 신호의 50/50 듀티 사이클을 갖지 않는다. (신호(MC1)는 도 4의 컨덕터(155)상의 신호(MC1B)의 논리적 반전이다.) 또한 MDS 출력 신호들(01-07) 중하나 이상을 논리적으로 연결함으로써, 원하는 신호(SOUT)의 주기의 제1 절반부 동안에 로우로 유지되는 신호를 발생시키는 것이 가능하며, 원하는 신호(SOUT)의 주기의 대략 중간쯤의 시간에 하이로 제1 천이되는 것을 인지할 수 있다. 따라서, 도 6의 실시예에서, 모듈러스 제어 신호(MC1)는 플립-플롭(154)을 설정하기 위하여 플립-플롭(154)의 능동 로우 설정 입력 리드(SB)에 공급된다. 로우-지터 신호(MC1)의 하이-투-로우 천이가 비동기적으로 원하는 시간에 신호(SOUT)를 하이로 설정한다. 블럭(156)은 조합(combinatorial) 로직을 나타낸다. 본 실시예에서, 06은 원하는 SOUT 신호의 주기의 제1 절반부에 대하여 로우이고, 그 후 하이로 천이되는 신호이다. 06의 로우-투-하이 천이(본 실시예에서 블럭(156)을 통과하는)는 플립-플롭(154)을 클록킹하도록 작용하여, 디지털 로직에서 로우로 클록킹한다. 플립-플롭(154)으로부터 출력되는 결과적인 신호(SOUT)는 원하는 주파수를 갖고, 대략 50/50인 듀티 사이클을 갖는 원하는 신호이다. SOUT의 상승 에지는 MMD 입력 신호에 관하여 로우-지터를 갖는다. 고속 MMD 입력 신호(SINBUF)는 동기화에 사용되지 않아, 종래의 동기 장치에 비해 전력 소모를 감소시킨다. 플립-플롭(154)을 설정하기 위하여 MC1를 사용하기보다는, 모듈러스 제어 신호들(MC2, MC3 또는 MC4) 중 대응하는 하나가 사용될 수 있다. MC2는 MC1보다 더 낮은 주파수 콘텐츠를 가지나, SINBUF에 비해 더 많은 지터를 갖는다. 플립-플롭(154)을 설정하기 위하여 더 낮은 주파수 콘텐츠 신호(MC2)를 사용하는 것은 동기 장치에서 전력 소모를 감소시킬 것이나, 더 많은 지터를 갖는 신호(SOUT)를 초래할 것이다. 신규한 일측면에서, 도 6의 회로는 전력 소모 대 지터의 트레이드오프가 이루어지도록 허용하며, MMD가 가해지는 특정 애플리케이션에 대하여 최상의 절충안이 선택되도록 허용한다.

[0038] 도 7은 MMD(131)가 원하는 제수 값(DV)으로 분할되도록 하기 위하여 모듈러스 제수 제어 신호들(S[6:0])이 되어야 하는 것을 나타내는 수식을 설명한다. 예를 들어, MMD(131)이 181의 제수 값에 의해 분할된다면, S[6:0]는 값[0110101]이 되어야만 한다.

[0039] MDS의 하이 레벨 설명:

[0040] 도 8은 도 4의 MMD(134)의 제1 MDS(142)의 간략화된 도면이다. 제1 MDS(142)는 다른 MDS들(143-148)의 구조들을 나타내는 구조를 갖는다. 제1 MDS(142)는 제1 스테이지(157) 및 제2 스테이지(158)를 포함한다. 제1 스테이지(157)는 D-타입 플립-플롭(159), OR 게이트(160), NOR 게이트(161), 및 인버터(150)를 포함한다. 도 8의 OR 게이트(160), NOR 게이트(161), 및 인버터(150)는 도 4의 OR 게이트(160), NOR 게이트(161), 및 인버터(150)와 동일하다. 추가로 하기에서 상세히 개시되는 바와 같이, 게이트들(160 및 161)의 기능은 플립-플롭(159)이 CML 플립-플롭인 플립-플롭(159)의 회로 소자로 집적될 수 있다.

[0041] 제2 스테이지(158)는 D-타입 플립-플롭(162) 및 NOR 게이트(163)를 포함한다. 하기에서 더 상세히 개시되는 바와 같이, 게이트(163)의 기능은 플립-플롭(162)이 CML 플립-플롭인 플립-플롭(162)의 회로 소자로 집적될 수 있다. 제1 MDS(142)는 입력 리드(들)(I)(164 및 165)상에서 입력 신호(SINBUF)를 수신하고, 출력 리드(들)(O)(166 및 167)상에 출력 신호(01)를 출력한다. 입력 리드(168)는 제2 MDS(143)로부터 피드백 모듈러스 제어 신호(FMC1)를 수신하기 위한 입력 리드이다. 입력 리드(169)는 제1 MDS(142)가 "나누기-2 모드"에 있을지 또는 "나누기-3 모드"에 있을지를 결정하는 모듈러스 제수 제어 신호(S[0])를 수신하기 위한 입력 리드이다. 입력 리드들(170 및 171)은 하기에서 더 상세히 설명되는 바와 같이, 플립-플롭(159)을 파워 다운 및 파워 업시키기 위한 신호들을 수신하는데 사용된다. 동작시, 모듈러스 제수 제어 신호(S[0])가 디지털 로직 로우라면, 제1 MDS(142)는 나누기-2 모드에 있다. 반면에, 모듈러스 제수 제어 신호(S[0])가 디지털 로직 하이라면, 제1 MDS(142)는 "나누기-3 모드"에 있다. 나누기-3 모드에서, 제1 MDS(142)는 피드백 모듈러스 제어 신호(FMC1)의 로직 레벨 및 플립-플롭(162)의 상태에 따라 2 또는 3으로 분할된다. 피드백 모듈러스 제어 신호(FMC1) 및 플립-플롭(162)으로부터 출력된 Q2B 신호가 모두 디지털 로직 로우 레벨들을 가진다면, 제1 MDS(142)는 입력 신호(SINBUF)의 다음 3개 주기들 동안 3으로 나누어진다. 플립-플롭(162)으로부터의 피드백 모듈러스 제어 신호(FMC1 및 Q2B) 신호 출력이 모두 디지털 로직 로우 레벨들에 있지 않다면, 그 후, 제1 MDS(142)는 2로 나누어진다.

[0042] 도 9는 모듈러스 제수 제어 신호(S[0])가 디지털 로직 로우 레벨이라면, 제1 MDS (142)가 2로 나누어지는 방법

을 도시하는 회로 도면이다. S[0]가 디지털 로직 로우라면, NOR 게이트(161)는 임의의 다른 신호 값들과 무관하게 디지털 로직 로우를 출력한다. 따라서, NOR 게이트(161)는 플립-플롭(159)의 D-입력 리드에 디지털 로직 로우를 출력한다. 플립-플롭(159)이 클럭킹됨에 따라, D-입력 리드상의 디지털 로직 로우는 플립-플롭(159)으로 반복적으로 클럭킹되어, 플립-플롭(159)으로부터 출력되는 Q1 신호는 디지털 로직 로우 레벨로 유지된다. 따라서, 디지털 로우 값은 도 9의 NOR 게이트(163)의 상부 입력 리드(172)상에 "0"으로 표시되는 바와 같이, NOR 게이트(163)의 상부 입력 리드(172) 상에서 유지된다. 따라서, 플립-플롭(162)에 의하여 출력되는 Q 신호는 NOR 게이트(163)의 하위 입력 리드(173)를 통해, NOR 게이트(163)를 통해, 그리고 플립-플롭(162)의 D-입력 리드로 다시 전달된다. 이러한 신호 경로는 굵은 점선(174)에 의해 도 9에 나타난다. 플립-플롭(162)의 Q 출력 리드가 NOR 게이트(163)를 통해 플립-플롭(162)의 D-입력 리드에 연결되기 때문에, 피드백 루프는 반전되고, 플립-플롭(162)은 토글 플립-플롭으로서 동작한다. 따라서, 제2 스테이지(158)의 플립-플롭(162)은 토글링하고, 입력 리드들(164 및 165)상의 입력 신호를 2로 나누며, 출력 리드들(166 및 167)에 결과적인 신호를 출력한다. 이와 대조적으로, 제1 스테이지(157)의 플립-플롭(159)은 상태를 변화시키지 않으며, NOR 게이트(163)의 상부 입력 리드(172)상에 디지털 로직 로우 값을 고정시킨다.

[0043] 도 10은 나누기-2 모드의 제1 MDS(142)의 동작을 보여주는 간략화된 파형도이다. 상기 설명된 바와 같이, 제1 스테이지의 플립-플롭으로부터 출력되는 Q1 신호는 상태를 변화시키지 않는다. 제2 스테이지의 플립-플롭(162)은 입력 신호(SINBUF)를 2로 나누기 위하여 토글링한다.

[0044] 도 11은 모듈러스 제수 제어 신호(S[0])가 디지털 로직 하이 레벨인 경우, 제1 MDS(142)가 입력 리드들(164 및 165)상의 입력 신호(SINBUF)를 3으로 나누는 방법을 보여주는 회로도이다. 처음에, 플립-플롭(159)은 디지털 로직 로우 상태를 저장하기 위하여 설정되고, 플립-플롭(162)은 디지털 로직 하이 상태를 저장하기 위하여 설정되는 것으로 가정한다. 따라서, 신호(Q1)는 디지털 로직 로우 값이며, 신호(Q2)는 디지털 로직 하이 값이다. 처음에, 또한 피드백 제어 신호(FMC1)는 디지털 로직 로우 레벨인 것으로 가정한다. S[0]은 디지털 로직 로우 하이 값이기 때문에, FMC1이 디지털 로직 로우 값이기 때문에, 그리고 플립-플롭(162)으로부터 출력되는 Q2B 신호는 디지털 로직 로우 레벨이기 때문에, NOR 게이트(161)는 플립-플롭(159)의 D-입력 리드에 디지털 로직 하이 레벨을 출력한다. 플립-플롭(159)에 의하여 출력되는 Q1 신호가 디지털 로직 로우 값이기 때문에, NOR 게이트(163)는 플립-플롭(162)에 의하여 출력되는 신호(Q2)의 값을 반전시킨다. 따라서, 플립-플롭들을 클럭킹하는 SINBUF 신호의 다음 상승 에지에서, 신호(Q1)가 디지털 로직 하이 값이 되도록, 제1 스테이지의 플립-플롭(159)은 디지털 로직 하이 값에서 클럭킹한다. 동시에, 신호(Q2)가 디지털 로직 로우 값이 되고, 신호(Q2B)가 디지털 로직 하이 값이 되도록, 플립-플롭(162)은 디지털 로직 로우 값에서 클럭킹한다.

[0045] 클럭 에지 이후에, 신호(Q2B)는 디지털 로직 하이 레벨이다. 따라서, NOR 게이트(160)는 디지털 로직 하이 값을 출력하며, NOR 게이트(161)는 디지털 로직 로우 값을 출력한다. 클럭 신호(SINBUF)의 다음 상승 에지에서, 플립-플롭(159)은 이러한 디지털 로직 로우 값에서 클럭킹한다. 따라서, 신호(Q1)는 디지털 로직 로우 레벨로 천이한다. 클럭 신호의 이러한 상승 에지 이전에, 디지털 로직 로우는 플립-플롭(162)의 D-입력상에 나타난다. 클럭 신호(SINBUF)의 상승 에지에서, 플립-플롭(162)은 신호를 디지털 로우로 구동시키는 것을 계속한다. 신호(Q2B)는 디지털 로직 하이 값을 유지한다. 따라서, 제2 스테이지(158)의 플립-플롭(162)의 토글링은 효과적으로 중지되고, 플립-플롭(162)으로부터 출력되는 신호(Q2B)는 두 개의 SINBUF 주기들 동안 디지털 로직 하이 값으로 유지된다.

[0046] 클럭 신호의 상승 에지 이후, 플립-플롭(159)에 의하여 출력되는 Q1 신호는 디지털 로직 로우에 있다. NOR 게이트(163)는 다시 신호(Q2)를 반전시키고, 플립-플롭(162)의 D-입력 리드에 반전된 버전의 Q2를 공급하도록 가능하다. Q2 신호는 디지털 로직 로우 로직 레벨을 갖는다. 따라서, 클럭 신호(SINBUF)의 다음 상승 에지에서, 플립-플롭(162)은 디지털 로직 하이 값으로 신호(Q2)가 천이하도록 토글링을 재시작한다. 따라서, Q1이 이제 디지털 로직 로우 값이고, Q2B가 디지털 로직 로우 값이기 때문에, 카운트 사이클은 반복된다. 따라서, 이러한 제어 입력 리드상의 디지털 로직 로우 레벨 신호가 플립-플롭(162)이 토글링하도록 한다는 점에서, OR 게이트(163)의 상부 입력 리드(172)가 제2 스테이지(158)의 "제어 입력 리드"이며, 이에 반하여, Q2 신호가 디지털 로직 로우 값일 때 이러한 제어 입력 리드상의 디지털 로직 하이 레벨 신호가 토글링 동작을 중지시키고, SINBUF의 다음 상승 에지 이후에 디지털 로직 로우 값에서 Q2 신호를 유지시킨다는 것을 인지할 수 있을 것이다.

[0047] 도 12는 S[0]=1이고, FMC1=0일 때, 제1 MDS(142)의 동작을 보여주는 간략화된 파형도이다. 입력 리드(164)상의 입력 신호(SINBUF)의 주기는 출력 리드(166)상의 출력 신호(Q2B)의 주기의 3배이다.

[0048] 도 11의 동작 실시예들에서, 피드백 모듈러스 제어 신호(FMC1)는 디지털 로직 로우 값을 갖는 것을 유념하라.

반면에, 피드백 모듈러스 제어 신호(FMC1)가 디지털 로직 하이 값을 갖는다면, NOR 게이트(161)에 의하여 출력되는 신호는 다른 신호들(S[0] 및 Q2B)의 값과 무관하게, 디지털 로직 로우 값일 것이다. FMC1가 디지털 로직 하이 값이라면, 플립-플롭(159)은 디지털 로직 로우 값에서 클록킹할 것이고, 플립-플롭 출력 신호(Q1)는 디지털 로직 로우 값일 것이며, 제2 스테이지(158)는 토글 플립-플롭으로서 동작할 것이다. 따라서, 디지털 로직 하이 값인 피드백 모듈러스 제어 신호(FMC1)는 S[0]의 값과 무관하게, 제1 MDS(142)가 2로 나누도록 강제할 것이다. 그러나, 피드백 모듈러스 제어 신호(FMC1)가 디지털 로직 로우 값을 갖는다면, 제1 MDS(142)는 S[0]의 값에 따라, 2 또는 3으로 나누어질 것이다.

[0049] 도 13은 제1 MDS(142)가 도 4의 MMD(131)에서 작동할 때, 제1 MDS(142)의 입력 신호들(FMC1 및 SINBUF) 및 출력 신호들(Q1 및 Q2B)의 파형을 나타내는 도면이다. S[0]=1이기 때문에, 제1 MDS(142)는 나누기-3 모드에 있다. 대부분의 시간동안, 피드백 제어 신호(FMC1)는 도시된 바와 같이, 디지털 로직 하이 값에 있다. 도 11로부터 보여지는 바와 같이, 신호들의 값들과 무관하게, OR 게이트(160)는 디지털 로직 하이 값을 출력하고, NOR 게이트(161)는 디지털 로직 로우 값을 출력한다. 따라서, 디지털 로직 로우 값은 플립-플롭(159)의 D-입력 리드상에 나타난다. 이러한 디지털 로직 로우 값은 플립-플롭(159)에 클록킹되고, NOR 게이트(163)의 상부 입력 리드(172)상에 나타난다. 따라서, NOR 게이트(163)는 신호(Q2)의 값을 반전시키고, 플립-플롭(162)의 D-입력 리드에 신호(Q2)의 반전된 버전을 제공하도록 기능한다. 따라서, 제2 스테이지(158)는 토글 플립-플롭으로서 기능한다. 제2 스테이지에 의하여 출력되는 Q2B 신호의 주기는 입력 클럭 신호(SINBUF)의 주기의 두배이다. 따라서, 회로는 제1 MDS(142)가 나누기-3 모드에 있다는 사실에도 불구하고, 대부분의 시간 동안 2로 분할된다.

[0050] MMD(131)의 더 높은 MDS 들의 동작으로 인하여, 도 13에 나타난 바와 같이, 피드백 제어 신호(FMC1)가 디지털 로직 로우 레벨로 펄싱된다면(pulsed), 신호(Q2B)가 디지털 로직 로우 레벨에 있을 때, OR 게이트(160)는 디지털 로직 로우 값을 출력할 것이며, 디지털 로직 로우 값들은 NOR 게이트(161)의 입력 리드들상에 존재할 것이다. NOR 게이트(161)는 디지털 로직 하이 값을 출력할 것이다. SINBUF의 다음 상승 에지에서, 플립-플롭(159)은 이러한 디지털 로직 하이 값에서 클록킹한다. 도 12와 함께 상기 설명된 바와 같이, 이것은 디지털 로직 하이 값을 NOR 게이트(163)의 상부 입력 리드(172)에 둔다. SINBUF의 다음 상승 에지에서, 제2 스테이지(158)의 플립-플롭(162)을 토글링하기 보다는, 로직 로우 값은 플립-플롭(162)에 클록킹된다. 이러한 디지털 로직 로우는 SINBUF의 상승 에지 이전에 플립-플롭(162)이 있는 것과 동일한 상태이다. 따라서, 플립-플롭(162)의 토글링이 중지된다. 그러나, Q2B가 SINBUF의 상승 에지 이전에 디지털 로직 하이 레벨이기 때문에, Q1 신호는 디지털 로직 로우 레벨로 다시 다운 천이된다. 도 13에 보여지는 바와 같이, 신호(FMC1)는 또한 디지털 로직 값으로 다시 천이된다. SINBUF의 다음 상승 에지상에서, 디지털 로직 로우가 NOR 게이트(163)의 상부 입력 리드(172)상에 나타나기 때문에, 제2 스테이지(158)의 플립-플롭(162)은 토글링을 재시작한다. 따라서, 신호(Q2)는 디지털 로직 하이로 천이되고, 신호(Q2B)는 디지털 로직 로우로 천이된다. 따라서, FMC1 로우 펄싱은 제1 MDS(142)가 도 13의 파형에 나타난 바와 같이, 나누기-3 동작을 수행하도록 한다. 그렇지 않으면, 제1 MDS(142)는 나누기-2 동작을 수행한다. 도 4의 MMD회로가 피드백 제어 신호(FMC1)를 발생시키는 방식으로 인하여, 제1 MDS(142)가 "나누기-3 모드"에 있다 하더라도, 제1 MDS(142)는 단지 주기적으로 나누기-3 동작을 수행할 수 있다.

[0051] MDS의 로우-레벨 회로 설명:

[0052] 도 14는 CML 로직에서 실현되는 제1 MDS(142)의 보다 상세한 트랜지스터-레벨 회로 도면이다. 점선(157)은 도 8의 제1 스테이지(157)의 트랜지스터-레벨 구조를 둘러싼다. 점선(158)은 도 8의 제2 스테이지(158)의 트랜지스터-레벨 구조를 둘러싼다. 도 8의 OR 게이트(160), 인버터(150), 및 NOR 게이트(161)의 로직은 제1 스테이지(157)의 플립-플롭의 CML 구조에 넣어진다. 도 14의 점선(175)은 이러한 로직을 둘러싼다. 노드(N1)는 제1 스테이지(157)의 플립-플롭(159)의 제1 스테이지의 데이터 노드이다. 노드(N2)는 차동 비교 노드이다. N-채널 풀다운(pulldown) 트랜지스터들(M1, M2, 및 M3) 중 임의의 하나는 노드(N1)를 풀 다운시키기 위하여 도통될 수 있다. 이러한 트랜지스터들(M1, M2, 및 M3) 중 어느 것도 도통되지 않으면, 풀업(pullup) 저항(176)은 디지털 로직 하이 값으로 노드(N1)를 유지시킨다. 풀업 저항(177)은 차동 비교 노드(N2)에 대한 풀업 저항이다. 트랜지스터(M4)의 게이트상의 바이어스 전압(VCM)은 노드(N2)를 바이어스시킨다. 노드(N1)상의 전압이 차동 비교 노드(N2)상의 전압보다 낮다면, 플립-플롭의 제1 스테이지는 제1 상태로 설정된다. 다른 한편으로, 노드(N1)상의 전압이 차동 비교 노드(N2)상의 전압보다 높다면, 플립-플롭의 제1 스테이지는 제2 상태로 설정된다. 따라서, 점선(175)내의 구조는 3개의 신호 입력들(Q2B, FMC1 및 S[0]의 로직 반전)을 갖는 유선-NOR(wired-NOR) 타입 구조이다.

[0053] 도 8의 NOR 게이트의 로직이 제2 스테이지(158)의 플립-플롭의 CML 구조로 넣어진다. 도 14의 점선(178)은 이

러한 로직을 둘러싼다. N-채널 트랜지스터들(M5 및 M6)은 노드(N3)를 풀 다운(pull down)시킬 수 있는 풀다운 트랜지스터들이다. 저항(179)은 노드(N3)에 대한 풀업(pullup) 저항이다. 바이어스 전압(VCM)은 차동 비교 노드(N4)를 바이어스시키기 위하여 트랜지스터(M7)를 제어한다. 저항(180)은 차동 비교 노드(N4)에 대한 풀업 저항이다. 노드(N3)상의 전압이 차동 비교 노드(N4)상의 전압보다 낮다면, 플립-플롭의 제1 스테이지는 제1 상태로 설정된다. 반면에, 노드(N3)상의 전압이 차동 비교 노드(N4)상의 전압보다 높다면, 플립-플롭의 제1 스테이지는 제2 상태로 설정된다. 따라서, 점선(178)내의 구조는 두 개의 신호 입력들(Q1 및 Q2)을 갖는 유선-NOR 타입 구조이다.

[0054] 제1 스테이지(157)의 플립-플롭(159)은 플립-플롭이 상태들을 천이시키지 않도록 디스에이블될 수 있어, 플립-플롭이 클럭킹될 때, 플립-플롭에 의하여 소모되는 전력을 감소시킨다. 공급 전압 VDD 소스 컨덕터(183)로부터 CML 회로 소자의 다양한 풀업 저항들로의 공급 전류 경로에 배치되는 두 개의 P-채널트랜지스터들(181 및 182)이 존재한다. 신호들(CT 및 CTD(지연된 CT))이 디지털 로직 하이 값들일 때, 이러한 트랜지스터들(181 및 182)은 도통된다. 트랜지스터들(181 및 182)이 도통되지 않으면, 공급 전압 VDD 컨덕터(183)는 플립-플롭 회로 소자로부터 분리된다.

[0055] 제1 스테이지(157)의 플립-플롭이 디스에이블되고, 이러한 방식으로 전력을 공급받지 않는다면, 제 1 스테이지(157)의 출력(Q1)이 결정되지 않은 값으로 플로팅하도록 놓아두어야 한다. 따라서, 디스에이블 신호 CTD가 디지털 로직 하이에 있다면, 접지 컨덕터(194)에 Q1 출력 노드를 연결하기 위하여 N-채널 파워-다운 트랜지스터(184)가 제공된다. 접지 컨덕터(194)에 Q1 출력 노드를 연결하는 것은 제1 스테이지(157)가 파워 다운되는 시간 동안 디지털 로직 로우 레벨에서 Q1을 유지시킨다.

[0056] 입력 리드(185)상의 파워 인에이블 오버라이드(power enable override) 신호(SPEN)는 활성화 신호이다. SPEN이 디지털 로직 하이라면, AND 게이트(186)는 디지털 로직 로우를 출력하여, 2-to-1 멀티플렉서(187)가 그것의 상부 데이터 입력 리드상에 디지털 로직 하이 값을 선택하도록 한다. 신호(CT)가 디지털 로직 로우 레벨로 강제되어 유지되도록, 이러한 디지털 로직 하이 값은 인버터(189)에 의하여 반전된다. 이것은 다른 제어 신호들(S[0] 및 MC3)의 값들과 무관하게 제1 스테이지(157)를 인에이블되고 전력 공급된 상태로 유지시킨다. 유사하게, 멀티플렉서(187)에 의하여 출력되는 디지털 로직 하이 값은 신호(CTD)가 디지털 로직 로우 레벨로 유지되도록 한다. 따라서, SPEN은 "파워 인에이블 오버라이드 신호"로 불린다.

[0057] 도 9 및 10과 관련하여 상기 설명된 바와 같이, MDS(142)가 "나누기-2 모드"에 있을 때, 제1 MDS(142)의 제1 스테이지(157)가 천이되지 않는다는 것을 인지할 수 있다. 그보다는, 제1 스테이지(157)에 의하여 출력되는 Q1 신호는 도 10에 나타난 바와 같이, 항상 디지털 로직 로우 레벨에 있다. 신규한 한 측면에서, 제1 MDS(142)가 나누기-2 모드에 있고, SPEN이 어서팅(assert)되지 않는다면(즉, 디지털 로직 로우 레벨이라면), 제1 스테이지(157)의 플립-플롭은 디스에이블되고, 전력을 공급받지 않는다. 파워-다운 트랜지스터(184)는 도통되어, 제1 스테이지(157)의 Q1 출력 리드에 원치 않는 디지털 로직 로우 값을 부가한다. 이것은 S[0]가 디지털 로직 로우라면, AND 게이트(186)가 2-to-1 멀티플렉서(187)의 선택 입력 리드로 디지털 로직 로우를 출력하기 때문에 발생한다. 따라서, 멀티플렉서(187)는 멀티플렉서의 상부 데이터 입력 리드("0"으로 표시되는)를 멀티플렉서 출력 리드에 연결한다. SPEN이 디지털 로직 로우이기 때문에, 디지털 로직 로우 값은 멀티플렉서(187)를 통과하고, 신호(CT)가 디지털 로직 하이 값이도록 인버터(189)에 의하여 반전된다. CT가 디지털 로직 하이 값이라면, 트랜지스터(181)는 비도전성이며, 파워-다운 트랜지스터(184)는 도통된다. 유사하게, 멀티플렉서(187)가 디지털 로직 로우를 출력한다면, NAND 게이트(190)는 디지털 로직 레벨 하이로 출력하고, 인버터(191)는 디지털 로직 레벨 로우를 출력하며, 인버터(192)는 디지털 로직 레벨 하이로 출력한다. 따라서, 신호(CT)가 트랜지스터(181)를 도통되지 않게 한 직후, 신호(CTD)는 디지털 로직 레벨 하이로 천이되고, 트랜지스터(182)는 비도전성이 된다. 따라서, 공급 전압 VDD컨덕터(183)는 플립-플롭으로의 공급 전류 흐름의 변화 크기를 감소시키기 위하여 스테거링된(staggered) 방식으로 스테이지(157)의 풀업 저항들로부터 분리된다. CT 및 CTD가 디지털 로직 레벨 하이 값들일 때, 제1 스테이지(157)는 디스에이블되어 전력을 공급받지 않는다.

[0058] 도 15는 SPEN이 디지털 로직 로우 레벨일 때, 나누기-2 모드(S[0]=0)에서 제1 MDS(142)의 작동을 도시하는 간략화된 파형도이다. 신호들(CT 및 CTD)은 디지털 로직 하이 레벨들이다. 따라서, 제2 스테이지(158)가 전력이 공급된 채로 유지되고, SINBUF 입력 신호를 2로 나누도록 기능한다 하더라도, 제1 MDS(142)의 제1 스테이지(157)는 디스에이블되고, 전력을 공급받지 않는다.

[0059] "나누기-3 모드(S[0]=1)"에서 동작할 때, 제1 MDS(142)의 제1 스테이지(157)가 나누기-3 동작의 시작시에 단지 상태를 천이시키는 것을 인지할 수 있다. 제1 MDS(142)가 나누기-3 모드에 있으나, 나누기-3 동작을 수행하도

록 제어되지 않는다면, 플립-플롭(159)에 의하여 출력되는 Q1 신호는 디지털 로직 로우 레벨에서 유지된다.

[0060] 도 16은 대부분의 시간 동안 피드백 제어 신호(FMC1)가 나누기-3 동작을 수행하기 위하여 제1 MDS(142)를 제어하지 않는 통상적인 시나리오에서 나누기-3 모드(S[0]=1)의 제1 MDS(142)의 동작을 도시하는 간략화된 파형도이다. 따라서, 제1 MDS(142)는 대부분의 시간 동안 나누기-2 동작을 수행한다. 단지 제1 스테이지(157)의 플립-플롭의 기능은 신호(FMC1)가 디지털 로직 로우 레벨인 때는 검출하는 것이고, NOR 게이트(163)의 상부 입력 리드(172)에 신호(Q1)의 하이 펄스를 상비하는 것이다(도 11 참조). 도 11 및 도 12와 함께 상기 설명되는 바와 같이, NOR 게이트(163)의 상부 입력 리드(172)로 디지털 로직 하이 값을 어서팅하는 것은 NOR 게이트(163)가 제2 스테이지의 플립-플롭(162)의 D-입력 리드로 디지털 로직 로우 값을 어서팅하도록 한다. 이것은 제2 스테이지의 플립-플롭(162)이 SINBUF의 다음 상승 에지상의 디지털 로직 로우 값에서 클럭킹하도록 한다. 결과는 클럭 신호의 다음 천이상의 디지털 로직 로우 값에 그것의 Q2B 출력 신호를 토글링하기 보다는, 제2 스테이지의 플립-플롭(162)은 하나 이상의 클럭 사이클 동안 디지털 로직 하이 값에서 그것의 Q2B 출력 신호(Q1)를 유지시키도록 강제되는 것이다. 하나의 입력 클럭 주기 동안 제2 스테이지가 나누기-2 동작을 중지하도록 강제하고, FMC1 신호에 응답하여 하나 이상의 클럭 신호에 대하여 그것의 상태를 유지시키도록 강제하는 것은 때때로 "클럭 억제(clock swallowing)"라 지칭된다. 따라서, 제2 스테이지(158)가 클럭 억제 동작을 수행하도록 하기 때문에, Q1의 하이 펄스는 "클럭 억제 제어 펄스"라 지칭된다. 클럭 억제를 개시하는 낮은 MFC1 펄스의 검출 및 "클럭 억제 제어 펄스"의 결과적인 발생은 제1 스테이지(157)의 기능이다.

[0061] MMD(331)의 MDS들의 동작으로 인하여, MC3의 모듈러스 제어 신호는 FMC1의 로우 펄스 이전에 몇몇 클럭 주기를 하이로 천이시키고, FMC1의 로우 펄스 이후에 몇몇 클럭 주기를 다시 로우로 천이시키는 신호이다. 따라서, 모듈러스 제어 신호(MC3)는 제1 스테이지가 전력을 공급받고, FMC1의 낮은 펄스가 제1 스테이지(157)에 수신되기 전에 신호(Q1)의 적절한 낮은 값을 출력하도록, 편리하게 제1 스테이지(157)를 파워 업시키는데 사용된다. FMC1의 낮은 펄스가 수신될 때, 이제 전력을 공급받은 제1 스테이지(157)는 이러한 낮은 FMC1 펄스를 검출할 수 있으며, 도 16에 개시된 바와 같이, Q1의 클럭 억제 제어 펄스를 발생시킬 수 있다. 도 16에 도시된 바와 같이, 단지 제1 스테이지(157)가 신호(Q1)의 클럭 억제 제어 펄스를 출력하고, 제1 스테이지(157)가 Q1 신호의 값을 디지털 로직 로우 값으로 리턴한 이후, MC2 신호는 디지털 로직 로우 값으로 리턴한다. 신호(MC3)의 디지털 로직 로우 레벨은 또한 풀다운 트랜지스터(184)를 턴온시킴으로써 전력을 공급받지 않는 제1 스테이지의 Q1 출력을 적절한 디지털 로직 로우 레벨에서 고정시키는데 사용될 수 있다(도 14 참조). 제1 스테이지에 전력이 공급될 때, 신호(MC3)가 제어에 사용된다면,(도 16의 파형 참조), 제1 스테이지(157)에는 FMC1의 낮은 펄스를 캡처해야 하는 시간 이전에 전력이 공급될 것이고, 제1 스테이지(157)가 Q1의 클럭 억제 제어 펄스를 출력해야 하는 시간량 동안 전력이 공급된 채로 유지될 것이고, 제1 스테이지가 신호(Q1)의 값을 디지털 로직 로우 레벨로 리턴한 이후 곧 전력이 다운될 것이며, 턴온되는 트랜지스터(184)로 인하여, 제1 스테이지가 전력을 공급받지 않을 때 적절한 디지털 로직 로우 값에서 신호(Q1)의 값을 고정시킬 것이다. 따라서, 신규한 일측면에서, CT 및 CTD는 MC3 신호의 로직 반전이 된다.

[0062] 도 14를 참조하여, S[0]이 디지털 로직 하이 레벨(나누기-3 모드)이고, 전력 오버라이드 신호(SPEN)가 어서팅되지 않는다면, AND 게이트(186)는 디지털 로직 하이 값을 출력한다. 2-to-1 멀티플렉서(187)의 이러한 디지털 로직 하이 값은 멀티플렉서(187)가 그것의 낮은 데이터 입력 리드를 선택하도록 한다. 멀티플렉서(187)의 더 낮은 데이터 입력 리드("1"로 표시됨)에 공급되는 신호(MC3)는 멀티플렉서(187)를 통과하고, 신호(CT)를 발생시키기 위하여 인버터(189)에 의하여 반전된다. 멀티플렉서(187)로부터의 출력으로서 신호(MC3)가 지연 엘리먼트(193), 및 로직 게이트(190), 및 인버터들(191 및 192)를 통과하여, 신호(CTD)는 도 16에 나타난 바와 같이 신호(CT)의 지연된 버전이다. 신호들(CT 및 CTD)이 디지털 로직 로우 값들일 때, 제1 스테이지(157)의 플립-플롭에 전력이 공급된다. CT 및 CTD 신호들이 디지털 로직 하이 값들일 때, 제1 스테이지(157)의 플립-플롭은 전력을 공급받지 않는다. 제1 스테이지(157)가 실제로 나누기-2 동작들을 수행할 때 나누기-3 모드에서 제1 스테이지(157)에 전력을 공급하지 않음으로써, MMD(131)의 전력 소모가 감소된다.

[0063] 도 17은 MDS(142)가 나누기-2 모드일 때(S[0]가 디지털 로직 로우일 때), 도 14의 제1 MDS(142)의 동작의 보다 상세한 파형도이다. 파워 인에이블 오버라이드 신호(SPEN)는 어서팅되지 않는다. S[0]=0이기 때문에, 신호들(CT 및 CTD)은 디지털 로직 하이 값들이다. 제1 스테이지(157)의 플립-플롭은 전력을 공급받지 않고, 그것의 Q1 출력 신호는 도전성 파워-다운 트랜지스터(184)에 의하여 접지 전위에 고정된다. 제2 스테이지(158)의 플립-플롭은 반복적으로 토글링하여, 입력 신호(SINBUF)를 2로 나눈다. 출력 신호(Q2B)의 주기(P1)는 입력 신호(SINBUF)의 주기의 두 배라는 것을 유념하라.

[0064] 도 18은 제1 MDS(142)가 나누기-3 모드(S[0]=1)에 있을 때, 도 14의 제1 MDS(142)의 동작의 보다 상세한 파형

도이다. 전력 인에이블 오버라이드 신호(SPEN)는 어서팅되지 않는다. 시간(T1) 이전에, 모듈러스 제어 신호(MC3)는 디지털 로직 로우이고, 이에 따라, 신호들(CT 및 CTD)이 디지털 로직 하이 값들을 갖게 하고, 제1 스테이지가 계속 파워 다운된다. Q1으로 라벨링된 파형은 제1 스테이지(157)가 파워 다운되는 시간을 나타낸다. 시간(T1)에, 피드백 모듈러스 제어 신호(MC3)는 하이로 천이된다. MC3의 하이 값은 멀티플렉서(187) 및 인버터(189)를 통과하여(도 14 참조), 신호(CT)는 시간(T2)에 시작하는 디지털 로직 로우 값으로 강제된다. CT로 라벨링된 파형에 나타난 바와 같이, 신호 전압은 상대적으로 느리게 램프 다운(ramp down)된다. MC3의 하이 값은 또한 지연 엘리먼트(193), NAND 게이트(190), 인버터(191) 및 인버터(192)를 통과하여, 신호(CTD)가 시간(T3)에서 시작하는 디지털 로우 값으로 강제된다. 신호(Q1)의 전압은 시간(T4)에 의하여 적절한 디지털 로직 로우 값에 대응하는 전압까지 증가되는 것이 보여진다. 제1 스테이지(157)는 시간(T4)에 의해 파워 업되는 것으로 고려된다. 그 후, 도 18의 파형에서 486 나노초의 시간 근처에서, 피드백 모듈러스 제어 신호(FMC1)가 디지털 로직 로우 값으로 펄싱된다. 이러한 지점에서 전력을 공급받고 기능하는 도 14의 회로의 제1 스테이지(157)는 시간(T5)에 이러한 디지털 로직 로우 값에서 클록킹한다. 결과는 제1 스테이지(157)의 Q1 출력의 디지털 로직 하이 값으로의 천이이며, 이에 의하여, "클럭 억제 제어 펄스"를 발생시킨다. 도 18의 Q1 파형의 라벨 "CML1"은 이러한 디지털 로직 하이 값을 나타낸다. 클럭 억제 제어 펄스는 제2 스테이지(158)가 다음 SINBUF 사이클에 대한 토글링을 중지시키도록 하여, SINBUF의 한 클럭 사이클을 "억제"시키도록 한다. 시간(T5) 이전에 그러한 것과 같이 계속해서 토글링하기보다는, 제2 스테이지(158)의 Q2B 출력은 이제 하나의 부가적인 SINBUF 클럭 사이클 동안 그것의 디지털 로직 하이 값을 유지시킨다. 신호(Q1)의 디지털 로직 값은 디지털 로직 로우 레벨로 리턴한다. 시간(T5)으로부터 시간(T6)까지의 제1 MDS(142)의 (P2)는 3개의 SINBUF 클럭 주기들이다. 시간(T6)에서 종료되는 나누기-3 동작 이후, 제2 스테이지(158)는 그것의 나누기-2 토글링 동작으로 천이된다. 시간(T7)에, 모듈러스 제어 신호(MC3)는 디지털 로직 로우 레벨로 천이되어, CT 및 CTD 신호들이 각각 시간들(T8 및 T9)에 의하여 그들의 디지털 로직 하이 값들로 리턴하게 한다. 신호들(CT 및 CTD)이 그들의 디지털 로직 하이 값들로 리턴할 때, 제1 스테이지(157)는 다시 파워 다운되고, 트랜지스터(184)는 다시 도통되어, 제1 스테이지의 Q1 출력은 적절한 디지털 로직 로우 레벨로 고정된다. 도 14의 MDS 아키텍처를 이용하는 도 4의 MMD의 특정 실시예에서, 상기 개시된 바와 같은 CML MDS 들의 제1 스테이지에 전력을 공급하지 않는 것은 MMD 전력 공급 전류 소모의 20 퍼센트 감소를 초래한다. 이러한 전력 공급 전류 소모의 감소는 MMD의 주파수 해상도를 저하시키거나 MMD의 낮은 의사 잡음(spurious noise)을 절충시키지 않고 달성된다.

[0065] 도 19는 신규한 한 측면에 따른 방법의 흐름도이다. 모듈러스 분할기 스테이지(MDS)는 2 또는 3으로 입력 신호를 나누도록 제어가능하다. MD는 제1 스테이지 및 제2 스테이지를 갖는다. 도 14의 MDS는 제1 스테이지 및 제2 스테이지를 갖는 적절한 MDS의 실시예이다. 최초에, MDS는 3으로 입력 신호를 나누는데 사용된다(단계(200)). MDS가 3으로 나누어질 때, 제1 스테이지 및 제2 스테이지에는 전력이 공급된다. 다음, 제2 스테이지를 파워 다운시키지 않고 제1 스테이지가 파워 다운된다(단계(201)). 실시예에서, MDS는 제1 스테이지가 파워 다운되는 시간 동안 입력 신호를 2로 나눌 수 있다. 파워 다운 이후에, 제1 스테이지가 전력을 공급받지 않을 때, MDS는 입력 신호를 2로 나누는데 사용된다(단계(202)). 제1 스테이지가 전력을 공급받지 않을 때, MDS가 입력 신호를 2로 나눈 이후, MDS의 제1 스테이지는 파워 업된다(단계(203)). 실시예에서, 이러한 파워 업 단계는 MDS에 의해 수행될 차후의 나누기-3 동작의 예측에서 수행된다. MDS가 입력 신호를 3으로 나누는데 사용되도록 프로세스 흐름은 단계(200)로 리턴한다.

[0066] 이해를 위하여 특정 실시예들이 상기 개시되었으나, 본 특허 문서의 원리는 일반적 적용가능성을 가지며, 상기 개시된 특정 실시예들로 제한되지 않는다. 상기 개시된 전력 절약 기술들은 CMOS 및 CML을 제외한 로직 아키텍처들을 사용하는 회로들에 적용될 수 있다. CML 대 CMOS에서 실현되는 도 4의 MMD의 비율은 변화될 수 있다. 실시예에서, MDS(144)의 출력과 MDS(145)의 입력 사이에 버퍼가 배치된다. 동일한 타입의 버퍼가 도 6의 플립-플롭(154)의 SB 입력 리드로의 MC1 신호 경로에 배치된다. 이러한 타입의 버퍼는 4개 N-채널 전계 효과 트랜지스터들(M1-M4), 2개의 풀다운 저항들(R1 및 R2), 및 커패시터(C1)를 포함한다. M1 및 M2의 드레인들은 VDD에 접속된다. M1의 소스는 M4의 게이트 및 M3의 드레인에 접속된다. M2의 소스는 M3의 게이트 및 M4의 드레인에 접속된다. R1은 M3의 소스와 접지 사이에 접속된다. R2는 M4의 소스와 접지 사이에 접속된다. M3 및/또는 M4의 게이트들에 연결되는 풀업 저항들은 존재하지 않는다. 입력 신호(IN), 버퍼에 대한 신호 입력이 M1의 게이트에 공급된다. 이러한 입력 신호의 반전인 입력 신호(INB)가 M2의 게이트에 공급된다. 커패시터(C1)의 한 단자가 M3의 소스에 연결되며, 단자는 M4의 소스에 연결된다. 버퍼는 두 개의 출력 노드들을 갖는다. 출력 노드들 중 하나는 M1의 소스이다. 출력 노드들 중 다른 하나는 M2의 소스이다. 이러한 노드들은 연속 컨덕터들(LINE1 및 LINE2)에 의하여 구동중인 부하에 직접적으로 연결된다(용량성 연결은 아님). 실시예에서, LINE1은 부하의 N-채널 트랜지스터(M5)의 게이트에 직접적으로 접속된다. LINE2는 부하의 다른 N-채널트랜지스터

(M6)의 게이트에 직접적으로 접속된다. 그것의 부하에 용량성 연결되는 종래의 CML 드라이버와 비교하여, 상기 개시된 버퍼는 부하에 직접적으로 접속(D.C. 연결)된다. 버퍼는 자동적으로 부하의 작동 지점을 바이어스시킨다. M5의 게이트상의 D.C. 바이어스 전압은 M4의 게이트-대-소스 전압 및 R2상에 강하된 전압의 대략적인 합이 되도록 셀프-바이어스된다. 이러한 바이어싱으로 인하여, 버퍼 및 부하의 바이어스 지점들은 동일하고, 버퍼는 부하에 용량성 연결할 필요가 없고, 차라리, 부하에 직접적으로 접속된다. 드라이버가 그것의 부하에 용량성 연결되는 종래의 CML 드라이버에서, 저주파수 신호들(예를 들어, 10 메가헤르츠 미만의 주파수들의 신호들)은 용량성 연결의 커패시터들을 통과하는데 어려움을 갖는다. 그러한 신호들의 90 퍼센트는 회로에 의하여 거절될 수 있다. 따라서, 부하의 신호 강도는 그러한 저주파수 신호들에 대하여 작다. 그 결과, 종래의 회로는 그러한 저주파수 신호들이 회로 동작 동안에 버퍼를 통과하는 사용을 보이지 않는다. 상기 개시된 직접적으로 연결된 버퍼에서, 저주파수 신호들의 보다 많은 에너지가 직접 버퍼/부하 접속으로 인하여 부하로 전달되고, 버퍼는 저주파수 컴포넌트들(예를 들어, 5 키로헤르츠 이하)를 갖는 신호들이 회로 동작 동안에 버퍼를 통과하는 사용을 보인다. 종래의 버퍼 회로의 커패시터들을 분배함으로써, 전체 회로의 크기는 더 작게 만들어지고, 버퍼와 부하 사이의 접속들의 길이도 그러하다. 접속이 더 짧고 더 작게 만들어질 수 있기 때문에, 접속들의 기생 커패시턴스는 적어진다. 다이 영역은 절약된다. 버퍼가 회로 동작 동안에 이러한 기생 커패시턴스들을 구동시킬 필요가 없기 때문에, 종래의 버퍼와 비교하여 전력 소모가 감소된다.

[0067] 도 6의 출력 동기 장치는 그러나 고속 MMD 입력 신호를 사용하지 않고 동기화하는 출력 동기 장치의 실시예이다. 다른 실시예에서, 신호들(MC1 및 MC1B)은 CML 래치의 입력 리드들을 설정하고 리셋하기 위하여 공급된다. CML 래치의 Q 출력 리드는 D-타입 플립-플롭의 클럭 입력 리드에 연결된다. 플립-플롭의 D-입력은 디지털 로직 로우로 고정된다. 도 4의 06 신호의 로직 반전은 플립-플롭의 비동기화 설정 입력 리드(SB)에 연결된다. SOUT 신호는 플립-플롭의 Q 출력 리드에 출력된다. 개시된 회로 이외에, MC1을 사용하여 원하는 신호(SOUT)의 한 에지를 발생시키고, MDS 출력 신호를 사용하여 SOUT의 다음 에지를 발생시키는 다른 회로들이 사용될 수 있다.

[0068] 따라서, 개시된 특정 실시예들의 다양한 변형들, 개조들, 및 다양한 특징들의 연결들이 청구범위를 벗어나지 않고 실행될 수 있으며, 그 청구범위는 하기에서 진술된다.

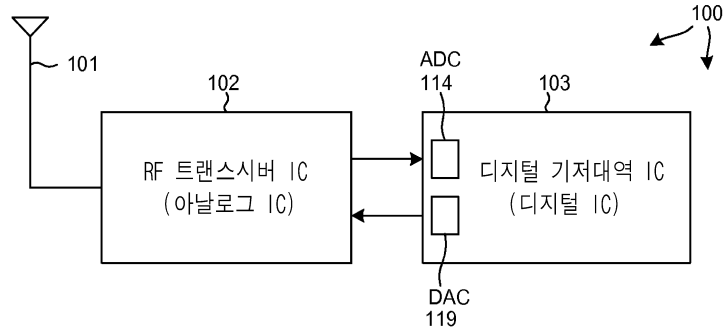
도면의 간단한 설명

- [0009] 도 1은 신규한 한 측면에 따른 이동 통신 디바이스(본 실시예에서, 휴대폰)의 간략화된 도면이다.
- [0010] 도 2는 도 1의 이동 통신 디바이스 내의 RF 트랜스시버 집적 회로의 도면이다.
- [0011] 도 3은 도 2의 RF 트랜스시버 집적 회로의 로컬 오실레이터의 도면이다.
- [0012] 도 4는 도 2의 로컬 오실레이터의 주파수 분할기의 도면이다. 주파수 분할기는 멀티-모듈러스 분할기(MMD)이다.
- [0013] 도 5는 도 4의 MMD의 입력 버퍼(141)의 도면이다.
- [0014] 도 6은 도 4의 MMD의 출력 동기 장치(149)의 간략화된 도면이다.
- [0015] 도 7은 도 4의 7-스테이지 MMD가 원하는 제수로 나누기 위하여 S[6:0]의 값이 되어야만 하는 것을 나타내는 방정식을 진술한다.
- [0016] 도 8은 도 4의 MMD의 한 MDS의 블록도이다.
- [0017] 도 9는 도 8의 MDS가 입력 신호(SINBUF)를 2로 나누도록 동작할 수 있는 방법을 보여주는 도면이다.
- [0018] 도 10은 도 9의 MDS의 동작에서 신호들을 도시하는 파형 도면이다.
- [0019] 도 11은 도 8의 MDS가 입력 신호(SINBUF)를 3으로 나누기 위하여 동작할 수 있는 방법을 보여주는 도면이다.
- [0020] 도 12는 도 11의 MDS의 동작에서 신호들을 도시하는 파형 도면이다.
- [0021] 도 13은 도 4의 MMD의 제1 MDS(142)가 나누기-3 모드에서 동작할 때 입력 신호들(FMC1 및 SINBUF) 및 출력 신호들(Q1 및 Q2B)의 파형들을 나타내는 도면이다.
- [0022] 도 14는 도 4의 MMD의 제1 MDS(142)의 상세한 트랜지스터-레벨 회로 도면이다.
- [0023] 도 15는 나누기-2 모드의 도 14의 MDS의 동작을 도시하는 간략화된 파형 도면이다.

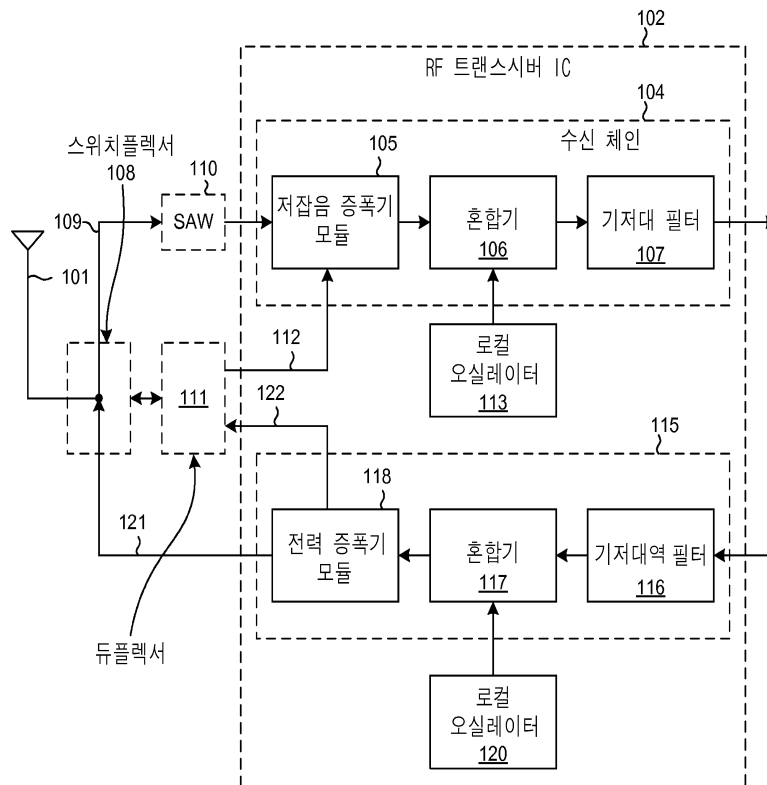
- [0024] 도 16은 나누기-3 모드의 도 14의 MDS의 동작을 도시하는 간략화된 과정 도면이다.
- [0025] 도 17은 나누기-2 모드의 도 14의 MDS의 동작의 상세한 과정 도면이다.
- [0026] 도 18은 나누기-3 모드의 도 14의 MDS의 동작의 상세한 과정 도면이다.
- [0027] 도 19는 신규한 한 측면에 따른 방법의 흐름도이다.

도면

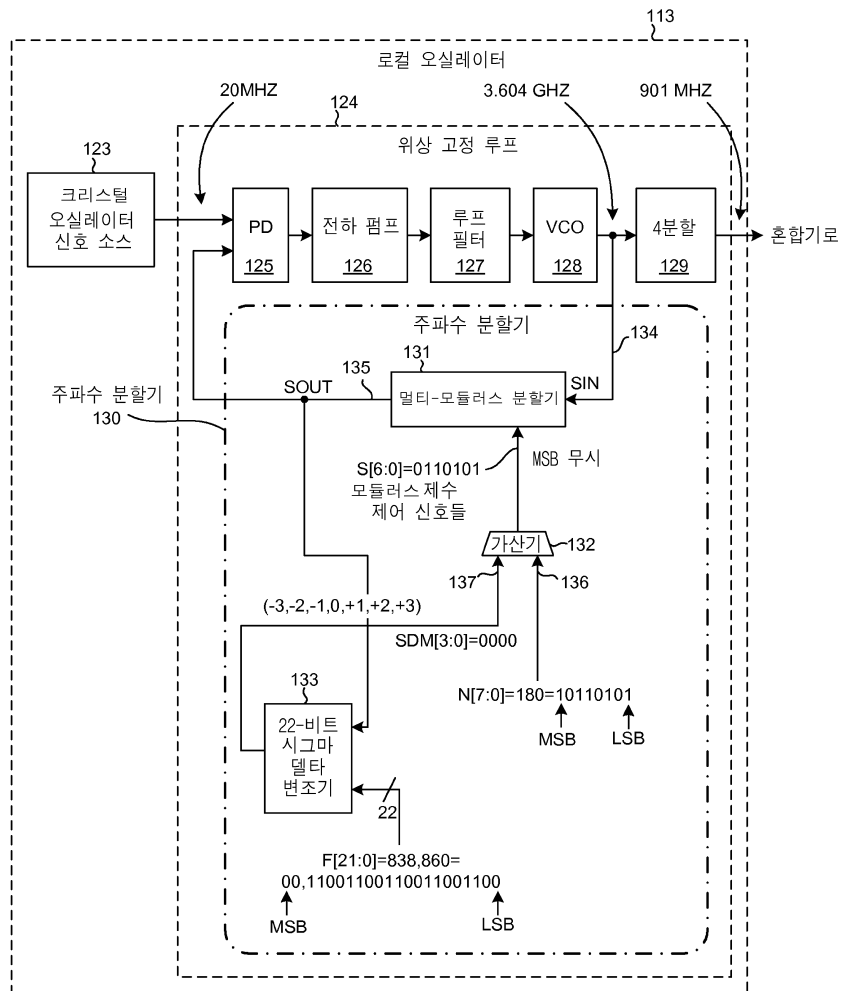
도면1



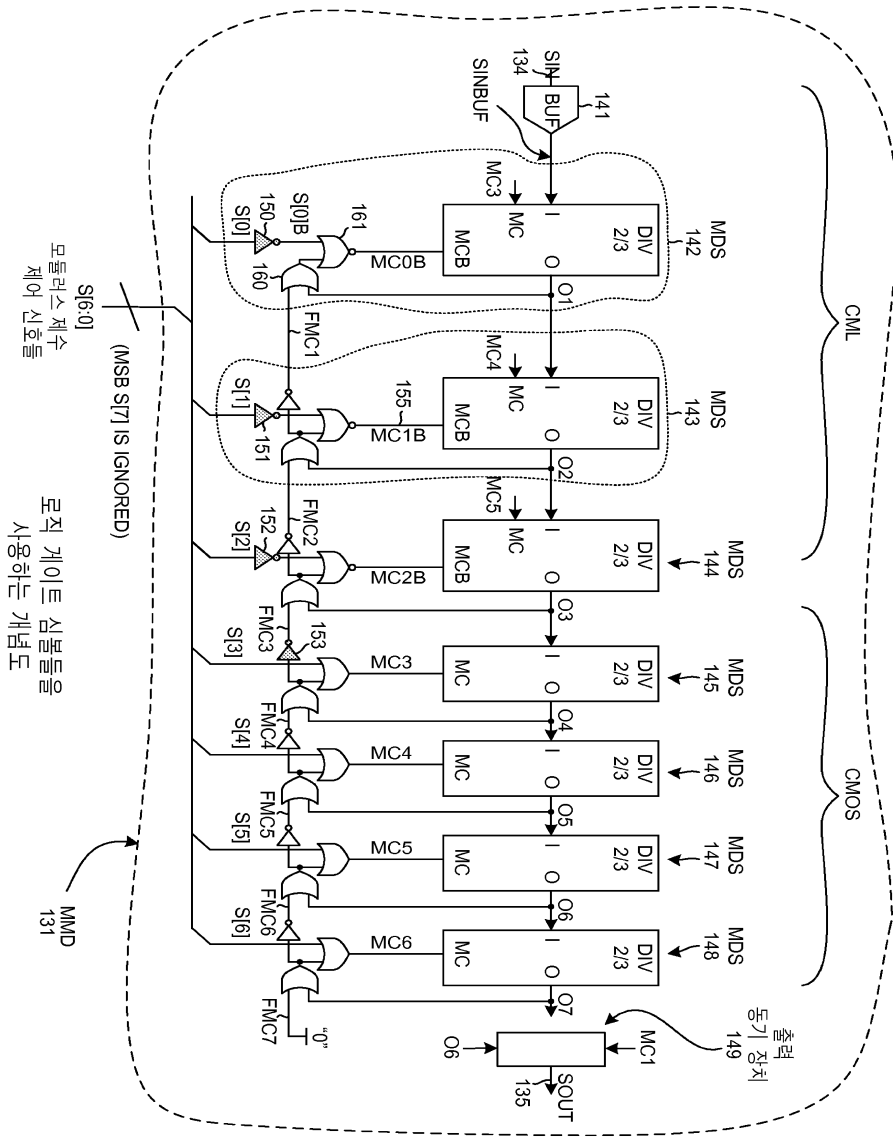
도면2



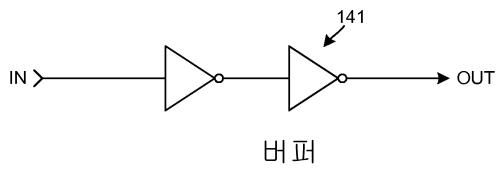
도면3



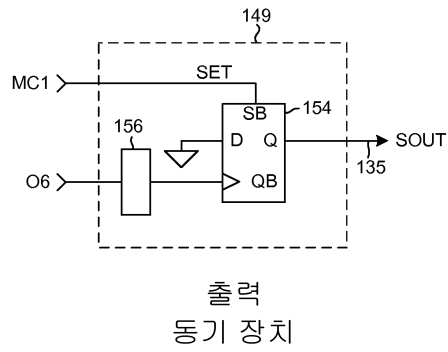
도면4



도면5



도면6

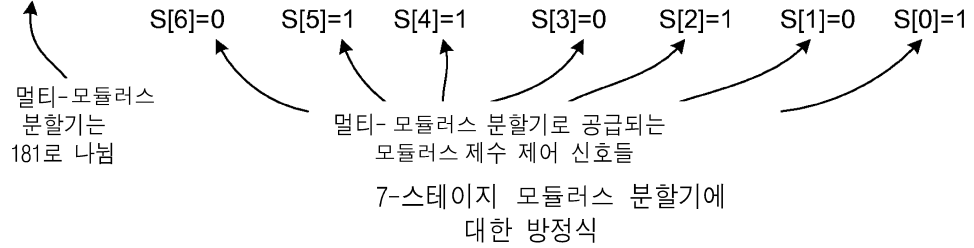


도면7

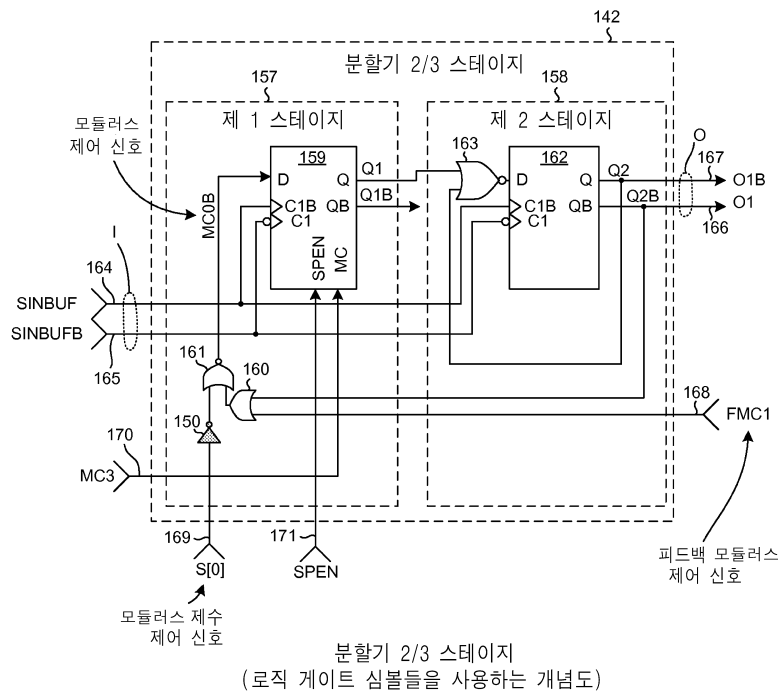
$$X = 128 + (S_6 * 2^6) + (S_5 * 2^5) + (S_4 * 2^4) + (S_3 * 2^3) + (S_2 * 2^2) + (S_1 * 2^1) + (S_0 * 2^0)$$

$$181 = 128 + 53$$

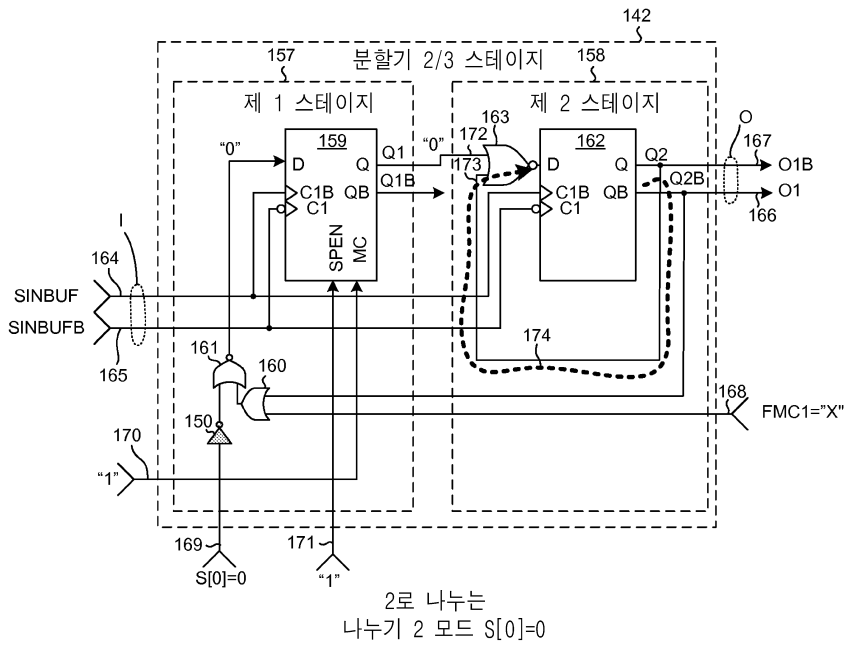
$$181 = 128 + (S_6 * 2^6) + (S_5 * 2^5) + (S_4 * 2^4) + (S_3 * 2^3) + (S_2 * 2^2) + (S_1 * 2^1) + (S_0 * 2^0)$$



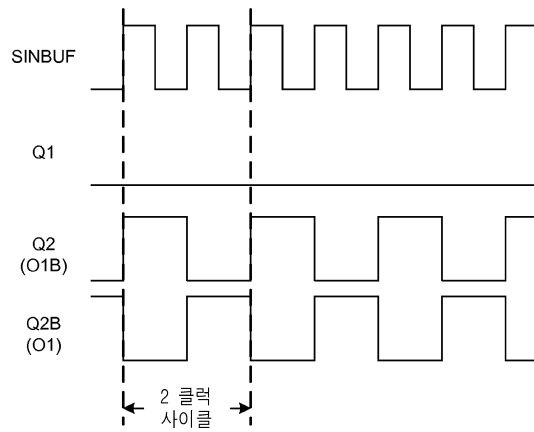
도면8



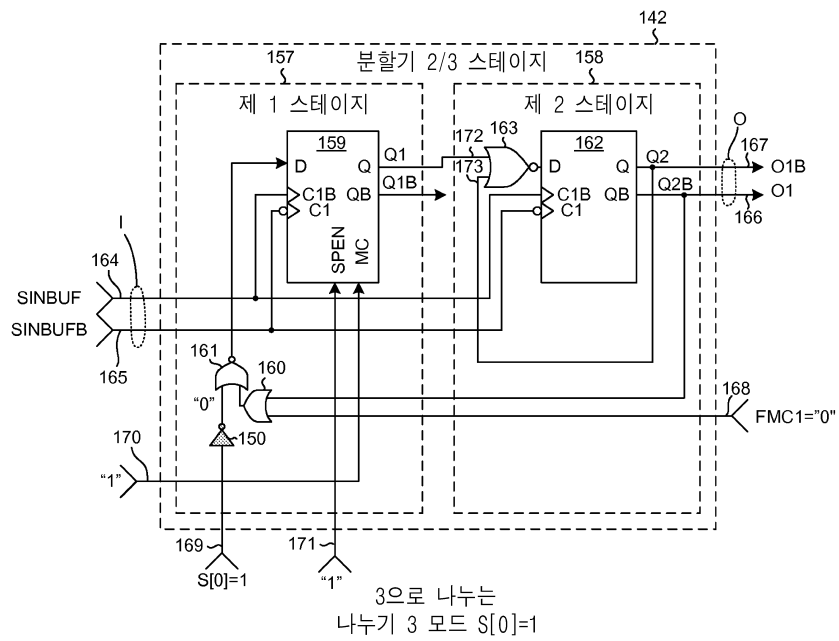
도면9



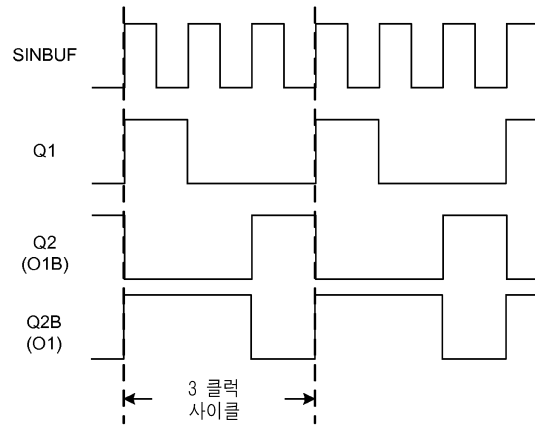
도면10



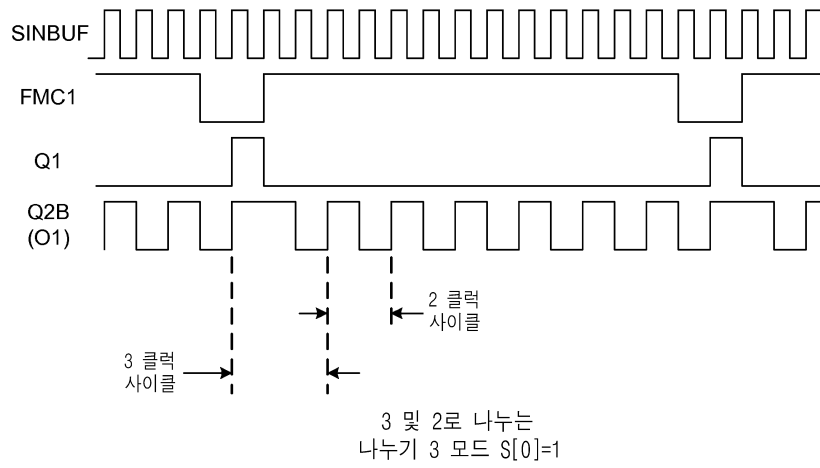
도면11



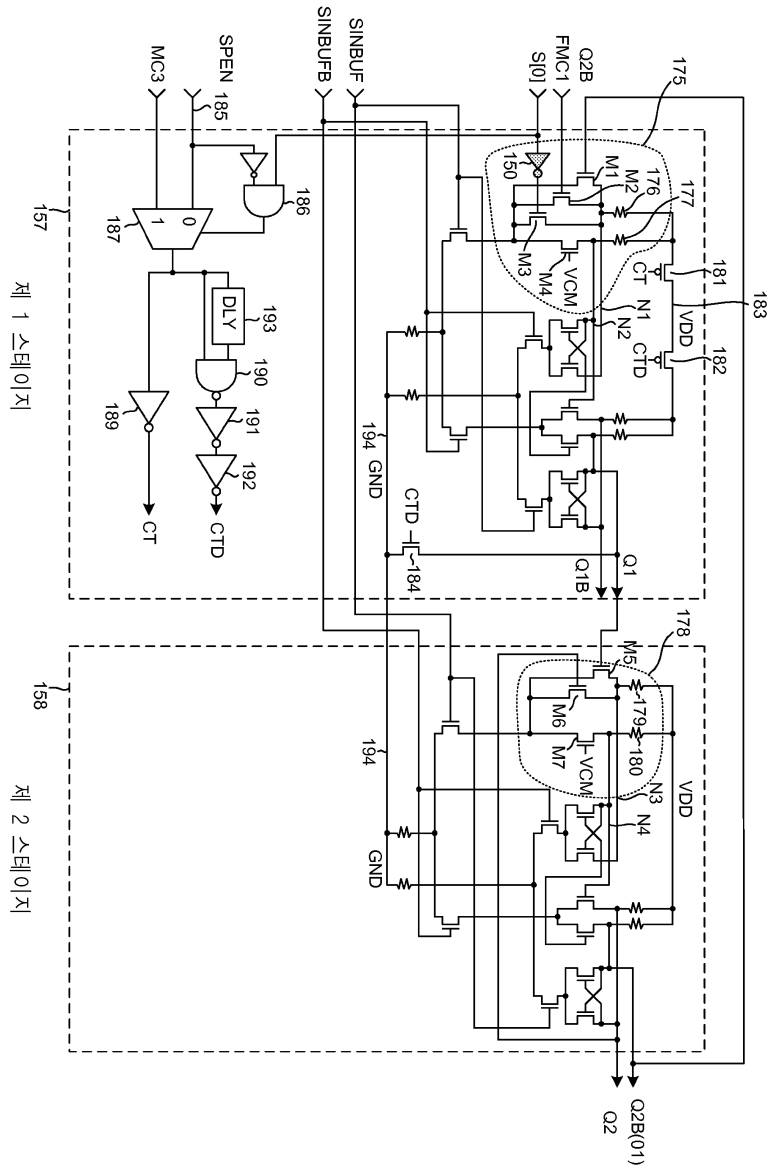
도면12



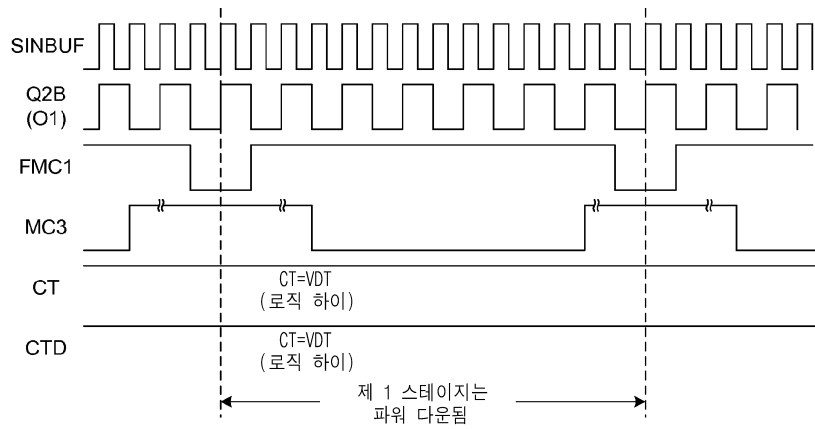
도면13



도면14

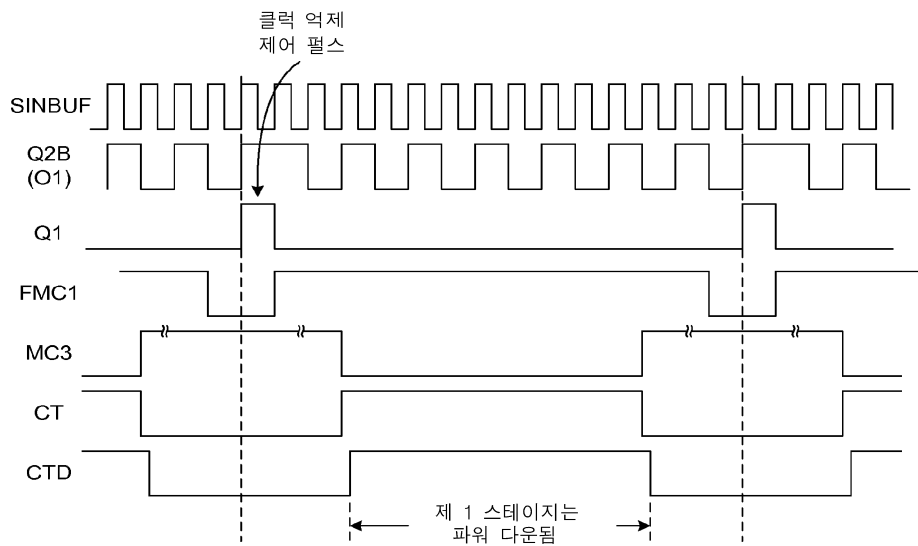


도면15



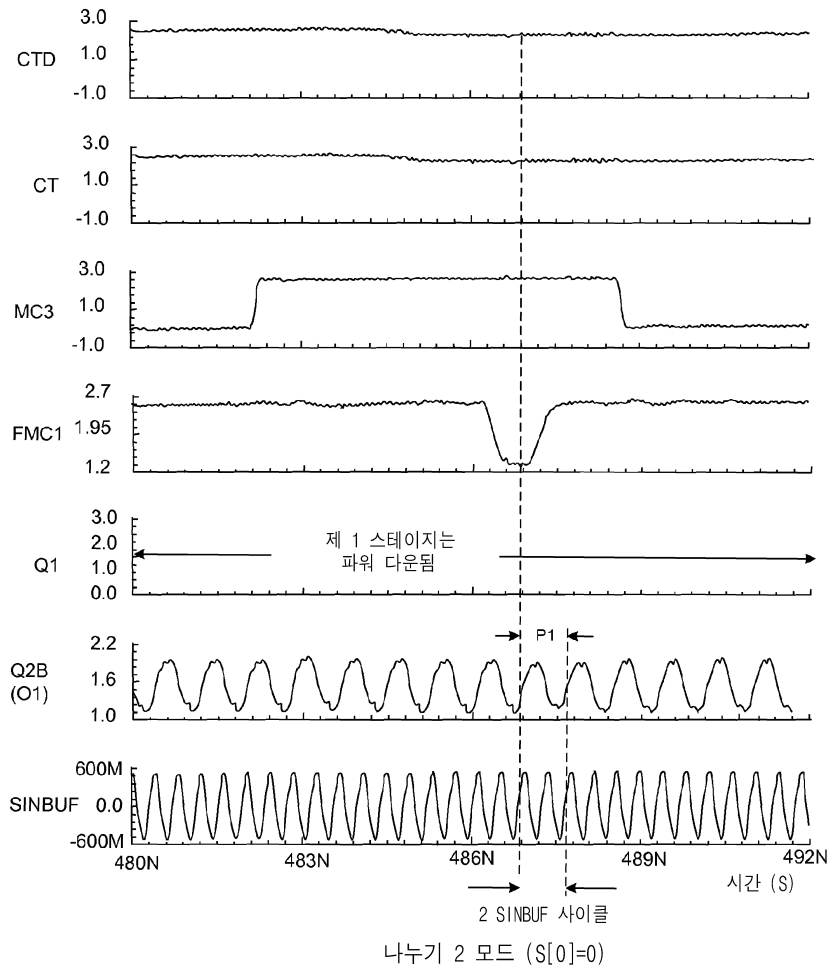
나누기 2 모드 (S0=0)

도면16

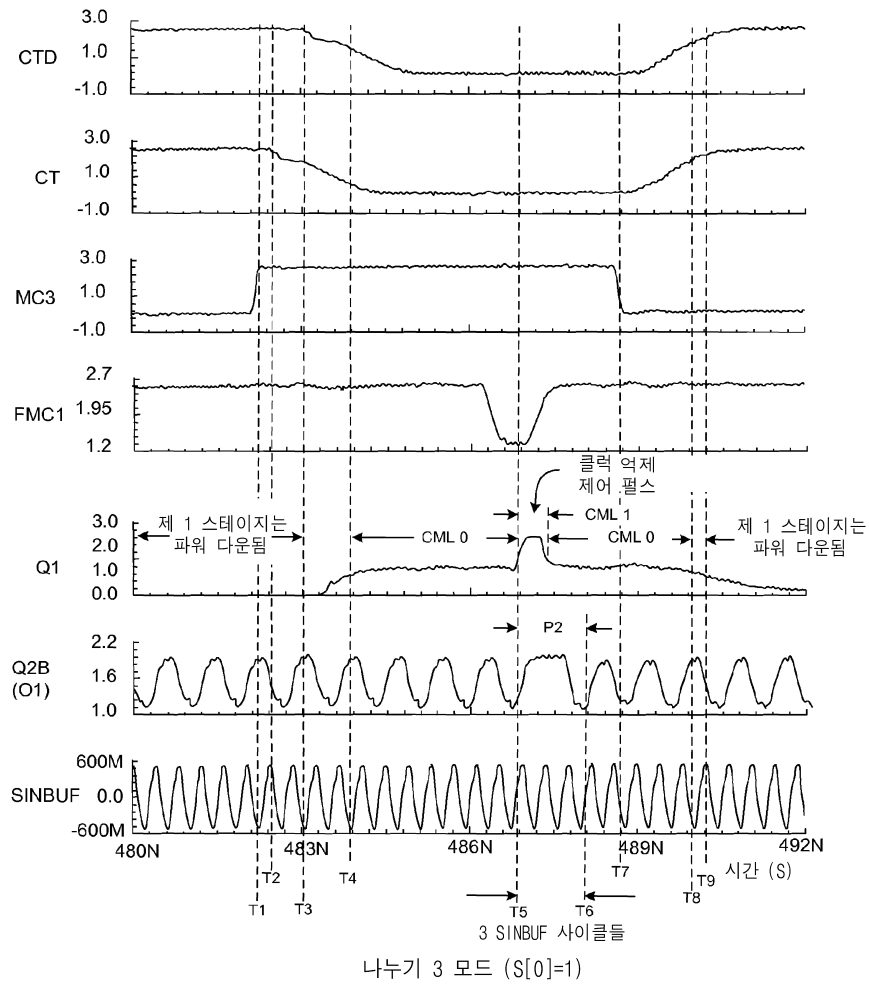


나누기 3 모드 (S0=1)

도면17



도면18



도면19

