



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I469334 B

(45) 公告日：中華民國 104 (2015) 年 01 月 11 日

(21) 申請案號：098137772

(22) 申請日：中華民國 98 (2009) 年 11 月 06 日

(51) Int. Cl. : **H01L27/146 (2006.01)**

(30) 優先權：2008/11/07 美國 12/266,764

(71) 申請人：豪威科技股份有限公司 (美國) OMNIVISION TECHNOLOGIES, INC. (US)
美國

(72) 發明人：麥克卡頓 約翰 P MCCARTEN, JOHN P. (US)；蘇瑪 約瑟夫 R SUMMA, JOSEPH R. (US)；提瓦魯斯 克里斯丁 A TIVARUS, CRISTIAN A. (US)；安德森 陶德 J ANDERSON, TODD J. (US)；史蒂文斯 艾瑞克 G STEVENS, ERIC G. (US)

(74) 代理人：陳長文

(56) 參考文獻：

TW 200611403A

US 2006/0186560A1

審查人員：閻濟民

申請專利範圍項數：20 項 圖式數：16 共 43 頁

(54) 名稱

背照式互補式金氧半導體影像感測器

BACK-ILLUMINATED CMOS IMAGE SENSORS

(57) 摘要

本發明係關於一種背照式影像感測器，其包含一感測器層，該感測器層係設置於一絕緣層與一電連接至該感測器層的電路層之間。一成像區域包含複數個光電偵測器，其係形成於該感測器層與一橫跨該成像區域的井孔之間。該井孔可係設置於該感測器層之背側及該光電偵測器之間，或該井孔可為一鄰接該感測器層之背側的埋設井孔，其包含一形成於該光電偵測器與該埋設井孔之間的區域。一個或多個側井孔可經形成為橫向地鄰接於每一個光電偵測器。該井孔中之摻雜物具有一偏析係數，其使該摻雜物積聚於該感測器層與該絕緣層之間之一介面之該感測器層側上。

A back-illuminated image sensor includes a sensor layer disposed between an insulating layer and a circuit layer electrically connected to the sensor layer. An imaging area includes a plurality of photodetectors is formed in the sensor layer and a well that spans the imaging area. The well can be disposed between the backside of the sensor layer and the photodetectors, or the well can be a buried well formed adjacent to the backside of the sensor layer with a region including formed between the photodetectors and the buried well. One or more side wells can be formed laterally adjacent to each photodetector. The dopant in the well has a segregation coefficient that causes the dopant to accumulate on the sensor layer side of an interface between the sensor layer and the insulating layer.

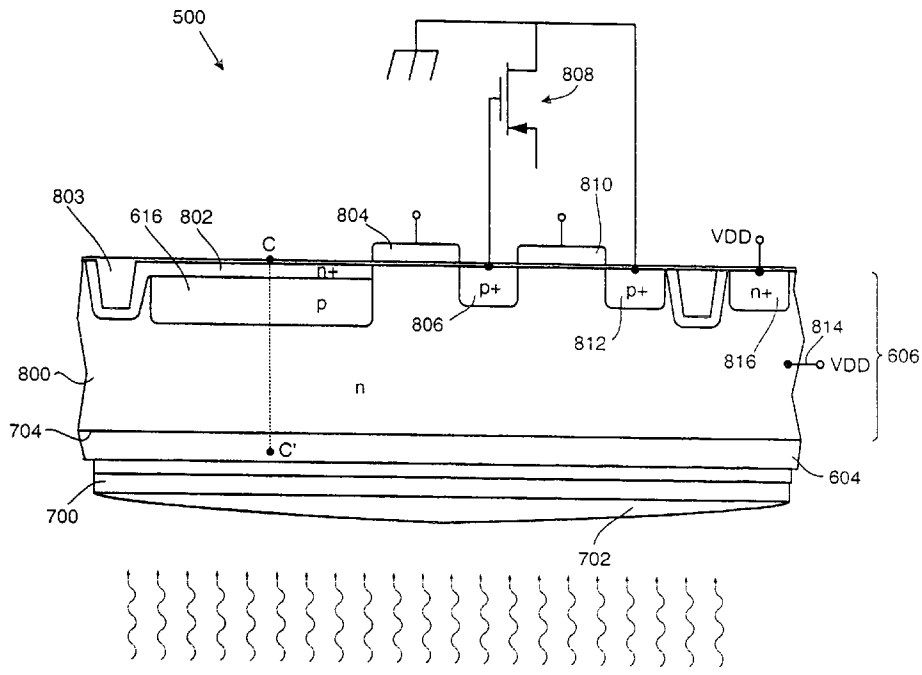


圖 8

- 500 . . . 像素
- 604 . . . 絕緣層
- 606 . . . 感測器層
- 616 . . . 光電偵測器
- 700 . . . 濾色鏡元件
- 702 . . . 微透鏡
- 704 . . . 感測器層與絕緣層之間的介面
- 800 . . . 井孔
- 802 . . . 釘扎層
- 803 . . . 淺槽隔離 (STI)
- 804 . . . 轉移閘極
- 806 . . . 電荷-電壓轉換器
- 808 . . . 源極跟隨器
- 電晶體
- 810 . . . 重設電晶體
- 812 . . . 重設電晶體
- 814 . . . 井孔接觸件
- 816 . . . 井孔接觸件

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98137772

※申請日： 98-11-6

※IPC 分類：H01L 27/46 (2006.01)

一、發明名稱：(中文/英文)

背照式互補式金氧半導體影像感測器

BACK-ILLUMINATED CMOS IMAGE SENSORS

二、中文發明摘要：

本發明係關於一種背照式影像感測器，其包含一感測器層，該感測器層係設置於一絕緣層與一電連接至該感測器層的電路層之間。一成像區域包含複數個光電偵測器，其係形成於該感測器層與一橫跨該成像區域的井孔之間。該井孔可係設置於該感測器層之背側及該光電偵測器之間，或該井孔可為一鄰接該感測器層之背側的埋設井孔，其包含一形成於該光電偵測器與該埋設井孔之間的區域。一個或多個側井孔可經形成為橫向地鄰接於每一個光電偵測器。該井孔中之摻雜物具有一偏析係數，其使該摻雜物積聚於該感測器層與該絕緣層之間之一介面之該感測器層側上。

三、英文發明摘要：

A back-illuminated image sensor includes a sensor layer disposed between an insulating layer and a circuit layer electrically connected to the sensor layer. An imaging area includes a plurality of photodetectors is formed in the sensor layer and a well that spans the imaging area. The well can be disposed between the backside of the sensor layer and the photodetectors, or the well can be a buried well formed adjacent to the backside of the sensor layer with a region including formed between the photodetectors and the buried well. One or more side wells can be formed laterally adjacent to each photodetector. The dopant in the well has a segregation coefficient that causes the dopant to accumulate on the sensor layer side of an interface between the sensor layer and the insulating layer.

四、指定代表圖：

(一)本案指定代表圖為：第(8)圖。

(二)本代表圖之元件符號簡單說明：

500	像素
604	絕緣層
606	感測器層
616	光電偵測器
700	濾色鏡元件
702	微透鏡
704	感測器層與絕緣層之間的介面
800	井孔
802	釘扎層
803	淺槽隔離(STI)
804	轉移閘極
806	電荷-電壓轉換器
808	源極跟隨器電晶體
810	重設電晶體
812	重設電晶體
814	井孔接觸件
816	井孔接觸件

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明大體上係關於用於數位照相機及其他類型的影像捕獲裝置之影像感測器，及更特定言之係關於背照式影像感測器。

【先前技術】

一電子影像感測器可利用能將入射光轉換成電信號的感光光電偵測器來捕獲影像。影像感測器大體上可被分為前照式影像感測器或背照式影像感測器。依照先前技術，圖1為一前照式影像感測器之一簡化繪示。影像感測器100包含像素102、104、106，其被形成於一感測器層108及一電路層110內。光電偵測器112、114、116被形成於感測器層108中。諸如閘極與連接器之導電性互連部118、120、122被形成於電路層110中。

不幸地，定位在光電偵測器112、114、116上方之導電性互連部118、120、122及與電路層110相關的各種其他特徵不當影響到影像感測器100之充填因數及量子效率。此乃由於來自一主場景之光124必須在其被光電偵測器112、114、116偵測到之前穿過電路層110。

一背照式影像感測器藉由構造該影像感測器使得該來自一主場景之光被入射於一感測器層之一背側而改善該充填因數及量子效率的問題。感測器層108之該「前側」126被習知地稱為該感測器層108之側面，其與電路層110鄰接，同時該「背側」128為相對於前側126之感測器層108之側

面。依照先前技術，圖2為一背照式影像感測器之一簡化示意圖。電路層110可被設置於支撐基板202與感測器層108之間。此允許光124照射在感測器層108之背側128，其中它藉由光電偵測器112、114、116而被偵測到。藉由光電偵測器112、114、116之光之偵測不再受該金屬化水準互連及電路層110之其他特徵之影響。

然而，背照式影像感測器存在一組新的挑戰。在感測器層108與絕緣層206之間的介面204可生產高水準的暗電流及一量子效率損失，特別是該藍光光譜。此乃由於背側128之該蝕刻矽表面存在懸盪結合。此外，在製造影像感測器200之過程中，用於鈍化介面204之習知的鈍化技術會轉而受到後續處理步驟不當的影響。

圖3繪示沿圖2之線A-A'之介面204之一例示性的摻雜分佈。習知的背照式影像感測器被構造為n型金氧半導體(NMOS)影像感測器。由此，該n摻雜光電偵測器被形成於一井孔或摻雜有一個或多個p型摻雜物之層。線300繪示在於影像感測器200之隨後的互補金氧半導體(CMOS)製造步驟進行之前，在介面204之硼摻雜物(p型)之一摻雜分佈，同時線302闡示在該隨後的CMOS製造步驟進行之後，在介面204之硼之該摻雜分佈。如圖3所示，在該隨後的CMOS製造步驟中，該硼摻雜物從感測器層108擴散出並進入絕緣層206。此擴散創造於介面204之該感測器層側之摻雜分佈304之一下降。該摻雜分佈之下降會產生一不當的靜電電位阱，其俘獲光感應電荷載流子於介面204。用更慢擴

散 p 型摻雜物(比如銦)替代硼可降低在處理過程中之該熱擴散，但是銦會增加於該影像感測器之暗域亮點缺陷之數量。

相應地，必須改進處理技術用於形成背照式影像感測器。

【發明內容】

簡要地概述，依照本發明之一態樣，一背照式影像感測器包含一感測器層，其係設置於一絕緣層與一電連接至該感測器層的電路層之間。一包含複數個像素之成像區域係形成於該感測器層，其每一個像素具有一摻雜有一個或多個 p 型摻雜物的光電偵測器。在依照本發明之一實施例中，一摻雜有一個或多個 n 型摻雜物的井孔橫跨該成像區域，且係設置於該光電偵測器與該感測器層之背側之間。在依照本發明之另一個實施例中，該井孔為一埋設井孔，且一 p 型摻雜區域係創造於該光電偵測器與該埋設井孔之間。摻雜有一 n 型摻雜物之一個或多個附加的側井孔可係形成為橫向地鄰接每一個光電偵測器。

位於該井孔或埋設井孔中之該或該等 n 型摻雜物具有一偏析係數，其可使得該 n 型摻雜物積聚於該感測器層之背側與該絕緣層之間之一介面之該感測器層側。該(或該等) n 型摻雜物的累積使得在該感測器層與該絕緣層之間的介面鈍化，並防止該介面之一靜電電位阱的形成。此外，該井孔或埋設井孔可被施加一相對於接地之預定電位的偏壓，用於驅動該光-產生電荷進入於該感測器層之該最近的各

自光電偵測器。該井孔或埋設井孔還可包含一摻雜梯度，其將該光-產生電荷導入該感測器層之該最近的各自光電偵測器。而最後，一個或多個活性電子組件可被設置於每一個像素內之該感測器層中，而被電連接至該成像區域的電子電路則被設置於該成像區域外。

本發明之有利影響

由於偏析，於該井孔或埋設井孔之該n型摻雜物積聚於該感測器層之背側與該絕緣層之間之一介面的該感測器層側，同時該介面之感測器層側之該p型摻雜物減少。於該介面之該n型摻雜物之增加的濃度及該p型摻雜物之減少的濃度的結合可防止該介面之感測器層側之一電位阱的形成。該井孔或埋設井孔的摻雜可發生在該淺槽隔離區的熱氧化之後。此可最小化該井孔或埋設井孔之該摻雜物的熱擴散。此外，在該製造過程中，被俘獲於該感測器層與該絕緣層之間之介面上的任一光-產生電荷在一PMOS影像感測器中通常為正。正電荷導引該光-產生電荷朝向該光電偵測器，並順利地鈍化該介面。

【實施方式】

結合該等附圖並參照本發明之下列詳細說明，本發明之該等上述及其他的目的、特徵及優點將變成更加顯而易見，其中：

在該等說明及申請專利範圍中，該等下列術語明確採用在本文中關聯的該等意思，除非該上下文清楚地做出不同指示。「一(a)」、「一(an)」，及「該(the)」之意思包含複數

參照，「中(in)」之意思包含「中(in)」及「上(on)」。該術語「連接(connected)」意為在該等連接項之間的一直接電連接或通過一個或多個被動的或者主動的中間裝置之一間接連接。該術語「電路(circuit)」意為一單個組件或多個組件(主動的或者被動的)，其被連接在一起以提供一理想的功能。該術語「信號(signal)」意為至少一電流、電壓，或資料信號。參照該等圖，在該等視圖中相同的數字指示同樣的零件。

此外，如「上(on)」、「上方(over)」之該等術語，當其被用於一影像感測器晶圓或相應的影像感測器之層之連接時，其意欲為廣泛地解釋，及因此其將不會被解釋以排除一個或多個插入層或其他插入之影像感測器特徵或元件之存在。由此，一給定層(其在本文中描述為形成於另一個層或形成於另一個層之上方)可藉由一個或多個附加層而與該後面的層分離。

現參照圖4，其顯示在依照本發明之一實施例中之一影像捕獲裝置。在圖4中影像捕獲裝置400被用作一數位照相機。熟習此項技術者將認識到一數位照相機僅為一影像捕獲裝置之一例子，其可利用一採用本發明的影像感測器。舉例說明，如手機照相機及數位視訊攝像機之其他類型的影像捕獲裝置可連同本發明而被使用。

在數位照相機400中，光402從一主場景被輸入至一成像台404。成像台404可包含習知的元件，比如一透鏡、一中性密度濾光片、一光闌及一光闌。光402藉由成像台404而

被聚焦以形成一影像於影像感測器406。影像感測器406藉由將該入射光轉換為電信號而捕獲一個或多個影像。數位照相機400進一步包含處理器408、記憶體410、顯示器412，及一個或多個附加的輸入/輸出(I/O)元件414。雖然在圖4之實施例中被顯示為分離元件，但是成像台404可與影像感測器406整合，及也可與數位照相機400之一個或多個附加元件，以形成一袖珍相機模組。

舉例而言，處理器408可被實現為一微處理器、一中央處理器(CPU)、一專用積體電路(ASIC)、一數位信號處理器(DSP)，或其他的處理裝置，或多個此等裝置的結合。成像台404及影像感測器406之各種元件可由定時信號或來自處理器408的其他信號控制。

記憶體410可被構造為任一類型之記憶體，舉例而言，如，隨機存取記憶體(RAM)、唯讀記憶體(ROM)，快閃記憶體、基於磁碟之記憶體、可移動記憶體，或者其他類型的記憶元件，以其任一組合。由影像感測器406捕獲之一給定影像可藉由處理器408而儲存於記憶體410及呈現於顯示器412。顯示器412通常為一主動矩陣彩色液晶顯示器(LCD)，雖然也可使用其他類型的顯示器。舉例而言，該等附加的I/O元件414可包含各種螢幕上控制、按鈕或其他的用戶介面、網路介面，或記憶卡介面。

應理解，圖4所示之數位照相機包含熟習此項技術者已知之一類型的附加或替代元件。在本文中未明確顯示或描述之元件可選自業界已知的元件。如前所述，本發明可被

實行於多種影像捕獲裝置。同樣地，如上所述，本文中描述之實施例的某些態樣可被實行，其至少部分係以藉由一影像捕獲裝置之一個或多個處理元件執行之軟體的形式。如熟習此項技術者所理解，此軟體可以一簡單明確的方式實行，該方式係由在本文中提供之該等教示給出。

圖5為在一依照本發明之實施例中如圖4所示之影像感測器406之一簡化方塊圖。影像感測器406通常包含像素500之一陣列，其形成一成像區域502。影像感測器406進一步包含行解碼器504、列解碼器506、數位邏輯508，及類比或數位輸出電路510。在一依照本發明之實施例中，影像感測器406係用作一背照式互補式金氧半導體(CMOS)影像感測器。由此，行解碼器504、列解碼器506、數位邏輯508，及類比或數位輸出電路510可被用作標準CMOS電子電路，該等電子電路係電連接至成像區域502。

與成像區域502之取樣及讀出相關的函數及相應的影像資料之處理可被實行，其至少部分以儲存在記憶體410及藉由處理器408(見圖4)而被執行之軟體之形式。該取樣及讀出電路之部分可被配置在影像感測器406之外，或連同成像區域502而被完整地形成，舉例而言，於連同光電偵測器及該成像區域之其他元件之一共同積體電路。熟習此項技術者將認識到其他的週邊電路構造或結構可在其他依照本發明之實施例中被實行。

現在參照圖6(A)至6(C)，一影像感測器之一部分之簡化橫截面圖被顯示，其在依照本發明之一實施例中用於闡示

一種製造一背照式影像感測器之方法。圖6顯示在一例示性的CMOS製造過程之若干起始步驟之完成時一影像感測器晶圓600之一部分。在此階段影像感測器晶圓600包含基板602、形成於基板602上方之絕緣層604、形成於絕緣層604上方之感測器層606，及形成於感測器層606上方之電路層608。如導電性互連部610、612、閘極614，或其他電路元件之各種影像感測器特徵可利用習知技術而被形成於電路層608內。

感測器層606被處理以在感測器層606內形成光電偵測器616及其他電路元件。感測器層606具有一前側618及一背側620。如文中前述，感測器層606之「前側」618係習知作為感測器層606之鄰接於電路層608的側面，同時該「背側」620為感測器層606之相對於前側618之側面。在依照本發明之一實施例中，基板602及感測器層606通常由一矽材料形成，絕緣層604由一二氧化矽材料形成，及電路層608由一介電材料形成。在電路層608中之互連610、612及閘極614與各種金屬化水準相關。

繪示於圖6(A)之影像感測器晶圓600為一絕緣體上矽(SOI)晶圓之一實例。在此一晶圓中，該感測器層606之厚度約為1至50微米，及絕緣層604之厚度約為0.1至3微米，不過其他的厚度也可被使用。基板602通常實質上厚於感測器層606或絕緣層604，及約為300至1000微米厚。依照本發明之其他的實施例可使用其他類型的晶圓以形成背照式影像感測器，舉例而言，如，不包含一絕緣層604之外

延晶圓或塊狀半導體晶圓。

圖 6(B) 闡示在支撐晶圓 622 與電路層 608 結合以後之影像感測器晶圓 600。支撐晶圓 622 通常藉由一個或多個黏合層 (未顯示) 而與電路層 608 結合，或藉由壓力或溫度之施加而直接結合。可用於直接結合之一材料之一實例為二氧化矽。

基板 602 隨後被移除，其導致如圖 6(C) 所示之該影像感測器晶圓結構。舉例而言，基板 602 可利用打磨、拋光或蝕刻技術，以其任一組合而被移除。在一依照本發明之實施例中，基板 602 可被整個移除，其中絕緣層 604 作為一刻蝕阻擋層。在依照本發明之其他實施例中，如一含有一外延或塊狀半導體晶圓之基板 602 可被變薄而非被完全移除，及一絕緣層沈積於該蝕刻面之上。

在移除基板 602 之後，該結構被翻轉 (如圖示) 及被進一步處理。後續處理步驟可包含於絕緣層 604 之背側 624 之一濾色鏡陣列及相關微透鏡之形成 (見圖 7)。

現參照圖 7，其顯示在依照本發明之一實施例中影像感測器 406 之一部分沿圖 5 之線 B-B' 之一橫截面圖。影像感測器 406 包含形成於一感測器層 606 及一電路層 608 內的像素 500。光電偵測器 616 形成於感測器層 606 中。如閘極與連接器之導電性互連部 610、612、614 被形成於電路層 608 中。

濾色鏡元件 700 被顯示形成於絕緣層 604。同樣地，與每一個濾色鏡元件 700 相關的為一相應的微透鏡 702。濾色鏡

元件700被配置於各自光電偵測器616及通常作為帶通濾波器，其允許每一個光電偵測器616偵測光在具體波長範圍之傳播。舉例而言，一濾色鏡元件允許光在相應於紅光之波長範圍內傳播以藉由一光電偵測器而被偵測到，同時一鄰近的濾色鏡元件允許光在相應於綠光之波長範圍內傳播以藉由一光電偵測器而被偵測到。

如將在本文中連同圖8及12至16而被描述，感測器層606由一技術而被形成，該技術係鈍化在感測器層606與絕緣層604之間的介面704以減少暗電流及改進量子效率。此外，感測器層606被施加偏壓至一已知電位(相對於接地)以將光-產生電荷(特別地此等電荷產生於鄰接該背照式影像感測器之背側表面)導入該最近的光電偵測器。及最終，感測器層606可包含一摻雜物梯度，其將該光-產生電荷導入於該最近的光電偵測器。將該光-產生電荷導入該最近的光電偵測器可將該影像感測器內的串擾和滯後最小化。

圖8為在依照本發明之一實施例中一第一像素結構之一橫截面圖；像素500包含光電偵測器616，其被形成於井孔800中。在圖8之實施例中，光電偵測器616被用作一光電二極體。釘扎層802被形成於光電偵測器616上方。一個或多個淺槽隔離(STI)區域803被形成於像素500內。

轉移閘極804被用於將該等光-產生電荷從光電偵測器616轉移至電荷-電壓轉換器806。在依照本發明之一實施例中，該電荷-電壓轉換器806被設置為浮動擴散。轉換器806將該電荷轉換為一電壓信號。源極-跟隨器電晶體808

緩衝儲存於電荷-電壓轉換器806之該電壓信號。重設電晶體806、810、812被用於將轉換器806重設至一在像素讀出以前之已知電位。

井孔800係通過井孔接觸件814而被施加偏壓至一已知電位位準。將井孔800相對於接地偏壓至一已知電位可將該等光-產生電荷導入光電偵測器616。在依照本發明之一實施例中，井孔接觸件814設置於成像區域502(圖5)之外於影像感測器406之週邊。在圖8所示之實施例中，整個成像區域502(圖5)中的其他井孔接觸件816被週期性地間隔以減少井孔800之該有效電阻及降低或消除井孔反動。

在依照本發明之一實施例中，像素500係基於p型金氧半導體(PMOS)電路。由此，光電偵測器616被摻雜有一個或多個p型摻雜物及井孔800與釘扎層802被摻雜有一個或多個n型摻雜物。n型摻雜物之實例包含但不限於磷、銻，及砷。硼及鎵為p型摻雜物之實例。

圖9繪示在依照本發明之一實施例中沿圖8之線C-C'之介面704之一例示性的摻雜分佈。線900闡示在STI區域803之氧化之後一硼摻雜SOI晶圓之該摻雜分佈，同時線902繪示在該STI區域之氧化之後在井孔800中植入磷摻雜物之該摻雜分佈。如圖9所示，在該STI區域之氧化期間該硼及該磷摻雜物都發生了擴散。由於偏析，該磷摻雜物積聚於介面704之該矽側面(見點904)，同時該硼摻雜物在介面704之該矽側面減少(見點906)。於該介面之該n型磷摻雜物之增加濃度及該p型硼摻雜物之減少濃度之結合可降低或防止介

面之該感測器層側之一電位阱之形成。

於介面 704 之該磷偏析進一步改進一影像感測器之性能，此乃由於用於磷及硼之在矽與二氧化矽之間的偏析係數可提供於介面 704 之該矽側面之淨 n 型摻雜物之一有效的積累。此於介面 704 之矽中提高的淨 n 型摻雜濃度創造一電位梯度，其將光-產生電荷(亦即，電洞)引入該光電偵測器。雖然該電場梯度較小，但如先前技術井孔 304(見圖 3)之一靜電電位阱並未被創造於該表面上。同樣地，在隨後的 CMOS 製造步驟期間，正電荷可被俘獲於介面 704，其進一步將該光-產生電荷引向該光電偵測器。

於介面 704 之該感測器層側之該有效 n 摻雜物積累也可改進用於一 PMOS 影像感測器之暗電流性能。依照該肖克萊-裏德-霍爾 (Shockley-Read-Hall) 理論，用於捕獲之一單一類型之產生率為

$$U = \sigma v_{th} N_t * (n_i^2 - np) / (n + p + 2n_i \cosh((E_t - E_i) / kT)), \quad (1)$$

其中 U 為該產生率， σ 為該陷阱之捕獲橫截面， v_{th} 為該熱速度， N_t 為該陷阱密度， n 為該局部電子濃度， p 為該局部電洞濃度， n_i 為該本徵載流子濃度， E_t 為該陷阱能，及 E_i 為本徵費米 (Fermi) 能。無終端矽結合幾近為中間隙 ($E_t = E_i$)，因此 U 有效地減少至 $\sigma v_{th} n_t * n_i^2 / (n + p + 2n_i)$ ，其中該 np 項為零。在室溫下， n_i 為 $1.6E10 \text{ cm}^{-3}$ 。因此，於介面 704 之 $2E16 \text{ cm}^{-3}$ 之一電子濃度將來自懸盪矽結合之該暗電流之產生抑制幾乎六個數量級，其有效地鈍化介面 704。此與圖 2 所示之該 NMOS 影像感測器不同，其中於介面 204

之矽側面之該有效n摻雜物之積累產生該硼濃度之一井孔(見圖3之點304)。

在依照本發明之另一實施例中，於井孔800之該摻雜物可被摻雜使得一提高摻雜物梯度被形成於井孔800。舉例而言，可藉由執行一植入物鏈(其導致於介面704之n型摻雜物之一更大的數量)來形成該摻雜物梯度。此等摻雜物梯度提供一更均勻的電場於井孔800以便光-產生電荷被更有效地驅動進入光電偵測器616。

圖10繪示當三種磷植入物之一鏈被植入井孔800時於介面704之沿圖8之線C-C'之一替代例示性摻雜分佈。線1000繪示在一深井孔植入之後及在STI區域803(圖8)之加熱氧化之前之該磷摻雜物。線1002闡示在該STI區域之加熱氧化之後之該磷摻雜物。該STI氧化使該n型摻雜物在井孔800發生熱擴散且使摻雜分佈1000之該等最高值及最低值被移除。移移該等最高值及最低值可降低介面704與光電偵測器616之間的靜電分佈之電位阱。此外，當於井孔800之該n型摻雜物為磷時，於介面704之該磷偏析可如前述改進滯後及暗電流之性能。值得再次注意的是此用於定義一n型井孔800之該高能植入物劑量比用於在具有相當滯後及暗電流性能的一相應NMOS像素中定義一p型井孔之該劑量低得多。

現參照圖11，其顯示在依照本發明之一實施例中該標準CMOS電路之一部分之一橫截面圖；該等標準PMOS 1100及NMOS 1102電晶體，及與其相關較淺的n井孔1104及p井

孔1106植入物不受該成像區域502(圖5)之該深井孔植入物800(圖8)之影響。在成像區域502之外之該CMOS電路之該等p型1100及n型1102電晶體可利用該標準CMOS處理流程而被製造。在製造該濾色鏡陣列之過程中，在依照本發明之一實施例中，該CMOS電路藉由一不透明的遮光罩(未顯示)而被保護不受背面照明。該遮光罩可為金屬，紅、綠、及藍濾色鏡陣列材料之一堆疊層，或一獨特的吸光材料。

圖12為在依照本發明之一實施例中一替代像素結構之一橫截面圖。像素500包含若干圖8所示之相同元件，及相同的參考數字被用於指示此等元件。藉由有效地產生光電偵測器616之一「擴展」，像素500可增加連同區域1200之光電偵測器616之一消耗深度。在依照本發明之一實施例中，區域1200略微摻雜有一個或多個p型摻雜物。

埋設井孔1202及側井孔1204、1206被摻雜有一n型摻雜物及被形成使得p區域1200被創造於光電偵測器616，埋設井孔1202，及側井孔1204、1206之間。側n井孔1204、1206將該等光-產生電荷導入光電偵測器616及將井孔接觸件816電連接至埋設井孔1202。在依照本發明之其他實施例中，側井孔1204、1206與埋設井孔1202直接接觸而非與其鄰接。申請於2008年3月25日及題為「具有一延展消耗深度之一光電偵測器之一像素結構」之美國專利申請案12/054,505以引用的方式併入本文中，其更詳細地描述圖12之該像素結構及一替代像素結構，其中側井孔1204、

1206不與埋設井孔1202鄰接。

圖13(A)至13(E)為一像素之一部分之一橫截面圖，其用於闡示在依照本發明之一實施例中製造圖12所示之光電偵測器616、埋設井孔1202，及側井孔1204、1206之一方法。僅此等對於理解本發明係為必需的製造步驟被顯示於圖13。最初，如圖13(A)所示，外延層1300利用一已知製造技術而被形成於絕緣層604(圖6)。在依照本發明之一實施例中，外延層1300及基板602(圖6)被摻雜有一p型摻雜物。

其次，如圖13(B)所示，外延層1300之一部分被摻雜有一個或多個n型摻雜物(由箭頭1302代表摻雜)以形成埋設井孔1202(圖12)。在圖13(B)所示之該實施例中，埋設井孔1202藉由將一個或多個n型摻雜物植入外延層1300而被形成。埋設井孔1202僅被設置於外延層1300之一部分，且剩餘外延層1300之一部分將被用於形成p區域1200(圖12)。

其次，如圖13(C)所示，遮罩1304被沈積及圖案化於該像素上方。側井孔1204、1206(圖12)隨後藉由將一個或多個n型摻雜物植入外延層1300(在圖13(C)中由箭頭1306代表摻雜)而被形成於外延層1300之部分。熟習此項技術者將理解，淺槽隔離(STI)803被形成於外延層1300及在側井孔1204、1206形成之前被填充有一介電材料(STI 803之形成為可選的且並非為本發明之一部分)。在圖13(C)所示之實施例中，側井孔1204、1206不與埋設井孔1202鄰接。在依照本發明之另一實施例中，側井孔1204、1206與埋設井孔

1202鄰接且直接接觸(如圖12之實施例所示)。

如圖13(D)所示，遮罩1304隨後被移除及轉移閘極1308被形成於該像素之表面上。遮罩1310被沈積及圖案化於該像素及光電偵測器616藉由將一個或多個p型摻雜物摻雜入外延層1300之一部分(由箭頭1312代表摻雜)而被形成於外延層1300之一部分。被植入光電偵測器616之該或該等p型摻雜物可自行對準於轉移閘極1308，從而改進該像素之滯後性能。

其次，如圖13(E)所示，遮罩1310被移除及另一遮罩1314沈積及圖案化於該像素之表面。釘扎層802(圖8)隨後可藉由將一個或多個n型摻雜物摻雜入光電偵測器616之一部分(由箭頭1316代表摻雜)而被形成於光電偵測器616。雖然圖13(E)繪示側井孔1206未與光電偵測器616及釘扎層802鄰接，但是熟習此項技術者將理解側井孔1206可被形成以與光電偵測器616鄰接及直接接觸。

現參照圖14，其顯示像素之一部分之一橫截面圖，其用於闡示在依照本發明之一實施例中於圖6(C)所示之製程點之像素。於感測器層606(見圖6)之一像素包含側井孔1204、1206，光電偵測器616，及被形成於外延層1300之埋設井孔1202。釘扎層802被形成於光電偵測器616上方。及最終，在依照本發明之一實施例中，一個或多個STI區域803被形成於感測器層606。

感測器層606之該背側620鄰接絕緣層604及感測器層606之該前側618鄰接電路層608(圖6)。電路層608包含轉移閘

極 1308 及其他特徵與導電性互連部(未顯示)。支撐基板 622 與電路層 608 結合。如前所述，在絕緣層 604 與感測器層 606 之間的介面 704 藉由於介面 704 之該感測器層側之該或該等 n 型摻雜物之累積而被鈍化。此鈍化可降低或防止電位阱形成於介面 704 之該感測器層側。

圖 15(A) 至 15(B) 為用於闡示依照本發明之一實施例中製造埋設井孔 1202 之一第一替代方法之橫截面圖，其可被執行以代替圖 13(B) 所示之步驟。在依照本發明之一實施例中，絕緣層 604 及基板 602 之該組合厚度在二十至一萬埃之間。最初，利用一已知製造技術被稱為一種晶層之層 1500 被形成於絕緣層 604 (圖 6) 之表面(見圖 15(A))。

遮罩 1502 隨後被沈積於層 1500 上方且被圖案化以形成開口 1504。層 1500 之一部分被摻雜有一個或多個 n 型摻雜物(由箭頭 1506 代表摻雜)以形成埋設井孔 1202 (圖 12)。在依照本發明之一實施例中，如磷、砷、或銻之一 n 型摻雜物被植入層 1500。

其次，如圖 15(B) 所示，遮罩 1502 被移除及外延層 1300 在層 1500 上生長。在依照本發明之一實施例中，外延層 1300 為一本徵層或一輕度 p 摻雜層。圖 15(B) 所示之該結構隨後按照圖 13(C) 至 13(E) 所示之該等步驟被處理。

現參照圖 16(A) 至 16(B)，其顯示用於闡示製造埋設井孔 1202 之一第二替代方法之一像素之一部分之橫截面圖，在依照本發明之一實施例中該方法可被執行以代替圖 13(B) 所示之步驟。最初，一 n 型摻雜層 1202 利用一已知製造技

術而被形成於絕緣層604(見圖6)。外延層1300隨後在層1202上生長，從而引發層1202變成一埋設井孔。圖16(B)所示之該結構隨後按照圖13(C)至13(E)所示之該等步驟被處理。

參照本發明之特定的實施例來描述本發明。然而，一般技術者將理解可在不背離本發明之範圍的前提下實現變化及修改。舉例而言，像素構造可包含附加的、較少的，或不同的組件(與圖8及11所示之該等組件相比)。一大塊晶圓(無外延層1300)可被用於製造一影像感測器。

此外，在依照本發明之其他實施例中，光電偵測器616可利用替代結構而被實行。在依照本發明之另一實施例中，光電偵測器616可被用作一無銷釘p型二極體，其形成於一p型外延層或基板之一n井孔。及最終，雖然一簡單的非共享像素結構被顯示於圖8及圖11，一共享結構可被用於依照本發明之其他實施例。一共享結構之一實例被揭示於美國專利6,107,655。

【圖式簡單說明】

圖1為依照先前技術之一前側照明影像感測器之一簡化橫截面示意圖；

圖2為依照先前技術之一背照式影像感測器之一簡化橫截面示意圖；

圖3繪示沿圖2之線A-A'之介面204之一例示性摻雜分佈；

圖4為在一依照本發明之實施例中一影像捕獲裝置之一

簡化方塊圖；

圖 5 為在一依照本發明之實施例中 4 所示之影像感測器 406 之一簡化方塊圖；

圖 6(A) 至 6(C) 為依照本發明之一實施例中之一影像感測器之一部分之簡化橫截面圖，其被用於闡示一種製造一背照式影像感測器之方法；

圖 7 為在依照本發明之一實施例中影像感測器 406 之一部分沿圖 5 之線 B-B' 之一橫截面圖；

圖 8 為在依照本發明之一實施例中一第一像素結構之一橫截面圖；

圖 9 繪示在依照本發明之一實施例中沿圖 8 之線 C-C' 之介面 704 之一例示性的摻雜分佈；

圖 10 為在依照本發明之一實施例中沿圖 8 之線 C-C' 之介面 704 之一替代例示性的摻雜分佈之一示意圖；

圖 11 為在依照本發明之一實施例中該標準 CMOS 電路之一部分之一橫截面圖；

圖 12 為在依照本發明之一實施例中一替代像素結構之一橫截面圖；

圖 13(A) 至 13(E) 為像素之一部分之一橫截面圖，其用於闡示在依照本發明之一實施例中製造圖 12 所示之光電偵測器 616、埋設井孔 1202，及側井孔 1204、1206 之一方法；

圖 14 為像素之一部分之一橫截面圖，其用於闡示在依照本發明之一實施例中圖 6(C) 所示之該製程點之像素；

圖 15(A) 至 15(B) 係一像素之一部分的橫截面圖，其用於

闡示依照本發明之一實施例中製造埋設井孔1202之一第一替代方法，該方法可被執行以代替圖13(B)所示之步驟；及

圖16(A)至16(B)一像素之一部分之橫截面圖，其用於闡示依照本發明之一實施例中製造埋設井孔1202之一第二替代方法，該方法可被執行以代替圖13(B)所示之步驟。

【主要元件符號說明】

100	影像感測器
102	像素
104	像素
106	像素
108	感測器層
110	電路層
112	光電偵測器
114	光電偵測器
116	光電偵測器
118	互連
120	互連
122	閘極
124	光
126	感測器層之前側
128	感測器層之背側
200	影像感測器
202	支撐基板
204	介面

206	絕緣層
300	在隨後之CMOS製造步驟之前的摻雜分佈
302	在隨後之CMOS製造步驟之後的摻雜分佈
304	電位阱
400	影像捕獲裝置
402	光
404	成像台
406	影像感測器
408	處理器
410	記憶體
412	顯示器
414	其他I/O(輸入/輸出)
500	像素
502	成像區域
504	行解碼器
506	列解碼器
508	數位邏輯
510	類比或數位輸出電路
600	影像感測器晶圓
602	基板
604	絕緣層
606	感測器層
608	電路層
610	互連

612	互連
614	閘極
616	光電偵測器
618	感測器層之前側
620	感測器層之背側
622	支撐晶圓
700	濾色鏡元件
702	微透鏡
704	感測器層與絕緣層之間的介面
800	井孔
802	釘扎層
803	淺槽隔離 (STI)
804	轉移閘極
806	電荷-電壓轉換器
808	源極跟隨器電晶體
810	重設電晶體
812	重設電晶體
814	井孔接觸件
816	井孔接觸件
900	硼摻雜 SOI 晶圓之摻雜分佈
902	磷摻雜井孔之摻雜分佈
904	磷摻雜物之累積
906	減少的硼摻雜物
1000	磷摻雜物之摻雜分佈

- 1002 在隨後之製造步驟之後之磷摻雜物的摻雜分佈
- 1100 PMOS(P型金氧半導體)電晶體
- 1102 NMOS(n型金氧半導體)電晶體
- 1104 n井孔
- 1106 p井孔
- 1200 p型區域
- 1202 埋設井孔
- 1204 側井孔
- 1206 側井孔
- 1300 外延層
- 1302 代表摻雜之箭頭
- 1304 遮罩
- 1306 代表摻雜之箭頭
- 1308 轉移閘極
- 1310 遮罩
- 1312 代表摻雜之箭頭
- 1314 遮罩
- 1316 代表摻雜之箭頭
- 1500 層
- 1502 遮罩
- 1504 開口
- 1506 代表摻雜之箭頭

七、申請專利範圍：

103年9月2日修正原(本) P.1-5

1. 一種背照式影像感測器，其包括：

一感測器層，其係設置於一絕緣層與一電連接至該感測器層的電路層之間，其中該感測器層之一前側鄰接該電路層，且該感測器層之一背側鄰接該絕緣層；

一成像區域，其包含複數個光電偵測器，用於將入射至該感測器層之背側之光轉換為光-產生電荷，其中該複數個光電偵測器係摻雜有一 p 型摻雜物，且係設置於鄰接該感測器層之前側之該感測器層；及

一井孔，其橫跨該成像區域，且係形成於鄰接該感測器層背側之該感測器層的至少一部分中，其中該井孔係摻雜有一 n 型摻雜物，該 n 型摻雜物具有一偏析係數，可使該 n 型摻雜物積聚於該感測器層之背側及該絕緣層之間之一介面之該感測器層側上，其中該 n 型摻雜物濃度於該介面增加且該 p 型摻雜物之濃度於該介面減少。

2. 如請求項 1 之背照式影像感測器，進一步包括一與該電路層結合之支撐基板。

3. 如請求項 1 之背照式影像感測器，其中該井孔包含一埋設井孔。

4. 如請求項 3 之背照式影像感測器，進一步包括一第一側井孔，其係形成為橫向地鄰接至且位於每一光電偵測器之一側上，及一第二側井孔，其係形成為橫向地鄰接至且位於每一光電偵測器之該相對側上，其中該第一及第二側井孔係摻雜有一 n 型摻雜物。

5. 如請求項4之背照式影像感測器，進一步包括一摻雜有一p型摻雜物之區域，其係設置於該埋設井孔、每一光電偵測器，及各自第一與第二側井孔之間。
6. 如請求項5之背照式影像感測器，其中該n型摻雜物包括一磷摻雜物、一銻摻雜物及一砷摻雜物中之一者。
7. 如請求項1之背照式影像感測器，其中該感測器層包括一矽層。
8. 如請求項1之背照式影像感測器，其中該井孔中之該n型摻雜物具有一摻雜物梯度，其經組態以驅動該等光-產生電荷進入距離該等光-產生電荷最近的各自光電偵測器中。
9. 如請求項1之背照式影像感測器，其中以一預定電位對該井孔施加偏壓。
10. 一種影像捕獲裝置，其包括：
 - 一背照式影像感測器，其包含：
 - 一感測器層，其係設置於一絕緣層與一電連接至該感測器層的電路層之間，其中該感測器層之一前側鄰接該電路層，且該感測器層之一背側鄰接該絕緣層；
 - 一成像區域，其包含複數個光電偵測器，用於將入射至該感測器層之背側的光轉換為光-產生電荷，其中該複數個光電偵測器係摻雜有一p型摻雜物，且係設置於鄰接該感測器層之前側；及
 - 一井孔，其橫跨該成像區域，且係形成於鄰接該感測器層背側之該感測器層之至少一部分中，其中該井

孔係摻雜有一n型摻雜物，該n型摻雜物具有一偏析係數，可使該n型摻雜物積聚於該感測器層之背側及該絕緣層之間之一介面之該感測器層側，其中該n型摻雜物濃度於該介面增加且該p型摻雜物之濃度於該介面減少。

11. 如請求項10之影像捕獲裝置，其中該井孔包括一埋設井孔。
12. 如請求項11之影像捕獲裝置，進一步包括一第一側井孔，其係形成為橫向地鄰接至且位於每一光電偵測器之一側中，及一第二側井孔，其係形成為橫向地鄰接至且位於每一光電偵測器之該相對側中，其中該第一及第二側井孔係摻雜有一n型摻雜物。
13. 如請求項12之影像捕獲裝置，進一步包括一摻雜有一p型摻雜物之區域，其係設置於該埋設井孔、每一光電偵測器，及各自第一與第二側井孔之間。
14. 如請求項13之影像捕獲裝置，其中於該井孔之該n型摻雜物具有一摻雜物梯度，其經組態以驅動該等光-產生電荷進入距離該等光-產生電荷最近的各自光電偵測器中。
15. 如請求項10之影像捕獲裝置，其中以一預定電位對該井孔施加偏壓。
16. 一種用於製造一背照式影像感測器之方法，其包含一設置於一絕緣層與一電連接至該感測器層之電路層之間的感測器層，其中該感測器層之一前側鄰接該電路層且該感測器層之一背側鄰接該絕緣層，該方法包括該等步

驟：

於該感測器層中形成至少一淺槽隔離(STI)區域，其包括該至少一STI區域之熱氧化；

將一n型摻雜物摻雜入該感測器層，以於鄰接該感測器層背側之該感測器層之至少一部分中形成一井孔，其中該n型摻雜物具有一偏析係數，可使該n型摻雜物積聚於該感測器層之背側與該絕緣層之間之一介面之該感測器層側，其中該井孔係一n型井孔，且其中以該n型摻雜物摻雜入該感測器層在該至少一STI區域之該熱氧化之後發生以減少該n型井孔中摻雜物的熱擴散；及

將一p型摻雜物摻雜入該感測器層以形成複數個光電偵測器，其可將入射至該感測器層之背側的光轉換為光-產生電荷，其中該複數個光電偵測器係形成為鄰接該感測器層之前側。

17. 如請求項16之方法，其中將一n型摻雜物摻雜入該感測器層以形成一井孔之步驟包括將一n型摻雜物植入該感測器層，以於鄰接該感測器層之背側之該感測器層的至少一部分中形成一井孔。
18. 如請求項17之方法，其中將一n型摻雜物植入該感測器層以形成一井孔之步驟包括將一n型摻雜物植入該感測器層，以於鄰接該感測器層之背側之該感測器層的至少一部分中形成一埋設井孔。
19. 如請求項18之方法，進一步包括下列步驟：將一n型摻雜物摻雜入該感測器層以形成一第一側井孔，其係形成

為橫向地鄰接至且位於每一光電偵測器之一側；及一第二側井孔，其係形成為橫向地鄰接至且位於每一光電偵測器之該相對側中。

20. 如請求項19之方法，其中該埋設井孔及第一與第二側井孔經形成使得一摻雜有一p型摻雜物的區域係設置於該埋設井孔、每一光電偵測器及該各自第一與第二側井孔之間。

八、圖式：

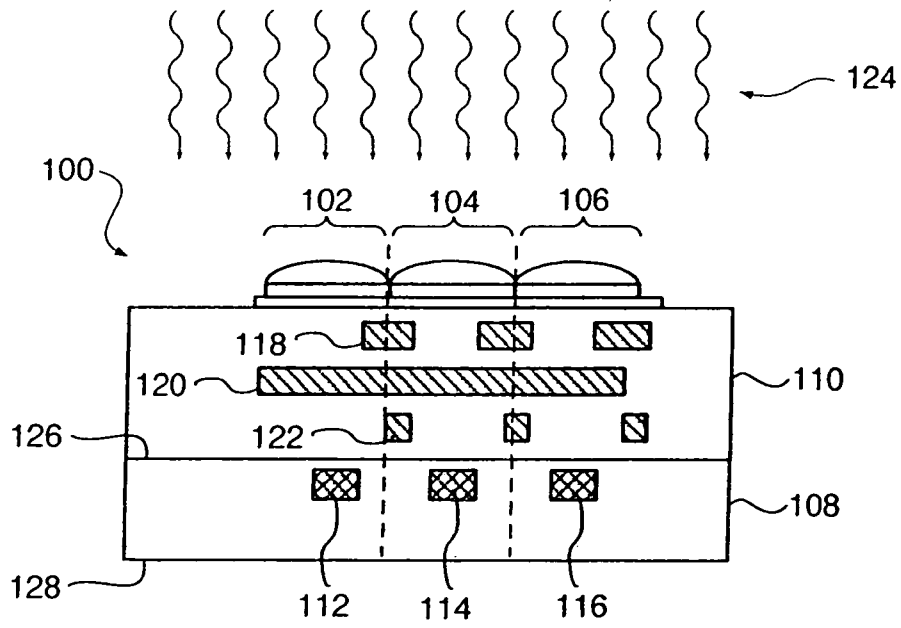


圖 1

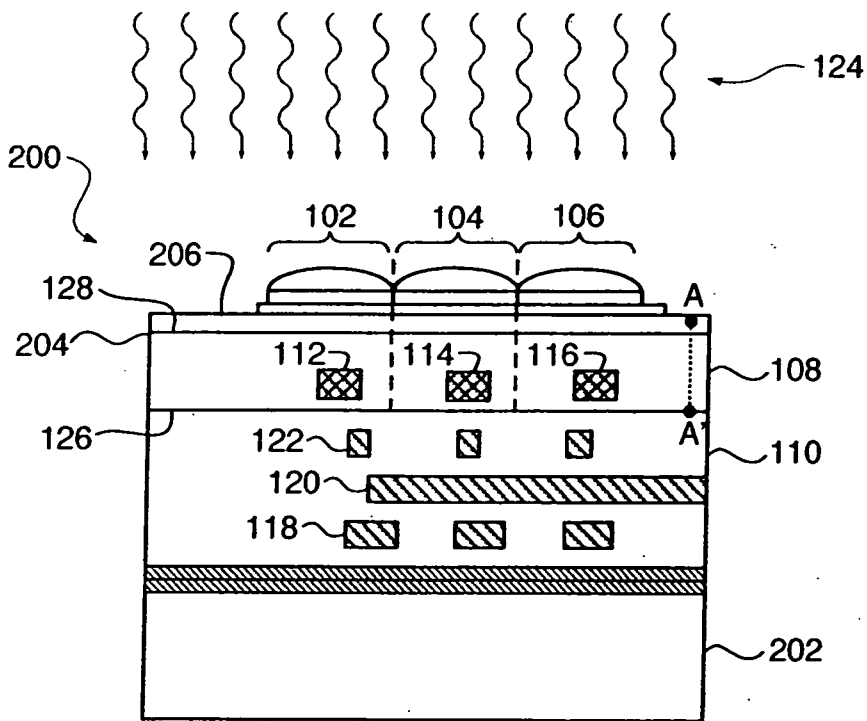
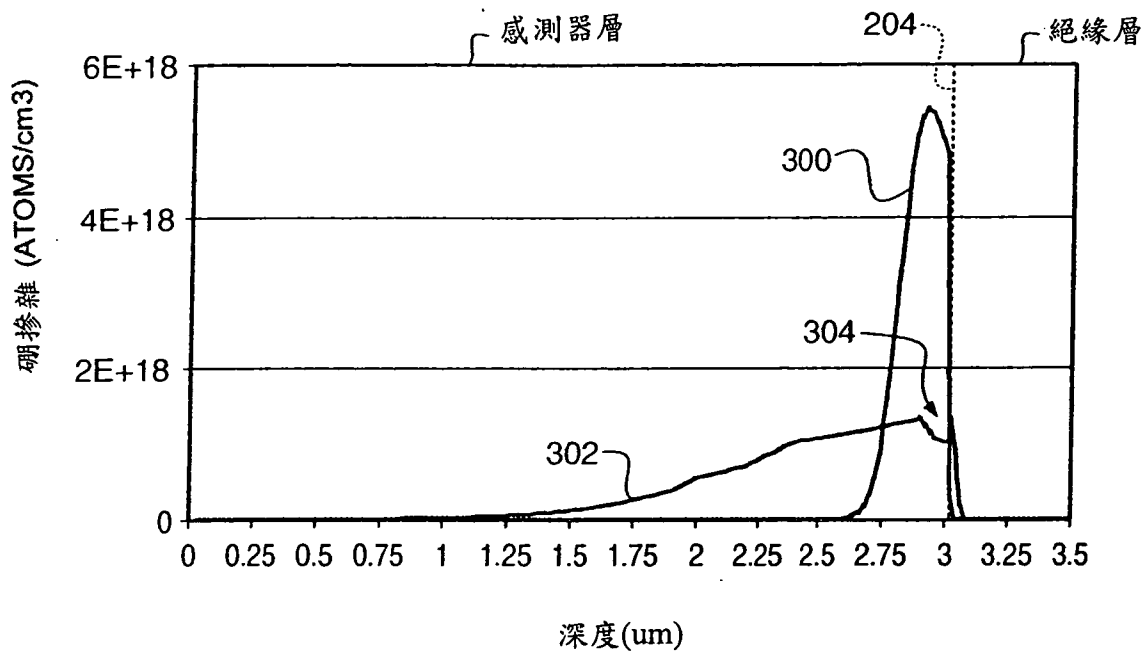


圖 2



深度(um)

圖 3

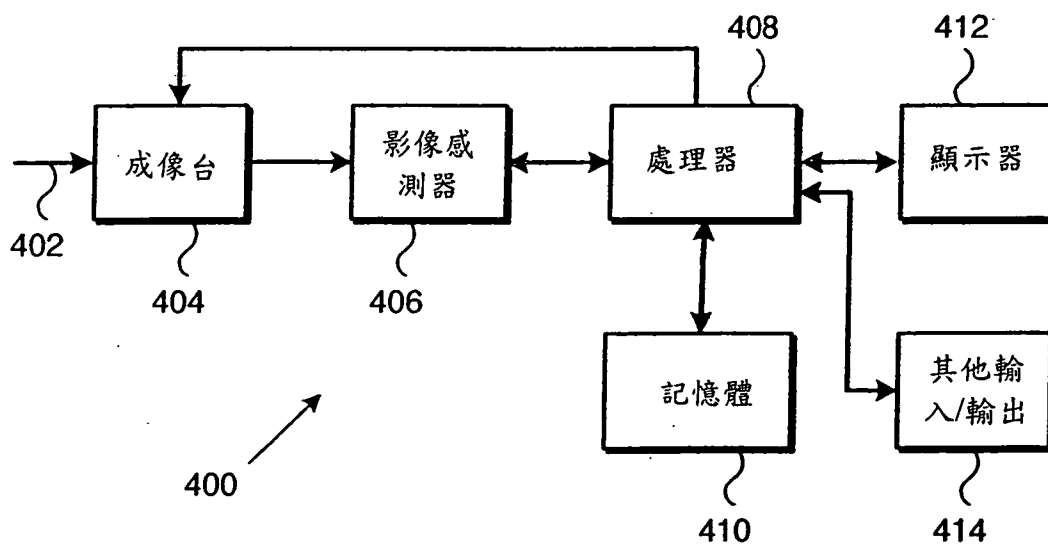


圖 4

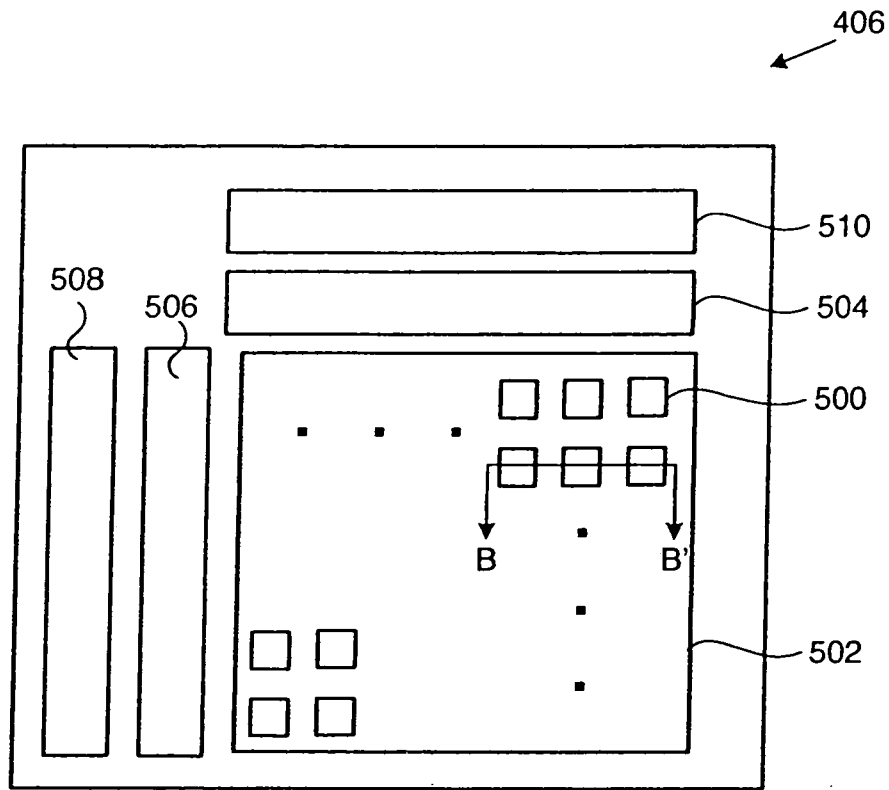


圖 5

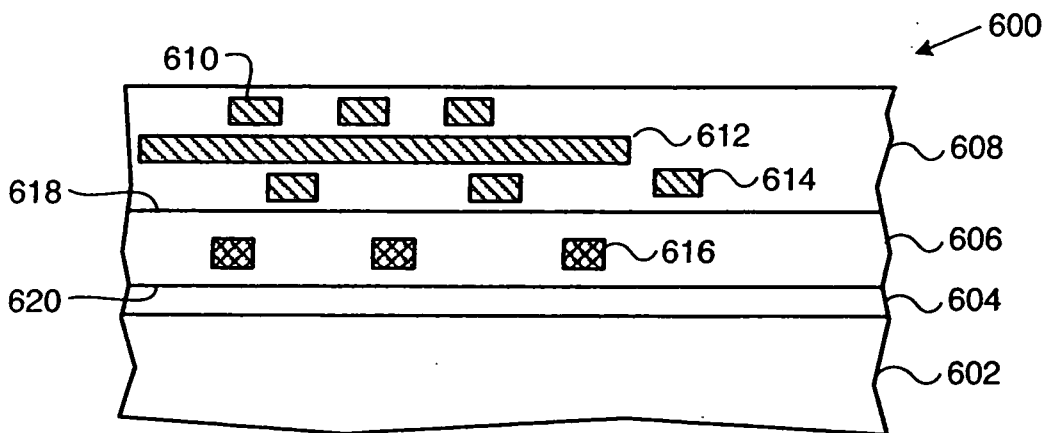


圖 6(A)

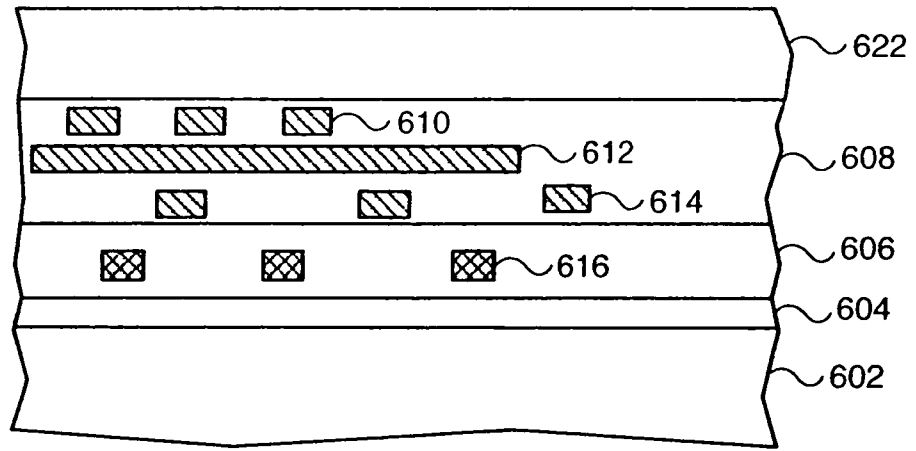


圖 6 (B)

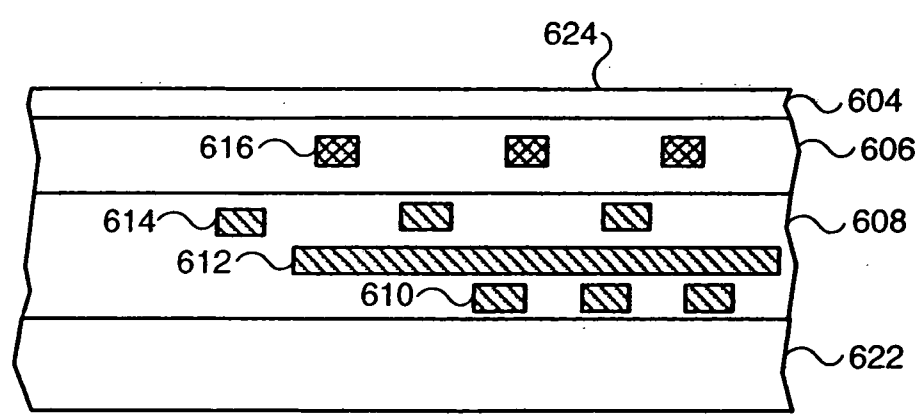


圖 6 (C)

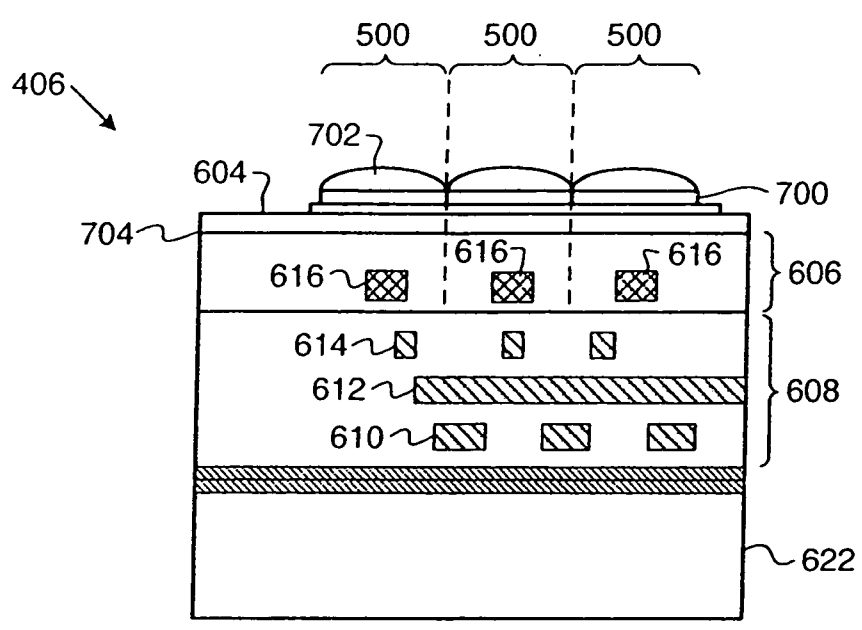


圖 7

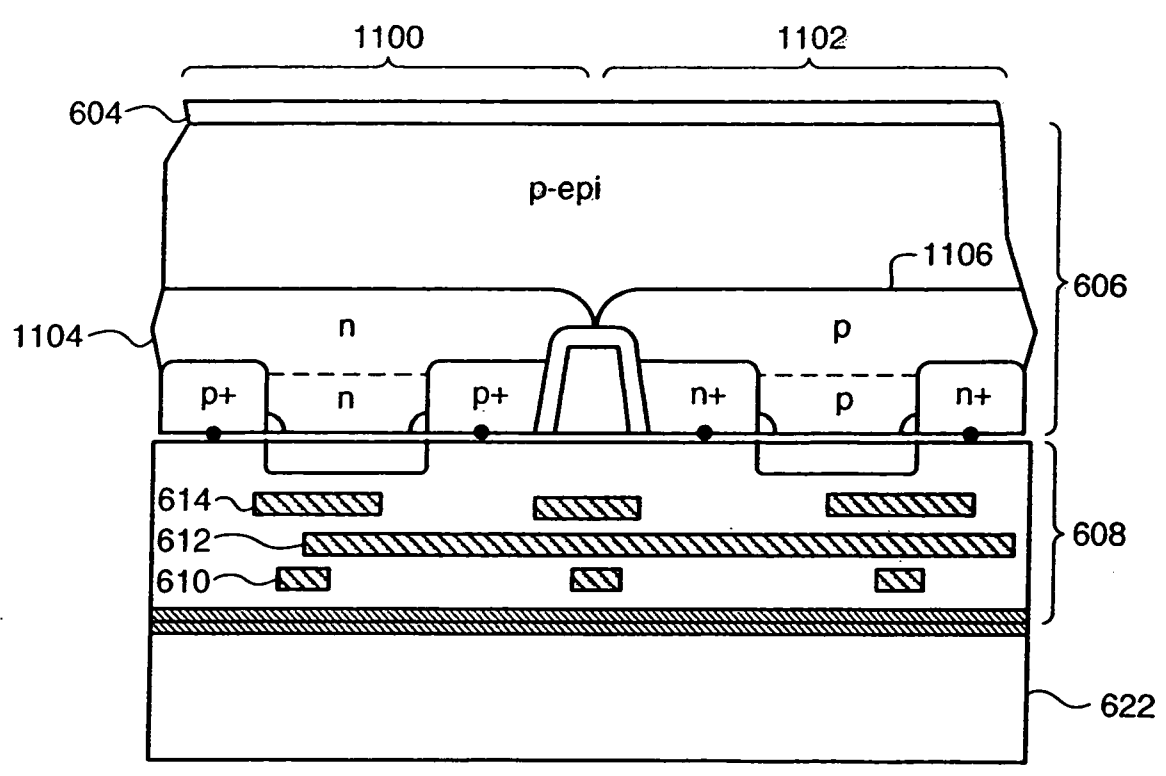


圖 11

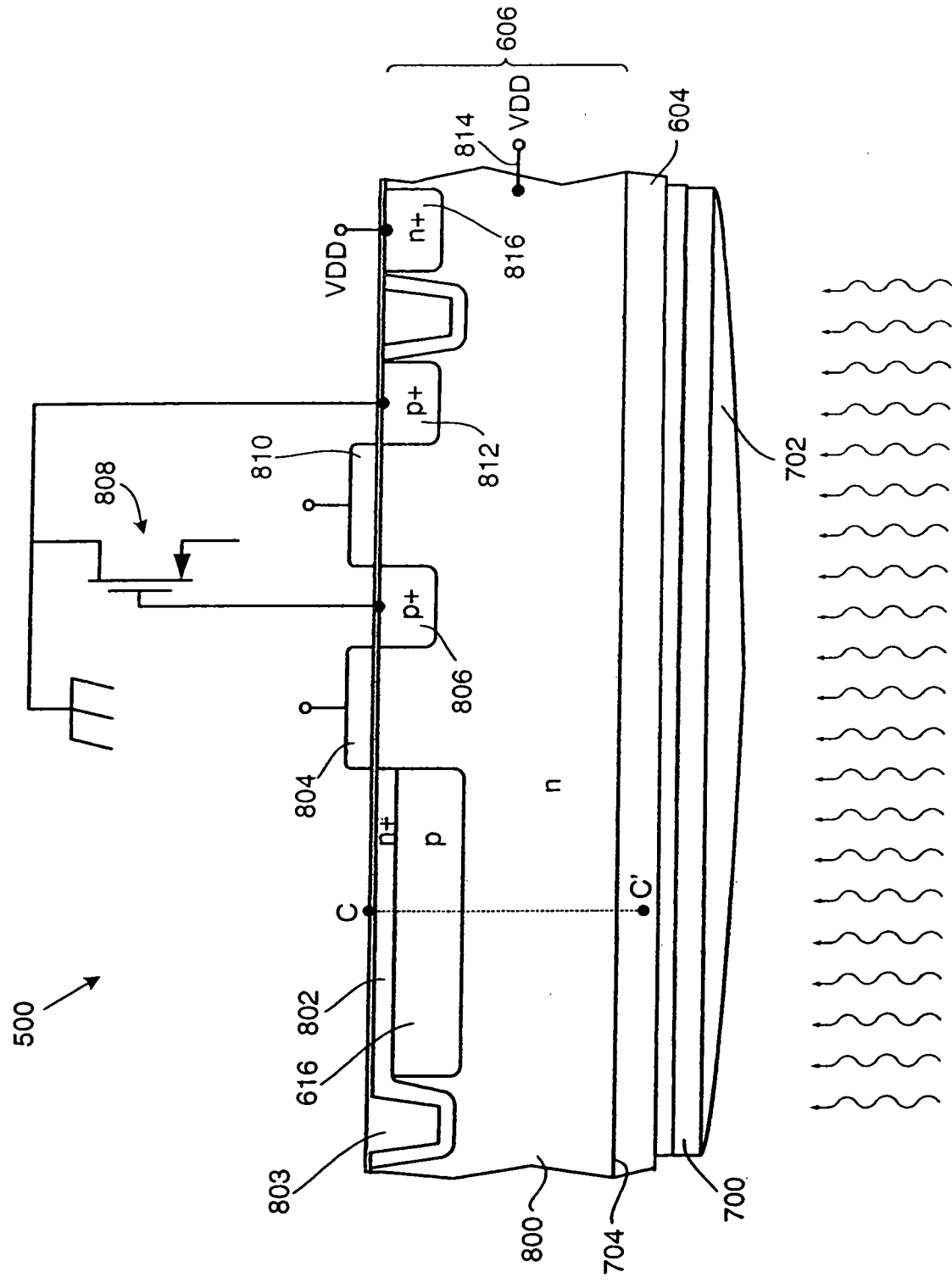


圖 8

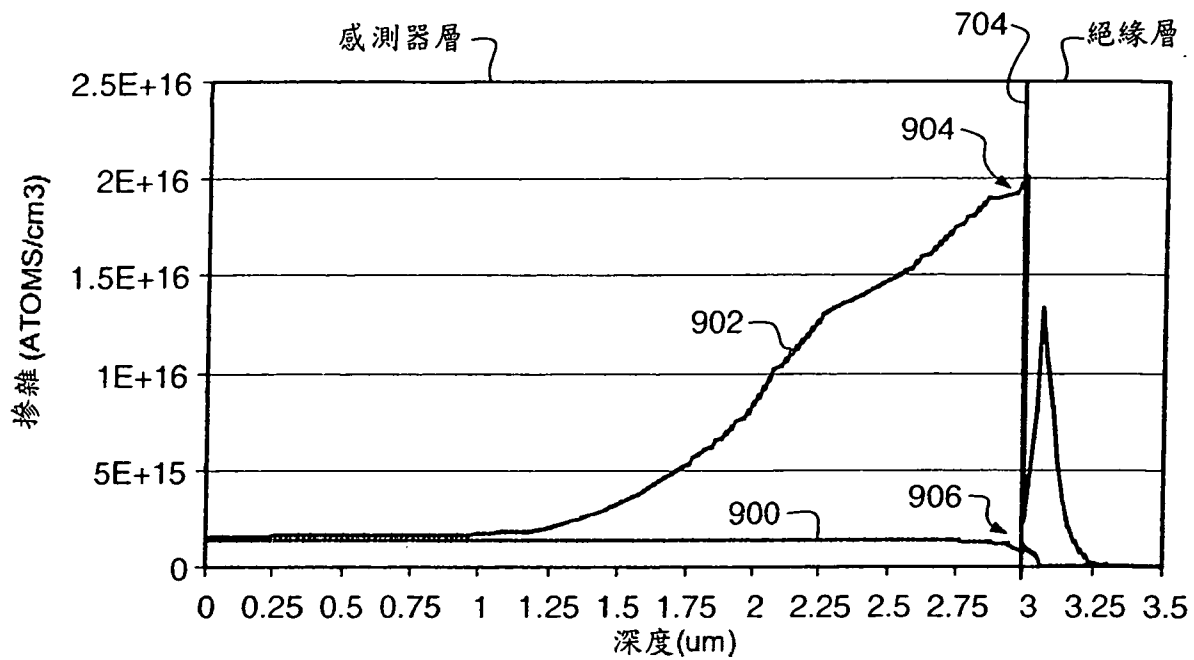


圖 9

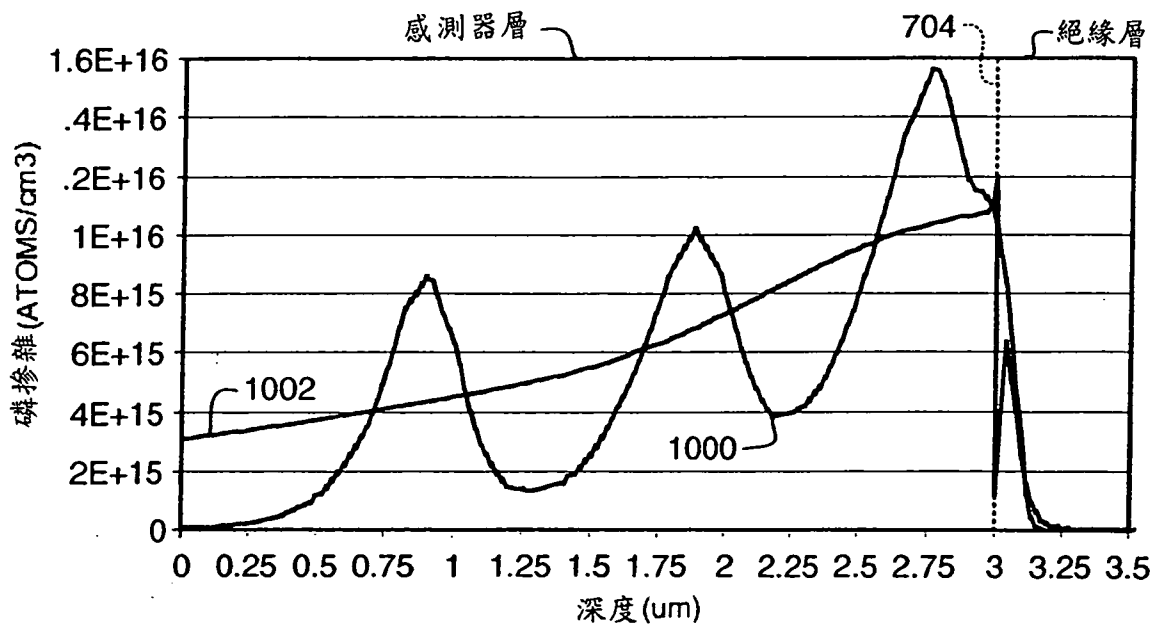


圖 10

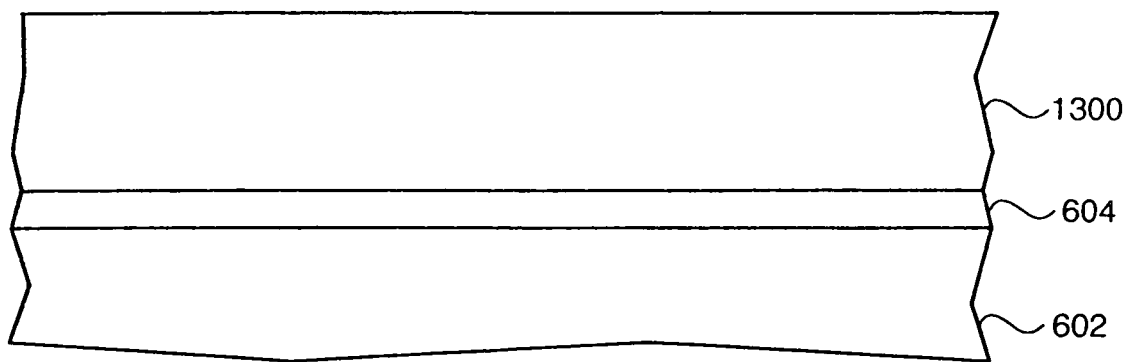


圖 13(A)

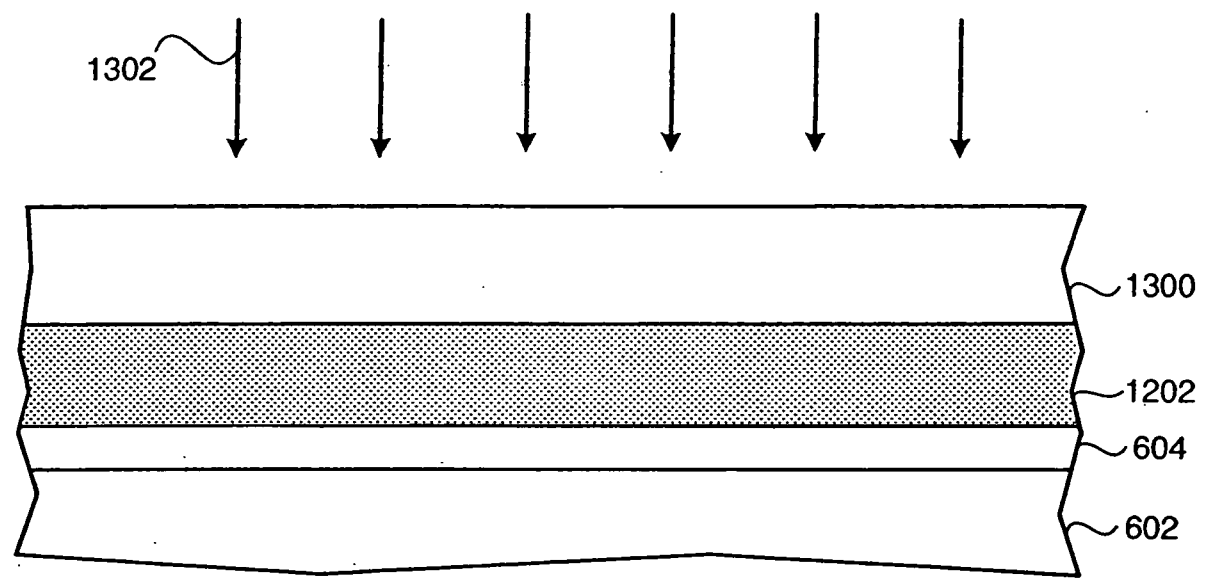


圖 13(B)

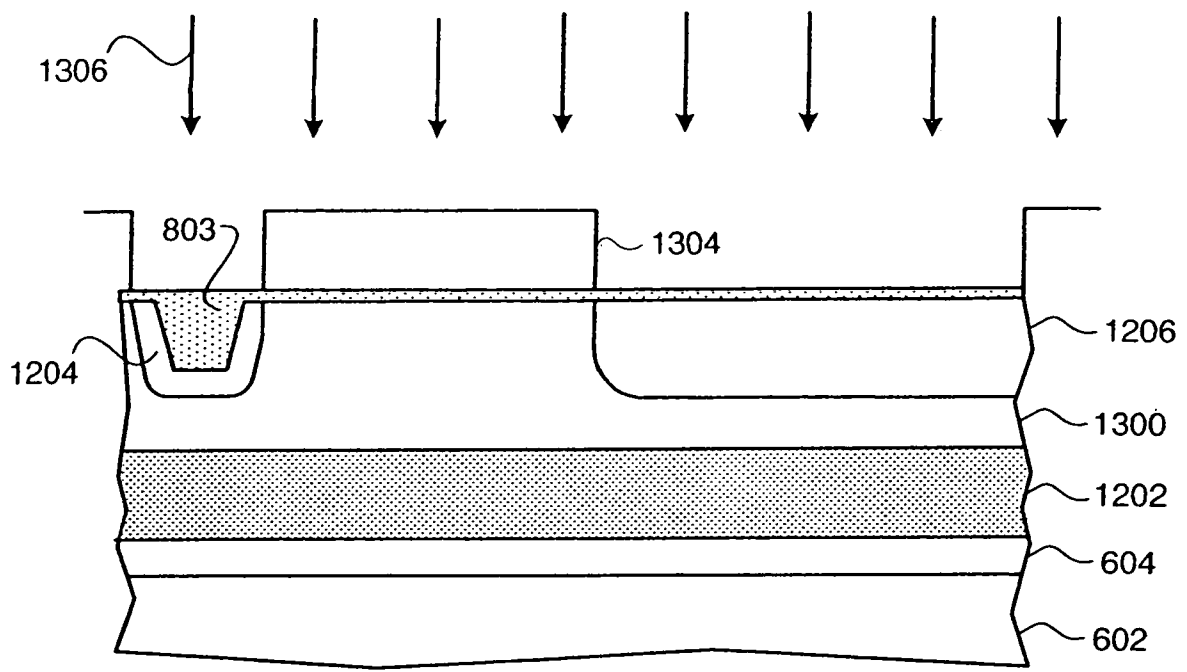


圖 13 (C)

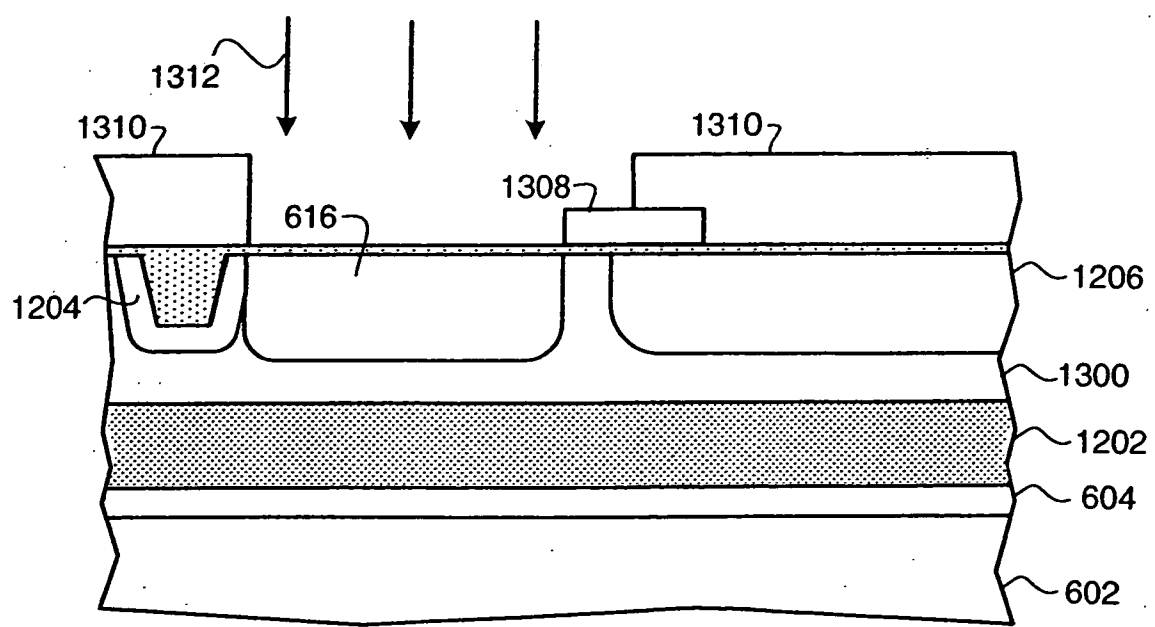


圖 13 (D)

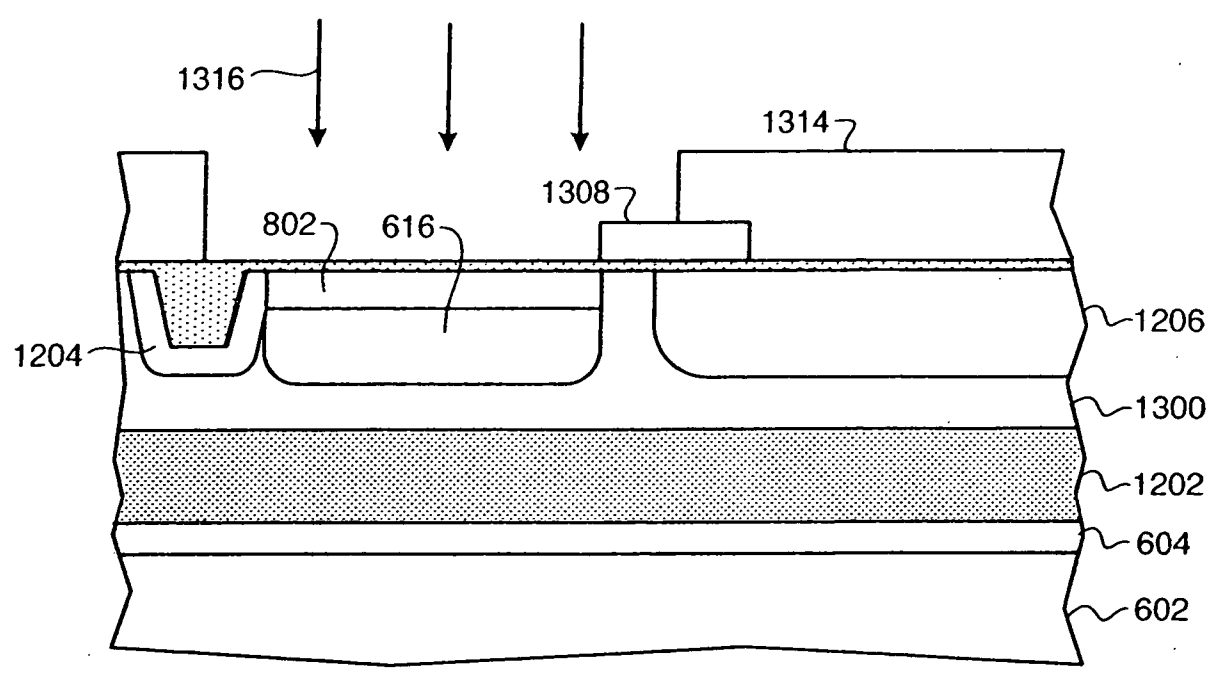


圖 13 (E)

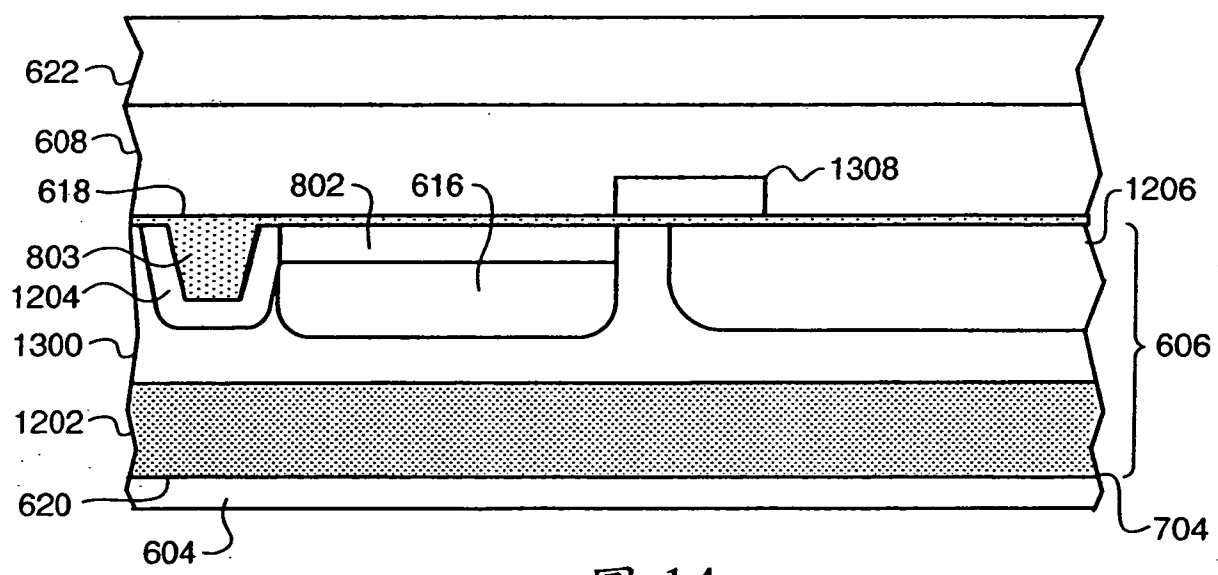


圖 14

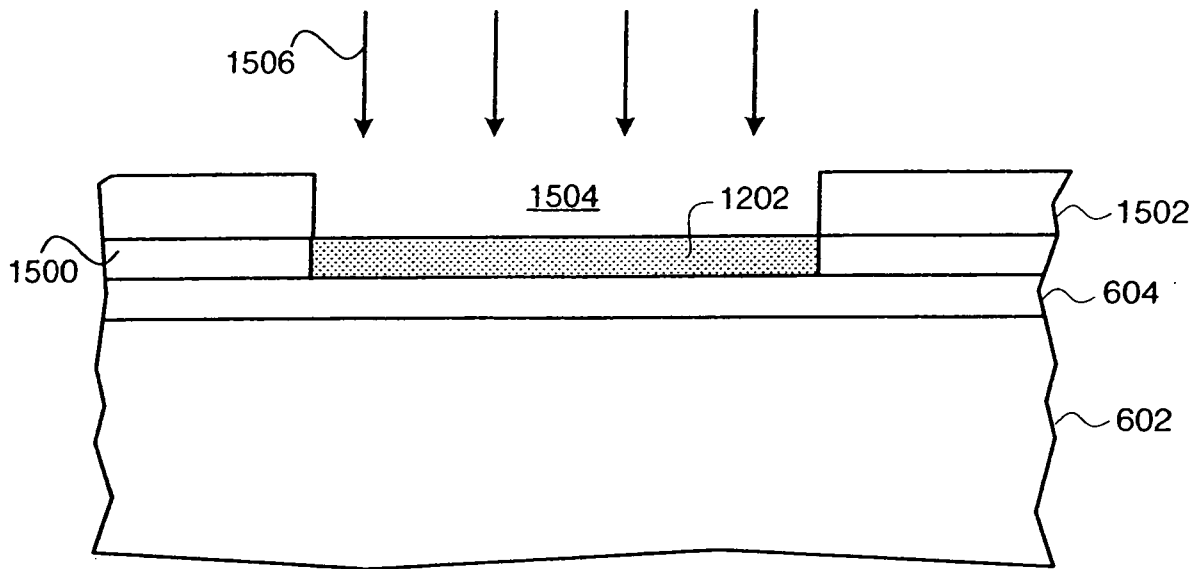


圖 15(A)

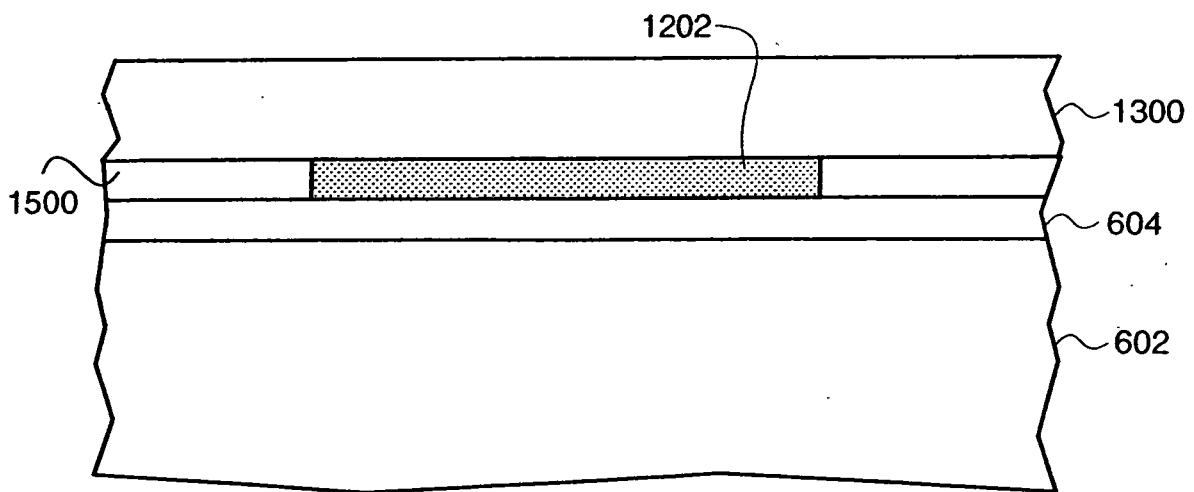


圖 15(B)

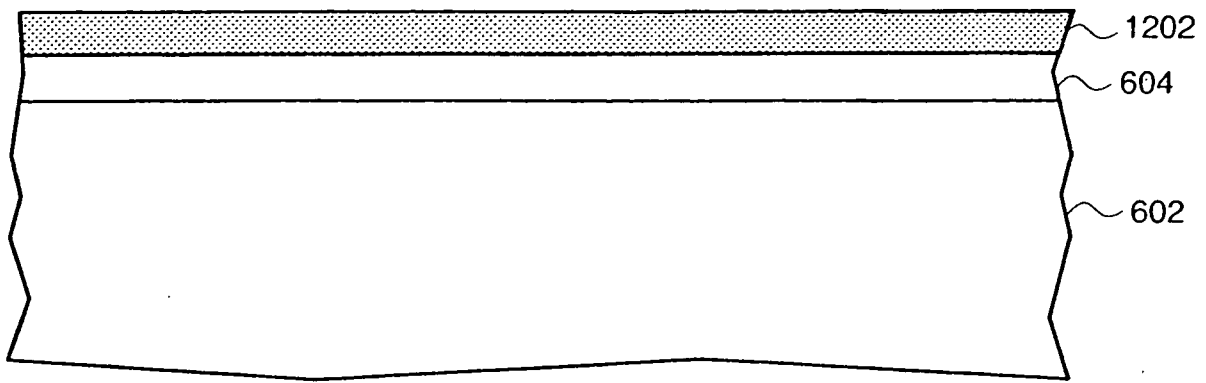


圖 16 (A)

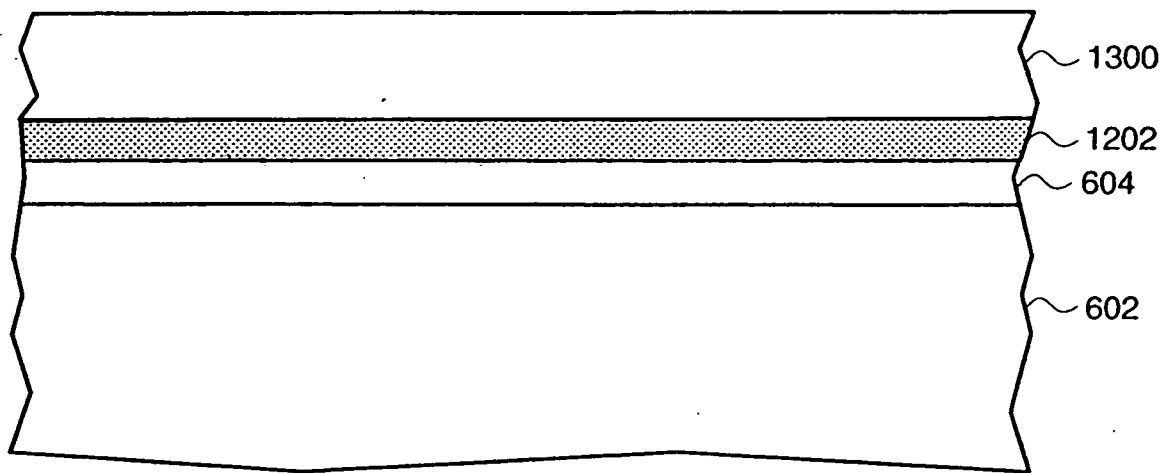


圖 16 (B)