



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I446673 B

(45) 公告日：中華民國 103 (2014) 年 07 月 21 日

(21) 申請案號：101103040

(22) 申請日：中華民國 101 (2012) 年 01 月 31 日

(51) Int. Cl. : **H02H9/04 (2006.01)**

(30) 優先權：2011/09/13 美國

61/533,796

(71) 申請人：全漢企業股份有限公司 (中華民國) FSP TECHNOLOGY INC. (TW)

桃園縣桃園市建國東路 22 號

(72) 發明人：林國藩 LIN, KUO FAN (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

TW 201119201A

US 4280174

US 6473318B1

US 2004/0085068A1

US 2005/0024898A1

US 2009/0257255A1

審查人員：莊程傑

申請專利範圍項數：13 項 圖式數：18 共 0 頁

(54) 名稱

阻尼器電路及將雙極性接面電晶體用於阻尼器電路之方法

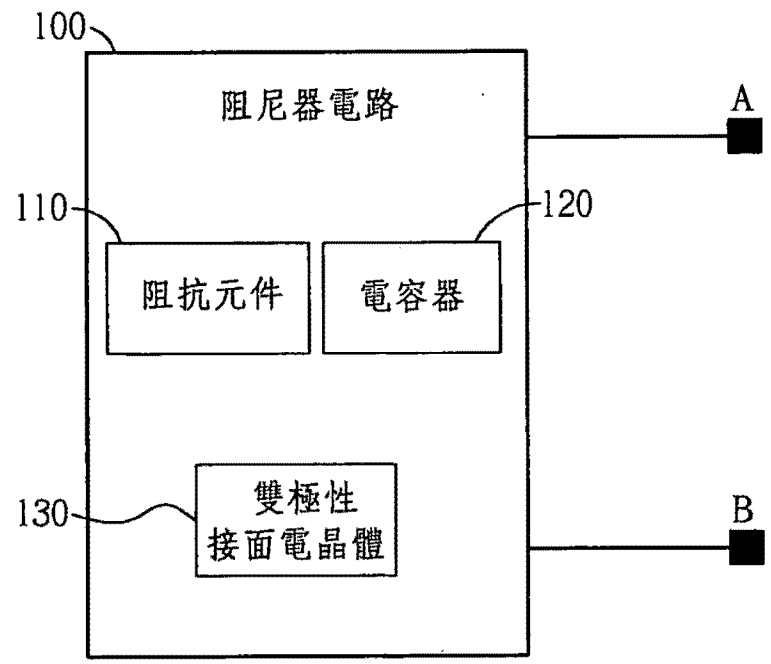
SNUBBER CIRCUIT AND METHOD OF USING BIPOLAR JUNCTION TRANSISTOR IN SNUBBER CIRCUIT

(57) 摘要

本發明提供一種阻尼器電路，其包含有：至少一阻抗元件、一電容器、以及一雙極性接面電晶體。該阻尼器電路係用於保護電力/電子元件、降低高頻干擾及突波電壓、以及改善效率。尤其是，該阻尼器電路中之該至少一阻抗元件可為至少一齊納二極體；針對保護電力/電子元件、降低高頻干擾及突波電壓、以及改善效率，該阻尼器電路在採用齊納二極體的情況下之效能較在採用別種阻抗元件的情況下之效能更佳。本發明另提供一種將雙極性接面電晶體用於阻尼器電路之方法。

A snubber circuit includes: at least one impedance component, a capacitor, and a Bipolar Junction Transistor (BJT). The snubber circuit is utilized for protecting electric/electronic components, reducing high frequency interference and pulse voltages, and enhancing efficiency. In particular, the at least one impedance component in the snubber circuit can be at least one Zener diode, where regarding protecting electric/electronic components, reducing high frequency interference and pulse voltages, and enhancing efficiency, the performance of the snubber circuit in a situation where the Zener diode is utilized is better than that of the snubber circuit in a situation where other types of impedance components are utilized. An associated method of using a BJT in a snubber circuit is also provided.

- 100 . . . 阻尼器電路
- 110 . . . 阻抗元件
- 120 . . . 電容器
- 130 . . . 雙極性接面電晶體



第1圖

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101103040

※申請日：101.1.31 ※IPC 分類：H02H 9/04 (2007.01)

一、發明名稱：(中文/英文)

阻尼器電路及將雙極性接面電晶體用於阻尼器電路之方法/SNUBBER
CIRCUIT AND METHOD OF USING BIPOLAR JUNCTION
TRANSISTOR IN SNUBBER CIRCUIT

二、中文發明摘要：

本發明提供一種阻尼器電路，其包含有：至少一阻抗元件、一電容器、以及一雙極性接面電晶體。該阻尼器電路係用於保護電力／電子元件、降低高頻干擾及突波電壓、以及改善效率。尤其是，該阻尼器電路中之該至少一阻抗元件可為至少一齊納二極體；針對保護電力／電子元件、降低高頻干擾及突波電壓、以及改善效率，該阻尼器電路在採用齊納二極體的情況下之效能較在採用別種阻抗元件的情況下之效能更佳。本發明另提供一種將雙極性接面電晶體用於阻尼器電路之方法。

三、英文發明摘要：

A snubber circuit includes: at least one impedance component, a capacitor, and a Bipolar Junction Transistor (BJT). The snubber circuit is utilized for protecting electric/electronic components, reducing high frequency interference and pulse voltages, and enhancing efficiency. In particular, the at least one impedance component in the snubber circuit

can be at least one Zener diode, where regarding protecting electric/electronic components, reducing high frequency interference and pulse voltages, and enhancing efficiency, the performance of the snubber circuit in a situation where the Zener diode is utilized is better than that of the snubber circuit in a situation where other types of impedance components are utilized. An associated method of using a BJT in a snubber circuit is also provided.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100	阻尼器電路
110	阻抗元件
120	電容器
130	雙極性接面電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係有關於電力／電子元件之保護電路，尤指一種阻尼器電路（Snubber Circuit）以及將雙極性接面電晶體（Bipolar Junction Transistor, BJT）用於阻尼器電路之方法。

【先前技術】

近年來由於電子電路的技術不斷地發展，各種電力／電子元件之保護電路被廣泛地實施於諸多應用中。因此，這些保護電路的設計遂成為相當熱門的議題。傳統的保護電路當中，有某些阻尼器電路，其構造簡單、易於實施，故被廣泛地應用於電力／電子電路。然而，這些傳統的阻尼器電路還是有不足之處。例如：傳統的阻尼器電路之能量損耗很高，且其效率通常很差。又例如：傳統的阻尼器電路無法確保最高突波電壓值之限制，也就是說，突波電壓值可能超過整體電路所能承受的範圍，故採用傳統的阻尼器電路易造成半導體元件的損壞。因此，需要一種新穎的方法來提昇阻尼器電路的電路保護之效能。

【發明內容】

因此本發明之目的之一在於提供一種阻尼器電路（Snubber Circuit）以及將雙極性接面電晶體（Bipolar Junction Transistor, BJT）用於阻尼器電路之方法，以解決上述問題。

本發明之另一目的在於提供一種阻尼器電路以及將雙極性接面電晶體用於阻尼器電路之方法，以保護電力／電子元件、降低高頻干擾及突波電壓、及／或改善效率。

本發明之較佳實施例中提供一種阻尼器電路，該阻尼器電路包含有：至少一阻抗元件、一電容器、以及一雙極性接面電晶體。尤其是，該阻尼器電路中之該至少一阻抗元件係為至少一齊納二極體（Zener Diode），其中該阻尼器電路在採用齊納二極體的情況下之效能較在採用別種阻抗元件的情況下之效能更佳。

本發明於提供上述阻尼器電路之同時，亦對應地提供一種將一雙極性接面電晶體用於一阻尼器電路之方法，該方法包含有下列步驟：將該雙極性接面電晶體之基極（Base）與射極（Emitter）導通；以及基於該雙極性接面電晶體之基極與集極（Collector）之間的至少一接面特性，利用該雙極性接面電晶體作為一快速二極體，以供設置於該阻尼器電路。尤其是，該至少一接面特性包含導通快之特性以及恢復時間（Storage Time）慢之特性，而且利用該雙極性接面電晶體作為該快速二極體之步驟另包含：利用該導通快之特性將漏感能量快速地轉移至該阻尼器電路當中之電容器中，再利用該恢復時間慢之特性使該電容器中能量反推回源頭。

本發明的好處之一是，本發明之阻尼器電路之構造簡單且易於

實施，同時能避免相關技術的問題。另外，本發明之阻尼器電路以及將雙極性接面電晶體用於阻尼器電路之方法可提供極佳的效率，又能確保最高突波電壓值，使各種電力／電子元件諸如保護半導體元件獲得最佳的保護。

【實施方式】

第 1 圖為依據本發明一第一實施例之一種阻尼器電路 (Snubber Circuit) 100 的示意圖，其中阻尼器電路 100 係為阻抗元件 (例如：齊納二極體 (Zener Diode)) - 電容器 (Capacitor) - 雙極性接面電晶體 (Bipolar Junction Transistor, BJT) 阻尼器電路，故可簡稱為 ZCB 阻尼器。於本實施例中，阻尼器電路 100 包含至少一阻抗元件 110 (例如：至少一齊納二極體)、一電容器 120、以及一雙極性接面電晶體 130。

依據本實施例，一種將雙極性接面電晶體 130 用於一阻尼器電路諸如阻尼器電路 100 之方法包含有下列步驟：將該雙極性接面電晶體之基極 (Base) 與射極 (Emitter) 導通；以及基於該雙極性接面電晶體之基極與集極 (Collector) 之間的至少一接面特性，利用該雙極性接面電晶體作為一快速二極體，以供設置於該阻尼器電路。尤其是，該至少一接面特性包含導通快之特性、恢復時間 (Storage Time) 慢之特性、變換緩和之特性、以及基極-集極接面電容 C_{bc} 小之特性，其中上述利用該雙極性接面電晶體作為該快速二極體之步驟另包含：利用該導通快之特性將漏感能量快速地轉移至該阻尼器

電路當中之電容器中，再利用該恢復時間慢之特性使該電容器中之能量反推回源頭，然後利用該變換緩和之特性以及該基極-集極接面電容 C_{bc} 小之特性縮小共振幅度。實作上，阻抗元件 110 可用來確保最高突波電壓值之限制並且用來消耗剩餘的能量。

依據某些實施例，諸如該第一實施例之某些變化例，上述之至少一阻抗元件 110 係為至少一齊納二極體，其中阻尼器電路 100 在採用齊納二極體的情況下之效能較在採用別種阻抗元件的情況下之效能更佳。實作上，該些實施例中之齊納二極體可用來確保最高突波電壓值之限制並且用來消耗剩餘的能量。

第 2 圖至第 9 圖繪示第 1 圖所示之阻尼器電路 100 於不同的實施例中所涉及之實施細節，其中第 2 圖至第 9 圖之實施例分別對應於類型 T_A 、 T_B 、 T_C 、 T_D 、 T_E 、 T_F 、 T_G 、與 T_H 。為了便於理解且便於說明，第 2 圖至第 9 圖所示之阻尼器電路可分別稱為阻尼器電路 100A、100B、100C、100D、100E、100F、100G、與 100H。

如第 2 圖所示，阻尼器電路 100A 包含齊納二極體 D1、電容器 C1、以及雙極性接面電晶體 Q1，其中雙極性接面電晶體 Q1 之基極與射極係被導通。如第 3 圖所示，阻尼器電路 100B 包含齊納二極體 D11、電容器 C6、以及雙極性接面電晶體 Q7，其中雙極性接面電晶體 Q7 之基極與射極係被導通。

如第 4 圖所示，阻尼器電路 100C 包含齊納二極體 D2、電容器 C2、以及雙極性接面電晶體 Q2，其中雙極性接面電晶體 Q2 之基極與射極係被導通。如第 5 圖所示，阻尼器電路 100D 包含齊納二極體 D12、電容器 C7、以及雙極性接面電晶體 Q8，其中雙極性接面電晶體 Q8 之基極與射極係被導通。

如第 6 圖所示，阻尼器電路 100E 包含齊納二極體 D3 與 D4、電容器 C3、以及雙極性接面電晶體 Q3，其中雙極性接面電晶體 Q3 之基極與射極係被導通。如第 7 圖所示，阻尼器電路 100F 包含齊納二極體 D9 與 D10、電容器 C8、以及雙極性接面電晶體 Q6，其中雙極性接面電晶體 Q6 之基極與射極係被導通。

如第 8 圖所示，阻尼器電路 100G 包含齊納二極體 D5 與 D6、電容器 C4、以及雙極性接面電晶體 Q4，其中雙極性接面電晶體 Q4 之基極與射極係被導通。如第 9 圖所示，阻尼器電路 100H 包含齊納二極體 D7 與 D8、電容器 C5、以及雙極性接面電晶體 Q5，其中雙極性接面電晶體 Q5 之基極與射極係被導通。

第 10 圖為第 1 圖所示之阻尼器電路 100 於某些實施例諸如上述各個實施例中所涉及之電壓 V_{ab} ，即端子 A 對端子 B 之電壓，其中阻尼器電路 100 可動態地調整電壓 V_{ab} 。基於上述之至少一接面特性，阻尼器電路 100 可利用雙極性接面電晶體 130 作為一快速二極體。尤其是，阻尼器電路 100 可利用該導通快之特性將漏感能量快

速地轉移至該阻尼器電路當中之一電容器中、利用該恢復時間慢之特性使該電容器中之能量反推回源頭、並且利用該變換緩和之特性以及該基極-集極接面電容 C_{bc} 小之特性縮小共振幅度，其中上述之阻抗元件 110 諸如齊納二極體 D1、D2、D3 與 D4、D5 與 D6、D7 與 D8、D9 與 D10、D11、以及 D12 可用來確保最高突波電壓值之限制並且用來消耗剩餘的能量。

第 11 圖至第 14 圖繪示第 10 圖所示之電壓 V_{ab} 於不同的實施例中對時間 t 之曲線，其中第 11 圖至第 14 圖所示之實施例分別對應於狀況 CS_1 、 CS_2 、 CS_3 、與 CS_4 。

依據第 11 圖所示之實施例，狀況 CS_1 代表電壓 V_{ab} 可大於或等於零並且突波可發生於電壓 V_{ab} 大於零的狀況，其中阻尼器電路 100E 與 100H 適用於狀況 CS_1 。

依據第 12 圖所示之實施例，狀況 CS_2 代表電壓 V_{ab} 可於正、負值之間切換並且突波可發生於電壓 V_{ab} 大於零（尤其是突波緊隨著電壓 V_{ab} 之上升緣之後）的狀況，其中阻尼器電路 100B 與 100C 適用於狀況 CS_2 。

依據第 13 圖所示之實施例，狀況 CS_3 代表電壓 V_{ab} 可小於或等於零並且突波可發生於電壓 V_{ab} 小於零的狀況，其中阻尼器電路 100F 與 100G 適用於狀況 CS_3 。

依據第 14 圖所示之實施例，狀況 CS_4 代表電壓 V_{ab} 可於正、負值之間切換並且突波可發生於電壓 V_{ab} 小於零（尤其是突波緊隨著電壓 V_{ab} 之下降緣之後）的狀況，其中阻尼器電路 100A 與 100D 適用於狀況 CS_4 。

第 15 圖繪示第 6 圖所示之阻尼器電路 100E 於一實施例中在狀況 CS_1 之運作，而第 16 圖則繪示第 6 圖所示之阻尼器電路 100E 於第 15 圖所示實施例中之相關曲線，其中符號 I_{C3} 、 I_{D4} 、與 I_{Q3} 分別代表通過電容器 C3 之電流、通過齊納二極體 D4 之電流、與通過雙極性接面電晶體 Q3 之電流。於本實施例中，阻尼器電路 100E 可確保最高突波電壓值之限制。尤其是，阻尼器電路 100E 可確保突波電壓值之最大值不超過 $V_{(d3+d4)}$ （即齊納二極體 D3 之崩潰電壓 V_{D3} 與齊納二極體 D4 之崩潰電壓 V_{D4} 的和）。

第 17 圖繪示第 4 圖所示之阻尼器電路 100C 於一實施例中在狀況 CS_2 之運作，而第 18 圖則繪示第 4 圖所示之阻尼器電路 100C 於第 17 圖所示實施例中之相關曲線，其中符號 I_{D2} 與 I_{Q2} 分別代表通過齊納二極體 D2 之電流與通過雙極性接面電晶體 Q2 之電流。於本實施例中，阻尼器電路 100C 可確保最高突波電壓值之限制。尤其是，阻尼器電路 100C 可確保突波電壓值之最大值不超過 V_{D2} （即齊納二極體 D2 之崩潰電壓）。

本發明的好處之一是，本發明之阻尼器電路之構造簡單且易於實施，同時能避免相關技術的問題。另外，本發明之阻尼器電路以及將雙極性接面電晶體用於阻尼器電路之方法可提供極佳的效率，又能確保最高突波電壓值，使各種電力／電子元件諸如保護半導體元件獲得最佳的保護。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

- 第 1 圖為依據本發明一第一實施例之一種阻尼器電路 (Snubber Circuit) 的示意圖，其中該阻尼器電路係為阻抗元件 (例如：齊納二極體 (Zener Diode)) - 電容器 - 雙極性接面電晶體 (Bipolar Junction Transistor, BJT) 阻尼器電路，故可簡稱為 ZCB 阻尼器。
- 第 2 圖至第 9 圖繪示第 1 圖所示之阻尼器電路於不同的實施例中所涉及之實施細節，其中第 2 圖至第 9 圖之實施例分別對應於類型 T_A 、 T_B 、 T_C 、 T_D 、 T_E 、 T_F 、 T_G 、與 T_H 。
- 第 10 圖為第 1 圖所示之阻尼器電路於某些實施例中所涉及之電壓，其中該阻尼器電路可動態地調整該電壓。
- 第 11 圖至第 14 圖繪示第 10 圖所示之電壓於不同的實施例中對時間之曲線，其中第 11 圖至第 14 圖所示之實施例分別對應於狀況 CS_1 、 CS_2 、 CS_3 、與 CS_4 。
- 第 15 圖繪示第 6 圖所示之阻尼器電路於一實施例中在狀況 CS_1 之運

作。

第 16 圖繪示第 6 圖所示之阻尼器電路於第 15 圖所示實施例中之相關曲線。

第 17 圖繪示第 4 圖所示之阻尼器電路於一實施例中在狀況 CS_2 之運作。

第 18 圖繪示第 4 圖所示之阻尼器電路於第 17 圖所示實施例中之相關曲線。

【主要元件符號說明】

100	阻尼器電路
110	阻抗元件
120、	電容器
C1、C2、C3、C4、	
C5、C6、C7、C8	
130、	雙極性接面電晶體
Q1、Q2、Q3、Q4、	
Q5、Q6、Q7、Q8	
A、B	端子
D1、D2、D3、D4、D5、	齊納二極體
D6、D7、D8、D9、D10、	
D11、D12	
I_C3、I_D4、I_Q3、	電流

I_{D2} 、 I_{Q2}

t

時間

V_{ab}

端子 A 對端子 B 之電壓

$V_{(d3+d4)}$ 、 V_{D2}

電壓

七、申請專利範圍：

1. 一種阻尼器電路 (Snubber Circuit)，該阻尼器電路包含有：
至少一阻抗元件；
一電容器，該電容器具有一第一端子與一第二端子，其中該電容器之該第一端子係電氣連接至該阻尼器電路之一第一端子；以及
一雙極性接面電晶體 (Bipolar Junction Transistor, BJT)，其中該雙極性接面電晶體之射極 (Emitter) 與集極 (Collector) 中之一者係電氣連接至該電容器之該第二端子，且該雙極性接面電晶體之射極與集極中之另一者係電氣連接至該阻尼器電路之一第二端子；
其中該至少一阻抗元件和該電容器並聯、或和該雙極性接面電晶體之射極與集極並聯；以及該雙極性接面電晶體之基極 (Base) 與射極係被導通。
2. 如申請專利範圍第 1 項所述之阻尼器電路，其中該至少一阻抗元件係為至少一齊納二極體 (Zener Diode)。
3. 如申請專利範圍第 1 項所述之阻尼器電路，其中基於該雙極性接面電晶體之基極 (Base) 與集極之間的至少一接面特性，該阻尼器電路利用該雙極性接面電晶體作為一快速二極體。

4. 如申請專利範圍第 3 項所述之阻尼器電路，其中該至少一接面特性包含導通快之特性以及恢復時間 (Storage Time) 慢之特性；以及該阻尼器電路利用該導通快之特性將漏感能量快速地轉移至該電容器中，且利用該恢復時間慢之特性使該電容器中能量反推回源頭。
5. 如申請專利範圍第 4 項所述之阻尼器電路，其中該至少一接面特性另包含變換緩和之特性以及基極-集極接面電容小之特性；以及該阻尼器電路利用該變換緩和之特性、該基極-集極接面電容小之特性縮小共振幅度。
6. 如申請專利範圍第 5 項所述之阻尼器電路，其中該阻抗元件係用來確保最高突波電壓值之限制並且用來消耗剩餘的能量。
7. 如申請專利範圍第 5 項所述之阻尼器電路，其中該至少一阻抗元件係為至少一齊納二極體 (Zener Diode)；以及該至少一齊納二極體係用來確保最高突波電壓值之限制並且用來消耗剩餘的能量。
8. 一種將一雙極性接面電晶體 (Bipolar Junction Transistor, BJT) 用於一阻尼器電路 (Snubber Circuit) 之方法，該方法包含有下列步驟：
將該雙極性接面電晶體之基極 (Base) 與射極 (Emitter) 導通；

以及

基於該雙極性接面電晶體之基極與集極 (Collector) 之間的至少一接面特性，利用該雙極性接面電晶體作為一快速二極體，以供設置於該阻尼器電路。

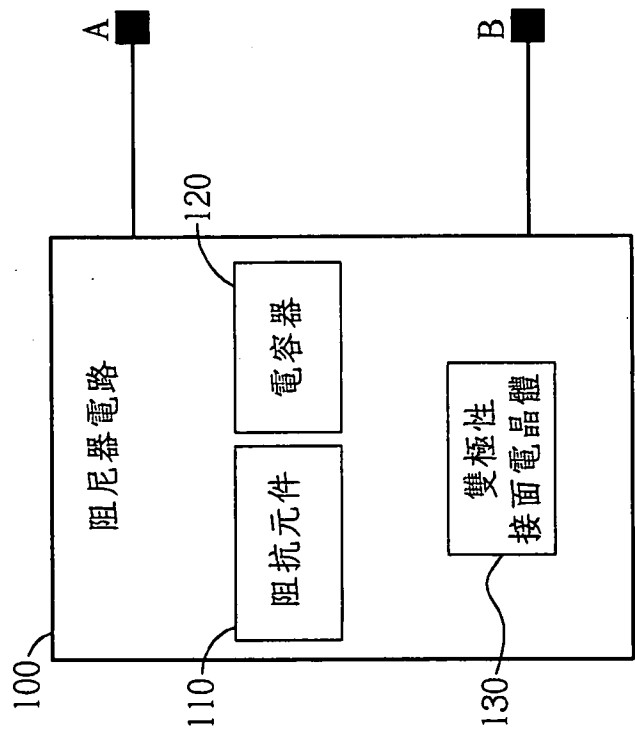
9. 如申請專利範圍第 8 項所述之方法，其中該至少一接面特性包含導通快之特性以及恢復時間 (Storage Time) 慢之特性；以及利用該雙極性接面電晶體作為該快速二極體之步驟另包含：利用該導通快之特性將漏感能量快速地轉移至該阻尼器電路當中之一電容器中，再利用該恢復時間慢之特性使該電容器中之能量反推回源頭。
10. 如申請專利範圍第 9 項所述之方法，其中該至少一接面特性另包含變換緩和之特性以及基極-集極接面電容小之特性；以及利用該雙極性接面電晶體作為該快速二極體之步驟另包含：利用該變換緩和之特性以及該基極-集極接面電容小之特性縮小共振幅度。
11. 如申請專利範圍第 10 項所述之方法，其另包含：利用至少一阻抗元件來確保最高突波電壓值之限制並且用來消耗剩餘的能量。
12. 如申請專利範圍第 10 項所述之方法，其另包含：

利用至少一齊納二極體 (Zener Diode) 來確保最高突波電壓值之限制並且用來消耗剩餘的能量。

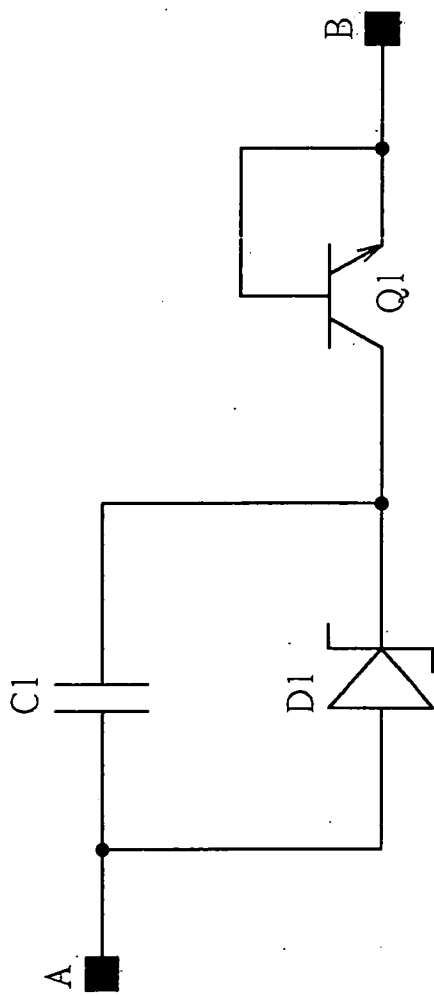
13. 一種阻尼器電路 (Snubber Circuit)，該阻尼器電路包含有：

- 一電容器，該電容器具有一第一端子與一第二端子，其中該電容器之該第一端子係電氣連接至該阻尼器電路之一第一端子；以及
- 一雙極性接面電晶體 (Bipolar Junction Transistor, BJT)，其中該雙極性接面電晶體之射極 (Emitter) 與集極 (Collector) 中之一者係電氣連接至該電容器之該第二端子，且該雙極性接面電晶體之射極與集極中之另一者係電氣連接至該阻尼器電路之一第二端子；以及該雙極性接面電晶體之基極 (Base) 與射極係被導通。

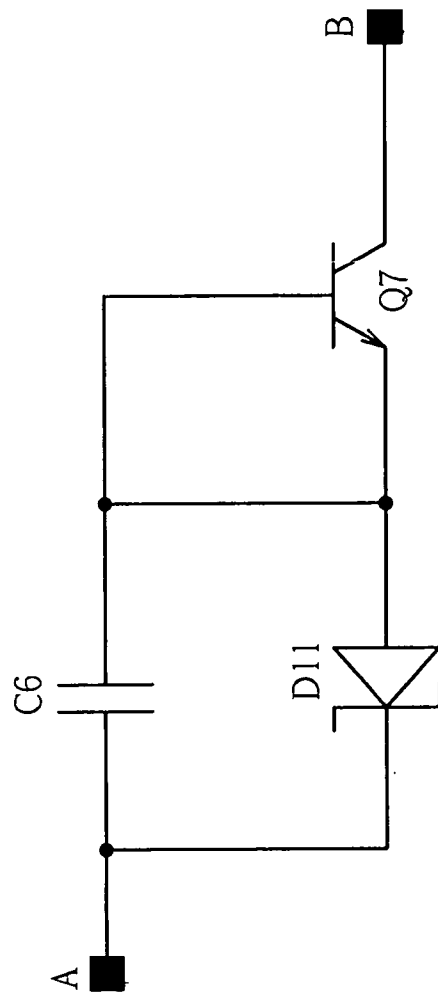
八、圖式：



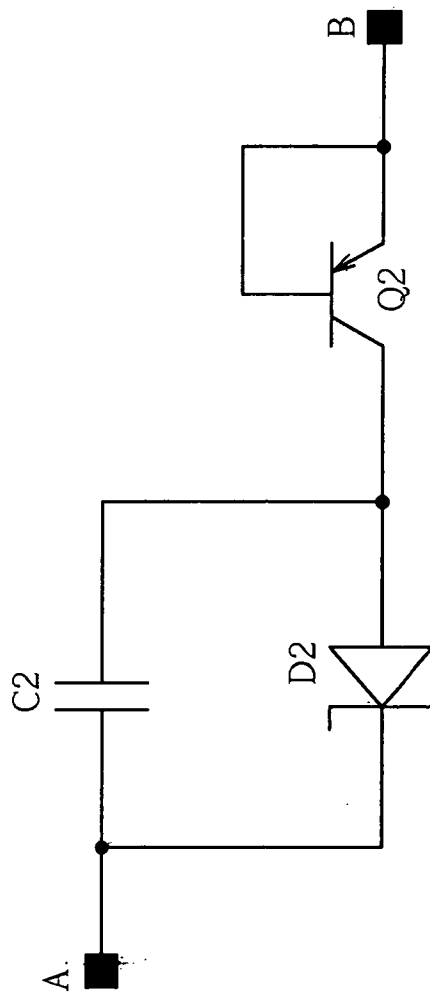
第1圖



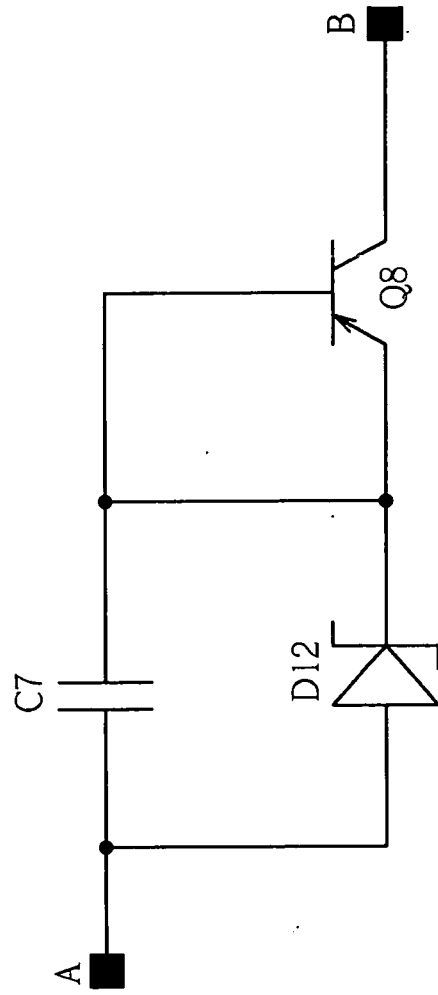
第2圖



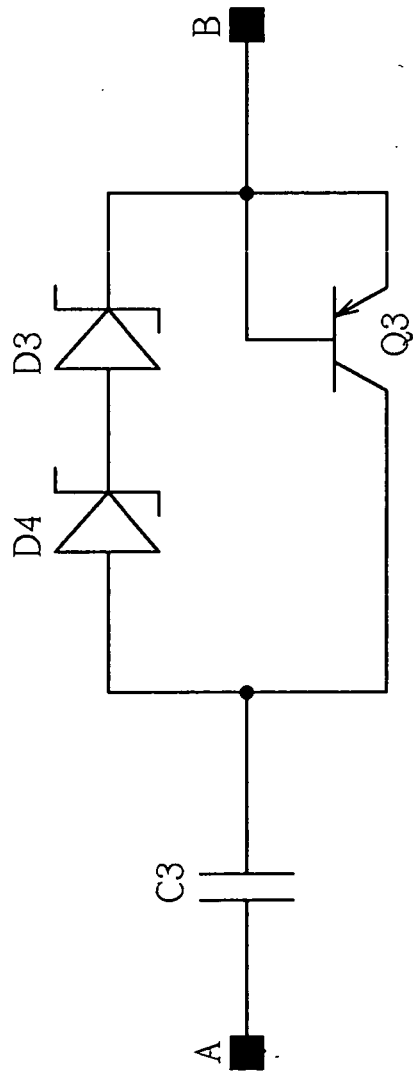
第3圖



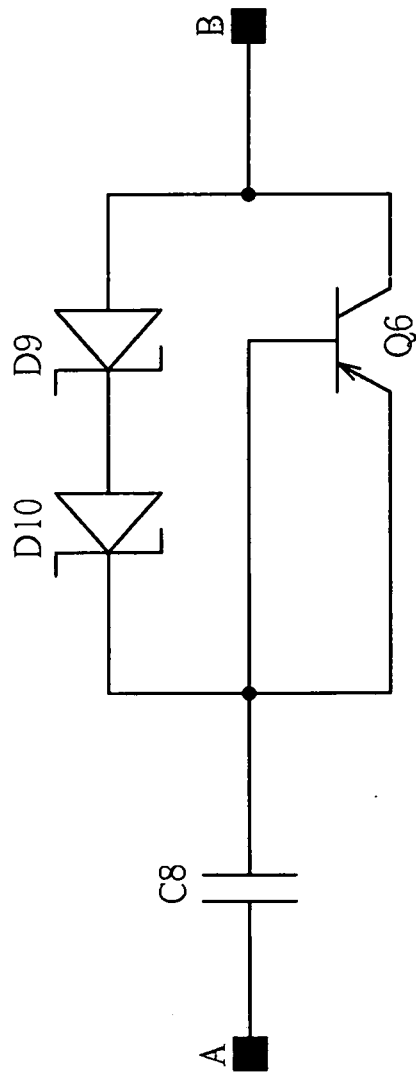
第4圖



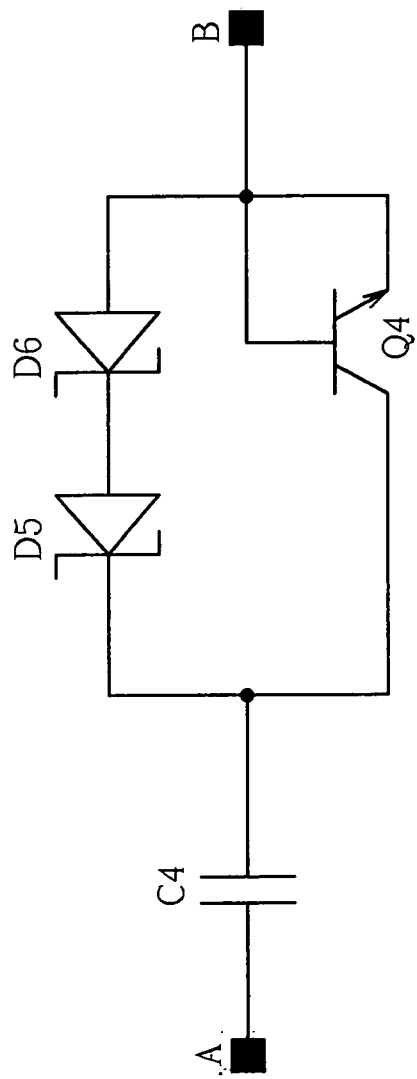
第5圖



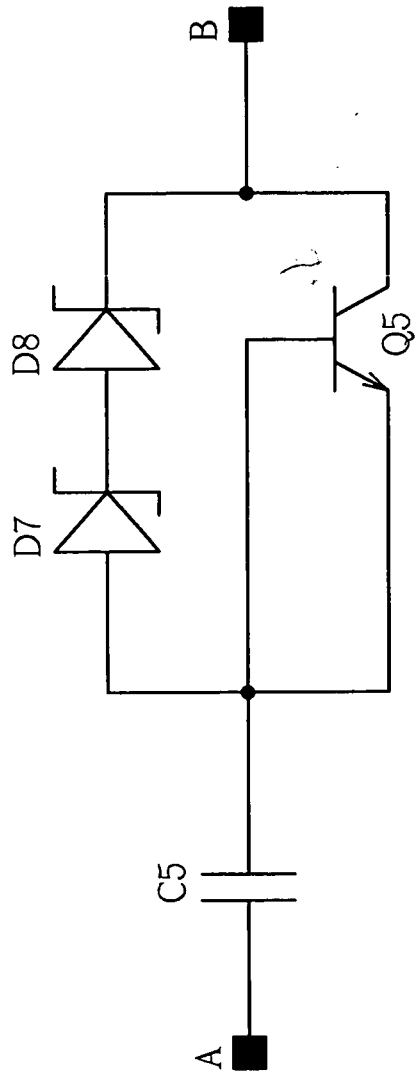
第6圖



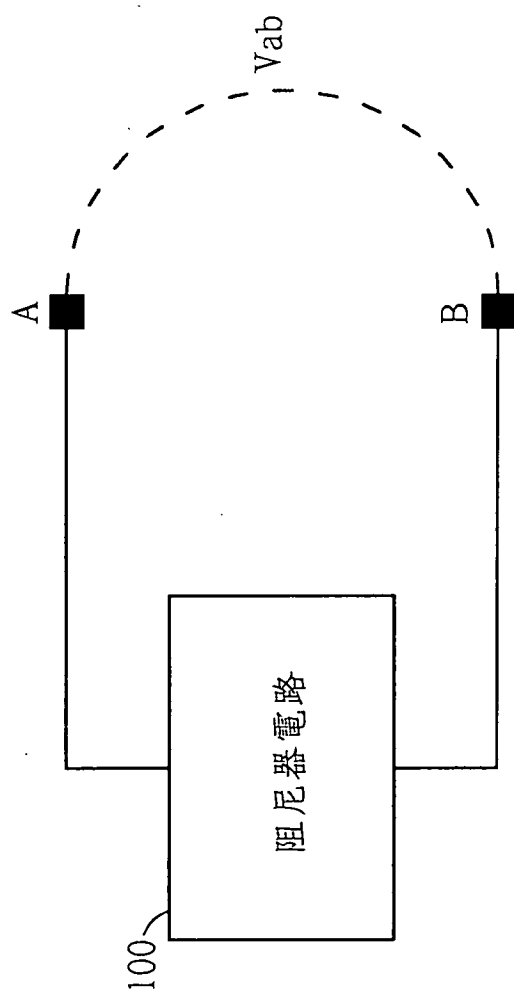
第7圖



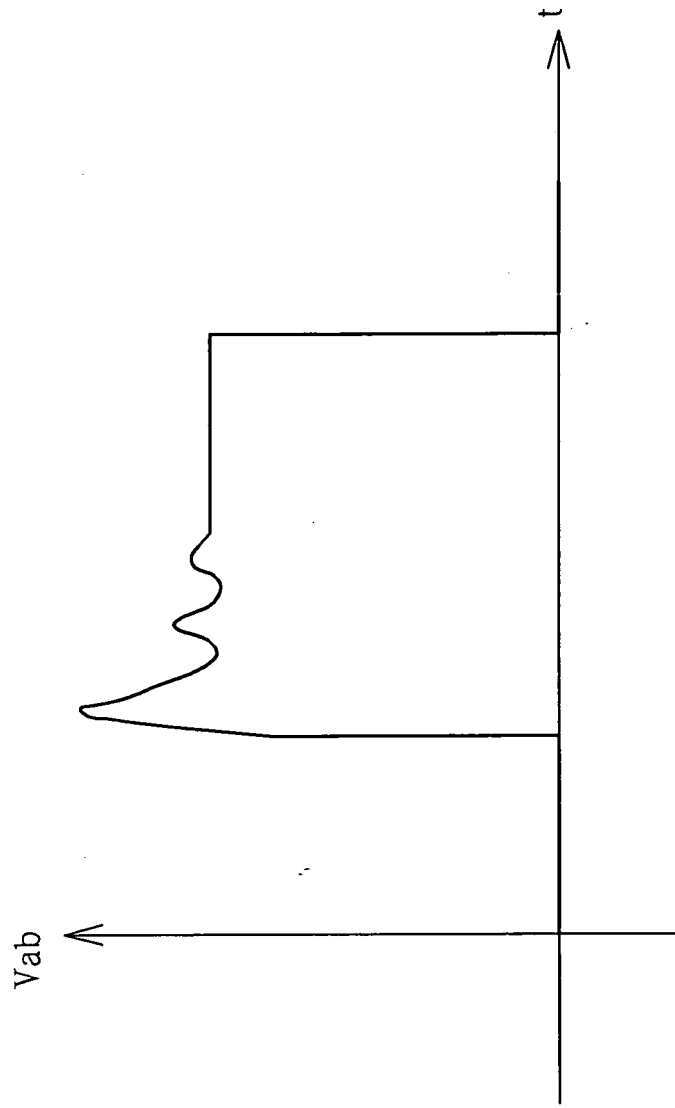
第8圖



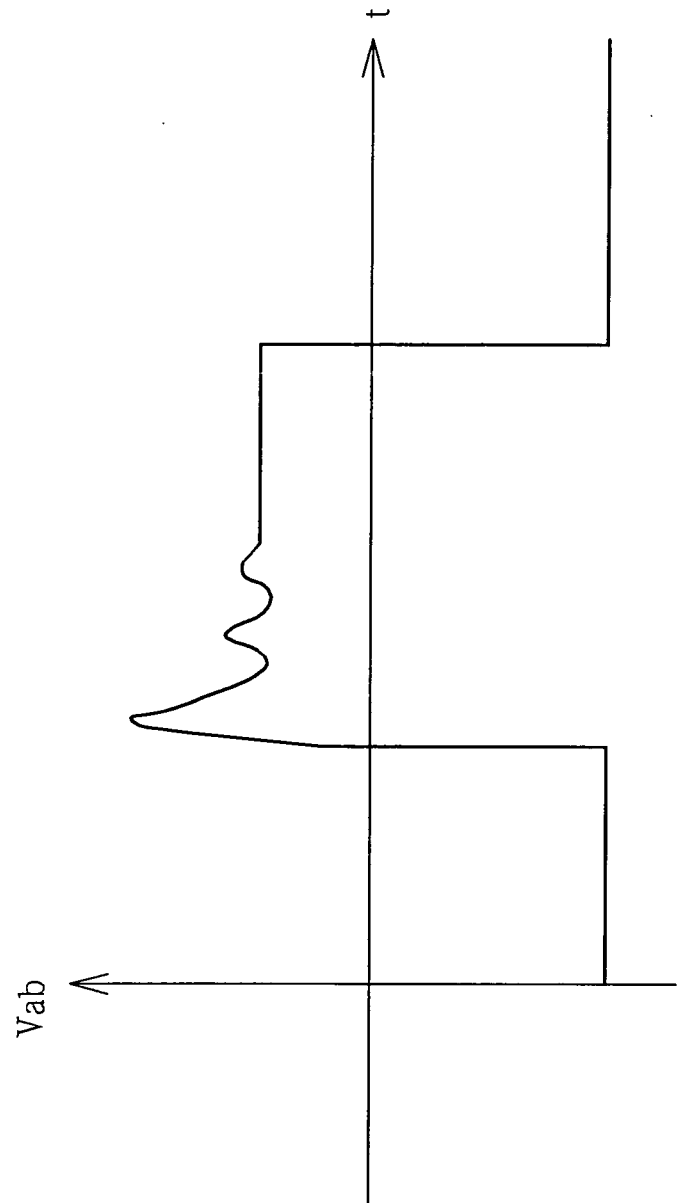
第9圖



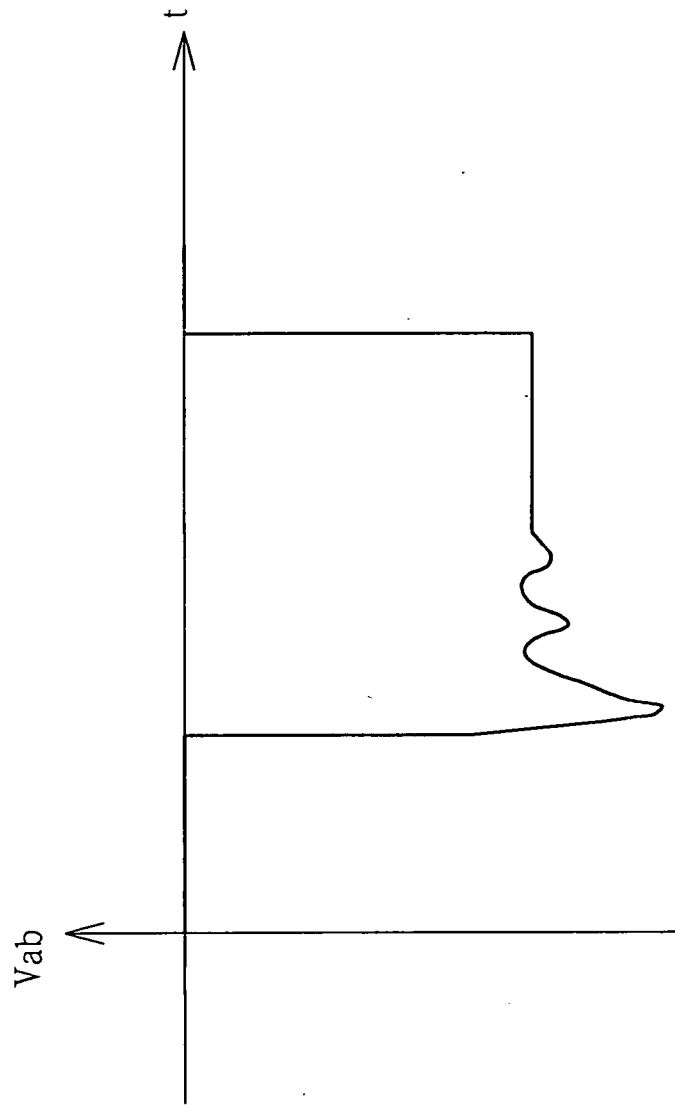
第10圖



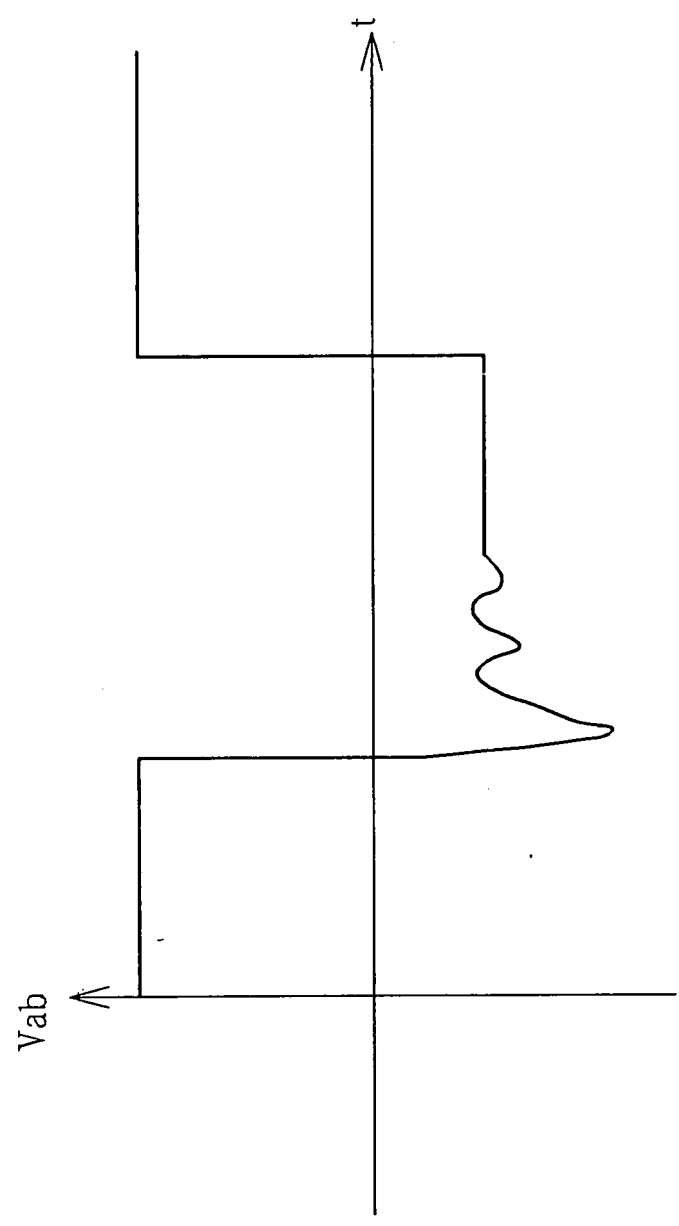
第11圖



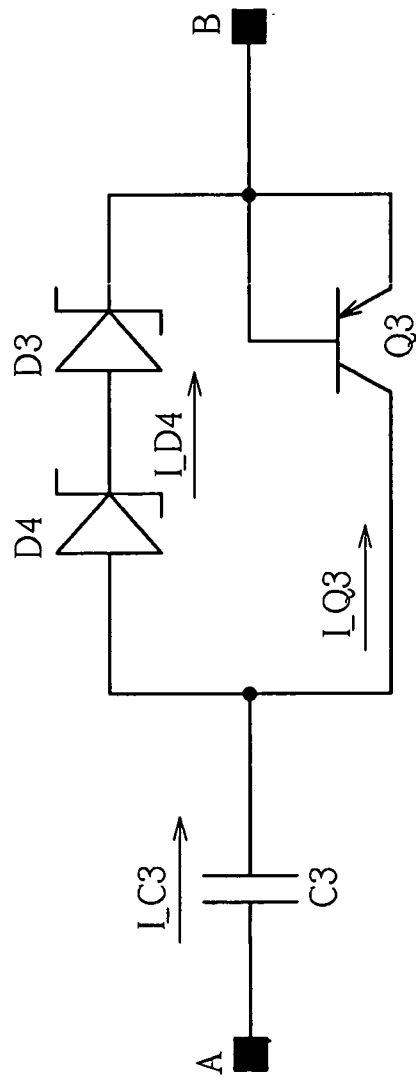
第12圖



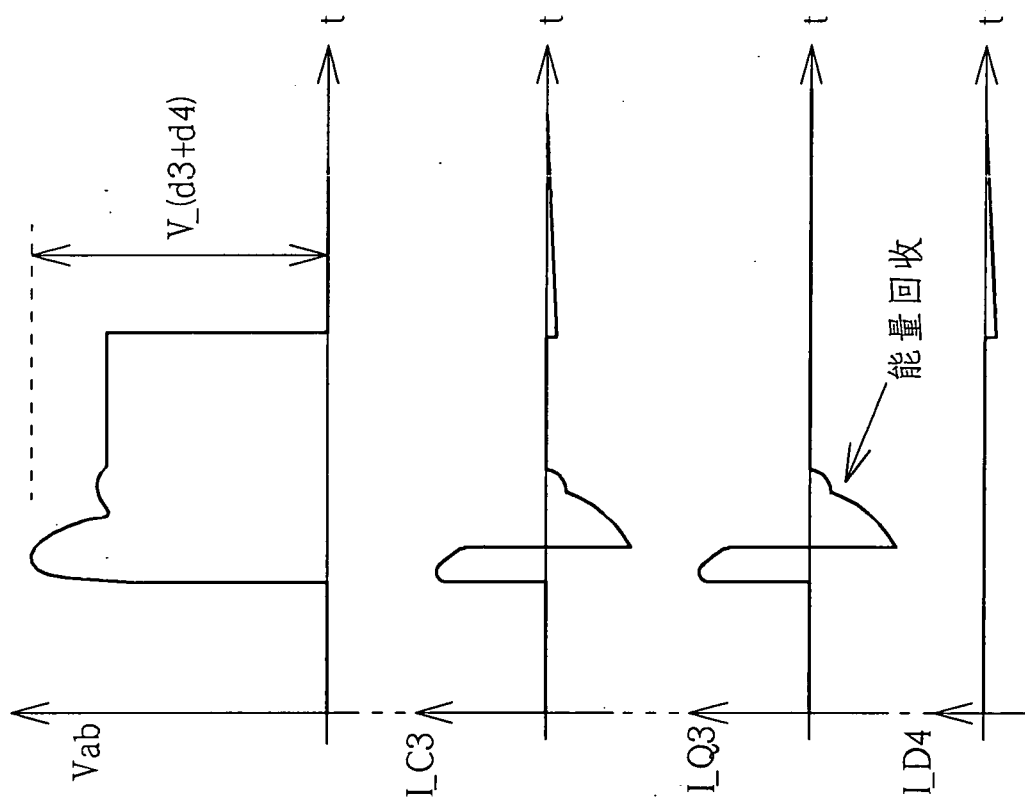
第13圖



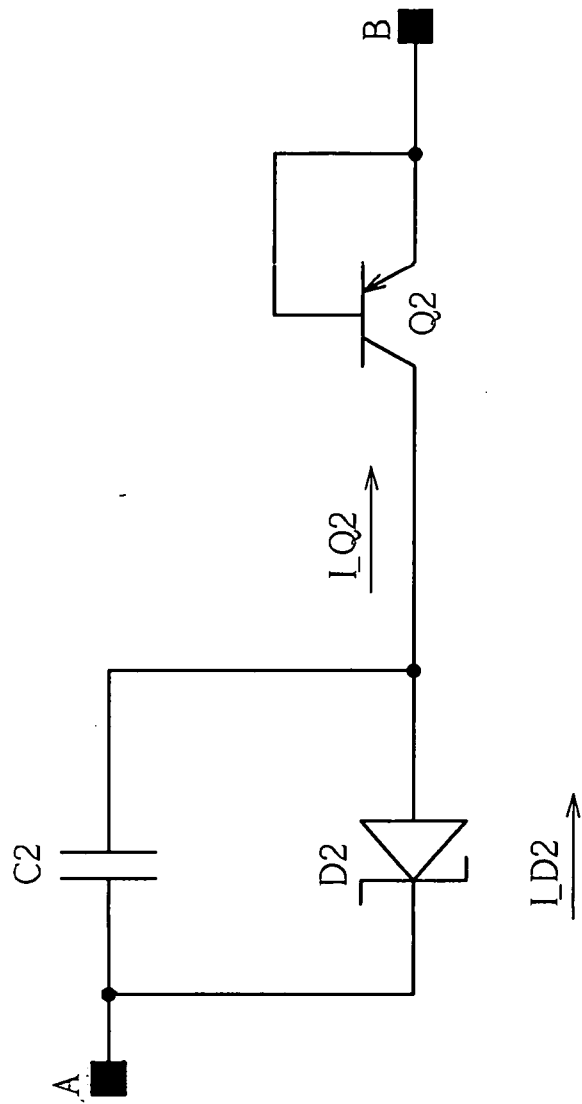
第14圖



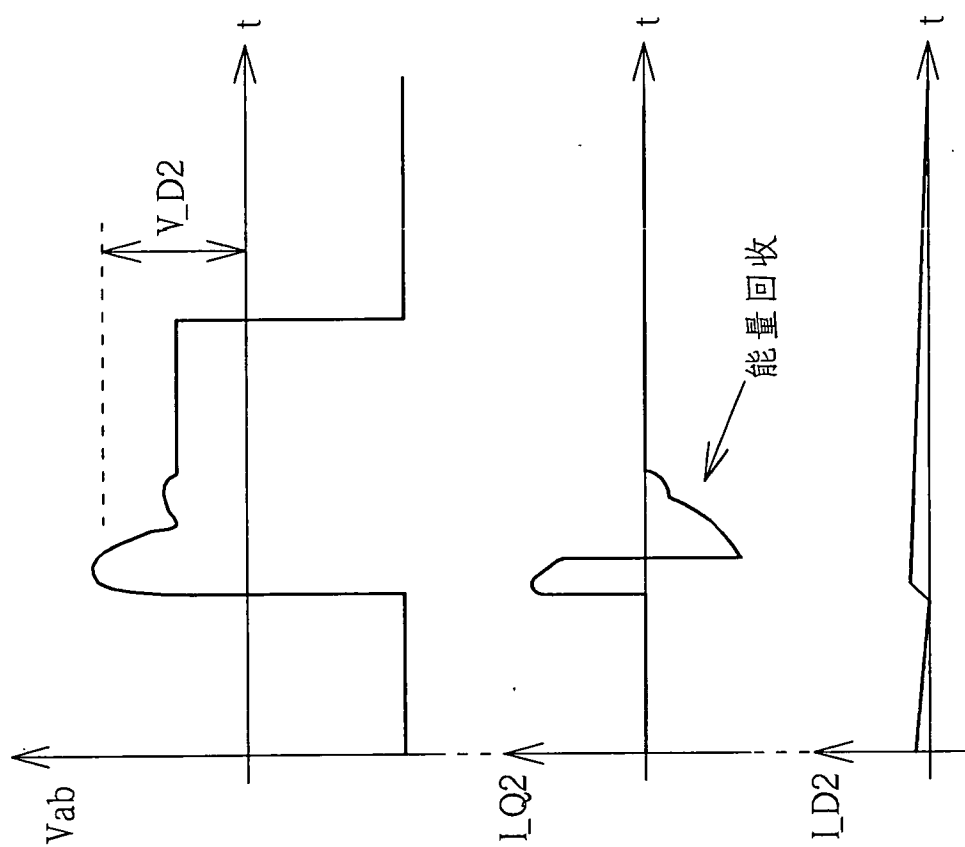
第15圖



第16圖



第17圖



第18圖