

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成29年11月2日(2017.11.2)

【公表番号】特表2016-533662(P2016-533662A)

【公表日】平成28年10月27日(2016.10.27)

【年通号数】公開・登録公報2016-061

【出願番号】特願2016-519823(P2016-519823)

【国際特許分類】

H 03 K 19/00 (2006.01)

H 03 K 19/0175 (2006.01)

【F I】

H 03 K 19/00 A

H 03 K 19/00 101S

【手続補正書】

【提出日】平成29年9月20日(2017.9.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

入力／出力(I/O)供給電圧によって給電される入力／出力(I/O)回路であって、コア供給電圧を検出して供給検出信号を生成するように構成される供給検出器セルと、P A Dに接続されて前記供給検出信号を受け取るように構成されるドライバ回路と、P A D電圧を受け取るように構成されるフェイルセーフ回路と、を含み、

前記フェイルセーフ回路と前記供給検出器セルとが、前記I/O供給電圧と前記P A D電圧とに基づいて前記P A Dからのリーク電流を制御するように構成される、I/O回路。

【請求項2】

請求項1に記載のI/O回路であって、

前記ドライバ回路が、

一対のレベルシフタ回路であって、各レベルシフタ回路が、前記供給検出信号と前記コア供給電圧とを受け取るように構成され、前記供給検出信号をコア供給電圧レベルからI/O供給電圧レベルに変換するように構成される、前記一対のレベルシフタ回路と、

一対のプリドライバ論理回路であって、各プリドライバ論理回路がレベルシフタ回路の出力に接続される、前記一対のプリドライバ論理回路と、

一対のゲート回路であって、各ゲート回路がプリドライバ論理回路の出力に接続される、前記一対のゲート回路と、

最終ドライバ回路と、

を含み、

前記フェイルセーフ回路と前記一対のプリドライバ論理回路とが、前記I/O供給電圧と前記P A D電圧とに基づいて前記P A Dからの前記リーク電流を制御するために前記最終ドライバ回路をディアクティベートする、前記一対のゲート回路を駆動するように構成される、I/O回路。

【請求項3】

請求項1に記載のI/O回路であって、

前記最終ドライバ回路が、最終ドライバP M O Sトランジスタと最終ドライバN M O S

トランジスタとを含む、I O回路。

【請求項4】

請求項1に記載のI O回路であって、
前記供給検出器セルが前記I O供給電圧によって給電され、
前記供給検出器セルが、
前記I O供給電圧に結合されるダイオード接続トランジスタと、
前記ダイオード接続トランジスタに接続され、前記コア供給電圧を入力として受け取る
ように構成される、入力インバータ段と、
前記入力インバータ段の出力に接続される第2のインバータ段と、
直列に結合される一对の弱キーパートランジスタであって、前記一对の弱キーパートラ
ンジスタのゲート端子が前記第2のインバータ段の出力に接続され、前記一对の弱キーパ
ートランジスタが前記入力インバータ段の前記出力を前記I O供給電圧レベルまでプルす
るように構成される、前記一对の弱キーパートランジスタと、
前記第2のインバータ段に結合される出力インバータ段であって、前記出力インバータ
段が、前記入力インバータ段の前記出力をバッファリングして供給検出信号を生成するよ
うに構成される、前記出力インバータ段と、
を含む、I O回路。

【請求項5】

請求項4に記載のI O回路であって、
前記ダイオード接続トランジスタがN M O SトランジスタとP M O Sトランジスタの1
つを含む、I O回路。

【請求項6】

請求項4に記載のI O回路であって、
前記ダイオード接続トランジスタが、前記I O供給電圧に接続されるドレイン端子とゲ
ート端子とを含む、I O回路。

【請求項7】

請求項4に記載のI O回路であって、
前記一对の弱キーパートランジスタが、直列に接続される頂部P M O Sトランジスタと
底部P M O Sトランジスタとを含み、
前記頂部P M O Sトランジスタと前記底部P M O Sトランジスタとのゲート端子が、前
記第2のインバータ段の前記出力を受け取るように構成され、前記頂部P M O Sトランジ
スタのソース端子が前記I O供給電圧に接続され、前記底部P M O Sトランジスタのドレ
イン端子が前記入力インバータ段の前記出力に接続される、I O回路。

【請求項8】

請求項4に記載のI O回路であって、
前記供給検出信号が前記I O供給電圧に基づいて変化するように構成される、I O回路
。

【請求項9】

請求項4に記載のI O回路であって、
前記I O供給電圧がランプ関数であって前記コア供給電圧がO F F状態であるときに、
前記供給検出信号が、I O供給電圧に従うように構成される、I O回路。

【請求項10】

請求項1に記載のI O回路であって、
前記I O供給電圧がトリップ点電圧を上回り、前記P A D電圧が論理H I G Hであるとき
に、前記供給検出器セルが、前記最終ドライバ回路のディアクティベーションを介して
前記P A Dからの前記リーケ電流を制御するように構成される、I O回路。

【請求項11】

請求項1に記載のI O回路であって、
前記フェイルセーフ回路が、
前記I O供給電圧を受け取るように構成されるソース端子を備える第1のP M O Sトラ

ンジスタと、

前記 P A D に接続されるソース端子と、前記 I O 供給電圧に接続されるゲート端子と、基板信号を生成するために前記第1のPMOSトランジスタのドレイン端子に接続されるドレイン端子とを備える第2のPMOSトランジスタであって、前記基板信号が前記最終ドライバPMOSトランジスタに提供される、前記第2のPMOSトランジスタと、

反転段であって、

前記 I O 供給電圧を受け取るように構成されるゲート端子と、前記 P A D に接続されるソース端子とを備える第3のPMOSトランジスタと、

前記 I O 供給電圧を受け取るように構成されるゲート端子と、制御信号を生成するために前記第3のPMOSのドレイン端子に接続されるドレイン端子とを備え、前記制御信号が前記ゲート回路の対に提供される、第1のNMOSトランジスタと、

前記 I O 供給電圧を受け取るように構成されるゲート端子を備える第2のNMOSトランジスタと、

前記 I O 供給電圧を受け取るように構成されるゲート端子と、接地に接続されるソース端子とを備える第3のNMOSトランジスタと、

を含み、

前記第1のNMOSトランジスタと前記第2のNMOSトランジスタと前記第3のNMOSトランジスタとがカスコード配置で接続される、前記反転段と、

を含む、I O回路。

【請求項12】

入力／出力(I O)供給電圧によって給電される入力／出力(I O)回路であって、コア供給電圧を検出するように構成される供給検出器セルと、

一対のレベルシフタ回路であって、各レベルシフタ回路が、前記供給検出器セルの出力を受け取るように構成され、また、前記供給検出器セルの前記出力をコア供給電圧レベルから I O 供給電圧レベルに変換するように構成される、前記一対のレベルシフタ回路と、

一対のプリドライバ論理回路であって、各プリドライバ論理回路がレベルシフタ回路の出力に接続される、前記一対のプリドライバ論理回路と、

一対のゲート回路であって、各ゲート回路がプリドライバ論理回路の出力に接続される、前記一対のゲート回路と、

P A D 電圧を受け取るように構成されるフェイルセーフ回路と、

を含み、

前記フェイルセーフ回路と前記供給検出器セルとが、前記 I O 供給電圧と前記 P A D 電圧とに基づいて前記 P A D からのリーク電流を制御するように構成される、I O回路。

【請求項13】

方法であって、

コア供給電圧を検出することと、

入力／出力(I O)供給がトリップ点電圧を下回り、P A D が論理H I G Hであるときに、最終ドライバ回路のディアクティベーションを介して前記 P A D からのリーク電流を制御するようにフェイルセーフ回路を構成することと、

コア供給電圧がO F F 状態のとき、前記 I O 供給電圧がトリップ点電圧を上回り、前記 P A D が論理H I G Hであるときに、前記最終ドライバ回路のディアクティベーションを介して前記 P A D からの前記リーク電流を制御するように供給検出器セルを構成することと、

を含む、方法。

【請求項14】

請求項13に記載の方法であって、

前記 I O 供給電圧がランプ関数であり、前記コア供給電圧がO F F 状態であるときに、前記 I O 供給電圧に従うように構成される供給検出信号を前記供給検出器セルにおいて生成することを更に含む、方法。

【請求項15】

請求項 1 3 に記載の方法であって、
コア供給電圧のすべての値で前記供給検出器セルにおいてゼロ静的電流を生成すること
を更に含む、方法。

【請求項 1 6】

請求項 1 3 に記載の方法であって、
前記 I O 供給電圧によって前記供給検出器セルに給電することを更に含み、
前記供給検出器セルが、
前記 I O 供給電圧に結合されるダイオード接続トランジスタと、
前記ダイオード接続トランジスタに接続され、前記コア供給電圧を入力として受け取る
ように構成される、入力インバータ段と、
前記入力インバータ段の出力に接続される第 2 のインバータ段と、
直列に結合される一対の弱キーパートランジスタであって、前記一対の弱キーパートラ
ンジスタのゲート端子が前記第 2 のインバータ段の出力に接続され、前記一対の弱キーパ
ートランジスタが前記入力インバータ段の前記出力を前記 I O 供給電圧レベルまでブルす
るように構成される、前記一対の弱キーパートランジスタと、
前記第 2 のインバータ段に結合される出力インバータ段であって、前記出力インバータ
段が前記入力インバータ段の前記出力をバッファリングして供給検出信号を生成するよう
に構成される、前記出力インバータ段と、
を含む、方法。

【請求項 1 7】

請求項 1 3 に記載の方法であって、
前記フェイルセーフ回路が、
前記 I O 供給電圧を受け取るように構成されるソース端子を備える第 1 の P M O S トラ
ンジスタと、
前記 P A D 電圧に接続されるソース端子と、前記 I O 供給電圧に接続されるゲート端子
と、基板信号を生成するために前記第 1 の P M O S トランジスタのドレイン端子に接続さ
れるドレイン端子とを備える第 2 の P M O S トランジスタであって、前記基板信号が前記最
終ドライバ P M O S トランジスタに提供される、前記第 2 の P M O S トランジスタと、
反転段であって、
前記 I O 供給電圧を受け取るように構成されるゲート端子と、前記 P A D に接続される
ソース端子とを備える第 3 の P M O S トランジスタと、
前記 I O 供給電圧を受け取るように構成されるゲート端子と、制御信号を生成するため
に前記第 3 の P M O S のドレイン端子に接続されるドレイン端子とを備え、前記制御信号
が前記ゲート回路の対に提供される、第 1 の N M O S トランジスタと、
前記 I O 供給電圧を受け取るように構成されるゲート端子を備える第 2 の N M O S トラ
ンジスタと、
前記 I O 供給電圧を受け取るように構成されるゲート端子と、接地に接続されるソース
端子とを備える第 3 の N M O S トランジスタと、
を含み、
前記第 1 の N M O S トランジスタと前記第 2 の N M O S トランジスタと前記第 3 の N M
O S トランジスタとがカスコード配置で接続される、前記反転段と、
を含む、方法。

【請求項 1 8】

コンピューティングデバイスであって、
処理ユニットと、
前記処理ユニットに結合されるメモリモジュールと、
前記処理ユニットと前記メモリモジュールとに結合される複数の論理回路と、
前記複数の論理回路のうちの少なくとも 1 つの論理回路に結合される入力 / 出力 (I O)
回路と、
を含み、

前記 I O 回路が、

コア供給電圧を検出して供給検出信号を生成するように構成される供給検出器セルと、
P A D に接続されて前記供給検出信号を受け取るように構成されるドライバ回路と、
P A D 電圧を受け取るように構成されるフェイルセーフ回路と、
を含み、

前記フェイルセーフ回路と前記供給検出器セルとが、前記 I O 供給電圧と前記 P A D 電圧とに基づいて前記 P A D からのリーク電流を制御するように構成される、コンピューティングデバイス。

【請求項 19】

請求項 18 に記載のコンピューティングデバイスであって、

前記ドライバ回路が、

一対のレベルシフタ回路であって、各レベルシフタ回路が、前記供給検出信号と前記コア供給電圧とを受け取るように構成され、また、前記供給検出信号をコア供給電圧レベルから I O 供給電圧レベルに変換するように構成される、前記一対のレベルシフタ回路と、

一対のプリドライバ論理回路であって、各プリドライバ論理回路がレベルシフタ回路の出力に接続される、前記一対のプリドライバ論理回路と、

一対のゲート回路であって、各ゲート回路がプリドライバ論理回路の出力に接続される、前記一対のゲート回路と、

最終ドライバ回路と、

を含み、

前記フェイルセーフ回路と前記一対のプリドライバ論理回路とが、前記 I O 供給電圧と前記 P A D 電圧とに基づいて前記 P A D からの前記リーク電流を制御するために、前記最終ドライバ回路をディアクティベートする前記一対のゲート回路を駆動するように構成される、コンピューティングデバイス。

【請求項 20】

請求項 18 に記載のコンピューティングデバイスであって、

前記供給検出器セルが前記 I O 供給電圧によって給電され、

前記供給検出器セルが、

前記 I O 供給電圧に結合されるダイオード接続トランジスタと、

前記ダイオード接続トランジスタに接続されて前記コア供給電圧を受け取るように構成される入力インバータ段と、

前記入力インバータ段の出力に接続される第 2 のインバータ段と、

直列に結合される一対の弱キーパートランジスタであって、前記一対の弱キーパートランジスタのゲート端子が前記第 2 のインバータ段の出力に接続され、前記一対の弱キーパートランジスタが前記入力インバータ段の前記出力を前記 I O 供給電圧レベルまでプルするように構成される、前記一対の弱キーパートランジスタと、

前記第 2 のインバータ段に接続される出力インバータ段であって、前記出力インバータ段が、前記入力インバータ段の前記出力をバッファリングして供給検出信号を生成するように構成される、前記出力インバータ段と、

を含む、コンピューティングデバイス。