



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I676358 B

(45)公告日：中華民國 108 (2019) 年 11 月 01 日

(21)申請案號：104135839

(22)申請日：中華民國 104 (2015) 年 10 月 30 日

(51)Int. Cl. : **H03L7/08 (2006.01)**

(30)優先權：2014/10/31 日本

2014-222832

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：岡本佑樹 OKAMOTO, YUKI (JP)；黑川義元 KUROKAWA, YOSHIYUKI (JP)

(74)代理人：林怡芳；童啓哲

(56)參考文獻：

TW 480824

US 6504439B1

US 7489204B2

US 2008/0068101A1

審查人員：陳明德

申請專利範圍項數：13 項 圖式數：25 共 136 頁

(54)名稱

半導體裝置

(57)摘要

本發明提供一種包括振盪電路的半導體裝置，該振盪電路在反相器之間包括電路。在該電路中，端子 A 與端子 C₁ 之間的佈線路徑長度(a₁)及端子 D₁ 與端子 B 之間的佈線路徑長度(b₁)的總和大致相等於端子 A 與端子 C₂ 之間的佈線路徑長度(a₂)及端子 D₂ 與端子 B 之間的佈線路徑長度(b₂)的總和。

An object of the present invention is to provide a semiconductor device including an oscillator circuit including a circuit between inverters. In the circuit, a sum of the length (a₁) of a wiring path between a terminal A and a terminal C₁ and a length (b₁) of a wiring path between a terminal D₁ and a terminal B is substantially equal to a sum of the length (a₂) of a wiring path between the terminal A and a terminal C₂ and the length (b₂) of a wiring path between a terminal D₂ and the terminal B.

指定代表圖：



[m] . . . 佈線

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【技術領域】

[0001]

本發明的一個實施方式係關於半導體裝置等的裝置或其驅動方法。

[0002]

注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式的技術領域係關於一種物體、方法或製造方法。另外，本發明的一個實施方式係關於一種製程 (process)、機器 (machine)、產品 (manufacture) 或組合物 (composition of matter)。因此，明確地說，作為本說明書所公開的本發明的一個實施方式的技術領域的一個例子，可以舉出半導體裝置、顯示裝置、液晶顯示裝置、發光裝置、照明設備、蓄電裝置、記憶體裝置、它們的驅動方法或它們的製造方法。

【先前技術】

[0003]

PLL (Phase Locked Loop：鎖相迴路) 的開發正日益火熱 (參照非專利文獻 1)。PLL 用來在 CPU (Central Processing Unit：中央處理器) 或程式邏輯裝置等電路中使電路以所希望的速度工作。

[0004]

[非專利文獻1]X. Gao, A. M. Klumperink, P. F. J. Geraedts, B. Nauta, "Jitter Analysis and a Benchmarking Figure-of-Merit for Phase-Locked Loops" IEEE Trans. On Circuits and Systems-II, vol. 56, no. 2, pp. 117-121, Feb. 2009

[0005]

習知的 PLL 電路難以在暫態間改變振盪頻率。

【發明內容】

[0006]

本發明的一個實施方式的目的之一是提供一種新穎的電路結構。本發明的一個實施方式的目的之一是振盪頻率的改變或者提供一種能夠實現該情況的電路結構。本發明的一個實施方式的目的之一是提高振盪頻率的精度或者提供一種能夠實現該情況的電路結構。

[0007]

另外，本發明的一個實施方式的目的之一是提供一種新穎的半導體裝置等。注意，這些目的的記載不妨礙其他目的的存在。另外，本發明的一個實施方式並不需要解決所有上述目的。另外，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的目的。

[0008]

本發明的一個實施方式是一種半導體裝置，該半導體裝置包括振盪電路，該振盪電路包括第一至第 n (n 為 3 以上的奇數) 反相器、第一電路以及第二電路，第一電路的第一端子與第 i (i 為 1 至 $n-1$ 中的任一個) 反相器的輸出端子電連接，第一電路的第二端子與第 $i+1$ 反相器的輸入端子電連接，

第二電路的第一端子與第 i 反相器的輸出端子電連接，第二電路的第二端子與第 $i+1$ 反相器的輸入端子電連接，第 i 反相器的輸出端子與第一電路的第一端子之間的佈線路徑長度及第一電路的第二端子與第 $i+1$ 反相器的輸入端子之間的佈線路徑長度的總和大致相等於第 i 反相器的輸出端子與第二電路的第一端子之間的佈線路徑長度及第二電路的第二端子與第 $i+1$ 反相器的輸入端子之間的佈線路徑長度的總和。

[0009]

另外，在本發明的一個其他方式中，較佳的是，在第一電路的至少一部分及第二電路的至少一部分上具有絕緣膜，在絕緣膜上具有與第 i 反相器的輸出端子電連接的第一佈線以及與第 $i+1$ 反相器的輸入端子電連接的第二佈線，第一佈線藉由設置在絕緣膜中的第一開口部與第一電路的第一端子電連接且藉由設置在絕緣膜中的第二開口部與第二電路的第一端子電連接，第二佈線藉由設置在絕緣膜中的第三開口部與第一電路的第二端子電連接且藉由設置在絕緣膜中的第四開口部與第二電路的第二端子電連接，第一開口部與第二開口部之間的距離大致相等於第三開口部與第四開口部之間的距離。

[0010]

另外，在本發明的其他一個實施方式中，較佳的是，包括設置有第 j (j 為 1 以上且 n 以下的奇數) 反相器的第一區域、設置有第一電路及第二電路的第二區域以及設置有第 k (k 為 2 以上且 $n-1$ 以下的偶數) 反相器的第三區域，第二區域位於第一區域與第三區域之間。

[0011]

另外，在本發明的其他一個實施方式中，較佳的是，第一電路具有儲存第一資料的功能以及切換使在第一端子與第二端子之間成為非導通的模

式和將第一端子與第二端子之間的電阻值設定為基於第一資料的值的模式的功能，第二電路具有儲存第二資料的功能以及使在第一端子與第二端子之間成為非導通的模式和將第一端子與第二端子之間的電阻值設定為基於第二資料的值的模式的功能。

[0012]

另外，在本發明的其他一個實施方式中，第一資料及第二資料也可以都為類比電位。

[0013]

另外，在本發明的其他一個實施方式中，第一電路包括第一電晶體及第一電容器，第二電路包括第二電晶體及第二電容器，第一資料藉由第一電晶體被輸入到第一電容器，第二資料藉由第二電晶體被輸入到第二電容器，第一電晶體在通道形成區域中包括氧化物半導體，第二電晶體在通道形成區域中包括氧化物半導體。

[0014]

另外，在本發明的其他一個實施方式中，第一電路包括第三電晶體以及第四電晶體，第二電路包括第五電晶體以及第六電晶體，第三電晶體及第四電晶體在第一電路的第一端子與第一電路的第二端子之間被串聯電連接，第五電晶體及第六電晶體在第二電路的第一端子與第二電路的第二端子之間被串聯電連接，第三電晶體的源極與汲極之間的電阻值具有基於第一資料的值，第四電晶體具有控制第一電路的第一端子與第一電路的第二端子之間的導通或非導通的功能，第五電晶體的源極與汲極之間的電阻值具有基於第二資料的值，第六電晶體具有控制第二電路的第一端子與第二電路的第二端子之間的導通或非導通的功能。

[0015]

在上述裝置中也可以包括 PLL。PLL 包括振盪電路、分頻器、相位比較器以及迴路濾波器。

[0016]

藉由本發明的一個實施方式，可以提供一種新穎的電路結構。藉由本發明的一個實施方式，可以改變振盪頻率或者提供一種能夠實現該情況的電路結構。藉由本發明的一個實施方式，可以提高振盪頻率的精度或者提供一種能夠實現該情況的電路結構。

[0017]

注意，這些效果的記載不妨礙其他效果的存在。另外，本發明的一個實施方式並不需要具有所有上述效果。另外，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的效果。

【圖式簡單說明】

[0018]

在圖式中：

圖 1 是示出裝置的結構的圖；

圖 2 是示出裝置的結構的圖；

圖 3 是示出裝置的結構的圖；

圖 4 是示出裝置的工作的圖；

圖 5 是示出裝置的工作的圖；

圖 6 是示出裝置的工作的圖；

圖 7 是示出裝置的工作的圖；

圖 8 是示出 PLL 的結構的圖；

圖 9A 和圖 9B 是示出裝置的平面結構的圖；

圖 10 是示出裝置的剖面結構的圖；

圖 11A 至圖 11C 是示出電晶體的結構的圖；

圖 12A 至圖 12C 是示出電晶體的結構的圖；

圖 13 是示出裝置的剖面結構的圖；

圖 14 是示出裝置的剖面結構的圖；

圖 15A 至圖 15F 是示出電子裝置的圖；

圖 16 是示出實施例的裝置的照片；

圖 17 是示出實施例的裝置的平面結構的圖；

圖 18A 和圖 18B 是說明裝置的工作的圖表；

圖 19 是說明裝置的工作的圖表；

圖 20 是說明裝置的工作的圖表；

圖 21A 和圖 21B 是說明裝置的工作的圖表；

圖 22A 和圖 22B 是說明裝置的工作的圖表；

圖 23 是說明裝置的工作的圖表；

圖 24 是說明裝置的工作的圖表；

圖 25 是說明裝置的工作的圖表。

【實施方式】

[0019]

下面，參照圖式對本發明的實施方式進行詳細說明。但是，本發明不侷限於以下說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限在以下所示的實施方式所記載的內容中。

[0020]

本發明的一個實施方式在其範疇內包括積體電路、RF 標籤、半導體顯示裝置等使用電晶體的所有半導體裝置。積體電路在其範疇內包括：LSI (Large Scale Integrated Circuit：大型積體電路)，諸如微處理器、影像處理電路、DSP (Digital Signal Processor：數位信號處理器) 或微控制器等；以及可程式邏輯裝置 (PLD：Programmable Logic Device)，諸如 FPGA (Field Programmable Gate Array：現場可程式邏輯閘陣列) 和 CPLD (Complex PLD：複雜可程式邏輯裝置) 等。此外，在半導體顯示裝置的範疇內包括液晶顯示裝置、在各像素中具有以有機發光元件 (OLED) 為代表的發光元件的發光裝置、電子紙、DMD (Digital Micromirror Device：數位微鏡裝置)、PDP (Plasma Display Panel：電漿顯示面板) 及 FED (場致發射顯示器：Field Emission Display) 等，在驅動電路中具有使用半導體膜的電路元件的半導體顯示裝置。

[0021]

在本說明書中，半導體顯示裝置在其範疇內還包括在各像素中形成有液晶元件或發光元件等顯示元件的面板及對該面板安裝了包括控制器的 IC 等的模組。

[0022]

例如，在本說明書等中，當明確地記載為“X 與 Y 連接”時，包括如下情況：X 與 Y 電連接的情況；X 與 Y 在功能上連接的情況；以及 X 與 Y 直接連接的情況。因此，不侷限於圖式或文中所示的連接關係等規定的連接關係，還包括圖式或文中所示的連接關係以外的連接關係。

[0023]

這裡，X 和 Y 為物件（例如，裝置、元件、電路、佈線、電極、端子、

導電膜和層等)。

[0024]

例如，當 X 和 Y 電連接時，可以在 X 和 Y 之間連接一個以上的能夠電連接 X 和 Y 的元件（例如開關、電晶體、電容器、電感器、電阻元件、二極體、顯示元件、發光元件和負載等）。開關被控制為導通和關閉。換言之，藉由使開關處於導通狀態（開啓狀態）或非導通狀態（關閉狀態）來控制是否使電流流過。或者，開關具有選擇並切換電流路徑的功能。

[0025]

例如，當 X 和 Y 是功能連接時，可以在 X 和 Y 之間連接一個以上的能夠在功能上連接 X 和 Y 的電路（例如，邏輯電路（反相器、NAND 電路、NOR 電路等）、信號轉換電路（DA 轉換電路、AD 轉換電路、伽瑪校正電路等）、電位位準轉換電路（電源電路（升壓電路、降壓電路等）、改變信號的電位位準的位準轉移電路等）、電壓源、電流源、切換電路、放大電路（能夠增大信號振幅或電流量等的電路、運算放大器、差動放大電路、源極隨耦電路、緩衝電路等）、信號產生電路、記憶體電路、控制電路等）。注意，例如，即使在 X 與 Y 之間夾有其他電路，當從 X 輸出的信號傳送到 Y 時，也可以說 X 與 Y 在功能上是連接著的。

[0026]

此外，當明確地記載為“X 與 Y 連接”時，包括如下情況：X 與 Y 電連接的情況（換言之，X 與 Y 中間夾有其他元件或其他電路而連接的情況）；X 與 Y 在功能上連接的情況（換言之，X 與 Y 中間夾有其他電路而在功能上連接的情況）；以及 X 與 Y 直接連接的情況（換言之，X 與 Y 中間不夾有其他元件或其他電路的而連接的情況）。換言之，當明確記載為“電連接”時，與只明確記載為“連接”的情況相同。

[0027]

注意，例如，電晶體的源極(或第一端子等)藉由 Z1(或沒有藉由 Z1)與 X 電連接，電晶體的汲極(或第二端子等)藉由 Z2(或沒有藉由 Z2)與 Y 電連接的情況以及電晶體的源極(或第一端子等)與 Z1 的一部分直接連接，Z1 的另一部分與 X 直接連接，電晶體的汲極(或第二端子等)與 Z2 的一部分直接連接，並且，Z2 的另一部分與 Y 直接連接的情況，可以以下面的表達方式來表示。

[0028]

例如，可以表示為“X、Y、電晶體的源極(或第一端子等)與電晶體的汲極(或第二端子等)互相電連接，X、電晶體的源極(或第一端子等)、電晶體的汲極(或第二端子等)與 Y 依次電連接”。或者，可以表示為“電晶體的源極(或第一端子等)與 X 電連接，電晶體的汲極(或第二端子等)與 Y 電連接，X、電晶體的源極(或第一端子等)、電晶體的汲極(或第二端子等)與 Y 依次電連接”。或者，可以表示為“X 藉由電晶體的源極(或第一端子等)及汲極(或第二端子等)與 Y 電連接，X、電晶體的源極(或第一端子等)、電晶體的汲極(或第二端子等)、Y 依次設置為相互連接”。藉由使用與這種例子相同的表達方法規定電路結構中的連接順序，可以區別電晶體的源極(或第一端子等)與汲極(或第二端子等)而決定技術範圍。注意，這種表達方法只是一個例子而已，不侷限於上述表達方法。在此，X、Y、Z1 及 Z2 為物件(例如，裝置、元件、電路、佈線、電極、端子、導電膜和層等)。

[0029]

注意，在本說明書中，電晶體的源極是指用作活性層的半導體膜的一部分的源極區域或與上述半導體膜連接的源極電極。同樣地，電晶體的汲極是指上述半導體膜的一部分的汲極區域或與上述半導體膜連接的汲極電

極。此外，閘極是指閘極電極。

[0030]

電晶體所具有的源極和汲極的名稱伴隨電晶體的導電型及供應到各端子的電位的高低而改變。一般而言，在 n 通道型電晶體中，將被供應低電位的端子稱為源極，而將被供應高電位的端子稱為汲極。另外，在 p 通道型電晶體中，將被供應低電位的端子稱為汲極，而將被供應高電位的端子稱為源極。在本說明書中，儘管為方便起見在一些情況下假設源極和汲極是固定的來描述電晶體的連接關係，但是實際上源極和汲極的名稱根據上述電位關係而互換。

[0031]

實施方式 1

在本實施方式中，對根據本發明的一個實施方式的裝置進行說明。當將電晶體等半導體元件用於根據本發明的一個實施方式的裝置時，可以將根據本發明的一個實施方式的裝置稱為半導體裝置。

[0032]

圖 1 示出根據本發明的一個實施方式的半導體裝置的結構的一個例子。圖 1 所例示的裝置能夠藉由振盪而生成時脈信號等交流信號，從而也可以被稱為振盪器（也稱為振盪電路）。尤其是，圖 1 所例示的裝置能夠根據輸入電壓改變信號的頻率（也稱為振盪頻率），從而也可以被稱為電壓控制振盪器（也稱為電壓控制振盪電路）。

[0033]

圖 1 所例示的裝置包括電路 101[1]至 101[n]（ n 是 3 以上的奇數）。電路 101[1]至 101[n]連接成環狀。明確而言，電路 101[1]至 101[n-1]的每一個

的輸出端子都與下一級的電路的輸入端子連接。電路 101[n]的輸出端子與電路 101[1]的輸入端子連接。另外，電路 101[n]的輸出端子與端子 OUT 連接。從端子 OUT 輸出由於圖 1 所例示的裝置振盪而生成的信號。

[0034]

另外，由於圖 1 所例示的裝置振盪而生成的信號也可以經過緩衝器等被輸出。

[0035]

電路 101[1]至 101[n]的每一個都能夠輸出輸入信號的反轉信號。另外，電路 101[1]至 101[n]的每一個都能夠儲存多個資料，並能夠根據所儲存的多個資料來設定延遲時間。延遲時間是指輸出信號對於輸入信號所延遲的時間。由於電路 101[1]至 101[n]的每一個都能夠儲存多個資料，所以可以改變延遲時間。

[0036]

圖 1 所例示的裝置可以藉由改變電路 101[1]至 101[n]的每一個的延遲時間來改變振盪頻率。

[0037]

電路 101[1]至 101[n]較佳為包括對應於每一個電路的電路 102[1]至 102[n]以及反相器 103[1]至 103[n]。在電路 102[i] (i 為 1 以上且 n-1 以下的自然數) 中，端子 A 與反相器 103[i]的輸出端子電連接，端子 B 與反相器 103[i+1]的輸入端子電連接。在電路 102[n]中，端子 A 與反相器 103[n]的輸出端子電連接，端子 B 與反相器 103[1]的輸入端子及端子 OUT 電連接。就是說，反相器 103[1]至 103[n]連接成環狀而構成反相器環。並且，在反相器 103[1]至 103[n]中的相鄰的兩個之間連接有對應的電路 102[1]至 102[n]中的一個。注意，在對電路 102[1]至 102[n]不需要特別的制限的情況下，有時記

載為電路 102。另外，在對反相器 103[1]至 103[n]不需要特別的制限的情況
下，有時記載為反相器 103。

[0038]

電路 102[1]至 102[n]中的每一個能夠儲存多個資料，並能夠根據所儲存
的多個資料來設定端子 A 與端子 B 之間的電阻值。由於電路 102[1]至 102[n]
中的每一個可以儲存多個資料，所以可以改變端子 A 與端子 B 之間的電阻
值。

[0039]

反相器 103[1]至 103[n]中的每一個能夠輸出輸入信號的反轉信號。

[0040]

另外，也可以不採用反相器 103[1]至 103[n]，而採用能夠輸出輸入信號
的反轉信號的電路。作為這種電路有 NAND 電路或 NOR 電路等。

[0041]

在圖 1 所例示的裝置中，藉由在電路 101[1]至 101[n]的每一個中改變電
路 102 的端子 A 與端子 B 之間的電阻值，可以改變振盪頻率。明確而言，
若改變電路 102 的端子 A 與端子 B 之間的電阻值，反相器 103 的輸出端子
所接受的負載則發生變化。因此，由於延遲時間在電路 101[1]至 101[n]的每
一個中變化，所以振盪頻率也變化。

[0042]

另外，在圖 1 所示的半導體裝置中採用電路 102[1]至 102[n]中對應的一
個連接到在反相器 103[1]至 103[n]的每一個的結構，但是本發明的一個實施
方式所示的半導體裝置不侷限於此。只要電路 102 連接到在反相器 103[1]
至 103[n]中至少兩個之間，就可以改變振盪頻率。

[0043]

電路 102[1]至 102[n]的每一個都包括電路 104[1]至 104[m] (m 為 2 以上的自然數)。在電路 104[1]至 104[m]中，端子 C_1 至端子 C_m 與電路 102 的端子 A 電連接，端子 D_1 至端子 D_m 與電路 102 的端子 B 電連接。另外，電路 104[1]至 104[m]的每一個與佈線 BL、佈線 CONTEXT[1]至 CONTEXT[m] 中對應的一個佈線以及佈線 WL[1]至 WL[m]中對應的一個佈線電連接。佈線 WL[1]至 WL[m]中對應的一個佈線是指電路 104[j] (j 為 1 至 m 中的任一個) 中的佈線 WL[j]。佈線 CONTEXT[1]至 CONTEXT[m]中對應的一個佈線是指在電路 104[j]中的佈線 CONTEXT[j]。另外，在對端子 C_1 至端子 C_m 不需要特別的制限的情況下，有時記載為端子 C。在對端子 D_1 至端子 D_m 不需要特別的制限的情況下，有時記載為端子 D。

[0044]

下面，有時將佈線 WL、佈線 CONTEXT 延伸的方向稱為行方向，將電路 104[1]至 104[m]排列的方向稱為列方向。

[0045]

在此，電路 102 的端子 A 電連接於與該端子 A 相同的級的反相器 103 的輸出端子，電路 102 的端子 B 電連接於下一級的反相器 103 的輸入端子。由此，在本說明書等中，有時將電路 102 的端子 A 表示為與該端子 A 相同的級的反相器 103 的輸出端子。另外，在本說明書等中，有時將電路 102 的端子 B 表示為下一級的反相器 103 的輸入端子。就是說，在電路 104[1]至 104[m]中，端子 C_1 至端子 C_m 電連接於與電路 102 相同的級的反相器 103 的輸出端子，端子 D_1 至端子 D_m 電連接於下一級的反相器 103 的輸入端子。

[0046]

作為電路 102 的詳細結構的一個例子，參照圖 2 說明電路 102[i]的結構。

[0047]

電路 104[1]至 104[m]的每一個都包括電晶體 105、電晶體 106、電晶體 107 及電容器 108。下面，以電路 104[j]為例對電路 104 的連接關係進行說明。另外，電路 104[1]至 104[j-1]、電路 104[j+1]至 104[m]的連接關係與電路 104[j]同樣。

[0048]

在電路 104[j]中，電晶體 105 的第一端子與佈線 BL 電連接，電晶體 105 的第二端子與電晶體 106 的閘極電連接，電晶體 105 的閘極與佈線 WL[j]電連接。電晶體 106 的第一端子與端子 C_j 電連接。電晶體 107 的第一端子與電晶體 106 的第二端子電連接，電晶體 107 的第二端子與端子 D_j 電連接，電晶體 107 的閘極與佈線 CONTEXT[j]電連接。電容器 108 的第一端子與電晶體 106 的閘極連接，電容器 108 的第二端子與供應有指定的電位的佈線電連接。

[0049]

電晶體 106 與電晶體 107 只要在端子 C_j 與端子 D_j 之間串聯地連接，電晶體 106 與電晶體 107 的位置就也可以是相反的。

[0050]

電路 102 的端子 A 與端子 B 之間的電阻值與電路 104[1]至 104[m]的每一個的端子 C 與端子 D 之間的電阻值的總電阻大致相等。因此，電路 102 的端子 A 與端子 B 之間的電阻值的改變可以藉由控制電路 104[1]至 104[m]的每一個中的端子 C 與端子 D 之間的電阻值來進行。

[0051]

電路 104[1]至 104[m]的每一個都能夠將電位儲存在節點 SN，並根據該電位設定電晶體 106 的第一端子與第二端子（以下，有時記載為源極及汲

極)之間的電阻值。藉由使電晶體 105 成為導通狀態且將佈線 BL 的電位輸入到節點 SN，與此同時將基於佈線 BL 的電位的電荷積累到電容器 108，可以進行對節點 SN 的電位儲存。另外，電路 104[1]至 104[m]的每一個都可以將類比電位儲存到節點 SN。由此，在電路 104[1]至 104[m]的每一個中都可以將不同的電位儲存到節點 SN，從而使電晶體 106 的第一端子與第二端子間的電阻值不同。當電晶體 106 是 N 通道型時，節點 SN 的電位越高，電晶體 106 的第一端子與第二端子之間的電阻值越小。另外，當電晶體 106 是 P 通道型時，節點 SN 的電位越低，電晶體 106 的第一端子與第二端子之間的電阻值越小。

[0052]

作為電晶體 105，較佳為採用其通道形成區域包含氧化物半導體的電晶體。如下所述，其通道形成區域包含氧化物半導體的電晶體的關態電流 (off-state current) 小，因此可以減少從電容器 108 漏出的電荷。尤其在將基於類比電位的電荷積累在電容器 108 的情況下，與數位電位相比，即使為微弱的電位也有可能會使資料變動。因此，作為電晶體 105 採用其通道形成區域包含氧化物半導體的電晶體的效果會更加明顯。

[0053]

此外，儲存到節點 SN 的電位較佳為使電晶體 106 成為導通狀態的電位。因此，也可以將電晶體 106 的源極與汲極之間的電阻值稱為電晶體 106 的通態電阻。

[0054]

另外，若能夠將基於佈線 BL 的電位的電荷積累到電晶體 106 的閘極電容等的節點 SN 的寄生電容中，則可以省略電容器 108。

[0055]

電路 104[1]至 104[m]的每一個都能夠切換端子 C 與端子 D 之間的導通或非導通。端子 C 與端子 D 之間的導通或非導通的切換可以藉由控制電晶體 107 的導通或關閉來進行。在電路 104[1]至 104[m]中，當電晶體 107 成為導通狀態時，端子 C 與端子 D 之間成為導通狀態，由此端子 C 與端子 D 之間的電阻值成為依賴電晶體 106 的源極與汲極之間的電阻值的值。明確而言，端子 C 與端子 D 之間的電阻值大致相等於電晶體 106 的源極與汲極之間的電阻值和電晶體 107 成為導通狀態時的源極與汲極之間的電阻值的總和。另一方面，當電晶體 107 處於關閉狀態時，端子 C 與端子 D 之間也不導通，無論電晶體 106 的源極與汲極之間的電阻值如何，端子 C 和端子 D 都成為高阻抗狀態。

[0056]

就是說，電路 104[1]至 104[m]的每一個都能夠切換在使端子 C 與端子 D 之間非導通還是將端子 C 與端子 D 之間的電阻值設定為基於所儲存的資料的值。

[0057]

可以使用各種方法切換電路 102 的端子 A 與端子 B 之間的電阻值。

[0058]

電路 102 的端子 A 與端子 B 之間的電阻值的改變可以藉由從電路 104[1]至 104[m]中選擇一個以上的使端子 C 與端子 D 之間導通的電路，並控制該個數來進行。當電路 104[1]至 104[m]的每一個都儲存有相同的資料時，在電路 104[1]至 104[m]的每一個中，電晶體 106 的源極與汲極之間的電阻值都相同。於是，藉由控制電路 104[1]至 104[m]中的使端子 C 與端子 D 之間導通的電路的個數，可以控制電路 102 的端子 A 與端子 B 之間的電阻值。

[0059]

電路 102 的端子 A 與端子 B 之間的電阻值的改變可以藉由從電路 104[1] 至 104[m] 中選擇一個使端子 C 與端子 D 之間導通的電路，並根據儲存在該電路的資料來進行。當電路 104[1] 至 104[m] 的每一個都儲存有不同的資料時，在電路 104[1] 至 104[m] 的每一個中，電晶體 106 的源極與汲極之間的電阻值都不同。於是，根據選擇電路 104[1] 至 104[m] 中的哪一個，可以控制電路 102 的端子 A 與端子 B 之間的電阻值。

[0060]

另外，也可以適當地組合上述兩個例子。也就是說，也可以藉由將不同的資料儲存到電路 104[1] 至 104[m] 中的兩個以上，與此同時從電路 104[1] 至 104[m] 中選擇一個以上的使端子 C 與端子 D 之間導通的電路，由此切換電路 102 的端子 A 與端子 B 之間的電阻值。

[0061]

從提高振盪頻率的精度的觀點來看，對應於特定資料的振盪頻率較佳為大致相等。明確而言，在將特定資料儲存於電路 104[1] 至 104[m] 中的任一個的情況下，較佳的是，無論將該資料儲存於電路 104[1] 至 104[m] 中的哪一個，振盪頻率都大致相等。

[0062]

如上所述，本實施方式所示的半導體裝置可以藉由切換電路 101[1] 至 101[n] 的每一個的延遲時間來改變振盪頻率。電路 101[1] 至 101[n] 的每一個的延遲時間由電路 102[1] 至 102[n] 的每一個的端子 A 和端子 B 之間的電阻值決定，電路 102 的端子 A 和端子 B 之間的電阻值由儲存於電路 104[1] 至 104[m] 的每一個的資料控制。

[0063]

反之亦然，即使儲存於電路 104[1] 至 104[m] 的每一個的資料相同，在

電路 102 的端子 A 和端子 B 之間的電阻值不同的情況下，振盪頻率也有可能會變化。

[0064]

例如，考慮將特定資料只儲存於電路 104[1]的情況及將該特定資料只儲存於電路 104[m]的情況。此時，在電路 104[1]的從端子 A 至端子 B 的佈線路徑長度與電路 104[m]的從端子 A 至端子 B 的佈線路徑長度不同的情況下，由於佈線路徑的選擇而使端子 A 與端子 B 之間的佈線電阻不同。就是說，即使將相同的資料儲存於電路 104[1]及 104[m]，振盪頻率也有可能會不同。

[0065]

因此，本實施方式所示的半導體裝置採用如下結構：不管在電路 102 中選擇經過哪個電路 104 的佈線路徑，端子 A 與端子 B 之間的佈線電路的長度都大致相等。注意，在本說明書等中，當記載為“A 的長度和 B 的長度大致相等”等時，A 的長度並不需要完全與 B 的長度相同。例如，如果 A 的長度和 B 的長度之間的差異在 A 的長度或 B 的長度的 20% 以下，較佳為 10% 以下，更佳為 5% 以下的範圍中，A 的長度和 B 的長度就可以視為大致相等。

[0066]

明確地說，如圖 1 所示那樣，在電路 102 中，端子 A 與端子 C_1 之間的佈線路徑長度 (a_1) 與端子 D_1 與端子 B 之間的佈線路徑長度 (b_1) 的總和、端子 A 與端子 C_2 之間的佈線路徑長度 (a_2) 和端子 D_2 與端子 B 之間的佈線路徑長度 (b_2) 的總和以及端子 A 與端子 C_m 之間的佈線路徑長度 (a_m) 和端子 D_m 與端子 B 之間的佈線路徑長度 (b_m) 的總和都相等。另外，雖然在圖 1 中未圖示，但是端子 A 與端子 C_3 至 C_{m-1} 之間的佈線路徑及端子 D_3 至 D_{m-1} 與端子 B 之間的佈線路徑也與上述同樣。

[0067]

換言之，在本實施方式所示的半導體裝置中，電路 102 中的端子 A 與端子 C₁ 至 C_m 之間的佈線路徑長度和端子 D₁ 至 D_m 端子 B 與之間的佈線路徑長度的關係為如下： $a_1+b_1=a_2+b_2=\cdots=a_m+b_m$ ，亦即，表示為下面式 (1)。

[0068]

[公式 1]

$$a_j + b_j = L_L \quad (1)$$

[0069]

在此，在電路 102 及電路 104[j] (j 為 1 至 m 中的任一個) 中，將端子 A 與端子 C_j 之間的佈線路徑長度表示為 a_j，將端子 D_j 與端子 B 之間的佈線路徑長度表示為 b_j。L_L 表示任意的長度。

[0070]

藉由在電路 102 中端子 A 與端子 C₁ 至 C_m 之間的佈線及端子 D₁ 至 D_m 與端子 B 之間的佈線滿足式 (1) 的關係，無論佈線路徑的選擇如何，也可以使端子 A 與端子 B 之間的佈線電阻大致相等。由此，在本實施方式所示的半導體裝置中可以使對應特定資料的振盪頻率大致相等，從而可以提高振盪頻率的精度。

[0071]

另外，如圖 1 所示那樣，在本實施方式所示的半導體裝置中，電路 102[1] 至 102[n] 及反相器 103[1] 至 103[n] 分別設置在不同的區域中。就是說，反相器 103[k₁] (k₁ 為 1 以上且 n 以下的奇數) 設置在第一區域 113a 中，電路 102[1] 至 102[n] 設置在第二區域 112a 中，反相器 103[k₂] (k₂ 為 2 以上且 n-1 以下的偶數) 設置在第三區域 113b 中。在基板平面上，第二區域 112a 位於第一

區域 113a 與第三區域 113b 之間。

[0072]

關於電路 101[1]及電路 101[2]，電路 101[1]的反相器 103[1]設置在第一區域 113a 中，電路 101[1]的電路 102[1]及電路 101[2]的電路 102[2]設置在第二區域 112a 中，電路 101[2]的反相器 103[2]設置在第三區域 113b 中。

[0073]

如上所述，在反相器 103[1]與反相器 103[2]之間的區域中設置有電路 102[1]及電路 102[2]，因此，電路 102[1]的端子 A 被設置在第一區域 113a 一側，電路 102[1]的端子 B 被設置在第三區域 113b 一側，電路 102[2]的端子 A 被設置在第三區域 113b 一側，電路 102[2]的端子 B 被設置在第一區域 113a 一側。當俯視時，在電路 102[1]及電路 102[2]的每一個中，設置在端子 A 與端子 C_1 至 C_m 之間的佈線及設置在端子 D_1 至 D_m 與端子 B 之間的佈線大致具有雙重旋轉對稱。由此，設置在端子 A 與端子 C_1 至 C_m 之間的佈線中的一個的長度和設置在端子 D_1 至 D_m 與端子 B 之間的佈線中的一個的長度始終相等。

[0074]

藉由在保持上述關係的情況下設置電路 101、電路 102 及反相器 103，可以在不延長或者追加佈線的情況下以滿足上述式(1)的方式設置電路 102 的佈線。因此，本實施方式所示的半導體裝置可以在抑制其佔有面積的增大的同時實現提高振盪頻率的精度。

[0075]

假定不設置第三區域 113b 而將所有反相器 103 設置在第一區域 113a 中，在電路 102 中，端子 A 及端子 B 都設置在第一區域 113a 一側。在此情況下，在電路 102 中，端子 A 與端子 C_1 至 C_m 之間的佈線路徑長度和端子

D_1 至 D_m 與端子 B 之間的佈線路徑長度的關係為如下：

$a_1+b_1 < a_2+b_2 < \dots < a_m+b_m$ 。由此，由於佈線路徑的選擇而使端子 A 與端子 B 之間的佈線電阻變化，導致振盪頻率的精度的降低。

[0076]

另外，如圖 1 的電路 101[1]及電路 101[2]所示那樣，較佳為將奇數級的電路 101 和偶數級的電路 101 配成一對。由此，可以將平行於奇數級的電路 102 及偶數級的電路 102 的佈線 CONTEXT 的延伸方向（行方向）的寬度的空間（兩個電路 102 的寬度）都用於奇數級的反相器 103 及偶數級的反相器 103。由此，使構成反相器 103 的電晶體的通道寬度向該平行於佈線 CONTEXT 的延伸方向的方向長是有效的。

[0077]

在圖 1 所示的結構中，將電路 101[1]至 101[n]、電路 102[1]至 102[n]及反相器 103[1]至 103[n]分別設置在第一區域 113a、第二區域 112a 及第三區域 113b 中，但是本實施方式所示的半導體裝置不侷限於此。例如，如圖 3 所示，也可以將電路 101[1]至 101[n]、電路 102[1]至 102[n]及反相器 103[1]至 103[n]分別設置在第一區域 113a、第二區域 112a、第三區域 113b、第四區域 112b 及第五區域 113c 中。另外，電路 102 的詳細結構可以參照圖 1，由此在圖 3 中將該結構省略了。

[0078]

在此，反相器 103[k₃]（k₃ 為 1 以上且 (n+1)/2 以下的奇數）及反相器 103[k₄]（k₄ 為 (n+3)/2 以上且 n-1 以下的偶數）設置在第一區域 113a 中。反相器 103[k₅]（k₅ 為 2 以上且 (n-1)/2 以下的偶數）設置在第三區域 113b 中。反相器 103[k₆]（k₆ 為 (n+5)/2 以上且 n 以下的奇數）設置在第五區域 113c 中。電路 102[k₇]（k₇ 為 1 以上且 (n+1)/2 以下的自然數）設置在第

二區域 112a 中。電路 102[k_g] (k_g 為 (n+3)/2 以上且 n 以下的自然數) 設置在第四區域 112b 中。

[0079]

在基板平面上，第二區域 112a 位於第一區域 113a 與第三區域 113b 之間，第四區域 112b 位於第一區域 113a 與第五區域 113c 之間。

[0080]

與圖 1 所示的結構同樣，藉由在保持上述關係的情況下設置電路 101、電路 102 及反相器 103，可以在不延長或者追加佈線的情況下以滿足上述式 (1) 的方式設置電路 102 的佈線。因此，圖 3 所示的半導體裝置可以在抑制其佔有面積的增大的同時實現振盪頻率的精度的提高。

[0081]

與圖 1 所示的結構同樣，較佳為將奇數級的電路 101 和偶數級的電路 101 配成一對。由此，可以將平行於奇數級的電路 102 及偶數級的電路 102 的佈線 CONTEXT 的延伸方向（行方向）的寬度的空間都用於奇數級的反相器 103 及偶數級的反相器 103。由此，使構成反相器 103 的電晶體的通道寬度向該平行於佈線 CONTEXT 的延伸方向的方向長是有效的。

[0082]

另外，在端子 A 與端子 B 之間的電阻值中電晶體 106 的電阻值所佔的比例越大，越可以使相對於電晶體 106 的源極與汲極之間的電阻值的振盪頻率的變化量變大。因此，電晶體 106 的 W（通道寬度）較佳為比電晶體 107 的 W 小。或者，電晶體 106 的 W 較佳為比構成反相器 103 或能夠取代反相器 103 的電路的電晶體的任一個或所有電晶體的 W 小。

[0083]

如上所述，可以不使用反相器 103 而使用 NAND 電路或 NOR 電路等。

在 NAND 電路或 NOR 電路中，該 NAND 電路或該 NOR 電路的輸出端子對應於反相器 103 的輸出端子，該 NAND 電路或該 NOR 電路的第一輸入端子對應於反相器 103 的輸入端子。也就是說，NAND 電路或 NOR 電路的輸出端子與電路 102 的端子 A 連接，第一輸入端子與上一級的電路 102 的端子 B 連接。另外，較佳為在電路 101[1]至 101[n]的每一個中 NAND 電路或 NOR 電路的第二輸入端子都與相同的佈線連接。並且，藉由控制 NAND 電路或 NOR 電路的第二輸入端子所連接的佈線的電位，可以固定電路 102 的端子 A 的電位。因此，可以在固定電晶體 106 的第一端子的電位的狀態下將佈線 BL 的電位輸入到電晶體 106 的閘極，由此可以準確地設定電晶體 106 的閘極與源極之間的電位差。因此，可以準確地設定電晶體 106 的源極與汲極之間的電阻值。

[0084]

藉由具有上述結構，本實施方式所示的半導體裝置可以提供一種新穎的電路結構。另外，可以改變振盪頻率或者提供一種能夠實現該情況的電路結構。另外，可以提高振盪頻率的精度或者提供一種能夠實現該情況的電路結構。

[0085]

接著，參照圖 4 所示的時序圖對圖 1 所例示的裝置的工作的一個例子進行說明。圖 4 示出佈線 BL、佈線 CONTEXT[1]至 CONTEXT[m]、佈線 WL[1]至 WL[m]、電路 104[1]至 104[m]的節點 SN 的電位及輸出端子 OUT 的電位的一個例子。

[0086]

另外，由於電路 101[1]至 101[n]的工作相同，所以只說明電路 101[1]至 101[n]中的任一個的工作。

[0087]

首先，將資料儲存到電路 104[1]至 104[m]的每一個，並根據該資料設定電晶體 106 的源極與汲極之間的電阻值。

[0088]

在時刻 t_0 ，將佈線 WL[1]設定為高位準，將佈線 BL 的電位設定為 V_1 。由此，電路 104[1]如下那樣地工作。由於電晶體 105 成為導通狀態，所以佈線 BL 的電位 V_1 經過電晶體 105 被輸入到節點 SN，與此同時，基於電位 V_1 的電荷被積累到電容器 108。然後，藉由將佈線 WL[1]設定為低位準而使電晶體 105 成為關閉狀態，由此積累在電容器 108 的電荷將節點 SN 的電位維持為 V_1 。由此，基於電位 V_1 的資料被儲存到電路 104[1]。

[0089]

在時刻 t_1 ，將佈線 WL[2]設定為高位準，將佈線 BL 的電位設定為 V_2 。由此，電路 104[2]如下那樣地工作。由於電晶體 105 成為導通狀態，所以佈線 BL 的電位 V_2 經過電晶體 105 被輸入到節點 SN，與此同時，基於電位 V_2 的電荷被積累到電容器 108。然後，藉由將佈線 WL[2]設定為低位準而使電晶體 105 成為關閉狀態，由此積累在電容器 108 的電荷將節點 SN 的電位維持為 V_2 。由此，基於電位 V_2 的資料被儲存到電路 104[2]。

[0090]

在時刻 t_2 以後也將佈線 WL[3]至 WL[m-1]依次設定為高位準，並隨之適當地設定佈線 BL 的電位，由此基於佈線 BL 的電位的資料被儲存到電路 104[3]至 104[m-1]。

[0091]

在時刻 t_3 ，將佈線 WL[m]設定為高位準，將佈線 BL 的電位設定為 V_m 。由此，電路 104[m]如下那樣地工作。由於電晶體 105 成為導通狀態，所以

佈線 BL 的電位 V_m 經過電晶體 105 被輸入到節點 SN，與此同時，基於電位 V_m 的電荷被積累到電容器 108。然後，藉由將佈線 WL[m]設定為低位準而使電晶體 105 成為關閉狀態，由此積累在電容器 108 的電荷將節點 SN 的電位維持為 V_m 。由此，基於電位 V_m 的資料被儲存到電路 104[m]。

[0092]

如上所述，藉由將佈線 WL[1]至 WL[m]依次設定為高位準，並適當地設定佈線 BL 的電位，可以將基於佈線 BL 的電位的資料依次儲存到電路 104[1]至 104[m]的每一個。

[0093]

另外，在時刻 t_0 至時刻 t_4 ，既可以將佈線 CONTEXT[1]至 CONTEXT [m]設定為高位準，也可以設定為低位準。也就是說，在電路 104[1]至 104[m]的每一個中，電晶體 107 既可以是導通狀態也可以是關閉狀態。圖 4 例示出在時刻 t_0 至時刻 t_4 ，藉由將佈線 CONTEXT[1]至 CONTEXT [m]設定為低位準而在電路 104[1]至 104[m]的每一個中使電晶體 107 成為關閉狀態的情況。因此，由於在電路 104[1]至 104[m]的每一個中端子 C 與端子 D 之間都不導通，所以電路 102 的端子 A 與端子 B 成為高阻抗狀態。由此，在時刻 t_0 至時刻 t_4 ，圖 1 所例示的裝置不振盪。另外，在電路 104[1]至 104[m]的每一個中，藉由使電晶體 107 成為關閉狀態，端子 B 成為浮動狀態。因此，端子 B 的電位逐漸變為接地電位等指定的電位。例如，當端子 B 的電位為相當於低位準的電位時，從下一級的反相器 103 則輸出高位準電位。也就是說，可以固定端子 A 的電位。因此，由於可以在固定電晶體 106 的第一端子的電位的狀態下將佈線 BL 的電位輸入到電晶體 106 的閘極，所以可以準確地設定電晶體 106 的閘極與源極之間的電位差。由此，可以準確地設定電晶體 106 的源極與汲極之間的電阻值。

[0094]

另外，圖 4 例示出電位 V_1 至 V_m 為相同值的情況。但是，本發明的一個實施方式並不侷限於此。

[0095]

將儲存在電路 104[j]的佈線 BL 的電位表示為電位 V_j 。

[0096]

雖然圖 4 例示出依次將佈線 $WL[1]$ 至 $WL[m]$ 設定為高位準的情況，但並不侷限於該工作。可以以任意順序將佈線 $WL[1]$ 至 $WL[m]$ 設定為高位準，也可以將佈線 $WL[1]$ 至 $WL[m]$ 中的兩個以上的佈線同時設定為高位準。在佈線 $WL[1]$ 至 $WL[m]$ 中也可以有不成為高位準的佈線。另外，也可以組合上述情況。

[0097]

另外，雖然圖 4 例示出藉由將佈線 $WL[1]$ 至 $WL[m]$ 設定為高位準而使電晶體 105 成為導通狀態的情況，但並不侷限於此。也可以藉由將佈線 $WL[1]$ 至 $WL[m]$ 設定為低位準而使電晶體 105 成為導通狀態。可以使電晶體 105 成為導通狀態的佈線 $WL[1]$ 至 $WL[m]$ 的電位稱為“活動（active）電位”，並將使電晶體 105 成為關閉狀態的佈線 $WL[1]$ 至 $WL[m]$ 的電位稱為“非活動（inactive）電位”。同樣地，也可以將使電晶體 107 成為導通狀態的佈線 $CONTEXT[1]$ 至 $CONTEXT[m]$ 的電位稱為“活動電位”，並將使電晶體 107 成為關閉狀態的佈線 $CONTEXT[1]$ 至 $CONTEXT[m]$ 的電位稱為“非活動電位”。

[0098]

接著，在電路 104[1]至 104[m]的每一個中，藉由控制端子 C 與端子 D 之間的導通或非導通來改變電路 102 的端子 A 與端子 B 之間的電阻值。並

且，根據電路 102 的端子 A 與端子 B 之間的電阻值改變端子 OUT 的信號的頻率。

[0099]

在時刻 t_4 ，在將佈線 CONTEXT[1]設定為高位準的同時，將佈線 CONTEXT[2]至 CONTEXT[m]設定為低位準。由此，在電路 104[1]中，由於電晶體 107 成為導通狀態，所以端子 C 與端子 D 之間的電阻值成為基於電晶體 106 的源極與汲極之間的電阻值的值。也就是說，電路 104[1]的端子 C 與端子 D 之間的電阻值為基於所儲存的資料的值。另外，在電路 104[2]至 104[m]中的每一個中，由於電晶體 107 成為關閉狀態，所以端子 C 與端子 D 之間不導通。因此，端子 OUT 的信號的頻率根據儲存到電路 104[1]的資料而決定。

[0100]

在時刻 t_5 ，在將佈線 CONTEXT[1]至 CONTEXT[2]設定為高位準的同時，將佈線 CONTEXT[3]至 CONTEXT[m]設定為低位準。由此，在電路 104[1]及 104[2]中的每一個中，由於電晶體 107 成為導通狀態，所以端子 C 與端子 D 之間的電阻值成為基於電晶體 106 的源極與汲極之間的電阻值的值。也就是說，電路 104[1]及 104[2]的端子 C 與端子 D 之間的電阻值為基於所儲存的資料的值。另外，在電路 104[3]至 104[m]中的每一個中，由於電晶體 107 成為關閉狀態，所以端子 C 與端子 D 之間不導通。因此，端子 OUT 的信號的頻率根據儲存到電路 104[1]及 104[2]的資料而決定。

[0101]

在時刻 t_5 ，在電路 104[1]至 104[m]中的兩個電路中端子 C 與端子 D 之間成為導通狀態，與此相比，在時刻 t_4 ，在電路 104[1]至 104[m]中的一個電路中端子 C 與端子 D 之間成為導通狀態。因此，在時刻 t_5 所設定的電路

102 的端子 A 與端子 B 之間的電阻值比在時刻 t_4 所設定的電路 102 的端子 A 與端子 B 之間的電阻值小，由此在時刻 t_5 所決定的端子 OUT 的信號的頻率比在時刻 t_4 所決定的端子 OUT 的信號的頻率高。

[0102]

在時刻 t_6 ，將佈線 CONTEXT[1]至 CONTEXT[m]設定為高位準。由此，在電路 104[1]至 104[m]中，由於電晶體 107 成為導通狀態，所以端子 C 與端子 D 之間的電阻值成為基於電晶體 106 的源極與汲極之間的電阻值的值。也就是說，電路 104[1]至 104[m]的端子 C 與端子 D 之間的電阻值為基於所儲存的資料的值。因此，端子 OUT 的信號的頻率根據儲存到電路 104[1]至 [m]的資料而決定。

[0103]

在時刻 t_6 ，在電路 104[1]至 104[m]中的 m 個電路中端子 C 與端子 D 之間成為導通狀態，與此相比，在時刻 t_4 ，在電路 104[1]至 104[m]中的一個電路中端子 C 與端子 D 之間成為導通狀態，在時刻 t_5 ，在電路 104[1]至 104[m]中的兩個電路中端子 C 與端子 D 之間成為導通狀態。因此，在時刻 t_6 所設定的電路 102 的端子 A 與端子 B 之間的電阻值比在時刻 t_4 及 t_5 所設定的電路 102 的端子 A 與端子 B 之間的電阻值小，由此在時刻 t_6 所決定的端子 OUT 的信號的頻率比在時刻 t_4 及 t_5 所決定的端子 OUT 的信號的頻率高。

[0104]

如上所述，可以根據電路 104[1]至 104[m]中端子 C 與端子 D 之間成為導通狀態的電路的個數來改變端子 OUT 的信號的頻率。

[0105]

另外，雖然圖 4 例示出佈線 BL 的電位 V_1 至 V_m 為相同值的情況，即對電路 104[1]至 104[m]的每一個都儲存相同資料的情況，但是其工作並不

侷限於此。例如，佈線 BL 的電位 V_1 至 V_m 可以是彼此不同的值。也就是說，可以將不同的資料儲存於電路 104[1]至 104[m]的每一個。此外，可以將佈線 BL 的電位 V_1 至 V_m 中的至少兩個設定為不同的值。也就是說，可以將不同的資料儲存於電路 104[1]至[m]中的至少兩個。

[0106]

圖 5 例示出每當佈線 WL[1]至 WL[m]成為高位準時，佈線 BL 的電位則變高的情況。在電位 V_1 至 V_m 中，如電位 V_2 比電位 V_1 高、電位 V_m 比電位 V_{m-1} 高那樣，有電位 V_j 比電位 V_{j-1} 高且比電位 V_{j+1} 低的關係。

[0107]

圖 5 例示出在時刻 t_4 將佈線 CONTEXT[1]設定為高位準，在時刻 t_5 將佈線 CONTEXT[2]設定為高位準，在時刻 t_6 將佈線 CONTEXT[m]設定為高位準的情況。也就是說，端子 OUT 的信號的頻率在時刻 t_4 根據儲存到電路 104[1]的資料決定，在時刻 t_5 根據儲存到電路 104[2]的資料決定，在時刻 t_6 根據儲存到電路 104[m]的資料決定。

[0108]

電位 V_2 比電位 V_1 高，因此電路 104[2]的電晶體 106 的源極與汲極之間的電阻值比電路 104[1]的電晶體 106 的源極與汲極之間的電阻值小。因此，在時刻 t_5 所設定的電路 102 的端子 A 與端子 B 之間的電阻值比在時刻 t_4 所設定的電路 102 的端子 A 與端子 B 之間的電阻值小，由此在時刻 t_5 所決定的端子 OUT 的信號的頻率比在時刻 t_4 所決定的端子 OUT 的信號的頻率高。

[0109]

電位 V_m 比電位 V_1 及電位 V_2 高，因此電路 104[m]的電晶體 106 的源極與汲極之間的電阻值比電路 104[1]及 104[2]的電晶體 106 的源極與汲極之

間的電阻值小。因此，在時刻 t6 所設定的電路 102 的端子 A 與端子 B 之間的電阻值比在時刻 t4 及 t5 所設定的電路 102 的端子 A 與端子 B 之間的電阻值小，由此在時刻 t6 所決定的端子 OUT 的信號的頻率比在時刻 t4 及時刻 t5 所決定的端子 OUT 的信號的頻率高。

[0110]

如上所述，可以根據儲存到電路 104[1]至 104[m]中端子 C 與端子 D 之間成為導通狀態的電路的資料來改變端子 OUT 的信號的頻率。

[0111]

圖 6 例示出將電位 V1 至 Vm-1 設定為相同的值，使電位 Vm 比電位 V1 至 Vm-1 低的情況。

[0112]

圖 6 例示出在時刻 t4 將佈線 CONTEXT[m]設定為高位準，在時刻 t5 將佈線 CONTEXT[1]設定為高位準，在時刻 t6 將佈線 CONTEXT[1]及 CONTEXT[2]設定為高位準的情況。也就是說，端子 OUT 的信號的頻率在時刻 t4 根據儲存到電路 104[m]的資料決定，在時刻 t5 根據儲存到電路 104[1]的資料決定，在時刻 t6 根據儲存到電路 104[1]及 104[2]的資料決定。

[0113]

電位 V1 比電位 Vm 高，因此電路 104[1]的電晶體 106 的源極與汲極之間的電阻值比電路 104[m]的電晶體 106 的源極與汲極之間的電阻值小。因此，在時刻 t5 所設定的電路 102 的端子 A 與端子 B 之間的電阻值比在時刻 t4 所設定的電路 102 的端子 A 與端子 B 之間的電阻值小，由此在時刻 t5 所決定的端子 OUT 的信號的頻率比在時刻 t4 所決定的端子 OUT 的信號的頻率高。

[0114]

在時刻 t_6 ，電路 104[1]及 104[2]的端子 C 與端子 D 之間成為導通狀態，與此相比，在時刻 t_5 ，電路 104[1]的端子 C 與端子 D 之間成為導通狀態。因此，在時刻 t_6 所設定的電路 102 的端子 A 與端子 B 之間的電阻值比在時刻 t_5 所設定的電路 102 的端子 A 與端子 B 之間的電阻值小，由此在時刻 t_6 所決定的端子 OUT 的信號的頻率比在時刻 t_5 所決定的端子 OUT 的信號的頻率高。

[0115]

如上所述，也可組合圖 4 及圖 5 所例示的工作。

[0116]

接著，參照圖 7 說明用來準確地設定端子 OUT 的信號的頻率的對電路 104[1]至 104[m]的每一個儲存資料的方法。

[0117]

為方便起見，對 m 為 2 的情況進行說明。也就是說，電路 102 包括電路 104[1]及電路 104[2]。

[0118]

注意，作為初始狀態，以電路 104[1]及電路 104[2]中沒有儲存資料為前提。也就是說，在電路 104[1]及電路 104[2]的每一個中，節點 SN 的電位是使電晶體 106 成為關閉狀態的電位。

[0119]

在時刻 t_0 ，將佈線 CONTEXT[1]設定為高位準。由此，在電路 104[1]中電晶體 107 成為導通狀態。但是，由於電晶體 106 是關閉狀態，端子 C 與端子 D 之間不導通。因此，圖 1 所例示的裝置不振盪。

[0120]

在時刻 t_1 ，將佈線 WL[1]設定為高位準，將佈線 BL 的電位設定為 V_1 。

由此，在電路 104[1]中，由於電晶體 105 成為導通狀態，所以佈線 BL 的電位 V1 經過電晶體 105 被輸入到節點 SN，與此同時，基於電位 V1 的電荷被積累到電容器 108。並且，電晶體 106 的源極與汲極之間的電阻值成為基於電位 V1 的值。另外，在電路 104[1]中，由於電晶體 107 是導通狀態，圖 1 所例示的裝置振盪，而端子 OUT 的信號的頻率成為 $f(V1)$ 。

[0121]

在時刻 t2，將佈線 CONTEXT[1]設定為低位準。由此，在電路 104[1]中，電晶體 107 成為關閉狀態。由此，圖 1 所例示的裝置停止振盪。

[0122]

在時刻 t3，將佈線 CONTEXT[2]設定為高位準。由此，在電路 104[2]中，電晶體 107 成為導通狀態。但是，由於電晶體 106 是關閉狀態，端子 C 與端子 D 之間不導通。由此，圖 1 所例示的裝置不振盪。

[0123]

在時刻 t4，將佈線 WL[2]設定為高位準，將佈線 BL 的電位設定為 V2。由此，在電路 104[2]中，由於電晶體 105 成為導通狀態，所以佈線 BL 的電位 V2 經過電晶體 105 被輸入到節點 SN，與此同時，基於電位 V2 的電荷被積累到電容器 108。並且，電晶體 106 的源極與汲極之間的電阻值成為基於電位 V2 的值。另外，在電路 104[2]中，由於電晶體 107 是導通狀態，圖 1 所例示的裝置振盪，而端子 OUT 的信號的頻率成為 $f(V2)$ 。

[0124]

在時刻 t5，將佈線 CONTEXT[2]設定為低位準。由此，在電路 104[2]中，電晶體 107 成為關閉狀態。由此，圖 1 所例示的裝置停止振盪。

[0125]

在時刻 t6，將佈線 CONTEXT[1]設定為高位準。由此，在電路 104[1]

中電晶體 107 成為導通狀態。因此，圖 1 所例示的裝置振盪。但是，由於在時刻 t_6 ，在電路 104[2] 中電晶體 106 是導通狀態，所以與時刻 t_1 相比，電路 102 的端子 A 與端子 B 之間的負載增加。因此，時刻 t_6 的端子 OUT 的信號的頻率比時刻 t_1 的端子 OUT 的信號的頻率 $f(V_1)$ 低。

[0126]

在時刻 t_7 ，將佈線 WL[1] 設定為高位準，將佈線 BL 的電位設定為 V_1' 。由此，在電路 104[1] 中，由於電晶體 105 成為導通狀態，所以佈線 BL 的電位 V_1' 經過電晶體 105 被輸入到節點 SN，與此同時，基於電位 V_1' 的電荷被積累到電容器 108。並且，電晶體 106 的源極與汲極之間的電阻值成為基於電位 V_1' 的值。另外，在電路 104[1] 中，由於電晶體 107 是導通狀態，而圖 1 所例示的裝置振盪。在此，電位 V_1' 是使時刻 t_7 的端子 OUT 的信號的頻率成為 $f(V_1)$ 的值，其是高於電位 V_1 的值。因此，端子 OUT 的信號的頻率與 $f(V_1)$ 大概相等。

[0127]

在時刻 t_8 ，將佈線 CONTEXT[1] 設定為低位準。由此，在電路 104[1] 中，電晶體 107 成為關閉狀態。由此，圖 1 所例示的裝置停止振盪。

[0128]

在時刻 t_9 ，將佈線 CONTEXT[2] 設定為高位準。由此，在電路 104[2] 中電晶體 107 成為導通狀態。因此，圖 1 所例示的裝置振盪。但是，時刻 t_9 的電路 104[1] 的節點 SN 的電位比時刻 t_4 的電路 104[1] 的節點 SN 的電位高。也就是說，時刻 t_9 的電路 104[1] 的電晶體 106 的源極與汲極之間的電阻值比時刻 t_4 的電路 104[1] 的電晶體 106 的源極與汲極之間的電阻值小。換句話說，時刻 t_9 的電路 104[1] 的電晶體 106 的閘極電容比時刻 t_4 的電路 104[1] 的電晶體 106 的閘極電容大。因此，時刻 t_9 的電路 102 的端子 A 與

端子 B 之間的負載比時刻 t4 的有了增加。因此，時刻 t9 的端子 OUT 的信號的頻率比時刻 t4 的端子 OUT 的信號的頻率 $f(V2)$ 低。

[0129]

在時刻 t10，將佈線 WL[2] 設定為高位準，將佈線 BL 的電位設定為 $V2'$ 。由此，在電路 104[2] 中，由於電晶體 105 成為導通狀態，所以佈線 BL 的電位 $V2'$ 經過電晶體 105 被輸入到節點 SN，與此同時，基於電位 $V2'$ 的電荷被儲存到電容器 108。並且，電晶體 106 的源極與汲極之間的電阻值成為基於電位 $V2'$ 的值。另外，在電路 104[2] 中，由於電晶體 107 是導通狀態，而圖 1 所例示的裝置振盪。在此，電位 $V2'$ 是使時刻 t10 的端子 OUT 的信號的頻率成為 $f(V2)$ 的值，其是高於電位 $V2$ 的值。因此，端子 OUT 的信號的頻率與 $f(V2)$ 大概相等。

[0130]

在時刻 t11，將佈線 CONTEXT[2] 設定為低位準。由此，在電路 104[2] 中，電晶體 107 成為關閉狀態。由此，圖 1 所例示的裝置停止振盪。

[0131]

然後，藉由反復時刻 t6 至 t11 的工作，可以使佈線 CONTEXT[1] 為高位準時的端子 OUT 的信號的頻率成為 $f(V1)$ ，並使佈線 CONTEXT[2] 為高位準時的端子 OUT 的信號的頻率成為 $f(V2)$ 。

[0132]

藉由具有上述結構，本實施方式所示的半導體裝置可以提供一種新穎的電路結構。另外，可以提供一種能夠改變振盪頻率或者可以實現該情況的電路結構。另外，可以提高提供振盪頻率的精度或者可以實現該情況的電路結構。

[0133]

本實施方式可以與本說明書等所公開的其他實施方式等的結構適當地組合而實施。

[0134]

實施方式 2

在本實施方式中，對使用實施方式 1 所說明的裝置的 PLL 進行說明。

[0135]

圖 8 所例示的 PLL 包括相位比較器 201、迴路濾波器 202、電壓控制振盪器 203 及分頻器 204。

[0136]

相位比較器 201 能夠檢測兩個輸入信號的相位差，並將檢測結果作為電壓信號而輸出。也就是說，相位比較器 201 能夠將 f_{in} 的頻率的信號與 f_{out}/N 的頻率的信號的相位差作為電壓信號而輸出。

[0137]

迴路濾波器 202 能夠生成用來輸入到電壓控制振盪器 203 的直流電壓信號 DATA。另外，迴路濾波器 202 能夠去除相位比較器 201 的輸出信號所包含的高頻成分。作為迴路濾波器 202 有低通濾波器。

[0138]

電壓控制振盪器 203 能夠輸出根據 DATA 表示指定的振盪頻率的時脈信號。作為電壓控制振盪器 203，可以採用圖 1 所例示的裝置。另外，DATA 對應於佈線 BL 的電位。此外，如圖 8 所示，圖 1 所例示的裝置也可以經過緩衝器輸出信號。

[0139]

分頻器 204 能夠生成時脈信號，該時脈信號是從電壓控制振盪器 203

輸出的表示指定的振盪頻率的時脈信號的 $1/N$ 倍。

[0140]

另外，DATA 對應於佈線 BL 的電位。DATA 可以藉由在分頻器 204 中改變 N 來控制。也就是說，儲存到電壓控制振盪器 203 的電路 101[1]至 101[n] 的每一個的資料可以藉由在分頻器 204 中改變 N 來控制。

[0141]

本實施方式可以與本說明書等所公開的其他實施方式等的結構適當地組合而實施。

[0142]

實施方式 3

〈半導體裝置的平面結構·剖面結構的例子〉

在本實施方式中，參照圖 9A 至圖 14 說明上面的實施方式所示的半導體裝置的結構例子。

[0143]

注意，下面所示的結構只是上面的實施方式所示的半導體裝置的一個例子，使用的材料或結構等半導體裝置的具體結構並不需要限制於這裡使用的材料或結構。

[0144]

在上面的實施方式中，參照圖 9A 和圖 9B 及圖 10 說明圖 1 及圖 2 所示的電路 104[1]及電路 104[2]的 $m=2$ 時的結構的一個例子。圖 9A 及圖 9B 是電路 104[1]及電路 104[2]的平面圖。圖 10 是對應於圖 9A 及圖 9B 所示的點劃線 X1-X2 及點劃線 X3-X4 的剖面圖。

[0145]

圖 9A 是示出位於圖 10 所示的絕緣膜 314 下面的主要構成要素的平面圖，圖 9B 是示出位於圖 10 所示的絕緣膜 314 上面的主要構成要素的平面圖。另外，在圖 9A 和圖 9B 中，省略了與電路 104[1]重複的電路 104[2]的構成要素的符號及詳細說明，關於它們可以參考電路 104[1]的結構的記載。

[0146]

作為圖 9A 和圖 9B 及圖 10 所示的半導體裝置的一個例子，示出在半導體裝置的下部形成將第一半導體材料用於通道形成區域的電晶體 106[1]及電晶體 107[1]且在半導體裝置的上部形成將第二半導體材料用於通道形成區域的電晶體 105[1]的情況。

[0147]

第一半導體材料和第二半導體材料較佳為具有彼此不同的能帶間隙的材料。例如，可以將氧化物半導體以外的半導體材料(矽、銻、矽銻、碳化矽或砷化銻)用於第一半導體材料，並且將氧化物半導體用於第二半導體材料。作為氧化物半導體以外的材料使用單晶矽的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體的關態電流小。

[0148]

注意，根據本發明的一個實施方式的半導體裝置不侷限於此，也可以使用相同的半導體材料形成電晶體 105、電晶體 106 及電晶體 107。在此情況下，也可以將電晶體 105、電晶體 106 及電晶體 107 形成在同一個層中。

[0149]

電晶體 106[1]及電晶體 107[1]形成在絕緣膜 310 上，該絕緣膜 310 形成在基板 300 上。

[0150]

電晶體 106[1]包括：形成在絕緣膜 310 上的半導體膜 320；形成在半導

體膜 320 上的閘極絕緣膜 322a；設置在閘極絕緣膜 322a 上的閘極電極 324a；在閘極絕緣膜 322a 上以與閘極電極 324a 的側面接觸的方式設置的側壁絕緣膜 326a。電晶體 106[1]在與半導體膜 320 的閘極電極 324a 重疊的部分中包括通道形成區域 320f，夾著通道形成區域 320f 設置雜質區域 320a 及雜質區域 320b。雜質區域 320a 及雜質區域 320b 被用作電晶體 106[1]的源極區域或汲極區域。另外，在半導體膜 320 中，較佳為在雜質區域 320a 及雜質區域 320b 與通道形成區域 320f 之間且在與側壁絕緣膜 326a 重疊的區域中設置雜質區域 320d。雜質區域 320d 較佳為被用作其雜質濃度比雜質區域 320a 及雜質區域 320b 低的 LDD (lightly doped drain) 區域。

[0151]

電晶體 107[1]包括：形成在絕緣膜 310 上的半導體膜 320；形成在半導體膜 320 上的閘極絕緣膜 322b；設置在閘極絕緣膜 322b 上的閘極電極 324b；在閘極絕緣膜 322b 上以與閘極電極 324b 的側面接觸的方式設置的側壁絕緣膜 326b。電晶體 107[1]在與半導體膜 320 的閘極電極 324b 重疊的部分中包括通道形成區域 320g，夾著通道形成區域 320g 設置雜質區域 320b 及雜質區域 320c。雜質區域 320b 及雜質區域 320c 被用作電晶體 107[1]的源極區域或汲極區域。另外，在半導體膜 320 中，較佳為在雜質區域 320b 及雜質區域 320c 與通道形成區域 320g 之間且在與側壁絕緣膜 326b 重疊的區域中設置雜質區域 320e。雜質區域 320e 較佳為被用作其雜質濃度比雜質區域 320b 及雜質區域 320c 低的 LDD 區域。

[0152]

在此，半導體膜 320 可以使用非晶、微晶、多晶或單晶的矽、碳化矽、銻或矽銻等的半導體。當使用矽薄膜形成半導體膜 320 時，作為該薄膜可以使用：利用電漿 CVD 法等氣相沉積法或濺射法製造的非晶矽；利用雷射

退火等處理使非晶矽晶化而形成的多晶矽；藉由對單晶矽晶圓注入氫離子等來使表層部剝離而得到的單晶矽；等。

[0153]

絕緣膜 310 例如可以使用包含選自氧化鋁、氧氮化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釷、氧化鋳、氧化釷、氧化鈾等的一種以上的絕緣體。另外，閘極絕緣膜 322a、閘極絕緣膜 322b、側壁絕緣膜 326a 及側壁絕緣膜 326b 也可以使用可用於絕緣膜 310 的上流絕緣膜形成。

[0154]

作為基板 300，可以使用以矽或碳化矽為材料的單晶半導體基板或多晶半導體基板、以矽鍺為材料的化合物半導體基板。

[0155]

基板 300 也可以使用絕緣基板。作為該絕緣基板，例如可以舉出玻璃基板、石英基板、塑膠基板、撓性基板、貼合薄膜、包含纖維狀的材料、紙或者基材薄膜等。作為玻璃基板的一個例子，有鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鈉鈣玻璃等。作為撓性基板的一個例子，有以聚對苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)為代表的塑膠或丙烯酸樹脂等的具有撓性的合成樹脂等。作為貼合薄膜的一個例子，有聚丙烯、聚酯、聚氟化乙烯、聚氯乙烯等。作為基材薄膜的一個例子，有聚酯、聚醯胺、聚醯亞胺、芳族聚醯胺、環氧樹脂、無機蒸鍍薄膜、紙類等。

[0156]

在本實施方式中，例示出依次層疊基板 300、絕緣膜 310 以及半導體膜 320 的 SOI (Silicon on Insulator) 基板，但是其結構不侷限於此。例如，也可以藉由使用元件隔離法在矽基板、鍺基板或矽鍺基板等半導體基板上形

成電晶體。作為元件隔離法，可以使用淺溝槽隔離(STI：Shallow Trench Isolation)法、矽的局部氧化(LOCOS：Local Oxidation of Silicon)法等。作為基板 300，也可以使用金屬基板、不鏽鋼基板、具有不鏽鋼箔的基板、鎢基板、具有鎢箔的基板等。

[0157]

閘極電極 324a 及閘極電極 324b 較佳為使用選自鈹、鎢、鈦、鉬、鉻、銦等的金屬或以這些金屬為主要成分的合金材料或化合物材料。另外，還可以使用添加有磷等雜質的多晶矽。此外，還可以以金屬氮化物膜和上述金屬膜的疊層結構形成閘極電極 324a 及閘極電極 324b。作為金屬氮化物，可以使用氮化鎢、氮化鉬或氮化鈦。藉由設置金屬氮化物膜，可以提高金屬膜的緊密性，從而能夠防止剝離。

[0158]

雜質區域 320a 至雜質區域 320e 對半導體膜 320 添加賦予 n 型的雜質元素或賦予 p 型的雜質元素來形成。作為賦予 n 型的雜質元素，可以使用磷 (P) 或砷 (As) 等，而作為賦予 p 型的雜質元素，可以使用硼 (B) 或鋁 (Al) 等。

[0159]

在電晶體 106[1]及電晶體 107[1]上形成有絕緣膜 311，在絕緣膜 311 上形成有導電膜 328a 至導電膜 328c。導電膜 328a 藉由設置在絕緣膜 311 中的開口部與雜質區域 320a 連接，導電膜 328b 藉由設置在絕緣膜 311 中的開口部與雜質區域 320c 連接，導電膜 328c 藉由設置在絕緣膜 311 中的開口部與閘極電極 324a 連接。

[0160]

在此，導電膜 328a 被用作電晶體 106[1]的源極電極或汲極電極，導電

膜 328b 被用作電晶體 107[1]的源極電極或汲極電極。另外，圖 10 所示的電晶體 106[1]及電晶體 107[1]看起來不具有源極電極和汲極電極中的另一個，但爲了便於理解，有時將這種狀態的元件稱爲“電晶體”。此時，爲了對電晶體的連接關係進行說明，有時將源極區域或汲極區域稱爲“源極電極”或“汲極電極”。

[0161]

導電膜 328a 至導電膜 328c 較佳爲包含銅(Cu)、鎢(W)、鉬(Mo)、金(Au)、鋁(Al)、錳(Mn)、鈦(Ti)、鉭(Ta)、鎳(Ni)、鉻(Cr)、鉛(Pb)、錫(Sn)、鐵(Fe)、鈷(Co)等低電阻材料、低電阻材料的合金或以它們爲主要成分的化合物的導電膜的單層或疊層。尤其是，較佳爲使用同時實現耐熱性和導電性的鎢或鉬等高熔點材料。另外，較佳爲使用鋁或銅等低電阻導電材料形成。並且，當使用 Cu-Mn 合金時，在與包含氧的絕緣體的介面形成氧化錳，該氧化錳能夠抑制 Cu 的擴散，所以是較佳的。導電膜 328a 至導電膜 328c 等可以利用濺射法或 CVD 法等形式。

[0162]

絕緣膜 311 可以使用可用於絕緣膜 310 的上述絕緣膜形成。另外，絕緣膜 311 也可以使用聚醯亞胺樹脂、聚醯胺樹脂、丙烯酸樹脂、矽氧烷樹脂、環氧樹脂或酚醛樹脂等有機樹脂。

[0163]

藉由利用 CVD 法形成絕緣膜 311，可以增高絕緣膜 311 的氫含量。當在存在該絕緣膜 311 的情況下進行加熱處理時，使半導體膜 320 氫化、利用氫使懸空鍵得到飽和，由此可以降低半導體膜 320 中的缺陷。如此，藉由使半導體膜 320 中的懸空鍵得到飽和，可以提高電晶體 106[1]及電晶體 107[1]的可靠性。

[0164]

在導電膜 328a 至導電膜 328c 及絕緣膜 311 上形成有絕緣膜 312，在絕緣膜 312 上形成有導電膜 330a 至導電膜 330c、導電膜 332、導電膜 334 及導電膜 336。導電膜 330a 藉由設置在絕緣膜 312 中的開口部與導電膜 328a 連接，導電膜 330b 藉由設置在絕緣膜 312 中的開口部與導電膜 328b 連接，導電膜 330c 藉由設置在絕緣膜 312 中的開口部與導電膜 328c 連接。另外，在圖 10 中未圖示，但是與導電膜 330c 及與電極 324a 電連接的情況同樣，導電膜 332 藉由設置在絕緣膜 312 及絕緣膜 311 中的開口部與閘極電極 324b 電連接。

[0165]

在此，在圖 9A 中導電膜 332 向行方向延伸，導電膜 332 被用作上面實施方式所示的佈線 CONTEXT[1]。另外，導電膜 334 被用作電容器 108[1] 的第二端子。此外，在圖 9A 中導電膜 334 向行方向延伸，導電膜 334 在電路 102[1] 至 102[n] 的電路 104[1] 中也被用作電容器 108[1] 的第二端子。

[0166]

導電膜 336 被用作電晶體 105[1] 的背閘極。藉由設置上述導電膜 336，可以控制電晶體 105[1] 的臨界電壓。導電膜 336 既可以處於電絕緣的浮動狀態，也可以處於接收其他佈線所供應的電位的狀態。根據電晶體 105[1] 的臨界電壓的控制，可以適當地設定導電膜 336 的狀態。此外，在圖 9A 中導電膜 336 向行方向延伸，導電膜 336 在電路 102[1] 至 102[n] 的電路 104[1] 中被用作電晶體 105[1] 的背閘極。另外，電晶體 105[1] 至少包括一個閘極電極即可，並不需要設置用作背閘極的導電膜 336。

[0167]

導電膜 330a 至導電膜 330c、導電膜 332、導電膜 334 及導電膜 336 可

以使用可用於導電膜 328a 及導電膜 328b 的上述材料形成。

[0168]

絕緣膜 312 可以使用可用於絕緣膜 310 的上述絕緣膜形成。另外，絕緣膜 312 也可以使用聚醯亞胺樹脂、聚醯胺樹脂、丙烯酸樹脂、矽氧烷樹脂、環氧樹脂或酚醛樹脂等有機樹脂。

[0169]

絕緣膜 312 較佳為進行 CMP (Chemical Mechanical Polishing：化學機械拋光)法等平坦化處理而提高平面性。

[0170]

在絕緣膜 313 上形成有絕緣膜 314，在絕緣膜 314 上形成有絕緣膜 315。

[0171]

如上所述，利用設置於電晶體 106[1]及電晶體 107[1]的半導體膜 320 附近的絕緣膜 311 等中的氫使懸空鍵得到飽和。然而，由於設置於電晶體 105[1]的氧化物半導體膜 340 附近的絕緣膜中的氫成為在氧化物半導體中生成載子的原因之一，因此有時導致使電晶體 105[1]的可靠性降低。由此，作為位於設置在下部的電晶體 106[1]及電晶體 107[1]與設置在上部的電晶體 105[1]之間的絕緣膜 314，設置具有防止氫的擴散的功能的絕緣膜是特別有效的。藉由絕緣膜 314 將氫封閉在下部，可以提高電晶體 106[1]及電晶體 107[1]的可靠性，加上，由於絕緣膜 314 從下部到上部的氫的擴散得到抑制，所以同時可以提高電晶體 105[1]的可靠性。

[0172]

絕緣膜 314 例如可以使用氮化矽、氮氧化鋁、氧化鋁、氧氮化鋁、氧化鋇、氧氮化鋇、氧化鈮、氧氮化鈮、氧化鈣、氧氮化鈣、鈮安定氧化鋯(YSZ)等。

[0173]

較佳為使用由於加熱而使氧的一部分脫離的氧化絕緣膜形成絕緣膜 315。作為由於加熱而使氧的一部分脫離的氧化絕緣膜，較佳為使用其含氧量多於滿足化學計量比的氧量的氧化絕緣膜。作為絕緣膜 315，可以使用氧化矽、氧氮化矽、氮氧化矽、氧化鎵、氧化鉛、氧化釔、氧化鋁、氧氮化鋁的單層或疊層。

[0174]

絕緣膜 315 較佳為進行 CMP 法等平坦化處理而提高平面性。

[0175]

電晶體 105[1]形成在絕緣膜 315 上。電晶體 105[1]在絕緣膜 315 上包括：氧化物半導體膜 340；與氧化物半導體膜 340 電連接的用作源極電極或汲極電極的導電膜 344a 及導電膜 344b；在氧化物半導體膜 340 上且與氧化物半導體膜 340 接觸的閘極絕緣膜 346；隔著閘極絕緣膜 346 與氧化物半導體膜 340 重疊的閘極電極 348。另外，導電膜 344a 被用作電容器 108[1]的第一端子。

[0176]

在此，例示出氧化物半導體膜 340 包括在絕緣膜 315 上依次層疊的氧化物半導體膜 340a 至氧化物半導體膜 340c 的情況。注意，在本發明的一個實施方式中，電晶體 105[1]所具有的氧化物半導體膜 340 也可以由單層的金屬氧化物膜構成。

[0177]

另外，在絕緣膜 315 上也形成有導電膜 342a 及導電膜 342b。導電膜 342a 藉由設置在絕緣膜 313 至絕緣膜 315 的開口部與導電膜 330a 連接，導電膜 342b 藉由設置在絕緣膜 313 至絕緣膜 315 的開口部與導電膜 330b 連

以上述金屬元素為成分的合金或組合上述金屬元素的合金等而形成。此外，也可以使用選自錳、鋅的任一種或多種的金屬元素。此外，閘極電極 348 可以具有單層結構或者兩層以上的疊層結構。例如，可以舉出包含矽的鋁膜的單層結構、在鋁膜上層疊鈦膜的雙層結構、在氮化鈦膜上層疊鈦膜的雙層結構、在氮化鈦膜上層疊鎢膜的雙層結構、在氮化鉭膜上層疊鎢膜的雙層結構、依次層疊鈦膜、鋁膜以及鈦膜的三層結構等。另外，也可以使用組合鋁與選自鈦、鉭、鎢、鉬、鉻、釹、釷的一種或多種元素的合金膜或氮化膜。

[0183]

另外，閘極電極 348 也可以使用氧化銮錫、包含氧化鎢的氧化銮、包含氧化鎢的氧化銮鋅、包含氧化鈦的氧化銮、包含氧化鈦的氧化銮錫、氧化銮鋅、添加有氧化矽的氧化銮錫等透光導電材料。另外，也可以採用上述透光導電材料和上述金屬元素的疊層結構。

[0184]

另外，後面將詳細地說明在氧化物半導體膜中具有通道形成區域的電晶體以及該氧化物半導體膜。

[0185]

在電晶體 105[1]及絕緣膜 315 上形成有絕緣膜 316，在絕緣膜 316 上形成有絕緣膜 317。

[0186]

絕緣膜 316 較佳為對氧、氫、水、鹼金屬、鹼土金屬等具有阻擋效果。作為絕緣膜 316，例如可以使用氮化物絕緣膜。作為該氮化物絕緣膜，有氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等。另外，也可以設置對氧、氫、水等具有阻擋效果的氧化物絕緣膜代替氮化物絕緣膜。作為氧化物絕

緣膜，有氧化鋁膜、氧氮化鋁膜、氧化鎵膜、氧氮化鎵膜、氧化釔膜、氧氮化釔膜、氧化鉛膜、氧氮化鉛膜等。

[0187]

氧化鋁膜的不使氫、水分等雜質及氧透過的阻擋效果高，所以較佳為適用於絕緣膜 316。另外，也可以將包含於氧化鋁膜中的氧擴散到氧化物半導體膜 340 中。

[0188]

絕緣膜 317 可以使用可用於絕緣膜 310 的上述絕緣膜形成。

[0189]

在絕緣膜 317 上形成有導電膜 350a 至導電膜 350c。導電膜 350a 藉由設置在絕緣膜 316 及絕緣膜 317 中的開口部 C_1 與導電膜 342a 連接，導電膜 350b 藉由設置在絕緣膜 316 及絕緣膜 317 中的開口部 D_1 與導電膜 342b 連接，導電膜 350c 藉由設置在絕緣膜 316 及絕緣膜 317 中的開口部與導電膜 344b 連接。

[0190]

在圖 9B 中導電膜 350a 向列方向延伸，在電路 104[2]中藉由設置在絕緣膜 311 至絕緣膜 317 中的開口部 C_2 與電晶體 106[2]的源極區域和汲極區域中的一個電連接。另外，圖 9A 和圖 9B 所示的電路例示出 $m=2$ 的情況，由此導電膜 350a 的一個端部延伸到圖 1 所示的第一區域 113a 而與相同的級的反相器 103 的輸出端子電連接，導電膜 350a 的另一個端部藉由開口部 C_2 與電晶體 106[2]連接而就此被中斷。就是說，導電膜 350a 被用作上面實施方式所示的端子 A 與端子 C_1 及端子 C_2 之間的佈線。

[0191]

在圖 9B 中導電膜 350b 向列方向延伸，在電路 104[2]中藉由設置在絕

緣膜 311 至絕緣膜 317 中的開口部 D_2 與電晶體 107[2] 的源極區域和汲極區域中的一個電連接。另外，圖 9A 和圖 9B 所示的電路例示出 $m=2$ 的情況，由此導電膜 350b 的一個端部藉由開口部 D_1 與電晶體 107[1] 連接而就此被中斷，導電膜 350b 的另一個端部延伸到圖 1 所示的第三區域 113b 而與下一級的反相器 103 的輸入端子電連接。就是說，導電膜 350b 被用作上面實施方式所示的端子 D_1 及端子 D_2 與端子 B 之間的佈線。

[0192]

在此，設置在開口部 C_1 中的導電膜與電晶體 106[1] 的源極區域和汲極區域中的一個電連接，可以將該導電膜視為圖 2 所示的端子 C_1 。與此同樣，可以將設置在開口部 C_2 中的導電膜視為圖 2 所示的端子 C_2 ，可以將設置在開口部 D_1 中的導電膜視為圖 2 所示的端子 D_1 ，可以將設置在開口部 D_2 中的導電膜視為圖 2 所示的端子 D_2 。

[0193]

由此，可以將開口部 C_1 與開口部 C_2 之間的距離視為 a_2-a_1 ，可以將開口部 D_1 與開口部 D_2 之間的距離視為 b_1-b_2 。如圖 9A 和圖 9B 所示，在本實施方式所示的半導體裝置中，關係為如下： $a_2-a_1=b_1-b_2$ 。這結果滿足上面實施方式所示的式 (1)。

[0194]

就是說，藉由採用開口部 C_1 與開口部 C_2 之間的距離大致相等於開口部 D_1 與開口部 D_2 之間的距離的結構，無論電路 104 的佈線路徑的選擇如何，可以使電路 102 的端子 A 與端子 B 之間的佈線電阻都相等。另外，換句話說，藉由採用導電膜 350a 的重疊於開口部 C_1 的部分與重疊於開口部 C_2 的部分之間的距離大致相等於導電膜 350b 的重疊於開口部 D_1 的部分與重疊於開口部 D_2 的部分之間的距離的結構，無論電路 104 的佈線路徑的選擇如

何，可以使電路 102 的端子 A 與端子 B 之間的佈線電阻都相等。由此，在本實施方式所示的半導體裝置中可以使對應特定資料的振盪頻率大致相等，從而可以提高振盪頻率的精度。

[0195]

在圖 9B 中導電膜 350c 向列方向延伸，在電路 104[2]中藉由設置在絕緣膜 316 及絕緣膜 317 中的開口部與電晶體 105[2]的源極電極和汲極電極中的一個電連接。另外，圖 9A 和圖 9B 所示的電路例示出 $m=2$ 的情況，導電膜 350c 的一個端部藉由開口部與電晶體 105[1]連接而就此被中斷。就是說，導電膜 350c 被用作上面實施方式所示的佈線 BL。

[0196]

導電膜 350a 至導電膜 350c 可以使用可用於導電膜 328a 及導電膜 328b 的上述材料。

[0197]

藉由具有上述結構，本實施方式所示的半導體裝置可以提供一種新穎的電路結構。另外，可以改變振盪頻率或者提供一種能夠實現該情況的電路結構。另外，可以提高提供振盪頻率的精度或者提供一種能夠實現該情況的電路結構。

[0198]

另外，作為導電膜 350a 與雜質區域 320a 的連接方法，反復形成絕緣膜的開口部及導電膜而使導電膜 350a 與雜質區域 320a 連接，但是本實施方式所示的半導體裝置不侷限於此。例如，可以在絕緣膜 317 至絕緣膜 311 中同時形成開口部之後使導電膜 350a 與雜質區域 320a 直接連接。另外，關於電路 104 的其他開口部與導電膜的連接關係，也可以採用與上面相同的結構。

[0199]

在電容器 108[1]中，將用作第二端子的導電膜 334 設置在用作第一端子的導電膜 344a 下面，但是實施方式所示的半導體裝置不侷限於此。例如，也可以將用作第二端子的導電膜設置在導電膜 344a 上面，而將絕緣膜 316 用作電介質。

[0200]

另外，在圖 10 中，例示出電晶體 105[1]包括對應於閘極電極 348 的通道形成區域的情況。但是，電晶體 105[1]也可以具有多閘極結構，即具有彼此電連接的多個閘極電極且在一個活性層中具有多個通道形成區域的結構。另外，在本實施方式中電晶體 105、電晶體 106 及電晶體 107 不重疊，但是本實施方式所示的半導體裝置不侷限於此，電晶體 105、電晶體 106 或/及電晶體 107 也可以重疊。另外，在本實施方式中電晶體 105 的通道長度方向平行於電晶體 106 及電晶體 107 的通道長度方向，但是本實施方式所示的半導體裝置不侷限於此，電晶體 105 的通道長度方向也可以不平行於電晶體 106 及電晶體 107 的通道長度方向。

[0201]

〈電晶體〉

接著，對在氧化物半導體膜中具有通道形成區域的電晶體 90 的結構例子進行說明。

[0202]

圖 11A 至圖 11C 示出在氧化物半導體膜中具有通道形成區域的電晶體 90 的結構的一個例子。圖 11A 示出電晶體 90 的俯視圖。注意，在圖 11A 中，爲了明確示出電晶體 90 的佈局，省略各種絕緣膜。此外，圖 11B 示出沿著圖 11A 所示的俯視圖的點劃線 A1-A2 的剖面圖，圖 11C 示出沿著點劃

線 A3-A4 的剖面圖。

[0203]

如圖 11A 至圖 11C 所示，電晶體 90 包括：在形成於基板 97 上的絕緣膜 91 上依次層疊的氧化物半導體膜 92a 及氧化物半導體膜 92b；電連接於氧化物半導體膜 92b 且被用作源極電極或汲極電極的導電膜 93 及導電膜 94；氧化物半導體膜 92b、導電膜 93 及導電膜 94 上的氧化物半導體膜 92c；被用作閘極絕緣膜且位於氧化物半導體膜 92c 上的絕緣膜 95；以及被用作閘極電極且在絕緣膜 95 上與氧化物半導體膜 92a 至氧化物半導體膜 92c 重疊的導電膜 96。另外，基板 97 既可以是玻璃基板或半導體基板等，又可以在玻璃基板或半導體基板上形成有半導體元件的元件基板。

[0204]

在此，電晶體 90 對應於上述電晶體 105；絕緣膜 91 對應於絕緣膜 315；氧化物半導體膜 92a 至氧化物半導體膜 92c 對應於氧化物半導體膜 340；導電膜 93 及導電膜 94 對應於導電膜 344a 及導電膜 344b；絕緣膜 95 對應於閘極絕緣膜 346；導電膜 96 對應於閘極電極 348。

[0205]

此外，圖 12A 至圖 12C 示出電晶體 90 的具體結構的另一個例子。圖 12A 示出電晶體 90 的俯視圖。注意，在圖 12A 中，爲了明確示出電晶體 90 的佈局，省略各種絕緣膜。此外，圖 12B 示出沿著圖 12A 所示的俯視圖的點劃線 A1-A2 的剖面圖，圖 12C 示出沿著點劃線 A3-A4 的剖面圖。

[0206]

如圖 12A 至圖 12C 所示，電晶體 90 包括：在絕緣膜 91 上依次層疊的氧化物半導體膜 92a 至氧化物半導體膜 92c；電連接於氧化物半導體膜 92c 且被用作源極電極或汲極電極的導電膜 93 及導電膜 94；被用作閘極絕緣膜

且位於氧化物半導體膜 92c、導電膜 93 及導電膜 94 上的絕緣膜 95；以及被用作閘極電極且在絕緣膜 95 上與氧化物半導體膜 92a 至氧化物半導體膜 92c 重疊的導電膜 96。

[0207]

另外，在圖 11A 至圖 12C 中，示出使用層疊的氧化物半導體膜 92a 至氧化物半導體膜 92c 的電晶體 90 的結構。電晶體 90 所包括的氧化物半導體膜不限於由層疊的多個氧化物半導體膜構成的結構，還可以由單膜的氧化物半導體膜構成。

[0208]

當電晶體 90 包括其中氧化物半導體膜 92a 至氧化物半導體膜 92c 被依次層疊的半導體膜時，氧化物半導體膜 92a 及氧化物半導體膜 92c 為如下氧化物膜：在其構成要素中包含構成氧化物半導體膜 92b 的金屬元素的至少一個，並且其傳導帶底的能量氧化物半導體膜 92b 離真空能階近 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上，且 2eV 以下、1eV 以下、0.5eV 以下或 0.4eV 以下。並且，當氧化物半導體膜 92b 至少包含銦時，載子移動率變高，所以是較佳的。

[0209]

在電晶體 90 具有上述結構的半導體膜的情況下，當對閘極電極施加電壓而對半導體膜施加電場時，通道區形成在半導體膜中的傳導帶底的能量小的氧化物半導體膜 92b 中。也就是說，藉由在氧化物半導體膜 92b 與絕緣膜 95 之間設置有氧化物半導體膜 92c，可以在與絕緣膜 95 分開的氧化物半導體膜 92b 中形成通道區。

[0210]

另外，由於氧化物半導體膜 92c 在其構成要素中包含至少一個構成氧

化物半導體膜 92b 的金屬元素，因此在氧化物半導體膜 92b 與氧化物半導體膜 92c 的介面處不容易發生介面散射。因此，在該介面處載子的移動不容易被阻礙，所以電晶體 90 的場效移動率變高。

[0211]

另外，當在氧化物半導體膜 92b 與氧化物半導體膜 92a 的介面處形成介面能階時，由於在介面附近的區域中也會形成通道區，因此電晶體 90 的臨界電壓變動。但是，由於氧化物半導體膜 92a 在其構成要素中包含至少一個構成氧化物半導體膜 92b 的金屬元素，因此在氧化物半導體膜 92b 與氧化物半導體膜 92a 的介面處不容易形成介面能階。因此，藉由上述結構可以減少電晶體 90 的臨界電壓等的電特性的偏差。

[0212]

另外，較佳的是，以不使因氧化物半導體膜間的雜質的存在而在各膜的介面形成有阻礙載子移動的介面能階的方式將多個氧化物半導體膜層疊。這是因為，當被層疊的氧化物半導體膜的膜間存在雜質時，氧化物半導體膜間的傳導帶底的能量失去連續性，於是在介面附近，載子被俘獲或因再結合而消失。藉由減少膜間的雜質，與將作為主要成分至少包含相同一種金屬的多個氧化物半導體膜單純地層疊相比，更容易形成連續接合（這裡尤其是指具有傳導帶底的能量在各膜之間連續地變化的 U 字型井結構的狀態）。

[0213]

為了形成連續接合，需要使用具備負載鎖定室的多室方式的沉積裝置（濺射裝置）在不使各膜暴露於大氣的情況下連續地層疊。在濺射裝置中的各腔室中，為了儘可能地去除成為氧化物半導體的雜質的水等，較佳為使用如低溫泵的吸附式的真空排氣泵進行高真空排氣（ $5 \times 10^{-7} \text{Pa}$ 至 $1 \times 10^{-4} \text{Pa}$ ）。

左右)。或者，較佳為組合渦輪分子泵與冷阱使氣體不從排氣系統倒流到腔室內。

[0214]

為了得到高純度的本質氧化物半導體，對各腔室不僅進行高真空排氣，還需要將用於濺射的氣體高度純化。藉由將用作上述氣體的氧氣體或氬氣體的露點設定為 -40°C 以下，較佳為 -80°C 以下，更佳為 -100°C 以下，實現氣體的高度純化，可以儘可能地防止水分等混入氧化物半導體膜。明確而言，當氧化物半導體膜 92b 包含 In-M-Zn 氧化物（M 是 Ga、Y、Zr、La、Ce 或 Nd），並且用於形成氧化物半導體膜 92b 的靶材中的金屬元素的原子數比為 $\text{In:M:Zn}=\text{x}_1:\text{y}_1:\text{z}_1$ 時， x_1/y_1 較佳為 $1/3$ 以上且 6 以下，更佳為 1 以上且 6 以下， z_1/y_1 較佳為 $1/3$ 以上且 6 以下，更佳為 1 以上且 6 以下。另外，藉由將 z_1/y_1 設定為 1 以上且 6 以下，作為氧化物半導體膜 92b 容易形成 CAAC-OS 膜。作為靶材的金屬元素的原子數比的典型例子，有 $\text{In:M:Zn}=1:1:1$ 、 $\text{In:M:Zn}=3:1:2$ 等。

[0215]

明確而言，當氧化物半導體膜 92a 及氧化物半導體膜 92c 包含 In-M-Zn 氧化物（M 為 Ga、Y、Zr、La、Ce 或 Nd）時，在用來形成氧化物半導體膜 92a 及氧化物半導體膜 92c 的靶材中的金屬元素的原子數比為 $\text{In:M:Zn}=\text{x}_2:\text{y}_2:\text{z}_2$ 的情況下，較佳的是， $\text{x}_2/\text{y}_2<\text{x}_1/\text{y}_1$ ， z_2/y_2 是 $1/3$ 以上且 6 以下、更佳的是 1 以上且 6 以下。另外，藉由將 z_2/y_2 設定為 1 以上且 6 以下，容易形成用作氧化物半導體膜 92a 及氧化物半導體膜 92c 的 CAAC-OS 膜。作為靶材的金屬元素的原子數比的典型例子，有 $\text{In:M:Zn}=1:3:2$ 、 $\text{In:M:Zn}=1:3:4$ 、 $\text{In:M:Zn}=1:3:6$ 、 $\text{In:M:Zn}=1:3:8$ 等。

[0216]

氧化物半導體膜 92a 及氧化物半導體膜 92c 的厚度為 3nm 以上且 100nm 以下，較佳為 3nm 以上且 50nm 以下。此外，氧化物半導體膜 92b 的厚度為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 3nm 以上且 50nm 以下。

[0217]

在三層結構的半導體膜中，氧化物半導體膜 92a 至氧化物半導體膜 92c 既可以是非晶又可以是結晶。但是，由於當形成有通道區的氧化物半導體膜 92b 是結晶時可以賦予電晶體 90 穩定的電特性，因此氧化物半導體膜 92b 較佳為結晶。

[0218]

注意，通道形成區域是指在電晶體 90 的半導體膜中與閘極電極重疊且被源極電極和汲極電極夾著的區域。另外，通道區是指在通道形成區域中電流主要流動的區域。

[0219]

例如，作為氧化物半導體膜 92a 及氧化物半導體膜 92c，在使用由濺射法形成的 In-Ga-Zn 氧化物膜的情況下，在氧化物半導體膜 92a 及氧化物半導體膜 92c 的成膜時，可以使用 In-Ga-Zn 氧化物(In:Ga:Zn=1:3:2[原子數比])的靶材。作為成膜條件，例如作為沉積氣體使用 30sccm 的氬氣體和 15sccm 的氧氣體，將壓力設定為 0.4Pa，基板溫度為 200℃，DC 功率為 0.5kW，即可。

[0220]

另外，當作為氧化物半導體膜 92b 使用 CAAC-OS 膜時，在氧化物半導體膜 92b 的成膜時較佳為使用包含 In-Ga-Zn 氧化物(In:Ga:Zn=1:1:1[原子數比])的多晶靶材。作為成膜條件，例如作為沉積氣體可以使用 30sccm 的

氫氣體和 15sccm 的氧氣體，將壓力設定為 0.4Pa，基板溫度為 300℃，DC 功率為 0.5kW。

[0221]

雖然氧化物半導體膜 92a 至 92c 可以利用濺射法形成，但是也可以利用熱 CVD 法等其他方法形成。作為熱 CVD 法的例子，可以舉出 MOCVD(Metal Organic Chemical Vapor Deposition：有機金屬化學氣相沉積)法或 ALD(Atomic Layer Deposition：原子層沉積)法。

[0222]

因為其中的載子發生源少，所以藉由減少用作電子施體（施體）的水分或氫等雜質且減少氧缺陷來實現高度純化的氧化物半導體(purified Oxide Semiconductor)可以是 i 型（本質半導體）或無限趨近於 i 型。因此，在被高度純化的氧化物半導體膜中具有通道形成區域的電晶體的關態電流極小且可靠性高。並且，在該氧化物半導體膜中形成有通道形成區域的電晶體容易具有臨界電壓為正的電特性（也稱為常關閉（normally-off）特性）。

[0223]

藉由減少雜質元素，上述被高度純化的氧化物半導體膜中的載子密度得到降低。膜中的載子密度例如可以為 1×10^{17} 個/cm³ 以下、 1×10^{15} 個/cm³ 以下、 1×10^{13} 個/cm³ 以下或 8×10^{11} 個/cm³ 以下。更佳的是，例如載子密度低於 8×10^{11} 個/cm³、低於 1×10^{11} 個/cm³，進一步較佳的是，可以低於 1×10^{10} 個/cm³，且可以為 1×10^{-9} 個/cm³ 以上。

[0224]

明確而言，根據各種實驗可以證明在被高度純化的氧化物半導體膜中具有通道形成區域的電晶體的關態電流小。例如，通道寬度為 $1 \times 10^6 \mu\text{m}$ 且通道長度為 $10 \mu\text{m}$ 的元件也可以在源極電極與汲極電極之間的電壓(汲極電

壓) 爲 1V 至 10V 的範圍內獲得關態電流爲半導體參數分析儀的測量極限以下，即 $1 \times 10^{-13} \text{ A}$ 以下的特性。在此情況下，可知以電晶體的通道寬度標準化的關態電流爲 $100 \text{ zA}/\mu\text{m}$ 以下。此外，在電路中將電容器與電晶體連接且由該電晶體控制流入電容器或從電容器流出的電荷，並藉由使用該電路來測量關態電流。在該測量時，將被高度純化的氧化物半導體膜用於上述電晶體的通道形成區域，且根據電容器的每單位時間的電荷量推移來測量該電晶體的關態電流。其結果是，可知當電晶體的源極電極與汲極電極之間的電壓爲 3V 時，可以獲得更小的關態電流，即幾十 $\text{yA}/\mu\text{m}$ 。由此，將被高度純化的氧化物半導體膜用於通道形成區域的電晶體的關態電流比使用具有結晶性的矽的電晶體的關態電流要小得多。

[0225]

另外，當作爲半導體膜使用氧化物半導體膜時，作爲氧化物半導體膜，較佳爲至少包含銦 (In) 或鋅 (Zn)。另外，作爲降低使用該氧化物半導體膜的電晶體的電特性的偏差的穩定劑，除了上述元素以外較佳爲還包含鎵 (Ga)。此外，作爲穩定劑較佳爲包含錫 (Sn)。此外，作爲穩定劑較佳爲包含鈦 (Hf)。此外，作爲穩定劑較佳爲包含鋁 (Al)。此外，作爲穩定劑較佳爲包含銻 (Zr)。

[0226]

在氧化物半導體中，In-Ga-Zn 氧化物、In-Sn-Zn 氧化物等與碳化矽、氮化鎵或氧化鎵不同，可以藉由濺射法或濕處理製造電特性優良的電晶體，並具有生產性高等優點。此外，與使用碳化矽、氮化鎵或氧化鎵的情況不同，在使用上述 In-Ga-Zn 氧化物的情況下，可以在玻璃基板上製造電特性優良的電晶體。此外，還可以應對基板的大型化。

[0227]

此外，作為其他穩定劑，也可以包含鑰系元素的鑰（La）、鈰（Ce）、鐮（Pr）、釵（Nd）、鈺（Sm）、鎔（Eu）、釷（Gd）、鐳（Tb）、鐳（Dy）、鈹（Ho）、鉕（Er）、銩（Tm）、鐳（Yb）、鑰（Lu）中的一種或多種。

[0228]

例如，作為氧化物半導體，可以使用：氧化銦、氧化鎵、氧化錫、氧化鋅、In-Zn 氧化物、Sn-Zn 氧化物、Al-Zn 氧化物、Zn-Mg 氧化物、Sn-Mg 氧化物、In-Mg 氧化物、In-Ga 氧化物、In-Ga-Zn 氧化物（也稱為 IGZO）、In-Al-Zn 氧化物、In-Sn-Zn 氧化物、Sn-Ga-Zn 氧化物、Al-Ga-Zn 氧化物、Sn-Al-Zn 氧化物、In-Hf-Zn 氧化物、In-La-Zn 氧化物、In-Pr-Zn 氧化物、In-Nd-Zn 氧化物、In-Ce-Zn 氧化物、In-Sm-Zn 氧化物、In-Eu-Zn 氧化物、In-Gd-Zn 氧化物、In-Tb-Zn 氧化物、In-Dy-Zn 氧化物、In-Ho-Zn 氧化物、In-Er-Zn 氧化物、In-Tm-Zn 氧化物、In-Yb-Zn 氧化物、In-Lu-Zn 氧化物、In-Sn-Ga-Zn 氧化物、In-Hf-Ga-Zn 氧化物、In-Al-Ga-Zn 氧化物、In-Sn-Al-Zn 氧化物、In-Sn-Hf-Zn 氧化物、In-Hf-Al-Zn 氧化物。

[0229]

注意，例如，In-Ga-Zn 氧化物是指包含 In、Ga 和 Zn 的氧化物，並對 In、Ga、Zn 的比率沒有限制。另外，也可以包含 In、Ga、Zn 以外的金屬元素。In-Ga-Zn 氧化物在無電場時的電阻足夠高而能夠充分地降低關態電流且移動率也高。

[0230]

例如，使用 In-Sn-Zn 氧化物比較容易得到高移動率。但是，在使用 In-Ga-Zn 氧化物時，也可以藉由降低塊體內缺陷密度而提高移動率。

[0231]

另外，在電晶體 90 中，根據用於源極電極及汲極電極的導電性材料，

有時源極電極及汲極電極中的金屬會抽出氧化物半導體膜中的氧。此時，氧化物半導體膜中的接觸於源極電極及汲極電極的區域由於氧缺陷的形成而成爲 n 型。因爲成爲 n 型的區域被用作源極區域或汲極區域，所以可以降低氧化物半導體膜與源極電極及汲極電極之間的接觸電阻。因此，藉由形成 n 型的區域，可以增大電晶體 90 的移動率及通態電流 (on-state current)，從而可以實現使用電晶體 90 的半導體裝置的高速工作。

[0232]

另外，源極電極及汲極電極中的金屬所引起的氧的抽出有可能在利用濺射法等形成源極電極及汲極電極時發生，還有可能在形成源極電極及汲極電極之後進行的加熱處理時發生。另外，藉由將容易與氧鍵合的導電材料用於源極電極及汲極電極更容易形成 n 型的區域。作爲上述導電材料，可以舉出例如 Al、Cr、Cu、Ta、Ti、Mo、W 等。

[0233]

當將包括多個層疊的氧化物半導體膜的半導體膜用於電晶體 90 時，爲了提高電晶體 90 的移動率及通態電流以實現半導體裝置的更高速的工作，n 型的區域較佳爲到達用作通道區的氧化物半導體膜 92b。

[0234]

絕緣膜 91 較佳爲具有藉由加熱將上述氧的一部分供應到氧化物半導體膜 92a 至氧化物半導體膜 92c 的功能。此外，較佳爲絕緣膜 91 中的缺陷少，典型的是，藉由 ESR 測量所得到的起因於矽的懸空鍵的 $g=2.001$ 的自旋密度較佳爲 $1 \times 10^{18} \text{spins/cm}^3$ 以下。

[0235]

由於絕緣膜 91 具有藉由加熱將上述氧的一部分供應到氧化物半導體膜 92a 至氧化物半導體膜 92c 的功能，因此絕緣膜 91 較佳爲氧化物，例如可

以使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化釷、氧化鈮及氧化鉭等。絕緣膜 91 可以利用電漿 CVD (Chemical Vapor Deposition) 法或濺射法等形成。

[0236]

注意，在本說明書中，“氧氮化物”是指在其組成中氧含量多於氮含量的材料，而“氮氧化物”是指在其組成中氮含量多於氧含量的材料。

[0237]

另外，圖 11A 至圖 12C 所示的電晶體 90 具有如下結構：在形成有通道區的氧化物半導體膜 92b 的端部中不與導電膜 93 及導電膜 94 重疊的端部（換言之，位於不同於導電膜 93 及導電膜 94 所在的區域的端部）與導電膜 96 重疊。在用來形成氧化物半導體膜 92b 的端部的蝕刻中該端部暴露於電漿時，從蝕刻氣體產生的氮自由基、氟自由基等容易與構成氧化物半導體的金屬元素鍵合。因此，在氧化物半導體膜的端部中，與該金屬元素鍵合的氧處於容易脫離的狀態，而形成氧缺陷，所以容易成為 n 型。然而，在圖 11A 至圖 12C 所示的電晶體 90 中，由於不與導電膜 93 及導電膜 94 重疊的氧化物半導體膜 92b 的端部與導電膜 96 重疊，因此藉由控制導電膜 96 的電位可以控制施加於該端部的電場。因此，可以由供應到導電膜 96 的電位控制藉由氧化物半導體膜 92b 的端部流動在導電膜 93 與導電膜 94 之間的電流。將這種電晶體 90 的結構稱為 Surrounded Channel（S-Channel：圍繞通道）結構。

[0238]

明確而言，若採用 S-Channel 結構，當將使電晶體 90 處於關閉的電位供應到導電膜 96 時，可以降低藉由該端部流動在導電膜 93 與導電膜 94 之間的關態電流。因此，在電晶體 90 中，即使爲了得到大通態電流而縮短通

道長度，其結果是，即使氧化物半導體膜 92b 的端部的導電膜 93 與導電膜 94 之間的長度變短，電晶體 90 也可以具有低關態電流。因此，在電晶體 90 中，藉由縮短通道長度，在處於導通狀態時可以具有大通態電流，在處於關閉狀態時可以具有低關態電流。

[0239]

明確而言，若採用 S-Channel 結構，當將使電晶體 90 導通的電位供應到導電膜 96 時，可以使藉由該端部流動在導電膜 93 與導電膜 94 之間的電流增大。該電流有助於電晶體 90 的場效移動率和通態電流的增大。並且，藉由使氧化物半導體膜 92b 的端部與導電膜 96 重疊，氧化物半導體膜 92b 中的載子不僅在近於絕緣膜 95 的氧化物半導體膜 92b 的介面附近流動，還在氧化物半導體膜 92b 中的較廣的範圍內流動，所以電晶體 90 中的載子的移動量增加。其結果是，電晶體 90 的通態電流增大且場效移動率增高，典型的是，場效移動率為 $10\text{cm}^2/\text{V}\cdot\text{s}$ 以上，進一步為 $20\text{cm}^2/\text{V}\cdot\text{s}$ 以上。注意，在此的場效移動率是電晶體的飽和區域中的電流驅動力的指標，即外觀上的場效移動率，而不是作為氧化物半導體膜的物性值的移動率的近似值。

[0240]

下面說明氧化物半導體膜的結構。

[0241]

氧化物半導體膜大致分為單晶氧化物半導體膜和非單晶氧化物半導體膜。非單晶氧化物半導體膜包括非晶氧化物半導體膜、微晶氧化物半導體膜、多晶氧化物半導體膜及 CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor : c 軸配向結晶氧化物半導體) 膜等。

[0242]

非晶氧化物半導體膜具有無序的原子排列並不具有結晶成分。其典型

例子是在微小區域中也不具有結晶部而膜整體具有完全的非晶結構的氧化物半導體膜。

[0243]

微晶氧化物半導體膜例如包括 1nm 以上且小於 10nm 的尺寸的微晶(也稱為奈米晶)。因此，微晶氧化物半導體膜的原子排列的有序度比非晶氧化物半導體膜高。因此，微晶氧化物半導體膜的缺陷態密度低於非晶氧化物半導體膜。

[0244]

CAAC-OS 膜是包含多個結晶部的氧化物半導體膜之一，大部分的結晶部的尺寸為能夠容納於一邊短於 100nm 的立方體內的尺寸。因此，有時包括在 CAAC-OS 膜中的結晶部的尺寸為能夠容納於一邊短於 10nm、短於 5nm 或短於 3nm 的立方體內的尺寸。CAAC-OS 膜的缺陷態密度低於微晶氧化物半導體膜。在 CAAC-OS 膜的穿透式電子顯微鏡(TEM: Transmission Electron Microscope)影像中，觀察不到結晶部與結晶部之間的明確的邊界，即晶界(grain boundary)。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子移動率的降低。

[0245]

根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的剖面 TEM 影像可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映形成 CAAC-OS 膜的面(也稱為被形成面)或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或 CAAC-OS 膜的頂面的方式排列。

[0246]

在本說明書中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態。因此，也包括該角度為 -5° 以上且 5° 以下的狀態。另外，“垂直”是

指兩條直線形成的角度為 80° 以上且 100° 以下的狀態。因此，也包括該角度為 85° 以上且 95° 以下的狀態。

[0247]

另一方面，當從大致垂直於樣本面的方向觀察 CAAC-OS 膜的平面 TEM 影像時，可以確認到在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0248]

由剖面的 TEM 影像及平面的 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

[0249]

使用 X 射線繞射 (XRD: X-Ray Diffraction) 裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括 InGaZnO_4 的結晶的 CAAC-OS 膜時，在繞射角 (2θ) 為 31° 附近時會出現峰值。由於該峰值來源於 InGaZnO_4 結晶的 (009) 面，由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或 CAAC-OS 膜的頂面的方向。

[0250]

另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在 2θ 為 56° 附近時會出現峰值。該峰值來源於 InGaZnO_4 結晶的 (110) 面。在此，將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸 (ϕ 軸) 旋轉樣本的條件下進行分析 (ϕ 掃描)。當該樣本是 InGaZnO_4 的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於 (110) 面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能觀察到明確的峰值。

[0251]

由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面的 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

[0252]

注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 膜的被形成面或 CAAC-OS 膜的頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或 CAAC-OS 膜的頂面的法線向量。

[0253]

此外，CAAC-OS 膜中的結晶度不一定均勻。例如，當 CAAC-OS 膜的結晶部是由 CAAC-OS 膜的頂面附近的結晶生長而形成時，有時頂面附近的結晶度高於被形成面附近的結晶度。另外，當對 CAAC-OS 膜添加雜質時，被添加了雜質的區域的結晶度改變，所以有時 CAAC-OS 膜中的結晶度根據區域而不同。

[0254]

注意，當利用 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 膜時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近觀察到峰值。 2θ 為 36° 附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有 c 軸配向的結晶。較佳的是，在 CAAC-OS 膜中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0255]

在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。因此，該電晶體具有高可靠性。

[0256]

注意，氧化物半導體膜例如也可以是包括非晶氧化物半導體膜、微晶氧化物半導體膜和 CAAC-OS 膜中的兩種以上的疊層膜。

[0257]

另外，爲了形成 CAAC-OS 膜，較佳爲採用如下條件。

[0258]

藉由減少成膜時的雜質的混入，可以抑制雜質所導致的結晶狀態的破損。例如，可以降低存在於處理室內的雜質（氫、水、二氧化碳及氮等）的濃度。另外，可以降低沉積氣體中的雜質濃度。明確而言，使用露點爲-80℃以下，較佳爲-100℃以下的沉積氣體。

[0259]

此外，藉由增高成膜時的基板加熱溫度使濺射粒子在到達基板之後發生濺射粒子的遷移。明確而言，在將基板加熱溫度設定爲 100℃ 以上且 740℃ 以下，較佳爲 200℃ 以上且 500℃ 以下的狀態下進行成膜。當平板狀或顆粒狀的濺射粒子到達基板時，藉由增高成膜時的基板加熱溫度使平板狀或顆粒狀的濺射粒子在基板上發生遷移，於是濺射粒子的平坦的面附著到基板。

[0260]

另外，較佳的是，藉由增高沉積氣體中的氧比例並對電力進行最佳化，來減輕成膜時的電漿損傷。將沉積氣體中的氧比例設定爲 30vol.% 以上，較佳爲 100vol.%。

[0261]

下面，作為靶材的一個例子示出 In-Ga-Zn 氧化物靶材。

[0262]

將 InO_x 粉末、 GaO_y 粉末以及 ZnO_z 粉末以規定的莫耳數比混合，並進行加壓處理，然後在 1000°C 以上且 1500°C 以下的溫度下進行加熱處理，由此得到多晶的 In-Ga-Zn 氧化物靶材。另外， x 、 y 及 z 為任意正數。在此， InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末的規定的莫耳數比例如為 2:2:1、8:4:3、3:1:1、1:1:1、4:2:3、2:1:3 或 3:1:2。另外，粉末的種類以及混合粉末時的莫耳數比可以根據所製造的靶材適當地改變。尤其是，在使用 In:Ga:Zn=2:1:3[莫耳數比]的靶材形成的 CAAC-OS 膜中，可以提高在一定的範圍內觀察到 CAAC-OS 的繞射圖案的比例(也稱為 CAAC 化率)，因此可以提高在該 CAAC-OS 膜中具有通道形成區域的電晶體的頻率特性(f 特性)。

[0263]

另外，因為鹼金屬不是構成氧化物半導體的元素，所以是雜質。在鹼土金屬不是構成氧化物半導體的元素的情況下，鹼土金屬也是雜質。尤其是，鹼金屬中的 Na 在與氧化物半導體膜接觸的絕緣膜為氧化物的情況下擴散到該絕緣膜中而成為 Na^+ 。另外，在氧化物半導體膜內，Na 斷裂構成氧化物半導體的金屬與氧的鍵合或擠進其鍵合之中。其結果是，例如，產生因臨界電壓漂移到負方向而導致的常開啓(normally-on)化、移動率的降低等的電晶體的電特性的劣化，而且還產生特性偏差。明確而言，利用二次離子質譜分析法測量的 Na 濃度的測定值較佳為 $5 \times 10^{16}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{16}/\text{cm}^3$ 以下，進一步較佳為 $1 \times 10^{15}/\text{cm}^3$ 以下。同樣地，Li 濃度的測定值較佳為 $5 \times 10^{15}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{15}/\text{cm}^3$ 以下。同樣地，K 濃度的測定值較佳為 $5 \times 10^{15}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{15}/\text{cm}^3$ 以下。

[0264]

另外，在使用包含銦的金屬氧化物的情況下，與氧的鍵能比銦大的矽或碳有時切斷銦與氧的鍵合而形成氧缺陷。由此，在矽或碳混入到氧化物半導體膜時，與鹼金屬或鹼土金屬同樣，容易發生電晶體的電特性的劣化。因此，較佳為降低氧化物半導體膜中的矽或碳的濃度。明確而言，利用二次離子質譜分析法的 C 濃度的測量值或 Si 濃度的測量值較佳為 $1 \times 10^{18}/\text{cm}^3$ 以下。藉由採用上述結構，可以防止電晶體的電特性的劣化而可以提高半導體裝置的可靠性。

[0265]

此外，為了進一步減少包含在氧化物半導體膜中的水分或氫等雜質而使氧化物半導體膜高度純化，也可以進行加熱處理。

[0266]

例如，在減壓氛圍、氮或稀有氣體等惰性氣體氛圍、氧化氛圍或超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：雷射腔內共振衰減法）方式的露點計進行測量時的水分量為 20ppm（露點換算為 -55°C ）以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣）氛圍下對氧化物半導體膜進行加熱處理。另外，氧化氛圍是指包含 10ppm 以上的氧化氣體諸如氧、臭氧或氮化氧等的氛圍。此外，惰性氛圍是指上述氧化氣體小於 10ppm，還填充有氮或稀有氣體的氛圍。

[0267]

另外，也可以在進行惰性氣體氛圍下的加熱處理之後，在包含 10ppm 以上、1%以上或 10%以上的氧化氣體氛圍下進行加熱處理。只要在形成氧化物半導體膜之後，就在任何時候可以進行加熱處理。例如，也可以在選擇性地蝕刻氧化物半導體膜之後進行加熱處理。

[0268]

加熱處理也可以以 250°C 以上且 650°C 以下的溫度，較佳為以 300°C 以上且 500°C 以下的溫度進行即可。處理時間是 24 小時以內。

[0269]

加熱處理可以使用電爐、RTA (Rapid Thermal Annealing: 快速熱退火) 裝置等進行。藉由使用 RTA 裝置，可只在短時間內在基板的應變點以上的溫度下進行加熱處理。由此，可以縮短加熱處理時間。

[0270]

〈半導體裝置的剖面結構的變形例 1〉

圖 13 示出對應於圖 2 所示的電晶體 105 及電晶體 106 的剖面結構的一個例子。電晶體 22 對應於電晶體 105，電晶體 23 對應於電晶體 106。虛線 A1-A2 之間的剖面示出電晶體 22 及電晶體 23 的通道長度方向上的結構，虛線 A3-A4 之間的剖面示出電晶體 22 及電晶體 23 的通道寬度方向上的結構。但是，在本發明的一個實施方式中，電晶體 22 的通道長度方向與電晶體 23 的通道長度方向可以不一致。

[0271]

另外，電晶體的通道長度方向是指在源極(源極區域或源極電極)與汲極(汲極區域或汲極電極)之間載子移動的方向，通道寬度方向是指在與基板平行的面內垂直於通道長度方向的方向。

[0272]

另外，在圖 13 中示出在氧化物半導體膜中具有通道形成區域的電晶體 22 形成於電晶體 23 上時的例子，該電晶體 23 在單晶矽基板中具有通道形成區域。

[0273]

電晶體 23 可以在非晶、微晶、多晶或單晶的矽或鍺等的半導體膜或半導體基板中具有通道形成區域。或者，電晶體 23 可以在氧化物半導體膜或氧化物半導體基板中具有通道形成區域。當所有電晶體都在氧化物半導體膜或氧化物半導體基板中具有通道形成區域時，可以不將電晶體 22 層疊於電晶體 23 上而將電晶體 22 與電晶體 23 形成於同一層中。

[0274]

當使用矽薄膜形成電晶體 23 時，作為該薄膜可以使用：利用電漿 CVD 法等氣相沉積法或濺射法製造的非晶矽；利用雷射退火等處理使非晶矽晶化而形成的多晶矽；以及藉由對單晶矽晶圓注入氫離子等來使表層部剝離而得到的單晶矽，等等。

[0275]

形成有電晶體 23 的基板 400 例如可以使用矽基板、鍺基板、矽鍺基板等。在圖 13 中示出將單晶矽基板用於基板 400 時的例子。

[0276]

另外，電晶體 23 利用元件隔離法被電隔離。作為元件隔離法，可以採用溝槽隔離法等。在圖 13 中示出利用溝槽隔離法使電晶體 23 電隔離的例子。具體地，在圖 13 中，藉由蝕刻等在基板 400 中形成溝槽，將含有氧化矽等的絕緣物填埋於該溝槽中，然後利用蝕刻等部分去除該絕緣物來形成元件隔離區域 401，由此使電晶體 23 實現元件隔離。

[0277]

在位於溝槽以外的區域的基板 400 的凸部中設置有電晶體 23 的雜質區域 402、雜質區域 403 以及夾在雜質區域 402 與雜質區域 403 之間的通道形成區域 404。電晶體 23 還包括覆蓋通道形成區域 404 的絕緣膜 405 以及隔著絕緣膜 405 與通道形成區域 404 重疊的閘極電極 406。

[0278]

在電晶體 23 中，藉由使通道形成區域 404 中的凸部的側部及上部隔著絕緣膜 405 與閘極電極 406 重疊，可以使載子流過包括通道形成區域 404 的側部及上部的較廣的範圍。由此，可以縮小電晶體 23 在基板上所占的面積，並可以增加電晶體 23 中的載子的移動量。其結果，可以在增加電晶體 23 的通態電流的同時提高場效移動率。當將通道形成區域 404 中的凸部的通道寬度方向上的長度（通道寬度）設定為 W 並將通道形成區域 404 中的凸部的膜厚度設定為 T 時，當膜厚度 T 與通道寬度 W 之比的縱橫比較高時，載子流過的範圍變得更廣，因此可以增加電晶體 23 的通態電流並提高場效移動率。

[0279]

當電晶體 23 使用塊狀半導體基板時，縱橫比較佳為 0.5 以上，更佳為 1 以上。

[0280]

電晶體 23 上設置有絕緣膜 411。在絕緣膜 411 中形成有開口部。並且，在上述開口部中形成有與雜質區域 402 電連接的導電膜 412、與雜質區域 403 電連接的導電膜 413 以及與閘極電極 406 電連接的導電膜 414。

[0281]

導電膜 412 與形成於絕緣膜 411 上的導電膜 416 電連接，導電膜 413 與形成於絕緣膜 411 上的導電膜 417 電連接，導電膜 414 與形成於絕緣膜 411 上的導電膜 418 電連接。

[0282]

導電膜 416 至導電膜 418 上設置有絕緣膜 420。絕緣膜 420 上設置有具有防止氧、氫、水的擴散的阻擋效果的絕緣膜 421。絕緣膜 421 的密度越高

越緻密或者懸空鍵越少化學性質上越穩定，越具有更高的阻擋效果。作為具有防止氧、氫、水的擴散的阻擋效果的絕緣膜 421，例如可以採用氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化釷、氧氮化釷、氧化鉛、氧氮化鉛等。另外，作為具有防止氫、水的擴散的阻擋效果的絕緣膜 421，例如還可以採用氮化矽、氮氧化矽等。

[0283]

絕緣膜 421 上設置有絕緣膜 422，絕緣膜 422 上設置有電晶體 22。

[0284]

電晶體 22 在絕緣膜 422 上包括：含有氧化物半導體的半導體膜 430；與半導體膜 430 電連接的用作源極電極或汲極電極的導電膜 432 及導電膜 433；覆蓋半導體膜 430 的閘極絕緣膜 431；以及隔著閘極絕緣膜 431 與半導體膜 430 重疊的閘極電極 434。另外，絕緣膜 420 至絕緣膜 422 中設置有開口部，導電膜 433 在上述開口部中與導電膜 418 連接。

[0285]

在圖 13 中，雖然電晶體 22 只要至少在半導體膜 430 的一側具有閘極電極 434 即可，但是還可以具有隔著絕緣膜 422 與半導體膜 430 重疊的另一個閘極電極。

[0286]

當電晶體 22 具有一對閘極電極時，可以對一個閘極電極供應用來控制導通狀態或非導通狀態的信號，並對另一個閘極電極從其他佈線施加電位。在該情況下，可以對一對閘極電極施加相同位準的電位，也可以只對另一個閘極電極施加接地電位等固定電位。可以藉由控制對另一個閘極電極施加的電位位準來控制電晶體的臨界電壓。

[0287]

一般而言，電位（電壓）是相對的，電位（電壓）的值由與參考電位之差決定。因此，即使記載為“接地”、“GND”等，電位也不一定是 0V。例如，有時以電路中最低的電位為基準定義“接地”或“GND”。或者，有時以電路中的中間電位為基準定義“接地”或“GND”。此時，以該電位為基準定義正電位和負電位。

[0288]

在此，當電晶體 T 具有夾著半導體膜的一對閘極時，一個閘極可以被供應信號 A，另一個閘極可以被供應固定電位 Vb。

[0289]

信號 A 例如為用來控制導通狀態/非導通狀態的信號。信號 A 也可以為具有電位 V1 或者電位 V2（ $V1 > V2$ ）的兩種電位的數位信號。例如，可以將電位 V1 設定為高電源電位且將電位 V2 設定為低電源電位。信號 A 也可以為類比信號。

[0290]

固定電位 Vb 例如為用來控制電晶體 T 的臨界電壓 V_{thA} 的電位。固定電位 Vb 可以為電位 V1 或者電位 V2。此時，不需要另外設置用來生成固定電位 Vb 的電位生成電路，所以是較佳的。固定電位 Vb 也可以為與電位 V1 或者電位 V2 不同的電位。藉由降低固定電位 Vb，有時可以提高臨界電壓 V_{thA} 。其結果，有時可以降低閘極與源極之間的電壓 V_{gs} 為 0V 時的汲極電流，而可以降低包括電晶體 T 的電路的洩漏電流。例如，可以使固定電位 Vb 低於低電源電位。藉由提高固定電位 Vb，有時可以降低臨界電壓 V_{thA} 。其結果，有時可以提高閘極與源極之間的電壓 V_{gs} 為 VDD 時的汲極電流，而可以提高包括電晶體 T 的電路的工作速度。例如，可以使固定電位 Vb 高於低電源電位。

[0291]

另外，電晶體 T 的一個閘極可以被供應信號 A，而另一個閘極可以被供應信號 B。信號 B 例如為用來控制電晶體 T 的導通狀態/非導通狀態的信號。信號 B 也可以為具有電位 V3 或者電位 V4 ($V3 > V4$) 的兩種電位的數位信號。例如，可以將電位 V3 設定為高電源電位且將電位 V4 設定為低電源電位。信號 B 也可以為類比信號。

[0292]

在信號 A 與信號 B 都是數位信號的情況下，信號 B 也可以為與信號 A 具有相同數位值的信號。此時，有時可以增加電晶體 T 的通態電流，而可以提高包括電晶體 T 的電路的工作速度。此時，信號 A 的電位 V1 也可以與信號 B 的電位 V3 不同，信號 A 的電位 V2 也可以與信號 B 的電位 V4 不同。例如，當對應於被輸入信號 B 的閘極的閘極絕緣膜的厚度大於對應於被輸入信號 A 的閘極的閘極絕緣膜的厚度時，可以使信號 B 的電位振幅 ($V3 - V4$) 大於信號 A 的電位振幅 ($V1 - V2$)。由此，有時可以使信號 A 對電晶體 T 的導通狀態或非導通狀態造成的影響與信號 B 對電晶體 T 的導通狀態或非導通狀態造成的影響大致相同。

[0293]

在信號 A 與信號 B 都是數位信號的情況下，信號 B 也可以為與信號 A 具有不同數位值的信號。此時，有時可以分別利用信號 A 及信號 B 控制電晶體 T，而可以實現更高的功能。例如，當電晶體 T 為 n 通道電晶體時，在僅在信號 A 為電位 V1 且信號 B 為電位 V3 時該電晶體處於導通狀態的情況下或者在僅在信號 A 為電位 V2 且信號 B 為電位 V4 時該電晶體處於非導通狀態的情況下，有時可以由一個電晶體實現 NAND 電路或 NOR 電路等的功能。另外，信號 B 也可以為用來控制臨界電壓 V_{thA} 的信號。例如，信

號 B 也可以在包括電晶體 T 的電路工作期間與在該電路不工作期間具有不同電位。信號 B 也可以根據電路的工作模式具有不同電位。此時，信號 B 有可能沒有信號 A 那麼頻繁地切換電位。

[0294]

在信號 A 與信號 B 都是類比信號的情況下，信號 B 也可以為與信號 A 具有相同電位的類比信號、用常數乘以信號 A 的電位而得的類比信號、或者將常數加到信號 A 的電位或從信號 A 的電位減去常數而得的類比信號等。此時，有時可以藉由增加電晶體 T 的通態電流，而提高包括電晶體 T 的電路的工作速度。信號 B 也可以為與信號 A 不同的類比信號。此時，有時可以分別利用信號 A 及信號 B 控制電晶體 T，而可以實現更高的功能。

[0295]

信號 A 可以為數位信號，信號 B 也可以為類比信號。信號 A 可以為類比信號，信號 B 也可以為數位信號。

[0296]

另外，電晶體 T 的一個閘極可以被供應固定電位 V_a ，另一個閘極可以被供應固定電位 V_b 。當對電晶體 T 的兩個閘極供應固定電位時，有時可以將電晶體 T 用作相當於電阻元件的元件。例如，當電晶體 T 為 n 通道電晶體時，藉由提高（降低）固定電位 V_a 或固定電位 V_b ，有時可以降低（提高）電晶體的實效電阻。藉由提高（降低）固定電位 V_a 及固定電位 V_b 的兩者，有時可以獲得比只具有一個閘極的電晶體低（高）的實效電阻。

[0297]

另外，在圖 13 中，例示出電晶體 22 具有包括對應於閘極電極 434 的通道形成區域的單閘極結構的情況。但是，電晶體 22 也可以具有多閘極結構，即具有彼此電連接的多個閘極電極且在一個活性層中具有多個通道形成區

域的結構。

[0298]

在圖 13 中示出電晶體 22 所具有的半導體膜 430 包括依次層疊於絕緣膜 422 上的氧化物半導體膜 430a 至氧化物半導體膜 430c 的例子。注意，在本發明的一個實施方式中，電晶體 22 所具有的半導體膜 430 也可以由單層的金屬氧化物膜構成。

[0299]

〈半導體裝置的剖面結構的變形例 2〉

圖 14 示出對應於圖 2 所示的電晶體 105 及電晶體 106 的剖面結構的一個例子。

[0300]

在圖 14 中示出在氧化物半導體膜中具有通道形成區域的電晶體 22 形成於電晶體 23 上時的例子，該電晶體 23 在單晶矽基板中具有通道形成區域。另外，電晶體 22 對應於電晶體 105，電晶體 23 對應於電晶體 106。

[0301]

電晶體 23 可以在非晶、微晶、多晶或單晶的矽或鍺等的半導體膜或半導體基板中具有通道形成區域。或者，電晶體 23 可以在氧化物半導體膜或氧化物半導體基板中具有通道形成區域。當所有電晶體都在氧化物半導體膜或氧化物半導體基板中具有通道形成區域時，可以不將電晶體 22 層疊於電晶體 23 上而將電晶體 22 與電晶體 23 形成於同一層中。

[0302]

當使用矽薄膜形成電晶體 23 時，作為該薄膜可以使用：利用電漿 CVD 法等氣相沉積法或濺射法製造的非晶矽；利用雷射退火等處理使非晶矽晶化而形成的多晶矽；以及藉由對單晶矽晶圓注入氬離子等來使表層部剝離

而得到的單晶矽，等等。

[0303]

形成有電晶體 23 的半導體基板 601 例如可以使用矽基板、鍺基板、矽鍺基板等。在圖 14 中示出將單晶矽基板用於半導體基板 601 時的例子。

[0304]

另外，電晶體 23 利用元件隔離法被電隔離。作為元件隔離法，可以採用矽的局部氧化法(LOCOS 法：Local Oxidation of Silicon)、淺溝槽隔離法(STI 法：Shallow Trench Isolation)等。在圖 14 中示出利用溝槽隔離法使電晶體 23 電隔離的例子。明確而言，在圖 14 中示出如下例子：在半導體基板 601 中利用蝕刻等形成溝槽，然後利用將包含氧化矽等的絕緣物埋入該溝槽來形成的元件隔離區域 610 使電晶體 23 元件電隔離。

[0305]

電晶體 23 上設置有絕緣膜 611。在絕緣膜 611 中形成有開口部。並且，在上述開口部中形成有與電晶體 23 的源極及汲極分別電連接的導電膜 625 及導電膜 626、與電晶體 23 的閘極電連接的導電膜 627。

[0306]

導電膜 625 與形成於絕緣膜 611 上的導電膜 634 電連接，導電膜 626 與形成於絕緣膜 611 上的導電膜 635 電連接，導電膜 627 與形成於絕緣膜 611 上的導電膜 636 電連接。

[0307]

在導電膜 634 至導電膜 636 上形成有絕緣膜 612。在絕緣膜 612 中形成有開口部，在上述開口部中形成有與導電膜 636 電連接的導電膜 637。並且，導電膜 637 與形成在絕緣膜 612 上的導電膜 651 電連接。

[0308]

另外，在導電膜 651 上形成有絕緣膜 613。在絕緣膜 613 中形成有開口部，在上述開口部中形成有與導電膜 651 電連接的導電膜 652。並且，導電膜 652 與形成在絕緣膜 613 上的導電膜 653 電連接。另外，在絕緣膜 613 上形成有導電膜 644。

[0309]

在導電膜 653 及導電膜 644 上形成有絕緣膜 661。並且，在圖 14 中，在絕緣膜 661 上形成有電晶體 22。

[0310]

電晶體 22 包括：絕緣膜 661 上的包含氧化物半導體的半導體膜 701；半導體膜 701 上的用作源極或汲極的導電膜 721 及導電膜 722；半導體膜 701、導電膜 721 及導電膜 722 上的閘極絕緣膜 662；以及位於閘極絕緣膜 662 上且在導電膜 721 與導電膜 722 之間與半導體膜 701 重疊的閘極電極 731。另外，導電膜 722 在設置於絕緣膜 661 的開口部與導電膜 653 電連接。

[0311]

並且，在電晶體 22 的半導體膜 701 中，有重疊於導電膜 721 的區域與重疊於閘極電極 731 的區域之間的區域 710。另外，在電晶體 22 中，半導體膜 701 包括重疊於導電膜 722 的區域與重疊於閘極電極 731 的區域之間的區域 711。藉由以導電膜 721、導電膜 722 及閘極電極 731 為遮罩對區域 710 及區域 711 添加氬等稀有氣體、對半導體膜 701 賦予 p 型導電型的雜質或對半導體膜 701 賦予 n 型導電型的雜質，可以使半導體膜 701 中的區域 710 及區域 711 的電阻率降得比重疊於閘極電極 731 的區域低。

[0312]

並且，在電晶體 22 上設置有絕緣膜 663。

[0313]

另外，在圖 14 中，雖然電晶體 22 只要在半導體膜 701 的一側至少具有閘極電極 731 即可，但是還可以具有夾著半導體膜 701 的一對閘極電極。

[0314]

當電晶體 22 具有夾著半導體膜 701 的一對閘極電極時，可以對一個閘極電極供應用來控制導通狀態或非導通狀態的信號，並對另一個閘極電極施加來自其他佈線的電位。在該情況下，可以對一對閘極電極施加相同位準的電位，也可以只對另一個閘極電極施加接地電位等固定電位。可以藉由控制對另一個閘極電極施加的電位位準來控制電晶體的臨界電壓。

[0315]

另外，圖 14 例示出電晶體 22 具有單閘極結構的情況，即包括對應於閘極電極 731 的通道形成區域。但是，電晶體 22 也可以具有多閘極結構，其中藉由具有彼此電連接的多個閘極電極，在一個活性層中具有多個通道形成區域。

[0316]

本實施方式可以與本說明書等所公開的其他實施方式等的結構適當地組合而實施。

[0317]

實施方式 4

〈電子裝置的例子〉

根據本發明的一個實施方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存媒體的影像再現裝置（典型的是，能夠播放儲存媒體如數位影音光碟（DVD：Digital Versatile Disc）等並具有可以顯示其影像的顯示器的裝置）中。另外，作為可以使用根據本發明的一個實施方式的半導體裝

置的電子裝置，可以舉出行動電話、包括可攜式遊戲機的遊戲機、可攜式資訊終端、電子書閱讀器終端、視頻攝影機、數位相機等影像拍攝裝置、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）、自動販賣機以及醫療設備等。在圖 15A 至圖 15F 中示出這些電子裝置的具體例子。

[0318]

圖 15A 示出一種可攜式遊戲機，該可攜式遊戲機包括外殼 5001、外殼 5002、顯示部 5003、顯示部 5004、麥克風 5005、揚聲器 5006、操作鍵 5007 以及觸控筆 5008 等。可以將根據本發明的一個實施方式的半導體裝置用於可攜式遊戲機的各种積體電路。注意，雖然圖 15A 所示的可攜式遊戲機包括兩個顯示部即顯示部 5003 和顯示部 5004，但是可攜式遊戲機所具有的顯示部的數量不限於兩個。

[0319]

圖 15B 示出可攜式資訊終端，該可攜式資訊終端包括第一外殼 5601、第二外殼 5602、第一顯示部 5603、第二顯示部 5604、連接部 5605 以及操作鍵 5606 等。可以將根據本發明的一個實施方式的半導體裝置用於可攜式資訊終端的各种積體電路。第一顯示部 5603 設置在第一外殼 5601 中，第二顯示部 5604 設置在第二外殼 5602 中。並且，第一外殼 5601 和第二外殼 5602 由連接部 5605 連接，由連接部 5605 可以改變第一外殼 5601 和第二外殼 5602 之間的角度。第一顯示部 5603 的影像也可以根據連接部 5605 所形成的第一外殼 5601 和第二外殼 5602 之間的角度切換。此外，也可以將附加有作為位置輸入裝置的功能的顯示裝置用於第一顯示部 5603 和第二顯示部 5604 中的至少一個。作為位置輸入裝置的功能可以藉由在顯示裝置中設

置觸控面板而附加。或者，還可以藉由將被稱為光感測器的光電轉換元件設置在顯示裝置的像素部中來附加作為位置輸入裝置的功能。

[0320]

圖 15C 示出筆記本式個人電腦，其包括外殼 5401、顯示部 5402、鍵盤 5403、指向裝置 5404 等。可以將根據本發明的一個實施方式的半導體裝置用於筆記本式個人電腦的各種積體電路。

[0321]

圖 15D 示出電冷藏冷凍箱，其包括外殼 5301、冷藏室門 5302、冷凍室門 5303 等。可以將根據本發明的一個實施方式的半導體裝置用於電冷藏冷凍箱的各種積體電路。

[0322]

圖 15E 示出視頻攝影機，該視頻攝影機包括第一外殼 5801、第二外殼 5802、顯示部 5803、操作鍵 5804、鏡頭 5805 以及連接部 5806 等。可以將根據本發明的一個實施方式的半導體裝置用於視頻攝影機的各種積體電路。操作鍵 5804 及鏡頭 5805 設置在第一外殼 5801 中，顯示部 5803 設置在第二外殼 5802 中。並且，第一外殼 5801 和第二外殼 5802 由連接部 5806 連接，由連接部 5806 可以改變第一外殼 5801 和第二外殼 5802 之間的角度。顯示部 5803 的影像也可以根據連接部 5806 所形成的第一外殼 5801 和第二外殼 5802 之間的角度切換。

[0323]

圖 15F 示出汽車，其包括車體 5101、車輪 5102、儀表板 5103 及燈 5104 等。可以將根據本發明的一個實施方式的半導體裝置用於汽車的各種積體電路。

[0324]

注意，在本說明書等中，當明確地記載為“X 與 Y 連接”時，包括如下情況：X 與 Y 電連接的情況；X 與 Y 在功能上連接的情況；以及 X 與 Y 直接連接的情況。因此，不侷限於圖式或文中所示的連接關係等規定的連接關係，也包括圖式或文中所示的連接關係以外的連接關係。

[0325]

這裡，X 和 Y 為物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜和層等）。

[0326]

作為 X 與 Y 電連接的情況的一個例子，例如可以在 X 與 Y 之間連接一個以上的能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容器、電感器、電阻元件、二極體、顯示元件、發光元件和負載等）。另外，開關具有控制導通和關閉的功能。換言之，藉由使開關處於導通狀態（開啓狀態）或非導通狀態（關閉狀態）來控制是否使電流流過。或者，開關具有選擇並切換電流路徑的功能。

[0327]

作為 X 與 Y 在功能上連接的情況的一個例子，例如可以在 X 與 Y 之間連接一個以上的能夠在功能上連接 X 與 Y 的電路（例如，邏輯電路（反相器、NAND 電路、NOR 電路等）、信號轉換電路（DA 轉換電路、AD 轉換電路、伽瑪校正電路等）、電位位準轉換電路（電源電路（升壓電路、降壓電路等）、改變信號的電位位準的位準轉移電路等）、電壓源、電流源、切換電路、放大電路（能夠增大信號振幅或電流量等的電路、運算放大器、差動放大電路、源極隨耦電路、緩衝電路等）、信號產生電路、記憶體電路、控制電路等）。注意，例如，即使在 X 與 Y 之間夾有其他電路，當從 X 輸出的信號傳送到 Y 時，也可以說 X 與 Y 在功能上是連接著的。

[0328]

此外，當明確地記載為“X 與 Y 電連接”時，包括如下情況：X 與 Y 電連接的情況（換言之，以中間夾有其他元件或其他電路的方式連接 X 與 Y 的情況）；X 與 Y 在功能上連接的情況（換言之，以中間夾有其他電路的方式在功能上連接 X 與 Y 的情況）；以及 X 與 Y 直接連接的情況（換言之，以中間不夾有其他元件或其他電路的方式連接 X 與 Y 的情況）。換言之，明確地記載為“電連接”的情況與只明確地記載為“連接”的情況相同。

[0329]

注意，例如，在電晶體的源極（或第一端子等）經過 Z1（或沒有經過 Z1）與 X 電連接，電晶體的汲極（或第二端子等）經過 Z2（或沒有經過 Z2）與 Y 電連接的情況下以及在電晶體的源極（或第一端子等）與 Z1 的一部分直接連接，Z1 的另一部分與 X 直接連接，電晶體的汲極（或第二端子等）與 Z2 的一部分直接連接，Z2 的另一部分與 Y 直接連接的情況下，可以表現為如下。

[0330]

例如，可以表現為“X、Y、電晶體的源極（或第一端子等）與電晶體的汲極（或第二端子等）互相電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）與 Y 依次電連接”。或者，可以表現為“電晶體的源極（或第一端子等）與 X 電連接，電晶體的汲極（或第二端子等）與 Y 電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）與 Y 依次電連接”。或者，可以表現為“X 經過電晶體的源極（或第一端子等）及汲極（或第二端子等）與 Y 電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）、Y 依次設置為相互連接”。藉由使用與這種例子相同的表現方法規定電路結構中的連接順序，可以區

別電晶體的源極（或第一端子等）與汲極（或第二端子等）而決定技術範圍。注意，這種表現方法只是一個例子而已，不侷限於上述表現方法。在此，X、Y、Z1 及 Z2 為物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜和層等）。

[0331]

另外，即使圖式示出在電路圖上獨立的構成要素彼此電連接，也有一個構成要素兼有多個構成要素的功能的情況。例如，在佈線的一部分還被用作電極時，一個導電膜兼有佈線和電極的兩個構成要素的功能。因此，本說明書中的“電連接”的範疇內還包括這種一個導電膜兼有多個構成要素的功能的情況。

[0332]

另外，在一個實施方式中描述的內容（也可以是其一部分的內容）可以應用於、組合於或者替換成在該實施方式中描述的其他內容（也可以是其一部分的內容）和/或在一個或多個其他實施方式中描述的內容（也可以是其一部分的內容）。

[0333]

注意，在實施方式中描述的內容是指在各實施方式中利用各種圖式的內容或在說明書的文章中所記載的內容。

[0334]

另外，藉由在一個實施方式中示出的圖式（也可以是其一部分）與該圖式的其他部分、在該實施方式中示出的其他圖式（也可以是其一部分）和/或在一個或多個其他實施方式中示出的圖式（也可以是其一部分）組合，可以構成更多圖式。

[0335]

另外，可以構成不包括說明書中的圖式或文章所未規定的內容的發明的一個實施方式。另外，當有某一個值的數值範圍的記載（上限值和下限值等）時，藉由任意縮小該範圍或者去除該範圍的一部分，可以構成去除該範圍的一部分的發明的一個實施方式。由此，例如，可以規定習知技術不包括在本發明的一個實施方式的技術範圍內。

[0336]

作為具體例子，在記載有包括第一至第五電晶體的電路的電路圖。在該情況下，可以將該電路不包含第六電晶體的情況規定為發明。另外，也可以將該電路不包含電容器的情況規定為發明。再者，可以將該電路不包含具有特定連接結構的第六電晶體的情況規定為發明。還可以將該電路不包含具有特定連接結構的電容器的情況規定為發明。例如，可以將不包括其閘極與第三電晶體的閘極連接的第六電晶體的情況規定為發明。例如，可以將不包括其第一電極與第三電晶體的閘極連接的電容器的情況規定為發明。

[0337]

作為其他具體例子，在關於某一個值，例如記載有“某一個電壓較佳為 3V 以上且 10V 以下”。在該情況下，例如，可以將不包括該電壓為 -2V 以上且 1V 以下的情況規定為發明的一個實施方式。例如，可以將不包括該電壓為 13V 以上的情況規定為發明的一個實施方式。例如，可以將該電壓為 5V 以上且 8V 以下的情況規定為發明。例如，可以將該電壓大約為 9V 的情況規定為發明。例如，可以將該電壓是 3V 以上且 10V 以下但不是 9V 的情況規定為發明。注意，即使記載有“某一個值較佳為某個範圍”、“某一個值最好滿足某個條件”等，也不侷限於該記載。換而言之，“較佳”、“最好”等的記載並不一定規定該值。

[0338]

作為其他具體例子，在關於某一個值，例如記載有“某一個電壓較佳為 10V”。在該情況下，例如，可以將不包括該電壓為-2V 以上且 1V 以下的情況規定為發明的一個實施方式。例如，可以將不包括該電壓為 13V 以上的情況規定為發明的一個實施方式。

[0339]

作為其他具體例子，在關於某一個物質的性質，例如記載有“某一個膜為絕緣膜”。在該情況下，例如，可以將不包括該絕緣膜為有機絕緣膜的情況規定為發明的一個實施方式。例如，可以將不包括該絕緣膜為無機絕緣膜的情況規定為發明的一個實施方式。例如，可以將不包括該膜為導電膜的情況規定為發明的一個實施方式。例如，可以將不包括該膜為半導體膜的情況規定為發明的一個實施方式。

[0340]

作為其他具體例子，在關於某一個層疊結構，例如記載有“在 A 膜與 B 膜之間設置有某一個膜”。在該情況下，例如，可以將不包括該膜為四層以上的疊層膜的情況規定為發明。例如，可以將不包括在 A 膜與該膜之間設置有導電膜的情況規定為發明。

[0341]

另外，在本說明書等中，即使未指定主動元件（電晶體、二極體等）、被動元件（電容器、電阻元件等）等所具有的所有端子的連接目標，所屬技術領域的普通技術人員有時也能夠構成發明的一個實施方式。就是說，可以說，即使未指定連接目標，發明的一個實施方式也是明確的。而且，當指定了連接目標的內容記載於本說明書等中時，有時可以判斷未指定連接目標的發明的一個實施方式記載於本說明書等中。尤其是在考慮出多個

端子連接目標的情況下，該端子的連接目標不必限定在指定的部分。因此，有時藉由僅指定主動元件（電晶體、二極體等）、被動元件（電容器、電阻元件等）等所具有的一部分的端子的連接目標，能夠構成發明的一個實施方式。

[0342]

另外，在本說明書等中，只要至少指定某一個電路的連接目標，所屬技術領域的普通技術人員就有時可以構成發明。或者，只要至少指定某一個電路的功能，所屬[技術領域]的普通技術人員就有時可以指定發明。就是說，可以說，只要指定功能，發明的一個實施方式就是明確的。另外，有時可以判斷指定了功能的發明的一個實施方式記載於本說明書等中。因此，即使未指定某一個電路的功能，只要指定連接目標，就算是所公開的發明的一個實施方式，而可以構成發明的一個實施方式。另外，即使未指定某一個電路的連接目標，只要指定其功能，就算是所公開的發明的一個實施方式，而可以構成發明的一個實施方式。

[0343]

注意，在本說明書等中，可以在某一個實施方式中示出的圖式或者文章中取出其一部分而構成發明的一個實施方式。因此，在記載有說明某一部分的圖式或者文章的情況下，取出圖式或者文章的一部分的內容也算是所公開的發明的一個實施方式，所以能夠構成發明的一個實施方式。並且，可以說該發明的一個實施方式是明確的。因此，例如，可以在記載有主動元件（電晶體、二極體等）、佈線、被動元件（電容器、電阻元件等）、導電層、絕緣層、半導體層、有機材料、無機材料、零件、裝置、工作方法、製造方法等中的一個或多個的圖式或者文章中，可以取出其一部分而構成發明的一個實施方式。例如，可以從由 N 個（ N 是整數）電路元件（電晶

體、電容器等)構成的電路圖中取出 M 個 (M 是整數, $M < N$) 電路元件 (電晶體、電容器等) 來構成發明的一個實施方式。作為其他例子, 可以從由 N 個 (N 是整數) 層構成的剖面圖中取出 M 個 (M 是整數, $M < N$) 層來構成發明的一個實施方式。再者, 作為其他例子, 可以從由 N 個 (N 是整數) 要素構成的流程圖中取出 M 個 (M 是整數, $M < N$) 要素來構成發明的一個實施方式。作為其他的例子, 當從“A 包括 B、C、D、E 或 F”的記載中任意抽出一部分的要素時, 可以構成“A 包括 B 和 E”、“A 包括 E 和 F”、“A 包括 C、E 和 F”或者“A 包括 B、C、D 和 E”等的發明的一個實施方式。

[0344]

在本說明書等中, 在某一個實施方式中示出的圖式或文章示出至少一個具體例子的情況下, 所屬技術領域的普通技術人員可以很容易地理解一個事實就是由上述具體例子導出該具體例子的上位概念。因此, 在某一個實施方式中示出的圖式或文章示出至少一個具體例子的情況下, 該具體例子的上位概念也是所公開的發明的一個實施方式, 可以構成發明的一個實施方式。並且, 可以說該發明的一個實施方式是明確的。

[0345]

另外, 在本說明書等中, 至少示於圖式中的內容 (也可以是其一部分) 是所公開的發明的一個實施方式, 而可以構成發明的一個實施方式。因此, 即使在文章中沒有某一個內容的描述, 如果該內容示於圖式中, 就可以說該內容是所公開的發明的一個實施方式, 而可以構成發明的一個實施方式。同樣地, 取出圖式的一部分的圖式也是所公開的發明的一個實施方式, 而可以構成發明的一個實施方式。並且, 可以說該發明的一個實施方式是明確的。

實施例

[0346]

在本實施例中，製造根據本發明的一個實施方式的電壓控制振盪器（VCO：Voltage-Controlled Oscillator），並對其評價結果進行說明。根據本實施例的 VCO 具有上述實施方式的圖 2 及圖 3 所示的裝置的電路結構。作為根據本實施例的 VCO，製造如下兩種 VCO：一種為包括電路 101[1]至 101[n]（ $n=101$ ）及電路 104[1]至 104 [m]（ $m=2$ ）的 VCO；另一種為包括電路 101[1]至 101[n]（ $n=101$ ）及電路 104[1]至 104 [m]（ $m=8$ ）的 VCO。

[0347]

根據本實施例的 VCO 包括電路 101[1]至 101[101]，電路 101[1]至 101[101]連接成環狀。明確而言，電路 101[1]至 101[100]的每一個的輸出端子都與下一級的電路的輸入端子連接。電路 101[101]的輸出端子還與電路 101[1]的輸入端子連接。另外，電路 101[51]的輸出端子與端子 OUT 連接。從端子 OUT 輸出由於 VCO 的振盪而生成的信號。

[0348]

電路 101[1]至 101[101]的每一個都包括電路 102 及反相器 103。電路 102 的端子 A 與反相器 103 的輸出端子連接，電路 102 的端子 B 與下一級的反相器 103 的輸入端子連接。也就是說，101 個反相器 103 連接成環狀而構成反相器環。並且，在各反相器 103 之間連接有電路 102。另外，電路 102 與佈線 BL、佈線 CONTEXT[1]至 CONTEXT[m]及佈線 WL[1]至 WL[m]連接。

[0349]

在圖 3 中，由電路 102[1]至 102[51]構成第二區域 112a，由電路 102[52]至 102[101]構成第四區域 112b。另外，由反相器 103[i_1]（ i_1 是 2 以上且 50 以下的偶數）構成第三區域 113b。由反相器 103[i_2]（ i_2 是 1 以上且 51 以下

的奇數)及反相器 103[i₃](i₃是 52 以上且 100 以下的偶數)構成第一區域 113a。由反相器 103[i₄](i₄是 53 以上且 101 以下的奇數)構成第五區域 113c。

[0350]

在此，對反相器 103 作為低電源電位供應接地電位 GND，作為高電源電位供應電位 V_{RO}。另外，對佈線 BL 作為低電源電位供應接地電位 GND，作為高電源電位供應電位 V_{DATA}。另外，下面有時將從佈線 BL 輸入的信號稱為 AVD (analog voltage data：類比電壓資料)。另外，對佈線 WL[1]至 WL[m]作為低電源電位供應電位 V_{SS}，作為高電源電位供應電位 V_{DATA}。另外，對佈線 CONTEXT[1]至 CONTEXT [m]作為低電源電位供應接地電位 GND，作為高電源電位供應電位 V_{CONTEXT}。

[0351]

電路 102 包括電路 104[1]至 104[m]。電路 104[1]至 104[m]的每一個的端子 C 與電路 102 的端子 A 連接，端子 D 與電路 102 的端子 B 連接。另外，電路 104[1]至 104[m]的每一個都與佈線 BL、佈線 CONTEXT[1]至 CONTEXT[m]中的所對應的一個佈線以及佈線 WL[1]至 WL[m]中的所對應的一個佈線連接。佈線 WL[1]至 WL[m]中的所對應的一個佈線在電路 104[j] (j 是 1 至 m 中的任一個)中相當於佈線 WL[j]。另外，佈線 CONTEXT[1]至 CONTEXT[m]中的所對應的一個佈線在電路 104[j]中相當於佈線 CONTEXT[j]。

[0352]

電路 104[1]至 104[m]的每一個都包括電晶體 105、電晶體 106、電晶體 107 及電容器 108。電晶體 105 的第一端子與佈線 BL 連接，電晶體 105 的第二端子與電晶體 106 的閘極連接，電晶體 105 的閘極與佈線 WL[1]至 WL[m]中的所對應的一個佈線連接。電晶體 106 的第一端子與端子 C 連接。

電晶體 107 的第一端子與電晶體 106 的第二端子連接，第二端子與端子 D 連接，閘極與佈線 CONTEXT[1]至 CONTEXT[m]中的所對應的一個佈線連接。電容器 108 的第一端子與電晶體 106 的閘極連接，電容器 108 的第二端子與供應有指定的電位的佈線連接。

[0353]

電晶體 105 的通道長度為 $1\mu\text{m}$ ，通道寬度為 $4\mu\text{m}$ ，電晶體 106 及電晶體 107 的通道長度為 $0.5\mu\text{m}$ ，通道寬度為 $16\mu\text{m}$ 。另外，電晶體 106 及電晶體 107 在其通道形成區域使用矽。

[0354]

電晶體 105 在其通道形成區域使用作為 In-Ga-Zn 氧化物的 CAAC-OS 膜。由此，電晶體 105 的關態電流極小，從而可以減少儲存於電容器 108 中的電荷的洩漏。並且，當使電晶體 105 成為關閉狀態時，藉由對電晶體 105 的閘極施加比接地電位 GND 低的電位 V_{SS} 而使其不導通，可以減少電晶體 105 的關態電流，並提高電容器 108 的電荷保持特性。

[0355]

另外，電晶體 105 包括背閘極，藉由改變背閘極的電壓 V_{BG} 可以控制電晶體 105 的臨界值。

[0356]

此外，電晶體 106 的閘極電容為 16fF，存儲電容為 2fF，節點 SN 整體的閘極電容和存儲電容的總電容為 18fF。

[0357]

接著，圖 16 示出採用 $m=2$ 的結構的 VCO 的晶片照片。另外，圖 17 示出圖 16 所示的 VCO 的晶片的一部分的佈局圖。圖 16 所示的 VCO 包括第一區域 113a、第二區域 112a、第三區域 113b、第四區域 112b 以及第五

區域 113c，還包括圖 3 未圖示的第六區域 114a、第七區域 114b 以及第八區域 115。

[0358]

第六區域 114a 及第七區域 114b 都包括佈線 BL、用來對佈線 BL 施加電位的緩衝器、與緩衝器連接的佈線。第八區域 115 包括佈線 WL[1]及 WL[2]、佈線 CONTEXT[1]及 CONTEXT[2]、用來對這些佈線施加電位的緩衝器、與該緩衝器連接的佈線。

[0359]

圖 17 所示的平面佈局示出第一區域 113a 所包括的反相器 103[1]、第二區域 112a 所包括的電路 104[1-1]、電路 104[1-2]、電路 104[2-1]及電路 104[2-2]以及第三區域 113b 所包括的反相器 103[2]。在此，電路 104[1-1]及電路 104[1-2]是指電路 102[1]所包括的電路 104[1]及電路 104[2]。電路 104[2-1]及電路 104[2-2]是指電路 102[2]所包括的電路 104[1]及電路 104[2]。另外，圖 17 所示的平面佈局的電路 104[1-1]及電路 104[1-2]大概對應於圖 9A 及圖 9B 所示的佈局的範圍。

[0360]

在上述實施方式中，如圖 9B 所示，可以將電路 104[1-1]及電路 104[1-2]的開口部 C_1 與開口部 C_2 之間的距離視為 a_2-a_1 ，可以開口部 D_1 與開口部 D_2 之間的距離視為 b_1-b_2 。如圖 17 所示的平面佈局所示，也在根據本實施例的 VCO 中關係為如下： $a_2-a_1=b_1-b_2$ 。

[0361]

就是說，也在根據本實施例的 VCO 中，開口部 C_1 與開口部 C_2 之間的距離大致相等於開口部 D_1 與開口部 D_2 之間的距離。因此，無論電路 104 的佈線路徑的選擇如何，也可以使電路 102 的端子 A 與端子 B 之間的佈線

電阻大致相等。

[0362]

另外，如圖 3 的電路 101[1]及電路 101[2]等所示那樣，在圖 17 所示的平面佈局中，將奇數級的電路 101 和偶數級的電路 101 配成一對。明確而言，在行方向上相鄰地設置有奇數級的電路 102（電路 104[1-1]及電路 104[1-2]）及偶數級的電路 102（電路 104[2-1]及電路 104[2-2]）。對應於各級的電路，以在列方向上且與奇數級的電路的下側相鄰的方式設置奇數級的反相器 103（反相器 103[1]），以在列方向上且與偶數級的電路的上側相鄰的方式設置偶數級的反相器 103（反相器 103[2]）。由此，可以將奇數級的電路 102 及偶數級的電路 102 的行方向的寬度的空間都用於奇數級的反相器 103 及偶數級的反相器 103。因此，在抑制反相器 103 的佔有面積的增大的同時，可以使構成反相器 103 的電晶體的通道寬度長。

[0363]

圖 18A 及圖 18B 示出在 $m=2$ 的 VCO 中，對與從佈線 BL 輸入的電位 V_{DATA} （AVD）相對的輸出振盪頻率進行評價的結果。在圖 18A 中，橫軸表示電位 $V_{DATA}[V]$ ，縱軸以線性刻度表示輸出振盪頻率[MHz]。在圖 18B 中，橫軸表示電位 $V_{DATA}[V]$ ，縱軸以對數刻度表示輸出振盪頻率[MHz]。

[0364]

在電位 $V_{RO}=1.0V$ 、 $1.2V$ 及 $1.5V$ 這三個條件下測定振盪頻率。在此，只選擇電路 104[1]。關於其他條件，設定為 $V_{CONTEXT}=3.0V$ 、 $V_{BG}=0V$ 、 $V_{SS}=-0.2V$ ，並將寫入時間設定為 $1.0ms$ 。

[0365]

由圖 18A 及圖 18B 可知，只需改變 AVD 則能夠控制振盪頻率。在 $V_{RO}=1.5V$ 的條件下，在電位 $V_{DATA}=1.0$ 以上且 $3.0V$ 以下的範圍內振盪頻率

為 197mHz 以上且 9.65MHz 以下，並具有超過 7 位數的可變振盪頻帶。

[0366]

另外，振盪頻率的變化率根據 AVD 的變化而不同。例如，當 V_{DATA} 為 2.5V 以上且 3.0V 以下時，振盪頻率為 0.06 十倍頻程/100mV，當 V_{DATA} 為 1.0V 以上且 1.5V 以下時，振盪頻率為 1.24 十倍頻程/100mV。這是因為：當 V_{DATA} 為 2.5V 以上且 3.0V 以下時，電晶體 106 的導電率相對性地變高，起因於反相器 103 的延遲佔優勢，起因於電晶體 106 的延遲對相對於 AVD 的變化的振盪頻率的變化率造成的影響小。另一方面，當 V_{DATA} 為 1.0V 以上且 1.5V 以下時，電晶體 106 的導電率相對性地變低，起因於電晶體 106 的延遲佔優勢，振盪頻率對於 AVD 的依賴更大。

[0367]

在 AVD 高的區域，起因於反相器 103 的延遲佔優勢，因此電位 V_{RO} 發生變化時的振盪頻率的變化量大。 V_{DATA} 為 1.0V 以上且 1.5V 以下時的振盪頻率的平均增加率在 $V_{RO}=1.0V$ 、 $1.2V$ 、 $1.5V$ 時分別為 0.82 十倍頻程/100mV、1.10 十倍頻程/100mV、1.24 十倍頻程/100mV。因此，可以舉出如下例子：對於需要寬頻帶的用途則將反相器 103 的驅動電壓設定得高，而對於需要細微的控制頻率的用途則將反相器 103 的驅動電壓設定得低。

[0368]

接著，圖 19 示出圖 18A 及圖 18B 所示的各點的耗電量。在圖 19 中，橫軸表示電位 $V_{DATA}[V]$ ，縱軸表示耗電量[mW]。

[0369]

在各條件下，可知耗電量對 V_{RO} 及 V_{DATA} 的依賴性與圖 18A 所示的振盪頻率對 V_{RO} 及 V_{DATA} 的依賴大致相關。因此，有效的是考慮所需要的振盪頻率及耗電量來設定 V_{RO} 及 V_{DATA} 。另外，若 V_{DATA} 相對於 V_{RO} 變小，則會

存在經過電路 104 發生電壓的下降，並且中間電位施加到下一級的反相器，從而有電力效率降低的區域。

[0370]

接著，圖 20 示出在儲存於電路 104[1]的 V_{DATA} 為 2.5V 並且 V_{RO} 為 1.5V 的條件下使 VCO 振盪時的隨著時間經過的振盪頻率的變化。在圖 20 中，橫軸示出經過時間[hour]，縱軸示出振盪頻率[MHz]。

[0371]

圖 20 示出 $V_{SS}=0V$ 、 $-0.2V$ 這兩個條件下的測定結果。在初始狀態下，兩個條件下的振盪頻率都為 9.10MHz，在 $V_{SS}=0V$ 的條件下，隨著時間經過而振盪頻率衰減，經過 5 個小時後振盪頻率降低大約 7.7%，而後振盪頻率則急劇下降。

[0372]

與此相比，在 $V_{SS}=-0.2V$ 的條件下，幾乎沒有發生隨著時間經過的振盪頻率的降低。在經過 24 個小時後振盪頻率是 9.02MHz，只降低了 0.87%。從圖 18A 的圖表可以推測在 V_{DATA} 均勻地減少時，經過 24 小時後的 V_{DATA} 的衰減大約為 30mV。

[0373]

在此，當將時間表示為 t (s)、將存儲電容表示為 C (F)、將電壓變化量表示為 ΔV (V) 時，洩漏電流 I_{leak} 可以由如下公式 (2) 表示。

[0374]

[公式 2]

$$I_{leak} = \frac{\Delta VC}{t} \quad (2)$$

[0375]

由 $t=86400$ (s)、 $C=18$ (fF)、 $\Delta V=0.03V$ 可以以公式 (2) 推算洩漏電流 $I_{leak}=6\times 10^{-21}$ (A)。由此可知，藉由進行頻率極低的更新，能夠長期間保持 AVD。下面的評價以經過 24 個小時時的振盪頻率的衰減小於 1% 的條件進行，也就是說，設定為 $V_{SS}=-0.2V$ 。

[0376]

接著，圖 21A 及圖 21B 示出以 $V_{RO}=1.5V$ 使 VCO 振盪時的振盪頻率的頻譜變化。在圖 21A 及圖 21B 中，橫軸表示振盪頻率[MHz]，縱軸表示輸出[dBm]。

[0377]

圖 21A 是將 AVD 設定為 2.5V 時的圖表。圖 21A 所示的三個頻譜分別是在經過佈線 BL 對節點 SN 施加 V_{DATA} 後 0min 的頻譜、經過 90min 後的頻譜、經過 180min 後的頻譜。

[0378]

圖 21B 是將 AVD 設定為 2.0V 時的圖表。圖 21B 所示的三個頻譜分別是在經過佈線 BL 對節點 SN 施加 V_{DATA} 後經過 0min 後的頻譜、經過 90min 後的頻譜、經過 180min 後的頻譜。

[0379]

圖 21A 示出，當 $AVD=2.5V$ 時，0min 的頻譜的峰值頻率是 9.10MHz，經過 180min 時的峰值頻率是 9.07MHz。也就是說，振盪頻率衰減了 0.34%。另一方面，圖 21B 示出，當 $AVD=2.0V$ 時，0min 的頻譜的峰值頻率是 6.63MHz，經過 180min 時的峰值頻率是 6.58MHz。也就是說，振盪頻率衰減了 0.74%。

[0380]

由此可知，在 $V_{SS}=-0.2V$ 的條件下，無論 AVD 如何，振盪頻率的變化

量都極小，也就是說，AVD 的資料保持特性極好。

[0381]

並且，利用公式 (3) 由圖 21A 的頻譜計算出將 AVD 設定為 2.5V 時的 t=0min 的 FOM (figure of merit: 優值係數)。

[0382]

[公式 3]

$$\text{FOM} = \text{Phn} - 20 \log \left(\frac{F_c}{\Delta F} \right) + 10 \log(1000P) \quad (3)$$

[0383]

在此，Phn 表示相位雜訊 (phase noise)，Fc 表示中心頻率，P 表示耗電量。

[0384]

表 1 示出本實施例、環形 VCO 的對比例子 1、對比例子 2 的 FOM。此外，對比例子 1 參照了文獻 1 (S. B. Anand and B. Razavi, “A CMOS clock recovery circuit for 2.5-Gb/s NRZ data,” IEEE. J. Solid-State Circuits, vol. 36, no. 3, pp. 432-439, Mar. 2001.)，對比例子 2 參照了文獻 2 (C. Zhai et al., “An N-path Filter Enhanced Low Phase Noise Ring VCO,” in Proc. VLSI Circuits Symp., 2014, pp. 187-188.)。

[0385]

[表 1]

	實施例	對比例子 1	對比例子 2
F_c	9.1MHz	2.5GHz	1.0GHz
相位雜訊 (dBc/Hz)	-108.8	-80.0	-110.0
耗電量	420 μ W	10.0mW	4.7mW
FOM (dBc/Hz)	-151.8	-124.0	-163.3

[0386]

如表 1 所示，本實施例所示的 VCO 具有與其他環形 VCO 的 FOM 同等或其他環形 VCO 的 FOM 以上的性能。

[0387]

本實施例所示的 VCO 可以將類比電位保持於節點 SN，在切斷電源後的重新啓動時也可以保持振盪頻率。作為一個例子，圖 22A 及圖 22B 示出當 V_{DATA} 為 2.5V 時，從在電源切斷狀態下重新開機時的端子 OUT 得來的波形圖。在此，在 $V_{RO}=1.5V$ 、 $V_{SS}=-0.2V$ 、 $V_{BG}=0V$ 的條件下進行評價。另外，圖 22B 是圖 22A 的重新啓動時附近的放大圖。

[0388]

由圖 22A 及圖 22B 所示的波形圖可知，在時刻 $(\alpha+1.0)\mu s$ ，在電源切斷狀態下重新開機時，振盪在 100ns 以下重新開始。另外，在圖 22A 中， α 為 1hour。也就是說，由圖 22A 及圖 22B 可知，即使在經過 1 個小時後也重新開始良好的振盪。

[0389]

如上所述，在將根據本實施例的 VCO 用於 PLL 的情況下，在進行保持振盪頻率所需的低頻率的更新工作以外期間，可以關閉 VCO 以外的結構電

路的電源。因此，使用根據本實施例的 VCO 的 PLL 可以抑制耗電量。

[0390]

另外，在將根據本實施例的 VCO 用於 PLL 的情況下，即使在電源切斷狀態下重新開機時，也可以保持用來輸出以前的振盪頻率的 V_{DATA} 。因此，可以在暫態間重新啟動。

[0391]

另外，在本實施例所示的 VCO 中，藉由在每個電路 104[1]至電路 104[m]中都設定不同的類比電位 V_{DATA} ，並切換電路 104[1]至電路 104[m]的選擇，可以在短時間改變振盪頻率。圖 23 示出從在如下條件下切換電路 104[1]與電路 104[2]時的 VCO 的端子 OUT 得來的波形圖：將 V_{RO} 設定為 1.5V，將電路 104[1]的 V_{DATA} 設定為 1.8V，將電路 104[2]的 V_{DATA} 設定為 2.5V。

[0392]

在圖 23 中，在時刻 t 為 $0\mu\text{sec}$ 以上且小於 $1.0\mu\text{sec}$ 的期間，電路 104[1]被選擇，基於 1.8V 的 AVD 的振盪頻率 4.0MHz 的信號被輸出。在 $t=1.0\mu\text{sec}$ 時，若將所選擇的電路切換為電路 104[2]，被輸出的信號的振盪頻率則在暫態間變為 9.1MHz。

[0393]

如此，由圖 23 所示的波形圖可知，根據本實施例的 VCO 能夠進行 100ns 以下的振盪頻率的改變。

[0394]

圖 24 示出在 $m=2$ 的 VCO 中，對與選擇性地從佈線 BL 被輸入到電路 104[1]或電路 104[2]的電位 V_{DATA} (AVD) 相對的輸出振盪頻率進行評價的結果。在圖 24 中，橫軸表示電位 $V_{DATA}[\text{V}]$ ，縱軸表示輸出振盪頻率[MHz]。

[0395]

在電位 $V_{RO}=1.0V$ 、 $1.2V$ 及 $1.5V$ 這三個條件下測定振盪頻率。關於其他條件，設定為 $V_{CONTEXT}=2.5V$ 、 $V_{BG}=0V$ 、 $V_{SS}=-0.2V$ ，並將寫入時間設定為 $1.0ms$ 。

[0396]

如圖 24 所示，無論在電位 $V_{RO}=1.0V$ 、 $1.2V$ 以及 $1.5V$ 的情況下，只要被輸入到電路 104[1]及電路 104[2]的 AVD 相等，被輸出的振盪頻率都大致相等。就是說，在本實施例所示的 VCO 中，不管選擇電路 104[1]還是電路 104[2]，振盪頻率都相等。

[0397]

如此，可以在本實施例所示的 VCO 中無論選擇哪一個電路 104 都使佈線長度大致相等，由此可以防止因所選擇的電路 104 不同而發生的信號延遲。由此，在本發明的一個實施方式所示的半導體裝置中可以使對應特定資料的振盪頻率大致相等，從而可以提高振盪頻率的精度。

[0398]

接著，在 $m=8$ 的 VCO 中，將電路 104[1]至電路 104[8]設定為 $V_{DATA}=2.5V$ ，將所選擇的電路 104 的個數設定為 1、2、3、4 來進行振盪頻率的測定。在此，在 $V_{RO}=3.0V$ 、 $V_{SS}=-0.2V$ 、 $V_{BG}=0V$ 的條件下進行評價。圖 25 示出所選擇的電路 104 的個數與振盪頻率的關係的圖表。

[0399]

當所選擇的電路 104 的個數為 1 時，振盪頻率是 $6.97MHz$ ，對此，藉由使所選擇的電路 104 的個數為 2、3、4，而振盪頻率增大為 $9.93MHz$ 、 $10.80MHz$ 、 $11.10MHz$ 。這是因為：藉由增加所選擇的電路 104 的個數而電路 102 的導電率增高，從而延遲得到減少。也就是說，這表示能夠根據所選擇的電路 104 的個數來控制振盪頻率。

[0400]

注意，在所選擇的電路 104 的個數增多時導電率增高，因此反相器的延遲時間對於 VCO 的振盪頻率的影響則會相對性地增大。因此，所選擇的電路 104 的個數越多，相對於所選擇的電路 104 個數的增加的 VCO 的振盪頻率的增加率越下降。

[0401]

在使用具有多個類比記憶體組的 VCO 的情況下，能夠在各電路 104 中保持不同的 AVD。因此，藉由進行改變上述所選擇的電路 104 個數的數位式控制和改變 AVD 值的類比式控制，能夠緻密地控制更寬的振盪頻帶。

【符號說明】

[0402]

22	電晶體	101	電路
23	電晶體	102	電路
90	電晶體	103	反相器
91	絕緣膜	104	電路
92a	氧化物半導體膜	105	電晶體
92b	氧化物半導體膜	106	電晶體
92c	氧化物半導體膜	107	電晶體
93	導電膜	108	電容器
94	導電膜	112a	區域
95	絕緣膜	112b	區域
96	導電膜	113a	區域
97	基板	113b	區域

113c	區域	320g	通道形成區域
114a	區域	322a	閘極絕緣膜
114b	區域	322b	閘極絕緣膜
115	區域	324a	閘極電極
201	相位比較器	324b	閘極電極
202	迴路濾波器	326a	側壁絕緣膜
203	電壓控制振盪器	326b	側壁絕緣膜
204	分頻器	328a	導電膜
300	基板	328b	導電膜
310	絕緣膜	328c	導電膜
311	絕緣膜	330a	導電膜
312	絕緣膜	330b	導電膜
313	絕緣膜	330c	導電膜
314	絕緣膜	332	導電膜
315	絕緣膜	334	導電膜
316	絕緣膜	336	導電膜
317	絕緣膜	340	氧化物半導體膜
320	半導體膜	340a	氧化物半導體膜
320a	雜質區域	340c	氧化物半導體膜
320b	雜質區域	342a	導電膜
320c	雜質區域	342b	導電膜
320d	雜質區域	342c	導電膜
320e	雜質區域	344a	導電膜
320f	通道形成區域	344b	導電膜

346	閘極絕緣膜	430c	氧化物半導體膜
348	閘極電極	431	閘極絕緣膜
350a	導電膜	432	導電膜
350b	導電膜	433	導電膜
350c	導電膜	434	閘極電極
400	基板	601	半導體基板
401	元件隔離區域	610	元件隔離區域
402	雜質區域	611	絕緣膜
403	雜質區域	612	絕緣膜
404	通道形成區域	613	絕緣膜
405	絕緣膜	625	導電膜
406	閘極電極	626	導電膜
411	絕緣膜	627	導電膜
412	導電膜	634	導電膜
413	導電膜	635	導電膜
414	導電膜	636	導電膜
416	導電膜	637	導電膜
417	導電膜	644	導電膜
418	導電膜	651	導電膜
420	絕緣膜	652	導電膜
421	絕緣膜	653	導電膜
422	絕緣膜	661	絕緣膜
430	半導體膜	662	閘極絕緣膜
430a	氧化物半導體膜	663	絕緣膜

701	半導體膜	5302	冷藏室門
710	區域	5303	冷凍室門
711	區域	5401	外殼
721	導電膜	5402	顯示部
722	導電膜	5403	鍵盤
731	閘極電極	5404	指向裝置
5001	外殼	5601	外殼
5002	外殼	5602	外殼
5003	顯示部	5603	顯示部
5004	顯示部	5604	顯示部
5005	麥克風	5605	連接部
5006	揚聲器	5606	操作鍵
5007	操作鍵	5801	外殼
5008	觸控筆	5802	外殼
5101	車體	5803	顯示部
5102	車輪	5804	操作鍵
5103	儀表板	5805	鏡頭
5104	燈	5806	連接部
5301	外殼		

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

【序列表】(請換頁單獨記載)

I676358

發明摘要

※ 申請案號：104135839

※ 申請日：104年10月30日

※IPC 分類：H03L 7/08 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【中文】

本發明提供一種包括振盪電路的半導體裝置，該振盪電路在反相器之間包括電路。在該電路中，端子 A 與端子 C₁ 之間的佈線路徑長度 (a₁) 及端子 D₁ 與端子 B 之間的佈線路徑長度 (b₁) 的總和大致相等於端子 A 與端子 C₂ 之間的佈線路徑長度 (a₂) 及端子 D₂ 與端子 B 之間的佈線路徑長度 (b₂) 的總和。

【英文】

An object of the present invention is to provide a semiconductor device including an oscillator circuit including a circuit between inverters. In the circuit, a sum of the length (a₁) of a wiring path between a terminal A and a terminal C₁ and a length (b₁) of a wiring path between a terminal D₁ and a terminal B is substantially equal to a sum of the length (a₂) of a wiring path between the terminal A and a terminal C₂ and the length (b₂) of a wiring path between a terminal D₂ and the terminal B.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

101[1],101[2],101[n-2],101[n-1],101[n] 電路

102[1],102[2],102[n-2],102[n-1],102[n] 電路

103[1],103[n-2],103[n] 反相器

104[1],104[2],104[m] 電路

112a 第二區域

113a 第一區域

113b 第三區域

BL 佈線

CONTEXT[1], CONTEXT[2],CONTEXT[m] 佈線

WL[1], WL[2],WL[m] 佈線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

(108 年 6 月 25 日專利修正無劃線版本)

申請專利範圍

1. 一種包括振盪電路的半導體裝置，該振盪電路包括：

第一至第 n 反相器；

第一電路，儲存第一資料；以及

第二電路，儲存第二資料，

其中， n 為3以上的奇數，

該第一電路的第一端子與該第 i 反相器的輸出端子電連接，

i 為1至 $n-1$ 中的一個，

該第一電路的第二端子與該第 $i+1$ 反相器的輸入端子電連接，

該第二電路的第一端子與該第 i 反相器的該輸出端子電連接，

該第二電路的第二端子與該第 $i+1$ 反相器的該輸入端子電連接，

並且，該第 i 反相器的該輸出端子與該第一電路的該第一端子之間的佈線路徑長度及該第一電路的該第二端子與該第 $i+1$ 反相器的該輸入端子之間的佈線路徑長度的總和大致相等於該第 i 反相器的該輸出端子與該第二電路的該第一端子之間的佈線路徑長度及該第二電路的該第二端子與該第 $i+1$ 反相器的該輸入端子之間的佈線路徑長度的總和。

2. 根據申請專利範圍第1項之半導體裝置，還包括：

該第一電路的至少一部分及該第二電路的至少一部分上的絕緣膜；

該絕緣膜上的第一佈線，該第一佈線與該第 i 反相器的該輸出端子電連接；以及

該絕緣膜上的第二佈線，該第二佈線與該第 $i+1$ 反相器的該輸入端子電連接，

其中，第一開口部、第二開口部、第三開口部以及第四開口部在該絕緣膜中，

(108 年 6 月 25 日專利修正無劃線版本)

該第一佈線藉由該第一開口部與該第一電路的該第一端子電連接且藉由該第二開口部與該第二電路的該第一端子電連接，

該第二佈線藉由該第三開口部與該第一電路的該第二端子電連接且藉由該第四開口部與該第二電路的該第二端子電連接，

並且，該第一開口部與該第二開口部之間的距離大致相等於該第三開口部與該第四開口部之間的距離。

3．根據申請專利範圍第1項之半導體裝置，還包括：

設置有該第 j 反相器的第一區域，其中 j 為1以上且 n 以下的奇數；

設置有該第一電路及該第二電路的第二區域；以及

設置有該第 k 反相器的第三區域，其中 k 為2以上且 $n-1$ 以下的偶數，

其中，該第二區域位於該第一區域與該第三區域之間。

4．一種包括振盪電路的半導體裝置，該振盪電路包括：

第一反相器；

第二反相器；

第三反相器；

第一電路，儲存第一資料；以及

第二電路，儲存第二資料，

其中，該第一電路的第一端子與該第一反相器的輸出端子電連接，

該第一電路的第二端子與該第二反相器的輸入端子電連接，

該第二電路的第一端子與該第一反相器的該輸出端子電連接，

該第二電路的第二端子與該第二反相器的該輸入端子電連接，

並且，該第一反相器的該輸出端子與該第一電路的該第一端子之間的佈線路徑長度及該第一電路的該第二端子與該第二反相器的該輸入端子之間的佈線路徑長度的總和大致相等於該第一反相器的該輸出端子與該第二

(108 年 6 月 25 日專利修正無劃線版本)

電路的該第一端子之間的佈線路徑長度及該第二電路的該第二端子與該第二反相器的該輸入端子之間的佈線路徑長度的總和。

5．根據申請專利範圍第4項之半導體裝置，還包括：

該第一電路的至少一部分及該第二電路的至少一部分上的絕緣膜；

該絕緣膜上的第一佈線，該第一佈線與該第一反相器的該輸出端子電連接；以及

該絕緣膜上的第二佈線，該第二佈線與該第二反相器的該輸入端子電連接，

其中，第一開口部、第二開口部、第三開口部以及第四開口部在該絕緣膜中，

該第一佈線藉由該第一開口部與該第一電路的該第一端子電連接且藉由該第二開口部與該第二電路的該第一端子電連接，

該第二佈線藉由該第三開口部與該第一電路的該第二端子電連接且藉由該第四開口部與該第二電路的該第二端子電連接，

並且，該第一開口部與該第二開口部之間的距離大致相等於該第三開口部與該第四開口部之間的距離。

6．根據申請專利範圍第4項之半導體裝置，還包括：

設置有該第一反相器的第一區域；

設置有該第一電路及該第二電路的第二區域；以及

設置有該第二反相器的第三區域，

其中，該第二區域位於該第一區域與該第三區域之間。

7．根據申請專利範圍第1或4項之半導體裝置，

該第一電路進行使在該第一端子與該第二端子之間成為非導通的模式和將該第一端子與該第二端子之間的電阻值設定為基於該第一資料的值的

(108 年 6 月 25 日專利修正無劃線版本)

模式的切換，

並且該第二電路進行使在該第一端子與該第二端子之間成為非導通的模式和將該第一端子與該第二端子之間的電阻值設定為基於該第二資料的值的模式的切換。

8．根據申請專利範圍第1或4項之半導體裝置，

其中該第一資料及該第二資料都是類比電位。

9．根據申請專利範圍第1或4項之半導體裝置，

其中該第一電路包括第一電晶體及第一電容器，

該第二電路包括第二電晶體及第二電容器，

該第一資料藉由該第一電晶體被輸入到該第一電容器，

該第二資料藉由該第二電晶體被輸入到該第二電容器，

並且該第一電晶體及該第二電晶體在通道形成區域中都包括氧化物半導體。

10．根據申請專利範圍第9項之半導體裝置，

其中該第一電晶體及該第二電晶體的該氧化物半導體都包含 In、Zn 及 M，其中 M 為 Ga、Y、Zr、La、Ce 或 Nd。

11．根據申請專利範圍第1或4項之半導體裝置，

其中該第一電路包括第三電晶體以及第四電晶體，

該第二電路包括第五電晶體以及第六電晶體，

該第三電晶體及該第四電晶體在該第一電路的該第一端子與該第一電路的該第二端子之間被串聯電連接，

該第五電晶體及該第六電晶體在該第二電路的該第一端子與該第二電路的該第二端子之間被串聯電連接，

該第三電晶體的源極與汲極之間的電阻值基於該第一資料，

(108 年 6 月 25 日專利修正無劃線版本)

該第四電晶體控制該第一電路的該第一端子與該第一電路的該第二端子之間的導通/非導通，

該第五電晶體的源極與汲極之間的電阻值基於該第二資料，

並且該第六電晶體控制該第二電路的該第一端子與該第二電路之間的該第二端子之間的導通/非導通。

12．根據申請專利範圍第1或4項之半導體裝置，還包括PLL，

其中該 PLL 包括振盪電路、分頻器、相位比較器以及迴路濾波器。

13．一種包括申請專利範圍第1或4項之半導體裝置的電子裝置。