(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 21/76

(11) 공개번호 특1999-0042453
(43) 공개일자 1999년06월15일

(21) 출원번호 10-1997-0063275
(22) 출원일자 1997년11월26일

(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 주문식
경기도 이천시 대월면 사동리 441-1 현대아파트 111-604
원대희
경기도 안양시 만안구 안양4동 711-377
피승호
경기도 이천시 부발읍 아미리 현대3차 아파트 301동2004호
(74) 대리인 이정훈, 이권희

심사청구 : 없음

(54) 반도체소자의 소자분리막 제조방법

요약

본 발명은 반도체 소자의 소자분리막 제조방법에 관한 것으로서, 트렌치를 형성한 다음, 상기 트렌치 형성공정시 발생한 트렌치 표면의 결함을 제거하는 열산화막 형성 및 제거공정을 실시한 후, 다시 상기 트렌치 표면에 열산화막을 형성하고, 상기 열산화막을 저온의 N20 분위기에서 1차로 열처리하면 질소원자가 상기 열산화막과 반도체기판 계면으로 침투하여 상기 계면이 휘어지는 것을 방지하고, 결함이 약한 부분을 보강하여 상기 열산화막과 반도체기판 계면의 Si 와 0와의 댕글링 본드(dangling bond)에 의한 계면 포획 전하(interface trap charge)를 감소시키고, 산화공정시 발생하는 압축응력을 완화시켜 상기 열산화막의 전기적 특성을 향상시키며, 후속공정으로 고온의 N2 분위기에서 2차 열처리 공정을 실시하여 상기 열산화막 내의 고정전하(fixed charge)를 감소시킴으로써 전기적으로 안정한 트렌치 표면과 열산화막을 얻고 그에 따른 반도체소자의 신뢰성 및 특성을 향상시키는 기술이다.

대표도

도5b

명세서

도면의 간단한 설명

도 1 내지 도 6 은 본 발명에 따른 반도체소자의 소자분리막 제조방법을 도시한 단면도.

<도면의 주요부분에 대한 부호의 설명>

11 : 반도체 기판 13 : 제1절연막
15 : 제2절연막 17 : 트렌치
19 : 제2열산화막 21 : 제3절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 소자분리막 제조방법에 관한 것으로써, 특히 트렌치를 절연물로 매립하여 소자분리막을 형성하는 공정에서, 상기 트랜치를 매립하는 절연물을 저온에서 1차 열처리하여 질화막과 식각선택비를 줄인 다음, 상기 질화막을 제거함으로써 게이트 전극 형성시 발생하는 잔류물이 남는 것을 방지하고, 다시 고온에서 2차 열처리 공정을 실시하여 후속 세정공정시 상기 트렌치를 매립하는 절연물이 손실되는 것을 방지하여 반도체소자의 전기적 특성 향상시키는 반도체소자의 소자분리막 제조방법을 제공함에 있다.

일반적으로 반도체소자는 트랜지스터나 커패시터 등과 같은 소자들이 형성되는 활성영역과, 상기 소자들의 동작이 서로 방해되지 않도록 활성 영역들을 분리하는 소자분리 영역으로 구성되어 있다.

최근 반도체소자의 고집적화 추세에 따라 반도체소자에서 많은 면적을 차지하는 소자분리 영역의 면적을 감소시키려는 노력이 꾸준히 진행되고 있다.

이러한 소자분리 영역의 제조방법으로는 질화막 패턴을 마스크로 하여 반도체기판을 열산화시키는 통상의 로코스(local oxidation of silicon : 이하 LOCOS 라 함) 방법이나 반도체기판에 트렌치를 형성하고 이를 절연물질로 매립하는 트렌치분리 등의 방법이 사용되고 있으며, 그 중 LOCOS 방법은 비교적 공정이 간단하여 널리 사용되지만 소자분리 면적이 크고, 경계면에 버즈빅(bird's beak)이 생성되어 기판 스트레스(stress)에 의한 격자 결함이 발생되는 단점이 있다.

상기 LOCOS 필드산화막의 제조방법을 살펴보면 다음과 같다.

먼저, 반도체기판의 표면을 열산화시켜 패드산화막을 형성하고 상기 패드산화막 상부에 상기 반도체기판의 소자분리 영역으로 예정된 부분을 노출시키는 질화막 패턴을 형성한 후, 상기 질화막 패턴을 열산화 마스크로 하여 반도체기판을 소정 두께 열산화시켜 필드산화막을 형성한다.

이러한 종래의 LOCOS 필드산화막은 활성영역과 필드산화막 사이의 반도체기판 경계부분에 산소가 측면 침투하여 버즈빅이라는 경사면이 형성된다.

상기 버즈빅에 의해 반도체기판에 스트레스가 인가되어 격자 결함이 발생되므로 누설전류가 증가되어 소자동작의 신뢰성이 떨어지고, 활성영역의 면적이 감소되어 소자의 고집적화가 어려워진다.

상기와 같이 활성영역의 면적이 감소되는 것을 방지하기 위하여, 작은 면적으로 소자를 분리할 수 있는 트렌치에 의한 소자분리막 제조방법이 초고집적소자에서 많이 사용되고 있다.

도지되어 있지는 않지만, 종래기술에 따른 반도체소자의 소자분리막 제조방법을 설명하면 다음과 같다.

먼저, 반도체기판 상부에 열산화막으로 제1절연막을 형성하고, 그 상부에 질화막으로 제2절연막을 형성한다.

그 다음, 상기 제2절연막 상부에 소자분리영역으로 예정되는 부분을 노출시키는 제1감광막 패턴을 형성하고, 상기 제1감광막 패턴을 식각마스크로 상기 제2절연막, 제1절연막 및 일정두께의 반도체기판을 식각하여 트렌치를 형성한다.

다음, 상기 트렌치 측벽에 열산화막을 성장시킨 후 제거하여 트렌치 표면에 발생한 결함을 제거하고, 다시 열산화막을 성장시킨다.

그리고, 상기 구조의 전 표면에 상기 트렌치를 완전히 매립하는 제3절연막을 화학기상증착방법(Chemical vapor deposition, 이하 CVD 라 함)으로 형성한 다음, 상기 제3절연막을 화학적 기계적 연마(Chemical mechanical polishing, 이하 CMP 라 함)방법으로 상기 제2절연막이 드러날 때까지 연마한다.

그 다음, 상기 제2절연막, 제1절연막을 제거하고, 게이트 산화막을 형성한 후 다결정실리콘층 패턴으로 된 게이트전극을 형성한다.

상기와 같은 종래기술에 따른 반도체소자의 소자분리막 제조방법은, 트렌치와 상기 트렌치를 매립하는 절연막 계면에서의 계면 포획 전하를 줄일 수는 있지만, 상기 트렌치 측벽에 열산화막을 형성할 때 발생하는 열산화막과 트렌치 계면에서의 계면 포획 전하와 상기 열산화막 내의 고정전하가 발생하는 것을 방지하기 어렵다. 그리고, 상기와 같이 형성된 계면 포획 전하는 전자나 정공의 전하를 보호하거나 방출하는 작용을 하여 트렌치 표면과 열산화막 계면 및 열산화막의 전기적 특성을 열화시키는 문제점이 있다.

발명이 이루고자하는 기술적 과제

본 발명은 상기한 문제점을 해결하기 위하여, 트렌치를 이용한 소자분리공정시 트렌치를 형성한 다음, 상기 트렌치의 표면에 열산화막을 형성하고, 상기 열산화막을 N20 및 N2 분위기에서 2차에 걸친 열처리 공정을 실시함으로써 상기 트렌치의 측벽에 전기적으로 안정한 산화막을 형성하여 소자분리막의 전기적 특성을 향상시키는 반도체소자의 소자분리막 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위해 본 발명에 따른 반도체소자의 소자분리막 제조방법은,

반도체기판 상부에 산화막과, 질화막을 순차적으로 형성하는 공정과,

소자분리 마스크를 이용한 식각공정으로 상기 산화막, 질화막 및 반도체기판을 식각하여 트렌치를 형성하는 공정과,

상기 트렌치 표면의 결함을 제거하는 공정과,

상기 트렌치 표면에 열산화막을 형성하는 공정과,

상기 열산화막을 N20 분위기에서 1차 열처리하는 공정과,

상기 열산화막을 N2 분위기에서 2차 열처리하는 공정과,

상기 트렌치를 매립하는 절연막을 형성하는 공정을 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명한다.

도 1 내지 도 6 는 본 발명에 의한 반도체소자의 소자분리막 제조방법을 도시한 단면도로서, 특히 도 5a 및 도 5b 는 제2열산화막과 반도체기판의 계면을 도시한 것이다.

먼저, 반도체기판(11) 상부에 제1절연막(13)을 형성한다. 이때, 상기 제1절연막(13)은 열산화막으로서, 50 ~ 200 Å 두께로 형성한다.

그리고, 상기 제1절연막(13) 상부에 제2절연막(15)인 질화막을 1000 ~ 3000 Å 두께로 증착한다. (도 1 참조)

그리고, 상기 제2절연막(15) 상부에 소자분리 영역으로 예정되는 부분을 노출시키는 제1감광막 패턴(도시안됨)을 형성한 다음, 상기 제2절연막(15)과 제1절연막(13) 및 일정두께의 반도체기판(11)을 식각하여 트렌치(17)를 형성하고, 상기 제1감광막 패턴을 제거한다. 이때, 상기 반도체기판(11)은 1500 ~4000 Å 깊이 식각한다. (도 2참조)

그 후, 상기 트렌치(17)의 표면에 제1열산화막(도시안됨)을 50 ~ 200 Å 두께 형성시켰다가 습식식각 공정으로 제거하여 상기 트렌치(17)를 형성하기 위한 식각공정시 손상된 반도체기판(11)의 표면에 결함을 제거하기 위함이다. 이때, 상기 제1열산화막은 100 ~ 300 Å 두께로 건식 또는 습식방법으로 과도식각한다. (도 3참조)

그 다음, 상기 트렌치(17)의 측벽에 다시 50 ~ 200 Å 정도 두께의 제2열산화막(19)을 성장시킨다. 이때, 상기 제2열산화막(19)은 제3절연막(21)과 반도체기판(11)과의 계면에서의 계면포획전하를 줄이기 위함이다. (도 4참조)

도 5a 는 상기 제2열산화막(19)을 형성한 후 상기 제2열산화막(19)과 반도체기판(11)의 계면상태를 도시한 도면이다.

다음, 상기 제2열산화막(19)을 500 ~ 1000 ℃ 온도의 N20 분위기에서 1차 열처리공정을 실시한다.

이때, 상기 1차 열처리공정은 상기 제2열산화막(19)과 반도체기판(11) 계면의 Si 와 0 와의 댕글링 본드로 계면 포획 전하를 감소시키고, 후속 산화공정시 발생하는 압축응력(compressive stress)도 감소시킨다. 또한, 질소원자가 상기 계면으로 침투하여 계면이 휘어지는 것을 방지한다.

그 다음, 상기 제2열산화막(19)을 1000 ~ 1500 ℃ 온도의 N2 분위기에서 2차 열처리공정을 실시한다. 여기서, 상기 2차 열처리공정은 상기 제2열산화막(19) 내의 고정전하(fixed charge)를 감소시킨다. (도 5b참조)

다음, 상기 트렌치(17)를 매립하는 동시에 상기 제2절연막(15)이 덮힐 정도로 제3절연막(21)을 형성한다. 이때, 상기 제3절연막(21)은 3000 ~ 8000 Å 두께로 형성한다. (도 6참조)

발명의 효과

상기한 바와같이 본 발명에 따른 반도체소자의 소자분리막 제조방법은, 트렌치를 형성한 다음, 상기 트렌치 형성공정시 발생한 트렌치 표면의 결함을 제거하는 열산화막 형성 및 제거공정을 실시한 후, 다시 상기 트렌치 표면에 열산화막을 형성하고, 상기 열산화막을 저온의 N20 분위기에서 1차로 열처리하면 질소원자가 상기 열산화막과 반도체기판 계면으로 침투하여 상기 계면이 휘어지는 것을 방지하고, 결함이 약한 부분을 보강하여 상기 열산화막과 반도체기판 계면의 Si 와 0와의 댕글링 본드에 의한 계면 포획 전하를 감소시키고, 산화공정시 발생하는 압축응력을 완화시켜 상기 열산화막의 전기적 특성을 향상시키며, 후속공정으로 고온의 N2 분위기에서 2차 열처리 공정을 실시하여 상기 열산화막 내의 고정전하를 감소시킴으로써 전기적으로 안정한 트렌치 표면과 열산화막을 얻게 되고, 그에 따른 반도체소자의 신뢰성 및 특성을 향상시키는 이점이 있다.

(57) 청구의 범위

청구항 1

반도체기판 상부에 산화막과, 질화막을 순차적으로 형성하는 공정과,

소자분리 마스크를 이용한 식각공정으로 상기 산화막, 질화막 및 반도체기판을 식각하여 트렌치를 형성하는 공정과,

상기 트렌치 표면의 결함을 제거하는 공정과,

상기 트렌치 표면에 열산화막을 형성하는 공정과,

상기 열산화막을 1차 열처리하는 공정과,

상기 열산화막을 2차 열처리하는 공정과,

상기 트렌치를 매립하는 절연막을 형성하는 공정을 포함하는 반도체소자의 소자분리막 제조방법.

청구항 2

제 1 항에 있어서,

상기 트렌치는 1500 ~ 4000 Å 깊이의 반도체기판을 식각하여 형성하는 것을 특징으로 하는 반도체소자의 소자분리막 제조방법.

청구항 3

제 1 항에 있어서,

상기 트렌치 표면의 결함제거 공정은 상기 트렌치 표면에 50 ~ 200 Å 두께의 열산화막을 형성하고, 이를 제거하여 실시하는 것을 특징으로 하는 반도체소자의 소자분리막 제조방법.

청구항 4

제 3 항에 있어서,

상기 열산화막 제거공정은 습식 또는 건식식각 공정으로 실시하는 것을 특징으로 하는 반도체소자의 소자분리막 제조방법.

청구항 5

제 1 항에 있어서,

상기 열산화막은 50 ~ 200 Å 두께로 형성하는 것을 특징으로 하는 반도체소자의 소자분리막 제조방법.

청구항 6

제 1 항에 있어서,

상기 1차 열처리 공정은 500 ~ 1000 ℃ 온도의 N20 분위기에서 실시하는 것을 특징으로 하는 반도체소자의 소자분리막 제조방법.

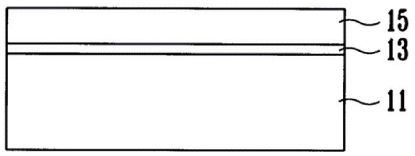
청구항 7

제 1 항에 있어서,

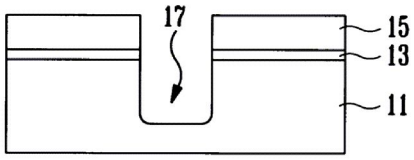
상기 2차 열처리 공정은 1000 ~ 1500 ℃ 온도의 N2 분위기에서 실시하는 것을 특징으로 하는 반도체소자의 소자분리막 제조방법.

도면

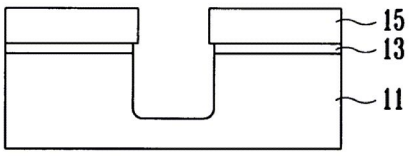
도면1



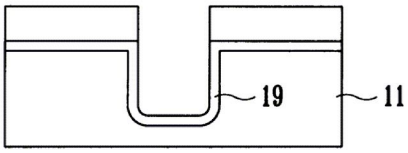
도면2



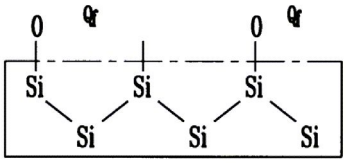
도면3



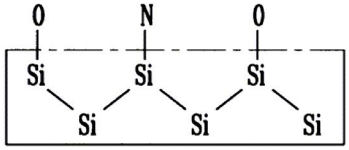
도면4



도면5a



도면5b



도면6

