

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200580037146.2

[51] Int. Cl.

H01L 21/3205 (2006.01)

H01L 23/52 (2006.01)

C23C 16/18 (2006.01)

C23C 16/50 (2006.01)

H01L 21/28 (2006.01)

[45] 授权公告日 2009 年 4 月 8 日

[11] 授权公告号 CN 100477119C

[22] 申请日 2005.10.3

[21] 申请号 200580037146.2

[30] 优先权

[32] 2004.10.27 [33] JP [31] 312497/2004

[86] 国际申请 PCT/JP2005/018287 2005.10.3

[87] 国际公布 WO2006/046386 日 2006.5.4

[85] 进入国家阶段日期 2007.4.27

[73] 专利权人 东京毅力科创株式会社

地址 日本国东京都

[72] 发明人 小岛康彦 吉井直树

[56] 参考文献

CN1430246A 2003.7.16

CN1426092A 2003.6.25

JP2000-260865A 2000.9.22

US20020090814A1 2002.7.11

US20020119657A1 2002.8.29

审查员 陈 凯

[74] 专利代理机构 北京尚诚知识产权代理有限公司

代理人 龙 淳

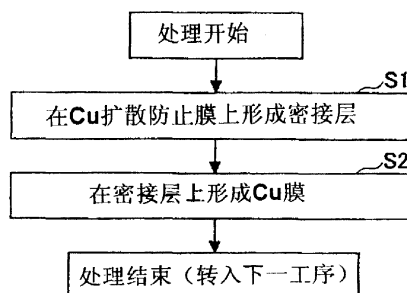
权利要求书 4 页 说明书 14 页 附图 10 页

[54] 发明名称

成膜方法、半导体装置的制造方法、半导体装置和成膜装置

[57] 摘要

本发明的目的是使半导体装置的 Cu 扩散防止膜与 Cu 配线之间的密接性良好，并提高半导体装置的可靠性。为此，在本发明中的成膜方法是在被处理基板上形成 Cu 膜的成膜方法，其特征在于，包括：在形成于被处理基板上的 Cu 扩散防止膜上形成密接膜的第一工序；和在所述密接膜上形成 Cu 膜的第二工序，并且所述密接膜含有 Pd。



1.一种成膜方法，用于在被处理基板上形成 Cu 膜，其特征在于，该方法包括：

在形成于所述被处理基板上的 Cu 扩散防止膜上形成密接膜的第一工序；和

在所述密接膜上形成所述 Cu 膜的第二工序，

其中，所述密接膜含有 Pd 作为主要成分，并通过使用成膜气体和还原气体的 CVD 法而形成。

2. 根据权利要求 1 所述的成膜方法，其特征在于：

所述密接膜含有 Cu。

3. 根据权利要求 1 所述的成膜方法，其特征在于：

所述 Cu 扩散防止膜以覆盖形成于所述被处理基板上的绝缘膜的方式形成。

4. 根据权利要求 3 所述的成膜方法，其特征在于：

在所述绝缘膜上形成有图案形状，所述 Cu 扩散防止膜按照该图案形状形成。

5. 根据权利要求 1 所述的成膜方法，其特征在于：

所述成膜气体是 $\text{Pd}(\text{hfac})_2$ 、 $(\text{C}_5\text{H}_5)\text{Pd}(\text{allyl})$ 、和 $\text{Pd}(\text{allyl})_2$ 中的任一种。

6. 根据权利要求 1 所述的成膜方法，其特征在于：

所述第一工序包括：

向所述被处理基板上供给成膜气体的成膜气体工序；

从所述被处理基板上除去该成膜气体的成膜气体除去工序；

向所述被处理基板上供给还原气体的还原气体工序；和

从所述被处理基板上除去该还原气体的还原气体除去工序；

7. 根据权利要求6所述的成膜方法, 其特征在于:

所述成膜气体是 $\text{Pd}(\text{hfac})_2$ 、 $(\text{C}_5\text{H}_5)\text{Pd}(\text{allyl})$ 和 $\text{Pd}(\text{allyl})_2$ 中的任一种。

8. 根据权利要求6所述的成膜方法, 其特征在于:

所述还原气体以等离子体激发的方式使用。

9. 根据权利要求1所述的成膜方法, 其特征在于:

所述第二工序包括:

向所述被处理基板上供给 Cu 成膜气体的 Cu 成膜气体工序;

从所述被处理基板上除去该 Cu 成膜气体的 Cu 成膜气体除去工序;

向所述被处理基板上供给 Cu 还原气体的 Cu 还原气体工序; 和

从所述被处理基板上除去该 Cu 还原气体的 Cu 还原气体除去工序。

10. 根据权利要求9所述的成膜方法, 其特征在于:

所述 Cu 成膜气体选自 $\text{Cu}(\text{hfac})_2$ 、 $\text{Cu}(\text{acac})_2$ 、 $\text{Cu}(\text{dpm})_2$ 、 $\text{Cu}(\text{dibm})_2$ 、 $\text{Cu}(\text{ibpm})_2$ 、 $\text{Cu}(\text{edmdd})_2$ 、 $\text{Cu}(\text{hfac})\text{TMVS}$ 和 $\text{Cu}(\text{hfac})\text{COD}$ 。

11. 根据权利要求9所述的成膜方法, 其特征在于:

所述 Cu 还原气体以等离子体激发的方式使用。

12. 一种半导体装置的制造方法, 用于制造具有 Cu 配线部的半导体装置, 其特征在于, 包括:

在 Cu 扩散防止膜上形成密接膜的第一工序, 该 Cu 扩散防止膜按照在被处理基板上的绝缘层上形成的图案形状形成; 和

在所述密接膜上形成所述 Cu 配线部的第二工序,

其中, 所述密接膜含有 Pd 作为主要成分, 通过使用成膜气体和还原气体的 CVD 法而形成。

13. 根据权利要求12所述的半导体装置的制造方法, 其特征在于:

所述密接膜含有 Cu。

14. 根据权利要求 12 所述的半导体装置的制造方法, 其特征在于:
所述成膜气体是 $\text{Pd}(\text{hfac})_2$ 、 $(\text{C}_5\text{H}_5)\text{Pd}(\text{allyl})$ 和 $\text{Pd}(\text{allyl})_2$ 中的任一种。
15. 根据权利要求 12 所述的半导体装置的制造方法, 其特征在于:
所述第一工序包括:
向所述被处理基板上供给成膜气体的成膜气体工序;
从所述被处理基板上除去该成膜气体的成膜气体除去工序;
向所述被处理基板上供给还原气体的还原气体工序; 和
从所述被处理基板上除去该还原气体的还原气体除去工序。
16. 根据权利要求 15 所述的半导体装置的制造方法, 其特征在于:
所述成膜气体是 $\text{Pd}(\text{hfac})_2$ 、 $(\text{C}_5\text{H}_5)\text{Pd}(\text{allyl})$ 和 $\text{Pd}(\text{allyl})_2$ 中的任一种。
17. 根据权利要求 15 所述的半导体装置的制造方法, 其特征在于:
所述还原气体以等离子体激发的方式使用。
18. 根据权利要求 12 所述的半导体装置的制造方法, 其特征在于:
所述第二工序包括:
向所述被处理基板上供给 Cu 成膜气体的 Cu 成膜气体工序;
从所述被处理基板上除去该 Cu 成膜气体的 Cu 成膜气体除去工序;
向所述被处理基板上供给 Cu 还原气体的 Cu 还原气体工序; 和
从所述被处理基板上除去该 Cu 还原气体的 Cu 还原气体除去工序。
19. 根据权利要求 18 所述的半导体装置的制造方法, 其特征在于:
所述 Cu 成膜气体选自 $\text{Cu}(\text{hfac})_2$ 、 $\text{Cu}(\text{acac})_2$ 、 $\text{Cu}(\text{dpm})_2$ 、 $\text{Cu}(\text{dibm})_2$ 、 $\text{Cu}(\text{ibpm})_2$ 、 $\text{Cu}(\text{edmdd})_2$ 、 $\text{Cu}(\text{hfac})\text{TMVS}$ 和 $\text{Cu}(\text{hfac})\text{COD}$ 。
20. 根据权利要求 18 所述的半导体装置的制造方法, 其特征在于:
所述 Cu 还原气体以等离子体激发的方式使用。
21. 一种半导体装置, 其特征在于:
具有:

在被处理基板上形成的绝缘层；
在所述绝缘层中形成的 Cu 配线部；和
在所述绝缘层与 Cu 配线部之间形成的 Cu 扩散防止膜，
其中，在所述 Cu 配线部与所述 Cu 扩散防止膜之间具有密接膜，
该密接膜通过使用成膜气体和还原气体的 CVD 法而形成，并含有 Pd
作为主要成分。

22. 根据权利要求 21 所述的半导体装置，其特征在于：
所述密接膜含有 Cu。

23. 根据权利要求 21 所述的半导体装置，其特征在于：
所述 Cu 扩散防止膜是选自 Ta、TaN、W、WN、TiN、TaSiN 和
TiSiN 中的任一种材料。

24. 根据权利要求 21 所述的半导体装置，其特征在于：
所述绝缘层含有氧化硅膜、加氟氧化硅膜、SiOC 膜、有机高分子
膜和多孔质膜中的任一种。

25. 一种成膜装置，用于在被处理基板上形成的 Cu 扩散防止膜与
Cu 配线部之间，通过 CVD 法形成含有 Pd 作为主要成分的密接膜，其
特征在于，具备控制装置，该控制装置执行如下工序：

向所述被处理基板上供给成膜气体的成膜气体工序；
从所述被处理基板上除去该成膜气体的成膜气体除去工序；
向所述被处理基板上供给还原气体的还原气体工序；和
从所述被处理基板上除去该还原气体的还原气体除去工序。

成膜方法、半导体装置的制造方法、半导体装置和成膜装置

技术领域

本发明涉及在被处理基板的 Cu 扩散防止膜上形成 Cu 膜的成膜方法和、使用该成膜方法的半导体装置的制造方法和半导体装置，还有使该成膜方法运行的程序、和存储该程序的存储介质。

背景技术

近年，随着半导体装置的高性能化，半导体器件的高集成化进一步发展，细微化的要求也越发显著，配线规则正在向 $0.1\mu\text{m}$ 以下的领域发展。而且，配线材料也使用了配线延迟影响较小，电阻值较低的 Cu。

因此，Cu 成膜技术和细微配线技术的组合成为近年来细微化多层配线技术的重要的关键性技术。

例如，半导体装置等的配线使用 Cu 配线的情况下，由于担心在 Cu 配线的周围形成的绝缘层中 Cu 会扩散，通常会在 Cu 配线与绝缘层之间形成 Cu 扩散防止膜（有时也叫做阻挡膜、基底膜等）。

[专利文献 1] 日本特开 2004-193499 号公报

但是，在这样的情况下，对于 Cu 配线现有使用的 Cu 扩散防止膜，例如 Ta 膜或 TaN 膜等的密接性不好，Cu 配线与 Cu 扩散防止膜之间产生剥离现象，由此产生了例如半导体装置的可靠性下降等问题。

另外，例如在半导体装置的制造工序中，除了膜的分离现象以外，特别是在热工序之后会产生 Cu 的凝聚，并且，在这样密接性差，且会产生凝聚的状态下形成的 Cu 配线，当 Cu 配线中流过的电流密度升高的时候，由电子的界面扩散引起的电迁移使配线产生劣化，而且也有可能由于应力迁移使配线劣化或损坏。

为此，尝试了在 Cu 扩散防止膜与 Cu 配线之间由 Ru 形成密接膜的方法，但是并没有使 Cu 扩散防止膜与 Cu 导线之间充分的保持密接性，也没有使 Cu 的凝聚性得以充分的改善，并没有达到实际使用中所

要求的水平。

发明内容

在此，本发明解决了上述问题，本发明的目的在于提供一种新的有用的成膜方法，并提供使用该成膜方法的半导体装置的制造方法及半导体装置、还有使该成膜方法运行的程序、以及存储该程序的存储介质。

本发明的具体课题是，提供能够使 Cu 扩散防止膜与 Cu 配线之间具有良好密接性的成膜方法，并提供使用该成膜方法的半导体装置的制造方法及半导体装置、还有使该成膜方法运行的程序、以及存储该程序的存储介质。

本发明的第一观点，通过一种成膜方法解决上述课题，该成膜方法的特征在于：是在被处理基板上形成 Cu 膜的成膜方法，包括：在上述被处理基板上形成的 Cu 扩散防止膜上形成密接膜的第一工序；和在上述密接膜上形成上述 Cu 膜的第二工序，且上述密接膜含有 Pd。

此外，本发明的第二观点，通过一种半导体装置的制造方法解决上述课题，该半导体装置的制造方法的特征在于：是具有 Cu 配线部的半导体装置的制造方法，具有：在按照被处理基板上的绝缘层上形成的图案形状形成的 Cu 扩散防止膜上，形成密接膜的第一工序；和在上述密接膜上形成上述 Cu 配线部的第二工序，其中，上述密接膜含有 Pd。

此外，本发明的第三观点，通过一种半导体装置解决上述问题，该半导体装置的特征在于：其具有：在被处理基板上形成的绝缘层、在上述绝缘层中形成的 Cu 配线部、和在上述绝缘层与上述 Cu 配线部之间形成的 Cu 扩散防止膜，且上述 Cu 配线部与上述 Cu 扩散防止膜之间具有含有 Pd 的密接膜。

此外，本发明的第四观点，通过一种程序解决上述课题，该程序的特征在于：是在计算机中运行成膜方法的程序，该成膜方法利用成膜装置，在被处理基板上形成的 Cu 扩散防止膜与 Cu 配线部之间形成含有 Pd 的密接膜，该程序具有：向上述被处理基板供给成膜气体的成膜气体工序；从上述被处理基板上除去该成膜气体的成膜气体除去工

序；向上述被处理基板上供给还原气体的还原气体工序；和从上述被处理基板上除去该还原气体的还原气体除去工序。

此外，本发明的第五观点，通过一种成膜装置解决上述问题，该成膜装置的特征在于：是在被处理基板上形成的 Cu 扩散防止膜与 Cu 配线部之间形成含有 Pd 的密接膜的成膜装置，该成膜装置具备控制装置，运行：向上述被处理基板上供给成膜气体的成膜气体工序；从上述被处理基板上除去该成膜气体的成膜气体除去工序；向上述被处理基板上供给还原气体的还原气体工序；和从上述被处理基板上除去该还原气体除去的还原气体除去工序。

根据本发明，半导体装置的 Cu 扩散防止膜与 Cu 配线之间的密接性可以更加好，可以提高半导体装置的可靠性。

附图说明

图 1 是表示实施例 1 的成膜方法的流程图（之一）。

图 2A 是按顺序表示实施例 1 的半导体装置的制造方法的图（之一）。

图 2B 是按顺序表示实施例 1 的半导体装置的制造方法的图（之二）。

图 2C 是按顺序表示实施例 1 的半导体装置的制造方法的图（之三）。

图 2D 是按顺序表示实施例 1 的半导体装置的制造方法的图（之四）。

图 2E 是按顺序表示实施例 1 的半导体装置的制造方法的图（之五）。

图 3 是表示能够实施实施例 1 的成膜方法的 CVD 成膜装置的一例的图。

图 4 是表示能够实施实施例 1 的成膜方法的 ALD 成膜装置的一例的图。

图 5 是表示在图 4 的装置中使用的控制装置的结构模式图。

图 6 是表示使用图 4 的装置进行成膜的方法的流程图（之一）。

图 7 是表示使用图 4 的装置进行成膜的方法的流程图（之二）。

图 8A 是表示在 Cu 扩散防止膜上形成 Cu 膜的状态的 SEM 照片(之一)。

图 8B 是表示在 Cu 扩散防止膜上形成 Cu 膜的状态的 SEM 照片(之二)。

图 9A 是表示在 Cu 扩散防止膜上形成 Cu 膜的状态的 SEM 照片(之三)。

图 9B 是表示在 Cu 扩散防止膜上形成 Cu 膜的状态的 SEM 照片(之四)。

图 10A 是表示在 Cu 扩散防止膜上形成 Cu 膜的状态的 SEM 照片(之五)。

图 10B 是表示在 Cu 扩散防止膜上形成 Cu 膜的状态的 SEM 照片(之六)。

符号说明

10 CVD 成膜装置; 20 ALD 成膜装置; 11、21 处理容器; 12、22 保持台; 12A、22A 加热单元; 13 供给部; 13A 气孔; 23 喷淋头部; 23A、23B、24a、29a 绝缘物; 28 原料容器; 28A 原料; 32 高频电源; 10S、20S 控制装置; HD1、HD2 存储介质; 15、16、17、24、25、26、27、29、30、31 管路; 15A、16A、17A、25A、25B、26A、26B、27A、30A、30B、31A、31B 阀; 25C、26D、30C、31C 质量流量控制器; 26C 气化器; 101 氧化硅膜; 102 配线层; 103、106 绝缘层; 104、107 配线部; 104a、107a 槽部; 104b、107b 孔部; 104A、107A Cu 扩散防止膜; 104B、107B 密接膜;

具体实施方式

以下, 基于附图说明本发明的实施方式。

实施例 1

图 1 是根据本发明的实施例 1 说明成膜方法的流程图。

参照图 1, 首先当处理开始时, 步骤 1 (图中标记为 S1, 以下相同) 是在被处理基板上已经形成的 Cu 扩散防止膜上形成密接膜。例如, 该 Cu 扩散防止膜按照在被处理基板上已形成的绝缘层的图案形状形成。

该密接膜具有下述特征：该密接膜与 Cu 扩散防止膜之间的密接性良好，并且与后续工序中形成的 Cu 膜的密接性也好。

其次，在步骤 2 中，在上述步骤 1 中形成的密接膜上形成 Cu 膜，例如形成 Cu 配线。在本步骤形成 Cu 膜并形成 Cu 配线后，根据需要，例如可以实施 CMP（化学机械研磨）工序、或 CMP 工序之后再实施形成上层的配线结构等的工序，例如可形成具有多层配线结构的半导体装置。

作为构成上述密接膜的材料，有使用 Ru 的情况，但是不仅难以充分改善 Cu 扩散防止膜与 Cu 膜的密接性，也难以充分抑制 Cu 的凝聚。

在此，本实施例中的成膜方法中，使用含有 Pd 的膜作为密接膜。认为密接膜中含有 Pd，则主要是在密接膜与 Cu 界面的附近，促进作为活性金属的 Pd 与 Cu 的合金化，其结果是使该密接膜与 Cu 之间的密接性变好。并且，本发明人发现特别是在密接膜中使用 Pd 的情况下，与使用其它材料相比，密接性更好。这种情况下还可以抑制 Cu 的凝聚，同时抑制电子迁移和应力迁移。

此外，在使用本实施例的成膜方法的情况下，由于 Cu 扩散防止膜的表面被含有 Pd 的密接膜保护，例如在形成 Cu 配线之前，将被处理基板暴露在含氧的氛围的情况下，也能够防止 Cu 扩散防止膜的氧化。例如 Cu 扩散防止膜使用含有 Ta 的膜的情况下，在露出 Cu 扩散防止膜的情况下，将其放置在含氧氛围中，Ta 容易被氧化，会在 Cu 扩散防止膜上形成 Ta 的氧化物。Ta 的氧化物与 Cu 膜的密接性差，有可能会在 Cu 膜形成之后产生剥离现象，并且有可能会因为形成了 Ta 的氧化物而增大 Cu 扩散防止膜的比电阻。

另一方面，含有 Pd 的密接膜，与含有 Ta 的密接膜相比，难以被氧化，并且，即使被氧化时，由于 Pd 的氧化物比 Ta 的氧化物的比电阻小，因此能够抑制具有密接膜的 Cu 扩散防止膜的比电阻的增大，从而起到抑制器件特性劣化的效果。

接下来说明使用本实施例的成膜方法制造半导体装置的一个例子。

图 2A～图 2E 是按顺序表示使用图 1 所示的成膜方法制造半导体装置的一个例子的图。

首先,参照图 2A,以覆盖在由硅构成的半导体基板(被处理基板)上形成的 MOS 晶体管等元件(未图示)的方式形成绝缘膜,例如氧化硅膜 101。形成有与该元件电连接的例如钨构成的配线层(未图示),和与此连接的例如 Cu 构成的配线层 102。

然后,在上述氧化硅膜 101 上,以覆盖配线层 102 的方式形成第一绝缘层 103。在上述绝缘层 103 上形成图案形状的槽部 104a 以及孔部 104b。在上述槽部 104a 和空穴 104b 上,由 Cu 材料形成配线部 104,该配线部 104 由沟槽(trench)配线和通孔配线构成,这些与上述的配线层 102 电连接。

然后,在上述第一绝缘层 103 与上述配线部 104 之间,在该第一绝缘层 103 一侧形成 Cu 扩散防止膜 104A,在上述配线部 104 一侧形成含有 Pd 的密接膜 104B。上述 Cu 扩散防止膜 104A 具有防止 Cu 从上述配线部 104 向上述第一绝缘层 103 扩散的功能。并且,以覆盖上述配线部 104 和上述第一绝缘层 103 的方式形成第二绝缘层 106。本实施例表示的是,使用本发明的成膜方法,在上述第二绝缘层 106 形成密接膜和 Cu 膜的方法。其中,上述配线部 104 和上述密接膜 104B 也可以用与以下所示的实施例中记载的同样方法形成。

图 2B 所示的工序中,例如用干蚀刻法等,在上述第二绝缘层 106 上形成图案形状,例如形成槽部 107a 和孔部 107b。

接着在图 2C 所示的工序中,沿着上述槽部 107a 以及上述孔部 107b 的内壁在上述第二绝缘层 106 上,和上述配线部 104 的露出面上进行 Cu 扩散防止膜 107A 的成膜。上述 Cu 扩散防止膜 107A,例如在这种情况下能够由 TaN 膜形成、例如通过溅射法等方法形成。

接下来,在图 2D 所示的工序中,沿着上述槽部 107a 和上述孔部 107b 的内壁面,在上述 Cu 扩散防止膜 107A 上,利用溅射法等 PVD 法形成含有 Pd 的密接膜 107B。此外,该密接膜 107B 也可以在含有 Pd 外,还含有 Cu,如果该密接膜 107B 中同时含有 Pd 和 Cu,该密接膜 107B 与后续工序中在该密接膜 107B 上形成的 Cu 配线部之间的密接性会更好。

此外,该密接膜 107B 可以用各种各样的成膜方法形成,除了 PVD 法以外,还可以利用 CVD 法,向被处理基板上交替供给多种气体的方

法（这种成膜方法也可以被叫做 ALD 法，Atomic Layer Deposition：原子层沉积）等形成。这种形成上述密接膜 107B 的装置和详细的成膜方法会在以后的图 3 中叙述。

接下来，在图 2E 所示的工序中，形成 Cu 膜，并在包含上述槽部 107a 和上述孔部 107b 的密接膜 107B 上，以埋设上述槽部 107a 和上述孔部 107b 的方式，形成 Cu 构成的配线部 107。此外，该配线部 107 可以用各种各样的成膜方法形成，能够利用 PVD 法或 CVD 法，向被处理基板上交替供给多种气体的方法（ALD 法）、或镀层法形成，也可以将这几种方法中的任意方法组合使用。

在这样的情况下，也有在上述密接膜 107B 上，首先形成作为晶种层的 Cu 膜，接着在该晶种层上埋设 Cu 膜而形成的方法。此外，还有不形成晶种层而埋设 Cu 膜形成的方法。

另外，该晶种层的形成方法，例如可以用 PVD 法，使用 CVD 法的情况下，覆盖率良好而更加适宜，并且使用向被处理基板上交替供给多种气体的方法（ALD 法）的情况下，覆盖率更好而更适宜。此外，该晶种层形成之后埋设 Cu 膜的方法，除了 PVD 法、CVD 法，向被处理基板上交替供给多种气体的方法（ALD 法）之外，也可以使用镀层法。而使用不形成晶种层，埋设 Cu 膜而形成的方法时，可以用 PVD 法、CVD 法，向被处理基板上交替供给多种气体的方法（ALD 法）中的任意方法。

目前，存在 Cu 扩散防止膜与 Cu 膜之间的密接性差的问题，本实施例解决该问题，并且降低了由 Cu 构成的配线部剥离的可能性，能够形成可靠性高的多层配线结构，也能够形成高可靠性的半导体装置。

此外，在本工序之后，再在上述第二绝缘层 106 的上部形成第 $2+n$ （ n 为自然数）层绝缘层，对各个绝缘层可以适用本发明的成膜方法形成由 Cu 构成的配线部等。

另外，在本实施例中，在 Cu 扩散防止膜中使用了 TaN 构成的叠层膜，这并不仅限于此，可以使用各种 Cu 扩散防止膜，例如，将包含选自 Ta、TaN、TaCN_x、W、WN、WCN_x、TiN、TaSiN、和 TiSiN 中任意材料的膜，或者组合这些叠层膜等作为 Cu 扩散防止膜使用均可。使用这些 Cu 扩散防止膜的情况下，可以起到使本实施例中含有 Pd 的

密接膜、与 Cu 配线部及该 Cu 扩散防止膜之间的密接性变好的功效。

并且，上述第一绝缘层 103 和上述第二绝缘层 106，可以使用各种材料，例如，氧化硅膜（SiO₂ 膜）、加氟氧化硅膜（SiOF 膜）、SiCO 膜和聚合物膜等有机高分子膜，并且能够使用将这些膜形成多孔质的多孔质膜（porous 膜）等。

下面，基于图 3～图 4，对形成上述密接膜 107B 的成膜装置的例子进行说明。

图 3 是形成本实施例的密接膜的成膜装置的一个例子，是 CVD 成膜装置 10 的模式图。

参照图 3，CVD 成膜装置 10 具有：例如上部开口的大致圆筒形的处理容器 11，和设置在该处理容器 11 上的能够塞住该处理容器 11 的开口部的例如具有所谓喷淋头结构的供给部 13。

在由上述处理容器 11 与上述供给部 13 共同组成的上述处理容器 11 的内部空间的处理空间 11A 的底部，设置有保持例如半导体晶片等的被处理基板 W 的保持台 12。上述保持台 12 具有例如加热器等的加热单元 12A，形成对被处理基板进行加热的结构。

在上述处理容器 11 的底部，设置有与排气口 11B 连接的例如真空泵等排气单元 14，构成能够对上述处理空间进行排气的结构，上述空间例如能够排气为减压状态。

上述供给部 13 上连接附有阀 15A 的供给管 15，并且在该供给管 15 上还分别连接附有阀 16A、与成膜气体源 16B 连接的成膜气体供给管路 16，和附有阀 17A、与还原气体源 17B 连接的还原气体管路 17。

例如，向上述处理空间 11A 供给成膜气体的情况下，打开上述阀 16A 和 15A，从上述成膜气源 16B 通过上述供给部 13 供给成膜气体。同样地，向上述处理空间 11A 供给还原气体的情况下，打开上述阀 17A 和 15A，从上述还原气体源 17B 通过上述供给部 13 供给还原气体。

这样供给的成膜气体和还原气体在被加热的被处理基板上进行反应，就可以在该处理基板上形成密接膜。

此外，例如，可以向上述供给部 13 或上述保持台 12 施加高频电力。

例如，以在被处理基板上的 Cu 扩散防止膜上含有 Pd 的密接膜为

例，例如在形成 Pd 膜的情况下，作为上述成膜气体可以是 $\text{Pd}(\text{hfac})_2$ 、 $(\text{C}_5\text{H}_5)\text{Pd}(\text{allyl})$ 、和 $\text{Pd}(\text{allyl})_2$ 中的任一种，而还原气体可以使用 H_2 。而 CVD 成膜装置中使用的成膜气体，也可以使常温、常压下的液体物质或固体物质气化或升华而使用，这些有关成膜气体的原料有时被称为前体 (precursor)。

并且，使用上述成膜气体和还原气体形成的 Pd 膜可能含有少量的杂质物（例如一点有机物），在本实施例中定义 Pd 膜包含这种情况。另外，虽然根据需要，可以在该 Pd 膜中添加各种添加物，但为了确保与 Cu 配线部之间的密接性，优选密接膜以 Pd 为主要成分。

并且，上述 CVD 成膜装置 10 的关于成膜的操作由图中省略的存储介质和内设有计算机的控制装置 10S 进行控制。例如阀 15A、16A、和 17A 等的开闭，上述加热单元 12A 的温度控制等的操作均由上述控制装置 10S 进行控制。

并且，这样的 CVD 成膜装置也可以在形成 Cu 扩散防止膜、Cu 膜的时候使用。

例如，形成 Cu 膜的情况下，作为成膜气体能够使用选自 $\text{Cu}(\text{hfac})_2$ 、 $\text{Cu}(\text{acac})_2$ 、 $\text{Cu}(\text{dpm})_2$ 、 $\text{Cu}(\text{dibm})_2$ 、 $\text{Cu}(\text{ibpm})_2$ 、 $\text{Cu}(\text{edmdd})_2$ 、 $\text{Cu}(\text{hfac})\text{TMVS}$ 和 $\text{Cu}(\text{hfac})\text{COD}$ 中的任一种。例如用上述 CVD 装置 10 形成 Cu 配线部的情况下，可以在形成晶种层或晶种层形成之后埋入的时候使用，也可以不形成晶种层直接通过埋入形成 Cu 配线部。

接下来，图 4 是能够形成本实施例的密接膜的成膜装置的一个例子，是 ALD 成膜装置 20 的模式图。

参照图 4，ALD 成膜装置 20 大致结构为：内部具有收纳被处理基板 W 的处理容器 21，该处理容器 21 内形成的处理空间 21A 的被处理基板上，通过气体管路 24 和气体管路 29 分别供给成膜气体和还原气体。

通过气体管路 24 和气体管路 29，向上述处理空间 21A 中，交替供给成膜气体和还原气体，经由向被处理基板的反应表面的吸附，在原子层、分子层附近的水平上进行成膜，反复进行这些工序，通过所谓的 ALD 法，能够在被处理基板 W 上形成规定厚度的薄膜。这样用 ALD 法形成的膜，成膜温度是低温，并且可以得到杂质物少的高质量

的膜质，同时即使在细微图案上成膜，也能得到良好的覆盖率。

接下来，详细观察该成膜装置 20，在上述处理容器 21 的内部设置有大致圆板状的基板保持台 22，在该基板保持台 22 的中心载置作为被处理基板的半导体被处理基板 W。在上述基板保持台 22 中内设有例如加热器构成的加热单元 22A，可以将上述被处理基板 W 加热到规定的温度。

上述被处理基板 21 内的处理空间 21A 通过与排气口 21B 连接的未图示的排气单元进行真空排气，能够使上述处理空间 21A 达到减压状态。并且，上述被处理基板 W 可以通过被设置在上述处理容器 21 中的未图示的阀被搬入搬出上述处理容器 21 内。

并且，在上述处理容器 21 内，设置有与上述基板保持台 22 相对的，由例如镍或铝等构成的大致圆筒状的喷淋头部 23，在上述喷淋头部 23 的侧壁面以及该喷淋头部 23 与上述处理容器 21 之间，设置有由例如石英或 SiN、AlN 等的陶瓷等构成的绝缘物 23A。

并且，上述喷淋头 23 上的上述处理容器 21 的壁面上设置有开口部，并设置有由绝缘体构成的绝缘物 23B。上述绝缘物 23B 上插通有与高频电源 32 连接的导入线 32A，上述导入线 32A 与上述喷淋头部 23 连接，由上述导入线 32A 向上述喷淋头部 23 施加高频电源。

并且，向上述处理空间 21A 供给成膜气体的上述气体管路 24 和，向上述处理空间 21A 供给还原气体的气体管路 29，都与上述喷淋头部 23 相连接，通过该喷淋头部 23 向上述处理空间 21A 供给成膜气体和还原气体。并且，上述气体管路 24 和气体管路 29 分别插入绝缘物 24a 和绝缘物 29a，构成气体管路 24 与高频电力相互绝缘的结构。

并且，向该气体管路 24 供给成膜气体的管路 26 与上述气体管路 24 连接，供给例如清洁气体或载体气体的气体管路 25 与该气体管路 24 连接。

另一方面，向该气体管路 29 供给还原气体的气体管路 30 与上述气体管路 29 连接，供给例如清洁气体等的气体管路 31 与该气体管路 29 连接。

首先，观察上述气体管路 26，该气体管路 26 与保持有例如 Pd(Hfac)₂ 等原料（前体）28A 的原料容器 28 连接，并且上述气体管路

26 上还设置有例如液体质量流量控制器 26D、气化器 26C、阀 26A、阀 26B。在该原料容器 28 上连接有附有阀 27A 的气体管路 27，将例如 He 等不活泼气体导入上述原料容器 28，则原料 28A 就会从上述气体管路 26 一侧被压出。被供给到上述管路 26 的例如液体构成的原料，可由上述液体质量流量控制器 26D 控制流量，并由上述气化器 26C 气化，成为成膜气体。

并且，在上述气体管路 25 上连接有附有质量流量控制器 25C、阀 25A、25B 并在图示省略的例如 Ar 等的气体供给源。上述气体管路 24 将从上述气体管路 25 供给的 Ar 等载体气体与从上述气体管路 26 供给的成膜气体通过上述喷淋头部 23 供给到上述处理空间 21A。

另一方面，在与上述气体管路 29 连接的上述气体管路 30 上，连接有图示中省略的还原气体例如 H_2 气体的供给源，并且附设有质量流量控制器 30C、阀 30A 和 30B，用以控制供给到上述气体管路 29 中的还原气体的流量。

并且，在为了向上述气体管路 29 供给清洁气体的上述气体管路 31 上，连接有清洁气体例如 Ar 气体的供给源，并且附有质量流量控制器 31C、阀 31A 和 31B，用以控制供给的清洁气体的流量。

并且，以在被处理基板上的 Cu 扩散防止膜上所形成的密接膜为例，例如形成 Pd 膜时，成膜气体可以使用 $Pd(hfac)_2$ 、 $(C_5H_5)Pd(allyl)$ 、以及 $Pd(allyl)_2$ 中的任一种，而还原气体可以使用 H_2 。同时，ALD 成膜装置中所使用的成膜气体，可以在常温、常压下使液体材料、固体材料气化或升华后使用，这些与成膜相关的原料有时被称为前体。此时，应根据需要将前体气化或升华后使用。

并且，这样的 ALD 成膜装置可以用于形成例如 Cu 扩散防止膜、Cu 膜。

例如，形成 Cu 膜的情况下，作为成膜气体能过使用选自 $Cu(hfac)_2$ 、 $Cu(acac)_2$ 、 $Cu(dpm)_2$ 、 $Cu(dibm)_2$ 、 $Cu(ibpm)_2$ 、 $Cu(edmdd)_2$ 、 $Cu(hfac)TMVS$ 、和 $Cu(hfac)COD$ 中的任一种。例如用上述成膜装置 20 形成 Cu 配线部的情况下，可以形成晶种层，也可以不形成晶种层通过埋入形成 Cu 配线部。

并且，上述成膜装置 20 的成膜相关动作通过存储介质和内设有计

算机 (CPU) 的控制装置 20S 进行控制。例如, 阀 25A、25B、26A、26B、27A、30A、30B、31A、31B 的开闭, 上述加热单元 22A 的温度控制, 上述高频电源 32 的动作等均由上述控制装置 20S 控制。并且, 上述控制装置 20S 的动作依照存储在存储介质中的程序进行。

图 5 是表示上述控制装置 20S 的结构模式图。参照图 5, 上述控制装置 20S 具有 CPU (计算机) C、存储器 M、例如硬盘等存储介质 H、作为可装卸式存储介质的存储介质 R 和网络连接单元 N, 还有将这些连接起来的总线 Bu, 该总线 Bu 与例如阀、加热单元等连接。上述存储介质 H 存储有使成膜装置运转的程序, 该程序可以通过例如存储介质 R、网络连接单元 NT 进行输入。

例如, 使用 ALD 成膜装置 20, 进行密接膜、Cu 膜等的成膜时, 正如下面所述, 依据上述存储介质 H 所存储的程序 (此处称为方案), 上述控制装置 20S 使 ALD 成膜装置 20 运转。

例如, 图 6 和图 7 表示的是利用上述 ALD 成膜装置 20 形成密接膜的情况下的具体操作的工程图。

首先, 参照图 6, 成膜处理开始后, 在步骤 100 中, 打开上述阀 25A、25B、26A、26B、27A, 被气化的上述原料 28A 与从上述气体管路 25 供给的 Ar 一起, 通过上述气体管路 24, 被供给到上述处理空间 21A。

在本步骤, 成膜气体, 例如 $\text{Pd}(\text{hfac})_2$ 被供给被处理基板, 因此, 在被处理基板上吸附上述成膜气体。

接下来, 在步骤 200 中, 关闭上述阀 25A、25B、26A、26B、27A, 停止对上述处理空间 21A 供给成膜气体, 上述被处理基板上没有吸附, 而未被吸附的残留在上述处理空间 21A 中的成膜气体由上述排气口 21B 从上述处理容器 21A 中排出到外面。这时, 打开上述阀 25A, 25B 以及上述阀 31A、31B, 分别从上述气体管路 24 和气体管路 29 导入作为清洁气体的 Ar, 对上述处理空间 21A 进行清洁。这种情况下, 仅残留的成膜气体也被从处理空间排出。在规定时间的清洁完成后, 关闭上述阀 25A、25B 和上述阀 31A、31B。

接下来, 在步骤 300 中, 打开上述阀 30A, 30B, 通过上述质量流量控制器 30C 控制流量, 还原气体 H_2 气通过上述气体管路 29 被供给

到上述处理空间 21A, 该还原气体 H_2 与被处理基板 W 上吸附的上述成膜气体($Pd(hfac)_2$)反应, 在例如被处理基板上所形成的 Cu 扩散防止膜上形成 Pd 膜。

接下来, 在步骤 400 中, 关闭上述阀 30A, 30B, 并停止对上述处理空间 21A 供给还原气体, 与上述被处理基板上的上述成膜气体未发生反应而残留在上述处理空间 21A 内的还原气体, 通过上述排气口 21B 从上述处理容器 21A 排出到外面。这时, 打开上述阀 25A、25B 和上述阀 31A、31B, 分别通过上述气体管路 24 和气体管路 29 导入 Ar 作为清洁气体, 对上述处理空间 21A 进行清洁。由此, 仅残留的还原气体及副产物等迅速地从处理空间被排出。当规定时间的清洁处理结束后, 关闭上述阀 25A、25B 和上述阀 31A、31B。

接下来, 在步骤 500 中, 为了在被处理基板上形成必须膜厚的薄膜, 根据需要成膜工序再次返回到步骤 100, 直到形成规定的膜厚为止, 反复进行由步骤 100~400 组成的所谓的 ALD 法成膜工序的工序后, 成膜结束。

这样用 ALD 法形成的膜具有下述优点: 膜中杂质少, 膜质良好, 并且在图案形状上成膜的情况下覆盖率良好。

并且, 上述图 6 所示的成膜方法, 可以转换成如图 7 所示的成膜方法。图 7 所示的是图 6 所示成膜方法的变形例的工序流程图。在图中先前已经说明的部分附上相同的参照符号, 省略说明。

参照图 7, 在本图所示的成膜方法中, 与图 6 的步骤 300 类似的步骤 300A 中, 除了进行步骤 300 所进行的操作, 还通过上述高频电源 32 对上述喷淋头部 23 施加高频电力, 从而在上述处理空间 21A 激发等离子体。这时, 上述处理空间的 H_2 被离解为 H^+/H^* (氢离子和氢自由基), 从而促进了与被处理基板 W 上吸附着的上述成膜气体($Pd(hfac)_2$)的反应, 可以有效地形成 Pd 膜。由此, 根据需要利用上述高频电力 32 施加高频电力, 在处理空间激发等离子体, 使气体离解。

下面, 示出使用本实施例的成膜方法, 在 Cu 扩散防止膜上形成 Cu 膜时的 SEM (扫描型电子显微镜) 照片。

图 8A 是在氧化硅膜 (SiO_2 膜) 上形成作为 Cu 扩散防止膜的 TaN 膜, 在该 TaN 膜上使用本实施例的成膜方法, 前体使用 $Pd(hfac)_2$, 形

成 Pd 密接膜，在该密接膜上形成 Cu 膜时的截面 SEM 照片。图 8B 是从斜方向（Cu 膜侧方）看图 8A 所示结构的 SEM 的照片。

参照图 8A，图 8B 可知：在 Cu 扩散防止膜上形成剥离和凝聚得到抑制的优质的 Cu 膜的样子。

另外，图 9A 是在氧化硅膜上形成作为 Cu 扩散防止膜的 Ta/TaN 膜，在 Ta/TaN 膜上形成 Cu 膜时，即没有形成密接膜时的截面 SEM 照片，图 9B 是从斜方向（Cu 膜一侧）看图 9A 所示的结构时的 SEM 照片。

参照图 9A，图 9B，在 Cu 扩散防止膜上没有形成密接膜时，例如如有该 SEM 照片所能看到的产生 Cu 的凝聚的情况，而且可知难以保持 Cu 扩散防止膜与 Cu 膜的密接性。并且，这种情况下，也会在电迁移耐性方面产生问题。

另外，图 10A 是在氧化硅膜上形成 Cu 扩散防止膜 TaN 膜，在 TaN 膜上形成 Ru 膜，在该 Ru 膜上形成 Cu 膜时的截面 SEM 照片。图 10B 是从斜方向（Cu 膜一侧）看图 10A 所示的结构时的 SEM 照片。

参照图 10A，图 10B，在 Cu 扩散防止膜上形成 Ru 膜，再在该 Ru 膜上形成 Cu 膜时，与没有形成密接膜时相比 Cu 的凝聚得以改善的效果并不明显，观察由于凝集而形成的岛状的 Cu，很容易推测出这样的状态下 Cu 扩散防止膜与 Cu 膜之间的密接性很难保证。而且在这样的情况下形成的 Cu 膜，在电迁移抵抗性方面会出现问题。

从上述图 8A，图 8B，图 9A，图 9B，图 10A 以及图 10B 可知，按照本实施例的成膜方法形成含有 Pd 的密接膜，可以抑制在 Cu 扩散防止膜上形成 Cu 膜时的 Cu 的凝聚，因此可以使 Cu 膜与 Cu 扩散防止膜的密接性效果良好。而且也可以推测这样的情况下，电迁移抵抗性得到改善。

以上说明了本发明的优选实施例，本发明并不仅限于上述特定的实施例，在专利权利要求所记载的内容范围的各种变形/变化都是可以的。

工业实用性

根据本发明，可以使半导体装置的 Cu 扩散防止膜与 Cu 配线之间的密接性变好，可以提高半导体装置的可靠性。

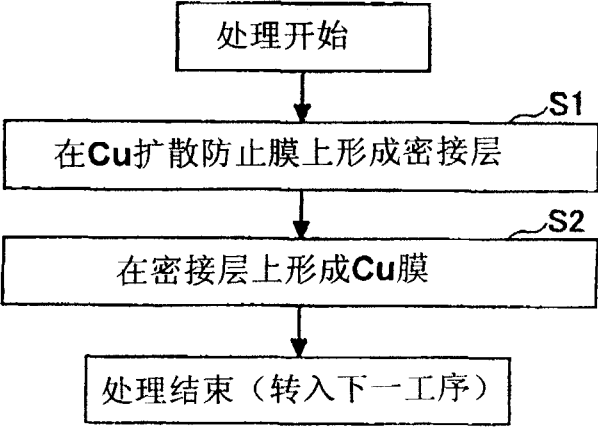


图1

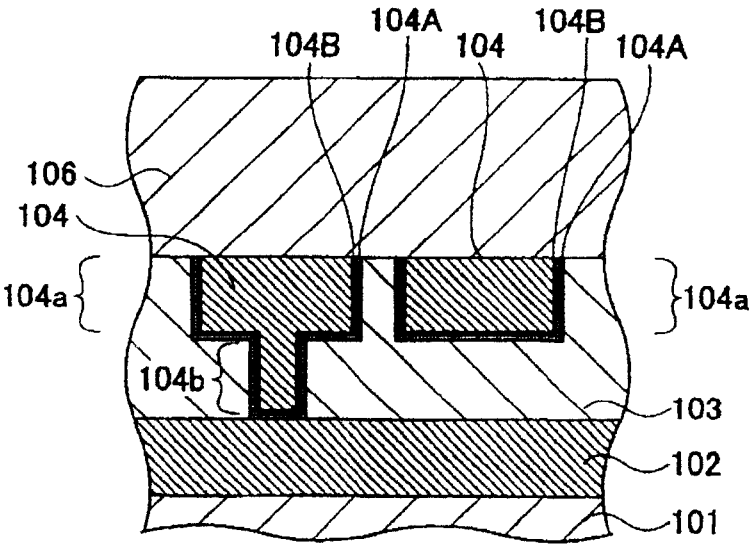


图2A

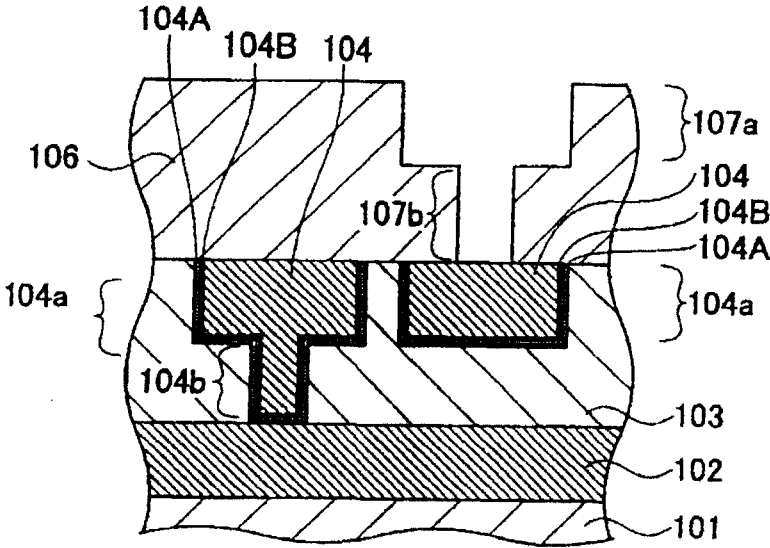


图2B

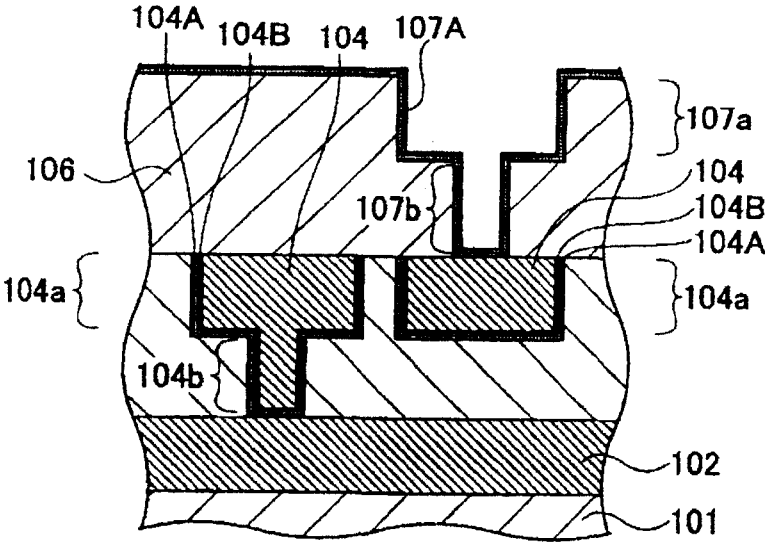


图2C

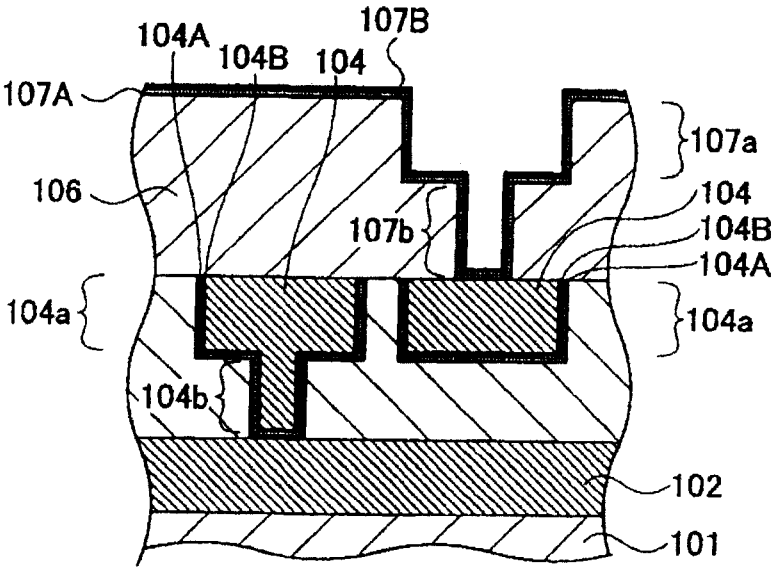


图2D

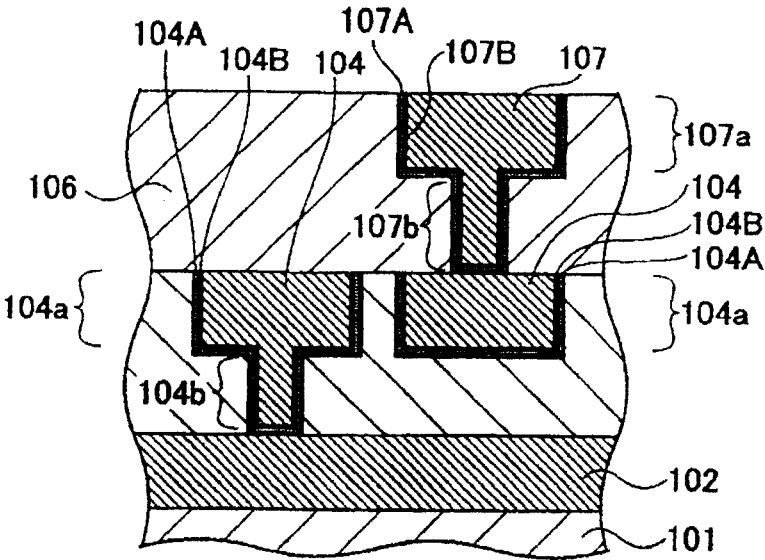


图2E

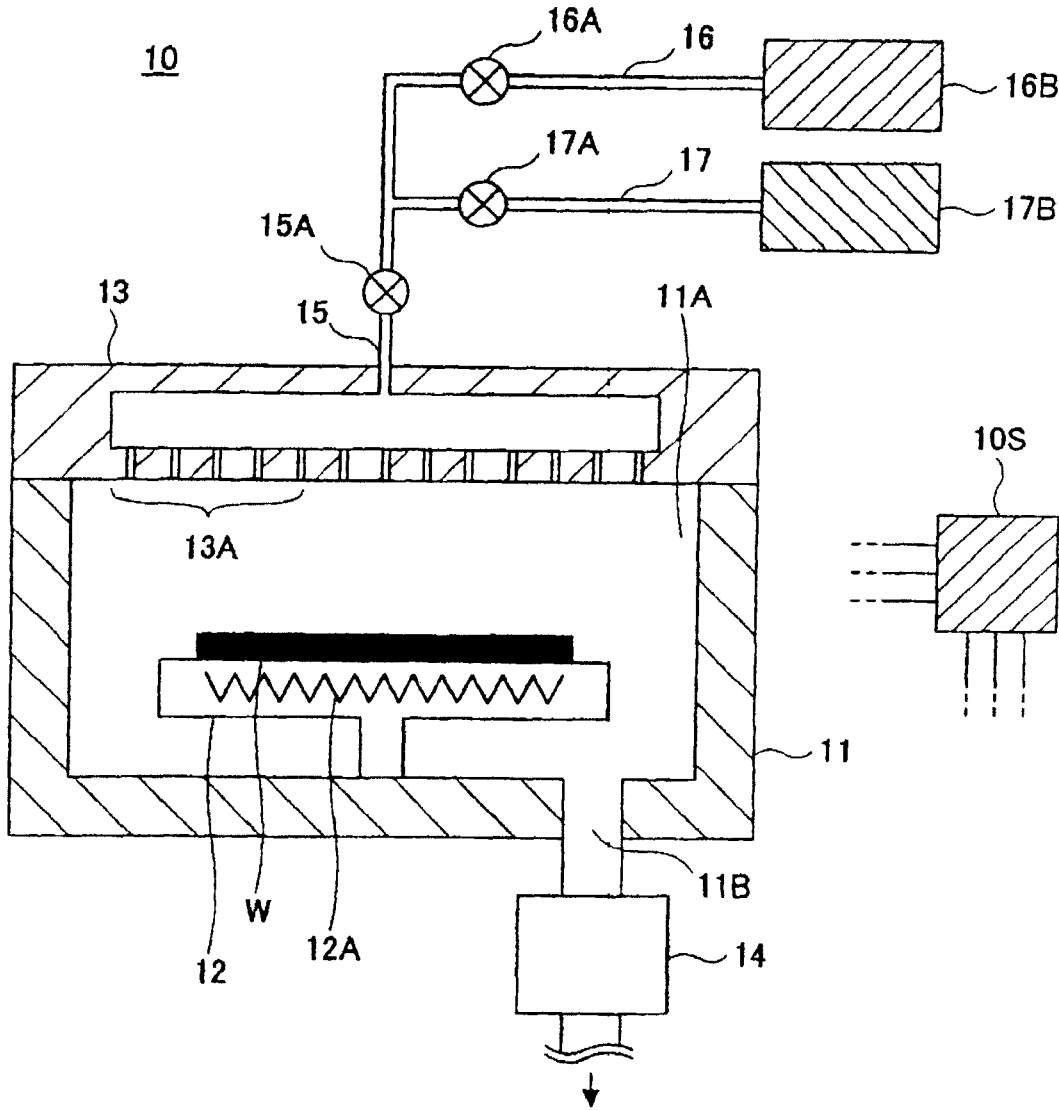


图3

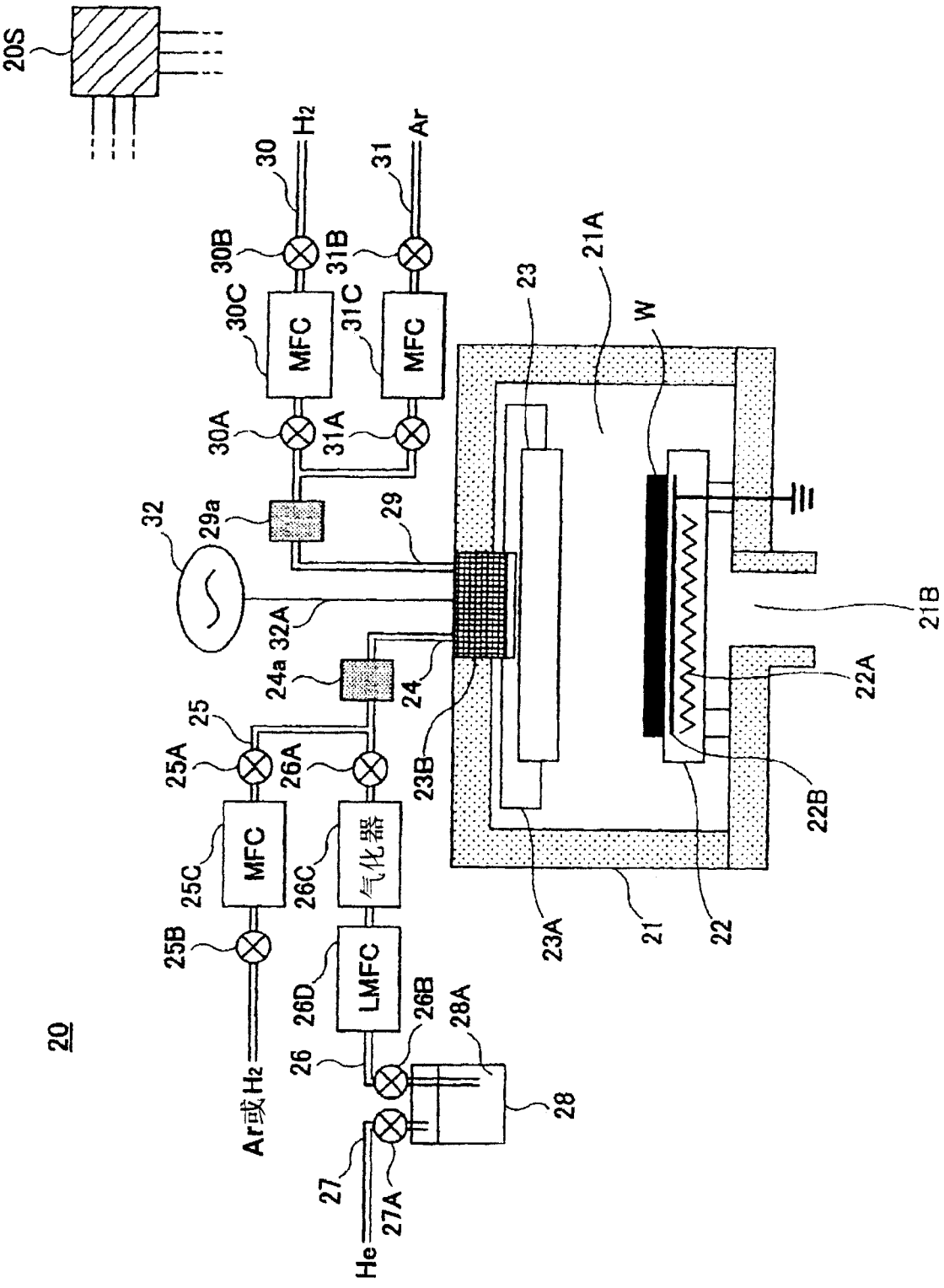


图4

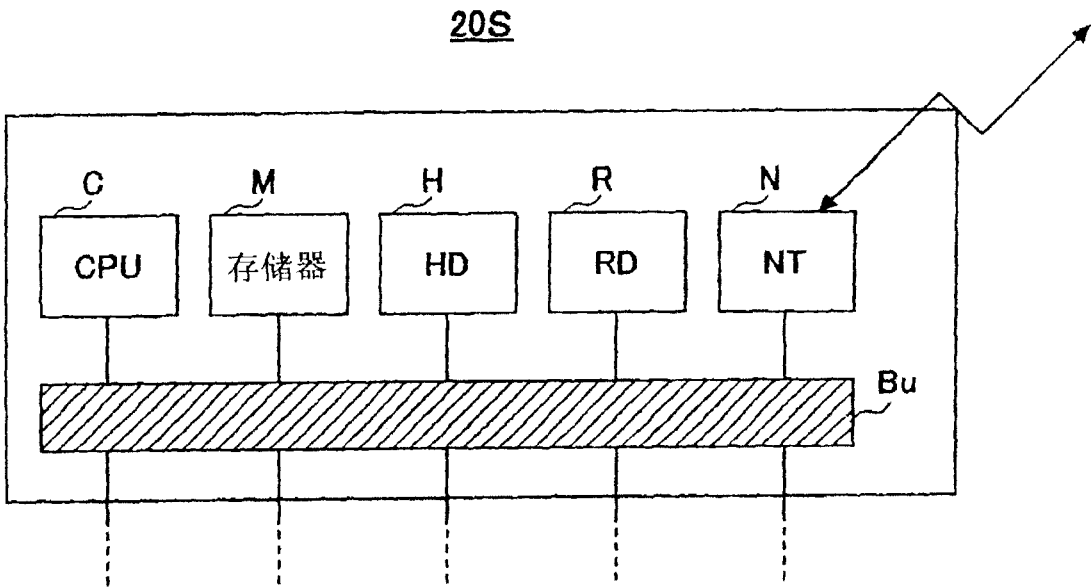


图5

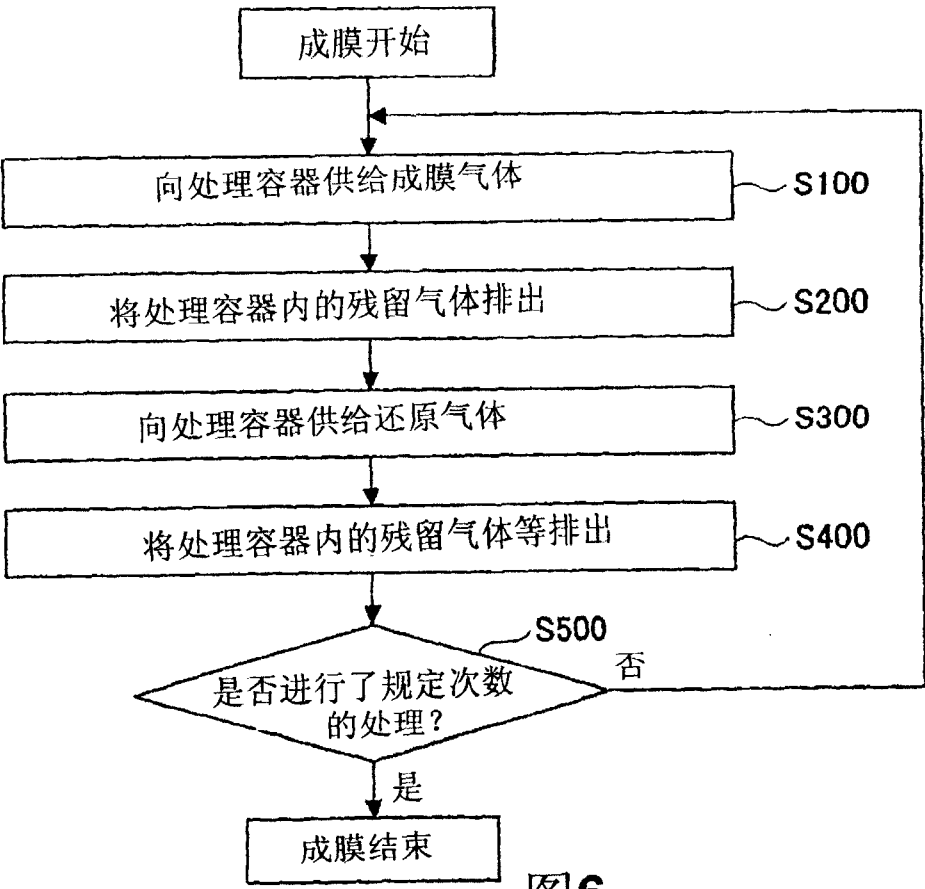


图6

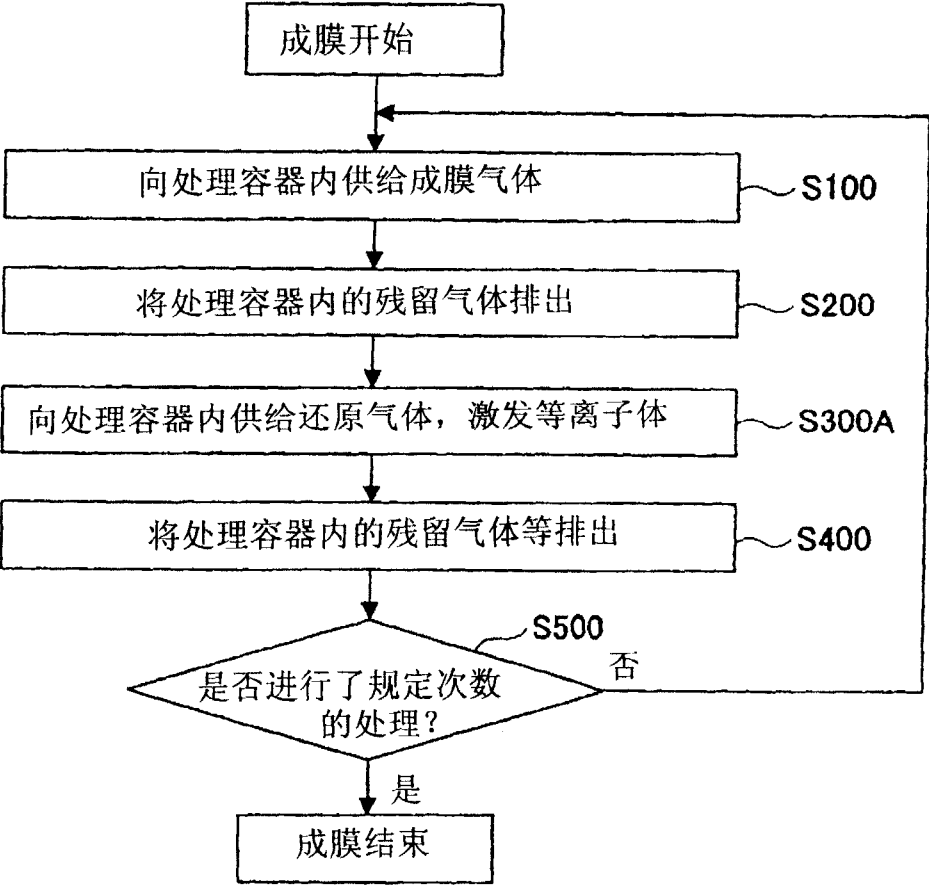


图7

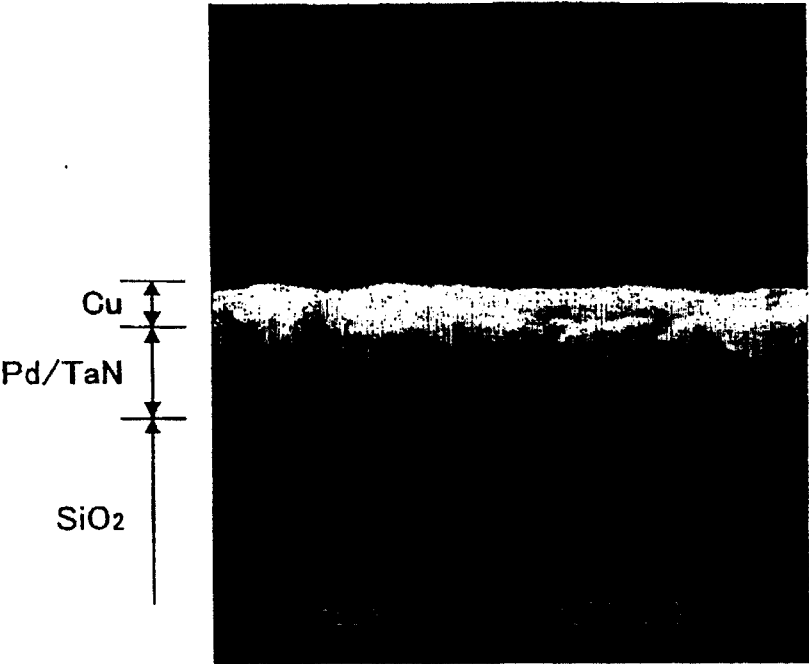


图 8A

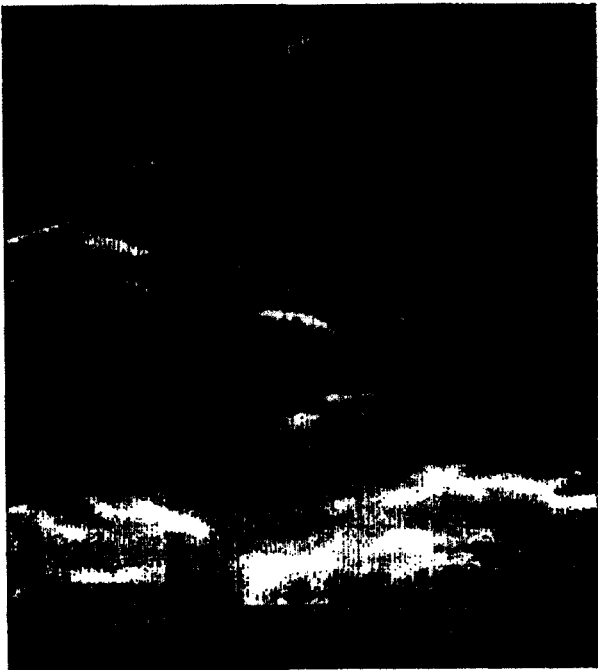


图 8B

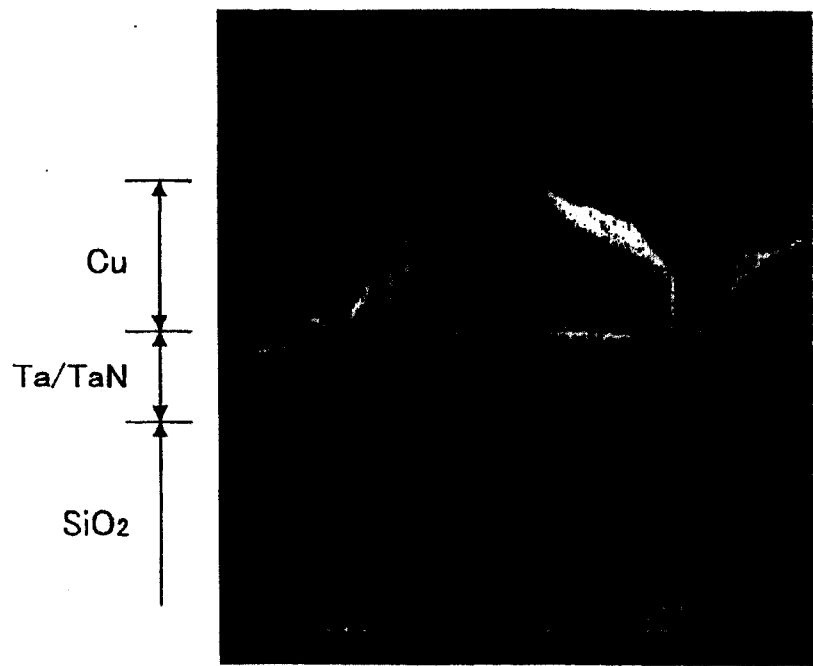


图 9A

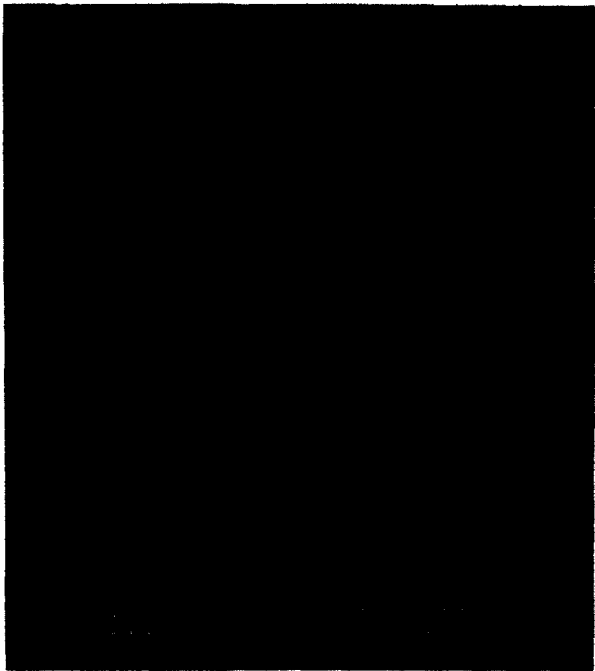


图 9B

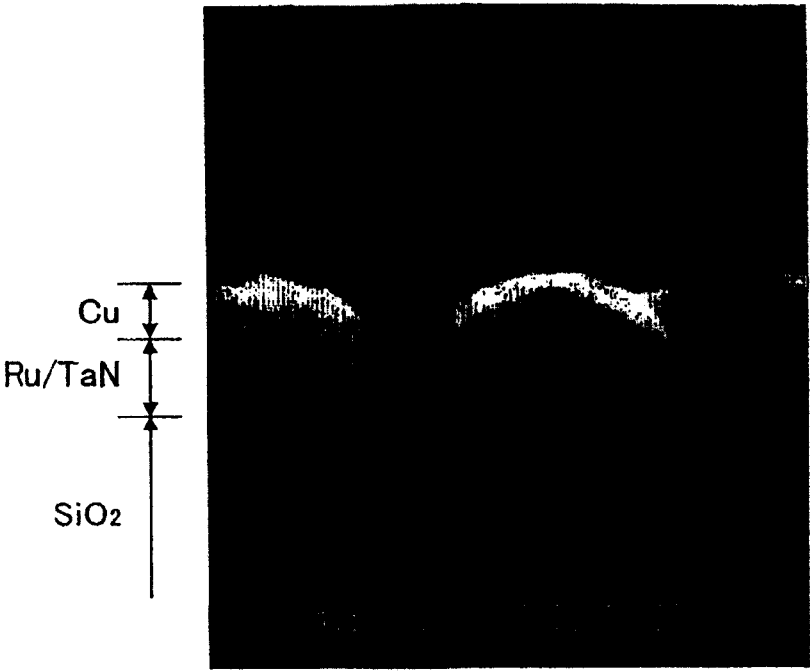


图 10A

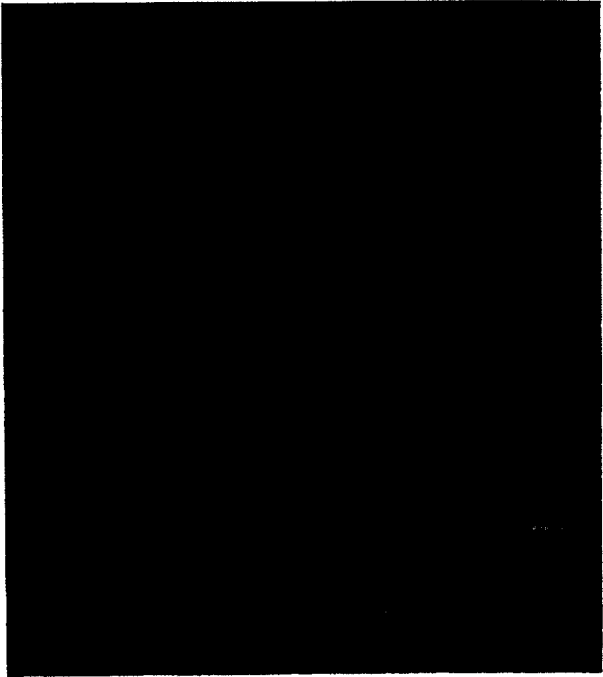


图 10B