



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0097837
(43) 공개일자 2020년08월20일

(51) 국제특허분류(Int. Cl.)
H01L 45/00 (2006.01) G11C 13/00 (2006.01)
(52) CPC특허분류
H01L 45/1608 (2013.01)
G11C 13/0004 (2013.01)
(21) 출원번호 10-2019-0014811
(22) 출원일자 2019년02월08일
심사청구일자 2019년02월08일

(71) 출원인
한국화학연구원
대전광역시 유성구 가정로 141 (장동)
(72) 발명자
김건환
대전광역시 유성구 지족로 317 101동 1304호 (지족동, 반석마을아파트)
류진주
대전광역시 유성구 계룡로 84 428호 (봉명동, 레자미3차)
(74) 대리인
특허법인(유한) 대아

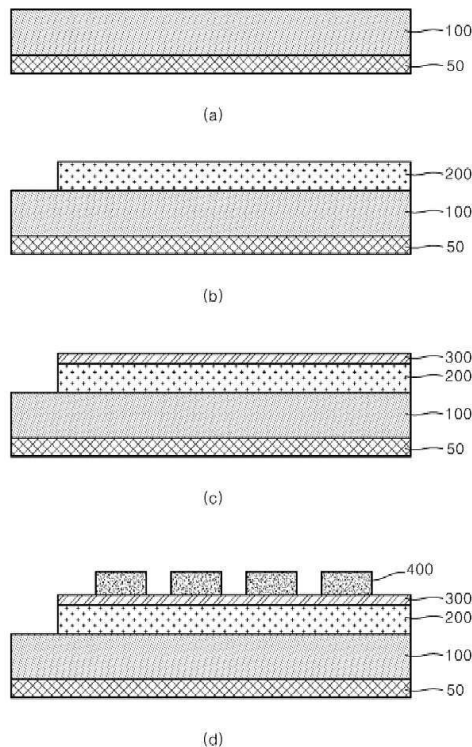
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법

(57) 요약

본 발명은 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법을 공개한다. 이 방법은 기판 상에 증착된 하부 전극의 상부에 가변 저항막이 증착되는 단계; 및 상기 가변 저항막 상부에 절연막이 증착되고, 상기 절연막 상부에 상부 전극이 증착되는 단계;를 포함하고, 상기 절연막은 저항 스위칭 장치의 셋 동작시 자가 전 (뒷면에 계속)

대표도 - 도4



류 제한(self-compliance) 전류 특성을 갖게 하는 것을 특징으로 한다. 본 발명에 의한 경우, 하부 전극과 상부 전극 사이에 절연막이 삽입되어 동작 전류를 억제함으로써, current and enlarged operation voltage.고속의 멀티 비트 동작에 유리한 큰 증분 전압 스텝 조건 하에서 에너지 소비를 절감한다. 또한, 저항 스위칭 장치의 고속의 멀티 비트 동작에 유리한 큰 증분 전압 스텝 조건 하에서 증분 단계 펄스 프로그래밍(ISPP) / 오류 검사 및 교정(ECC) 동안, 전류의 점진적인 변화가 목표 전류 범위를 초과하는 비정상적인 경우의 발생 빈도수가 감소하여 평균 에너지 소비량이 절감된다.

(52) CPC특허분류

H01L 45/1253 (2013.01)

H01L 45/145 (2013.01)

이영국

대전광역시 유성구 도안동로 523, 2블럭 베르디움
203동 1404호

(72) 발명자

정택모

대전광역시 유성구 배울2로 78 대덕테크노밸리아파
트 610동 2101호

박보근

대전광역시 유성구 가정로 141 한국화학연구원 창
조관 201호

이 발명을 지원한 국가연구개발사업

과제고유번호 SI1803

부처명 과학기술정보통신부

연구관리전문기관 한국화학연구원

연구사업명 고부가가치 녹색 화학소재 개발 사업

연구과제명 IoT용 스마트 화학 소재 원천기술 개발

기 여 율 1/1

주관기관 한국화학연구원

연구기간 2018.01.01 ~ 2018.12.31

명세서

청구범위

청구항 1

기관 상에 증착된 하부 전극의 상부에 가변 저항막이 증착되는 단계; 및
상기 가변 저항막 상부에 절연막이 증착되고, 상기 절연막 상부에 상부 전극이 증착되는 단계;
를 포함하고,
상기 절연막은 저항 스위칭 장치의 셋 동작시 자가 전류 제한(self-compliance) 전류 특성을 갖게 하는 것을 특징으로 하는,
멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법.

청구항 2

(a) 기관 상에 제1 두께의 하부 전극이 증착되는 단계;
(b) 가변 저항막이 상기 하부 전극 상부에 증착되는 단계;
(c) 제2 두께의 절연막이 상기 가변 저항막 상부에 증착되는 단계; 및
(d) 제3 두께의 상부 전극이 상기 절연막 상부에 증착되는 단계;
를 포함하는 것을 특징으로 하는,
멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법.

청구항 3

제2항에 있어서,
상기 (d) 단계 이후에
상기 상부 전극이 감광 공정으로 복수개의 직육면체 형상으로 패터닝되는 단계;
를 더 포함하는 것을 특징으로 하는,
멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법.

청구항 4

제2항에 있어서,
상기 (a) 단계에서,
상기 증착은
스퍼터링, 캐스팅, 라미네이팅 방식 및 화학기상 증착법 중 어느 하나를 포함하는 것을 특징으로 하는,
멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법.

청구항 5

제2항에 있어서,
 상기 (a) 단계에서,
 상기 제1 두께는
 90 내지 110 nm 로 설정 가능한 것을 특징으로 하는,
 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법.

청구항 6

제2항에 있어서,
 상기 (c) 단계에서,
 상기 제2 두께는
 90 내지 110 nm 로 설정 가능한 것을 특징으로 하는,
 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법.

청구항 7

제2항에 있어서,
 상기 (d) 단계에서,
 상기 제3 두께는
 140 내지 160 nm 로 설정 가능한 것을 특징으로 하는,
 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법.

청구항 8

제2항에 있어서,
 상기 하부 전극 및 상기 상부 전극은
 알루미늄(Al), 구리(Cu), 티타늄 질화물(TiN), 티타늄 알루미늄 질화물(Ti_xAl_yN_z), 이리듐(Ir), 백금(Pt), 은(Ag), 금(Au), 폴리실리콘(poly silicon), 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN)), 니켈(Ni), 코발트(Co), 크롬(Cr), 안티몬(Sb), 철(Fe), 몰리브덴(Mo), 팔라듐(Pd), 주석(Sn), 지르코늄(Zr), 아연(Zn), 산화 이리듐(IrO₂), 산화스트론튬지르코네이트(StZrO₃) 중 어느 하나를 포함하는 것을 특징으로 하는,
 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법.

청구항 9

제2항에 있어서,
 상기 가변 저항막은
 알루미늄산화막(AlO_x), 알루미늄산화질화막(AlO_xN_y), 실리콘산화막(SiO_x), 실리콘질화막(SiN_x), 실리콘산화질화막(SiO_xN_y), hafnium산화막(HfO_x), 지르코늄산화막(ZrO_x), 티타늄산화막(TiO_x), 란타늄산화막(LaO_x), 스트론튬산화막(SrO_x), 알루미늄이 도핑된 티타늄산화막(Al-doped TiO_x), hafnium실리콘산화막(HfSiO_x), 및 hafnium실리콘산화질화막(HfSiO_xN_y) 중 어느 하나를 포함하는 것을 특징으로 하는,

멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법.

청구항 10

제2항에 있어서,

상기 가변 저항막은

하프늄(Hf)의 전구체로서 테트라키스 에틸메틸아미도-하프늄(TEMA-Hf)을 이용하고, 산소(O₂)의 전구체로서 증류수(H₂O)를 이용하여 산화하프늄(HfO₂)으로 형성되는 것을 특징으로 하는,

저 전력 및 고 신뢰성 멀티 비트 동작이 가능한 저항 스위칭 장치.

청구항 11

제2항에 있어서,

상기 절연막은

지르코늄(Zr), 하프늄(Hf), 알루미늄(Al), 니켈(Ni), 구리(Cu), 몰리브덴(Mo), 탄탈륨(Ta), 티타늄(Ti) 및 텅스텐(W) 중에 선택되는 하나의 금속의 산화물을 포함하는 것을 특징으로 하는,

멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법.

청구항 12

제2항에 있어서,

상기 절연막은

알루미늄(Al)의 전구체로서 트리메틸알루미늄(trimethylaluminum, TMA)을 이용하여 산화 알루미늄(Al₂O₃)으로 형성되는 것을 특징으로 하는,

멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 저항 스위칭 장치의 제조 방법에 관한 것으로서, 특히 저항 스위칭 장치 구조에서 하부 전극과 상부 전극 사이에 절연막이 삽입되어 전류의 점진적인 변화가 목표 전류 범위를 초과하는 비정상적인 경우의 발생 빈도수를 감소시켜 에너지 소비를 절감시키는 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근에, 특정 전압에서 저항이 변화하는 가변 저항 물질을 사용한 저항 스위칭 장치들이 제안되고 있다.

[0003] 상기 가변 저항 물질에 셋 전압(set voltage)이 인가되면, 상기 가변 저항 물질의 저항이 낮아지는 온(ON) 상태가 되고, 상기 가변 저항 물질에 리셋 전압(reset voltage)이 인가되면, 상기 저항 변화 물질의 저항이 높아지는 오프(OFF) 상태가 된다.

[0004] 이러한 온 상태 및 오프 상태의 반복적 동작에 의해, 상기 가변 저항 물질 내의 공공(vacancy)의 움직임에 의한 전기적 경로(electrical path)가 균일하게 제어되지 않을 수 있고, 따라서 상기 저항 스위칭 장치들의 신뢰성이 저하될 수 있다.

- [0005] 한편, 디지털 카메라, 태블릿 컴퓨터 및 스마트폰과 같은 휴대용 디지털 응용 기기들의 수요가 증가하면서 비휘발성 메모리 시장은 급속히 팽창하고 있다.
- [0006] 대표적인 프로그램 가능한 비휘발성 메모리 소자인 낸드(NAND) 플래시 메모리 소자는 멀티레벨 구현 및/또는 3차원 셀 구조를 통해 저장 용량을 향상시키고 있지만, 그에 수반하는 제조 공정의 어려움과 블록 액세스 아키텍처에 기인하는 긴 구동 시간을 갖는 플래시 메모리 소자의 근본적 한계로 인하여 고속의 저전력 메모리 소자의 필요를 충족할 수 없다.
- [0007] 낸드 플래시 메모리 소자의 대안인 새로운 비휘발성 메모리 소자로서 가역적으로 저항값이 변하는 가변 저항체를 이용한 저항성 메모리 소자(ReRAM)가 연구 및 개발 중에 있다.
- [0008] 상기 저항성 메모리 소자는 가변 저항체가 갖는 가역적으로 스위칭 가능한 저 저항 상태(LRS) 및 고 저항 상태(HRS)의 물리적 특성을 데이터 상태로써 이용할 수 있어 10 ns 이하의 빠른 스위칭이 가능하고, 약 1 pJ/operation의 저전력 구동이 가능할 뿐만 아니라, 셀 구성이 단순하여 스케일링 측면에서도 유리하다.
- [0009] 즉, 현재 상용화된 NAND 플래시 메모리와 같은 비 휘발성 메모리는 어려운 제조 공정 및 수직 NAND 플래시(V-NAND)에서 인접한 셀들 사이의 신호 간섭 때문에 물리적인 크기 감소와 관련된 제한에 직면하게 된 것이다.
- [0010] 수직 NAND 플래시가 고 밀도 메모리 디바이스를 위한 영구적인 혁신으로 간주되었다고 하더라도, 그것의 난해한 제조 공정은 차세대 비 휘발성 메모리를 위한 수요를 중요하게 한다.
- [0011] 게다가, 수직 NAND 플래시의 멀티 비트 동작도 지속적인 기억 용량 증가의 문제를 극복하는 일시적인 솔루션으로 간주된다.
- [0012] 이러한 관점에서, 다양한 금속 산화물 박막의 저항성 스위치(resistive switch, RS)는 높은 스위칭 속도, 좋은 내구성, 저 에너지 동작 및 간단한 장치 구조 때문에 차세대 비 휘발성 메모리의 강력한 후보로 간주되어 왔다.
- [0013] 또한, 수직 NAND 플래시와 경쟁하기 위해 필수적인 특성인 저항성 스위치의 멀티 비트 연산이 자가 전류 제한(self-compliance) 전류 레벨 또는 인가되는 바이어스 전압을 조정하여 쉽게 달성될 수 있다는 것이 보고되었다.
- [0014] 그러나, 저항성 스위치의 심각한 확률론적인(stochastic) 특성 때문에, 멀티 비트 연산의 높은 신뢰성은 상기 보고된 방식으로는 단순히 달성될 수 없는 한계가 있었다.
- [0015] 이러한 한계를 극복하기 위해, 저항 스위칭 장치에는 자가 전류 제한 전류 특성 및 점진적 저항 상태 변화라는 두 가지 필수 조건이 있어야 한다.
- [0016] 여기에서, 자가 전류 제한 전류 특성이라 함은 셋 동작시 전압 펄스를 인가할 때 별도의 외부 전류 제한이 없어도 과도 전류가 발생하지 않아 반대 극성의 전압 영역에서 리셋 동작이 가능할 수 있고, 그 결과 다수의 리셋-셋 사이클(Reset-Set Cycle)을 반복해도 안정적으로 데이터를 저장할 수 있는 특성을 의미한다.
- [0017] 즉, 저항 스위칭 장치에 전기 펄스를 인가할 경우, 자가 전류 제한 특성이 필요하고, 이는 저항 스위칭 층의 영구적인 절연적 하드-브레이크다운(hard-breakdown)을 방지할 수 있다.
- [0018] 여기에서, 하드-브레이크다운이란 장치에 전압을 가한 경우, 어느 한계를 넘었을 때 급격한 변화를 일으키는 현상을 의미한다.
- [0019] 또한, 프로그래밍 전압 마진을 제공하여 특정 저항 상태를 달성하기 위하여 점진적인 저항 상태 변화가 필요하다.
- [0020] 이것은 외부 바이어스로 저항 상태가 가파르고 갑작스럽게 변하면, 인가된 전압의 작은 변화가 저항 상태의 큰 변화를 야기하기 때문에 중간 저항 상태는 성공적으로 달성될 수 없다는 것을 의미한다.
- [0021] 정상적인" 경우, 저항 스위칭 장치의 전류는 멀티 비트 동작에서 하나의 디지털 상태에 대해 허용된 전류 범위인 특정 목표 전류 범위에 도달할 때까지 점진적으로 변화한 후, 반대 방향의 전기 펄스가 인가되어 저항 스위칭 장치를 원래의 저항 상태로 되돌아 가게 한다.
- [0022] 반면, 비정상적인" 경우, 저항 스위칭 장치의 전류의 점진적인 변화가 목표 전류 범위를 초과한다.
- [0023] 이 경우, 증분 단계 펄스 프로그래밍(ISPP)/오류 검사 및 교정(ECC) 동작을 재시작하기 위하여 저항 스위칭 장치는 다시 원래의 저항 상태로 되돌려야 한다.

- [0024] 이러한 비정상적인" 경우 증분 단계 펄스 프로그래밍(ISPP)/오류 검사 및 교정(ECC) 과정 횟수(number of ISPP/ECC sequence, NIES)의 증가를 초래하는데, 이는 저항 스위칭 장치의 동작 속도 및 에너지 소비를 저하시킬 수 있다.
- [0025] 따라서, 고 신뢰도 및 에너지 효율적인 멀티 비트 저항 스위치 동작을 위해서는 이와 같은 비정상적인 경우의 발생 빈도를 최소화해야 할 필요가 있었다.
- [0026] 도 1은 종래의 저항 스위칭 장치의 사시도 및 전기 측정 회로도로서, 하부 전극(10), 가변 저항막(20), 상부 전극(30), 전원(V), 스위치(SW) 및 외부 저항(R)을 포함한다.
- [0027] 도 1에서 보는 바와 같이, 상부 전극(30)에는 모든 측정 동안 전원(V)의 바이어스가 인가되는 반면, 하부 전극(10)은 전기적으로 접지된다.
- [0028] 도 1에 도시된 전기 측정 회로도에서 저항 스위칭 동작 동안 동작 전류를 제어하기 위하여 전원(V)이 전기 측정 회로에 직렬로 연결된다.
- [0029] 또한, 비교 연구를 수행하기 위해서, 외부 저항(R)의 연결 여부에 따라 전기 회로의 두 가지 구성(무 저항 및 유 저항)이 사용되었다.
- [0030] 실험 결과, 전기 측정 회로의 기생 저항이 2 미만인 것으로 확인되었고, 이는 장치의 저항 스위칭 범위에 비해 무시할 만하다.
- [0031] 전원(V)의 바이어스에 "외부 저항(R)이 연결된"(이하, '유 저항'이라 칭함) 경우의 동작 전류는 셋(SET) 및 리셋(RESET) 동작을 위해 전원(V)의 바이어스에 "외부 저항(R)이 연결되지 않은"(이하, '무 저항'이라 칭함) 경우보다 낮은 전류와 높은 전압을 나타낸다.
- [0032] 먼저, 2 비트 측정 전에 다음과 같은 세 가지 조건이 고려된다.
- [0033] 첫째, 무 저항 및 유 저항의 경우를 지속적으로 비교하기 위해 2 비트 동작 사용 가능한 총 전류 범위는 50~200 μ A 로 결정된다.
- [0034] 둘째, 2 비트 동작의 개별 수준의 목표 전류 범위는 6σ 보다 충분한 상태 중복 확률을 달성하도록 결정된다.
- [0035] 개별 디지털 상태 사이의 금지 전류 범위를 32 μ A로 설정하면, 상태 중복 가능성을 최소화할 수 있다.
- [0036] 셋째, 비정상적 경우의 발생 빈도를 제어하는 증분 전압 스텝의 기대치를 결정한다.
- [0037] 즉, 증분 전압 스텝 중 하나를 개별 목표 전류 범위(예를 들어, 8 μ A 간격)에 상응하는 저항 스위칭 장치의 전류 증가를 유도할 수 있는 값으로 설정한다.
- [0038] 이 증분 전압 스텝은 비정상적 경우의 발생 빈도가 높아질 것으로 예상된다.
- [0039] 다른 증분 전압 스텝은 저항 스위칭 장치의 전류 증가가 목표 전류 범위보다 훨씬 작아지고, 비정상적인 경우의 발생 빈도를 최소화할 수 있는 값으로 설정된다.
- [0040] 무 저항의 경우, 저항 스위칭 장치의 10, 20, 30 mV의 증분 전압 스텝에 대하여 각각 2.4, 4.8, 7.2 μ A의 전류 증가가 예상된다.
- [0041] 2 비트 동작의 목표 전류 범위가 8 μ A로 설정되어 있기 때문에, 30 mV의 증분 전압 스텝은 낮은 증분 전압 스텝과 비교되는 비정상적 경우의 발생 빈도를 증가시킬 것이다.
- [0042] 한편, 유 저항의 경우, 8 μ A인 목표 전류 범위가 각 증분 전압 스텝에서의 전류 증가분인 1.2, 2.4 및 3.6 μ A보다 충분히 크기 때문에, 모든 증분 전압 스텝 조건에 대하여 증분 단계 펄스 프로그래밍(ISPP) / 오류 검사 및 교정(ECC) 동안 비정상적인 경우의 발생이 거의 관찰되지 않는다.
- [0043] 증분 전압 스텝 조건에 관계없이 상태 - 중복 확률은 6σ 이상이었는데, 이는 인접한 전류 레벨 인식에서의 간섭을 피하기 위한 요구되는 특성이다.
- [0044] 무 저항 및 유 저항의 두 경우 모두, 측정 조건, 획득된 결과는 거의 같았으나, 전류 변화의 점진성의 차이에 기인하여, 비정상적인 경우의 발생 빈도 및 그에 상응하는 에너지 소비 프로그래밍에 차이점이 있었다.
- [0045] 결과적으로, 유 저항의 경우, 무 저항의 경우와 비교할 때, 비정상적인 경우의 발생 빈도를 최소화하고, 에너지 효율적인 멀티 비트 동작이 가능하다.

[0046] 이는 유 저항의 경우 전류 변화의 느린 점진성 때문이며, 이는 특정 목표 전류 범위를 달성하기 위한 더 큰 전압 마진을 제공하게 한다.

선행기술문헌

특허문헌

[0047] (특허문헌 0001) JP 2017-521854 A

발명의 내용

해결하려는 과제

[0048] 본 발명의 목적은 저항 스위칭 장치의 고속의 멀티 비트 동작에 유리한 큰 증분 전압 스텝 조건 하에서 증분 단계 펄스 프로그래밍(ISPP) / 오류 검사 및 교정(ECC) 동안, 전류의 점진적인 변화가 목표 전류 범위를 초과하는 비정상적인 경우의 발생 빈도수를 감소시켜 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0049] 상기 목적을 달성하기 위한 본 발명의 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법은 기판 상에 증착된 하부 전극의 상부에 가변 저항막이 증착되는 단계; 및 상기 가변 저항막 상부에 절연막이 증착되고, 상기 절연막 상부에 상부 전극이 증착되는 단계;를 포함하고, 상기 절연막은 저항 스위칭 장치의 셋 동작시 자가 전류 제한(self-compliance) 전류 특성을 갖게 하는 것을 특징으로 한다.

[0050] 상기 목적을 달성하기 위한 본 발명의 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법은 (a) 기판 상에 제1 두께의 하부 전극이 증착되는 단계; (b) 가변 저항막이 상기 하부 전극 상부에 증착되는 단계; (c) 제2 두께의 절연막이 상기 가변 저항막 상부에 증착되는 단계; 및 (d) 제3 두께의 상부 전극이 상기 절연막 상부에 증착되는 단계;를 포함하는 것을 특징으로 한다.

[0051] 상기 목적을 달성하기 위한 본 발명의 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법은 상기 (d) 단계 이후에 상기 상부 전극이 감광 공정으로 복수개의 직육면체 형상으로 패터닝되는 단계;를 더 포함하는 것을 특징으로 한다.

[0052] 상기 목적을 달성하기 위한 본 발명의 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법은 상기 (a) 단계에서, 상기 증착은 스퍼터링, 캐스팅, 라미네이팅 방식 및 화학기상증착법 중 어느 하나를 포함하는 것을 특징으로 한다.

[0053] 상기 목적을 달성하기 위한 본 발명의 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법은 상기 (a) 단계에서, 상기 제1 두께는 90 내지 110 nm 로 설정 가능한 것을 특징으로 한다.

[0054] 상기 목적을 달성하기 위한 본 발명의 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법은 상기 (c) 단계에서, 상기 제2 두께는 90 내지 110 nm 로 설정 가능한 것을 특징으로 한다.

[0055] 상기 목적을 달성하기 위한 본 발명의 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법은 상기 (d) 단계에서, 상기 제3 두께는 140 내지 160 nm 로 설정 가능한 것을 특징으로 한다.

[0056] 상기 목적을 달성하기 위한 본 발명의 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법의 상기 하부 전극 및 상기 상부 전극은 알루미늄(Al), 구리(Cu), 티타늄 질화물(TiN), 티타늄 알루미늄 질화물(TiAlN), 이리듐(Ir), 백금(Pt), 은(Ag), 금(Au), 폴리실리콘(poly silicon), 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN), 니켈(Ni), 코발트(Co), 크롬(Cr), 안티몬(Sb), 철(Fe), 몰리브덴(Mo), 팔라듐(Pd), 주석(Sn), 지르코늄(Zr), 아연(Zn), 산화 이리듐(IrO₂), 산화스트론튬지르코네이트(StZrO₃) 중 어느 하나를 포함하는 것을 특징으로 한다.

[0057] 상기 목적을 달성하기 위한 본 발명의 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법의 상기 가변 저항막은 알루미늄산화막(AlO_x), 알루미늄산화질화막(AlO_xNy), 실리콘산화막(SiO_x), 실리콘질화막(SiN_x), 실리콘산화질화막(SiO_xNy), 하프늄산화막(HfO_x), 지르코늄산화막(ZrO_x), 티타늄산화막(TiO_x), 란탄산화막

(LaOx), 스트론튬산화막(SrOx), 알루미늄이 도핑된 티타늄산화막(Al-doped TiOx), 하프늄실리콘산화막(HfSiOx), 및 하프늄실리콘산화질화막(HfSiOxNy) 중 어느 하나를 포함하는 것을 특징으로 한다.

[0058] 상기 목적을 달성하기 위한 본 발명의 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법의 상기 가변 저항막은 하프늄(Hf)의 전구체로서 테트라키스 에틸메틸아미도-하프늄(TEMA-HF)을 이용하고, 산소(O₂)의 전구체로서 증류수(H₂O)를 이용하여 산화하프늄(HfO₂)으로 형성되는 것을 특징으로 한다.

[0059] 상기 목적을 달성하기 위한 본 발명의 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법의 상기 절연막은 지르코늄(Zr), 하프늄(Hf), 알루미늄(Al), 니켈(Ni), 구리(Cu), 몰리브덴(Mo), 탄탈륨(Ta), 티타늄(Ti) 및 텅스텐(W) 중에 선택되는 하나의 금속의 산화물을 포함하는 것을 특징으로 한다.

[0060] 상기 목적을 달성하기 위한 본 발명의 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법의 상기 절연막은 알루미늄(Al)의 전구체로서 트리메틸알루미늄(trimethylaluminum, TMA)을 이용하여 산화 알루미늄(Al₂O₃)으로 형성되는 것을 특징으로 한다.

[0061] 기타 실시예의 구체적인 사항은 "발명을 실시하기 위한 구체적인 내용" 및 첨부 "도면"에 포함되어 있다.

[0062] 본 발명의 이점 및/또는 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 각종 실시예를 참조하면 명확해질 것이다.

[0063] 그러나, 본 발명은 이하에서 개시되는 각 실시예의 구성만으로 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수도 있으며, 단지 본 명세서에서 개시한 각각의 실시예는 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 본 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구범위의 각 청구항의 범주에 의해 정의될 뿐임을 알아야 한다.

발명의 효과

[0064] 본 발명에 의할 경우, 하부 전극과 상부 전극 사이에 절연막이 삽입되어 동작 전류를 억제함으로써, 고속의 멀티 비트 동작에 유리한 큰 증분 전압 스텝 조건 하에서 에너지 소비를 절감한다.

[0065] 또한, 저항 스위칭 장치의 고속의 멀티 비트 동작에 유리한 큰 증분 전압 스텝 조건 하에서 증분 단계 펄스 프로그래밍(ISPP) / 오류 검사 및 교정(ECC) 동안, 전류의 점진적인 변화가 목표 전류 범위를 초과하는 비정상적인 경우의 발생 빈도수가 감소하여 평균 에너지 소비량이 절감된다.

도면의 간단한 설명

[0066] 도 1은 종래의 제조 방법에 의해 제조된 저항 스위칭 장치의 사시도 및 전기 측정 회로도이다.

도 2는 본 발명의 일 실시예에 따라 제조된 저항 스위칭 장치의 사시도 및 전기 측정 회로도이다.

도 3은 본 발명에 따라 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법을 나타내는 순서도이다.

도 4는 도 3에 도시된 본 발명에 따른 저항 스위칭 장치의 제조 방법의 공정도이다.

도 5는 도 3에 도시된 본 발명의 제조 방법에 따라 제조된 저항 스위칭 장치에서 Au / HfO₂ / TiN 적층(청색 라인) 및 Au / Al₂O₃ / HfO₂ / TiN 적층(흑색 라인)의 경우 전류 - 전압(I-V) 곡선에 대한 그래프이다.

도 6은 도 3에 도시된 본 발명의 제조 방법에 따라 제조된 저항 스위칭 장치에서 셋(SET) 동작에 대한 전류 변화 동작 대비 Au / HfO₂ / TiN 적층(청색 라인) 및 Au / Al₂O₃ / HfO₂ / TiN 적층(흑색 라인)의 경우 인가된 증분 단계 펄스에 대한 그래프이다.

도 7은 도 3에 도시된 본 발명의 제조 방법에 따라 제조된 저항 스위칭 장치에서 리셋(RESET) 동작에 대한 전류 변화 동작 대비 Au / HfO₂ / TiN 적층(청색 라인) 및 Au / Al₂O₃ / HfO₂ / TiN 적층(흑색 라인)의 경우 인가된 증분 단계 펄스에 대한 그래프이다.

도 8(a) 내지 도 8(d)는 증분 전압 스텝의 함수 및 상태 중복 확률 값으로서, Au / Al₂O₃ / HfO₂ / TiN 적층 저항 스위칭 장치의 2 비트 동작을 나타내는 그래프이다.

도 9는 Al₂O₃ 층이 삽입되지 않은 종래의 저항 스위칭 장치의 경우 대비 Al₂O₃가 삽입된 본 발명의 저항 스위칭

장치에서 비정상적인 경우의 발생 빈도 플롯의 상대적인 차이를 나타내는 그래프이다.

도 10은 Al_2O_3 층이 삽입되지 않은 종래의 저항 스위칭 장치의 경우 대비 Al_2O_3 가 삽입된 본 발명의 저항 스위칭 장치에서 에너지 소비 플롯의 상대적인 차이를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0067] 이하, 첨부한 도면을 참고로 하여 본 발명의 바람직한 실시예에 대하여 상세히 설명하면 다음과 같다.
- [0068] 본 발명을 상세하게 설명하기 전에, 본 명세서에서 사용된 용어나 단어는 통상적이거나 사전적인 의미로 무조건 한정하여 해석되어서는 아니되며, 본 발명의 발명자가 자신의 발명을 가장 최선의 방법으로 설명하기 위해서 각종 용어의 개념을 적절하게 정의하여 사용할 수 있고, 더 나아가 이들 용어나 단어는 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야 함을 알아야 한다.
- [0069] 즉, 본 명세서에서 사용된 용어는 본 발명의 바람직한 실시예를 설명하기 위해서 사용되는 것일 뿐이고, 본 발명의 내용을 구체적으로 한정하려는 의도로 사용된 것이 아니며, 이들 용어는 본 발명의 여러 가지 가능성을 고려하여 정의된 용어임을 알아야 한다.
- [0070] 또한, 본 명세서에 있어서, 단수의 표현은 문맥상 명확하게 다른 의미로 지시하지 않는 이상, 복수의 표현을 포함할 수 있으며, 유사하게 복수로 표현되어 있다고 하더라도 단수의 의미를 포함할 수 있음을 알아야 한다.
- [0071] 본 명세서의 전체에 걸쳐서 어떤 구성 요소가 다른 구성 요소를 "포함"한다고 기재하는 경우에는, 특별히 반대되는 의미의 기재가 없는 한 임의의 다른 구성 요소를 제외하는 것이 아니라 임의의 다른 구성 요소를 더 포함할 수도 있다는 것을 의미할 수 있다.
- [0072] 더 나아가서, 어떤 구성 요소가 다른 구성 요소의 "내부에 존재하거나, 연결되어 설치된다"고 기재한 경우에는, 이 구성 요소가 다른 구성 요소와 직접적으로 연결되어 있거나 접촉하여 설치되어 있을 수 있고, 일정한 거리를 두고 이격되어 설치되어 있을 수도 있으며, 일정한 거리를 두고 이격되어 설치되어 있는 경우에 대해서는 해당 구성 요소를 다른 구성 요소에 고정 내지 연결시키기 위한 제 3의 구성 요소 또는 수단이 존재할 수 있으며, 이 제 3의 구성 요소 또는 수단에 대한 설명은 생략될 수도 있음을 알아야 한다.
- [0073] 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결"되어 있거나, 또는 "직접 접속"되어 있다고 기재되는 경우에는, 제 3의 구성 요소 또는 수단이 존재하지 않는 것으로 이해하여야 한다.
- [0074] 마찬가지로, 각 구성 요소 간의 관계를 설명하는 다른 표현들, 즉 " ~ 사이에"와 "바로 ~ 사이에", 또는 " ~ 에 인접한"과 " ~ 에 직접 인접한" 등도 마찬가지로 취지를 가지고 있는 것으로 해석되어야 한다.
- [0075] 또한, 본 명세서에 있어서 "일면", "타면", "일측", "타측", "제 1", "제 2" 등의 용어는, 사용된다면, 하나의 구성 요소에 대해서 이 하나의 구성 요소가 다른 구성 요소로부터 명확하게 구별될 수 있도록 하기 위해서 사용되며, 이와 같은 용어에 의해서 해당 구성 요소의 의미가 제한적으로 사용되는 것은 아님을 알아야 한다.
- [0076] 또한, 본 명세서에서 "상", "하", "좌", "우" 등의 위치와 관련된 용어는, 사용된다면, 해당 구성 요소에 대해서 해당 도면에서의 상대적인 위치를 나타내고 있는 것으로 이해하여야 하며, 이들의 위치에 대해서 절대적인 위치를 특정하지 않는 이상은, 이들 위치 관련 용어가 절대적인 위치를 언급하고 있는 것으로 이해하여서는 아니된다.
- [0077] 더욱이, 본 발명의 명세서에서는, "...부", "...기", "모듈", "장치" 등의 용어는, 사용된다면, 하나 이상의 기능이나 동작을 처리할 수 있는 단위를 의미하며, 이는 하드웨어 또는 소프트웨어, 또는 하드웨어와 소프트웨어의 결합으로 구현될 수 있음을 알아야 한다.
- [0078] 또한, 본 명세서에서는 각 도면의 각 구성 요소에 대해서 그 도면 부호를 명기함에 있어서, 동일한 구성 요소에 대해서는 이 구성 요소가 비록 다른 도면에 표시되더라도 동일한 도면 부호를 가지고 있도록, 즉 명세서 전체에 걸쳐 동일한 참조 부호는 동일한 구성 요소를 지시하고 있다.
- [0079] 본 명세서에 첨부된 도면에서 본 발명을 구성하는 각 구성 요소의 크기, 위치, 결합 관계 등은 본 발명의 사상을 충분히 명확하게 전달할 수 있도록 하기 위해서 또는 설명의 편의를 위해서 일부 과장 또는 축소되거나 생략되어 기술되어 있을 수 있고, 따라서 그 비례나 축척은 엄밀하지 않을 수 있다.
- [0080] 또한, 이하에서, 본 발명을 설명함에 있어서, 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 구성, 예

를 들어, 종래 기술을 포함하는 공지 기술에 대한 상세한 설명은 생략될 수도 있다.

- [0081] 도 2는 본 발명의 일 실시예에 따라 제조된 저항 스위칭 장치의 사시도 및 전기 측정 회로도로서, 하부 전극(100), 가변 저항막(200), 상부 전극(400) 및 전원(V)을 포함한다.
- [0082] 도 3은 본 발명에 따라 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법을 나타내는 순서도이다.
- [0083] 도 4는 도 3에 도시된 본 발명에 따른 저항 스위칭 장치의 제조 방법의 공정도이다.
- [0084] 도 5는 도 3에 도시된 본 발명의 제조 방법에 따라 제조된 저항 스위칭 장치에서 Au / HfO₂ / TiN 적층(청색 라인) 및 Au / Al₂O₃ / HfO₂ / TiN 적층(흑색 라인)의 경우 전류 - 전압(I-V) 곡선에 대한 그래프이다.
- [0085] 도 6은 도 3에 도시된 본 발명의 제조 방법에 따라 제조된 저항 스위칭 장치에서 셋(SET) 동작에 대한 전류 변화 동작 대비 Au / HfO₂ / TiN 적층(청색 라인) 및 Au / Al₂O₃ / HfO₂ / TiN 적층(흑색 라인)의 경우 인가된 증분 단계 펄스에 대한 그래프이다.
- [0086] 도 7은 도 3에 도시된 본 발명의 제조 방법에 따라 제조된 저항 스위칭 장치에서 리셋(RESET) 동작에 대한 전류 변화 동작 대비 Au / HfO₂ / TiN 적층(청색 라인) 및 Au / Al₂O₃ / HfO₂ / TiN 적층(흑색 라인)의 경우 인가된 증분 단계 펄스에 대한 그래프이다.
- [0087] 도 2 내지 도 4를 참조하여 본 발명에 따른 저항 스위칭 장치의 제조 방법의 공정을 설명하면 다음과 같다.
- [0088] 먼저, 도 4(a)에서 보는 바와 같이, 기판(50) 상에 제1 두께의 하부 전극(100)이 증착된다(S100).
- [0089] 여기에서, 기판(50)은 실리콘(Si) 또는 실리콘 산화물(SiO₂)이 사용되고, 증착 방식은 스퍼터링, 캐스팅, 라미네이팅 방식 및 화학기상 증착법 등을 포함할 수 있다.
- [0090] 또한, 제1 두께는 90 내지 110 nm 로 설정 가능하고, 100 nm 로 설정하는 것이 바람직하다.
- [0091] 또한, 하부 전극(100)의 재질로는 다양한 금속, 금속 산화물 또는 금속 질화물들 중 어느 하나일 수 있다.
- [0092] 즉, 알루미늄(Al), 구리(Cu), 티타늄 질화물(TiN), 티타늄 알루미늄 질화물(Ti_xAl_yN_z), 이리듐(Ir), 백금(Pt), 은(Ag), 금(Au), 폴리실리콘(poly silicon), 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN)), 니켈(Ni), 코발트(Co), 크롬(Cr), 안티몬(Sb), 철(Fe), 몰리브덴(Mo), 팔라듐(Pd), 주석(Sn), 지르코늄(Zr), 아연(Zn), 산화 이리듐(IrO₂), 산화스트론튬지르코네이트(StZrO₃)들 중 하나로 선택될 수 있다.
- [0093] 본 발명의 일 실시예에서는 하부 전극(100)이 티타늄 질화물(TiN)로 형성된다.
- [0094] 도 4(b)에서 보는 바와 같이, 가변 저항막(200)이 원자층 증착(atomic layer deposition, ALD) 기법으로 하부 전극(100) 상부에 적층된다(S200).
- [0095] 여기에서, 원자층 증착 기법은 반도체 제조 공정 중 화학적으로 달라붙는 단원자층의 현상을 이용한 나노 박막 증착 기술로서, 웨이퍼 표면에서 분자의 흡착과 치환을 번갈아 진행함으로 원자층 두께의 초미세 층간(layer-by-layer) 증착이 가능하고, 산화물과 금속 박막을 최대한 얇게 쌓을 수 있으며, 가스의 화학반응으로 형성된 입자들을 웨이퍼 표면에 증착시키는 화학 기상 증착(CVD)보다 낮은 온도(섭씨 500 도 이하)에서 막질을 형성할 수 있다.
- [0096] 또한, 가변 저항막(200)의 재질로는 알루미늄산화막(AlO_x), 알루미늄산화질화막(AlO_xN_y), 실리콘산화막(SiO_x), 실리콘질화막(SiN_x), 실리콘산화질화막(SiO_xN_y), 하프늄산화막(HfO_x), 지르코늄산화막(ZrO_x), 티타늄산화막(TiO_x), 란탄산화막(LaO_x), 스트론튬산화막(SrO_x), 알루미늄이 도핑된 티타늄산화막(Al-doped TiO_x), 하프늄실리콘산화막(HfSiO_x), 및 하프늄실리콘산화질화막(HfSiO_xN_y)을 포함하는 그룹에서 선택될 수 있다.
- [0097] 본 발명의 일 실시예에서는 가변 저항막(200)이 산화하프늄(HfO₂)으로 형성되는데, 하프늄(Hf)의 전구체로서 테트라키스 에틸메틸아미도-하프늄(TEMA-Hf)을 이용하고, 산소(O₂)의 전구체로서 증류수(H₂O)를 이용한다.
- [0098] 도 4(c)에서 보는 바와 같이, 제2 두께의 절연막(300)이 원자층 증착(atomic layer deposition, ALD) 기법으로 가변 저항막(200) 상부에 적층된다(S300).
- [0099] 이때, 제2 두께는 1.8 내지 2.2 nm 로 설정 가능하고, 2 nm 로 설정하는 것이 바람직하다.

- [0100] 또한, 절연막(300)의 재질로는 지르코늄(Zr), 하프늄(Hf), 알루미늄(Al), 니켈(Ni), 구리(Cu), 몰리브덴(Mo), 탄탈륨(Ta), 티타늄(Ti) 및 텅스텐(W) 중에 선택되는 하나의 금속의 산화물을 포함할 수 있다.
- [0101] 본 발명의 일 실시예에서는 절연막(300)이 산화 알루미늄(Al_2O_3)으로 형성되는데, 알루미늄(Al)의 전구체로서 트리메틸알루미늄(trimethylaluminum, TMA)을 이용한다.
- [0102] 도 4(d)에서 보는 바와 같이, 제3 두께의 상부 전극(400)이 열 증발 기법으로 절연막(300) 상부에 적층된 후에(S400), 통상적인 감광 공정(photo-lithography)으로 패터닝된다(S500).
- [0103] 이때, 제3 두께는 140 내지 160 nm 로 설정 가능하고, 150 nm 로 설정하는 것이 바람직하다.
- [0104] 또한, 상부 전극(400)의 재질로는 하부 전극(100)과 마찬가지로 다양한 금속, 금속 산화물 또는 금속 질화물들 중 어느 하나일 수 있다.
- [0105] 즉, 알루미늄(Al), 구리(Cu), 티타늄 질화물(TiN), 티타늄 알루미늄 질화물($Ti_xAl_yN_z$), 이리듐(Ir), 백금(Pt), 은(Ag), 금(Au), 폴리실리콘(poly silicon), 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN), 니켈(Ni), 코발트(Co), 크롬(Cr), 안티몬(Sb), 철(Fe), 몰리브덴(Mo), 팔라듐(Pd), 주석(Sn), 지르코늄(Zr), 아연(Zn), 산화 이리듐(IrO_2), 산화스트론튬지르코네이트($StZrO_3$)들 중 하나로 선택될 수 있다.
- [0106] 본 발명의 일 실시예에서는 상부 전극(400)으로서 복수개의 직육면체 형상으로 금(Au)이 절연막(300) 상부에 형성된다.
- [0107] 상부 전극(400)의 평면은 도 7에서 보는 바와 같이 정사각형 형상으로서, 한 변을 90 내지 110 nm 로 설정 가능하고, 100 nm 로 설정하는 것이 바람직하다.
- [0108] 도 2 내지 도 7을 참조하여 본 발명의 제조 방법에 따라 제조된 저항 스위칭 장치의 각 구성요소의 구조 및 기능을 간략하게 설명하면 다음과 같다.
- [0109] 하부 전극(100)은 전원(V)의 일측에 연결되어 접지된다.
- [0110] 가변 저항막(200)은 하부 전극(100) 상부에 적층되어 저항 스위칭 장치가 셋(SET) 될 때에, 전기 저항이 저 저항 상태(LRS, Low Resistance State)로 되고, 리셋(RESET) 될 때에 전기 저항이 고 저항 상태(HRS, High Resistance State)로 된다.
- [0111] 절연막(300)은 가변 저항막(200) 상부에 적층되어 저항 스위칭 장치의 상부 전극(400)에 인가되는 바이어스에 대하여 가변 저항막(200) 사이의 전압 분배를 일으키는 저항으로서의 동적 특성 변화를 나타낸다.
- [0112] 즉, 도 1에 도시된 종래의 저항 스위칭 장치 전기 측정 회로도에서의 스위치(SW) 및 외부 저항(R)의 역할을 본 발명에서는 절연막(300)이 대신하는 것이다.
- [0113] 본 실시예에서는 절연막(300)이 가변 저항막(200)과 상부 전극(400) 사이에 삽입되는 것으로 예시하였으나, 가변 저항막(200)과 하부 전극(100) 사이의 계면에 삽입될 수도 있다.
- [0114] 상부 전극(400)은 전원(V)의 타측에 연결되고, 절연막(300) 상부에 복수개의 직육면체 형상으로 적층되어, 전원(V)의 바이어스를 인가받는다.
- [0115] 이때, 전원(V)은 순차적으로 증가하는 프로그램 전압 펄스인 증분 단계 펄스 또는 직류 전압을 생성하는데, 증분 단계 펄스의 폭은 90 내지 110 ns 로 설정 가능하고, 100 ns 로 설정하는 것이 바람직하다.
- [0116] 이를 통하여 본 발명의 제조 방법에 의해 제조된 저항 스위칭 장치는 가변 저항막(200)과 상부 전극(400) 사이 또는 가변 저항막(200)과 하부 전극(100)의 계면 사이에 절연막(300)이 삽입되어 동작 전류를 억제함으로써, 고속의 멀티 비트 동작에 유리한 큰 증분 전압 스텝 조건 하에서 에너지 소비를 절감한다.
- [0117] 도 2 내지 도 7을 참조하여 본 발명의 제조 방법에 의해 제조된 저항 스위칭 장치의 상세한 동작을 설명하면 다음과 같다.
- [0118] 본 발명의 저항 스위칭 장치에서 절연막(300) 삽입의 영향을 모의 실험하기 위하여, 2 nm 두께의 Al_2O_3 층이 상부 전극(400)과 HfO_2 층 사이에 삽입되어, 최종적인 저항 스위칭 장치의 구조는 도 2에 도시한 바와 같이 Au / Al_2O_3 / HfO_2 / TiN 의 적층 구조이다.

- [0119] 이때, 모의실험은 전기 특성 측정 실험으로서, 반도체 파라미터 분석기 (semiconductor parameter analyzer, SPA), 임의 함수 발생기(arbitrary function generator, AFG), 전기 기계식 고주파(RF) 전기 회로 스위치 박스, 온도 컨트롤러가 내장된 열판(hot chuck)을 사용했다.
- [0120] 도 5의 전류 - 전압(I-V) 곡선에서 보는 바와 같이, Al_2O_3 의 삽입은 억제된 동작 전류 및 확대된 동작 전압을 초래한다.
- [0121] 그러나, 하나 주목할 점은 본 발명에 의해 제조된 저항 스위칭 장치인 $\text{Au} / \text{Al}_2\text{O}_3 / \text{HfO}_2 / \text{TiN}$ 적층 저항 스위칭 장치는 Al_2O_3 층이 삽입되지 않은 종래의 $\text{Au} / \text{HfO}_2 / \text{TiN}$ 장치보다 고 저항 상태(HRS) 전류가 낮는데, 이는 다른 적층과 Al_2O_3 층 간에 전기 특성의 차이 때문이다.
- [0122] 본 발명의 $\text{Au} / \text{Al}_2\text{O}_3 / \text{HfO}_2 / \text{TiN}$ 적층 저항 스위칭 장치는 상부 전극(Au)과 하부 전극(TiN) 사이에 단순히 절연막(Al_2O_3)을 삽입하는 공정을 통하여, 증분 전압에 대한 저항 변화의 점진성을 제어할 수 있다.
- [0123] 도 6에 나타난 바와 같이, 셋(SET) 동작에서 전류 변화의 점진성은, Al_2O_3 층의 영향으로 $\text{Au} / \text{HfO}_2 / \text{TiN}$ 적층 저항 스위칭 장치와 $\text{Au} / \text{Al}_2\text{O}_3 / \text{HfO}_2 / \text{TiN}$ 적층 저항 스위칭 장치에서 다른 양상을 보여 준다.
- [0124] $\text{Au} / \text{Al}_2\text{O}_3 / \text{HfO}_2 / \text{TiN}$ 의 경우, 증가 전압이 10, 20, 30 mV일 때 추정되는 전류는 각각 1.4, 2.8, 4.2 μA 이며, 모두 목표 전류 레벨 8 μA 보다 낮다.
- [0125] 도 7에 나타난 리셋(RESET) 동작의 전류 변화는 급격한 양상을 보이는데, 이것은 멀티 비트 동작과 양립하지 않는다.
- [0126] 반면, 도 6에서는 셋(SET) 전압 펄스를 인가함에 따라 가변 저항 메모리 셀의 저항이 감소하고, 각각의 셋 전압 펄스에 대해 변화된 저항에 대해 읽기 전류를 측정한다.
- [0127] 도 6에서 보는 바와 같이, 인가전압을 서서히 증가시키면 어느 순간 고 저항 상태가 저 저항 상태로 변하게 되는데 그 전류-전압 커브의 기울기가 도 10의 리셋 과정과 비교할 때 상당히 완만함을 알 수 있다.
- [0128] 이러한 완만한 전류-전압 곡선의 특성으로 인해 셋 동작에 의한 안정적인 멀티-비트 저장이가 가능하게 된다.
- [0129] 즉, 고 저항 상태가 저 저항 상태로 변경되는 셋 전압 영역이 넓게 분포하여 가변 저항 메모리 셀이 목표 저항 상태가 되도록 하는 셋 전압 생성 및 인가 동작의 제어가 보다 용이해진다.
- [0130] 도 8(a) 내지 도 8(d)는 증분 전압 스텝의 함수 및 상태 중복 확률 값으로서, $\text{Au} / \text{Al}_2\text{O}_3 / \text{HfO}_2 / \text{TiN}$ 적층 저항 스위칭 장치의 2 비트 동작을 나타내는 그래프이다.
- [0131] 도 9는 Al_2O_3 층이 삽입되지 않은 종래의 저항 스위칭 장치의 경우 대비 Al_2O_3 가 삽입된 본 발명의 저항 스위칭 장치에서 비정상적인 경우의 발생 빈도 플롯의 상대적인 차이를 나타내는 그래프이다.
- [0132] 도 10은 Al_2O_3 층이 삽입되지 않은 종래의 저항 스위칭 장치의 경우 대비 Al_2O_3 가 삽입된 본 발명의 저항 스위칭 장치에서 에너지 소비 플롯의 상대적인 차이를 나타내는 그래프이다.
- [0133] 도 8(a) 내지 도 8(c)는 증분 전압 스텝의 함수로서, $\text{Au} / \text{Al}_2\text{O}_3 / \text{HfO}_2 / \text{TiN}$ 적층 저항 스위칭 장치의 2 비트 동작을 나타낸다.
- [0134] 주목할 만한 점 중 하나는 고 저항 상태(HRS)의 저항이 종래의 유 저항 적층 저항 스위칭 장치보다 높고, 이는 도 8에 도시된 종래의 유 저항 적층 저항 스위칭 장치의 I-V 특성과 일치한다는 점이다.
- [0135] 상태 중복 확률 값은 각 상태의 전류 값에서 추출되고, 도 8(d)에 나타난 바와 같이, 6σ 를 초과하는 상태 중복 가능성에 대해 신뢰할 수 있는 특성이 획득된다.
- [0136] 마지막으로, 멀티 비트 동작의 동작 효율은 저항 스위칭 장치 구조 및 측정 조건의 함수로서 정성적으로 평가된다.
- [0137] 전술한 바와 같이, 에너지 효율적인 멀티 비트 동작의 가장 중요한 요소는 증분 단계 펄스 프로그래밍(ISPP) / 오류 검사 및 교정(ECC) 동안의 비정상적인 경우의 발생 빈도를 최소화하는 것이다.

- [0138] 증분 전압 스텝 및 각 저항 스위칭 장치의 전류 변화의 점진성 등의 소정의 측정 조건 하에서, 종래의 무 저항의 경우는 30mV의 증분 전압 스텝에서 비정상적인 경우의 가장 높은 발생 빈도를 나타내는 것으로 예상된다.
- [0139] 도 9는 멀티 비트 상태(L1, L2 및 L3) 및 증분 전압 스텝의 함수로서 비정상적인 경우의 발생 빈도 플롯을 보여준다.
- [0140] 각 측정 조건에 따라 2 비트 연산 100 회 프로그래밍에서 비정상적인 경우의 수로부터 비정상적인 경우의 발생 빈도 값이 추출된다.
- [0141] 모든 경우에서, 비정상적인 경우의 발생 빈도는 4 % 미만인 것이 관찰되었다.
- [0142] 그럼에도 불구하고, 증분 전압 스텝이 증가하면 저항 스위칭 장치의 전류 상태는 더 빨리 목표 전류 범위에 도달할 수 있으며, 이는 빠르고 에너지 효율적인 멀티 비트 동작에 유리하다.
- [0143] 그러나, 일반적으로 주어진 저항 스위칭 장치는 멀티 비트 동작을 위한 제한된 전체 사용 가능 전류 범위를 가지며, 멀티 비트 성능을 위하여 요구되는 수의 디지털 상태 레벨이 존재하기 때문에, 목표 전류 범위 및 증분 전압 스텝의 증가는 특정한 범위로 제한된다.
- [0144] 이러한 관점에서 저항 스위칭 장치에 Al_2O_3 층의 삽입은, 증가되는 증분 전압 스텝을 빠르고 안정적인 멀티 비트 동작에 적합한 것으로 만들 수 있다.
- [0145] 측정 조건에 따라 에너지 소비량을 결정하기 위해, 각 측정 기준에 대해 멀티 비트 연산과 관련된 평균 에너지 소비량이 계산된다.
- [0146] 상기 계산을 위하여 증분 단계 펄스 프로그래밍(ISPP)/오류 검사 및 교정(ECC) 과정 횟수, 저항 스위칭을 위해 인가된 전기 펄스의 전압, 전류 및 지속 시간과 비정상적인 경우의 발생 빈도가 고려된다.
- [0147] 도 10에서 보는 바와 같이, 세로축의 에너지 소비의 값은 각 저항 스위칭 장치 구성의 상대적 차이로서, 이상 발생 빈도의 경우가 증가하면 에너지 차이가 증가함을 나타낸다.
- [0148] 10 mV 및 20 mV의 증분 전압 스텝에서는 비정상적인 경우가 좀처럼 관찰되지 않았기 때문에, 에너지 소비의 감소(10 % 미만)는 중요하지 않다.
- [0149] 그러나, 고속 멀티 비트 동작에 유리한 30mV의 조건에서는, 에너지 소비의 감소(최대 58 %)가 중요하다.
- [0150] 이러한 결과는 Al_2O_3 층을 사용하여, 저항 스위칭 장치의 신뢰 가능하고 효율적인 멀티 비트 동작을 달성하기 위해 더 높은 증분 전압 스텝(30mV)이 인가 가능한지를 보여준다.
- [0151] 특히, Al_2O_3 층의 삽입 과정은 신속하고 신뢰할 수 있는 멀티 비트 동작에 유리함을 나타낸다.
- [0152] 또한, 스케일링된 저항 스위칭 장치의 멀티 비트 동작의 이용 가능성은 추가적인 문제가 될 수 있다.
- [0153] 저항 스위칭 장치가 스케일링됨에 따라 절대적 동작 전류 범위는 감소했지만, 멀티 비트 동작은 성공적으로 달성된다.
- [0154] 이는 본 발명의 제조 방법으로 제조된 저항 스위칭 장치가 um 미만(sub-um) 영역에서 멀티 비트 동작 제어 기능을 유지할 수 있는 증거가 될 수 있다.
- [0155] 결론적으로, 본 발명은 삽입된 Al_2O_3 층을 이용함으로써 고속의 멀티 비트 동작에 유리한 큰 증분 전압 스텝 조건 하에서 비정상적 경우의 발생 빈도 및 관련 에너지 소비가 크게 감소된다.
- [0156] 이와 같이, 본 발명은 저항 스위칭 장치의 고속의 멀티 비트 동작에 유리한 큰 증분 전압 스텝 조건 하에서 증분 단계 펄스 프로그래밍(ISPP) / 오류 검사 및 교정(ECC) 동안, 전류의 점진적인 변화가 목표 전류 범위를 초과하는 비정상적인 경우의 발생 빈도수를 감소시켜 멀티 비트 연산을 위해 최적화된 저항 스위칭 장치의 제조 방법을 제공한다.
- [0157] 이를 통하여, 하부 전극과 상부 전극 사이에 절연막이 삽입되어 동작 전류를 억제함으로써, 멀티 비트 연산의 상위 레벨에 대한 총 가용 전류 범위를 감소시켜 고속의 멀티 비트 동작에 유리한 큰 증분 전압 스텝 조건 하에서 에너지 소비를 절감한다.
- [0158] 또한, 저항 스위칭 장치의 고속의 멀티 비트 동작에 유리한 큰 증분 전압 스텝 조건 하에서 증분 단계 펄스 프

로그래밍(ISPP) / 오류 검사 및 교정(ECC) 동안, 전류의 점진적인 변화가 목표 전류 범위를 초과하는 비정상적인 경우의 발생 빈도수가 감소하여 평균 에너지 소비량이 절감된다.

[0159] 이상, 일부 예를 들어서 본 발명의 바람직한 여러 가지 실시예에 대해서 설명하였지만, 본 "발명을 실시하기 위한 구체적인 내용" 항목에 기재된 여러 가지 다양한 실시예에 관한 설명은 예시적인 것에 불과한 것이며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 이상의 설명으로부터 본 발명을 다양하게 변형하여 실시하거나 본 발명과 균등한 실시를 행할 수 있다는 점을 잘 이해하고 있을 것이다.

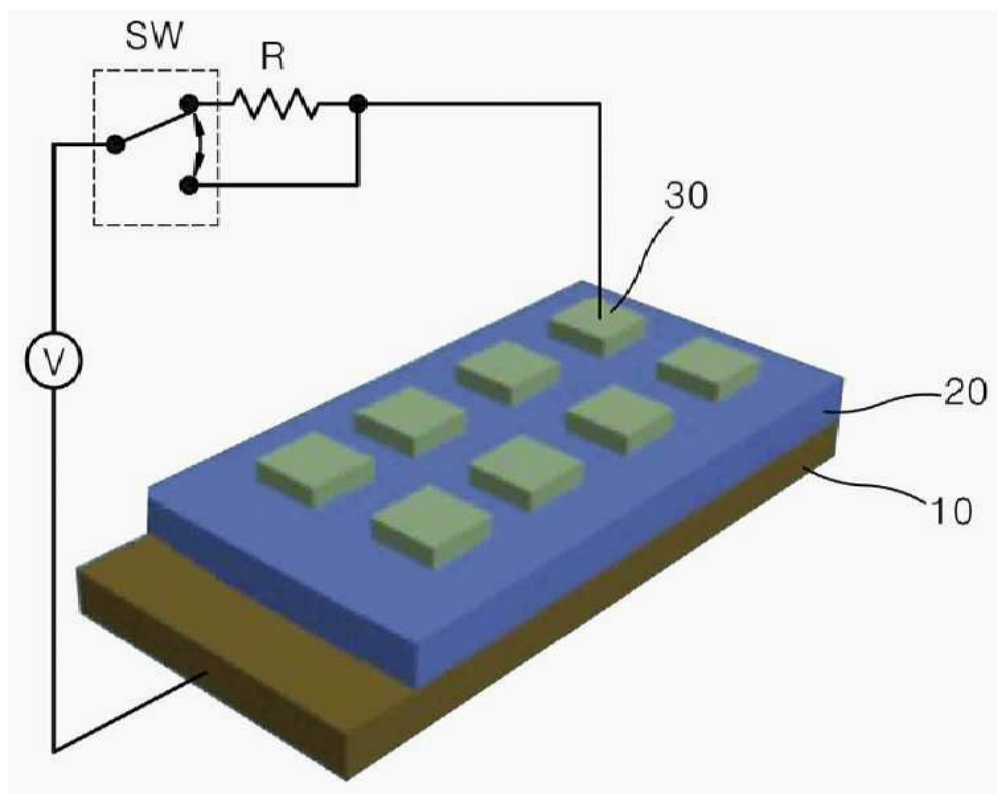
[0160] 또한, 본 발명은 다른 다양한 형태로 구현될 수 있기 때문에 본 발명은 상술한 설명에 의해서 한정되는 것이 아니며, 이상의 설명은 본 발명의 개시 내용이 완전해지도록 하기 위한 것으로 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 본 발명의 범주를 완전하게 알려주기 위해 제공되는 것일 뿐이며, 본 발명은 청구범위의 각 청구항에 의해서 정의될 뿐임을 알아야 한다.

부호의 설명

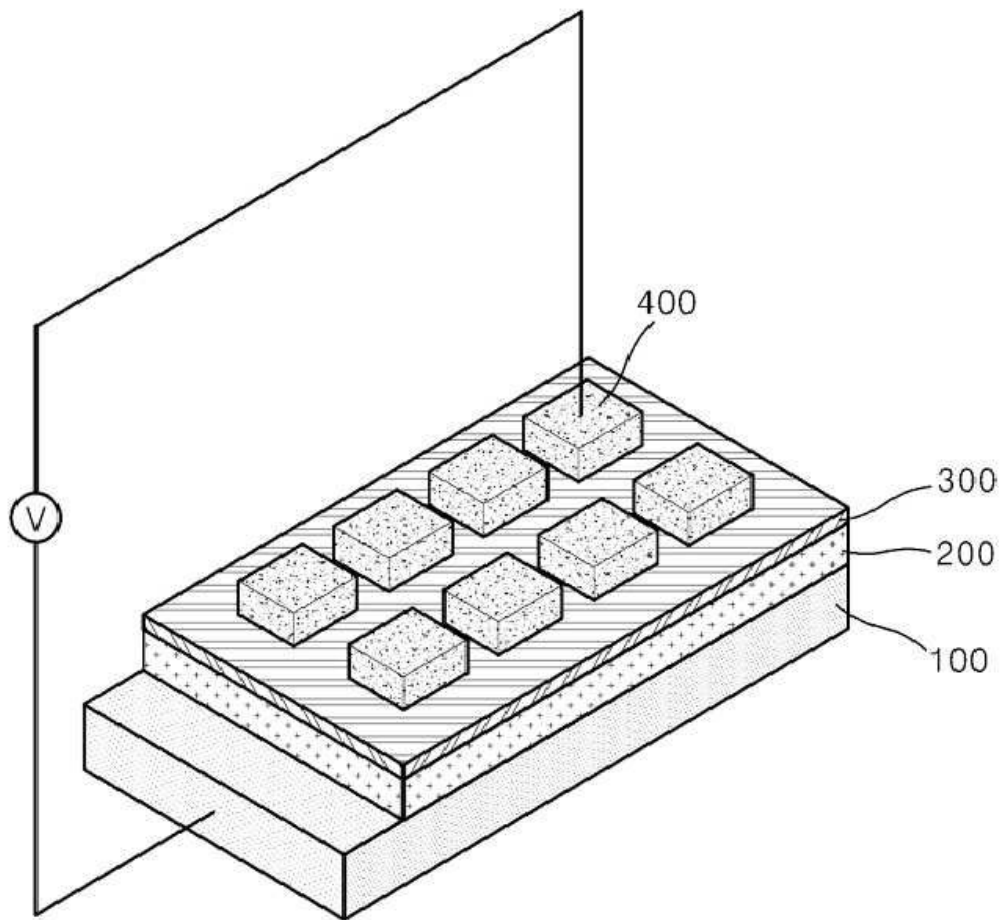
[0161] 100: 하부 전극
200: 가변 저항막
300: 상부 전극
V: 전원

도면

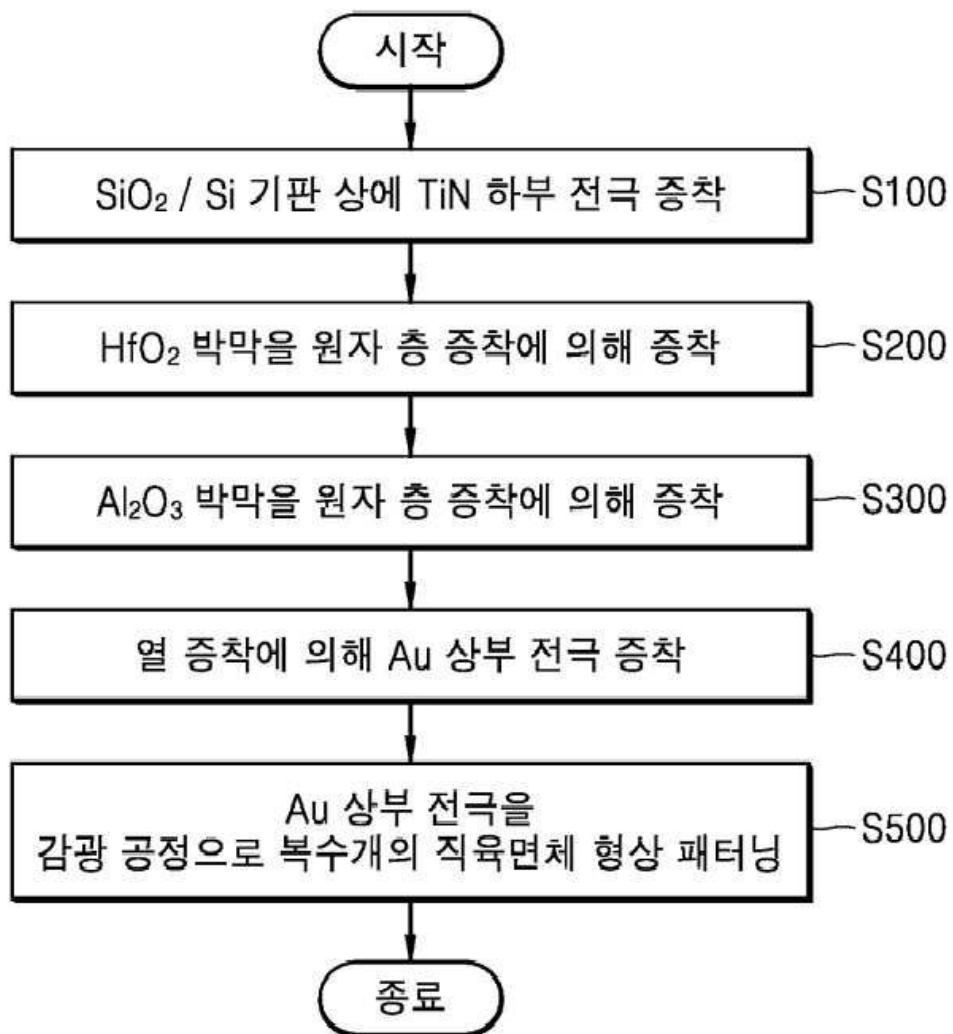
도면1



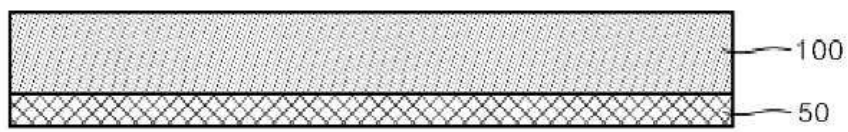
도면2



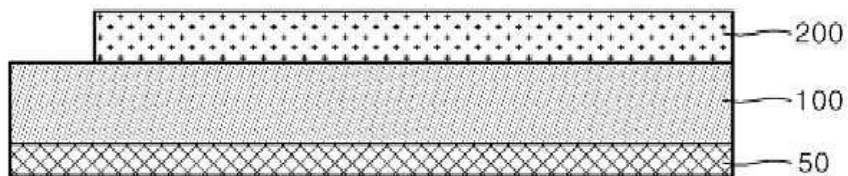
도면3



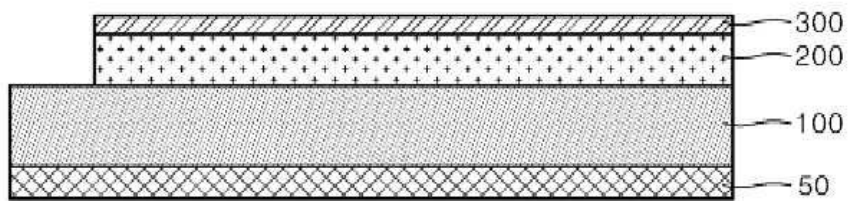
도면4



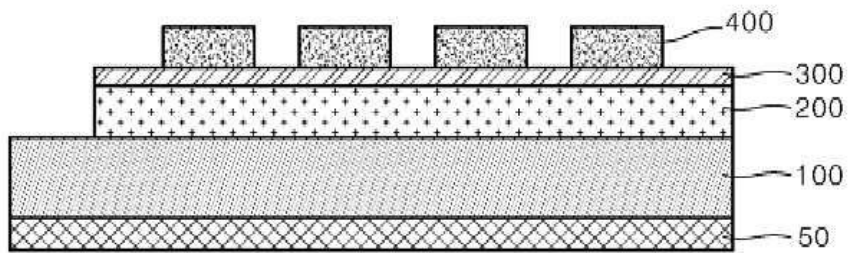
(a)



(b)

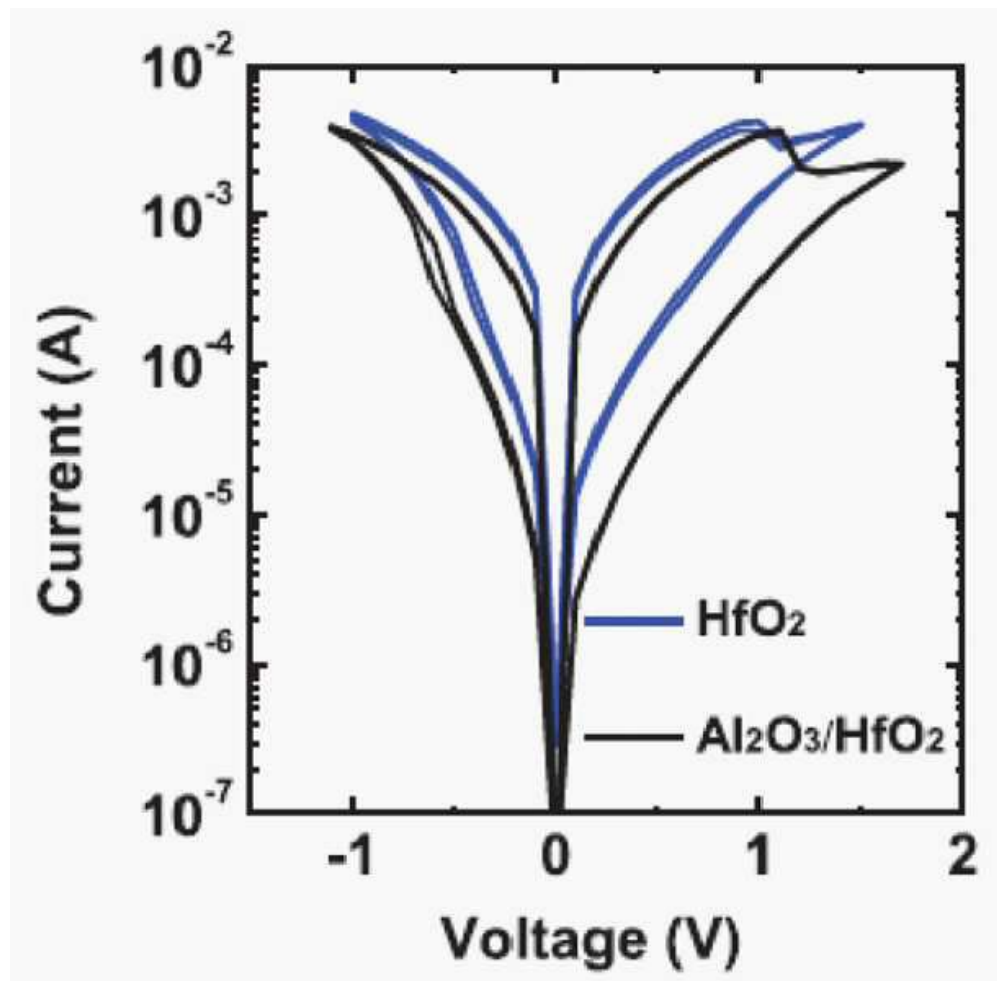


(c)

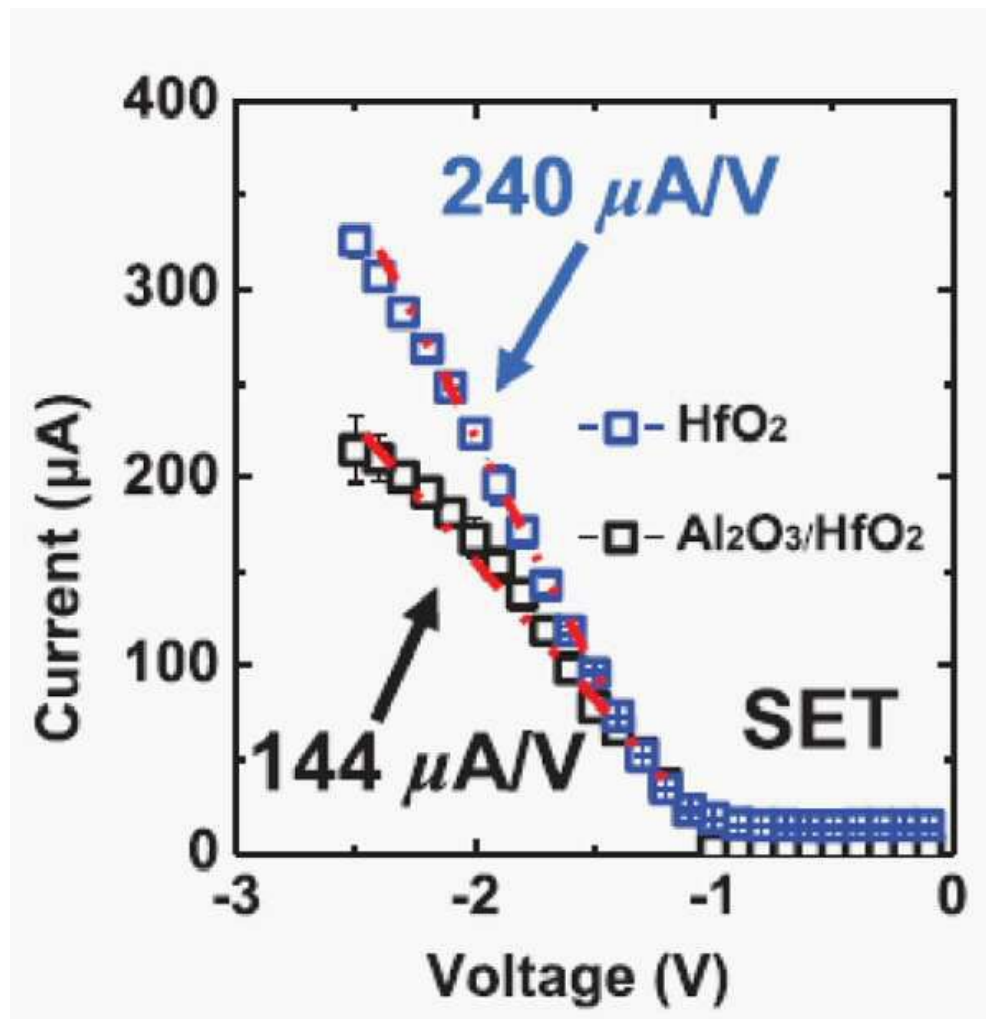


(d)

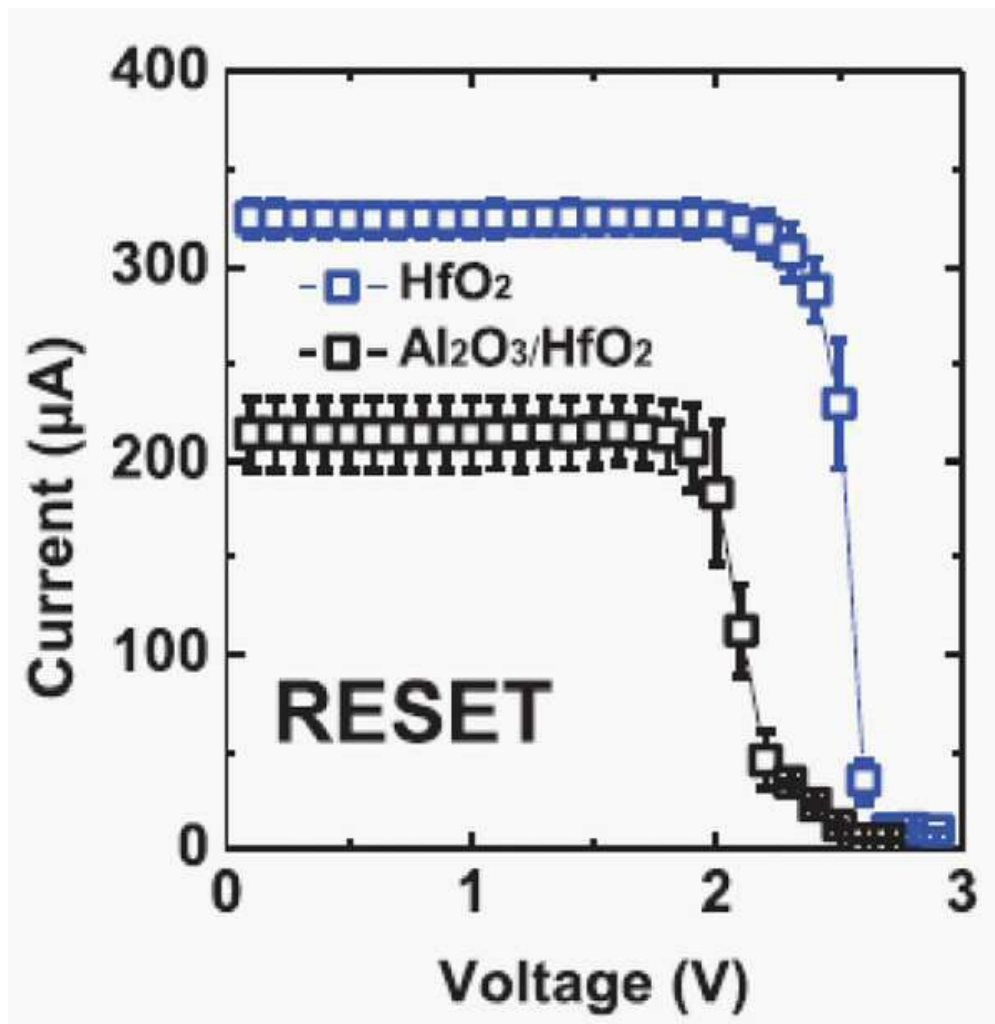
도면5



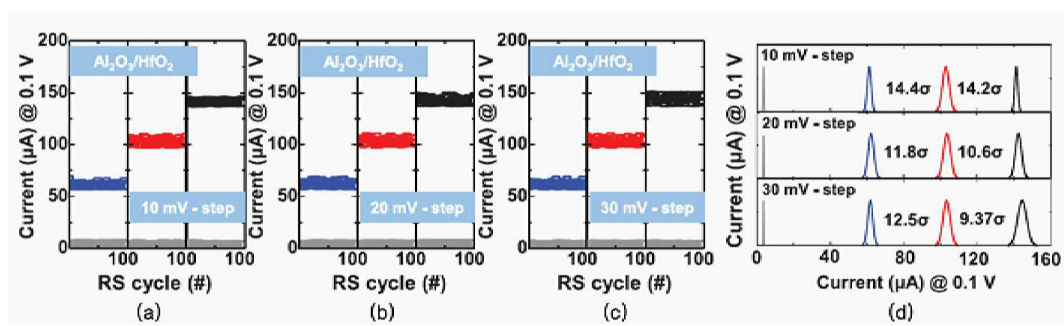
도면6



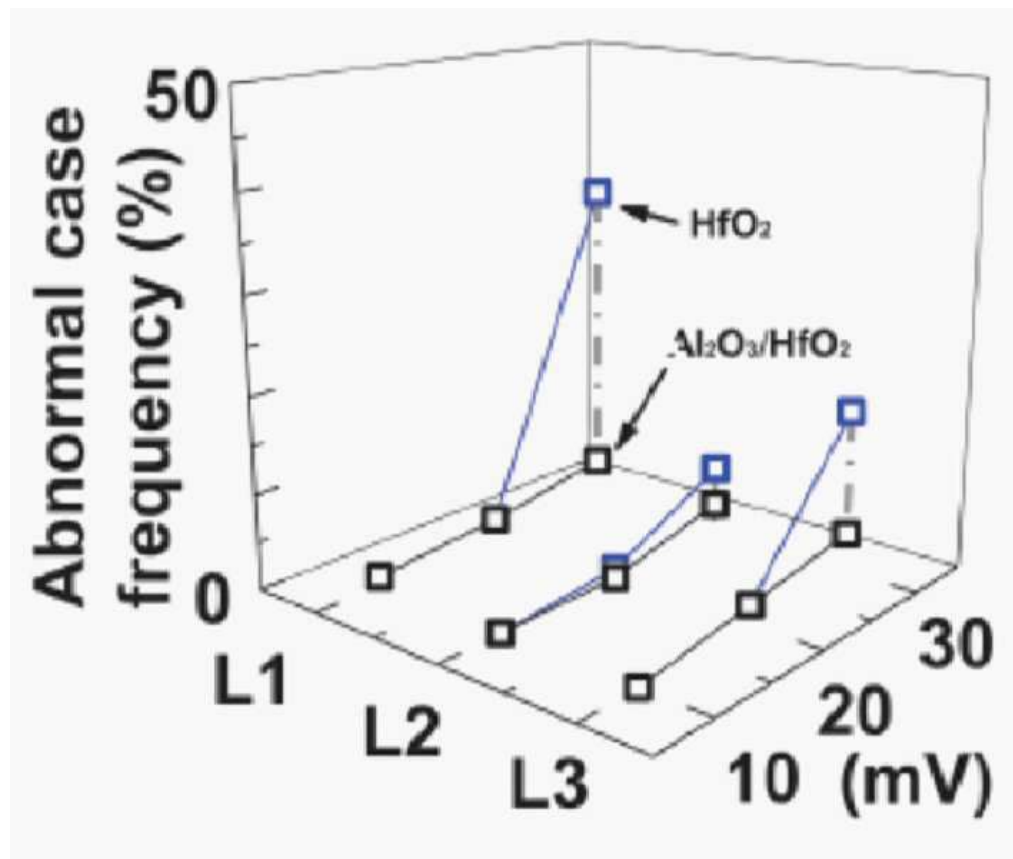
도면7



도면8



도면9



도면10

