

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 2 月 27 日 (27.02.2014)



(10) 国际公布号
WO 2014/029150 A1

- (51) 国际专利分类号:
H01L 21/335 (2006.01) H01L 29/78 (2006.01)
H01L 21/308 (2006.01)
- (21) 国际申请号: PCT/CN2012/081511
- (22) 国际申请日: 2012 年 9 月 17 日 (17.09.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210304223.8 2012 年 8 月 23 日 (23.08.2012) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。
- (72) 发明人: 及
- (71) 申请人 (仅对美国): 钟汇才 (ZHONG, Huicai) [CN/US]; 美国加利福尼亚州圣荷西市威尔明顿大道 1089 号, California 95129 (US)。梁擎擎 (LIANG, Qingqing) [CN/US]; 美国纽约州拉格朗日镇瑞吉路 28 号, New York 12540 (US)。赵超 (ZHAO, Chao) [BE/BE]; 比利时凯瑟尔洛市普拉特洛斯特街 276 号, Kessel-lo B-3010 (BE)。罗军 (LUO, Jun) [CN/CN]; 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。
- (74) 代理人: 北京汉昊知识产权代理事务所 (普通合伙) (HANHOW INTELLECTUAL PROPERTY PARTNERS); 中国北京市东城区东长安街 1 号东方广场西 1 区 11 层 1111 室朱海波, Beijing 100738 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR,

[见续页]

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种半导体结构及其制造方法

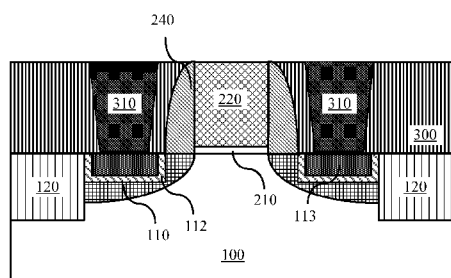


图 11 / Fig. 11

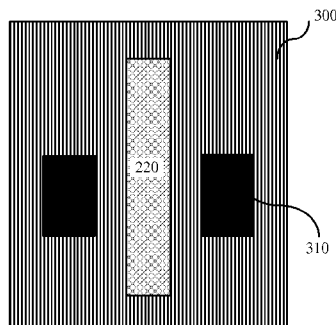


图 11(a) / Fig. 11 (a)

(57) Abstract: Provided are a semiconductor structure and a manufacturing method therefor. The method comprises the following steps: providing a substrate (100), forming a grating stack on the substrate (100) and forming source/drain regions (110) in the substrate (100); etching the source/drain regions (110), so as to form grooves (111); forming contact layers (112) on the surfaces of the etched source/drain regions (110); forming stress generation material layers (113) in the grooves (111); and depositing an interlayer dielectric layer (300) and forming a contact plug which is in contact with the stress generation material. The grooves (111) are formed by etching the source/drain regions (110), so as to increase the exposed regions of the source/drain regions (110); then the contact layers (112) are formed on the surfaces of the source/drain regions (110), and the grooves (111) are filled with the stress generation material; and stress is also introduced into a channel while effectively reducing the contact resistance between the source/drain regions (110) and the contact layers (112), so that the carrier mobility in the channel is improved, thereby improving the performance of the semiconductor structure.

(57) 摘要: 提供一种半导体结构及其制造方法, 该方法包括以下步骤: 提供一个衬底 (100), 在衬底 (100) 上形成栅堆叠, 并在衬底 (100) 之中形成源/漏区 (110); 刻蚀源/漏区 (110), 以形成沟槽 (111); 在刻蚀后的源/漏区 (110) 的表面上形成接触层 (112); 在沟槽 (111) 内形成应力产生材料层 (113); 沉积层间介质层 (300), 并形成与应力产生材料相接触的接触塞。通过刻蚀源/漏区 (110) 形成沟槽 (111), 以增加源/漏区 (110) 暴露的区域, 然后在源/漏区 (110) 的表面上形成接触层 (112), 并在沟槽 (111) 内填充应力产生材料, 在有效地减小了源/漏区 (110) 与接触层 (112) 之间接触电阻的同时, 还向沟道中引入了应力, 改善了沟道中的载流子的迁移率, 从而提高了半导体结构的性能。



CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

- (84) **指定国** (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,

AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

一种半导体结构及其制造方法

[0001] 本申请要求了 2012 年 8 月 23 日提交的、申请号为 201210304223.8、发明名称为“一种半导体结构及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

[0002] 本发明涉及半导体制造技术，尤其涉及一种半导体结构及其制造方法。

背景技术

[0003] 在现有技术中，常规半导体结构的制造方法如下(参考图 1，图 1 为现有技术中半导体结构的剖面示意图)：提供一个具有栅堆叠的衬底 100，所述栅堆叠包括栅介质层 210、金属栅极 220 以及侧墙 240；在衬底 100 上、栅堆叠两侧形成源/漏区 110；在所述源/漏区 110 的表面上形成接触层 111(如金属硅化物层)；沉积层间介质层 300 以覆盖所述源/漏区 110 以及栅堆叠；刻蚀所述层间介质层 300 至暴露所述源/漏区 110 以形成接触孔 310 或者接触沟 310(a)；在所述接触孔 310 或者接触沟 310(a) 内填充接触金属 310，形成孔状接触塞(参考图 1(a)，图 1(a)为根据图 1 示出的具有孔状接触塞的半导体结构的俯视示意图)或者沟状接触塞(参考图 1(b)，图 1(b)为根据图 1 示出的具有沟状接触塞的半导体结构的俯视示意图)。由于在接触塞与源/漏区 110 之间存在接触层 112，所以有利于减小源/漏区 110 的接触电阻。

[0004] 但是，现有技术仅仅是通过在源/漏区的表面上形成接触层以提高半导体结构的性能，而没有在此基础上进一步通过向沟道引入应力以调整和提高半导体器件的性能。

[0005] 因此，如何既可以减小源/漏区的接触电阻，又可以向沟道中引入应力，改善沟道中载流子的迁移率，从而进一步提高半导体结构的性能，

就成了亟待解决的问题。

发明内容

[0006] 本发明的目的是提供一种半导体结构及其制造方法，不但利于减小源/漏区与接触层之间的接触电阻，还可以提高沟道中的应力，以改善沟道中载流子的迁移率。

[0007] 根据本发明的一个方面，提供一种半导体结构的制造方法，该方法包括以下步骤：

a) 提供一个衬底，在所述衬底上形成栅堆叠，并在所述衬底之中形成源/漏区；

b) 刻蚀所述源/漏区，以形成沟槽；

c) 在刻蚀后的所述源/漏区的表面上形成接触层；

d) 在所述沟槽内形成应力产生材料层；

e) 沉积层间介质层，并形成与所述应力产生材料相接触的接触塞。

[0008] 本发明另一方面还提出一种半导体结构，包括衬底、栅堆叠、源/漏区、接触层、层间介质层以及接触塞，其中：

[0009] 所述栅堆叠形成于所述衬底之上；

[0010] 所述源/漏区形成于所述衬底之中、位于所述栅堆叠两侧；

[0011] 所述接触层位于所述源/漏区的表面上；

[0012] 所述层间介质层覆盖所述源/漏区以及栅堆叠；

[0013] 存在应力产生材料层，嵌于所述源/漏区之中，且形成于所述接触层之上；以及

[0014] 所述接触塞嵌于所述层间介质层内并与所述应力产生材料层电连接。

[0015] 与现有技术相比，本发明具有以下优点：

[0016] 通过刻蚀源/漏区形成沟槽，以增加所述源/漏区暴露的区域，然后在所述源/漏区的表面上形成接触层，并在所述沟槽内填充应力产生材料，在有效地减小了源/漏区与接触层之间接触电阻的同时，还向沟道中引入了应力，改善了沟道中载流子的迁移率，从而提高了半导体结构的性能。

附图说明

[0017] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述，本发明的其它特征、目的和优点将会变得更明显：

[0018] 图 1 为现有技术中半导体结构的剖面示意图；

5 [0019] 图 1(a)为根据图 1 示出的具有孔状接触塞的半导体结构的俯视示意图；

[0020] 图 1(b)为根据图 1 示出的具有沟状接触塞的半导体结构的俯视示意图；

[0021] 图 2 为根据本发明的半导体结构制造方法的流程图；

[0022] 图 3 至图 12 为根据本发明的一个实施例按照图 2 所示流程制造半导体结构的各个阶段的剖面示意图。

10 [0023] 图 3(a)至图 12(a)为根据图 3 至图 12 示出的半导体结构的各个阶段的俯视示意图。

[0024] 附图中相同或相似的附图标记代表相同或相似的部件。

具体实施方式

15 [0025] 下面详细描述本发明的实施例，所述实施例的示例在附图中示出，其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的，仅用于解释本发明，而不能解释为对本发明的限制。

[0026] 下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开，下文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且目的不在于限制本发明。此外，本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施例和/或设置之间的关系。此外，本发明提供了的各种特定的工艺和材料的例子，但是本领域普通技
25 术人员可以意识到其他工艺的可应用于性和/或其他材料的使用。另外，以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成为直接接触的实施例，也可以包括另外的特征形成在第一和第二特征之间的实施例，这样第一和第二特征可能不是直接接触。应当注意，在附图中所图示的部件不一定按比例绘制。本发明省略了对公知组件和

处理技术及工艺的描述以避免不必要地限制本发明。

[0027] 图 2 为根据本发明的半导体结构制造方法的流程图，图 3 至图 12 为根据本发明的一个实施例按照图 2 所示流程制造半导体结构的各个阶段的剖面示意图，图 3(a)至图 12(a)为根据图 3 至图 12 示出的半导体结构的各个阶段的俯视示意图。其中，图 3 至图 12 所示的半导体结构的剖面示意图与图 3(a)至图 12(a)所示的半导体结构的俯视示意图相结合，利于更加清晰地示出各个阶段的半导体结构。下面，将结合图 3 至图 12、以及图 3(a)至图 12(a)对图 2 中形成半导体结构的方法进行具体地描述。需要说明的是，本发明实施例的附图仅是为了示意的目的，因此没有必要按比例绘制。

[0028] 参考图 2、图 3 以及图 3(a)，在步骤 S101 中，首先提供一个衬底 100，在所述衬底 100 上形成栅堆叠，然后在衬底 100 中形成源/漏区 110。

[0029] 在本实施例中，衬底 100 包括硅衬底(例如晶片)。根据现有技术公知的设计要求(例如 P 型衬底或者 N 型衬底)，所述衬底 100 可以包括各种掺杂配置。在其他实施例中，衬底 100 可以包括其他基本半导体，例如锗。或者，衬底 100 可以包括化合物半导体，例如碳化硅、砷化镓、砷化铟或者磷化铟。或者，所述衬底 100 还可以为绝缘体上硅(SOI)。特别地，可以在衬底 100 中形成隔离区，例如浅沟槽隔离(STI)结构 120，以便电隔离连续的半导体结构。

[0030] 在形成源/漏区 110 之前，还需形成栅堆叠。所述栅堆叠形成于所述衬底 100 之上，其包括栅介质层 210 以及金属栅极 220。在形成所述栅堆叠时，首先在衬底 100 上形成所述栅介质层 210，所述栅介质层 210 的材料可以是氧化硅、氮化硅及其组合形成，也可以是高 K 介质，例如， HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 、 HfZrO 、 Al_2O_3 、 La_2O_3 、 ZrO_2 、 LaAlO 中的一种或其组合；而后，在所述栅介质层 210 上形成金属栅极 220，可以通过沉积 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、 RuTa_x 、 NiTa_x 中的一种或其组合来形成；特别地，可以通过沉积-刻蚀工艺在栅堆叠的侧壁上形成侧墙 240，用于将栅堆叠隔开。侧墙 240 可以由氮化硅、氧化硅、氮氧化硅、碳化硅、及其组合，和/或其他

合适的材料形成。侧墙 240 可以具有多层结构。在其他实施例中, 所述栅堆叠可以包括栅介质层以及伪栅极, 其中伪栅极可以通过沉积例如 Poly-Si、Poly-SiGe、非晶硅和/或氧化物而形成于所述栅介质层之上。在后续的替代栅工艺中, 伪栅极被去除, 然后形成金属栅极。

5 [0031] 接着, 源/漏区 110 可以通过向衬底 100 中注入 P 型或者 N 型掺杂物或杂质而形成, 例如, 对于 PMOS 来说, 源/漏区 110 可以是 P 型掺杂的 SiGe, 对于 NMOS 来说, 源/漏区 110 可以是 N 掺杂的 Si。源/漏区 110 可以由包括光刻、离子注入、扩散和/或其他合适工艺的方法形成。然后, 对所述半导体结构进行退火, 以激活源/漏区 110 中的掺杂, 退火可以采用包括快速退火、尖峰退火等其他合适的方法形成。在另一个实施例中, 10 源/漏区 110 可以是通过选择性生长所形成的提升的源/漏极结构, 其外延部分的顶部高于栅堆叠的底部(本文件内, 栅堆叠底部意指栅堆叠与衬底 100 的交界线)。

[0032] 参考图 2、图 4 以及图 4(a), 在步骤 S102 中, 刻蚀所述源/漏区 110, 15 以形成沟槽。具体地, 可以通过湿法刻蚀和/或干法刻蚀的方式, 刻蚀所述源/漏区 110 以形成具有底部以及侧壁的孔状沟槽 111。与未刻蚀前的所述源/漏区 110 相比, 刻蚀后的所述源/漏区 110 所暴露的区域更大, 从而可以增大后续工艺中所形成的接触层的面积, 有效地减小源/漏区 110 与接触层之间的接触电阻。湿法刻蚀工艺包括四甲基氢氧化铵(TMAH)、20 氢氧化钾(KOH)或者其他合适刻蚀的溶液; 干法刻蚀工艺包括六氟化硫(SF₆)、溴化氢(HBr)、碘化氢(HI)、氯、氩、氮及其组合, 和/或其他合适的材料。

[0033] 优选地, 还可以利用自组装嵌段共聚物在所述源/漏区 110 形成多条线状沟槽 111(a), 进一步增加所述源/漏区 110 的暴露区域, 参考图 5 25 以及图 5(a)。利用自组装嵌段共聚物在所述源/漏区 110 形成多条线状沟槽 111(a)的步骤如下: 首先在衬底 100 上形成自组装嵌段共聚物层, 所述嵌段共聚物层包括两种彼此不能融合的第一嵌段共聚物组分 A 和第二嵌段共聚物组分 B; 接着, 对半导体结构进行退火, 以实现第一嵌段共聚物组分 A 和第二嵌段共聚物组分 B 的微相隔离, 从而在所述衬底 100 上形

成具有多条线状结构的图案层作为硬掩膜；选择性地去除第一嵌段共聚物组分 A 或第二嵌段共聚物组分 B，未被去除的嵌段共聚物组分将构成周期性的多条凹凸图案；然后，以所述凹凸图案为掩膜选择性地刻蚀衬底 100，在所述源/漏区 110 内形成周期性的线状沟槽 111(a)；最后，去除作为掩膜的凹凸图案。其中，嵌段共聚物优选是具有 A-B 分子式的线性双嵌段共聚物，可以从聚苯乙烯-嵌段-聚甲基丙烯酸甲酯(PS-b-PMMA)、聚环氧乙烷-嵌段-聚异戊二烯(PEO-b-PI)、聚环氧乙烷-嵌段-聚丁二烯(PEO-b-PBD)、聚环氧乙烷-嵌段-聚苯乙烯(PEO-b-PS)、聚环氧乙烷-嵌段-聚甲基丙烯酸甲酯(PEO-b-PMMA)、聚环氧乙烷-嵌段-聚乙基乙烯(PEO-b-PEE)、聚苯乙烯-嵌段-聚乙基吡啶(PS-b-PVP)、聚苯乙烯-嵌段-聚异戊二烯(PS-b-PI)、聚苯乙烯-嵌段-聚丁二烯(PS-b-PBD)、聚苯乙烯-嵌段-聚茂铁二甲基硅烷(PS-b-PFS)、聚丁二烯-嵌段-聚乙基吡啶(PBD-b-PVP)和聚异戊二烯-嵌段-聚甲基丙烯酸甲酯(PI-b-PMMA)中进行选择。

[0034] 在其他实施例中，沟槽不限于上述孔状沟槽 111，以及周期性的线状沟槽 111(a)，还可以为其他任何适合的形状，比如，图 6 以及图 6(a)中随源/漏区的形状深度逐步递增的平行线状沟槽 111(b)。

[0035] 参考图 2、图 7 以及图 7(a)，在步骤 S103 中，在刻蚀后的所述源/漏区 110 的表面上形成接触层 112。其中，在本实施例中，衬底 100 为硅衬底，在刻蚀后的所述源/漏区 110 的表面上形成的接触层为金属硅化物层，下文中将以金属硅化物层来表示接触层。

[0036] 首先，沉积一层金属层覆盖具有孔状沟槽 111 的源/漏区 110 以及栅堆叠；接着对该半导体结构进行退火，使所述金属层与源/漏区 110 的硅发生反应；退火后在源/漏区 110 的表面上形成金属硅化物层 112；最后，通过选择性刻蚀的方式去除未参加反应形成金属硅化物层所残留的金属层。

[0037] 参考图 2、图 9 以及图 9(a)，在步骤 S104 中，在所述沟槽内形成应力产生材料层。具体地，为了仅仅在源/漏区 110 的沟槽内形成应力产生材料层，例如可以选择性原子层沉积(ALD)的方法来实现，在所述孔状沟槽 111 内形成应力产生材料层 113，所述应力产生材料层 113 位于所述

金属硅化物层 112 之上。所述应力产生材料层 113 的材料优选具有良好的导电性，例如能够产生应力的金属材料。其中，根据半导体结构类型的不同，形成不同的应力产生材料层。对于 P 型的半导体结构，所述应力产生材料层优选包括 Ta、Zr 中的一种或者其任意组合，既具有良好的导电性，又可以向源极和漏极之间的沟道施加压应力，提高沟道中空穴的迁移率；对于 N 型的半导体衬底，所述应力产生材料层优选包括 Zr、Cr、Al 中的一种或者其任意组合，既具有良好的导电性，又可以向源极与漏极之间的沟道施加拉应力，提高沟道中电子的迁移率。

[0038] 参考图 2、图 11 以及图 11(a)，在步骤 S105 中，沉积层间介质层 300，并形成接触塞。

[0039] 沉积层间介质层 300 以覆盖衬底 100 以及栅堆叠，其中，所述层间介质层 300 可以通过化学气相沉淀(CVD)、高密度等离子体 CVD、旋涂和/或其他合适的工艺等方法形成。所述层间介质层 300 的材料可以包括氧化硅(USG)、掺杂的氧化硅(如氟硅玻璃、硼硅玻璃、磷硅玻璃、硼磷硅玻璃)、低 k 电介质材料(如黑钻石、coral 等)中的一种或其组合。所述层间介质层 300 可以具有多层结构。

[0040] 接着，通过例如光刻、干法刻蚀或湿法刻蚀工艺，刻蚀所述层间介质层 300 至暴露应力产生材料层 113 以形成接触孔；然后，在所述接触孔中填充接触金属 310 形成接触塞，所述接触塞的底部与所述应力产生材料层 113 电连接，其中，所述接触金属可以是 W、Cu、TiAl、Al 等金属或合金。

[0041] 形成接触塞后，对所述接触塞进行化学机械研磨(CMP)平坦化处理，使接触塞的上表面与金属栅极 220 的上表面齐平(本文件内，术语“齐平”意指两者之间的高度差在工艺误差允许的范围内)。

[0042] 参考图 8、图 10、图 12 以及图 8(a)、图 10(a)、图 12(a)，对于刻蚀源/漏区 110 后形成多条线性沟槽 111(a)的半导体结构，采用与上述相同的方法在所述多条线性沟槽 111(a)的表面上形成金属硅化物层 112(a)，然后在所述多条线性沟槽 111(a)内形成应力产生材料层 113(a)，最后，沉积层间介质层 300，并形成接触塞，所述接触塞的底部与所述应力产生材

料层 113(a)电连接。具体形成过程在此不再赘述。

[0043] 随后按照常规半导体制造工艺的步骤完成该半导体结构的制造。

[0044] 在上述步骤完成后，金属硅化物层形成于刻蚀后源/漏区 110 的表面上，由于刻蚀后的所述源/漏区 110 的暴露区域大于刻蚀前的所述源/漏区 110 的暴露区域，所以可以有效地增加源/漏区 110 与金属硅化物层之间的接触面积，从而减小源/漏区 110 与金属硅化物层之间的接触电阻，提高该半导体结构的性能。此外，在刻蚀源/漏区 110 所形成的沟槽内填充应力产生材料，形成应力产生材料层，可以向源极与漏极之间的沟道施加拉应力或者压应力，提高沟道中载流子的迁移率，从而进一步改善该半导体结构的性能。

[0045] 参考图 11 以及图 11(a)，本发明还提供了一种半导体结构，该半导体结构包括衬底 100、栅堆叠、源/漏区 110、金属硅化物层 112、层间介质层 300 以及接触塞，其中：所述栅堆叠形成于所述衬底 100 之上，其包括栅介质层 210 和金属栅极 220；所述源/漏区 110 形成于所述衬底 100 之中、位于所述栅堆叠两侧；所述金属硅化物层 112 位于所述源/漏区 110 的表面上；所述层间介质层 300 覆盖所述源/漏区 110 以及栅堆叠；所述源/漏区 110 中形成孔状沟槽 111；存在应力产生材料层 113，嵌于所述源/漏区 110 中的孔状沟槽 111 内(参考图 7)，且形成于所述金属硅化物层 112 之上，其中，对于 P 型的半导体衬底，所述应力产生材料层 113 优选包括 Ta、Zr 中的一种或者其任意组合，既具有良好的导电性，又可以向源极和漏极之间的沟道施加压应力，提高沟道中空穴的迁移率；对于 N 型的半导体衬底，所述应力产生材料层 113 优选包括 Zr、Cr、Al 中的一种或者其任意组合，既具有良好的导电性，又可以向源极与漏极之间的沟道施加拉应力，提高沟道中电子的迁移率。所述接触塞包括嵌于所述层间介质层 300 内的接触金属 310，且所述接触塞底部与所述应力产生材料层 113 电连接。

[0046] 优选地，源/漏区 110 中的沟槽不限于孔状沟槽 111，还可以是多条线状沟槽 111(a)(参考图 8)，金属硅化物层 112(a)形成于所述多条线状沟槽 111(a)的表面上，应力产生材料层 113(a)嵌于所述多条线状沟槽 111(a)

内，参考图 12 以及图 12(a)。如图所示，与孔状沟槽 111 相比，所述多条线状沟槽 111(a)具有更大的表面积，从而进一步增大了源/漏区 110 与金属硅化物层 112(a)之间的接触面积，有效地减小了源/漏区 110 与金属硅化物层 112(a)之间的接触电阻，提高该半导体结构的性能。在其他实施例中，源/漏区 110 中的沟槽也可以为其他任何适合的形状。

[0047] 可选地，源/漏区 110 可以是通过选择性生长所形成的提升的源/漏极结构，其外延部分的顶部高于栅堆叠的底部。

[0048] 其中，对半导体结构各实施例中各部分的结构组成、材料及形成方法等均可与前述半导体结构形成方法实施例中描述的相同，不再赘述。

虽然关于示例实施例及其优点已经详细说明，应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下，可以对这些实施例进行各种变化、替换和修改。对于其他例子，本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时，工艺步骤的次序可以变化。

[0049] 此外，本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容，作为本领域的普通技术人员将容易地理解，对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤，其中它们执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果，依照本发明可以对它们进行应用。因此，本发明所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。

权 利 要 求

1. 一种半导体结构的制造方法，该方法包括以下步骤：

a) 提供一个衬底(100)，在所述衬底(100)上形成栅堆叠，并在所述衬底

(100) 之中形成源/漏区(110)；

b) 刻蚀所述源/漏区(110)，以形成沟槽；

c) 在刻蚀后的所述源/漏区(110)的表面上形成接触层(112)；

d) 在所述沟槽内形成应力产生材料层(113)；

e) 沉积层间介质层(300)，并形成与所述应力产生材料相接触的接触塞。

2. 根据权利要求1所述的制造方法，其中：

所述沟槽包括孔状沟槽(111)或者多条线状沟槽(111(a))。

3. 根据权利要求2所述的制造方法，其中：

通过自组装嵌段共聚物作为硬掩膜在所述源/漏区(110)之上形成多条线状图案层；

以所述图案层为掩膜刻蚀所述源/漏区(110)形成所述多条线状沟槽(111(a))。

4. 根据权利要求1所述的制造方法，其中：

通过选择性原子层沉积的方法在所述沟槽内形成所述应力产生材料层。

5. 根据权利要求1或4所述的制造方法，其中：

所述应力产生材料层包括在N型半导体衬底中采用的产生拉应力的导电材料或者在P型半导体衬底中采用的产生压应力的导电材料。

6. 根据权利要求5所述的制造方法，其中：

所述拉应力产生材料包括Zr、Cr、Al中的一种或者任意组合。

7. 根据权利要求5所述的制造方法，其中：

所述压应力产生材料包括Ta、Zr中的一种或者任意组合。

8. 根据权利要求1所述的制造方法，其中所述源/漏区(110)为提升的源/漏区。

9. 根据权利要求3所述的制造方法，其中自组装嵌段共聚物的材料选自

聚苯乙烯-嵌段-聚甲基丙烯酸甲酯(PS-b-PMMA)、聚环氧乙烷-嵌段-聚异戊二烯(PEO-b-PI)、聚环氧乙烷-嵌段-聚丁二烯(PEO-b-PBD)、聚环氧乙烷-嵌段-聚苯乙烯(PEO-b-PS)、聚环氧乙烷-嵌段-聚甲基丙烯酸甲酯(PEO-b-PMMA)、聚环氧乙烷-嵌段-聚乙烯(PEO-b-PEE)、聚苯乙烯-嵌段-聚乙烯基吡啶(PS-b-PVP)、聚苯乙烯-嵌段-聚异戊二烯(PS-b-PI)、聚苯乙烯-嵌段-聚丁二烯(PS-b-PBD)、聚苯乙烯-嵌段-聚茂铁二甲基硅烷(PS-b-PFS)、聚丁二烯-嵌段-聚乙烯基吡啶(PBD-b-PVP)和聚异戊二烯-嵌段-聚甲基丙烯酸甲酯(PI-b-PMMA)之一或其组合。

10. 一种半导体结构，该半导体结构包括衬底(100)、栅堆叠、源/漏区(110)、接触层(112)、层间介质层(300)以及接触塞，其中，所述栅堆叠形成于所述衬底(100)之上，所述源/漏区(110)形成于所述衬底(100)之中、位于所述栅堆叠两侧，所述接触层(112)位于所述源/漏区(110)的表面上，所述层间介质层(300)覆盖所述源/漏区(110)以及栅堆叠，其特征在于：

存在应力产生材料层(113)，嵌于所述源/漏区(110)之中，且形成于所述接触层(112)之上；以及所述接触塞嵌于所述层间介质层(300)内并与所述应力产生材料层电连接。

11. 根据权利要求10所述的半导体结构，其中：

所述应力产生材料层(310)嵌于所述源/漏区(110)中的沟槽内，所述沟槽包括孔状沟槽(111)或者多条线状沟槽(111(a))。

12. 根据权利要求10所述的半导体结构，其中：

所述应力产生材料层包括在N型半导体衬底中采用的产生拉应力的导电材料或者在P型半导体衬底中采用的产生压应力的导电材料。

13. 根据权利要求12所述的半导体结构，其中：

所述拉应力产生材料包括Zr、Cr、Al中的一种或者任意组合。

14. 根据权利要求12所述的半导体结构，其中：

所述压应力产生材料包括Ta、Zr中的一种或者任意组合。

15. 根据权利要求10所述的半导体结构，其中所述源/漏区(110)为提升的源/漏区。

附图

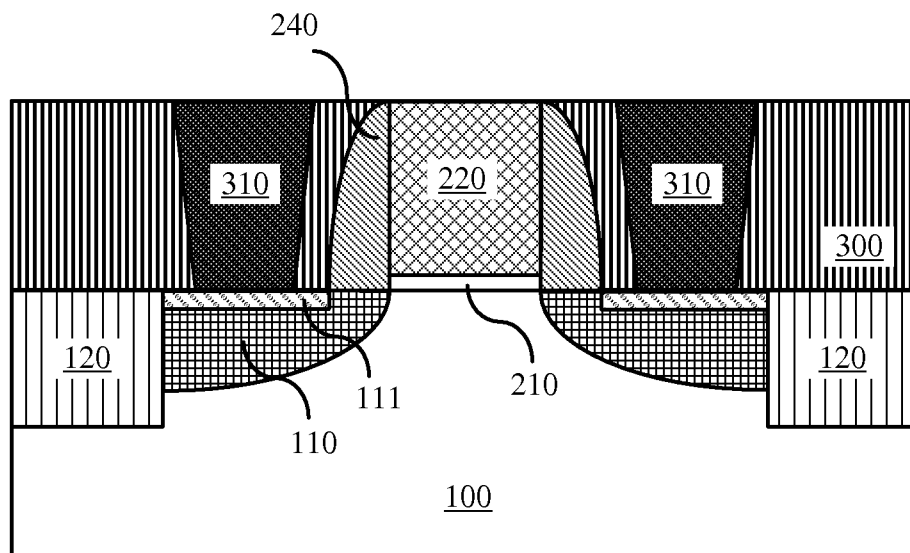


图 1

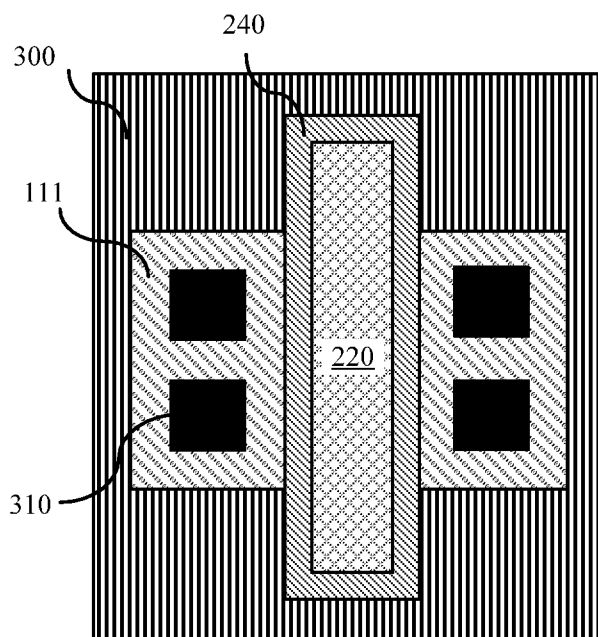


图 1(a)

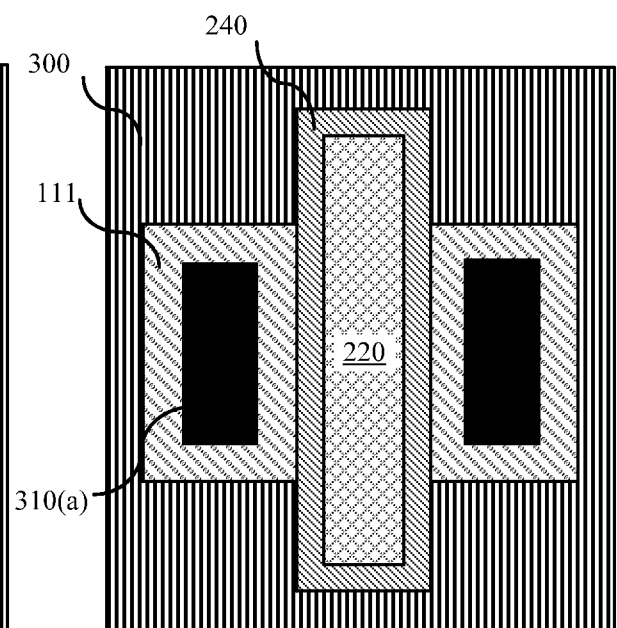


图 1(b)

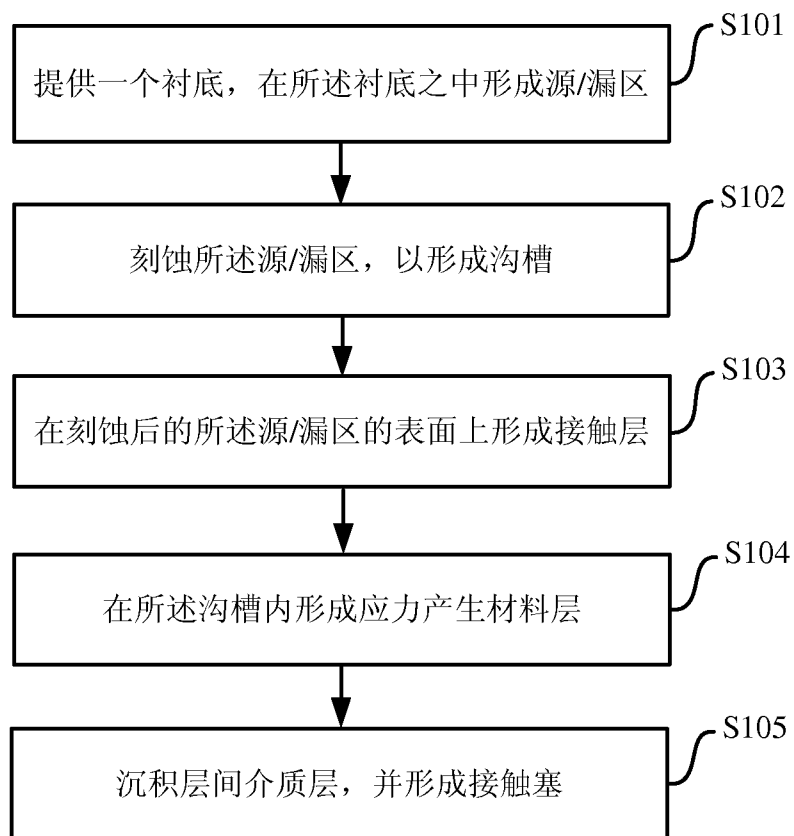


图 2

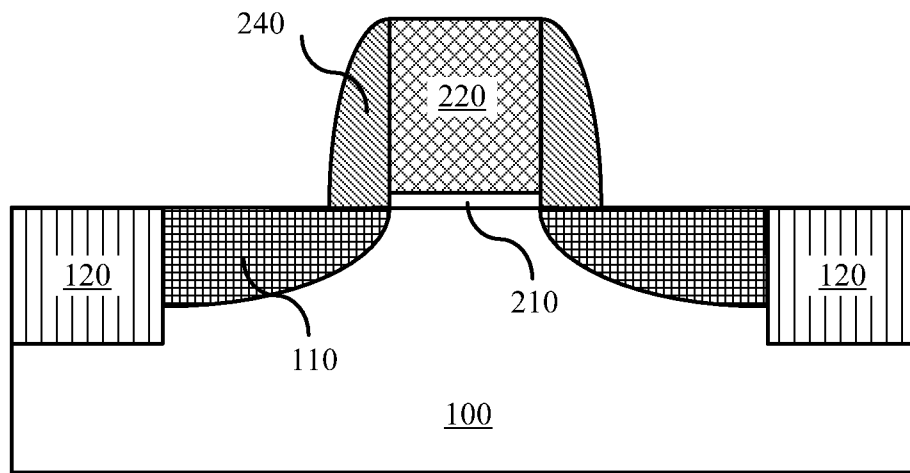


图 3

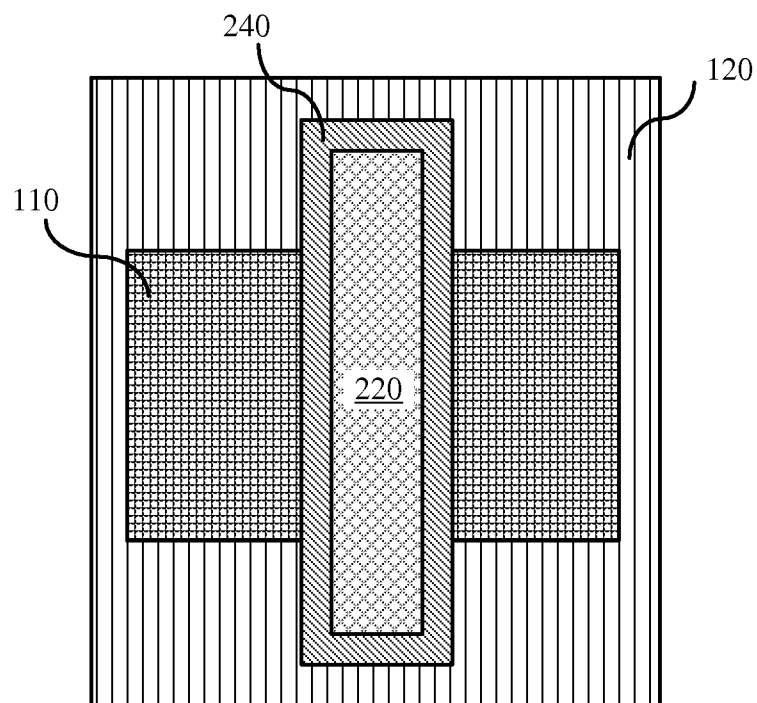


图 3(a)

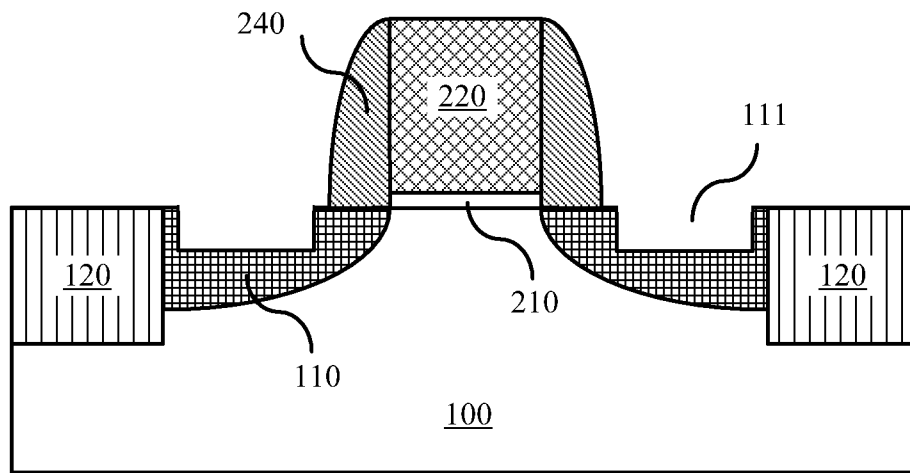


图 4

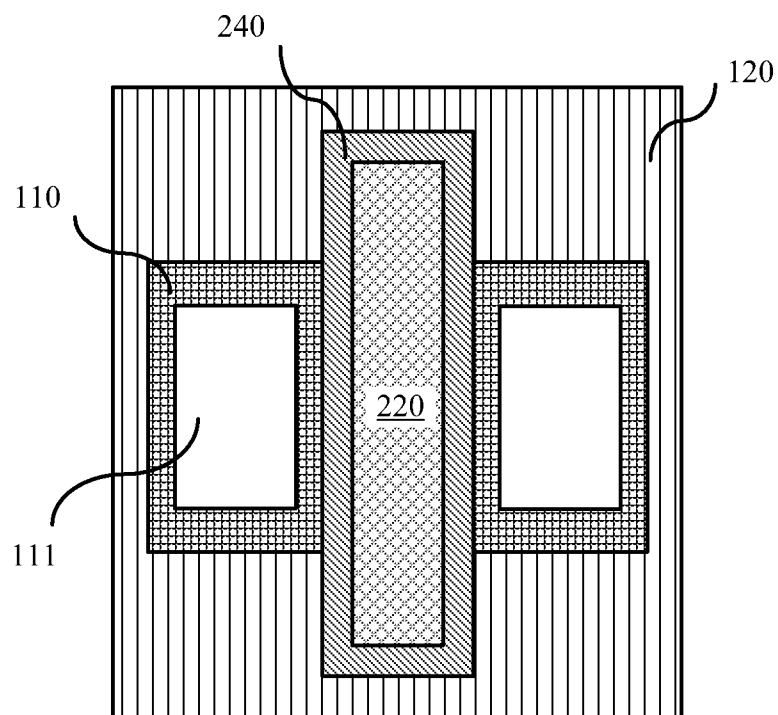


图 4(a)

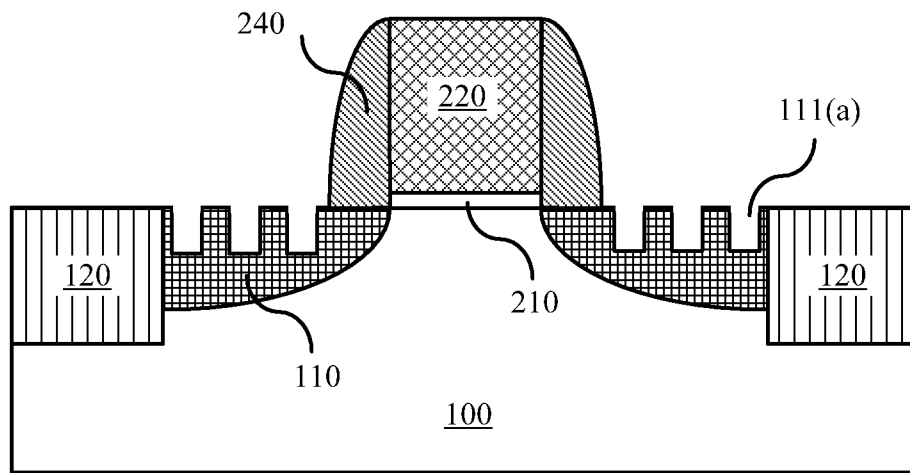


图 5

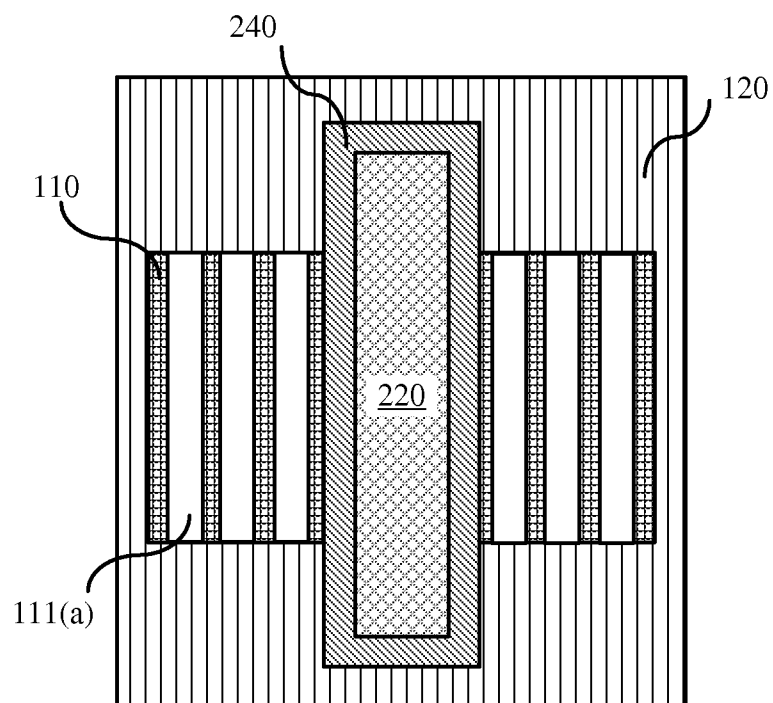


图 5(a)

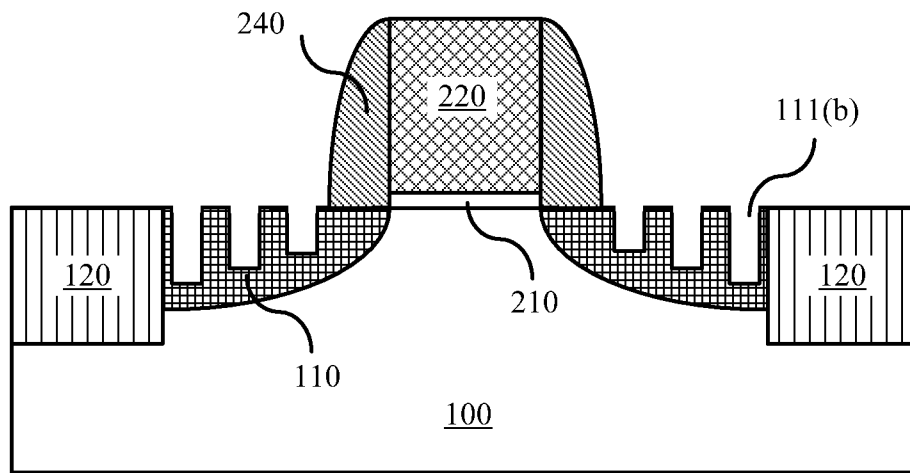


图 6

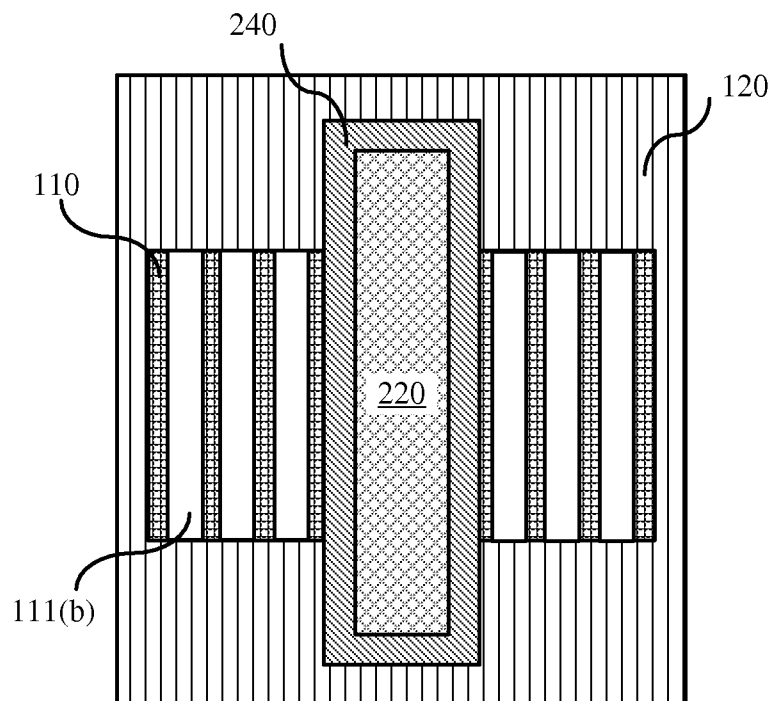


图 6(a)

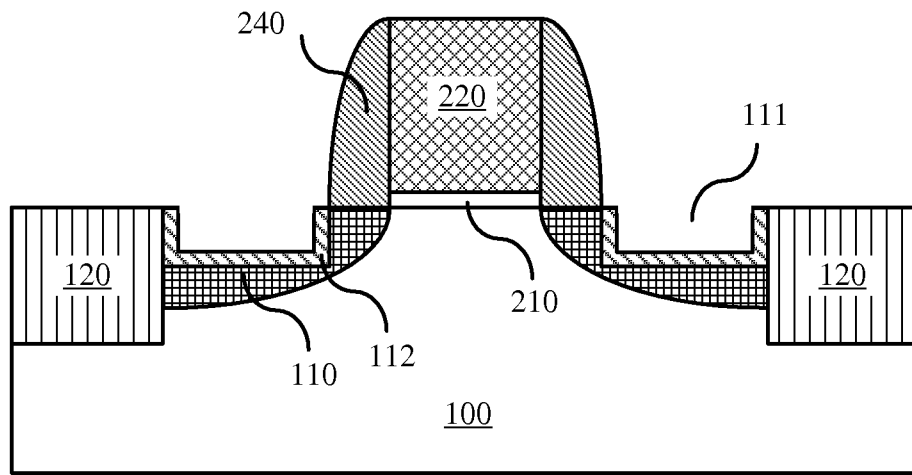


图 7

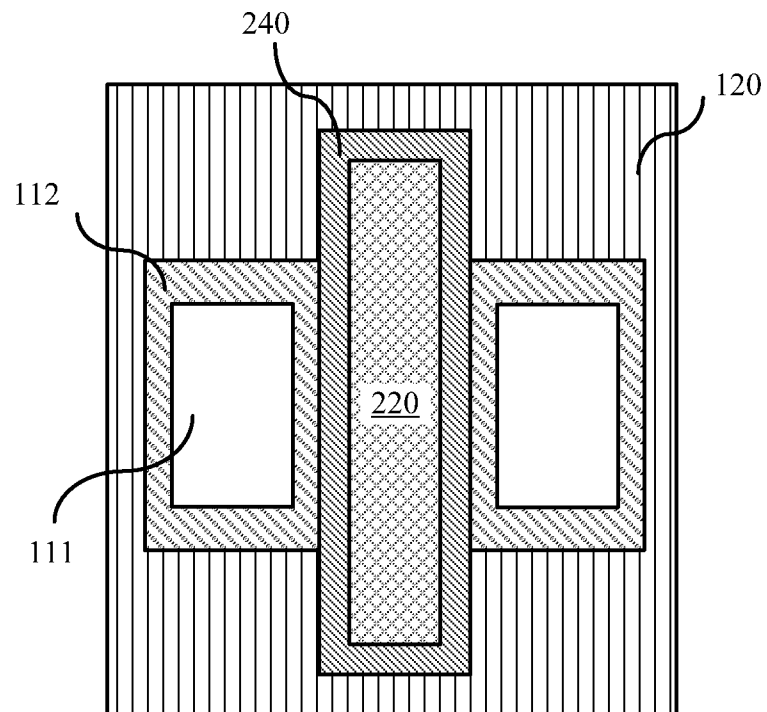


图 7(a)

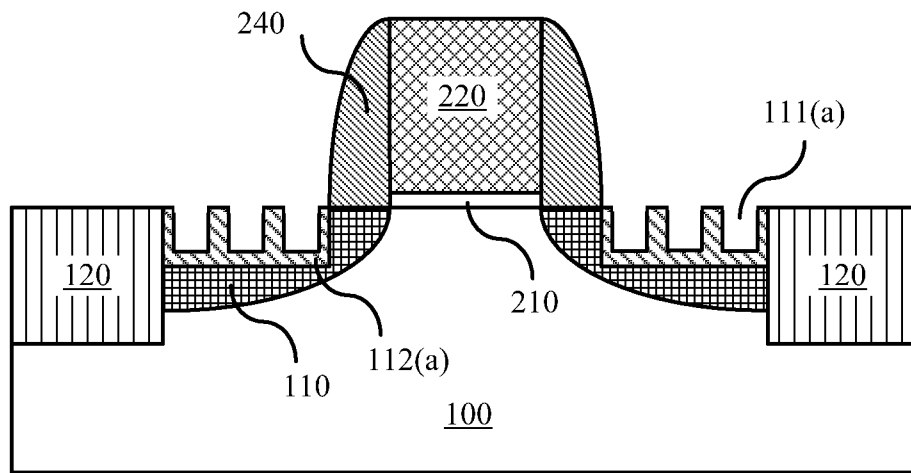


图 8

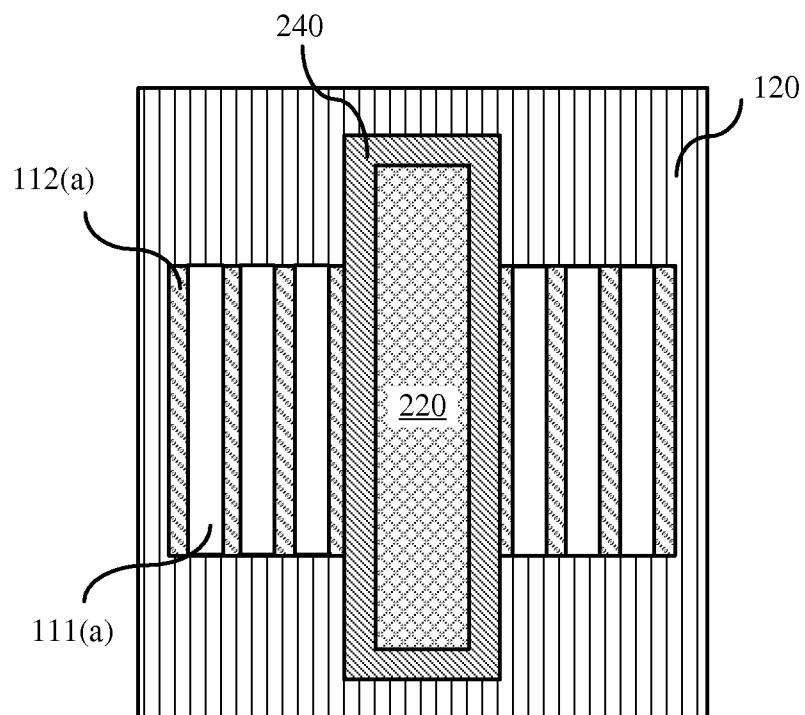


图 8(a)

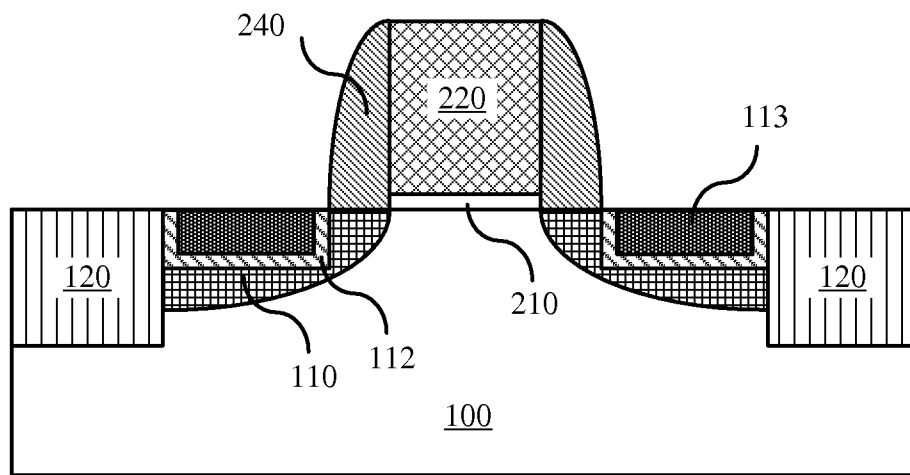


图 9

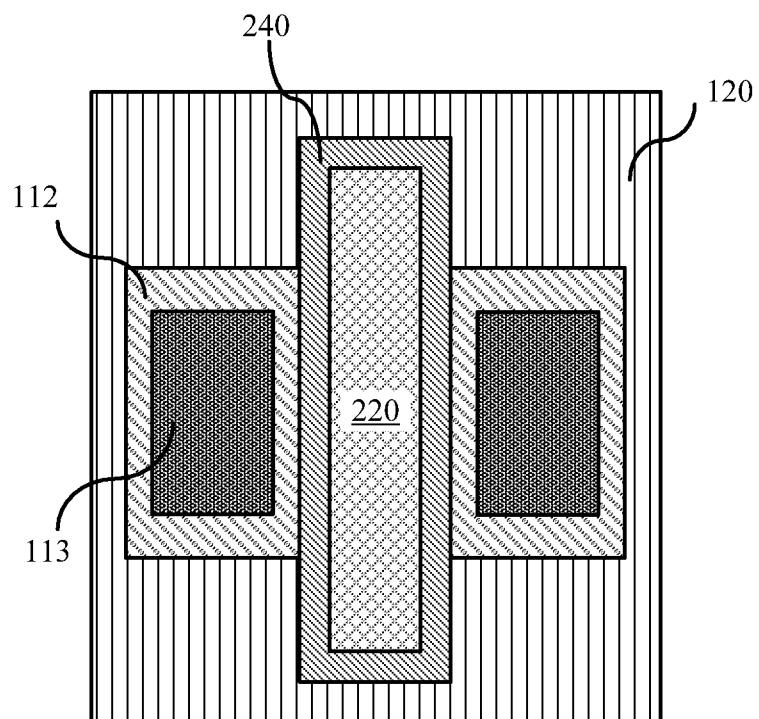


图 9(a)

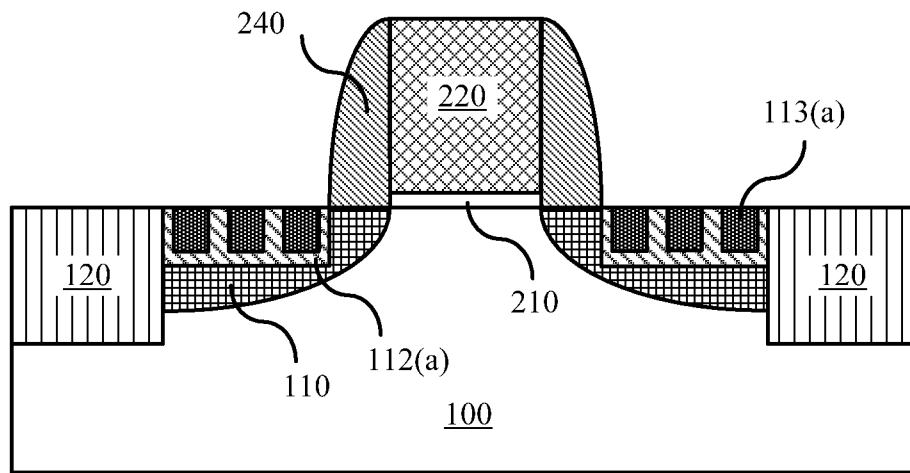


图 10

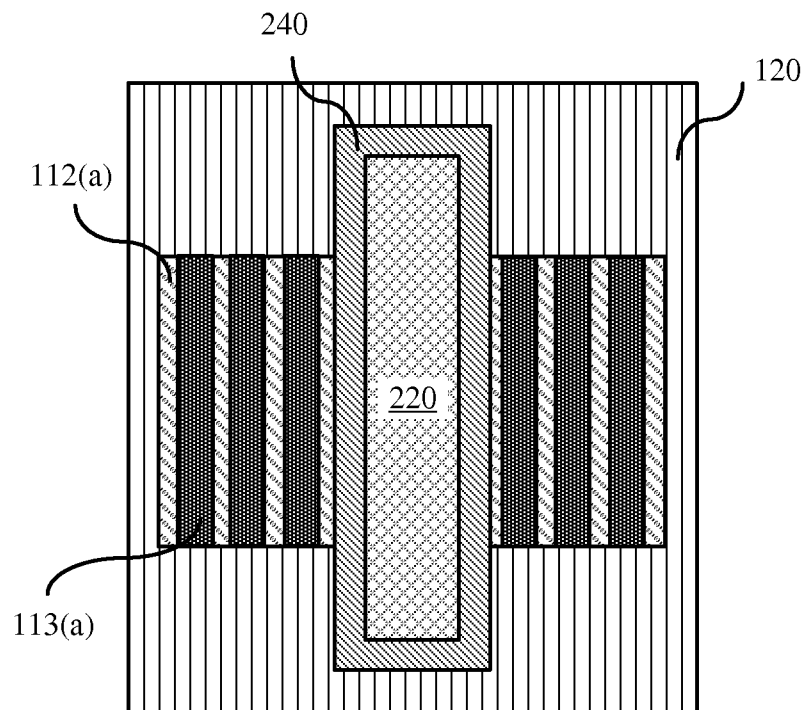


图 10(a)

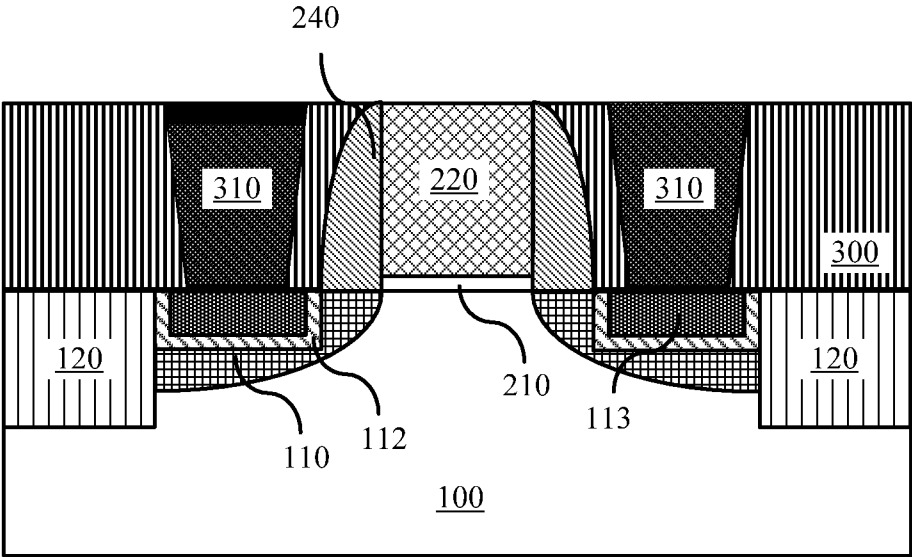


图 11

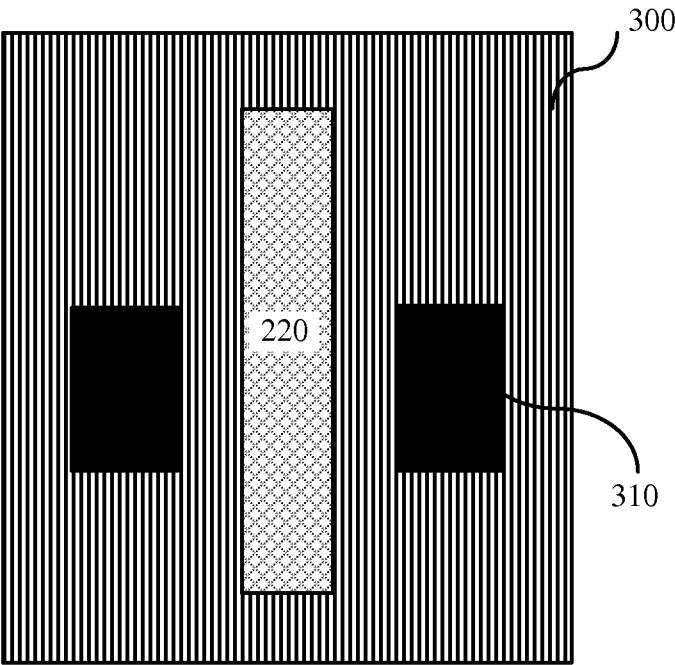


图 11(a)

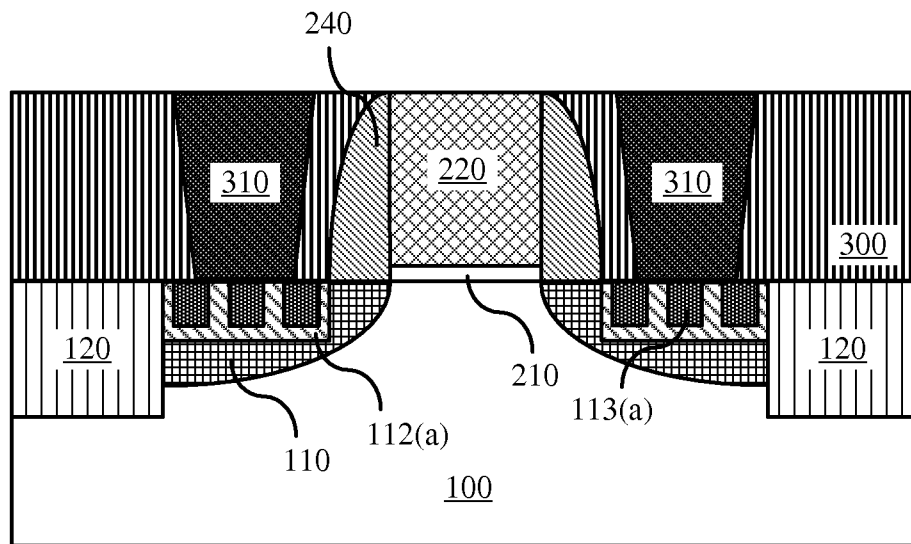


图 12

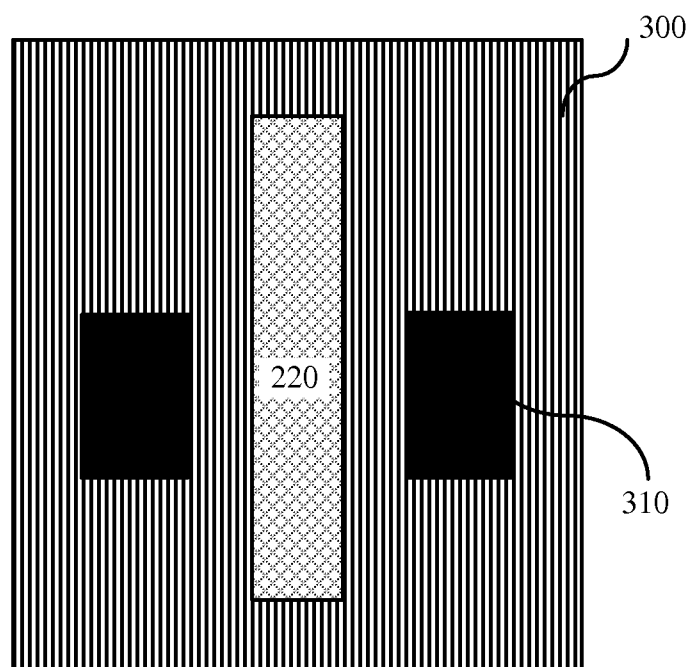


图 12 (a)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/081511

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-; H01L 29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRS, EPODOC, DWPI, CNKI: source region, drain region, pull, press, metal silicide, self assembly 5d copolymer, cr, ta, zr, source, drain, etch, etching, groove, trench, stress

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101849282 A (INTERNATIONAL BUSINESS MACHINE CORP.), 29 September 2010 (29.09.2010), description, paragraphs 0045-0094, and figures 1 and 5	1-5, 8-12, 15
Y		6, 7, 13, 14
Y	CN 1625315 A (LG ELECTRONICS INC.), 08 June 2005 (08.06.2005), description, page 5, line 6 to page 6, line 3, and figure 3	6, 13
Y	CN 1770423 A (TOSHIBA CORP.), 10 May 2006 (10.05.2006), description, page 5, line 6 to page 6, line 3	7, 14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 09 May 2013 (09.05.2013)	Date of mailing of the international search report 06 June 2013 (06.06.2013)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer XU, Xiaoling Telephone No.: (86-10) 62411900

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2012/081511

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101849282 A	29.09.2010	TW 200937506 A	01.09.2009
		US 8299455 B2	30.10.2012
		JP 2011501401 A	06.01.2011
		KR 20100068417 A	23.06.2010
		US 2012132966 A1	31.05.2012
		US 2012208332 A1	16.08.2012
		CN 101849282 B	02.05.2012
		WO 2009049963 A1	23.04.2009
CN 1625315 A	08.06.2005	US 2005116628 A1	02.06.2005
		EP 1538683 A2	08.06.2005
		KR 20050053204 A	08.06.2005
		CN 100428526 C	22.10.2008
		US 7348724 B2	25.03.2008
		JP 4129561 B2	06.08.2008
		DE 602004031323 E	24.03.2011
		KR 100565636 B1	30.03.2006
		JP 2005166671 A	23.06.2005
		EP 1538683 B1	09.02.2011
CN 1770423 A	10.05.2006	US 7314827 B2	01.01.2008
		US 2006068600 A1	30.03.2006
		JP 2006100698 A	13.04.2006

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/081511

CONTINUATION: CLASSIFICATION OF SUBJECT MATTER

H01L 21/335 (2006.01) i

H01L 21/308 (2006.01) i

H01L 29/78 (2006.01) i

国际检索报告

国际申请号

PCT/CN2012/081511

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 21/-; H01L 29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CPRS,EPODOC,DWPI,CNKI, 源区, 源极区, 漏区, 漏极区, 蚀刻, 刻蚀, 槽, 应力, 拉, 压, 金属硅化物, 自组装 5d 共聚物, cr , ta, zr,source,drain,etch,etching,groove,trench,stress

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN101849282A (国际商业机器公司) 29.9 月 2010 (29.09.2010) 说明书第 0045 段至第 0094 段, 图 1 至 5	1-5,8-12,15
Y		6,7,13,14
Y	CN1625315A (LG 电子有限公司) 08.6 月 2005 (08.06.2005) 说明书第 5 页第 6 行至第 6 页第 3 行, 图 3	6, 13
Y	CN1770423A (株式会社东芝) 10.5 月 2006 (10.05.2006) 说明书第 5 页第 6 行至第 6 页第 3 行	7,14



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

09.5 月 2013(09.05.2013)

国际检索报告邮寄日期

06.6 月 2013 (06.06.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

授权官员

徐小岭

电话号码: (86-10) **62411900**

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2012/081511

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101849282A	29.09.2010	TW200937506A	01.09.2009
		US8299455B2	30.10.2012
		JP2011501401A	06.01.2011
		KR20100068417A	23.06.2010
		US2012132966A1	31.05.2012
		US2012208332A1	16.08.2012
		CN101849282B	02.05.2012
CN1625315A	08.06.2005	WO2009049963A1	23.04.2009
		US2005116628A1	02.06.2005
		EP1538683A2	08.06.2005
		KR20050053204A	08.06.2005
		CN100428526C	22.10.2008
		US7348724B2	25.03.2008
		JP4129561B2	06.08.2008
		DE602004031323E	24.03.2011
		KR100565636B1	30.03.2006
		JP2005166671A	23.06.2005
CN1770423A	10.05.2006	EP1538683B1	09.02.2011
		US7314827B2	01.01.2008
		US2006068600A1	30.03.2006
		JP2006100698A	13.04.2006

续：主题的分类

H01L 21/335 (2006.01) i

H01L 21/308 (2006.01) i

H01L 29/78 (2006.01) i