

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-20846

(P2010-20846A)

(43) 公開日 平成22年1月28日(2010.1.28)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 3 4 C	5 B 1 2 5
	G 1 1 C 17/00 6 3 4 E	
	G 1 1 C 17/00 6 3 4 B	

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号	特願2008-180969 (P2008-180969)	(71) 出願人	000001889
(22) 出願日	平成20年7月11日 (2008. 7. 11)		三洋電機株式会社
			大阪府守口市京阪本通2丁目5番5号
		(71) 出願人	506227884
			三洋半導体株式会社
			群馬県邑楽郡大泉町坂田一丁目1番1号
		(74) 代理人	100107906
			弁理士 須藤 克彦
		(74) 代理人	100156041
			弁理士 鎌田 康秀
		(72) 発明者	丸山 純平
			群馬県邑楽郡大泉町坂田一丁目1番1号
			三洋半導体株式会社内

最終頁に続く

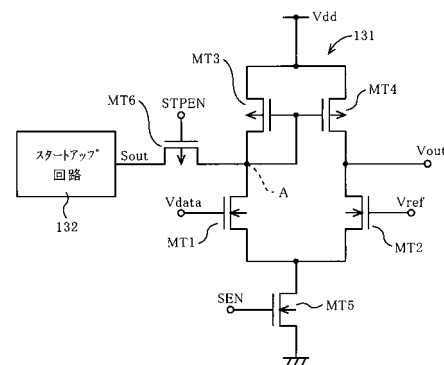
(54) 【発明の名称】 半導体記憶装置の読み出し回路

(57) 【要約】

【課題】半導体記憶装置の読み出し回路において、読み出し動作を高速化する。

【解決手段】センスアンプ131の接続ノードAの電圧を所定電圧に初期設定するためのスタートアップ回路132を設けた。スタートアップ回路132の出力端子と接続ノードAの間には、Pチャネル型MOSトランジスタからなる転送ゲートMT6が挿入されている。転送ゲートMT6のオンオフは、そのゲートに印加されたスタートアップ・イネーブル信号STPENによって制御される。すなわち、転送ゲートMT6は、スタートアップ・イネーブル信号STPENがロウのときにオンし、スタートアップ回路132の出力電圧Soutを接続ノードAに転送する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

メモリセルからのデータ電圧がゲートに印加された第 1 のトランジスタと、リファレンス電圧がゲートに印加された第 2 のトランジスタと、前記第 1 のトランジスタに直列に接続され、ゲートが前記第 1 のトランジスタとの接続ノードに接続された第 3 のトランジスタと、前記第 2 のトランジスタに直列に接続され、ゲートが前記第 3 のトランジスタのゲートに接続された第 4 のトランジスタと、を備え、前記データ電圧と前記リファレンス電圧との差を増幅して出力するセンスアンプと、

前記接続ノードの電圧を所定電圧に初期設定するスタートアップ回路と、

前記スタートアップ回路により前記接続ノードの電圧を所定電圧に設定した後に、前記センスアンプを活性化させる制御スイッチと、を備えることを特徴とする半導体記憶装置の読み出し回路。

10

【請求項 2】

前記スタートアップ回路は、電源電圧と接地の間に直列接続されたダイオードと抵抗素子を備え、前記ダイオードと抵抗素子の接続ノードから前記所定電圧を出力することを特徴とする請求項 1 に記載の半導体記憶装置の読み出し回路。

【請求項 3】

前記スタートアップ回路は、電源電圧と接地の間に直列接続されたダイオードと抵抗素子と、

第 1 の端子と第 2 の端子を有し、前記第 1 の端子が接地されたキャパシタと、

20

前記キャパシタの第 2 の端子に接続され、ダイオードと抵抗素子の接続ノードの電圧に応じて、前記キャパシタの前記第 2 の端子の電圧が前記所定電圧になるまで前記キャパシタを充電し、充電が完了した時にオフするスイッチング素子と、を備えることを特徴とする請求項 1 に記載の半導体記憶装置の読み出し回路。

【請求項 4】

前記スタートアップ回路は複数のセンスアンプに共通に設けられていることを特徴とする請求項 3 に記載の半導体記憶装置の読み出し回路。

【発明の詳細な説明】**【技術分野】****【0001】**

30

本発明は、半導体記憶装置の読み出し回路に関する。

【背景技術】**【0002】**

近年、電氣的にプログラム及び消去可能な不揮発性メモリ（EEPROM; Electrically Erasable Read Only Memory）は、携帯電話やデジタルスチルカメラなどの電子機器に広く用いられている。EEPROMは、フローティングゲートを有するメモリセルを備える。そして、フローティングゲートに電荷が蓄積されているか否かで 2 値またはそれ以上のデータをメモリセルに記録し、フローティングゲートの電荷の有無によるソース領域とドレイン領域との間の導通の変化によって、メモリセルからデータを読み出す。

【0003】

40

EEPROMに設けられた読み出し回路は、ある一定の電圧に安定させたりファレンス電圧と、メモリセルに流れるセル電流（読み出し電流）から作られるデータ電圧とを比較することで、データ「0」、「1」の判定を行う。

【0004】

この種のEEPROMは特許文献 1 ～ 6 に記載されている。

【特許文献 1】米国特許第 5 0 2 9 1 3 0 号

【特許文献 2】米国特許第 5 0 4 5 4 8 8 号

【特許文献 3】米国特許 5 0 6 7 1 0 8 号

【特許文献 4】特開平 1 1 - 2 7 4 3 2 9 号公報

【特許文献 5】特開 2 0 0 5 - 1 5 9 3 3 6 号公報

50

【特許文献 6】特開 2 0 0 0 - 1 7 3 2 7 8 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

EEPROMにおいては、上述のような差動型のセンスアンプを用いた読み出し回路が設けられる。しかし、不活性時に電圧が不定状態になるノードを有するセンスアンプにおいては、初期状態において前記ノードの電圧がノイズの影響等により変動することになる。そうすると、このような初期状態におけるノード電圧のばらつきにより、センスアンプが活性化してから読み出しが可能になるまでの時間に差が現れる。即ち、初期状態におけるノード電圧のばらつきによってデータの読み出し時間に差が生じてしまう。

10

【 0 0 0 6 】

このような場合、想定される最も遅い読み出し時間（読み出し時間のワースト値）を基準に規格を定めなければならず、読み出しの高速化の観点から問題がある。

【課題を解決するための手段】

【 0 0 0 7 】

そこで、本発明の半導体記憶装置の読み出し回路は、メモリセルからのデータ電圧がゲートに印加された第 1 のトランジスタと、リファレンス電圧がゲートに印加された第 2 のトランジスタと、前記第 1 のトランジスタに直列に接続され、ゲートが前記第 1 のトランジスタとの接続ノードに接続された第 3 のトランジスタと、前記第 2 のトランジスタに直列に接続され、ゲートが前記第 3 のトランジスタのゲートに接続された第 4 のトランジスタと、を備え、前記データ電圧と前記リファレンス電圧との差を増幅して出力するセンスアンプと、前記接続ノードの電圧を所定電圧に初期設定するスタートアップ回路と、前記スタートアップ回路により前記接続ノードの電圧を所定電圧に設定した後に、前記センスアンプを活性化させる制御スイッチと、を備えることを特徴とする。

20

【発明の効果】

【 0 0 0 8 】

本発明の半導体記憶装置の読み出し回路によれば、スタートアップ回路により、不活性時に電圧が不定状態になるノードを所定電圧に初期設定しているので、センスアンプが活性化してから読み出しが可能になるまでの時間のばらつきを無くすることができる。また、スタートアップ回路により設定される所定電圧を調節することにより、読み出し時間を最適値に近づけることも可能になる。

30

【発明を実施するための最良の形態】

【 0 0 0 9 】

本発明の実施形態について図面を参照しながら説明する。

（EEPROMの全体の構成）

図 1 は、半導体記憶装置の回路ブロック図である。図示のように、メモリアレイ領域 1 0 において、複数のビット線 $B L 0 \sim B L n$ が Y 方向に延びており、Y 方向と直交する X 方向に、複数のワード線 $W L 0 \sim W L m$ 、複数のソース線 $S L 0 \sim S L m$ が延びている。複数のビット線 $B L 0 \sim B L n$ と複数のワード線 $W L 0 \sim W L m$ の各交差点に対応して、複数のメモリセル $M C$ が設けられている。

40

【 0 0 1 0 】

また、メモリアレイ領域 1 0 に隣接して、カラムアドレス信号に基づいて複数のビット線 $B L 0 \sim B L n$ の中から 1 つを選択するカラムデコーダ 1 1 と、ロウアドレス信号に基づいて複数のワード線 $W L 0 \sim W L m$ の中から 1 つを選択するロウデコーダ 1 2 が設けられている。

【 0 0 1 1 】

そして、カラムデコーダ 1 1 によって選択されたビット線に現れるメモリセル $M C$ からのデータを読み出す読み出し回路 1 3 が設けられている。読み出し回路 1 3 は、安定したリファレンス電圧 V_{ref} と、メモリセル $M C$ に流れるセル電流（読み出し電流）から作られるデータ電圧とを比較することで、データ「0」、「1」の判定を行う。尚、図示は省

50

略するが、カラムデコーダ 11 によって選択されたビット線を介して、データの書き込みを行う書き込み回路も設けられている。また、メモリセルの書き込み、読み出し、消去の各シーケンスを制御する制御回路も設けられている。

【0012】

（メモリセルの構成）

メモリセル MC の具体的な構成例について、図 2 を参照して説明する。このメモリセル MC は、スプリットゲート型であり、半導体基板 101 上に所定間隔を隔てて形成されたドレイン領域 113 及びソース領域 114 の間にチャネル領域 115 が形成されている。チャネル領域 115 の一部上からソース領域 114 の一部上にゲート絶縁膜 105 を介して延在するフローティングゲート 109 が形成され、該フローティングゲート 109 の上部及び側部を、トンネル絶縁膜 110 を介して被覆し、かつドレイン領域 113 の一部上に延在したコントロールゲート 112 が形成されている。

10

【0013】

ドレイン領域 113 は対応するビット線 BL に接続され、コントロールゲート 112 は対応するワード線 WL に接続され、ソース領域 114 は対応するソース線 SL に接続されている。

【0014】

以下に、スプリットゲート型のメモリセル MC の動作を述べる。先ず、データを書き込むときには、コントロールゲート 112 とソース領域 114 に高電圧を（例えばコントロールゲート 112 に 2V、ソース領域 114 に 12V）印加し、チャネル領域 115 に電流を流すことによりフローティングゲート 109 に熱電子を注入して蓄積させる。

20

【0015】

また、データを消去するときには、ドレイン領域 113 及びソース領域 114 を接地して、コントロールゲート 112 に高電圧（例えば 15V）を印加することにより、フローティングゲート 109 に蓄積されている電子をファウラー・ノルドハイムトンネル電流（Fowler-Nordheim tunneling current、以下 FN トンネル電流と言う）としてコントロールゲート 112 へ引き抜く。フローティングゲート 109 の上部には突起部 109a が形成されているので、ここに電界が集中し、より低電圧で FN トンネル電流を流すことができる。

【0016】

また、メモリセル MC に記憶されたデータを読み出す時は、コントロールゲート 112 及びドレイン領域 113 に所定の電圧（例えば、コントロールゲート 112 に 3V、ドレイン 113 に 1V）を印加する。すると、フローティングゲート 109 に蓄積された電子の電荷量に応じて、ソース・ドレイン間にセル電流 I_c が流れる。データ「0」が書き込まれている場合にはメモリセル MC のしきい値は高くなるので、セル電流 I_c は小さくなり、データ「1」が書き込まれている場合にはメモリセル MC のしきい値は低くなるので、セル電流 I_c は大きくなる。

30

【0017】

セル電流 I_c は、プリアンプ等によりデータ電圧 V_{data} に変換される。読み出し回路 13 は、そのデータ電圧 V_{data} と、リファレンス電圧 V_{ref} と比較することによって、メモリセル MC に記憶されたデータが「0」か、「1」かを判定することになる。

40

【0018】

（読み出し回路の構成）

次に、本願の特徴である、読み出し回路 13 の具体的な構成例について、図 3 乃至図 5 を参照して説明する。この読み出し回路 13 は、センスアンプ 131、スタートアップ回路 132、スタートアップ回路 132 の出力電圧をセンスアンプ 131 に転送する転送ゲート MT6 を備えている。

【0019】

センスアンプ 131 は、メモリセル MC からのデータ電圧 V_{data} がゲートに印加された、N チャネル型の第 1 の MOS トランジスタ MT1 と、リファレンス電圧 V_{ref} がゲートに印加された、N チャネル型の第 2 の MOS トランジスタ MT2 と、第 1 の MOS トラン

50

ジスタMT1に直列に接続され、ゲートが第1のMOSトランジスタMT1との接続ノードAに接続された、Pチャネル型の第3のMOSトランジスタMT3と、第2のMOSトランジスタMT2に直列に接続され、ゲートが第3のMOSトランジスタMT3のゲートに接続された、Pチャネル型の第4のMOSトランジスタと、を備える。

【0020】

MT3とMT4はカレントミラーを形成している。MT3とMT4のソースには電源電圧V_{dd}が印加されている。MT1とMT2のソースは、Nチャネル型の第5のMOSトランジスタMT5のドレインに接続されている。MT5のゲートには、センスイネーブル信号SENが印加され、そのソースは接地されている。

【0021】

センスアンプ131は、センスイネーブル信号SENがハイの時、MT5がオンすることにより活性化され、データ電圧V_{data}とリファレンス電圧V_{ref}の差電圧を増幅する。増幅された出力電圧V_{out}は、MT2とMT3の接続ノードから得られる。

【0022】

センスアンプ131は、センスイネーブル信号SENがロウの時にはMT5がオフすることにより不活性になる。つまり、センスアンプ131は動作しない。スタートアップ回路132を設けない場合は、前記接続ノードAはフローティング状態になる。そして、前記接続ノードAの電圧は以下の不等式(1)で表される範囲の値をとり得ることになる。前記接続ノードAの電圧が、不等式(1)で表される範囲の中で実際にどのような値になるかは不確定であり、接続ノードAに乗るノイズ等の影響に依存している。

$$V_{dd} - V_{tp} < V_A < V_{dd} + V_F \quad \cdots (1)$$

ここで、V_{tp}は、MT3のしきい値、V_FはMT3のドレインと半導体基板で形成されるダイオードの順方向電圧であり、約0.6Vである。

【0023】

不等式(1)は、図4を参照して以下のように導かれる。図4は、第3のMOSトランジスタMT3の断面図であり、N型半導体基板100の表面に、P+型のドレインD、P+型のソースSが形成され、さらにゲート酸化膜を介してゲートが形成されている。N型半導体基板100には、電源電圧V_{dd}が印加されている。ドレインDは接続ノードAに電氣的に接続されている。いま、ドレインDの電圧がV_{dd}+V_Fより高くなると、MT3のドレインDとN型半導体基板100で形成されるダイオード101がオンする。すると、ドレインDの電圧は低下していき、(V_{dd}+V_F)になるとダイオード101はオフする。一方、ドレインDの電圧が(V_{dd}-V_{tp})より低くなるとMT3がオンする。すると、ドレインDの電圧は上昇していき、(V_{dd}-V_{tp})になると、MT3はオフする。

【0024】

したがって、センスアンプ131の初期状態(センスイネーブル信号SENがロウの時)において、接続ノードAの電圧にばらつきが生じている。この初期状態から、センスイネーブル信号SENをハイに立ち上げてセンスアンプ131を活性化させる。つまり、データの読み出し動作を開始する。すると、接続ノードAの電圧にばらつきによって、接続ノードAの電圧が安定するまでの時間にばらつきが生じてしまう。

【0025】

そこで、本実施形態においては、接続ノードAの電圧を所定電圧に初期設定するためのスタートアップ回路132を設けた。スタートアップ回路132の出力端子と接続ノードAの間には、Pチャネル型MOSトランジスタからなる転送ゲートMT6を挿入している。転送ゲートMT6のオンオフは、そのゲートに印加されたスタートアップ・イネーブル信号STPENによって制御される。すなわち、転送ゲートMT6は、スタートアップ・イネーブル信号STPENがロウのときにオンし、スタートアップ回路132の出力電圧S_{out}を接続ノードAに転送する。

【0026】

読み出し回路131の動作について図5を参照して説明する。まず、時刻t₁において、スタートアップ・イネーブル信号STPENをハイからロウに変化させる。すると、転

10

20

30

40

50

送ゲートMT6がオンし、スタートアップ回路132の出力電圧 S_{out} がセンスアンプ131に転送され、接続ノードAの電圧が出力電圧 S_{out} に初期設定される。その後、スタートアップ・イネーブル信号STEPENをロウからハイに変化させ、転送ゲートMT6をオフさせ、時刻 t_2 において、センスイネーブル信号SENをロウからハイに変化させる。すると、第5のMOSトランジスタMT5がオンし、センスアンプ131のセンス動作が開始する。時刻 t_2 においては、メモリセルMCからのデータ電圧 V_{data} は確定しているものとする。その後、活性化されたセンスアンプ131は、データ電圧 V_{data} とリファレンス電圧 V_{ref} の差電圧を増幅する。このセンス動作により、接続ノードAの電圧は、ある値に安定化し、センスアンプ131の出力電圧 V_{out} が確定する。

【0027】

10

このように、スタートアップ回路132により、不活性時に電圧が不定状態になる接続ノードAを所定電圧(=出力電圧 S_{out})に初期設定しているため、センスアンプ131が活性化してから読み出しが可能になるまでの時間のばらつきを無くすることができる。また、スタートアップ回路132により設定される所定電圧を調節することにより、読み出し時間を最適値に近づけることも可能になる。

【0028】

尚、センスアンプ131は、MT1、MT2によって差動トランジスタペアを形成したN型の差動アンプであるが、MT1～MT5のトランジスタの導電型を逆にして、P型の差動アンプを形成しても良い。この場合、MT5のソースに電源電圧 V_{dd} が供給され、MT3、MT4のソースが接地されることになる。さらに、センスアンプ131は、初期状態において、電圧が不確定のノードを有するものであれば、他のタイプであっても良く、本発明を適用して同様の効果を得ることができる。また、転送ゲートMT6は、Nチャネル型のMOSトランジスタ、あるいは、CMOSのトランスファゲートで形成することもできる。

20

【0029】

(スタートアップ回路の構成)

スタートアップ回路132の第1の構成例について、図6を参照して説明する。図示のように、Pチャネル型の第7のMOSトランジスタMT7と抵抗素子R1が直列に接続されている。MT7のゲートは、MT7とR1の接続ノードに接続される。つまり、MT7はダイオード接続されており、ダイオードとして働く。MT7のソースには電源電圧 V_{dd} が印加され、抵抗素子R1の一方の端子は接地されている。MT7とR1の接続ノードが出力端子となる。MT7とR1には、電流 i が定常的に流れる。

30

【0030】

出力端子には、出力キャパシタ C_{out} が接続されるが、この出力キャパシタ C_{out} は、次段のMT6、センスアンプ131が有する寄生容量である。いま、抵抗素子R1が十分大きな抵抗値を持っているとすると、出力端子から出力される出力電圧 S_{out} は、 $(V_{dd} - V_{tp})$ という値になる。出力電圧 S_{out} は、MT7の個数によって調節することができる。例えば、2個のMT7を直列接続すると、出力電圧 S_{out} は、 $(V_{dd} - 2V_{tp})$ という値になる。このスタートアップ回路132は、少ない素子数で形成することができるが、消費電流の低減と高速動作を両立させることができない。つまり、消費電流を低減するために、抵抗素子R1の抵抗値を大きくすると、出力キャパシタ C_{out} を充電する能力が低下してしまう。逆に、駆動能力を高めるために抵抗素子R1の抵抗値を小さくすると、消費電流が増加してしまう。

40

【0031】

そこで、スタートアップ回路132の第2の構成例を図7に示す。このスタートアップ回路132は2段構成になっており、消費電流の低減と、高速動作の両立させることができる。1段目において、Pチャネル型の第8、第9のMOSトランジスタMT8、MT9が直列接続され、さらにこれにNチャネル型の第10のMOSトランジスタMT10が直列に接続されている。第10のMOSトランジスタMT10のゲートには電源電圧 V_{dd} が印加されている。MT8、MT9のゲートとドレインは、それぞれ共通接続されている。つま

50

り、MT 8、MT 9はダイオードとして働き、MT 10は抵抗素子として働く。MT 10のチャンネル長を長くすることにより、MT 10に高抵抗値を持たせる。すると、MT 9とMT 10の接続ノードから、 $(V_{dd} - 2V_{tp})$ という電圧が得られる。

【0032】

2段目において、Pチャネル型の第11のMOSトランジスタMT 11とPチャネル型の第12のMOSトランジスタMT 12が直列接続され、MT 11のソースに電圧 V_{dd} が印加され、MT 12のドレインは接地されている。MT 11のゲートには接地電圧が印加される。つまり、MT 11は抵抗素子として働く。このMT 11も高抵抗値を持っている。そして、MT 12のゲートに1段目からの電圧 $(V_{dd} - 2V_{tp})$ が印加されている。

【0033】

MT 11とMT 12の接続ノードが出力端子である。出力端子には、出力キャパシタ C_{out} が接続されるが、この出力キャパシタ C_{out} は、次段のMT 6、センスアンプ131が有する寄生容量である。MT 12は低いオン抵抗を有している。このスタートアップ回路132によれば、出力キャパシタ C_{out} の端子電圧、出力電圧 S_{out} が $(V_{dd} - V_{tp})$ に到達するまで、出力キャパシタ C_{out} は高速に充電され、充電された後は、MT 12はオフする。出力電圧 S_{out} は、 $(V_{dd} - V_{tp})$ に安定化する。したがって、消費電流の低減と、高速動作の両立させることができる。尚、出力電圧 S_{out} は、1段目の直列接続されるMOSトランジスタの個数によって調節することができる。

【0034】

このような図7のスタートアップ回路132は、出力キャパシタ C_{out} の容量値が大きい場合に有効である。このスタートアップ回路132は、特に、図8に示すように、1つのスタートアップ回路132が複数のセンスアンプ131-1～131-kに共通に設けられている場合に有効である。これは、複数のセンスアンプ131-1～131-kに付随する寄生容量が大きくなるため、スタートアップ回路132の出力キャパシタ C_{out} の容量値が大きくなるからである。この場合、複数のセンスアンプ131-1～131-kは、メモリアレイ領域10から同時に読み出される複数のビットデータに対応している。そして、複数のセンスアンプ131-1～131-kから出力電圧 $V_{out1} \sim V_{outk}$ が得られる。

【図面の簡単な説明】

【0035】

【図1】半導体記憶装置の回路ブロック図である。

【図2】スプリットゲート型のメモリセルを示す断面図である。

【図3】本発明の実施形態による半導体記憶装置の読み出し回路の回路図である。

【図4】MOSトランジスタの断面図である。

【図5】本発明の実施形態による半導体記憶装置の読み出し回路の動作を説明する図である。

【図6】スタートアップ回路の第1の構成例を示す回路図である。

【図7】スタートアップ回路の第2の構成例を示す回路図である。

【図8】スタートアップ回路とセンスアンプの関係を示す図である。

【符号の説明】

【0036】

10	メモリアレイ領域	11	ロウデコーダ	12	カラムデコーダ
13	読み出し回路				
BL0～BL5	ビット線	WL0～WL3	ワード線	SL0～SL3	ソース線
101	半導体基板	105	ゲート絶縁膜		
109	フローティングゲート	109a	突起部	110	トンネル絶縁膜
112	コントロールゲート	113	ドレイン領域	114	ソース領域
115	チャンネル領域				

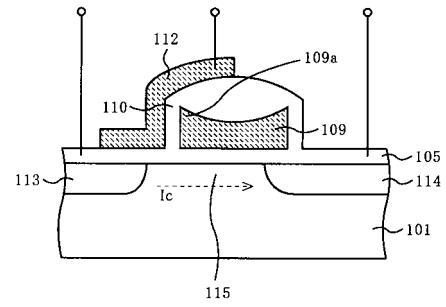
10

20

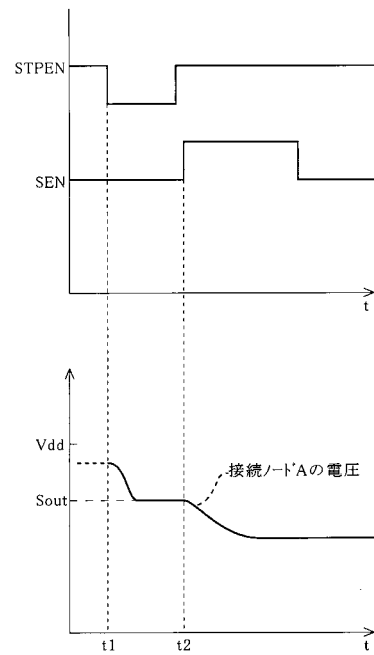
30

40

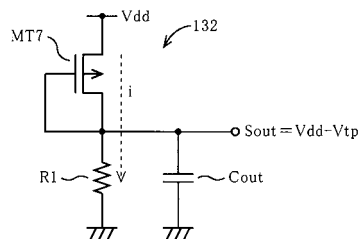
【 図 2 】



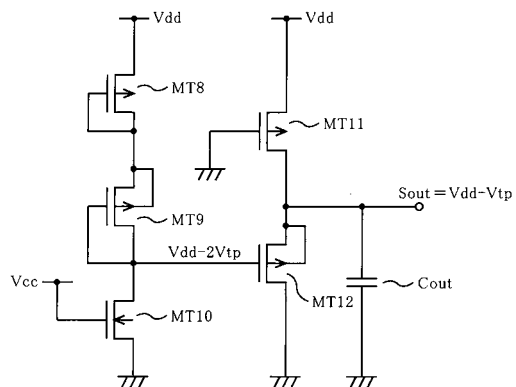
【 図 5 】



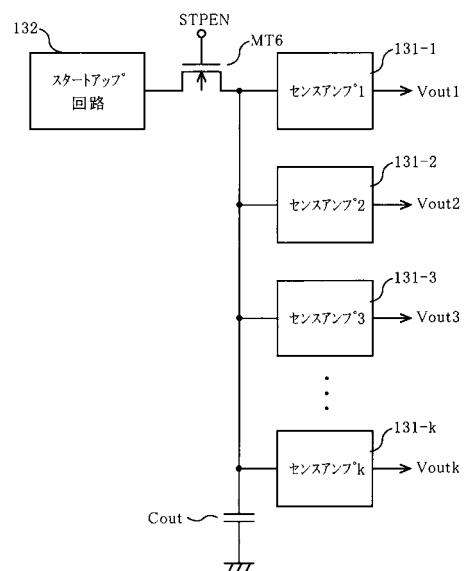
【図 6】



【図 7】



【図 8】



フロントページの続き

(72)発明者 吉川 定男

群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内

Fターム(参考) 5B125 BA03 CA01 EA01 EE03 EE05 EE06 EE12 EG14 FA02