

公告本

申請日期	88.6.25
案號	88110698
類別	HOLL 21/62 29/41

A4
C4

473882

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置
	英 文	半導體裝置
二、發明人 姓名	姓 名	1.神代 岩道 2.菊池 榮 3.布川 康弘 4.近藤 靜雄 5.安達 徹朗 6.加賀谷 修 7.關根 健治 8.長谷 英一 9.山下 喜布
	國 籍	均日本
三、申請人	住、居所	1.日本國長野縣小諸市加增1061-7 2.日本國長野縣南佐久郡八千穗村大字八郡1506 3.日本國群馬縣高崎市貝澤町92-11 4.日本國群馬縣高崎市倉賀野町4598-8 5.日本國長野縣小縣郡東部町滋野乙62-16 6.日本國東京都世田谷區上祖師谷5-21-14-115 7.日本國東京都西多摩郡日之出町平井2196-19 8.日本國埼玉縣入間市下藤澤1084-1-A703 9.日本國神奈川縣津久井郡城山町町屋4-21-9
	代 表 人 姓 名	1.日商日立製作所股份有限公司 2.日商日立東部半導體股份有限公司 均日本 1.日本國東京都千代田區神田駿河台四丁目6番地 2.日本國埼玉縣入間郡毛呂山町大字旭台15番地 1.庄山 悦彦 2.小木曾 夏樹

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權

日本 1998年7月6日 特願平10-190809 有 無主張優先權

日本 1999年2月19日 特願平11-041045 有 無主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明()¹

發明之背景

本發明係關於一種半導體裝置，尤其是關於一種適用於多級式放大電路構成之半導體裝置的有效技術。

作為半導體裝置，有組裝於 PDC(Personal Digital Cellular：個人數位細胞)方式之汽車電話及行動電話、或 PHS(Personal Handyphone System：個人手機系統)方式之行動電話等的攜帶式通訊機器內的高頻功率放大器(高頻功率模組)。此高頻功率放大器，係為連接多級複數個放大裝置的多級式放大電路構成。

前述高頻功率放大器，係將其一主面上形成有放大裝置之半導體晶片搭載於配線基板之一主面側，且利用導電性之金屬線電氣連接形成於半導體晶片之一主面上的電極和形成於配線基板之一主面上的電極。放大裝置，係為電氣連接例如複數個場效電晶體之各個的構成，而放大裝置之間極端子(輸入部)係與形成於半導體晶片之一主面上的晶片側輸入用電極電氣連接，而放大裝置之汲極端子(輸出部)係與形成於半導體晶片之一主面上的晶片側輸出用電極電氣連接。晶片側輸入用電極係配置於半導體晶片之一邊側，而晶片側輸出用電極係配置於與半導體晶片之一邊相對的另一邊側。放大裝置之源極端子係與形成於與半導體晶片之一主面相對之另一面(背面)的背面電極電氣連接，而此背面電極係將其電位固定於基準電位。晶片側輸入用電極，係形成與半導體晶片之一邊相對且介以輸入用金屬線和形成於配線基板之一主面上的基板側輸入用電極電氣

五、發明說明(2)

連接，而晶片側輸出用電極，係形成與半導體晶片之另一邊相對且介以輸出用金屬線與形成於配線基板之一主面上的基板側輸出用電極電氣連接。

然而，在前述高頻功率放大器中，爲了謀求小型化及低價格化，雖完成在一個半導體晶片上形成複數個放大裝置的嘗試，但是例如，在一個半導體晶片上形成二個放大裝置時，由於前級之放大裝置和後級之放大裝置的輸入輸出爲相反，所以輸入用金屬線和輸出用金屬線很接近，而有因此金屬線間之互感作用而使高頻特性惡化的問題。此問題，在流動之功率差較大的前級輸入用金屬線和後級之輸出用金屬線之間尤爲顯著。

因此，用以防止因金屬線間之互感作用而使高頻特性惡化的技術，例如已記載於日本專利特開平9-260412號公報中。此技術，係在晶片側輸入用電極和晶片側輸出用電極之間形成晶片側搭接用電極，而在基板側輸入用電極和基板側輸出用電極之間形成基板側搭接用電極，並利用金屬線電氣連接於此搭接用電極間，且將晶片側搭接用電極或基板側搭接用電極之電位固定在基準電位，藉以防止因輸入用金屬線和輸出用金屬線之互感作用而使高頻特性惡化。

又，使用電晶體之高頻功率放大器模組一種係PDC(Personal Digital Cellular：個人數位細胞)方式、GSM(Global System for mobile communications：移動通訊全球系統)方式等的移動體通信之行動電話的關鍵元件，近年來

(請先閱讀背面之注意事項再填本頁)

裝 · 訂 · 線

五、發明說明()

其需求已急速發展著。又，其規格，相對於移動體通訊係除了高頻特性之外，還被要求小型化及低價格化。

響應此要求之一個方法係記載於日本專利特許公報第2755250號(特開平9-260412號)中。如圖21之平面圖及圖22之斜視圖所示，藉由在一個半導體晶片1000上接近配置二個電晶體2000、3000，就可使之小型化及低價格化。又，初級電晶體2000之搭接用輸入電極2000b和配線基板之搭接用電極7000d係利用輸入搭接金屬線9000d予以連接。第二級電晶體3000之搭接用輸出電極3000c和配件基板6000之搭接用電極7000a係利用輸出搭接金屬線9000a予以連接。半導體晶片1000上之搭接用電極10000a和配線基板6000上之搭接用電極12000a係利用遮蔽用搭接金屬線13000a予以連接。遮蔽(shield)用搭接金屬線13000a係設在輸入搭接金屬線9000d和輸出搭接金屬線9000a之間，且其兩端之搭接用電極10000a和12000a係經由各自形成於半導體晶片1000及配線基板上的連絡窗(Via Hole(未圖示))而高頻接地。藉由設置此遮蔽用搭接金屬線13000a，就可減低因輸入搭接金屬線9000d和輸出搭接金屬線9000a之間的互感結合而可改善高頻輸出入端子間的隔離(isolation)惡化，且可提高高頻波特性。

輸入搭接金屬線9000d和輸出搭接金屬線9000a之間之互感耦合的問題，係因初級電晶體2000和第二級電晶體3000相反並設在輸出入之位置上，所以會發生兩者接近的結果。此問題在初級電晶體2000之輸入搭接金屬線9000d和

(請先閱讀背面之注意事項再為本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明()

第二級電晶體3000之輸出搭接金屬線9000a之間尤為顯著。此與輸入於初級電晶體2000內之高頻信號功率相較，係以由第二級電晶體3000輸出之高頻信號功率較大20dB~30dB(100~1000倍)，且依從輸出至輸入之正反饋之動作情形而定。另一方面，初級電晶體2000之輸出搭接金屬線9000c和第二級電晶體3000之輸入搭接金屬線9000b雖也接近，但是流至兩者的高頻信號功率之比會小於0dB(1倍)以下，故不會發生高頻特性惡化的問題。

另外，在圖21、圖22中，2000a、3000a係電晶體的本體部分，2000d、3000d係電晶體的源極電極，2000c係初級電晶體2000的搭接用輸出電極，3000b係第二級電晶體3000的搭接用輸入電極，4000係接地電極、7000b、7000c係配線基板6000的搭接用電極，8000a~8000d係引線電極，104為鑄孔(cavity)。

發明之概述

然而，本發明人等在檢討前述技術後的結果，發現以下問題點。

基板側搭接用電極，係配置於基板側輸入用電極和基板側輸出用電極之間。亦即，基板側輸入用電極、基板側搭接用電極、基板側輸出用電極之各個，係沿著半導體晶片之一邊而配置在一直線上。

基板側電極，由於一般係依網狀印刷法形成，所以其佔有面積會大於依光蝕刻技術所形成的晶片側電極之佔有面積。又，為了縮短傳輸路徑而可在基板側電極之正下方形

(請先閱讀背面之注意事項再為本頁)

裝 · 訂 · 線

五、發明說明()

成貫穿孔。此貫穿孔配線之平面方向的面積(外形尺寸)由於爲了謀求低電阻化而必須做某種程度加大，所以其基板側電極之佔有面積會變大。更且，由於貫穿孔之加工精度本身也低，所以其基板側電極之佔有面積會變大。因而，在將基板側輸入用電極、基板側搭接用電極、基板側輸出用電極之各個沿著半導體晶片之一邊而配置在一直線上時，該等的電極排列就會變長，且晶片側輸入用電極和基板側輸入用電極會變成不相對，同時晶片側輸出用電極和基板側輸出用電極也會變成不相對，所以輸入用金屬線及輸出用金屬線之長度會變長。當輸入用金屬線及輸出用金屬線之長度變長時，由於電感會增加，高頻特性會惡化，所以就必須加寬前級放大裝置和後級放大裝置之間隔來縮短金屬線長度，而半導體晶片之佔有面積會增加，而成爲阻礙高頻功率放大器之小型化的主要因素。

又，利用圖15說明上述習知技術之遮蔽用搭接金屬線13000a之效果。圖15係相對於長度1mm(接近實物的長度)之平行的二條輸出入搭接金屬線之搭接部的間隔d，而算出放大器之輸出入搭接金屬線間的耦合係數(互感(單位：nH))者。在此，表示耦合係數0.12之部位的虛線，係顯示當耦合係數爲0.12以下時放大器會穩定動作的情形。此所謂0.12的值，係從顯示耦合係數和放大器之穩定係數之關係的圖16中求出。穩定係數爲1以上放大器就會穩定動作。在此，搭接部之間隔d，係以最接近之二個搭接金屬線之搭接部之中心間的距離來加以定義。

(請先閱讀背面之注意事項再爲本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明()⁶

如圖15所示，在施行所謂設置遮蔽用搭接金屬線之對策的上述習知技術之情況，與非此對策之情況(圖中，表示為「無對策」)相較，耦合係數會變小，而高頻特性會提高。又，耦合係數為0.12以下之搭接部之間隔d的範圍會擴大，而設計之自由度會增大。再者，由於可將搭接部之間隔d縮小至0.55 mm，所以可縮小晶片面積，且可使模組小型化及減低成本。

但是，在現實上，由於係在遮蔽用搭接金屬線13000a之兩端串聯增加連絡窗的電感，所以在上述習知技術中無法獲得充分的高頻特性提高。

本發明之目的係在於提供一種可謀求半導體裝置之小型化的技術。

本發明之目的係在於提供一種可提高高頻特性的高頻功率放大器模組。

本發明之前述目的及其他目的與新特徵，依本說明書之記載及附圖應可更加明白。

若要簡單說明本發明中所揭示之發明中代表性的概要，則可如下所述。

一種半導體裝置，其具有：半導體晶片，其平面係以方形狀所形成；配線基板，於其一主面側搭載有前述半導體晶片；第一電極，形成於前述半導體晶片之一主面的第一區域上，且配置在前述半導體晶片之一邊側上；第一放大裝置，形成於前述半導體晶片之一主面的第一區域上，且其輸入部與前述第一電極電氣連接；第二電極，形成於前

(請先閱讀背面之注意事項再為本頁)

裝 · 訂 · 線

五、發明說明(7)

述半導體晶片之一主面的第二區域上，且配置在前述半導體晶片之一邊側上；第二放大裝置，形成於前述半導體晶片之一主面的第二區域上，且其輸出部與前述第二電極電氣連接；第三電極，形成於前述半導體晶片之一主面之第一區域和第二區域之間的第三區域上；第四電極，設置成與前述半導體晶片之一邊相對而形成於前述配線基板之一主面上，且介以第一金屬線與前述第一電極電氣連接；第五電極，設置成與前述半導體晶片之一邊相對而形成於前述配線基板之一主面上，且介以第二金屬線與前述第二電極電氣連接；以及第六電極，設置成與前述半導體晶片之一邊相對而形成於前述配線基板之一主面上，且介以其電位被固定在基準電位的第三金屬線與前述第三電極電氣連接，其中前述第六電極，係配置在比前述第五電極還遠離前述半導體晶片之一邊的位置上。前述第四電極，係配置在自前述半導體晶片之一邊起之距離大致與前述第五電極相同的位置上，或是配置在比前述第六電極還遠離前述半導體晶片之一邊的位置上。

若依據上述之手段，則由於可縮小相當於第六電極之佔有面積的部分，即縮小第四電極和第五電極之間隔，所以可縮小半導體晶片之第一區域和第二區域之間隔。結果，由於可縮小半導體晶片之佔有面積，所以可謀求半導體裝置之小型化。

又，上述目的，藉由下述之手段設計高頻功率放大器模組即可達成。即，在以電介質材料為基體之配線基板上設

(請先閱讀背面之注意事項再填本頁)

裝 · 訂 · 線

五、發明說明(8)

置半導體晶片的高頻功率放大器模組中，在半導體晶片上，設置二級以上的放大級電晶體；對該等放大級電晶體輸入高頻功率用的搭接用輸入電極；以及從該等放大級電晶體以輸出高頻功率用的搭接用輸出電極，而將第一輔助線和第二輔助線所成的角度設在 $72\sim 180$ 度之範圍內，且將搭接用輸入電極和搭接用輸出電極之搭接部的間隔設在 0.3 mm 以下 0.8 mm 以下之範圍內，其中第一輔助線係用以連結輸入搭接金屬線之兩端的搭接部彼此之間，而輸入搭接金屬線係用以連接對應於某一個放大級電晶體之搭接用輸入電極和配線基板者，又，第二輔助線係用以連結輸出搭接金屬線之兩端的搭接部(其中心部)彼此之間，而輸出搭接金屬線係用以連接對應於位在該第一放大級電晶體之次級的放大級電晶體之搭接用輸出電極和配線基板者。

在此，無關於所謂 0.3 mm 以下 0.8 mm 以下之搭接部間隔的條件，只要在上述二個放大級電晶體之穩定係數成爲1以上的方式下設計高頻功率放大器模組的話即可達成目的。

圖式之簡單說明

圖1顯示本發明之實施形態1之高頻功率放大器之外觀構成的斜視圖。

圖2爲前述高頻功率放大器的等效電路圖。

圖3爲與圖2所示之一點鏈線所包圍之部分相對應的配線基板之主要部位平面圖。

五、發明說明(9)

圖4為圖3之主要部位斜視圖。

圖5為圖3之主要部位擴大平面圖。

圖6為組裝於前述高頻功率放大器內之半導體晶片之電晶體形成區域中的主要部位截面圖。

圖7為前述半導體晶片之隔離區域中的主要部位截面圖。

圖8為本發明之實施形態2之高頻功率放大器之配線基板的主要部位平面圖。

圖9為本發明之實施形態3之高頻功率放大器之配線基板的主要部位平面圖。

圖10為本發明之實施形態4之高頻功率放大器之配線基板的主要部位平面圖。

圖11為本發明之實施形態5之二級功率放大器模組的主要部位平面圖。

圖12為本發明之實施形態5之二級功率放大器模組的等效電路圖。

圖13顯示本發明之實施形態5之二級功率放大器模組之外觀構成的平面圖。

圖14為本發明之實施形態5之二級功率放大器模組的主要部位斜視圖。

圖15顯示本發明及習知技術之輸出入搭接金屬線間之耦合係數和搭接部間隔的關係圖。

圖16顯示本發明人所檢討之輸出入搭接金屬線間之耦合係數和放大器之穩定係數的關係圖。

圖17顯示本發明人所檢討之輸出入搭接金屬線間之耦合

五、發明說明()¹⁰

係數和角度的關係圖。

圖18為本發明之實施形態6之三級功率放大器模組的主要部位平面圖。

圖19為本發明之實施形態7之三級功率放大器模組的主要部位平面圖。

圖20為本發明之實施形態8之二級功率放大器模組的主要部位平面圖。

圖21為習知技術之二級功率放大器模組的平面圖。

圖22為習知技術之二級功率放大器模組的斜視圖。

元件編號之說明

1 配線基板	1A 凹部
1B 導電板	2A、2D 基板側輸入用電極
2B、2E 基板側輸出用電極	2C、2F 基板側搭接用電極
3 貫穿孔配線	4 基準電位用外部端子
5 半導體晶片	5A 第一區域
5B 第二區域	5C 第三區域(隔離區域)
6A、6E 晶片側輸入用電極	6B、6D 晶片側輸出用電極
6C、6F 晶片側搭接用電極	7A、7E 輸入用金屬線
7B、7D 輸出用金屬線	7C、7F 金屬線
C1~C11 電容元件	R1~R4 電阻元件
STL1~STL3 微波導片線路	PW1、PW2、PW3 放大裝置
1000 半導體晶片	2000 初級電晶體
2000a 電晶體之本體部分	2000b 搭接用輸入電極

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

11

五、發明說明 ()

2000c 搭接用輸出電極	2000d 源極電極
3000 第二級電晶體	3000a 電晶體之本體部分
3000b 搭接用輸入電極	3000c 搭接用輸出電極
3000d 源極電極	4000 接地電極
6000 配線基板	
7000a~7000d 配線基板6000之搭接用電極	
8000a~8000d 引線電極	9000a 輸出搭接金屬線
9000b 輸入搭接金屬線	9000c 輸出搭接金屬線
9000d 輸入搭接金屬線	10000a、10000b 搭接用電極
12000a、12000b 搭接用電極	
13000a、13000b 遮蔽用搭接用電極	
101 矽晶片	102 初級電晶體
102a 閘極(輸入電極)	102b 汲極電極(輸出電極)
103 第二級電晶體	103a 閘極(輸入電極)
103b 汲極電極(輸出電極)	104 鑄孔
105 輸入搭接金屬線	106 輸出搭接金屬線
107 輸入搭接金屬線	108 輸出搭接金屬線
109 輸入搭接金屬線	110 輸出搭接金屬線
113 配線基板	114 輸出級電晶體
114a 閘極電極(輸入電極)	114b 汲極電極(輸出電極)
121 輸入匹配電路之端部	122 級間匹配電路之端部
122 級間匹配電路之端部	124 輸出匹配電路之端部
125 輸入匹配電路	126 級間匹配電路
127 輸出匹配電路	Pin 高頻信號輸入端子

五、發明說明()

Pout	高頻信號輸出端子	Vgg	閘極電壓施加端子
Vdd	汲極電壓施加端子	201	遮蔽用搭接金屬線
202	電極	203	連絡窗
204	遮蔽配線		

較佳實施形態之說明

以下，係就本發明之構成，同時就本發明適用於組裝在汽車電話、行動電話等攜帶式通信機器內的高頻功率放大器(高頻功率模組)之實施形態加以說明。

實施形態1

圖1顯示本發明之實施形態1之高頻功率放大器之外觀構成的斜視圖；圖2為前述高頻功率放大器的等效電路圖；圖3為與圖2所示之一點鏈線所包圍之部分相對應的配線基板之主要部位平面圖；圖4為圖3之主要部位斜視圖；圖5為圖3之主要部位擴大平面圖；圖6為組裝於前述高頻功率放大器內之半導體晶片之電晶體形成區域中的主要部位截面圖；圖7為前述半導體晶片之隔離區域中的主要部位截面圖。

如圖1所示，本實施形態之高頻功率放大器，係在板狀之配線基板1之一主面上重疊有蓋8，外觀上係形成扁平的矩形體構造。配線基板1，係由多層配線構造的陶瓷基板所形成，而其平面係由方形狀(本實施形態中為長方形狀)形成。蓋8，係由導電性之金屬材料所形成，而其平面係由方形狀(本實施形態中為長方形狀)形成。此蓋8，為了使之保持遮蔽效果而將其電位固定在基準電位(例如0[V])上。

五、發明說明()

如圖2所示，前述高頻功率放大器，係由多級式放大電路所構成。此多級式放大電路，只要係由電容元件C1~C11、電阻元件R1~R4、微波導片(microstrip)線路STL1~STL3、放大裝置PW1~放大裝置PW3等所構成。

放大裝置PW1、PW2、PW3之各個，係形成電氣並聯連接複數個場效電晶體之各個的構成。放大裝置PW1，係以閘極之總延伸長度為4000[μ m]程度所形成，放大裝置PW2，係以閘極之總延伸長度為3200[μ m]程度所形成，放大裝置PW3，係以閘極之總延伸長度為8000[μ m]程度所形成。

放大裝置PW1之閘極端子(輸入部)係與施加有高頻功率(例如1[mW])的輸入用外部端子Pin電氣連接，放大裝置PW1之汲極端子(輸出部)係與後級之放大裝置PW2的閘極端子(輸入部)及微波導片線路STL1之一端側電氣連接。放大裝置PW2之汲極端子(輸出部)係與後級之放大裝置PW3的閘極端子(輸入部)及微波導片線路STL2之一端側電氣連接。放大裝置PW3之汲極端子(輸出部)係與輸出用外部端子Pout電氣連接。

放大裝置PW1、PW2、PW3之各個的源極端子，係與其電位被固定在基準電位(例如0[V])的基準電位外部端子電氣連接。微波導片線路STL1、STL2、STL3之各個的另一端側，係與施加有電源電位(例如3.5[V])的電源電位用外部端子V_{DD}電氣連接。另外，放大裝置PW1、PW2、PW3之各個的閘極端子上電氣連接有外部端子V_G，而在此外部

五、發明說明()

端子 V_G 上施加有用以調整輸出功率的電壓(APC信號、功率自動控制信號)。

放大裝置PW1、PW2之各個，係形成於如圖3所示之半導體晶片5上，放大裝置PW3雖未圖示，但是其係形成於與半導體晶片5不同的其他半導體晶片上。半導體晶片5係搭載在形成於配線基板1之一主面上的凹部1A內，其他的半導體晶片係搭載在形成於配線基板1之一主面上的其他凹部內。亦即，形成有放大裝置的半導體晶片係搭載在配線基板1之一主面上。半導體晶片5、其他的半導體晶片之各個平面係由方形狀(本實施形態中為長方形狀)所形成。另外，關於形成有放大裝置PW3的其他半導體晶片則省略以後之說明。

如圖4所示，搭載有半導體晶片5之凹部1A的底面形成有導電板1B。導電板1B，係介以在其正下方所形成的貫穿孔配線3，與形成於與配線基板1之一主面對的另一主面(背面)上的基準電位用外部端子4電氣連接。此基準電位用外部端子4之電位係固定在例如0[V]電位上。另外，前述輸入用外部端子Pin、輸出用外部端子Pout、電源電位用外部端子 V_{DD} 、外部端子 V_G 之各個也是形成於配線基板1之背面。

如圖5所示，放大裝置PW1係形成於半導體晶片5之一主面的第一區域5A上。放大裝置PW1之間極端子，係形成半導體晶片5之一主面的第一區域5A上，且與配置於半導體晶片5之一邊5X側(本實施形態中為一長邊側)的晶片側輸

五、發明說明()

入用電極6A電氣連接。又，放大裝置PW1之汲極端子，係形成半導體晶片5之一主面的第一區域5A上，且與配置於與半導體晶片5之一邊5X相對的另一邊5Y側(本實施形態中為另一長邊側)的晶片側輸出用電極6D電氣連接。

放大裝置PW2係形成於半導體晶片5之一主面的第二區域5B上。放大裝置PW2之汲極端子，係形成於半導體晶片5之一主面的第二區域5B上，且與配置於半導體晶片5之一邊5X側的晶片側輸出用電極6B電氣連接。又，放大裝置PW2之閘極端子，係形成於半導體晶片5之一主面的第二區域5B上，且與配置於半導體晶片5之另一邊5Y側的晶片側輸入用電極6E電氣連接。

放大裝置PW1、PW2之各個的源極端子，雖在後面有詳細說明，但是其係與形成於與半導體晶片5之一主面相對的另一主面(背面)上的背面電極電氣連接。

在半導體晶片5之一主面的第一區域5A和第二區域5B之間，形成有用以電氣隔離該等區域間的第三區域(隔離區域)5C。此第三區域5C上，形成有配置於半導體晶片5之一邊5X側的晶片側搭接用電極6C及配置於半導體晶片5之另一邊5Y側的晶片側搭接用電極6F。

晶片側輸入用電極6A，係介以輸入用金屬線7A與設置成與半導體晶片5之一邊5X相對而形成於配線基板1之一主面上的基板側輸入用電極2A電氣連接。基板側輸入用電極2A，係介以其正下方所形成的貫穿孔配線3及內部配線，與形成於配線基板1之背面的輸入用外部端子(Pin)電氣連

16
五、發明說明()

接。

晶片側輸出用電極6B，係介以輸出用金屬線7B與設置成與半導體晶片5之一邊5X相對而形成於配線基板1之一主面上的基板側輸出用電極2B電氣連接。基板側輸出用電極2B，係介以其正下方所形成的貫穿孔配線3及內部配線，與設置成與形成有放大裝置PW3之其他半導體晶片之一邊相對而形成於配線基板1之一主面的基板輸入用電極電氣連接。

晶片側搭接用電極6C，係介以金屬線7C與設置成與半導體晶片5之一邊5X相對而形成於配線基板1之一主面上的基板側搭接用電極2C電氣連接。基板側搭接用電極2C，係介以其正下方所形成的貫穿孔配線3及內部配線，與形成於配線基板1之背面的基準電位用外部端子4電氣連接。亦即，金屬線7C之電位被固定在基準電位上。

晶片側輸出用電極6D，係介以輸出用金屬線7D與設置成與半導體晶片5之另一邊5Y相對而形成於配線基板1之一主面上的基板側輸出用電極2D電氣連接。基板側輸出用電極2D，係於其正下方形成有貫穿孔配線3。

晶片側輸入用電極6E，係介以輸入用金屬線7E與設置成與半導體晶片5之另一邊5Y相對而形成於配線基板1之一主面上的基板側輸入用電極2E電氣連接。基板側輸入用電極2E，係介以貫穿孔配線3及內部配線，與基板側輸出用電極2D電氣連接。

晶片側搭接用電極6F，係介以金屬線7F與設置成與半導

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明()

體晶片5之一邊5X相對而形成於配線基板1之一主面上的基板側搭接用電極2F電氣連接。基板側搭接用電極2F，係介以其正下方所形成的貫穿孔配線3及內部配線，與形成於配線基板1之背面的基準電位用外部端子4電氣連接。亦即，金屬線7F之電位被固定在基準電位上。

晶片側輸出用電極6D和半導體晶片5之另一邊5Y的距離，係短於晶片側輸入用電極6A和半導體晶片5之一邊5X的距離。又，晶片側輸出用電極6B和半導體晶片5之一邊5X的距離係短於晶片側輸入用電極6E和半導體晶片5之另一邊5Y的距離。此係用以縮短輸出用金屬線之長度，且降低輸出電阻者。

在半導體晶片5之一主面的第一區域5A上，形成有與放大裝置PW1之源極端子電氣連接的源極電極6S。此源極電極6S，係配置在比晶片側輸入用電極6A還靠近半導體晶片5之一邊5X側。又，在半導體晶片5之一主面的第二區域5B上，形成有與放大裝置PW2之源極端子電氣連接的源極電極6S。該等的源極電極6S係在進行探針檢查時使用。

在本實施形態之高頻功率放大器中，輸入用金屬線7A係接近輸出用金屬線7B而配置。由於輸入用金屬線7A係電氣連接至前級之放大裝置PW1的閘極端子(輸入部)上，輸出用金屬線7B係電氣連接至後級之放大裝置PW2的汲極端子(輸出部)上，所以流至輸入用金屬線7A的功率和流至輸出用金屬線7B的功率之差雖然很大，但是電位被固定在基準電位的金屬線7C因係配置在輸入用金屬線7A和輸出用

五、發明說明()

金屬線7B之間，所以可防止因輸入用金屬線7A和輸出用金屬線7B之間的互感作用所造成的高頻特性惡化。

又，輸出用金屬線7D係接近輸入用金屬線7E而配置。由於輸出用金屬線7D係與前級放大裝置PW1之汲極端子(輸出部)電氣連接，輸入用金屬線7E係與後級放大裝置PW2之間極端子(輸入部)電氣連接，所以流至輸出用金屬線7D之功率和流至輸入用金屬線7E之功率大致為相同，因該金屬線間之互感作用所造成的高頻特性惡化雖然很小，但是電位被固定在基準電位的金屬線7F由於係配置在輸出用金屬線7D和輸入用金屬線7E之間，所以可防止因輸出用金屬線7D和輸入用金屬線7E之間的互感作用所造成的高頻特性惡化。

基板側搭接用電極2C，係配置在比基板側輸出用電極2B還遠離半導體晶片5之一邊5X的位置上。基板側輸入用電極2A，係配置在自半導體晶片5之一邊5X起之距離大致與基板側輸出用電極2B相同的位置上。亦即，基板側搭接用電極2C，不配置在基板側輸入用電極2A和基板側輸出用電極2B之間，而配置在比基板側輸入用電極2A及基板側輸出用電極2B還遠離半導體晶片5之一邊5X的位置上。因而，可縮小相當於基板側搭接用電極2C之佔有面積的部分，即縮小基板側輸入用電極2A和基板側輸出用電極2B之間隔，且依此也可縮小半導體晶片5之第一區域5A和第二區域5B之間隔，所以可縮小半導體晶片5之佔有面積。

基板側搭接用電極2F，係配置在比基板側輸出用電極2D

五、發明說明()

還遠離半導體晶片5之另一邊5Y的位置上。基板側輸入用電極2E，係配置在自半導體晶片5之另一邊5Y起之距離大致與基板側輸出用電極2D相同的位置上。亦即，基板側搭接用電極2F，不配置在基板側輸入用電極2E和基板側輸出用電極2D之間，而配置在比基板側輸入用電極2E及基板側輸出用電極2D還遠離半導體晶片5之另一邊5Y的位置上。因而，可縮小相當於基板側搭接用電極2F之佔有面積的部分，即縮小基板側輸入用電極2E和基板側輸出用電極2D之間隔，且依此也可縮小半導體晶片5之第一區域5A和第二區域5B之間隔，所以可縮小半導體晶片5之佔有面積。

如圖6所示，半導體晶片5，係形成以例如在單晶矽所構成之p+型半導體基板10A之一主面上形成有p-型磊晶層10B的半導體基體10為主體的構成。

構成放大裝置PW1及PW2的場效電晶體，係形成於半導體基體10之一主面的電晶體形成區域上。此場效電晶體，主要係由作為通道形成區域之p型井區域12、閘極絕緣膜14、閘極15、作為源極區域及汲極區域之一對n-型半導體區域16及一對n+型半導體區域17所構成。

在作為汲極區域之n+型半導體區域17上，經由形成於層間絕緣膜18之連接孔，而電氣連接形成於第一層之配線層上的配線19A。在作為源極區域之n+型半導體區域17上，經由形成於層間絕緣膜18之連接孔，而電氣連接形成於第一層之配線層的配線19B。配線19B，係經由形成於層間

(請先閱讀背面之注意事項再為本頁)

裝 · 訂 · 線

五、發明說明()

絕緣膜18之連接孔，而電氣連接在形成於p-型磊晶層13上的p+型半導體區域13上。p+型半導體區域13係電氣連接在p+型半導體基板10A上。在閘極15上，雖無詳細圖示，但是經由形成於層間絕緣膜18之連接孔，而電氣連接形成於第一層之配線層的配線19C。

在配線19A上，係經由形成於層間絕緣膜20之連接孔，而電氣連接形成於第二層之配線層的配線21A。在此配線21A之一部分中，形成有晶片側輸出用電極6D及晶片側輸出用電極6B。在配線19B上，係經由形成於層間絕緣膜20之連接孔，而電氣連接形成於第二層之配線層的配線21B。在此配線21B之一部分中，形成有探針檢查用的電極。在配線19C上，雖未圖示，但是係經由形成於層間絕緣膜20之連接孔，而電氣連接形成於第二層之配線層的配線。在此配線之一部分中，形成有晶片側輸入用電極6A及晶片側輸入用電極6E。

在半導體晶片5之第三區域5C中，如圖7所示，在遮蔽絕緣膜11上，形成有形成於第一層之配線層的配線19D。此配線19D，係朝與半導體晶片5之一邊5X正交的方向而延伸著。在配線19D上，係經由形成於層間絕緣膜20之連接孔，而形成有形成於第二層之配線層的配線21D。此配線21D，係與配線19D同樣，朝與半導體晶片5之一邊5X正交的方向而延伸著。在此配線21D之一部分中形成有晶片側搭接用電極6C及6F。

在與半導體基體10之一主面對的另一主面(背面)上形

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明()

成有背面電極21。此背面電極21，係介有導電性之黏著材料，而與形成於配線基板1之凹部1A底面的導電板1B及電氣及機械連接。亦即，放大裝置PW1、PW2之各個的源極端子之電位會固定在基準電位上。

在本實施形態之高频功率放大器中，在半導體晶片5之第一區域5A和第二區域5B之間的第三區域(隔離區域)5C上，有電位被固定在基準電位的配線19D及配線21D朝與半導體晶片5之一邊5X正交的方向而延伸著。又，在第三區域5C上，有電位被固定在基準電位的p+型半導體區域13朝與半導體晶片5之一邊5X正交的方向而延伸著，而且半導體基體10之電位被固定在基準電位上。因而，在半導體晶片5中由於係形成抑制磁束干擾的構成，所以高频特性不會惡化。

如此若依據本實施形態，則可獲得以下之效果。

(1)由於基板側搭接用電極2C，係配置在比基板側輸入用電極2A及基板側輸出用電極2B還遠離半導體晶片5之一邊5X的位置上，而基板側搭接用電極2F，係配置在比基板側輸入用電極2E及基板側輸出用電極2D還遠離半導體晶片5之另一邊5Y的位置上，所以可縮小相當於基板側搭接用電極2C之佔有面積的部分，即縮小基板側輸入用電極2A和基板側輸出用電極2B之間隔，且可縮小相當於基板側搭接用電極2F之佔有面積的部分，即縮小基板側輸入用電極2E和基板側輸出用電極2D之間隔，所以可縮小半導體晶片5之第一區域5A和第二區域5B之間隔。結果，由於

(請先閱讀背面之注意事項再為本頁)

裝 · 訂 · 線

五、發明說明()

可縮小半導體晶片5之佔有面積，所以可謀求高頻功率放大器之小型化。

(2)由於基板側輸入用電極2A，係配置於自半導體晶片5之一邊5X起的距離大致與基板側輸出用電極2B相同的位置上，而基板側搭接用電極2C，係配置在比基板側輸入用電極2A及基板側輸出用電極2B還遠離半導體晶片5之一邊5X的位置上，而電位被固定在基準電位的金屬線7C係橫穿於基板側輸入用電極2A和基板側輸出用電極2B之間，所以與在基板側輸入用電極2A和基板側輸出用電極2B之間配置基板側搭接用電極2C之情況相較，就可更控制磁束之干擾。

另外，在本實施形態中，雖係就配置電位被固定在基準電位的金屬線7C及金屬線7F的例子加以說明，但是由於流至輸入用金屬線7E的功率和流至輸出用金屬線7D的功率大致相同，所以亦可不必在連接於前級放大裝置PW1之汲極端子(輸出部)的輸出用金屬線7D和後級放大裝置PW2之閘極端子(輸入部)的輸入用金屬線7E之間，特別配置電位固定在基準電位的金屬線。此情況，就可不需要晶片側搭接用電極6F及基板側搭接用電極2F。

又，在本實施形態中，雖係就將基板側輸入用電極2A配置在自半導體晶片5之一邊5X起的距離大致與基板側輸出用電極2B相同的位置上，但是基板側輸入用電極2A亦可配置在比基板側搭接用電極2C還遠離半導體晶片5之一邊5X的位置上。在此情況中，雖亦可獲得與前述實施形態相

(請先閱讀背面之注意事項再打為本頁)

裝 · 訂 · 線

五、發明說明()²³

同的效果，但是由於輸入用金屬線7A之長度會變長，所以高頻特性會惡化若干。

實施形態2

圖8為本發明之實施形態2之高頻功率放大器之配線基板的主要部位平面圖。

本實施形態之高頻功率放大器，基本上係形成於前述實施形態1相同的構成，而以下之構成則不同。

亦即，如圖8所示，在基板側搭接用電極2C上電氣且機械連接有延伸於半導體晶片5之第三區域5C上的金屬線7G之一端側，而在基板側搭接用電極2F上電氣且機械連接有金屬線7G之另一端側。基板側搭接用電極2C及基板側搭接用電極2F由於係與基準電位用外部端子4電氣連接，所以金屬線7G之電位可固定在基準電位上。

如此藉由在基板側搭接用電極2C上連接金屬線7G之一端側，而在基板側搭接用電極2F上連接金屬線7G之另一端側，就可防止因輸入用金屬線7A和輸出用金屬線7B之間的互感作用所造成的高頻特性惡化，及因輸出用金屬線7D和輸入用金屬線7E之間的互感作用所造成的高頻特性惡化。

實施形態3

圖9為本發明之實施形態3之高頻功率放大器之配線基板的主要部位平面圖。

本實施形態之高頻功率放大器，基本上係形成與前述實施形態1相同的構成，而以下之構成則不同。

(請先閱讀背面之注意事項再為本頁)

裝 · 訂 · 線

五、發明說明()

亦即，如圖9所示，放大裝置PW1、PW2及PW3係形成於一個半導體晶片5上。PW3係形成於半導體晶片5之一主面的第四區域5D上。

放大裝置PW3之閘極端子(輸入部)，係形成於半導體晶片5之一主面的第四區域5D上，且與配置於半導體晶片5之一邊5X側(本實施形態中為一長邊側)的晶片側輸入用電極6H電氣連接。又，放大裝置PW3之汲極端子(輸出部)，係形成於半導體晶片5之一主面的第四區域5D上，且與配置於與半導體晶片5之一邊5X相對之另一邊5Y側(本實施形態中為另一長邊側)的晶片側輸出用電極6K電氣連接。又，放大裝置PW3之源極端子，係與放大裝置PW1相同，與形成於半導體晶片5之背面的背面電極21電氣連接。

在半導體晶片5之一主面的第二區域5B和第四區域5D之間，形成有用以電氣隔離該等區域間的第五區域形成有用以電氣隔離該等區域間的第五區域(隔離區域)5E。

晶片側輸入用電極6H，係介以輸入用金屬線7H與設置成與半導體晶片5之一邊5X相對而形成於配線基板1之一主面的基板側輸入用電極2H電氣連接。基板側輸入用電極2H，係介以其正下方所形成的貫穿孔配線3及內部配線，與基板側輸出用電極2B電氣連接。

晶片側輸入用電極6K，係介以輸出用金屬線7K與設置成與半導體晶片5之另一邊5Y相對而形成於配線基板1之一主面的基板側輸出用電極2K電氣連接。基板側輸出用電極2K，係介以其正下方所形成的貫穿孔配線3及內部配線，

五、發明說明()

與形成於配線基板1之背面的輸出用外部端子電氣連接。

在配線基板1之一主面上，係在設置成與半導體晶片5之一邊5X相對之下形成有基板側搭接用電極2J，而在設置成與半導體晶片5之另一邊5Y相對之下形成有基板側搭接用電極2L。基板側搭接用電極2J及2L，係與基板側搭接用電極2C相同，與形成於配線基板1之背面的基準電位用端子4電氣連接。

基板側搭接用電極2J，係配置於自半導體晶片5之一邊5X起的距離大致與基板側搭接用電極2C相同的位置上，而基板側搭接用電極2L，係配置於自半導體晶片5之另一邊5Y起的距離大致與基板側搭接用電極2F相同的位置上。

在基板側搭接用電極2J上，電氣且機械連接延伸於半導體晶片5之第五區域5E上的金屬線7L之一端側，而在基板側搭接用電極2L上，電氣且機械連接延伸於半金屬線7L之另一端側。

在本實施形態之高頻功率放大器中，配置有二條金屬線7L。流至輸入用金屬線7E的功率和流至輸出用金屬線7K的功率之差，係大於流至輸入用金屬線7A的功率和流至輸出用金屬線7B的功率之差。因而，如本實施形態所示，藉由按照功率差而增加電位固定在基準電位的金屬線之條數，就可在更穩定之狀態下防止因輸入用金屬線和輸出用金屬線之互感作用所造成的高頻特性惡化。

實施形態4

五、發明說明()

圖10為本發明之實施形態4之高頻功率放大器之配線基板的主要部位平面圖。

本實施形態之高頻功率放大器，基本上係形成與前述實施形態1相同的構成，而以下之構成則不同。

亦即，如圖10所示，基板側輸出用電極2B係配置於與半導體晶片5之一邊5X相對的位置上，而基板側輸入用電極2A係配置於與半導體晶片5之一邊5X為不同的另一邊5P相對的位置上。

如此藉由將基板側輸出用電極2B配置於與半導體晶片5之一邊5X相對的位置上，而將基板側輸入用電極2A配置於與半導體晶片5之一邊5X為不同的另一邊5P相對的位置上，由於輸入用金屬線7A由於輸入用金屬線7A和輸出用金屬線7B之磁束呈為正交的狀態，所以可抑制該金屬線間的互感作用。

又，由於沒有必要設置用以連接電位固定在基準電位之金屬線的基板側搭接用電極，所以可縮窄半導體晶片5之第一區域5A和第二區域5B的間隔，且可縮小半導體晶片5之佔有面積。結果，可謀求高頻功率放大器之小型化。

實施形態5

如圖15所示，本發明之情況其耦合係數因比上述習知技術之情況小，故可提高高頻特性。又，耦合係數為0.12以下(穩定係數為1以上)之搭接部的間隔d範圍也更廣，故可增大設計之自由度。再者，由於可將搭接部之間隔縮小至0.3 mm，所以更可縮小晶片面積，更可使模組小型化及減

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

27
五、發明說明()

低成本。

又，圖15雖顯示輸出入搭接金屬線所形成的角度 ϕ 為90度的情況，但是如圖7所示，此角度 ϕ 只要在72~180度之範圍內即可。而且可知角度 ϕ 為140度時耦合係數就會變成最小，且存在極小點。

在進行本發明之高頻功率放大器模組之具體的設計時，可沿襲以上之方式，選擇搭接部間隔 d 和角度 ϕ 。

再者，從以上之說明中即可明白，本發明不會將角度 ϕ 如習知般地設為0度乃為其基礎。因而，亦可在角度 ϕ 在72~180度之範圍內，且對應於輸出入搭接金屬線之二個放大級電晶體的穩定係數成為1以上的情形下設計高頻功率放大器模組。

依圖11至圖14說明本發明之實施形態5之二級功率放大器模組。

圖11為主要部位平面圖；圖12為等效電路圖；圖13顯示外觀構成的平面圖；圖14為主要部位斜視圖。

如圖11所示，將由初級和第二級之MOSFET所構成的電晶體102、103接近一個矽晶片101上而形成之。該等電晶體係在從初級電晶體102之閘極102a至汲極電極102b之高頻信號的流向、和從第二級電晶體103之閘極103a至汲極電極103b之高頻信號的流向成為相反的方式下設置者。

作為高頻輸入端子的閘極102a，係藉由一條輸入搭接金屬線105，連接在配線基板113上之輸入匹配電路125的端部121上。作為高頻輸出端子的汲極電極103b，係藉由四

五、發明說明()

條輸出搭接金屬線108，連接在配線基板113上之輸入匹配電路127的端部124上。閘極102a係沿著矽晶片101之左側的一邊而配置，汲極電極103b係沿著矽晶片101之上側的一邊而配置。輸入搭接金屬線105和輸出搭接金屬線108所成的角度係約設為90度。搭接金屬線106、107，係將汲極電極102b、閘極103a個別連接在配線基板113上之級間匹配電路126的兩端部122及123上。初級電晶體102之閘極102a(搭接用輸入電極)和第二級電晶體103之汲極電極103b(搭接用輸出電極)之搭接部的間隔d係約設為0.6 mm。

矽晶片101係搭載在形成於配線基板113之鑄孔104之中。在矽晶片101之背面，係被覆金屬膜以作為初級電晶體102之源極電極及第二級電晶體103之源極電極，並介以鑄孔104內的配線連接在接地電位上。配線基板113之材料，係使用玻璃陶瓷或鋁等的電介質基板。又，在其配線上使用銅或銀、銀鉑等。

圖12及圖13中，符號Pin、Pout、Vgg、Vdd係分別為高頻信號輸入端子、高頻信號輸出端子、閘極電壓施加端子、汲極電壓施加端子，該等皆為功率放大器模組之外部連接端子。圖13中，以輔助線表示輸入匹配電路125、級間匹配電路126及輸出匹配電路127之區域的境界。又，圖14係顯示鑄孔104近旁的立體樣態。

在本實施形態中，雖係將輸入搭接金屬線105和輸出搭接金屬線108所成的角度設為約90度，但是此角度係可在

(請先閱讀背面之注意事項再為本頁)

裝 · 訂 · 線

五、發明說明(²⁹)

72~180度之範圍內做選擇。

實施形態6

依圖18之主要部位平面圖說明本發明之實施形態6的三級功率放大器模組。將由初級、第二級、輸出級之MOSFET所構成的電晶體102、103、114接近形成於一個矽晶片101上。該等電晶體係在從初級電晶體102之閘極102a至汲極電極102b之高频信號的流向、和從第二級電晶體103之閘極103a至汲極電極103b之高频信號的流向成爲相反的方式下設置者。又，輸出級電晶體114在從其閘極114a至汲極電極114b之高频信號的流向成爲與第二級電晶體103相反的方向之方式下配置者。

與實施形態5不同處係在於如下之點。即，初級電晶體102之輸入搭接金屬線105和第二級電晶體103之輸出搭接金屬線108所成的角度設爲約140度之點；以及將輸出級電晶體114設在同一晶片上，將此電晶體之輸出搭接金屬線110和第二級電晶體103之輸入搭接金屬線107所成的角度設爲約90度，將第二級電晶體103之閘極103a(搭接用輸入電極)和輸出級電晶體114之汲極電極114b(搭接用輸出電極)之搭接部的間隔d設爲約0.7 mm，在此也適用本發明之點。

若依據本實施形態，則如圖17所示，可將初級和第二級之輸出入搭接金屬線間的耦合係數設在最小，更可改善隔離效果。又，由於適用本發明，所以在第二級和輸出級輸出入搭接金屬線間也可確保充分的隔離效果。因而，爲了

五、發明說明()³⁰

縮小半導體晶片面積而在同一晶片上形成三級電晶體的本實施形態，且不拘該等電晶體間的距離是否變短，亦可改善高頻特性。

實施形態7

依圖19之主要部位平面圖說明本發明之實施形態7的三級功率放大器模組。與實施形態6不同處係在於，在第二級電晶體103和輸出級電晶體114之間，應用遮蔽技術，設置遮蔽用搭接金屬線201和遮蔽配線204，且將該等的兩端介以配線基板上的電極202及連絡窗203連接在接地電位之點。

在本實施形態中，雖係在初級和第二級之間適用作為習知技術之遮蔽技術，但是因該等的電晶體區域原先面積很廣，故可改善高頻特性。

實施形態8

依圖20之主要部位平面圖說明本發明之實施形態8的二級功率放大器模組。

與實施形態5之不同處係在於將初級電晶體102本身之方向旋轉90度之點。

本實施形態，由於可將初級和第二級之輸出入搭接金屬線之搭接部的位置移動至晶片之邊的中央部，所以可更加增寬搭接部間隔(實施形態5中曾為0.6 mm者乃變成為0.75 mm)，可更加改善輸出入間的隔離效果。

以上，雖是以實施形態為基礎而說明本發明，但是本發明並不限定於上述實施形態，而是只要電晶體之電極數、

(請先閱讀背面之注意事項再寫本頁)

裝 · 訂 · 線

31
五、發明說明()

搭接金屬線之條數等在未脫離其主旨之範圍內則皆可作各種的變更。又，電晶體並不限於MOSFET亦可為其他的場效電晶體、異質接合雙載子電晶體(HBT)等的電晶體。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

四、中文發明摘要(發明之名稱: 半導體裝置)

本發明之半導體裝置，係爲了謀求半導體裝置(高頻功率放大器模組)之小型化，而將形成有複數個放大裝置的半導體晶片5搭載於配線基板1之一主面側，且利用金屬線電氣連接半導體晶片之電極和配線基板之電極者，而連接有其電位被固定在基準電位之金屬線7C的基板側搭接用電極2C，係配置在比連接有輸出用金屬線7B之基板側輸出用電極2B還遠離前述半導體晶片5之一邊5X的位置上。連接有輸入用金屬線7A的基板側輸入用電極2A，係配置在自前述半導體晶片5之一邊5X起之距離大致與前述基板側輸出用電極2B相同的位置上，或是配置在比前述基板側搭接用電極2C還遠離前述半導體晶片5之一邊5X的位置上。

(請先閱讀背面之注意事項再填寫)
頁各欄)

裝

半導體裝置

英文發明摘要(發明之名稱:)

複數の増幅手段が形成された半導体チップ5を配線基板1の一主面側に搭載し、半導体チップの電極と配線基板の電極とをワイヤで電氣的に接続する半導体装置であつて、基準電位に電位固定されるワイヤ7Cが接続された基板側ボンディング用電極2Cは、出力用ワイヤ7Bが接続された基板側出力用電極2Bよりも前記半導体チップ5の一边5Xから遠く離れた位置に配置されている。入力用ワイヤ7Aが接続された基板側入力用電極2Aは、前記半導体チップ5の一边5Xからの距離が前記基板側出力用電極2Bとほぼ同一となる位置、又は前記基板側ボンディング用電極2Cよりも前記半導体チップ5の一边5Xから遠く離れた位置に配置^{す。}~~され~~

訂

線

また、

配線基板上に多段の増幅段トランジスタを有する半導体チップが設置された高周波電力増幅器モジュールにおいて、ある一つの増幅段トランジスタ102に対応するボンディング用入力電極101と配線基板121を接続す

經濟部中央標準局員工消費合作社印製

四、中文發明摘要(發明之名稱：)

又，設置其於配線基板上具有多級放大級電晶體之半導體晶片的高頻功率放大器模組，係藉由將第一輔助線和第二輔助線所成的角度設在 $72\sim 180$ 度，而將搭接用輸入電極102a和搭接用輸入電極103b之搭接部的間隔設在 0.3 mm 以上 0.8 mm 以下，以謀求功率放大器模組之高頻特性之提高及小型化。前述第一輔助線係用以連結輸入搭接金屬線105之兩端的搭接部彼此之間，而前述輸入搭接金屬線105係用以連接對應於某一個放大級電晶體5之搭接用輸入電極102a和配線基板121者。又，前述第二輔助線係用以連結輸出搭接金屬線108之兩端的搭接部彼此之間，而前述輸出搭接金屬線108係用以連接對應於位在此一放大級電晶體之次級放大級電晶體103之搭接用輸出電極103b和配線基板124者。

英文發明摘要(發明之名稱：)

る入力ボンディングワイヤ105の両端のボンディング部同士を結ぶ第1の補助線と、この一つの増幅段トランジスタの次段に位置する増幅段トランジスタ103に対応するボンディング用出力電極103bと配線基板124を接続する出力ボンディングワイヤ108の両端のボンディング部同士を結ぶ第2の補助線のなす角度を $72\sim 180^\circ$ 、ボンディング用入力電極102aとボンディング用出力電極103bのボンディング部の間隔を 0.3 mm 以上 0.8 mm 未満とする

ことにより、

電力増幅器モジュールの高周波特性の向上、小型化

を図3。

(請先閱讀背面之注意事項再填寫)
頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體裝置，其特徵為：具有，
 半導體晶片，其平面係以方形狀所形成；
 配線基板，於其一主面側搭載有前述半導體晶片；
 第一電極，形成於前述半導體晶片之一主面的第一區域上，且配置在前述半導體晶片之一邊側上；
 第一放大裝置，形成於前述半導體晶片之一主面的第一區域上，且其輸入部與前述第一電極電氣連接；
 第二電極，形成於前述半導體晶片之一主面的第二區域上，且配置在前述半導體晶片之一邊側上；
 第二放大裝置，形成於前述半導體晶片之一主面的第二區域上，且其輸出部與前述第二電極電氣連接；
 第三電極，形成於前述半導體晶片之一主面之第一區域和第二區域之間的第三區域上；
 第四電極，設置成與前述半導體晶片之一邊相對而形成於前述配線基板之一主面上，且介以第一金屬線與前述第一電極電氣連接；
 第五電極，設置成與前述半導體晶片之一邊相對而形成於前述配線基板之一主面上，且介以第二金屬線與前述第二電極電氣連接；以及
 第六電極，設置成與前述半導體晶片之一邊相對而形成於前述配線基板之一主面上，且介以其電位被固定在基準電位的第三金屬線與前述第三電極電氣連接，其中
 前述第六電極，係配置在比前述第五電極還遠離前述半導體晶片之一邊的位置上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

2. 如申請專利範圍第1項之半導體裝置，其中前述第四電極，係配置在自前述半導體晶片之一邊起之距離大致與前述第五電極相同的位置上，或是配置在比前述第六電極還遠離前述半導體晶片之一邊的位置上。
3. 如申請專利範圍第1或2項之半導體裝置，其中前述第二放大裝置之輸入部，係與前述第一放大裝置之輸出部電氣連接。
4. 如申請專利範圍第1或2項之半導體裝置，其中前述第四電極，係與前述第五電極電氣連接。
5. 一種半導體裝置，其特徵為：具有，
 - 半導體晶片，其平面係以方形狀所形成；
 - 配線基板，於其一主面側搭載有前述半導體晶片；
 - 第一電極，形成於前述半導體晶片之一主面的第一區域上，且配置在前述半導體晶片之一邊側上；
 - 第一放大裝置，形成於前述半導體晶片之一主面的第一區域上，且其輸入部與前述第一電極電氣連接；
 - 第二電極，形成於前述半導體晶片之一主面的第二區域上，且配置在前述半導體晶片之一邊側上；
 - 第二放大裝置，形成於前述半導體晶片之一主面的第二區域上，且其輸出部與前述第二電極電氣連接；
 - 第三電極，設置成與前述半導體晶片之一邊相對而形成於前述配線基板之一主面上，且介以第一金屬線與前述第一電極電氣連接；
 - 第四電極，設置成與前述半導體晶片之一邊相對而形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

成於前述配線基板之一主面上，且介以第二金屬線與前述第二電極電氣連接；

第五電極，形成於前述半導體晶片之一主面的第一區域上，且配置在與前述半導體晶片之一邊相對的另一邊側上，而與前述第一放大裝置之輸出部電氣連接；

第六電極，形成於前述半導體晶片之一主面的第二區域上，且配置在前述半導體晶片之另一邊側上，而與前述第二放大裝置之輸入部電氣連接；

第七電極，設置成與前述半導體晶片之另一邊相對而形成於前述配線基板之一主面上，且介以第三金屬線與前述第五電極電氣連接；

第八電極，設置成與前述半導體晶片之另一邊相對而形成於前述配線基板之一主面上，且介以第四金屬線與前述第六電極電氣連接，更進一步與前述第七電極電氣連接；

第九電極，設置成與前述半導體晶片之一邊相對而形成於前述配線基板之一主面上，並延伸於前述半導體晶片之主面的第一區域和第二區域之間的第三區域上，且連接有其電位被固定在基準電位的第五金屬線之一端側；以及

第十電極，設置成與前述半導體晶片之另一邊相對而形成於前述配線基板之一主面上，且連接有前述第五金屬線之另一端側，其中

前述第九電極，係配置在比前述第四電極還遠離前述

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

半導體晶片之一邊的位置上，而

前述第十電極，係配置在比前述第七電極及前述第八電極還遠離前述半導體晶片之另一邊的位置上。

6. 如申請專利範圍第5項之半導體裝置，其中前述第三電極，係配置在自前述半導體晶片之一邊起之距離大致與前述第四電極相同的位置上，或是配置在比前述第九電極還遠離前述半導體晶片之一邊的位置上，而

前述第七電極及前述第八電極，係配置在自前述半導體晶片之另一邊起之距離大致為相同的位置上。

7. 一種半導體裝置，其特徵為：具有，

半導體晶片，其平面係以方形狀所形成；

配線基板，於其一主面側搭載有前述半導體晶片；

第一電極，形成於前述半導體晶片之一主面的第一區域上，且配置在前述半導體晶片之一邊側上；

第一放大裝置，形成於前述半導體晶片之一主面的第一區域上，且其輸入部與前述第一電極電氣連接；

第二電極，形成於前述半導體晶片之一主面的第二區域上，且配置在前述半導體晶片之一邊側上；

第二放大裝置，形成於前述半導體晶片之一主面的第二區域上，且其輸出部與前述第二電極電氣連接；

第三電極，形成於前述配線基板之一主面上，且介以第一金屬線與前述第一電極電氣連接；

第四電極，設置成與前述半導體晶片之一邊相對而形成於前述配線基板之一主面上，且介以第二金屬線與前

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

述第二電極電氣連接；其中

前述第四電極，係配置與前述半導體晶片之一邊相對的位置上，而

前述第三電極，係配置在與前述半導體晶片之一邊為不同之另一邊相對的位置上。

8. 如申請專利範圍第7項之半導體裝置，其中前述第二放大裝置之輸入部，係與前述第一放大裝置之輸出部電氣連接。
9. 如申請專利範圍第1項之半導體裝置，其中前述第一放大裝置及第二放大裝置，係形成電氣並聯連接複數個場效電晶體之各個的構成。
10. 一種高頻功率放大器模組，係具有將電介質材料作為基體之配線基板；以及設置在該配線基板上的半導體晶片，其特徵為：

在上述半導體晶片上，形成有二級以上的放大級電晶體；對該放大級電晶體輸入高頻功率用的搭接用輸入電極；以及從該放大級電晶體以輸出高頻功率用的搭接用輸出電極，而將第一輔助線和第二輔助線所成的角度設在72~180度之範圍內，且將前述搭接用輸入電極和前述搭接用輸入電極之搭接部的間隔設在0.3 mm以上0.8 mm以下之範圍內，其中前述第一輔助線係用以連結輸入搭接金屬線之兩端的搭接部彼此之間，而前述輸入搭接金屬線係用以連接對應於一個前述放大級電晶體之前述搭接用輸入電極和前述配線基板者，又，前述第二輔助線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

係用以連結輸出搭接金屬線之兩端的搭接部彼此之間，而前述輸出搭接金屬線係用以連接對應於位在該一放大級電晶體之次級的前述放大級電晶體之前述搭接用輸出電極和前述配線基板者。

11. 一種高頻功率放大器模組，係具有將電介質材料作為基體之配線基板；以及設置在該配線基板上的半導體晶片，其特徵為：

在上述半導體晶片上，形成有二級以上的放大級電晶體；對該放大級電晶體輸入高頻功率用的搭接用輸入電極；以及從該放大級電晶體以輸出高頻功率用的搭接用輸出電極，而將第一輔助線和第二輔助線所成的角度設在 $72\sim 180$ 度之範圍內，且前述一個放大級電晶體及前述次級放大級電晶體之穩定係數為1以上，其中前述第一輔助線係用以連結輸入搭接金屬線之兩端的搭接部彼此之間，而前述輸入搭接金屬線係用以連接對應於一個前述放大級電晶體之前述搭接用輸入電極和前述配線基板者，又，前述第二輔助線係用以連結輸出搭接金屬線之兩端的搭接部彼此之間，而前述輸出搭接金屬線係用以連接對應於位在該一放大級電晶體之次級的前述放大級電晶體之前述搭接用輸出電極和前述配線基板者。

12. 如申請專利範圍第10或11項之高頻功率放大器模組，其中前述第一輔助線和前述第二輔助線所成的角度係約為 90 度。
13. 如申請專利範圍第12項之高頻功率放大器模組，其中前

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

述半導體晶片為四邊形，其在前述半導體晶片之第一邊側上，配置其連接有對應於前述次級放大級電晶體之複數條前述輸出搭接金屬線之前述搭接用輸出電極，而在與前述半導體晶片之前述第一邊相對的第二邊側上，配置有對應於前述次級放大級電晶體之搭接用輸入電極及對應於前述一個放大級電晶體之搭接用輸出電極，在前述半導體晶片之前述第一、第二邊以外之第三邊側上，配置其連接有對應於前述一個放大級電晶體之一條前述輸入搭接金屬線之前述搭接用輸入電極。

14. 如申請專利範圍第13項之高頻功率放大器模組，其中前述放大級電晶體之級數有三級，其中前述一個放大級電晶體為初級放大級電晶體，前述次級放大級電晶體為第二級放大級電晶體，其第三輔助線和第四輔助線所成的角度係設在72~180度之範圍內，而前述第三輔助線係用以連結輸入搭接金屬線之兩端的搭接部彼此之間，而前述輸入搭接金屬線係用以連接對應於前述第二級放大級電晶體之搭接用輸入電極和前述配線基板者，又，前述第四輔助線係用以連結輸出搭接金屬線之兩端的搭接部彼此之間，而前述輸出搭接金屬線係用以連接對應於前述第三級放大級電晶體之搭接用輸出電極和前述配線基板者。
15. 如申請專利範圍第14項之高頻功率放大器模組，其中前述第三輔助線和前述第四輔助線所成的角度係約為90度。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

16. 如申請專利範圍第15項之高頻功率放大器模組，其中第三輔助線和第四輔助線所成的角度係約為0度，前述第三輔助線係用以連結輸入搭接金屬線之兩端的搭接部彼此之間，而前述輸入搭接金屬線係用以連接對應於前述第二級放大級電晶體之搭接用輸入電極和前述配線基板者，又，前述第四輔助線係用以連結輸出搭接金屬線之兩端的搭接部彼此之間，而前述輸出搭接金屬線係用以連接對應於前述第三級放大級電晶體之搭接用輸出電極和前述配線基板者，而在前述第三輔助線和前述第四輔助線之間設有遮蔽用搭接金屬線，而該遮蔽用搭接金屬線之兩端係高頻接地。
17. 如申請專利範圍第16項之高頻功率放大器模組，其中前述配線基板具有：具有四個邊的鑄孔；形成於該鑄孔之第一邊側的第一匹配電路；形成於與前述鑄孔之第一邊相對之第二邊側的第二匹配電路；以及形成於前述鑄孔之前述第一、第二邊以外之第三邊側的第三匹配電路，而前述第一匹配電路係與前述次級放大級電晶體之輸出搭接金屬線電氣連接，前述第二匹配電路係電氣連接於前述一個放大級電晶體之輸出側和前述次級放大器電晶體之輸入側之間，前述第三匹配電路，係與前述一個放大級電晶體之輸入搭接金屬線電氣連接。
18. 一種半導體裝置，其特徵為：具有，
具有一主面之基板；
四角形之半導體晶片，裝載於前述基板之一主面上，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

且具有延伸於第一方向之一組第一邊，及延伸於約略與前述第一方向正交之第二方向之一組第二邊；

第一電極，形成於前述半導體晶片主面之第一區域上，且配置在沿著前述半導體晶片一組第一邊之一者；

第一放大裝置，形成於前述半導體晶片主面之第一區域上，且其輸入部與前述第一電極電氣連接；

第二電極，形成於與前述第一區域不同之前述半導體晶片主面之第二區域上，且配置在沿著前述半導體晶片一組第一邊之一者；

第二放大裝置，形成於前述半導體晶片主面之第二區域上，且其輸出部與前述第二電極電氣連接；

第三電極，形成於前述第一區域與前述第二區域間之前述半導體晶片主面之第三區域上，且配置在沿著前述半導體晶片一組第一邊之一者；

第四電極，設置成與前述半導體晶片一組之第一邊相對而形成於前述基板之一主面上，且介以第一金屬線而與前述第一電極電氣連接；

第五電極，設置成與前述半導體晶片一組之第一邊相對而形成於前述基板之一主面上，且介以第二金屬線而與前述第二電極電氣連接；以及

第六電極，設置成與前述半導體晶片一組之第一邊相對而形成於前述基板之一主面上，且介以第三金屬線與前述第三電極電氣連接；

前述第三電極、前述第六電極以及前述第三金屬線，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

係被固定於基準電位；

前述第三金屬線，於前述之第一方向，被配置於前述第一金屬線與第二金屬線之間；

前述第一金屬線、前述第二金屬線以及前述第三金屬線，係沿著前述第二方向而彼此約略平行地延伸。

19. 如申請專利範圍第18項之半導體裝置，其中前述第一放大裝置以及第二放大裝置，係形成於前述半導體晶片上第一區域及第二區域之第一場效電晶體及第二場效電晶體。
20. 如申請專利範圍第19項之半導體裝置，其中前述第一放大裝置之輸入部，對應於前述第一場效電晶體之閘極，前述第二場效電晶體之輸出部，對應於前述第二場效電晶體之汲極。
21. 如申請專利範圍第20項之半導體裝置，其中前述第六電極，被配置於較之前述第四電極及第五電極，離前述半導體晶片一組第一邊之一者為遠之位置。
22. 一種半導體裝置，其特徵為：具有，
 - 具有一主面之基板；
 - 四角形之半導體晶片，裝載於前述基板之一主面上，且具有延伸於第一方向之一組第一邊，及延伸於約略與前述第一方向正交之第二方向之一組第二邊；
 - 形成於前述半導體晶片主面上之場效電晶體；
 - 第一電極，形成於前述半導體晶片之主面上，沿著前述半導體晶片一組之第一邊之一者而配置，被用作為前

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

述場效電晶體之輸入部；

第二電極，形成於前述半導體晶片之主面上，沿著前述半導體晶片一組之第一邊之另一者而配置，被用作為前述場效電晶體之輸出部；

第三電極，與前述半導體晶片組之第一邊之一者相對般地被配置於前述基板之一主面上，介由第一金屬線而與前述第一電極電氣連接；

第四電極，與前述半導體晶片組之第一邊之另一者相對般地被配置於前述基板之一主面上，介由第二金屬線而與前述第二電極電氣連接；

前述第二方向中之前述第二電極與前述一者組第一邊之另一者間之距離，較之前述第二方向中之前述第一電極與前述一組第一邊之一者間之距離為小；

前述第二金屬線，較之前述第一金屬線為短般地形成。

23. 如申請專利範圍第22項之半導體裝置，其中前述第一電極係對應於前述第一場效電晶體之閘極，前述第二電極係對應於前述場效電晶體之汲極。

24. 如申請專利範圍第23項之半導體裝置，其中前述第二方向中前述第三電極與前述一組第一邊之一者間之距離，大致與前述第二方向中前述第四電極與前述一組第一邊之另一者間之距離相同。

25. 如申請專利範圍第22項之半導體裝置，其中前述第二金屬線，較前述第一金屬線為短般地形成以減低輸出電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

阻。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

經濟部中央標準局員工消費合作社印製

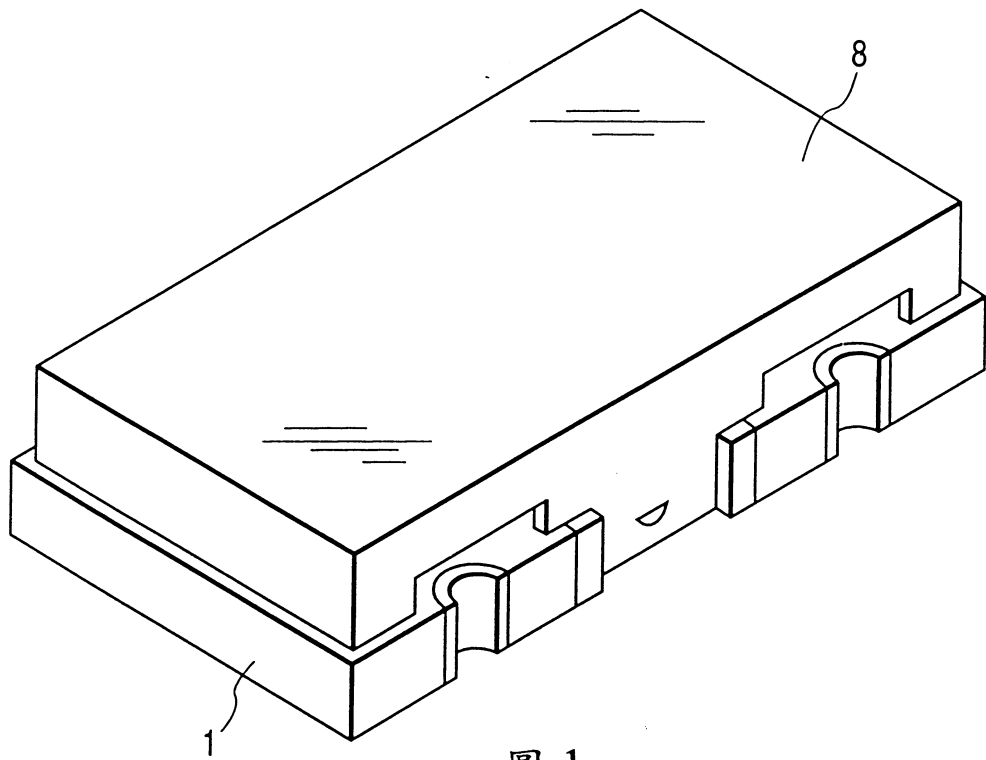


圖 1

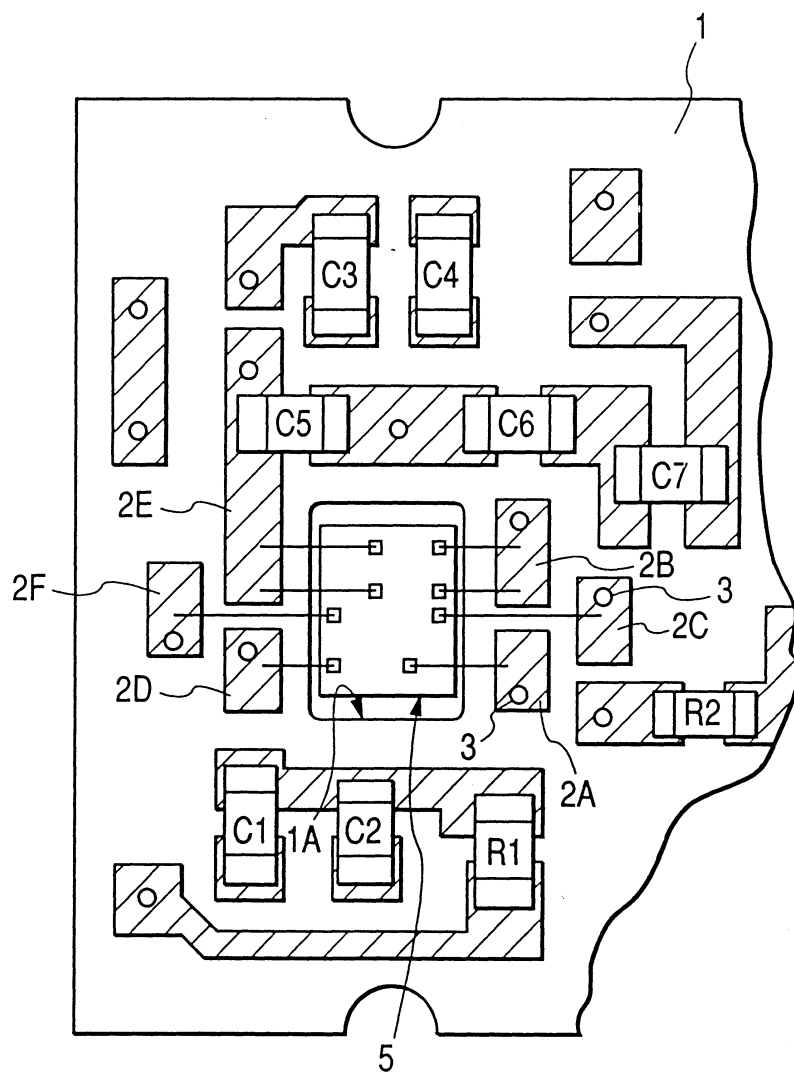


圖 3

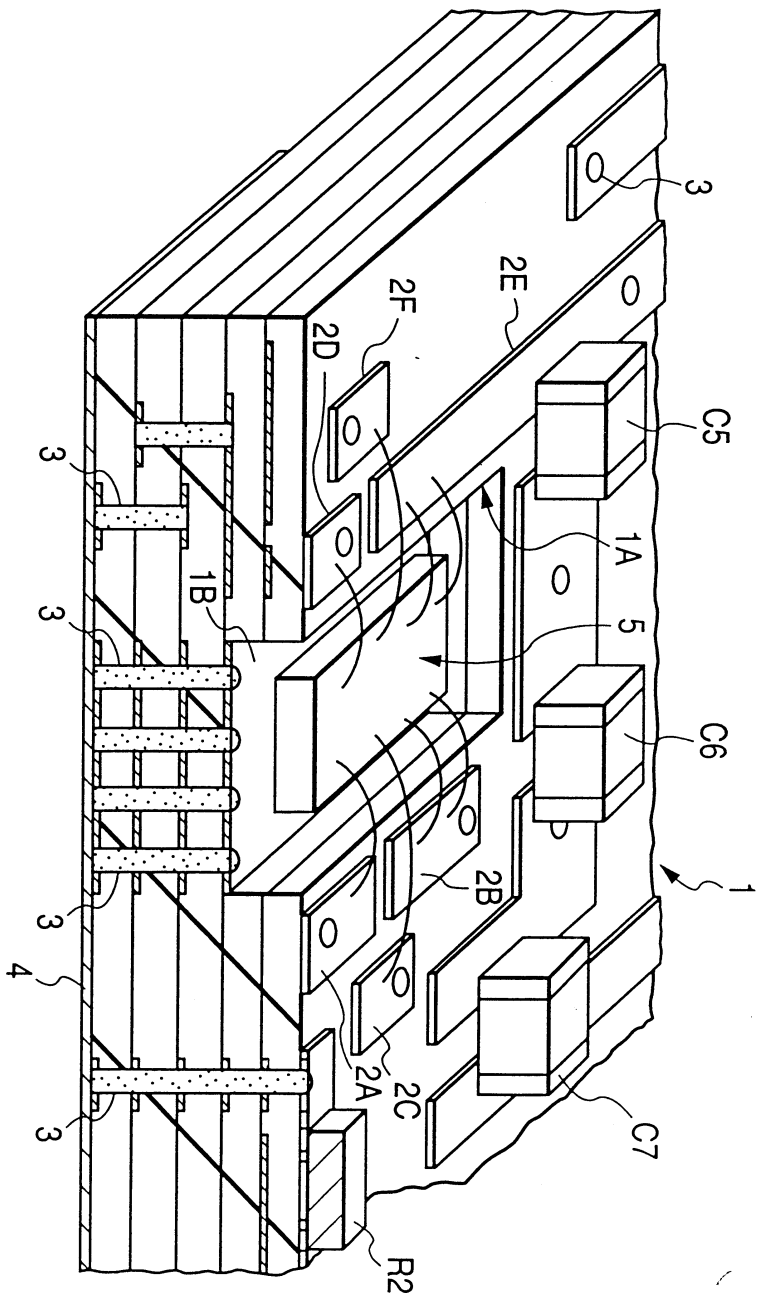


圖 4

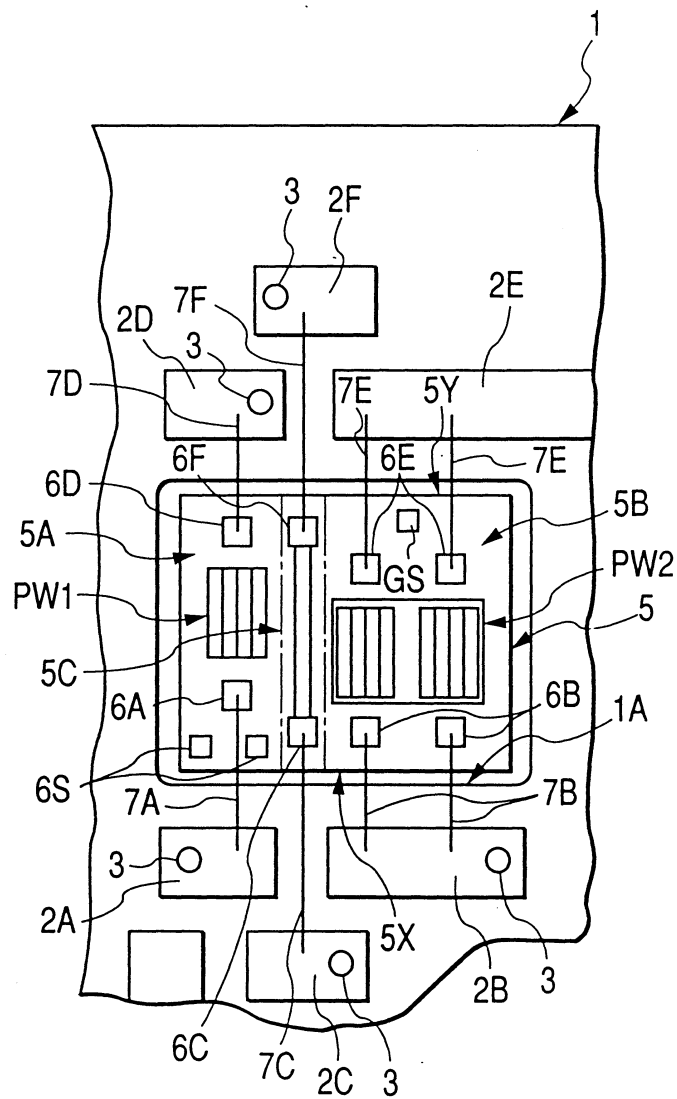


圖 5

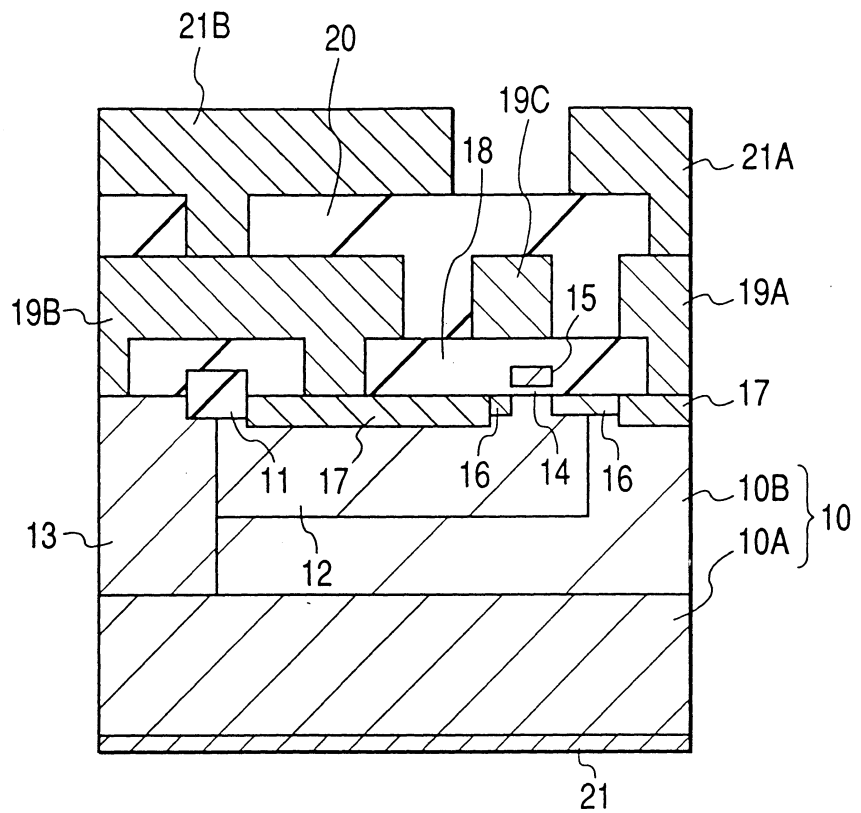


圖 6

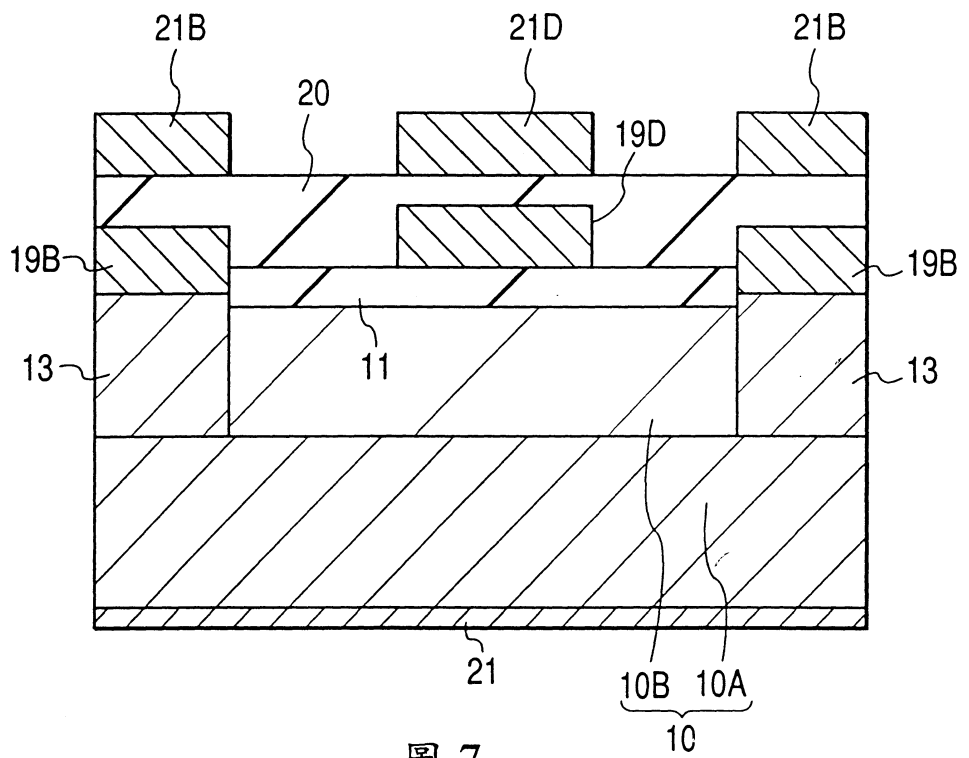


圖 7

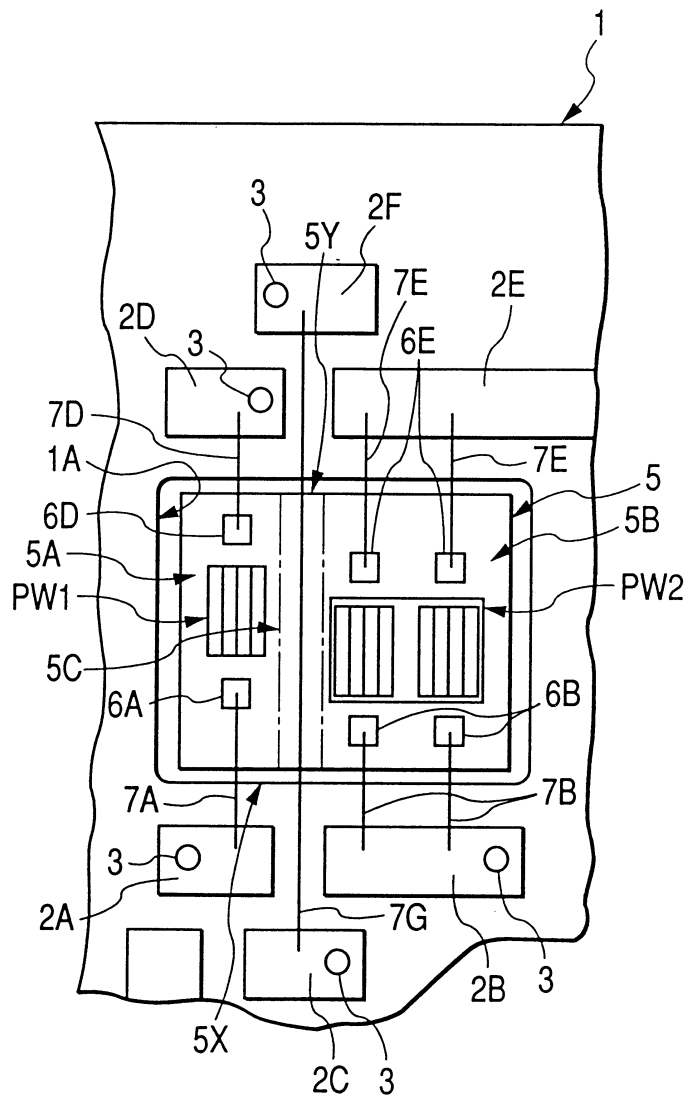


圖 8

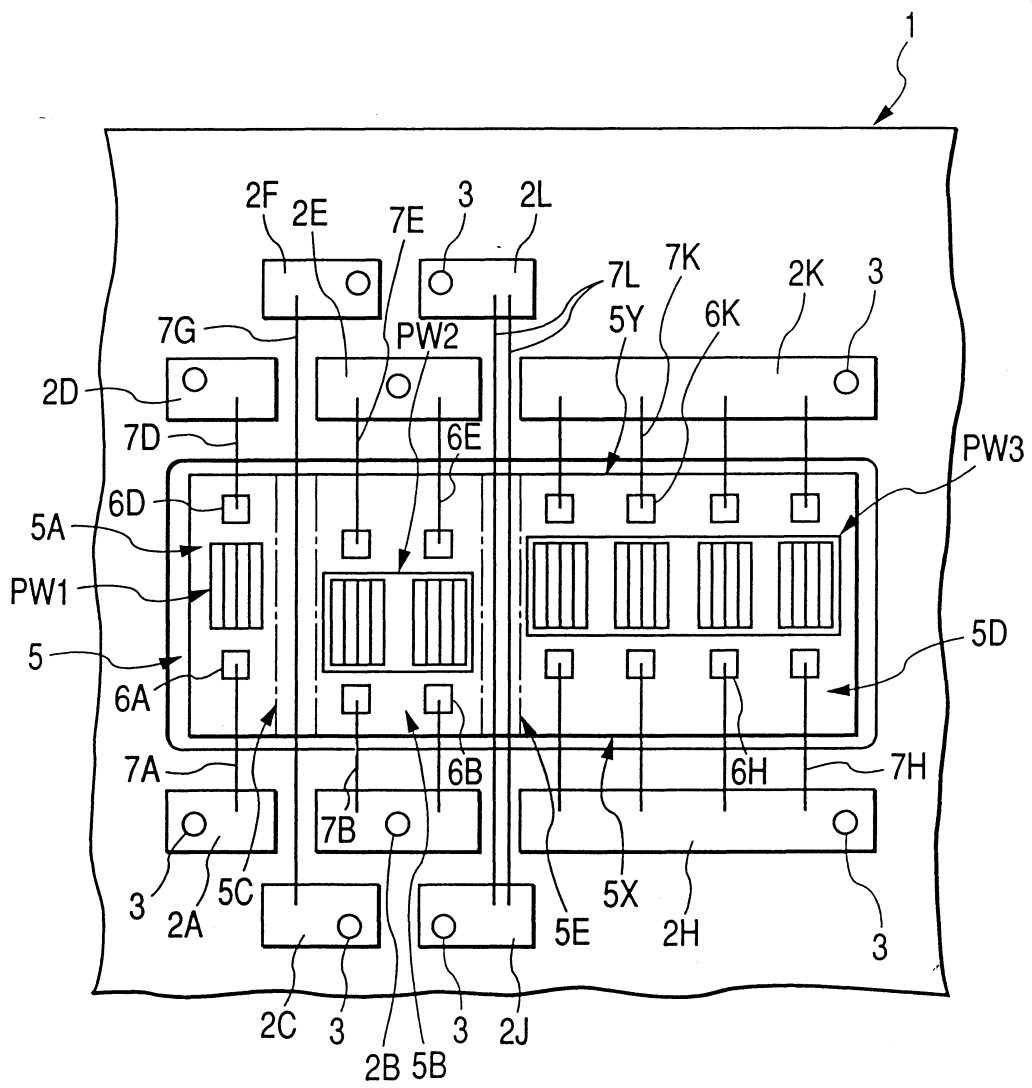


圖 9

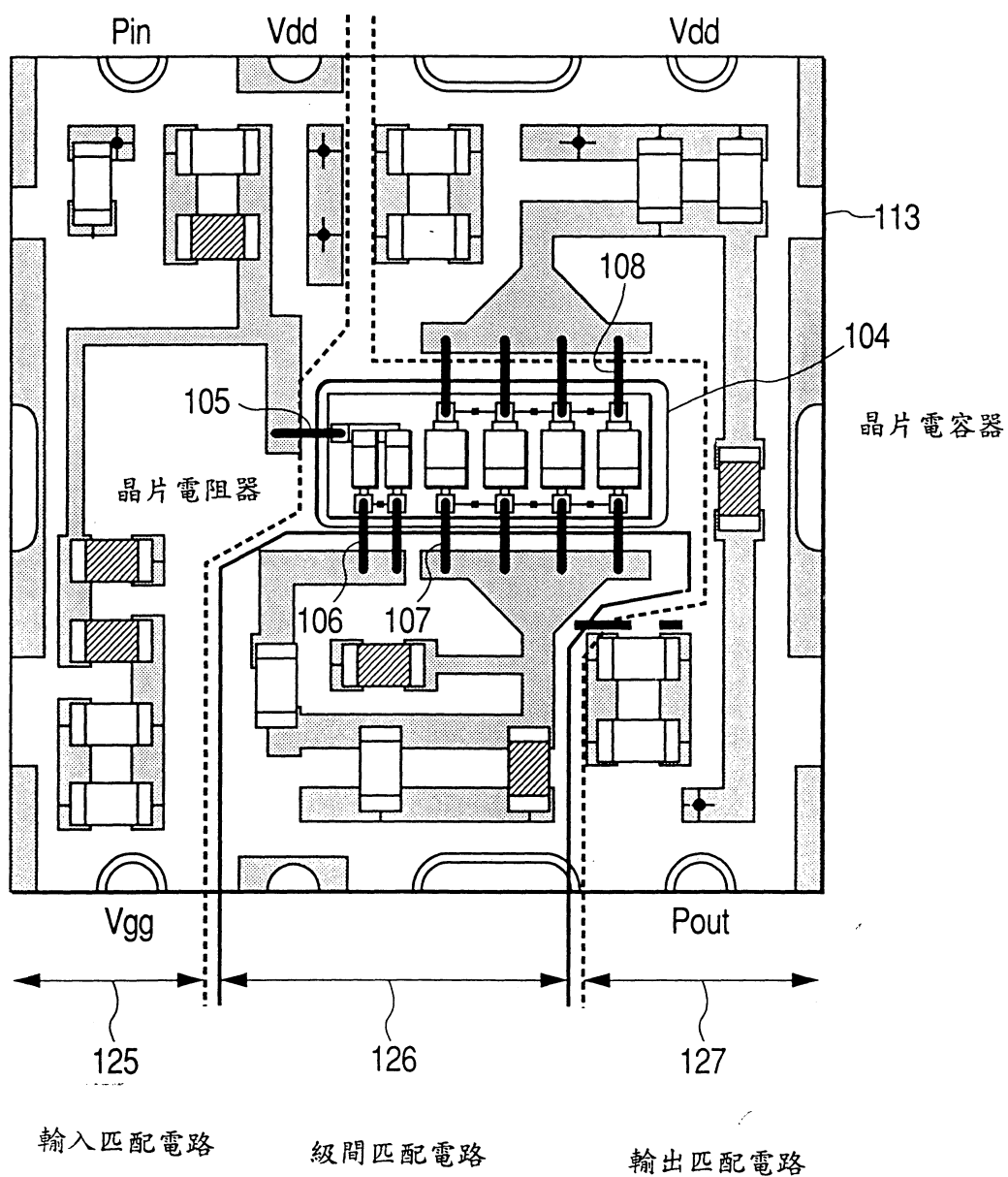


圖 13

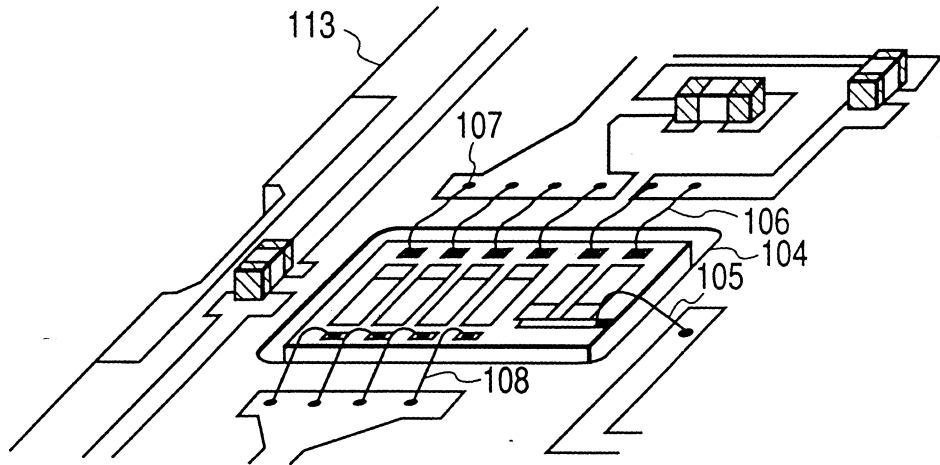


圖 14

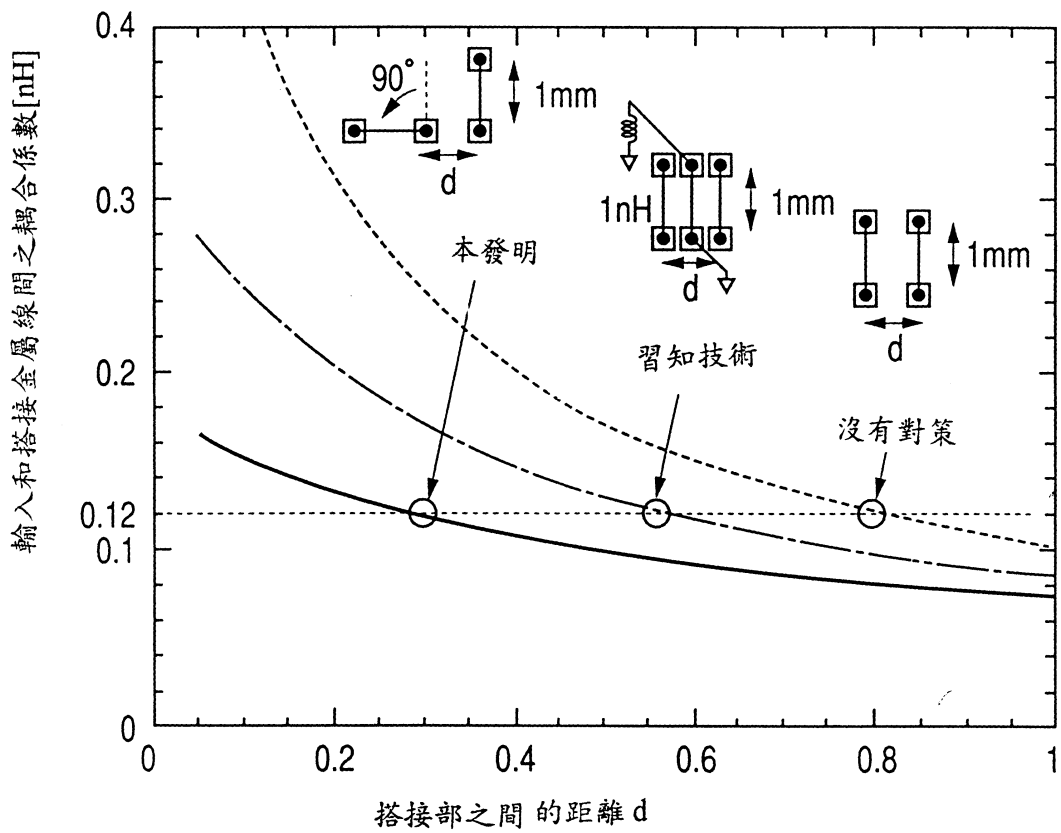


圖 15

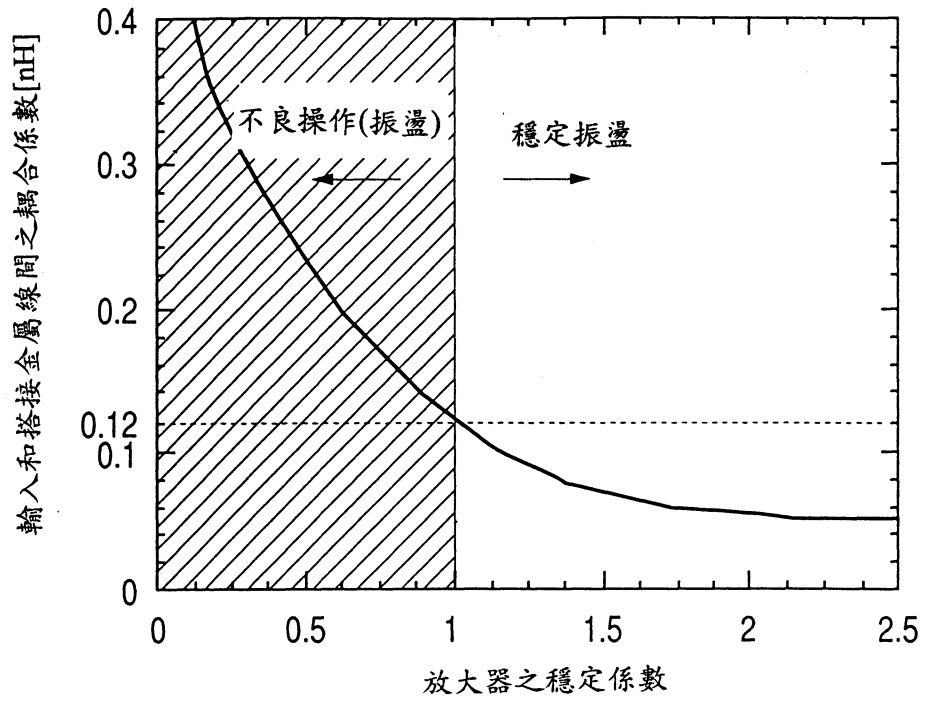


圖 16

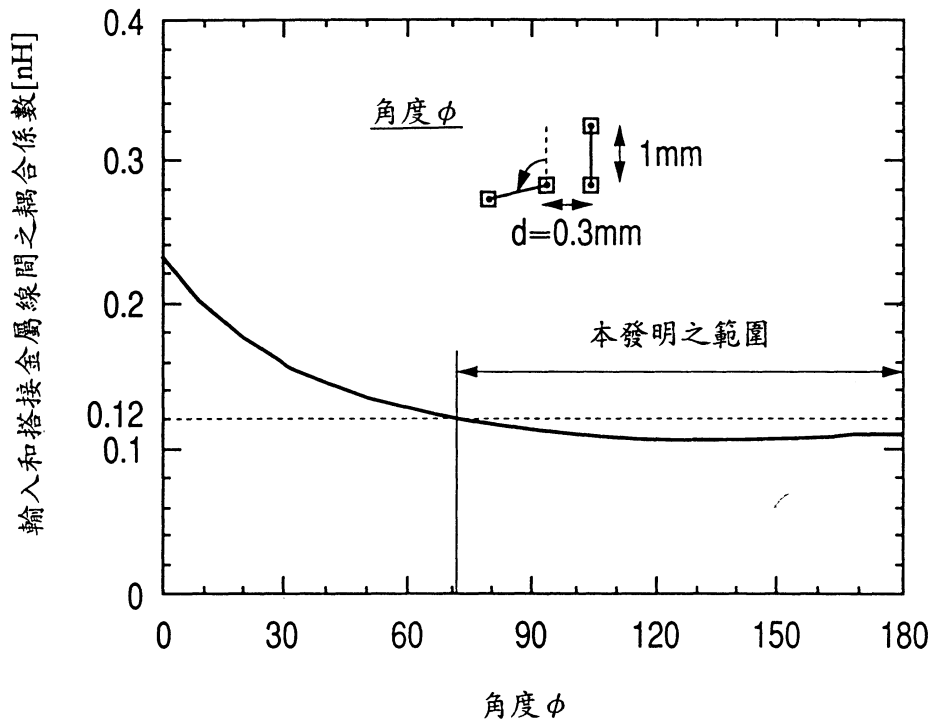


圖 17

搭接部之間
的距離 d

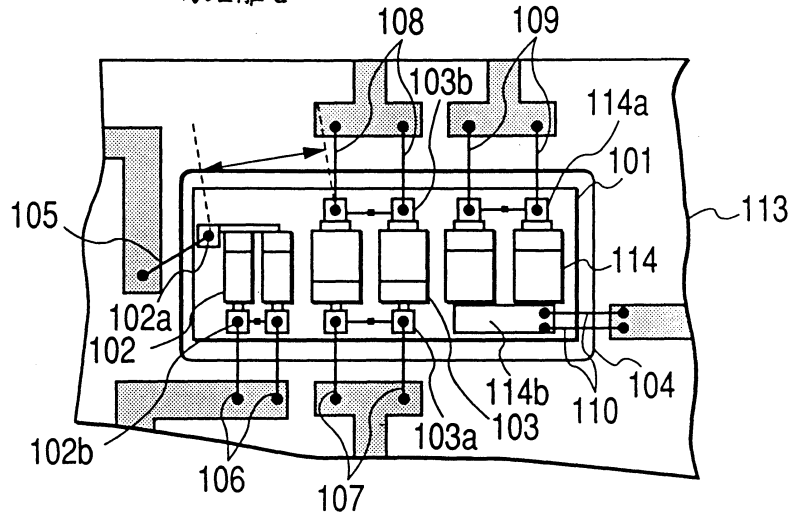


圖 18

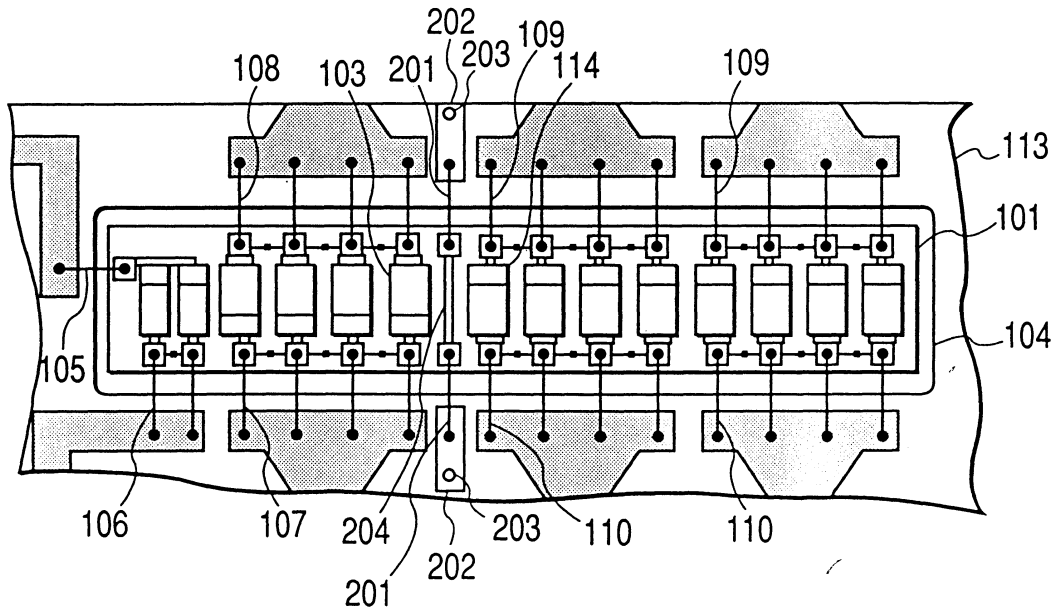


圖 19

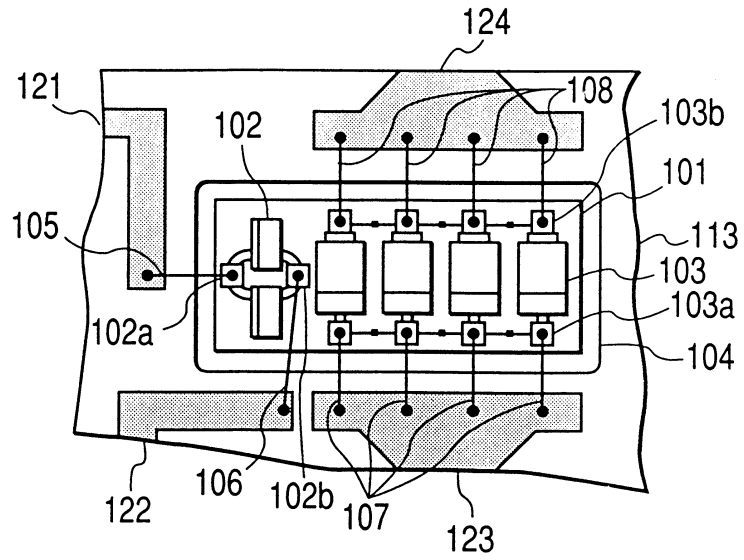


圖 20

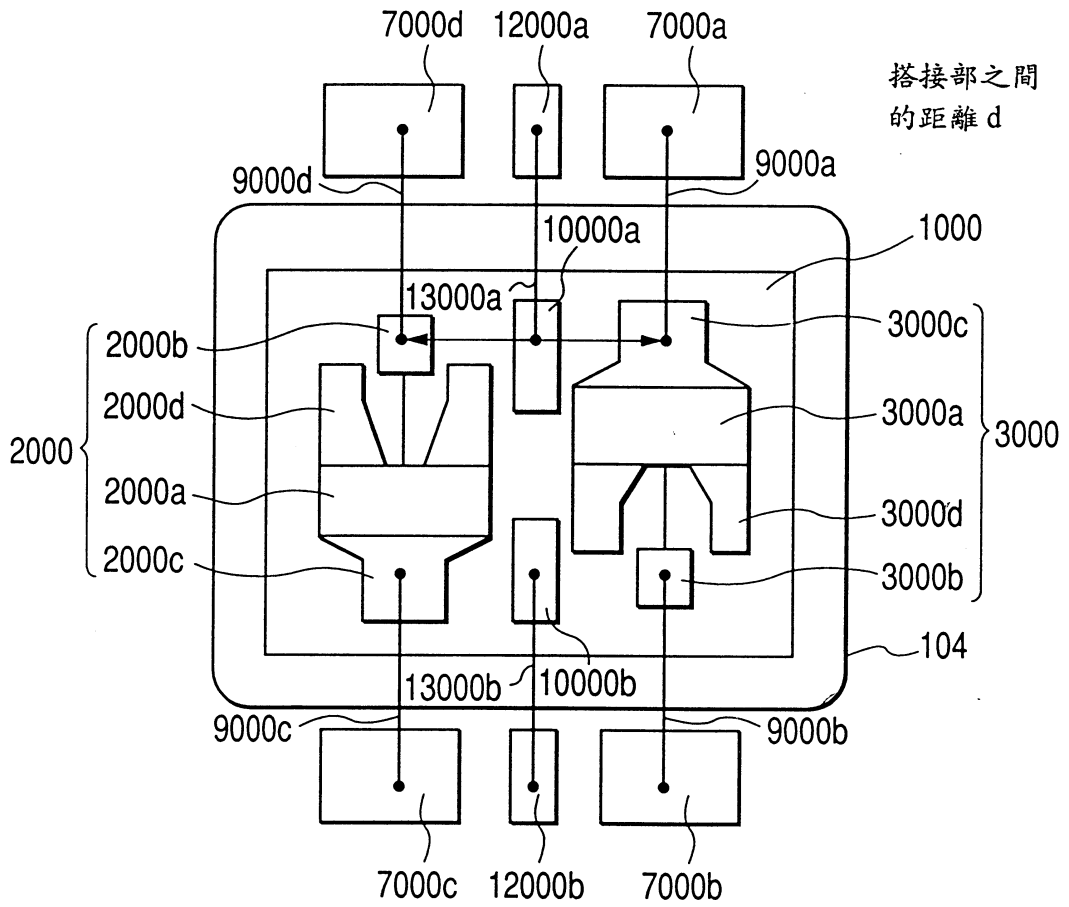


圖 21

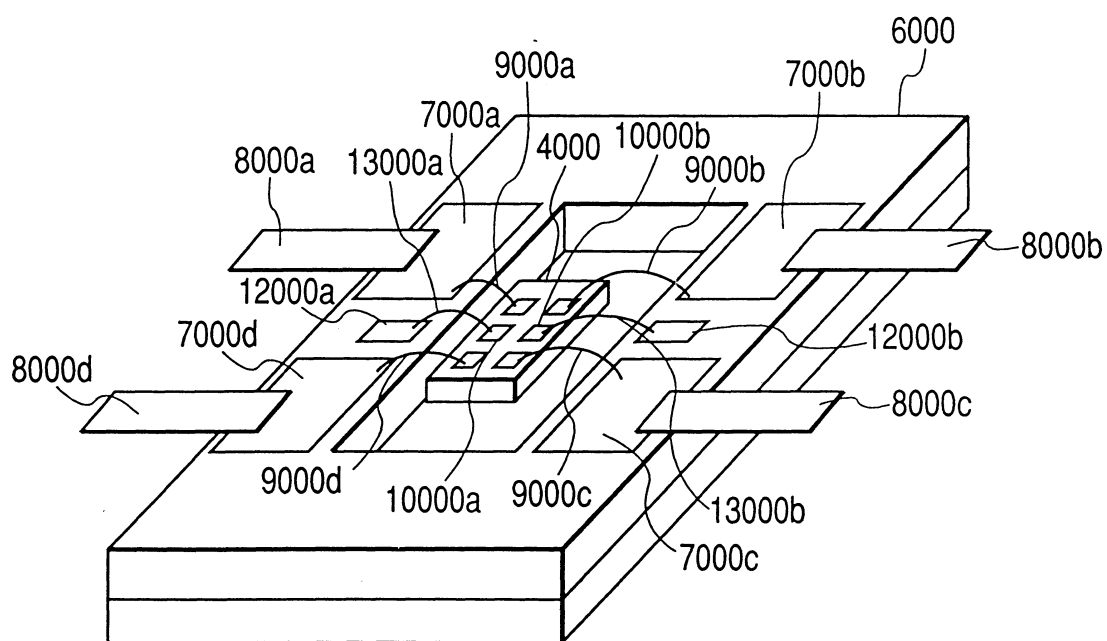


圖 22