

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年7月18日(18.07.2024)



(10) 国際公開番号

WO 2024/150368 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) H01L 21/336 (2006.01)

(21) 国際出願番号: PCT/JP2023/000592

(22) 国際出願日: 2023年1月12日(12.01.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者: 岩松 俊明 (IWAMATSU Toshiaki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 小山

皓洋(KOYAMA Akihiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 木谷 剛(KITANI Takeshi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 渡辺 友勝(WATANABE Tomokatsu); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

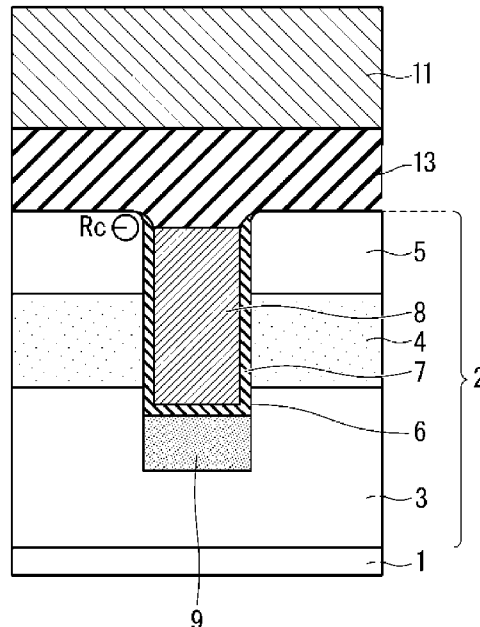
(74) 代理人: 吉竹 英俊, 外(YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央城区見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、および、半導体装置の製造方法

100



(57) Abstract: The present invention suppresses a decline in the reliability of an insulated gate-type semiconductor device (100) which has a trench structure. A semiconductor device which is equipped with a source electrode (11) which is electrically connected to a source region adjacent to a trench (6) in a first region, and gate wiring (18) provided on the top surface of a gate electrode (8) provided inside a trench in a second region, wherein the radius of curvature (Re) of a gate insulated film provided in an upper corner section of the trench in the second region is greater than the radius of curvature



BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(Rc) of a gate insulated film provided in an upper corner section of the trench in the first region.

(57) 要約: トレンチ構造を有する絶縁ゲート型半導体装置 (100) の、半導体装置の信頼性低下を抑制する。半導体装置は、第1の領域におけるトレンチ (6) に隣接するソース領域に電氣的に接続されるソース電極 (11) と、第2の領域におけるトレンチ内に設けられるゲート電極 (8) の上面に設けられるゲート配線 (18) とを備え、第2の領域におけるトレンチの上側角部に設けられるゲート絶縁膜の曲率半径 (Rc) が、第1の領域におけるトレンチの上側角部に設けられるゲート絶縁膜の曲率半径 (Rc) よりも大きい。

明 細 書

発明の名称：半導体装置、および、半導体装置の製造方法

技術分野

[0001] 本願明細書に開示される技術は、半導体技術に関するものである。

背景技術

[0002] パワーエレクトロニクス機器において、モータなどの負荷への電力供給を制御するスイッチング素子として、MOSFET (Metal Oxide Semiconductor Field Effect Transistor)、または、IGBT (Insulated Gate Bipolar Transistor) などの絶縁ゲート型半導体装置が広く使用されている。

[0003] これらの絶縁ゲート型半導体装置には、ゲート電極が半導体層に埋め込まれたトレンチ構造を有するものがある。トレンチ構造を有する絶縁ゲート型半導体装置は、ゲート電極が半導体層の表面に形成される、トレンチ構造を有さない絶縁ゲート型半導体装置（プレーナ型の半導体装置）に比べ、活性領域のチャネル幅密度を高くすることができる。そのため、半導体装置のオン状態において単位面積当たりの電気抵抗を低くすることができる。

[0004] 従来から、トレンチ構造を有する絶縁ゲート型半導体装置には、活性領域の周囲に設けられた終端領域において、活性領域側のトレンチ開口部のトレンチ内部および上側角部周辺にはゲート電極およびゲート絶縁膜が形成されている。この場合、ゲート電圧が印加されて半導体装置がオン状態となる際、トレンチ底面および上側角部周辺に電界が集中し、トレンチ底面および上側角部周辺のゲート絶縁膜の絶縁劣化が生じる。その結果、半導体装置の信頼性が低下する場合がある。

[0005] このような問題を解決するため、トレンチ底面に導電性を有する電界緩和領域を設けることで、トレンチ底面のゲート絶縁膜にかかる電界を緩和する方法が知られている（たとえば、特許文献1を参照）。

[0006] また、活性領域における幅が狭く深いトレンチと、終端領域における幅が広く浅いトレンチとを備える構造を形成し、その後のCMP（Chemical Mechanical Polishing）プロセス、または、CMPプロセスとエッチバックプロセスとの併用において、活性領域および終端領域のトレンチに形成されたゲート電極を平坦化することで、トレンチの上側角部がゲート電極に覆われないようにする方法が知られている（たとえば、特許文献2を参照）。

先行技術文献

特許文献

[0007] 特許文献1：特表2001-511315号公報

特許文献2：特表2006-520091号公報

発明の概要

発明が解決しようとする課題

[0008] ゲート電極の電位設定方法として、セルアレイ内のゲートトレンチに形成されるゲート電極へゲートコンタクト（コンタクトホール）を設ける必要がある。セルアレイのゲートトレンチは最小加工寸法で形成されるため、コンタクトマスクとの重ね合わせずれが懸念される。よって、セル内にゲートコンタクトを設けることを避け、終端領域における、幅が広いトレンチにおけるポリシリコンの上面にゲートコンタクトが設定される場合がある。

[0009] このような場合においても、トレンチの上側角部がポリシリコンに覆われることを避けることができない。そうすると、トレンチの上側角部のポリシリコンで覆われた箇所のゲート絶縁膜に電界が集中してしまい、ゲート絶縁膜の絶縁劣化が生じて半導体装置の信頼性が低下する。

[0010] 一方で、トレンチ底面に電界緩和領域を設ける方法では、トレンチの上側角部周辺の絶縁劣化を抑制することができない場合がある。また、CMPプロセスを用いる方法は、半導体基板の反り、基板表面の凹凸、半導体基板上に形成される膜の面内厚み均一性、または、パーティクルなどの影響による

当該膜の凹凸などの影響を非常に小さくする必要があり、現実的には採用することが困難である。

[0011] さらに、終端領域に幅が広いトレンチを形成してゲート絶縁膜およびゲート電極を連続的に堆積させる場合、その後のエッチバックプロセスにおいてゲート電極の露出面積が大きくなり、ゲート電極がエッチングされて厚みが薄くなること、または、ゲート電極が消失してしまう場合がある。そのため、絶縁ゲート型半導体装置の動作が不安定になる（半導体装置の信頼性が低下する）場合がある。また、トレンチの上側角部周辺の絶縁劣化を抑制することができない場合がある。

[0012] 本願明細書に開示される技術は、以上に記載されたような問題を鑑みてなされたものであり、トレンチ構造を有する絶縁ゲート型半導体装置の、半導体装置の信頼性低下を抑制するための技術である。

課題を解決するための手段

[0013] 本願明細書に開示される技術の第1の態様である半導体装置は、第1の導電型のドリフト層と、前記ドリフト層の表層に設けられる第2の導電型のベース領域と、前記ベース領域の表層に複数設けられる第1の導電型のソース領域と、前記ドリフト層の上面から前記ベース領域を介して前記ドリフト層内まで達する少なくとも1つのトレンチと、前記トレンチの下方の前記ドリフト層内に設けられる第2の導電型の保護層と、前記トレンチの上側角部を含む前記トレンチの内部に沿って設けられるゲート絶縁膜と、前記ゲート絶縁膜に囲まれて少なくとも前記トレンチ内に設けられるゲート電極と、前記トレンチに隣接する前記ソース領域に電氣的に接続されるソース電極と、前記トレンチ内に設けられる前記ゲート電極の上面に設けられるゲート配線とをさらに備え、前記トレンチの平面視で区切られる領域のうち、前記ソース電極が設けられる領域を第1の領域とし、前記ゲート配線が設けられる領域を第2の領域とし、前記第2の領域における前記トレンチの前記上側角部に設けられる前記ゲート絶縁膜の曲率半径が、前記第1の領域における前記トレンチの前記上側角部に設けられる前記ゲート絶縁膜の曲率半径よりも大き

い。

発明の効果

[0014] 本願明細書に開示される技術の少なくとも第1の態様によれば、ゲート電圧が印加されても電界集中が抑制されるため、ゲート絶縁膜の破壊が抑制される。

[0015] また、本願明細書に開示される技術に関連する目的と、特徴と、局面と、利点とは、以下に示される詳細な説明と添付図面とによって、さらに明白となる。

図面の簡単な説明

[0016] [図1]実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。

[図2]実施の形態に関する半導体装置の構成の一部を示す断面図である。

[図3]実施の形態に関する半導体装置の構成の一部を示す断面図である。

[図4]実施の形態に関する半導体装置の構成の一部を示す平面図である。

[図5]図におけるセル部の構成の例を示す断面図である。

[図6]図3の活性領域20におけるゲートコンタクト部の構成の例を示す断面図である。

[図7]実施の形態に関する半導体装置の製造方法の例を示す図である。

[図8]実施の形態に関する半導体装置の製造方法の例を示す図である。

[図9]実施の形態に関する半導体装置の製造方法の例を示す図である。

[図10]実施の形態に関する半導体装置の製造方法の例を示す図である。

[図11]実施の形態に関する半導体装置の製造方法の例を示す図である。

[図12]実施の形態に関する半導体装置の製造方法の例を示す図である。

[図13]実施の形態に関する半導体装置の製造方法の例を示す図である。

[図14]実施の形態に関する半導体装置の製造方法の例を示す図である。

[図15]実施の形態に関する半導体装置の製造方法の例を示す図である。

[図16]実施の形態に関する半導体装置の製造方法の例を示す図である。

[図17]実施の形態に関する半導体装置の製造方法の例を示す図である。

[図18]実施の形態に関する半導体装置の製造方法の例を示す図である。

[図19]本実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。

[図20]実施の形態に関する半導体装置の製造方法の例を示す図である。

[図21]実施の形態に関する半導体装置の製造方法の例を示す図である。

[図22]実施の形態に関する半導体装置の製造方法の例を示す図である。

[図23]本実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。

[図24]実施の形態に関する半導体装置の製造方法の例を示す図である。

[図25]実施の形態に関する半導体装置の製造方法の例を示す図である。

[図26]実施の形態に関する半導体装置の構成の例を概略的に示す断面図である。

[図27]実施の形態に関する半導体装置の構成の例を概略的に示す断面図である。

[図28]実施の形態に関する半導体装置の構成の例を概略的に示す断面図である。

[図29]実施の形態に関する半導体装置の構成の例を概略的に示す断面図である。

[図30]実施の形態に関する半導体装置の構成の例を概略的に示す断面図である。

発明を実施するための形態

[0017] 以下、添付される図面を参照しながら実施の形態について説明する。以下の実施の形態では、技術の説明のために詳細な特徴なども示されるが、それらは例示であり、実施の形態が実施可能となるために、それらのすべてが必ずしも必須の特徴ではない。

[0018] なお、図面は概略的に示されるものであり、説明の便宜のため、適宜、構成の省略、または、構成の簡略化などが図面においてなされる。また、異なる図面にそれぞれ示される構成などの大きさおよび位置の相互関係は、必ず

しも正確に記載されるものではなく、適宜変更され得るものである。また、断面図ではない平面図などの図面においても、実施の形態の内容を理解することを容易にするために、ハッチングが付される場合がある。

[0019] また、以下に示される説明では、同様の構成要素には同じ符号を付して図示し、それらの名称と機能とについても同様のものとする。したがって、それらについての詳細な説明を、重複を避けるために省略する場合がある。

[0020] また、本願明細書に記載される説明において、ある構成要素を「備える」、「含む」または「有する」などと記載される場合、特に断らない限りは、他の構成要素の存在を除外する排他的な表現ではない。

[0021] また、本願明細書に記載される説明において、「第1の」または「第2の」などの序数が使われる場合があっても、これらの用語は、実施の形態の内容を理解することを容易にするために便宜上使われるものであり、実施の形態の内容はこれらの序数によって生じ得る順序などに限定されるものではない。

[0022] また、本願明細書に記載される説明において、「上」、「下」、「左」、「右」、「側」、「底」、「表」または「裏」などの特定の位置または方向を意味する用語が使われる場合があっても、これらの用語は、実施の形態の内容を理解することを容易にするために便宜上使われるものであり、実施の形態が実際に実施される際の位置または方向とは関係しないものである。

[0023] また、本願明細書に記載される説明において、「…の上面」または「…の下面」などと記載される場合、対象となる構成要素の上面自体または下面自体に加えて、対象となる構成要素の上面または下面に他の構成要素が形成された状態も含むものとする。すなわち、たとえば、「Aの上面に設けられるB」と記載される場合、AとBとの間に別の構成要素「C」が介在することを妨げるものではない。

[0024] <第1の実施の形態>

以下、本実施の形態に関する半導体装置、および、半導体装置の製造方法について説明する。なお、それぞれの図面において、簡潔に説明するために

、半導体層、および、電極の詳細は省略される場合がある。

[0025] <半導体装置の構成について>

図1は、本実施の形態に関する半導体装置100の構成の例を概略的に示す平面図である。図1に例が示されるように、半導体装置100は、活性領域20と終端領域30とを備える。

[0026] 活性領域20は、平面視で複数配列されたゲートトレンチ6を有する。終端領域30は、終端トレンチ16と、平面視で終端トレンチ16に重なって形成されたゲート配線18とを有する。また、終端領域30における内側の部分には、ゲートトレンチ26が形成されている。

[0027] 活性領域20は、半導体装置100の中央部に設けられる。活性領域20は、活性領域20内にストライプ状に形成されたゲートトレンチ6に電圧が印加された場合に、半導体装置100に電流を流す領域である。

[0028] 半導体装置100のオン状態において、ゲートトレンチ6に正電圧を印加することで、ゲート絶縁膜と半導体層との界面に電子が誘起されて電流が流れる。

[0029] 終端領域30は、平面視で活性領域20の周囲に形成される。終端領域30は、終端トレンチ16と、ゲート絶縁膜17と、ゲート電極8と、ゲート配線18と、電界緩和を目的とするガードリングとを有する。終端トレンチ16は、終端領域30に設けられたトレンチである。

[0030] 本実施の形態では、第1の導電型がn型、第2の導電型がp型として説明されるが、第1の導電型がp型、第2の導電型がn型の半導体装置であってもよい。

[0031] また、本実施の形態では、半導体装置がMOSFETである場合について説明されるが、半導体装置はIGBTであってもよい。また、本実施の形態では、半導体層に含まれるドリフト層が炭化珪素(SiC)で形成されている場合について説明されるが、ドリフト層は、窒化ガリウム(GaN)またはダイヤモンドなどの、シリコンと比較してバンドギャップが大きいワイドバンドギャップ半導体であってもよい。

[0032] 図1において、半導体装置100の半導体層には、活性領域20においてはゲートトレンチ6が形成され、終端領域30においてはゲートトレンチ26と終端トレンチ16とが形成されている。終端トレンチ16は、平面視でゲートトレンチ6およびゲートトレンチ26を囲い、かつ、ゲートトレンチ6およびゲートトレンチ26と離隔して形成される。

[0033] 図1に例が示されるように、ゲートトレンチ6は平面視でストライプ状に形成されている。活性領域20内のゲートトレンチ6で区画されたそれぞれの領域には複数のセル（セル部）が形成されており、当該セルはMOSFETとして機能する。

[0034] 図2および図3は、本実施の形態に関する半導体装置の構成の一部を示す断面図である。図4は、本実施の形態に関する半導体装置の構成の一部を示す平面図である。図2、図3および図4に示される構成は、図1における破線で囲まれた領域1000に対応する。また、図2に示される断面は、図4に示されるA-A'断面に対応する。同様に、図3に示される断面は、図4に示されるB-B'断面に対応する。

[0035] 図2および図3に例が示されるように、MOSFETである半導体装置100は、n型の炭化珪素半導体基板1と、炭化珪素半導体基板1の上面にエピタキシャル成長によって形成された半導体層2とを備える。また、半導体装置100は、炭化珪素半導体基板1の下面には、ドレイン電極12を備える。

[0036] 半導体層2のうち活性領域20には、n型の炭化珪素半導体からなるドリフト層3と、ドリフト層3の表層に設けられたp型のベース領域4と、ベース領域4の表層に選択的に設けられたn型のソース領域5と、ソース領域5とベース領域4とを貫通して、底面がドリフト層3内に位置するように形成されたゲートトレンチ6と、ゲートトレンチ6の底面の下方に設けられたp型の拡散保護層9とが形成されている。

[0037] 一方、半導体層2のうち終端領域30には、n型の炭化珪素半導体からなるドリフト層3と、ドリフト層3の表層に設けられたp型のベース領域4と

、底面がベース領域4よりも深くn型のドリフト層3内に位置するように形成されたゲートトレンチ26および終端トレンチ16と、ゲートトレンチ26の底面の下方に設けられたp型の拡散保護層9と、終端トレンチ16の底面の下方に設けられたp型の終端保護層19とが形成されている。

[0038] なお、半導体装置100をIGBTとする場合には、炭化珪素半導体基板1の導電型をp型とすればよい。

[0039] ここで、ドリフト層3のn型不純物濃度は、たとえば、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上、かつ、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であり、ドリフト層3の厚さは、たとえば、 $5 \mu\text{m}$ 以上、かつ、 $200 \mu\text{m}$ 以下であってよい。

[0040] また、ベース領域4のp型不純物濃度は、たとえば、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上、かつ、 $1 \times 10^{20} \text{ cm}^{-3}$ 以下であってよい。

[0041] また、ソース領域5のn型不純物濃度は、ベース領域4のp型不純物濃度以上、かつ、 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であってよい。

[0042] また、拡散保護層9のp型不純物濃度および終端保護層19のp型不純物濃度は、たとえば、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上、かつ、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下であってよい。拡散保護層9のp型不純物濃度は、終端保護層19のp型不純物濃度と同じ、または、終端保護層19のp型不純物濃度以上であることが好ましい。

[0043] また、図2および図3に例が示されるように、ゲートトレンチ6の側面と底面とにはゲート絶縁膜7が形成されており、ゲートトレンチ6内にはゲート絶縁膜7を介してポリシリコンからなるゲート電極8が埋め込まれている。ただし、図3においては、ゲート配線18と平面視で重なるゲートトレンチ6内のゲート絶縁膜7およびゲート電極8は、半導体層2の上面（ベース領域4またはソース領域5が形成される半導体層2の上面）にまで延びて形成されている。

[0044] 同様に、ゲートトレンチ26の側面と底面とには、ゲートトレンチ6におけるゲート絶縁膜7と同じ厚さのゲート絶縁膜7が形成されており、ゲートトレンチ26内にはゲート絶縁膜7を介してポリシリコンからなるゲート電

極 8 が埋め込まれている。ゲートトレンチ 26 内のゲート電極 8 は、半導体層 2 の上面にまで形成されている。ゲート配線 18 は、複数のゲートトレンチ 6 内に設けられるゲート電極 8 の上面に渡って設けられる。

[0045] 半導体層 2 の上面にまで延伸して形成されたポリシリコンには、コンタクトホール（ゲートコンタクト 34）を介してゲート電極 8 が形成されている。ゲート電極 8 は、チップの組み立て時にワイヤーボンディング接続用ボンディングパッドにまで延伸する。

[0046] 図 2、図 3 および図 4 に例が示されるように、終端領域 30 と活性領域 20 との境界部分には、電氣的に機能しないゲートトレンチ 26 が形成される。

[0047] 終端領域 30 には、ゲートトレンチ 6 およびゲートトレンチ 26 よりも形成幅が広い終端トレンチ 16 が形成され、終端トレンチ 16 の底面および側面には、ゲートトレンチ 6 におけるゲート絶縁膜 7 と同じ厚さのゲート絶縁膜 7 が形成されている。また、終端トレンチ 16 内の一部には層間絶縁膜 13（酸化膜）が堆積されている。また、終端トレンチ 16 内の他の一部にはゲート電極 8 が形成されている。

[0048] また、セル部のゲートトレンチ 6 にはゲート電極 8 が形成されている。終端領域 30 と活性領域 20 との境界部分のゲートトレンチ 26 にもポリシリコン（ゲート電極 8）が堆積されている。

[0049] また、層間絶縁膜 13 が、ゲート電極 8 を含む半導体層 2 の上面を覆って形成される。そして、層間絶縁膜 13 に形成された開口であるゲートコンタクト 34 を介して露出するゲート電極 8 に接触するように、ゲート配線 18 が形成される。ゲートコンタクト 34 は、終端領域 30 において終端トレンチ 16 におけるゲート電極 8 を露出させるものと、活性領域 20 においてゲートトレンチ 6 から半導体層 2 の上面にまで延伸するゲート電極 8 を露出させるものとがある。また、層間絶縁膜 13 に形成された開口であるソースコンタクト 31 を介して露出するベース領域 4 の上面およびソース領域 5 の上面にオーミック電極 32 を介して接触するように、ソース電極 11 が形成さ

れる。

[0050] 終端領域 30 の終端トレンチ 16 には酸化膜（層間絶縁膜 13）が形成されているのに対し、ゲートトレンチ 6 内とゲートトレンチ 26 内とにはポリシリコンが形成されており、双方では異なる材料が形成されていることとなる。

[0051] さらに、終端領域 30 の終端トレンチ 16 は広い寸法で加工されているのに対し、セル部のゲートトレンチ 6 またはゲートトレンチ 26 は最小の加工線幅で形成されている。両者で構造の差があるため、ウエハプロセスでの熱履歴によって、材料による膨張係数が異なる。このことは、在留応力を生じさせ、その結果、素子の電気特性に違いが生じ、半導体装置の信頼性へも影響を与える。

[0052] 活性領域 20 に配置されたそれぞれのセルにおいても、ゲートトレンチの最外周部分になるほど応力が高くなる。この影響で、ゲートトレンチの最外周部分に近くなるほど、ゲート絶縁膜 7 の故障率が高くなる。このため、最外周のセルを他のセルと電氣的に分離し、ゲート電位をフローティングにすることで、素子の故障を抑制することができる。

[0053] 図 5 は、図 2 におけるセル部の構成の例を示す断面図である。図 5 に例が示されるように、ゲートトレンチ 6 の上側角部は、ラウンド形状（丸い形状）となっている。

[0054] 図 6 は、図 3 の活性領域 20 におけるゲートコンタクト部の構成の例を示す断面図である。図 6 に例が示されるように、ゲートトレンチ 6 の上側角部は、ラウンド形状（丸い形状）となっている。

[0055] 図 5 に示されるように、ゲートトレンチ 6 にゲート電極 8 が埋め込まれているセル部の、半導体層 2 の上側角部は、丸みが曲率半径 R_c で示される形状である。よって、当該箇所に形成されるゲート絶縁膜 7 の形状も、曲率半径 R_c で示される丸みを帯びる形状である。

[0056] また、図 6 に示されるように、ゲートトレンチ 6 から半導体層 2 の上面にまで延伸するゲート電極 8 を備えるゲートコンタクト部の、半導体層 2 の上

側角部は、丸みが曲率半径 R_e で示される形状である。よって、当該箇所形成されるゲート絶縁膜 7 の形状も、曲率半径 R_e で示される丸みを帯びる形状である。

[0057] 上記のゲート絶縁膜 7 直下のゲートトレンチ 6 の曲率半径を比較すると、 $R_e > R_c$ となり、ゲートコンタクト部の方が緩やかな形状となっている。セル部の小さな曲率半径 R_c は、たとえば、 $0\ \mu\text{m}$ より大きく、かつ、 $0.1\ \mu\text{m}$ 以下である。ゲートコンタクト部の曲率半径 R_e は、たとえば、 $0.1\ \mu\text{m}$ 以上、かつ、 $2\ \mu\text{m}$ 以下である。特に、ゲートコンタクト部の曲率半径 R_e が $0.5\ \mu\text{m}$ 以上、かつ、 $2\ \mu\text{m}$ 以下であれば、良好な特性が得られる。

[0058] ゲートコンタクト部のゲートトレンチ 6 の上側角部には、ゲート絶縁膜 7 とゲート電極 8 とが形成されている。曲率半径 R_e は曲率半径 R_c よりも大きいので、MOSFET がオン動作する際に、ゲートトレンチ 6 の上側角部に形成されるゲート絶縁膜 7 に高電界が印加されることを抑制することができる。

[0059] たとえば、ゲート電圧 20 V が印加された際、ゲート絶縁膜 7 の厚さが 50 nm であれば、ゲートトレンチ 6 の側壁部分には 4 MV/cm の電界が印加されることになる。この場合、曲率半径 R_e の丸みを有するゲート絶縁膜 7 が形成されたゲートコンタクト部であれば、ゲートトレンチ 6 の上側角部に形成されるゲート絶縁膜 7 に高電界が印加されることを抑制して、絶縁膜破壊を抑制することができる。

[0060] ゲート絶縁膜 7 の信頼性の観点からは、曲率半径 R_e であるゲートトレンチ 6 近傍のゲート絶縁膜 7 に印加される電界を 5% 以下の増分に抑制するような曲率半径 R_e を設計することが望ましい。

[0061] なお、図 6 に示されるゲートコンタクト部は、活性領域 20 に設けられるものが想定されているが、終端領域 30 におけるゲートコンタクト部（ゲート配線 18 とゲート電極 8 とがゲートコンタクト 34 を介して接続される箇所）で、終端トレンチ 16 の上側角部が、ラウンド形状（丸い形状）となっ

ていてもよい。

[0062] 本実施の形態では、ソース電極と半導体層との間にオーミック電極を設ける場合、ソース電極とオーミック電極とを区別せずに両者を合わせてソース電極と呼ぶ場合がある。同様に、金属電極であるゲートボンディングパッドと半導体などからなるゲート電極との間にオーミック電極を設ける場合、ゲートボンディングパッドとオーミック電極とを区別せずに両者を合わせてゲートボンディングパッドと呼ぶ場合がある。

[0063] つまり、本実施の形態では、ソース電極およびゲートボンディングパッドは単一の金属で構成されるものに限られず、半導体層との接合部に半導体層との接合に適した材料が設けられた構成であってもよい。また、オーミック電極は金属に限られず、金属と半導体との化合物、または、シリサイドであってもよい。また、オーミック電極は、複数層の金属、または、半導体などの導電体からなる構成であってもよい。

[0064] <半導体装置の製造方法について>

次に、本実施の形態に関する半導体装置 100 の製造方法について説明する。

[0065] 図 7 から図 18 は、本実施の形態に関する半導体装置の製造方法の例を示す図である。

[0066] 図 7 から図 11 では、ゲートトレンチ 6 の底面の下方に拡散保護層 9 を、終端トレンチ 16 の底面の下方に終端保護層 19 を、それぞれ形成するまでの工程の例が示される。なお、図 7 から図 10 は、図 11 の A-A' 断面に対応する。

[0067] 図 12 から図 15 では、拡散保護層 9 と終端保護層 19 とを形成してからゲート電極 8 を形成するまでの工程の例が示される。なお、図 12 および図 13 は、図 15 の A-A' 断面に対応する。また、図 14 は、図 15 の B-B' 断面に対応する。

[0068] 図 16 から図 18 では、ゲート電極 8 を形成してから半導体装置 100 を完成させるまでの工程の例が示される。

- [0069] まず、図7に例が示されるように、4Hのポリタイプを有するn型の炭化珪素半導体基板1を用意し、その上面に化学気相体積（CVD：Chemical Vapor Deposition）法でn型の半導体層2をエピタキシャル成長させる。
- [0070] この際、n型の半導体層2のn型不純物濃度は、たとえば、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上、かつ、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であり、半導体層2の厚さは、たとえば、 $5 \mu\text{m}$ 以上、かつ、 $200 \mu\text{m}$ 以下である。
- [0071] 次に、図7に例が示されるように、エピタキシャル成長させた半導体層2の表層にp型不純物であるアルミニウム（Al）をイオン注入してベース領域4を形成する。Alのイオン注入深さは、半導体層2の厚さを超えない範囲とし、たとえば、 $0.3 \mu\text{m}$ 以上、かつ、 $3 \mu\text{m}$ 以下とする。イオン注入するAlの不純物濃度は、エピタキシャル成長させた半導体層2のn型不純物濃度よりも高くし、ベース領域4のp型不純物濃度は、たとえば、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上、かつ、 $1 \times 10^{20} \text{ cm}^{-3}$ 以下とする。この結果、半導体層2のうち、Alのイオン注入深さよりも深いベース領域4以外の領域がn型のドリフト層3となる。
- [0072] なお、ベース領域4はp型半導体をエピタキシャル成長させて形成してもよく、その場合のベース領域4のp型不純物濃度および厚さは、ベース領域4をイオン注入によって形成する場合と同じであってよい。
- [0073] 次に、図7に例が示されるように、ベース領域4の表層にn型不純物である窒素（N）を選択的にイオン注入してソース領域5を形成する。ソース領域5は、後の工程で形成されるゲート電極8のレイアウトに対応するパターンで形成される。Nのイオン注入深さは、ベース領域4の厚さよりも浅くする。イオン注入するNの不純物濃度は、ベース領域4のp型不純物濃度以上、かつ、 $1 \times 10^{21} \text{ cm}^{-3}$ 以下とする。
- [0074] なお、ベース領域4を形成するためにAlをイオン注入する工程と、ソース領域5を形成するためにNをイオン注入する工程とは、順序を入れ替えてもよい。また、ベース領域4内の表層全体にNをイオン注入してn型半導体

層を形成した後、ソース領域5として残す部分にマスクをして、マスクしていない領域（ソース領域5以外の領域）にA1を再びイオン注入してp型のベース領域4に戻してもよい。この際、再びイオン注入するA1の不純物濃度をドリフト層3に隣接する部分のベース領域4のA1の不純物濃度よりも高くして、ソース電極との接触抵抗を低減させてもよい。

[0075] 次に、図8に例が示されるように、半導体層2の上面にシリコン酸化膜41を形成し、さらに、シリコン酸化膜41の上面にエッチングマスク42を形成する。シリコン酸化膜41は、厚さを、たとえば、 $1\mu\text{m}$ 以上、かつ、 $2\mu\text{m}$ 以下で堆積させて形成し、その後、シリコン酸化膜41の上面にエッチングマスク42を形成する。エッチングマスク42には、ゲートトレンチ6、ゲートトレンチ26および終端トレンチ16を形成する領域に対応する開口を有するパターンをフォトリソグラフィー技術において形成する。

[0076] 次に、エッチングマスク42をマスクとして反応性イオンエッチング（RIE: Reactive Ion Etching）処理を行い、シリコン酸化膜41をパターニングする。つまり、エッチングマスク42のパターンをシリコン酸化膜41に転写し、シリコン酸化膜41を半導体層2のエッチングマスクにする。

[0077] 次に、図9に例が示されるように、パターニングされたシリコン酸化膜41をマスクとして、RIE処理において半導体層2にソース領域5とベース領域4とを貫通するゲートトレンチ6およびゲートトレンチ26と、ベース領域4を貫通する終端トレンチ16とを形成する。

[0078] ゲートトレンチ6、ゲートトレンチ26および終端トレンチ16の深さは、半導体層2にイオン注入で形成したベース領域4の深さ以上であり、たとえば、 $1.0\mu\text{m}$ 以上、かつ、 $6.0\mu\text{m}$ 以下であってよい。

[0079] シリコン酸化膜41をマスクとして、ゲートトレンチ6、ゲートトレンチ26および終端トレンチ16を形成する。そして、ゲートトレンチ6、ゲートトレンチ26および終端トレンチ16を形成した後、図10に例が示されるように、シリコン酸化膜41と同様のパターンの開口を有する注入マスク

43を形成し、ゲートトレンチ6の底部およびゲートトレンチ26の底部に、Alのイオン注入でp型の拡散保護層9を形成する。同様に、終端トレンチ16の底部に、Alのイオン注入でp型の終端保護層19を形成する。イオン注入するAlの不純物濃度は、たとえば、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上、かつ、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下であり、イオン注入する深さは、たとえば、 $0.1 \mu\text{m}$ 以上、かつ、 $2.0 \mu\text{m}$ 以下であることが好ましい。イオン注入するAlの不純物濃度は、半導体装置100のドレイン電極12とソース電極11との間に、半導体装置100の耐圧と同じ電圧が印加された場合にゲート絶縁膜7に印加される電界に基づいて決定してよい。

[0080] なお、シリコン酸化膜41をマスクとしてゲートトレンチ6と終端トレンチ16とを形成した後にもシリコン酸化膜41が残存するように、シリコン酸化膜41の厚さ、また、エッチング条件を調整することによって、拡散保護層9と終端保護層19とを形成する際に、注入マスク43の代わりに上記の残存したシリコン酸化膜41をマスクとして使用することができる。これによって、製造プロセスの簡略化と製造コストの削減とが可能となる。

[0081] また、拡散保護層9を形成する際に、ゲートトレンチ6の開口に対して斜め方向からAlをイオン注入することで、ゲートトレンチ6の側面に接触するドリフト層3内にp型の半導体層を形成して、p型の拡散保護層9とp型のベース領域4とをp型の半導体層で接続することができる。そうすると、拡散保護層9とソース電極11とを電氣的に接続することができる。

[0082] 拡散保護層9と終端保護層19とを形成した後、イオン注入に使用した注入マスク43を除去し、熱処理装置を用いてイオン注入した不純物を活性化させるアニール処理を行う。アニール処理は、アルゴン(Ar)などの不活性ガス雰囲気中または真空中で、たとえば、 1300°C 以上、かつ、 1900°C 以下で、30秒以上、かつ、1時間以下で加熱して行う。

[0083] 次に、図12に例が示されるように、図15のA-A'断面およびB-B'断面において、注入マスク43を除去し、半導体層2の上面を酸化させる。半導体層2の上面に形成される酸化膜の膜厚は、たとえば、 5 nm 以上、

かつ、100nm以下程度がよい。その後、酸化膜をフッ酸系のウェットエッチングで除去する。この工程によって、それぞれのトレンチの上側角部にラウンド形状（曲率半径 R_c ）が形成される。

[0084] 次に、図13に例が示されるように、酸化膜41Aを堆積させ、さらに、図14に例が示されるように、活性領域20のゲートコンタクトを形成する領域に対応する部分の酸化膜41Aのみを開口する。

[0085] 次に、図14に例が示されるように、図15のB-B'断面においては、酸化膜41Aをエッチングして一部の半導体層2を露出させ、露出した半導体層2におけるゲートトレンチ6の上側角部にラウンド形状（曲率半径 R_e ）を形成する。図15のB-B'断面においては、複数のゲートトレンチ6に跨る範囲が酸化膜41Aから露出している状態が示されている。

[0086] ラウンド形状の形成は、CDE（ケミカルドライエッチング：等方性エッチング）エッチングでもよいし、他のエッチング処理（水素雰囲気での熱処理など）でも構わない。その後、酸化膜41Aを除去する。

[0087] 図12に示された工程でトレンチの上側角部にラウンド形状（曲率半径 R_c ）が形成されていた箇所は、図14に示された工程でさらにCDEまたは水素雰囲気での熱処理が行われることで、ゲートトレンチ6の上側角部に、さらに大きな曲率半径のラウンド形状を形成することができる。

[0088] 以上のように、ゲート配線18が上面に設けられる領域のゲートトレンチ6（または、終端トレンチ16）の上側角部に設けられるゲート絶縁膜7の曲率半径 R_e は、ソース電極11が隣接するソース領域5に電氣的に接続される領域のゲートトレンチ6の上側角部に設けられるゲート絶縁膜7の曲率半径 R_c よりも大きい。このような構成であれば、より大きな曲率半径のラウンド形状（曲率半径 R_e ）で形成されたゲート絶縁膜7にゲート電圧が印加されても、曲率半径が大きいことから電界集中が効果的に抑制され、高電界が印加されることが抑制される。このため、ゲート絶縁膜7の破壊が抑制される。

[0089] 次に、ゲート電極8を形成する。なお、図16は、図18のA-A'断面

に対応する。また、図17は、図18のB-B'断面に対応する。

[0090] 図16に例が示されるように、ゲートトレンチ6、ゲートトレンチ26および終端トレンチ16内に、ゲート絶縁膜7とゲート電極8とをそれぞれ形成する。具体的には、ゲート絶縁膜7を堆積した後に、ゲート電極8となるポリシリコンを堆積する。その後、レジストをマスクとして堆積したポリシリコンをエッチバックする。これによって、レジストがない領域ではポリシリコンがエッチバックされ、ゲートトレンチ6、ゲートトレンチ26内および終端トレンチ16内にポリシリコンが形成される。

[0091] 一方、図17に例が示されるように、上記のレジストで覆われた領域は、ゲートトレンチ6の上側角部にラウンド形状（曲率半径 R_e ）を形成された領域であり、ポリシリコンがエッチバックされず、メサ領域（半導体層2の上面）にもポリシリコンが残存する。ゲートトレンチ6の上側角部が大きなラウンド形状（曲率半径 R_e ）であることから、ゲートトレンチ6の上側角部における電界集中を抑制するために、ゲート絶縁膜7を局所的に厚くする必要がない。このため、一度のゲート絶縁膜7の形成工程でゲートトレンチ6の上側角部における電界集中を抑制可能な構造を製造することができ、製造工程を増やさずに、製造コストの増大を抑制することができる。

[0092] 次に、減圧CVD法で半導体層2の上面に、ゲート電極8を覆うように層間絶縁膜13を形成する。そして、層間絶縁膜13をパターニングすることで、活性領域20および終端領域30において、ソース領域5とベース領域4とに達するコンタクトホール（ゲートコンタクト34）を形成する。また、活性領域において、ゲート電極8に達するコンタクトホール（ソースコンタクト31）を形成する。その後、ゲートコンタクト34内にオーミック電極25を形成する（図6参照）。また、ソースコンタクト31内にオーミック電極32を形成する。それぞれのオーミック電極は、半導体層2の上面、また、ゲート電極8の上面にニッケル（Ni）を主成分とする金属膜を製膜した後、たとえば、600℃以上、かつ、1100℃以下の熱処理でNiと半導体とを反応させて形成したシリサイド膜であってもよい。

[0093] その後、層間絶縁膜 13 の上面とゲートコンタクト 34 内およびソースコンタクト 31 内に A1 合金などを堆積させた後パターニングして、ゲートコンタクト 34 を介するゲート配線 18 と、ソースコンタクト 31 を介するソース電極 11 とを形成する。

[0094] そして、炭化珪素半導体基板 1 の半導体層 2 が形成された側とは反対側の面に A1 合金などを堆積させてドレイン電極 12 を形成する。以上の工程で、半導体装置 100 が形成される。

[0095] <半導体装置の作用効果について>

次に、本実施の形態に関する半導体装置 100 の作用効果について説明する。

[0096] 図 2 から図 5 に示された本実施の形態に関する半導体装置 100 では、ゲート電極 8 とソース電極 11 との間に印加する電圧を制御することで、ゲート絶縁膜 7 を介してゲート電極 8 に対向するベース領域 4 に形成されるチャネルを制御し、半導体装置 100 のオン状態とオフ状態とが制御される。

[0097] ゲート電極 8 とソース電極 11 との間に半導体装置 100 をオン状態にする大きさの電圧を印加すると、ゲート電極 8 にしきい値以上の電圧が印加される。その結果、ゲート絶縁膜 7 を介してゲート電極 8 に対向するベース領域 4 にチャネルが形成され、n 型のソース領域 5 と n 型のドリフト層 3 との間にキャリアである電子が流れる経路が形成される。

[0098] そして、ソース領域 5 からドリフト層 3 へ流れ込む電子は、ドレイン電極 12 とソース電極 11 との間に印加された電圧によって形成される電界で、ドリフト層 3 と炭化珪素半導体基板 1 とを経由してドレイン電極 12 に到達する。その結果、ゲート電極 8 にしきい値以上の電圧を印加することで、ドレイン電極 12 からソース電極 11 に電流が流れる。この状態が半導体装置 100 のオン状態である。

[0099] 一方、ゲート電極 8 とソース電極 11 との間にしきい値未満の電圧が印加されている状態では、ゲート絶縁膜 7 を介してゲート電極 8 に対向するベース領域 4 にはチャネルが形成されない。この場合、n 型のソース領域 5 と n

型のドリフト層 3 との間には p 型のベース領域 4 が存在するため、ドレイン電極 1 2 からソース電極 1 1 に向かう電流は流れない。この状態が半導体装置 1 0 0 のオフ状態である。

[0100] 半導体装置 1 0 0 がオフ状態になると、ドレイン電極 1 2 とソース電極 1 1 との間には外部の電気回路から供給された高い電圧が印加される。半導体装置 1 0 0 がオフ状態になると、拡散保護層 9 と終端保護層 1 9 とからドリフト層 3 内に空乏層が拡がるため、ドレイン電極 1 2 とソース電極 1 1 との間に印加された電圧による電界がゲートトレンチ 6 の底部のゲート絶縁膜 7 に集中することを抑制し、ゲートトレンチ 6 の底部のゲート絶縁膜 7 に高電界が印加されてもその破壊を抑制することができる。

[0101] 一方、半導体装置 1 0 0 がオン状態になると、ゲート電極 8 とソース電極 1 1 との間には外部の電気回路から供給された電圧が印加される。電圧印加によって、ゲート絶縁膜 7 に電界が印加される。ゲートトレンチ 6 における半導体層 2 の上側角部が曲率半径 R_e のラウンド形状で形成されているため、ゲート絶縁膜 7 も曲率半径 R_e の丸みを帯びる形状となっている。よって、ドレイン電極 1 2 とソース電極 1 1 との間に印加された電圧による電界がゲートトレンチ 6 の上側角部のゲート絶縁膜 7 に集中することを抑制し、ゲート絶縁膜 7 に電界が印加されてもその破壊を抑制することができる。

[0102] また、半導体装置 1 0 0 がオン状態になると、ドレイン電極 1 2 からソース電極 1 1 に向かって外部の電気回路から供給された電圧による電流が流れるため、ドレイン電極 1 2 とソース電極 1 1 との間の電圧は、ドレイン電極 1 2 からソース電極 1 1 に流れる電流と半導体装置 1 0 0 のオン抵抗によって定まる電圧であるオン電圧となる。オン電圧は、オフ状態でドレイン電極 1 2 とソース電極 1 1 との間に印加される電圧よりもはるかに低い。したがって、オフ状態で拡散保護層 9 と終端保護層 1 9 とからドリフト層 3 内に拡がった空乏層は、オン状態になることで、拡散保護層 9 側と終端保護層 1 9 側とに縮むことになる。

[0103] つまり、半導体装置 1 0 0 がオン状態とオフ状態とを繰り返してスイッチ

ングを行う場合、スイッチングに伴い拡散保護層 9 と終端保護層 19 とからドリフト層 3 内に拡がる空乏層が伸縮する。

[0104] 半導体装置 100 がオフ状態とオン状態との切り替えを繰り返すことで半導体装置が機能するが、オン状態とオフ状態との繰り返し動作においても、ゲート絶縁膜 7 への電圧ストレスが加えられ劣化が促進する。ゲートトレンチ 6 における半導体層 2 の上側角部が曲率半径 R_e のラウンド形状で形成されているため、当該箇所のゲート絶縁膜 7 も曲率半径 R_e の丸みを帯びる形状となる。よって、ドレイン電極 12 とソース電極 11 との間の電界が半導体層 2 の上側角部のゲート絶縁膜 7 に集中することを抑制することができる。よって、ゲート絶縁膜 7 の劣化の促進を抑制して、その破壊を抑制することができる。

[0105] 本実施の形態では、図 4 で示されたように、終端領域 30 と活性領域 20 との境界部分には、電氣的に機能しないゲートトレンチ 26 が形成される。終端領域 30 と活性領域 20 とは、その積層構造も炭化珪素半導体基板 1 に沿う方向における加工寸法も異なる。よって、上記の境界部分に在留応力が生じ、電気特性へ影響を与えたり、ゲート絶縁膜 7 の破壊の原因となったりする。また、ゲート絶縁膜 7 は、最外周部分に近くなるほど、その故障率が高くなる。このため、最外周のセル（ゲートトレンチ 26 に対応）を終端領域 30 として他のセルと電氣的に分離し、そのゲート電極 8 をソース電極 11 およびゲート配線 18 とは電氣的に接続せずにゲート電位をフローティングにすることで、素子の破壊を抑制することができる。

[0106] また、図 4 に示されたゲートトレンチ 26 は、本数を増やすことで良品率が高くなる。すなわち、複数のゲートトレンチ 26 を形成することで、半導体装置 100 の品質は高くなる。

[0107] <第 2 の実施の形態>

本実施の形態に関する半導体装置、および、半導体装置の製造方法について説明する。なお、以下の説明においては、以上に記載された実施の形態で説明された構成要素と同様の構成要素については同じ符号を付して図示し、

その詳細な説明については適宜省略するものとする。

[0108] <半導体装置の構成について>

図19は、本実施の形態に関する半導体装置101の構成の例を概略的に示す平面図である。図19に例が示されるように、半導体装置101は、活性領域20と終端領域30とを備える。

[0109] 活性領域20には、平面視で複数配列されたゲートトレンチ6と、ゲートトレンチ6に形成されたゲート電極8と、ゲート電極8にゲートコンタクト34を介して接続されたゲート配線18とが形成されている。ゲートコンタクト34は、ゲート配線18の直下で、かつ、ゲート電極8の直上に形成されている。

[0110] ゲート電極8は、チップ外周部に配置されるゲートボンディングパッド58と接続する。ゲートボンディングパッド58とゲート電極8とは、アルミなどの金属層であり、同一の工程で形成される。

[0111] 半導体層2の表層に形成されたソース領域5の上面には、ソース電極11が形成される。ソース電極11は、コンタクトホール（ソースコンタクト31）を介してソース領域5と電氣的に接続される。また、ソース電極11はソースボンディングパッド59まで延伸する。

[0112] 終端領域30には、終端トレンチ16と、終端トレンチ16内の一部の領域におけるゲート配線18とが形成されている。ゲート配線18の上面には、ゲートコンタクト34を介して金属配線120が形成されている。金属配線120は、ゲート電極8およびソース電極11と同一の工程で形成されたものである。金属配線120とゲート配線18とが並列接続で形成されているため、電気抵抗を低くすることができる。以上のように半導体装置101は構成される。

[0113] <半導体装置の製造方法について>

次に、本実施の形態に関する半導体装置101の製造方法について説明する。

[0114] 図20から図22は、本実施の形態に関する半導体装置の製造方法の例を

示す図である。

- [0115] 図20に示された構造は、図10に示された構造の平面視に対応する。活性領域20にゲートトレンチ6が形成され、終端領域30に最外周のゲートトレンチ26と終端トレンチ16とが形成されている。
- [0116] 図21に示された構造は、図16に示された構造の平面視に対応する。活性領域20のゲートトレンチ6にはゲート配線18が形成されている。また、終端領域30のゲートトレンチ26にもゲート配線18が形成されている。さらに、終端トレンチ16の一部の領域には、ゲート配線18が形成されている。
- [0117] ゲート配線18はゲートトレンチ6にポリシリコンを堆積し、さらに、一部の領域にレジストなどでマスクを形成してポリシリコンをエッチバックすることによって形成されたものである。
- [0118] 図21において破線で示される領域108と領域109とは、上記のマスクが配置されることによってポリシリコンがエッチバックされずに半導体層2の上面にもポリシリコンが残存する領域である。これらの領域におけるポリシリコンは、ゲートトレンチ6内だけでなく、ゲートトレンチ6の上側角部を覆い、かつ、メサ領域（半導体層2の上面）にも形成される。ゲートトレンチ6の上側角部の曲率半径 R_e は大きく、電界の集中を抑制することができる。そのため、ゲート絶縁膜7の破壊が抑えられる。
- [0119] 図21で、終端領域30のゲートトレンチ26に形成されたゲート電極8と、活性領域20の中央部でストライプ状に配置されたゲートトレンチ6に形成されたゲート電極8とは、平面視において分離されている。図16から図18で示されたように、ゲート配線18は、堆積したポリシリコンをエッチバックすることによって形成される。
- [0120] エッチバックのプロセスでは、トレンチ段差がある箇所（トレンチが形成されていることによって上面の高さが異なる箇所）には、トレンチの側壁部にサイドウォール状にポリシリコンが残存することになる。このように残存しているポリシリコンが電氣的に接続された構造では、サイドウォール状に

残存するポリシリコンの下層のゲート絶縁膜 7 にも電界が印加され、ゲート絶縁膜 7 の破壊が発生する。これに対し図 2 1 で示された構造であれば、サイドウォール状に残存するポリシリコンの電位はフローティングとなり、ゲート電極とは電氣的に接続されていない。よって、ゲート絶縁膜 7 の破壊を抑制することができる。

[0121] 図 2 2 は、図 2 1 に示される工程の後に、層間絶縁膜 1 3 を形成し、ソースコンタクト 3 1 とゲートコンタクト 3 4 とを形成した際の構造の例を示す平面図である。

[0122] 図 2 2 においては、領域 1 0 8 および領域 1 0 9 におけるゲート電極 8 の上面にゲートコンタクト 3 4 が形成される。図 2 2 に示される構造では、平面視において、ストライプ状に配置されたゲートトレンチ 6 と重なる位置にゲートコンタクト 3 4 とゲート配線 1 8 を形成することができるため、ゲートコンタクト 3 4 を形成する領域を別に設ける必要がない。そのため、チップ面積を小さくすることができ、設計レイアウトの自由度もあがる。

[0123] その後、図 1 9 で示されるように、アルミを堆積し、レジストマスクでエッチングして当該アルミがパターニングされる。そして、領域 1 0 8 にはゲート配線 1 8 が形成され、ゲートボンディングパッド 5 8 に接続される。領域 1 0 9 には、アルミがパターニングされて金属配線 1 2 0 が形成され、金属配線 1 2 0 が、終端領域 3 0 に形成されたゲート電極 8 の上面まで延伸する。そして、金属配線 1 2 0 が、コンタクトホール（ゲートコンタクト 3 4）を介してゲート電極 8 と電氣的に接続される。終端領域 3 0 のゲート電極 8 は、ゲートボンディングパッド 5 8 の直下まで延伸しており、ゲートボンディングパッド 5 8 内のゲートコンタクト 3 4 を介してゲート電極 8 と電氣的に接続される。

[0124] セルアレイ内のゲートトレンチ 6 におけるゲート電極 8 は、ゲートボンディングパッド 5 8 から活性領域 2 0 の中央部におけるゲートコンタクト 3 4 を介して電氣的に接続されることに合わせて、終端領域 3 0 に形成されたゲート電極 8、アルミ層（金属配線 1 2 0）、さらに活性領域 2 0 内の他のゲ

ート電極 8 とともに電氣的に接続されている。このため、活性領域 20 内のゲートトレンチ 6 におけるゲート電極 8 の抵抗値が小さくなり、良好な電気特性（スイッチング特性、オン特性）が得られる。

[0125] ゲートコンタクト 34 が形成された活性領域 20 の中央部における領域 108 のゲートトレンチ 6 の上側角部の曲率半径 R_e は大きく形成されている。そのため、素子動作におけるゲート電圧の印加の際にも、ゲートトレンチ 6 の上側角部への電界の集中を抑制することができ、ゲート絶縁膜 7 の破壊を抑えられる。

[0126] <第 3 の実施の形態>

本実施の形態に関する半導体装置、および、半導体装置の製造方法について説明する。なお、以下の説明においては、以上に記載された実施の形態で説明された構成要素と同様の構成要素については同じ符号を付して図示し、その詳細な説明については適宜省略するものとする。

[0127] <半導体装置の構成について>

図 23 は、本実施の形態に関する半導体装置 102 の構成の例を概略的に示す平面図である。図 23 に例が示されるように、半導体装置 102 は、活性領域 20 と終端領域 30 とを備える。

[0128] 活性領域 20 には、平面視で複数配列されたゲートトレンチ 6 と、ゲートトレンチ 6 に形成されたゲート電極 8 と、ゲート電極 8 にゲートコンタクト 34 を介して接続されたゲート配線 18 とが形成されている。ゲートコンタクト 34 は、ゲート配線 18 の直下で、かつ、ゲート電極 8 の上層に形成されている。

[0129] ゲート電極 8 は、チップ外周部に配置されるゲートボンディングパッド 58 と接続する。ゲートボンディングパッド 58 とゲート配線 18 とは、アルミなどの金属層であり、同一の工程で形成される。

[0130] 半導体層 2 の表層に形成されたソース領域 5 の上面には、ソース電極 11 が形成される。ソース電極 11 は、コンタクトホール（ソースコンタクト 31）を介してソース領域 5 と電氣的に接続される。また、ソース電極 11 は

ソースボンディングパッド59まで延伸する。

[0131] 終端領域30には、終端トレンチ16と、終端トレンチ16内の一部の領域におけるゲート電極8とが形成されている。ゲート電極8の上面には、ゲートコンタクト34を介して金属配線122が形成されている。金属配線122は、ゲート配線18およびソース電極11と同一の工程で形成されたものである。金属配線122とゲート電極8とが並列接続で形成されているため、ゲート抵抗を低くすることができる。以上のように半導体装置102は構成される。

[0132] <半導体装置の製造方法について>

次に、本実施の形態に関する半導体装置102の製造方法について説明する。

[0133] 図24および図25は、本実施の形態に関する半導体装置の製造方法の例を示す図である。

[0134] 図24に示された構造は、図16に示された構造の平面視に対応する。活性領域20のゲートトレンチ6にはゲート電極8が形成されている。また、終端領域30のゲートトレンチ26にもゲート電極8が形成されている。さらに、終端トレンチ16の一部の領域には、ゲート電極8が形成されている。

[0135] ゲート電極8はゲートトレンチ6にポリシリコンを堆積し、さらに、一部の領域にレジストなどでマスクを形成してポリシリコンをエッチバックすることによって形成されたものである。

[0136] 図24において破線で示される領域108と領域109とは、上記のマスクが配置されることによってポリシリコンがエッチバックされずに半導体層2の上面にもポリシリコンが残存する領域である。これらの領域におけるポリシリコンは、ゲートトレンチ6内だけでなく、ゲートトレンチ6の上側角部を覆い、かつ、メサ領域（半導体層2の上面）にも形成される。ゲートトレンチ6の上側角部の曲率半径 R_e は大きく、電界の集中を抑制することができる。そのため、ゲート絶縁膜7の破壊が抑えられる。

- [0137] 図24で示された、活性領域20の最外周の端部（領域109に対応する部分）は、ゲートコンタクト34を介してストライプ状に配列された複数のゲート電極8同士を電氣的に接続することができるため、細く延びて形成されたゲートトレンチ6のゲート抵抗を低くすることができる。
- [0138] 図25は、図24に示される工程の後に、層間絶縁膜13を形成し、ソースコンタクト31とゲートコンタクト34とを形成した際の構造の例を示す平面図である。
- [0139] 図25においては、領域108および領域109におけるゲート電極8の上面にゲートコンタクト34が形成される。
- [0140] その後、図23で示されるように、アルミを堆積し、レジストマスクでエッチングして当該アルミがパターニングされる。そして、領域108にはゲート電極8が形成され、ゲート配線18を介して、ゲートボンディングパッド58に接続される。領域109には、アルミがパターニングされて金属配線122（ゲート配線18）が形成され、金属配線122が、終端領域30に形成されたゲート電極8の上面まで延伸する。そして、金属配線122が、コンタクトホール（ゲートコンタクト34）を介してゲート電極8と電氣的に接続される。終端領域30のゲート配線18は、ゲートボンディングパッド58の直下まで延伸しており、ゲートボンディングパッド58内のゲートコンタクト34を介してゲート電極8と電氣的に接続される。
- [0141] セルアレイ内のゲートトレンチ6におけるゲート電極8は、ゲートボンディングパッド58から活性領域20の中央部におけるゲートコンタクト34を介して電氣的に接続される。また、セルアレイ内のゲートトレンチ6におけるゲート電極8は、活性領域20の端部に形成されたゲートコンタクト34、アルミ層（電極部121）を介して、活性領域20内の他のゲート配線18とも電氣的に接続されている。このため、活性領域20内のゲートトレンチ6におけるゲート配線18の抵抗値が小さくなり、良好な電気特性（スイッチング特性、オン特性）が得られる。
- [0142] ゲートコンタクト34が形成された活性領域20の中央部における領域1

08のゲートトレンチ6の上側角部の曲率半径 R_e 、および、活性領域20の端部における領域109のゲートトレンチ6の上側角部の曲率半径 R_e は大きく形成されている。そのため、素子動作におけるゲート電圧の印加の際にも、ゲートトレンチ6の上側角部への電界の集中を抑制することができ、ゲート絶縁膜7の破壊を抑えられる。

[0143] <第4の実施の形態>

本実施の形態に関する半導体装置、および、半導体装置の製造方法について説明する。なお、以下の説明においては、以上に記載された実施の形態で説明された構成要素と同様の構成要素については同じ符号を付して図示し、その詳細な説明については適宜省略するものとする。

[0144] <半導体装置の構成について>

図26から図30は、本実施の形態に関する半導体装置103の構成の例を概略的に示す断面図である。図26から図30に例が示されるように、半導体装置103は、活性領域20と終端領域30とを備える。

[0145] 活性領域20には、平面視で複数配列されたゲートトレンチ6と、ゲートトレンチ6に形成されたゲート電極8と、ゲート電極8にゲートコンタクト34を介して接続されたゲート配線18とが形成されている。ゲートコンタクト34は、ゲート配線18の直下で、かつ、ゲート電極8の上層に形成されている。

[0146] ゲート電極8は、チップ外周部に配置されるゲートボンディングパッド58と接続する。ゲートボンディングパッド58とゲート配線18とは、アルミなどの金属層であり、同一の工程で形成される。

[0147] 半導体層2の表層に形成されたソース領域5の上面には、ソース電極11が形成される。ソース電極11は、コンタクトホール（ソースコンタクト31）を介してソース領域5と電氣的に接続される。また、ソース電極11はソースボンディングパッド59まで延伸する。

[0148] 終端領域30には、終端トレンチ16と、終端トレンチ16内の一部の領域におけるゲート電極8とが形成されている。ゲート電極8の上面には、ゲ

ートコンタクト34を介して金属配線122が形成されている。金属配線122は、ゲート電極8およびソース電極11と同一の工程で形成されたものである。金属配線122とゲート電極8とが並列接続で形成されているため、ゲート抵抗を低くすることができる。以上のように半導体装置103は構成される。

[0149] <半導体装置の製造方法について>

次に、本実施の形態に関する半導体装置103の製造方法について説明する。

[0150] 図26に示される構造は、図7から図9までの工程が終わった段階の構造に対応する。

[0151] そして、図26に例が示されるように、ゲートトレンチ6、ゲートトレンチ26および終端トレンチ16が形成された後に、それぞれのトレンチの底面に不純物を注入する。具体的には、ゲートトレンチ6の底部およびゲートトレンチ26の底部に、Alのイオン注入でp型の拡散保護層39を形成する。同様に、終端トレンチ16の底部に、Alのイオン注入でp型の終端保護層49を形成する。イオン注入するAlの不純物濃度は、たとえば、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上、かつ、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であり、イオン注入する深さは、たとえば、 $0.1 \mu\text{m}$ 以上、かつ、 $2.0 \mu\text{m}$ 以下であることが好ましい。

[0152] その後、図27に例が示されるように、活性領域20と終端領域30との境界部分のゲートトレンチ6およびゲートトレンチ26にレジストマスク51を形成する。そして、露出しているp型の拡散保護層39と終端保護層49とに対し、Alのイオン注入を追加注入する。Alの不純物濃度は、たとえば、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上、かつ、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であり、イオン注入する深さは、たとえば、 $0.1 \mu\text{m}$ 以上、かつ、 $2.0 \mu\text{m}$ 以下であることが好ましい。

[0153] 上記の2回のイオン注入によって、活性領域20と終端領域30との境界部分におけるゲートトレンチ6およびゲートトレンチ26における拡散保護

層 3 9 の不純物濃度が、2 回のイオン注入が行われたゲートトレンチ 6（境界部分以外の箇所に形成されたトレンチ）における拡散保護層 9 の不純物濃度よりも低濃度となる。同様に、拡散保護層 3 9 の不純物濃度が、2 回のイオン注入が行われた終端トレンチ 1 6 における終端保護層 1 9 の不純物濃度よりも低濃度となる。

[0154] その後、レジストを除去し、さらに、熱処理装置を用いてイオン注入された不純物を活性化させるアニール処理を行う。アニール処理は、アルゴン（Ar）などの不活性ガス雰囲気中または真空中で、たとえば、1300℃以上、かつ、1900℃以下の範囲で、たとえば、30秒以上、かつ、1時間以下で加熱して行う。

[0155] 次に、図 28 に例が示されるように、ゲート絶縁膜 97 を堆積させる。そして、活性領域 20 と終端領域 30 との境界部分のゲートトレンチ 6 およびゲートトレンチ 26 にレジストマスク 52 を形成して、レジストマスク 52 に覆われていない領域のゲート絶縁膜 97 をフッ酸などのウェット処理によって除去する。ここで、ゲート絶縁膜 97 の膜厚は、たとえば、20nm以上、かつ、150nm以下である。

[0156] その後、図 29 に例が示されるように、全面にさらにゲート絶縁膜を堆積する。2 度目の堆積でさらに形成されるゲート絶縁膜の膜厚は、たとえば、20nm以上、かつ、150nm以下である。

[0157] 上記の 2 度の堆積工程によって、一部の領域のゲート絶縁膜 87 が、他のゲート絶縁膜 7 よりも厚く形成される。

[0158] その後、ゲート電極 8 となるポリシリコンを堆積する。その後、レジストをマスクとして堆積したポリシリコンをエッチバックする。以降は、第 1 の実施の形態で説明された工程と同様の工程で層間絶縁膜 13、ソースコンタクト 31、ゲートコンタクト 34、オーミック電極 32、ソース電極 11、ゲート配線 18などを形成して、MOSFETを完成させる（図 30を参照）。

[0159] 活性領域 20 のゲートコンタクト 34 が形成される領域は、メサ領域（半

導体層 2 の上面) にもポリシリコンが残存するが、当該箇所が大きな曲率半径のラウンド形状 (曲率半径 R_e) である。よって、第 1 の実施の形態に示された場合と同様に、ゲートトレンチ 6 の上側角部の電界集中を抑制することができ、ゲート絶縁膜 7 の破壊を抑制することができる。

[0160] 図 30 に示される構成では、終端領域 30 の終端トレンチ 16 は広い寸法で加工されているのに対し、セル部のゲートトレンチ 6 またはゲートトレンチ 26 は最小の加工線幅で形成されている。両者で構造の差があるため、ウエハプロセスでの熱履歴によって、材料による膨張係数が異なる。このことは、在留応力を生じさせ、その結果、素子の電気特性に違いが生じ、半導体装置の信頼性へも影響を与える。

[0161] 活性領域 20 に配置されたそれぞれのセルにおいても、ゲートトレンチの最外周部分になるほど応力が高くなる。この影響で、ゲートトレンチの最外周部分に近くなるほど、ゲート絶縁膜 7 の故障率が高くなる。

[0162] このため、最外周のセルを他のセルと電氣的に分離してゲート電位をフローティングにするが有効であるが、そうすると、当該領域は MOSFET として機能しない。

[0163] そこで、本実施の形態では、周辺部 (活性領域 20 と終端領域 30 との境界部分) のセルのゲート絶縁膜 87 の厚さを厚くする、または、拡散保護層 39 の不純物濃度を他の活性領域 20 内の他のセルの拡散保護層 9 の不純物濃度よりも低く設計することで、ゲート電圧が印加されて半導体装置がオン状態となる際に、ゲート絶縁膜 87 へ印加される集中する電界を低くすることができる。その結果、ゲート絶縁膜の破壊が抑えられ、半導体装置の信頼性を向上させることができる。

[0164] <以上に記載された複数の実施の形態によって生じる効果について>

次に、以上に記載された複数の実施の形態によって生じる効果の例を示す。なお、以下の説明においては、以上に記載された複数の実施の形態に例が示された具体的な構成に基づいて当該効果が記載されるが、同様の効果が生じる範囲で、本願明細書に例が示される他の具体的な構成と置き換えられて

もよい。すなわち、以下では便宜上、対応づけられる具体的な構成のうちのいずれか1つのみが代表して記載される場合があるが、代表して記載された具体的な構成が対応づけられる他の具体的な構成に置き換えられてもよい。

[0165] また、当該置き換えは、複数の実施の形態に跨ってなされてもよい。すなわち、異なる実施の形態において例が示されたそれぞれの構成が組み合わされて、同様の効果が生じる場合であってもよい。

[0166] 以上に記載された実施の形態によれば、半導体装置は、第1の導電型（ n 型）のドリフト層3と、ドリフト層3の表層に設けられる第2の導電型（ p 型）のベース領域4と、ベース領域4の表層に複数設けられる n 型のソース領域5と、ドリフト層3の上面からベース領域4を介してドリフト層3内まで達する少なくとも1つのトレンチ（たとえば、ゲートトレンチ6、ゲートトレンチ26、終端トレンチ16）と、トレンチの下方のドリフト層3内に設けられる p 型の保護層（たとえば、拡散保護層9、拡散保護層39、終端保護層19）と、トレンチの上側角部を含むトレンチの内部に沿って設けられるゲート絶縁膜7と、ゲート絶縁膜7に囲まれて少なくともトレンチ内に設けられるゲート電極8とを備える。ここで、トレンチの平面視で区切られる領域を、第1の領域および第2の領域とする。そして、半導体装置はさらに、第1の領域におけるトレンチ（ゲートトレンチ6）に隣接するソース領域5に電氣的に接続されるソース電極11と、第2の領域におけるトレンチ（ゲートトレンチ6または終端トレンチ16）内に設けられるゲート電極8の上面に設けられるゲート配線18とを備える。そして、第2の領域におけるトレンチ（ゲートトレンチ6または終端トレンチ16）の上側角部に設けられるゲート絶縁膜7の曲率半径 R_e が、第1の領域におけるトレンチ（ゲートトレンチ6）の上側角部に設けられるゲート絶縁膜7の曲率半径 R_c よりも大きい。

[0167] このような構成によれば、大きな曲率半径のラウンド形状（曲率半径 R_e ）で形成されたゲート絶縁膜7にゲート電圧が印加されても、曲率半径が大きいことから電界集中が効果的に抑制され、高電界が印加されることが抑制

される。このため、ゲート絶縁膜 7 の破壊が抑制される。

[0168] なお、上記の構成に本願明細書に例が示された他の構成を適宜追加した場合、すなわち、上記の構成としては言及されなかった本願明細書中の他の構成が適宜追加された場合であっても、同様の効果を生じさせることができる。

[0169] また、以上に記載された実施の形態によれば、ゲート配線 18 が、ソース領域 5 の上面に延びるゲート電極 8 の上面に設けられる。このような構成によれば、ゲート絶縁膜の破壊が抑えられ、半導体装置の信頼性を向上させることができる。

[0170] また、以上に記載された実施の形態によれば、ゲート配線 18 が、ソース領域 5 の上面に延びるゲート電極 8 の上面に、複数のコンタクトホール（ゲートコンタクト 34）を介して接続される。このような構成によれば、ゲート絶縁膜の破壊が抑えられ、半導体装置の信頼性を向上させることができる。

[0171] また、以上に記載された実施の形態によれば、第 1 の領域におけるトレンチに設けられるゲート絶縁膜 7 の厚さと、第 2 の領域におけるトレンチに設けられるゲート絶縁膜 7 の厚さとが等しい。このような構成によれば、複数のトレンチ内に形成されるゲート絶縁膜 7 を一回の工程で形成することができる。

[0172] また、以上に記載された実施の形態によれば、トレンチが複数設けられる。そして、活性領域 20 には少なくとも 1 つのゲートトレンチ 6 が設けられ、終端領域 30 には少なくとも 1 つのゲートトレンチ 26 が設けられる。また、終端領域 30 に設けられるゲートトレンチ 26 内に設けられるゲート電極 8 が、ソース電極 11 およびゲート配線 18 と電氣的に接続されない。このような構成によれば、ゲートトレンチ 26 におけるゲート電極 8 の電位をフローティングにすることで、素子の破壊を抑制することができる。

[0173] また、以上に記載された実施の形態によれば、トレンチが複数設けられる。そして、複数のゲートトレンチ 6 は、平面視でストライプ状に並んで設け

られる。また、ゲート配線 18 は、複数のゲートトレンチ 6 内に設けられるそれぞれのゲート電極 8 の上面に渡って設けられる。このような構成によれば、ゲート絶縁膜の破壊が抑えられ、半導体装置の信頼性を向上させることができる。

[0174] また、以上に記載された実施の形態によれば、トレンチが複数設けられる。そして、活性領域 20 には少なくとも 1 つのゲートトレンチ 6 が設けられ、終端領域 30 には少なくとも 1 つの終端トレンチ 16 が設けられる。また、終端領域 30 に設けられる終端トレンチ 16 の形成幅が、活性領域 20 に設けられるゲートトレンチ 6（または、ゲートトレンチ 26）の形成幅よりも広い。このような構成によれば、終端トレンチ 16 の側壁にポリシリコンが残らないような構造とすることができるため、終端トレンチの側壁に残存するポリシリコンを介して下層のゲート絶縁膜 7 に電界が印加されてしまう構造と比べて、ゲート絶縁膜の破壊を抑制することができる。

[0175] また、以上に記載された実施の形態によれば、トレンチが複数設けられる。そして、少なくとも 1 つのゲートトレンチ 6 が、平面視で終端領域 30 に囲まれる活性領域 20 に設けられる。また、活性領域 20 と終端領域 30 との境界部分におけるトレンチ（ゲートトレンチ 6 およびゲートトレンチ 26）に設けられるゲート絶縁膜 87 の厚さが、境界部分以外の活性領域 20 および終端領域 30 におけるトレンチ（ゲートトレンチ 6、終端トレンチ 16）に設けられるゲート絶縁膜 7 の厚さよりも厚い。このような構成によれば、ゲート電圧が印加されて半導体装置がオン状態となる際に、ゲート絶縁膜 87 へ印加される集中する電界を低くすることができる。その結果、ゲート絶縁膜の破壊が抑えられ、半導体装置の信頼性を向上させることができる。

[0176] また、以上に記載された実施の形態によれば、トレンチが複数設けられる。そして、少なくとも 1 つのゲートトレンチ 6 が、平面視で終端領域 30 に囲まれる活性領域 20 に設けられる。また、活性領域 20 と終端領域 30 との境界部分におけるゲートトレンチ 6 およびゲートトレンチ 26 の下方に設けられる保護層（拡散保護層 39）の不純物濃度が、境界部分以外の活性領

域 20 および終端領域 30 におけるトレンチ（ゲートトレンチ 6、終端トレンチ 16）の下方に設けられる保護層（拡散保護層 9、終端保護層 19）の不純物濃度よりも低い。このような構成によれば、ゲート電圧が印加されて半導体装置がオン状態となる際に、ゲート絶縁膜 87 へ印加される集中する電界を低くすることができる。その結果、ゲート絶縁膜の破壊が抑えられ、半導体装置の信頼性を向上させることができる。

[0177] 以上に記載された実施の形態によれば、半導体装置の製造方法において、 n 型のドリフト層 3 の表層に、 p 型のベース領域 4 を設ける。そして、ベース領域 4 の表層に、 n 型のソース領域 5 を複数設ける。そして、ドリフト層 3 の上面からベース領域 4 を介してドリフト層 3 内まで達する少なくとも 1 つのトレンチ（たとえば、ゲートトレンチ 6、ゲートトレンチ 26、終端トレンチ 16）を設ける。そして、トレンチの下方のドリフト層 3 内に、 p 型の保護層（たとえば、拡散保護層 9、拡散保護層 39、終端保護層 19）を設ける。ここで、トレンチの平面視で区切られる領域を、第 1 の領域および第 2 の領域とする。そして、第 1 の領域および第 2 の領域において、トレンチ（ゲートトレンチ 6）の上側角部をエッチングする。そして、第 2 の領域において、トレンチ（ゲートトレンチ 6 または終端トレンチ 16）の上側角部をエッチングする。そして、トレンチの上側角部を含むトレンチの内部に沿ってゲート絶縁膜 7 を設ける。そして、ゲート絶縁膜 7 に囲まれるトレンチ内に、ゲート電極 8 を設ける。そして、第 1 の領域におけるトレンチ（ゲートトレンチ 6）に隣接するソース領域 5 に電氣的に接続されるように、ソース電極 11 を設ける。そして、第 2 の領域におけるトレンチ（ゲートトレンチ 6 または終端トレンチ 16）内に設けられるゲート電極 8 の上面にゲート配線 18 を設ける。ここで、第 2 の領域におけるトレンチ（ゲートトレンチ 6 または終端トレンチ 16）の上側角部に設けられるゲート絶縁膜 7 の曲率半径 R_e が、第 1 の領域におけるトレンチ（ゲートトレンチ 6）の上側角部に設けられるゲート絶縁膜 7 の曲率半径 R_c よりも大きい。

[0178] このような構成によれば、大きな曲率半径のラウンド形状（曲率半径 R_e

）で形成されたゲート絶縁膜 7 にゲート電圧が印加されても、曲率半径が大きいことから電界集中が効果的に抑制され、高電界が印加されることが抑制される。このため、ゲート絶縁膜 7 の破壊が抑制される。

[0179] なお、特段の制限がない場合には、それぞれの処理が行われる順序は変更することができる。

[0180] また、上記の構成に本願明細書に例が示された他の構成を適宜追加した場合、すなわち、上記の構成としては言及されなかった本願明細書中の他の構成が適宜追加された場合であっても、同様の効果を生じさせることができる。

[0181] <以上に記載された複数の実施の形態の変形例について>

以上に記載された複数の実施の形態では、それぞれの構成要素の材質、材料、寸法、形状、相対的配置関係または実施の条件などについても記載する場合があるが、これらはすべての局面においてひとつの例であって、限定的なものではない。

[0182] したがって、例が示されていない無数の変形例と均等物とが、本願明細書に開示される技術の範囲内において想定される。たとえば、少なくとも 1 つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも 1 つの実施の形態における少なくとも 1 つの構成要素を抽出し、他の実施の形態における構成要素と組み合わせる場合が含まれるものとする。

[0183] また、以上に記載された少なくとも 1 つの実施の形態において、特に指定されずに材料名などが記載された場合は、矛盾が生じない限り、当該材料に他の添加物が含まれた、たとえば、合金などが含まれるものとする。

符号の説明

[0184] 3 ドリフト層、4 ベース領域、5 ソース領域、6 ゲートトレンチ、7 ゲート絶縁膜、8 ゲート電極、11 ソース電極、16 終端トレンチ、18 ゲート配線、20 活性領域、26 ゲートトレンチ、30 終端領域、34 ゲートコンタクト、87 ゲート絶縁膜、97 ゲート絶

縁膜、100 半導体装置、101 半導体装置、102 半導体装置、103 半導体装置、108 領域、109 領域、1000 領域。

請求の範囲

[請求項1]

第1の導電型のドリフト層と、
前記ドリフト層の表層に設けられる第2の導電型のベース領域と、
前記ベース領域の表層に複数設けられる第1の導電型のソース領域と、
前記ドリフト層の上面から前記ベース領域を介して前記ドリフト層内まで達する少なくとも1つのトレンチと、
前記トレンチの下方の前記ドリフト層内に設けられる第2の導電型の保護層と、
前記トレンチの上側角部を含む前記トレンチの内部に沿って設けられるゲート絶縁膜と、
前記ゲート絶縁膜に囲まれて少なくとも前記トレンチ内に設けられるゲート電極と、
前記トレンチに隣接する前記ソース領域に電氣的に接続されるソース電極と、
前記トレンチ内に設けられる前記ゲート電極の上面に設けられるゲート配線とをさらに備え、
前記トレンチの平面視で区切られる領域のうち、前記ソース電極が設けられる領域を第1の領域とし、前記ゲート配線が設けられる領域を第2の領域とし、
前記第2の領域における前記トレンチの前記上側角部に設けられる前記ゲート絶縁膜の曲率半径が、前記第1の領域における前記トレンチの前記上側角部に設けられる前記ゲート絶縁膜の曲率半径よりも大きい、
半導体装置。

[請求項2]

請求項1に記載の半導体装置であり、
前記ゲート配線が、前記ソース領域の上面に延びる前記ゲート電極の前記上面に設けられる、

半導体装置。

[請求項3] 請求項2に記載の半導体装置であり、
前記ゲート配線が、前記ソース領域の前記上面に延びる前記ゲート電極の前記上面に、複数のコンタクトホールを介して接続される、
半導体装置。

[請求項4] 請求項1から3のうちのいずれか1つに記載の半導体装置であり、
前記第1の領域における前記トレンチに設けられる前記ゲート絶縁膜の厚さと、前記第2の領域における前記トレンチに設けられる前記ゲート絶縁膜の厚さとが等しい、
半導体装置。

[請求項5] 請求項1から4のうちのいずれか1つに記載の半導体装置であり、
前記トレンチが複数設けられ、
少なくとも1つの前記トレンチが、活性領域と前記活性領域を平面視で囲む終端領域とにそれぞれ設けられ、
前記終端領域に設けられる前記トレンチ内に設けられる前記ゲート電極が、前記ソース電極および前記ゲート配線と電氣的に接続されない、
半導体装置。

[請求項6] 請求項1から5のうちのいずれか1つに記載の半導体装置であり、
前記トレンチが複数設けられ、
複数の前記トレンチが、平面視でストライプ状に並んで設けられ、
前記ゲート配線が、複数の前記トレンチ内に設けられるそれぞれの前記ゲート電極の前記上面に渡って設けられる、
半導体装置。

[請求項7] 請求項1から6のうちのいずれか1つに記載の半導体装置であり、
前記トレンチが複数設けられ、
少なくとも1つの前記トレンチが、活性領域と前記活性領域を平面視で囲む終端領域とに互いに離間しつつそれぞれ設けられ、

前記終端領域に設けられる前記トレンチの形成幅が、前記活性領域に設けられる前記トレンチの形成幅よりも広い、

半導体装置。

[請求項8]

請求項1から7のうちのいずれか1つに記載の半導体装置であり、
前記トレンチが複数設けられ、

少なくとも1つの前記トレンチが、平面視で終端領域に囲まれる活性領域に設けられ、

前記活性領域と前記終端領域との境界部分における前記トレンチに設けられる前記ゲート絶縁膜の厚さが、前記境界部分以外の前記活性領域および前記終端領域における前記トレンチに設けられる前記ゲート絶縁膜の厚さよりも厚い、

半導体装置。

[請求項9]

請求項1から8のうちのいずれか1つに記載の半導体装置であり、
前記トレンチが複数設けられ、

少なくとも1つの前記トレンチが、平面視で終端領域に囲まれる活性領域に設けられ、

前記活性領域と前記終端領域との境界部分における前記トレンチの下方に設けられる前記保護層の不純物濃度が、前記境界部分以外の前記活性領域および前記終端領域における前記トレンチの下方に設けられる前記保護層の不純物濃度よりも低い、

半導体装置。

[請求項10]

第1の導電型のドリフト層の表層に、第2の導電型のベース領域を設け、

前記ベース領域の表層に、第1の導電型のソース領域を複数設け、

前記ドリフト層の上面から前記ベース領域を介して前記ドリフト層内まで達する少なくとも1つのトレンチを設け、

前記トレンチの下方の前記ドリフト層内に、第2の導電型の保護層を設け、

前記トレンチの平面視で区切られる領域を、第1の領域および第2の領域とし、

前記第1の領域および前記第2の領域において、前記トレンチの上側角部をエッチングし、

前記第2の領域において、前記トレンチの前記上側角部をエッチングし、

前記トレンチの前記上側角部を含む前記トレンチの内部に沿ってゲート絶縁膜を設け、

前記ゲート絶縁膜に囲まれる前記トレンチ内に、ゲート電極を設け、

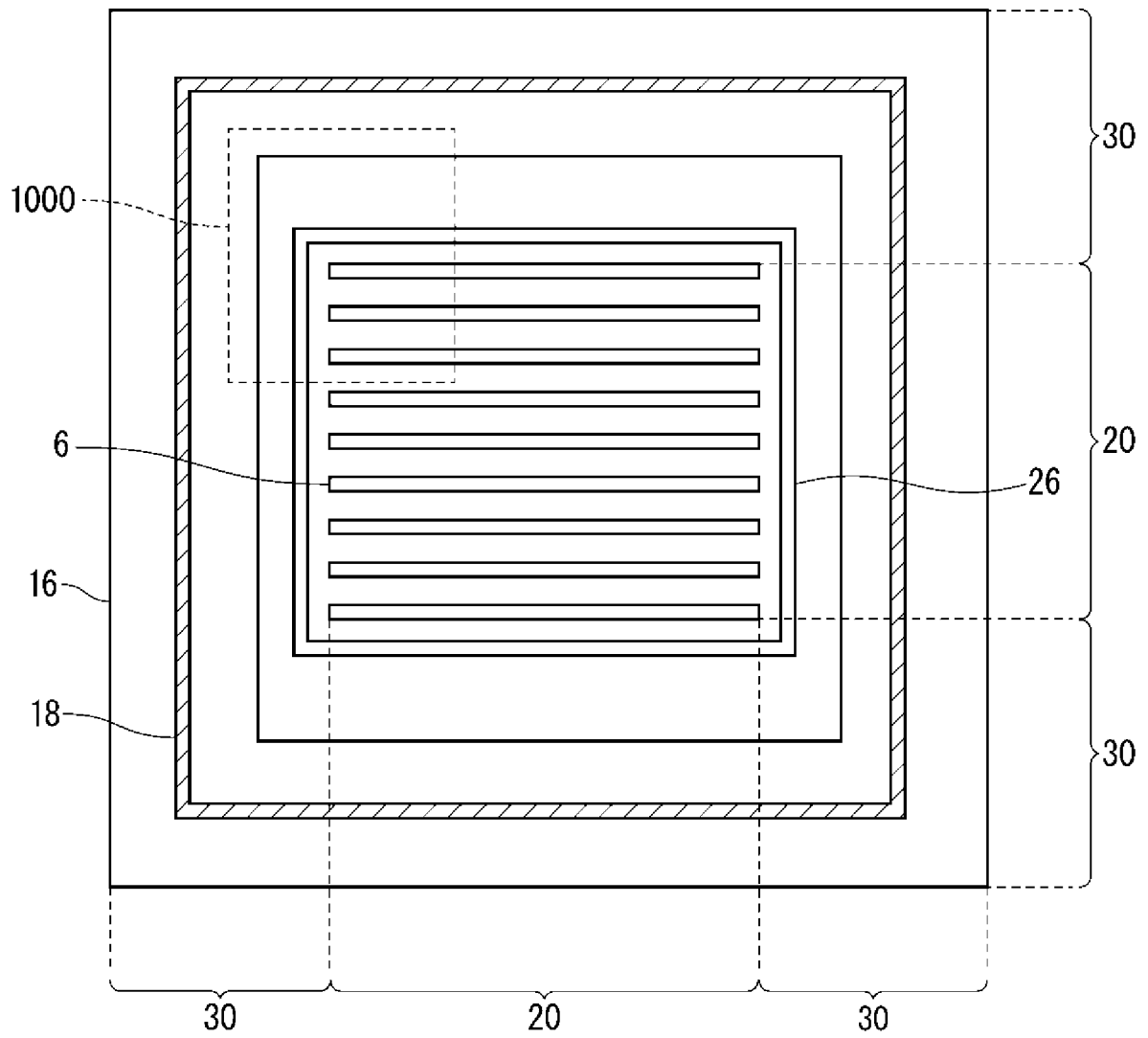
前記第1の領域における前記トレンチに隣接する前記ソース領域に電氣的に接続されるように、ソース電極を設け、

前記第2の領域における前記トレンチ内に設けられる前記ゲート電極の上面にゲート配線を設け、

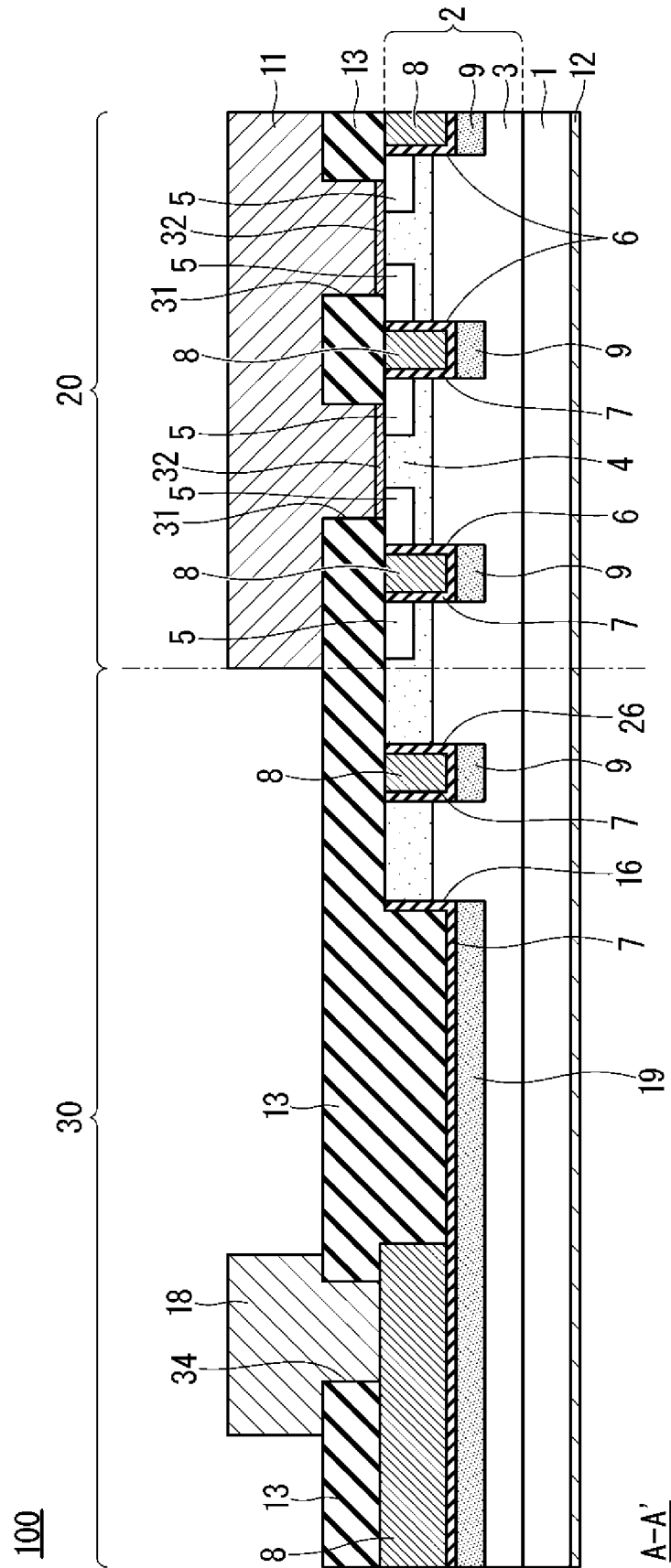
前記第2の領域における前記トレンチの前記上側角部に設けられる前記ゲート絶縁膜の曲率半径が、前記第1の領域における前記トレンチの前記上側角部に設けられる前記ゲート絶縁膜の曲率半径よりも大きい、

半導体装置の製造方法。

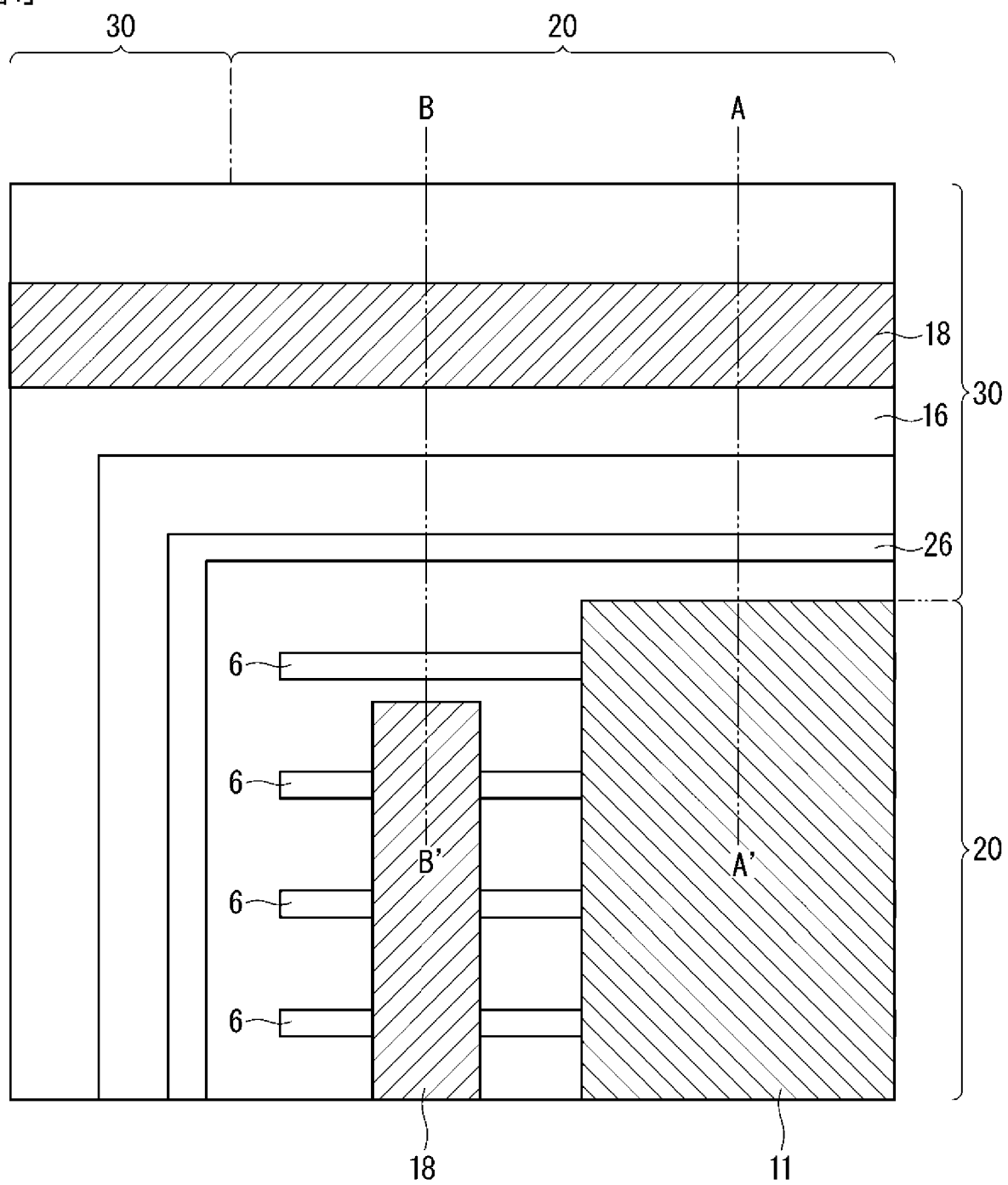
[図1]

100

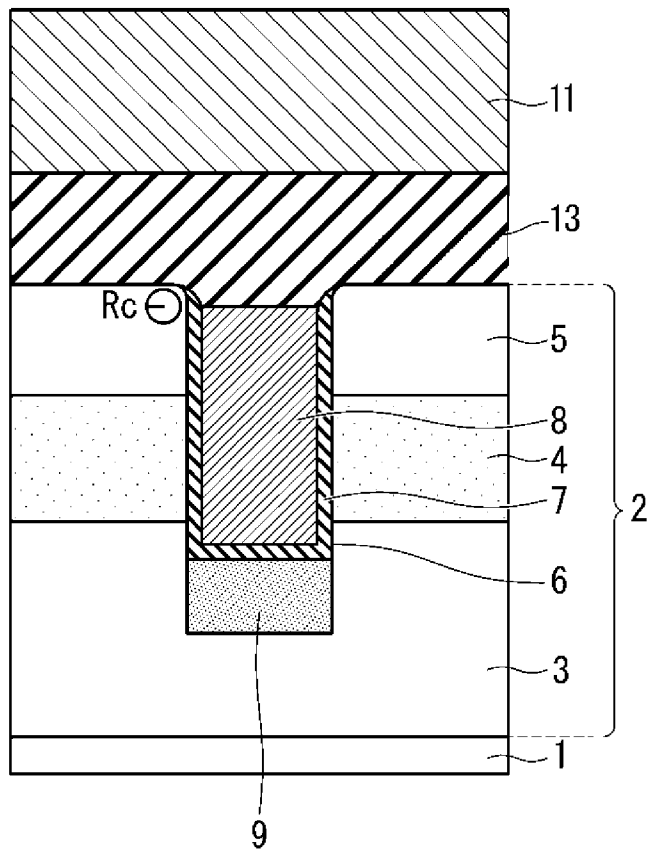
[図2]



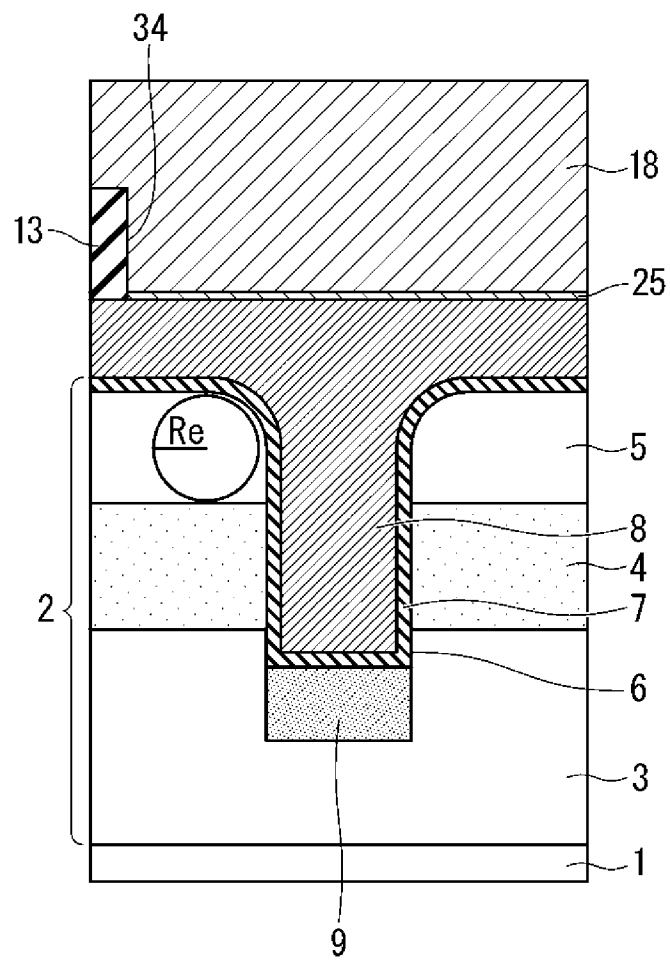
[図4]



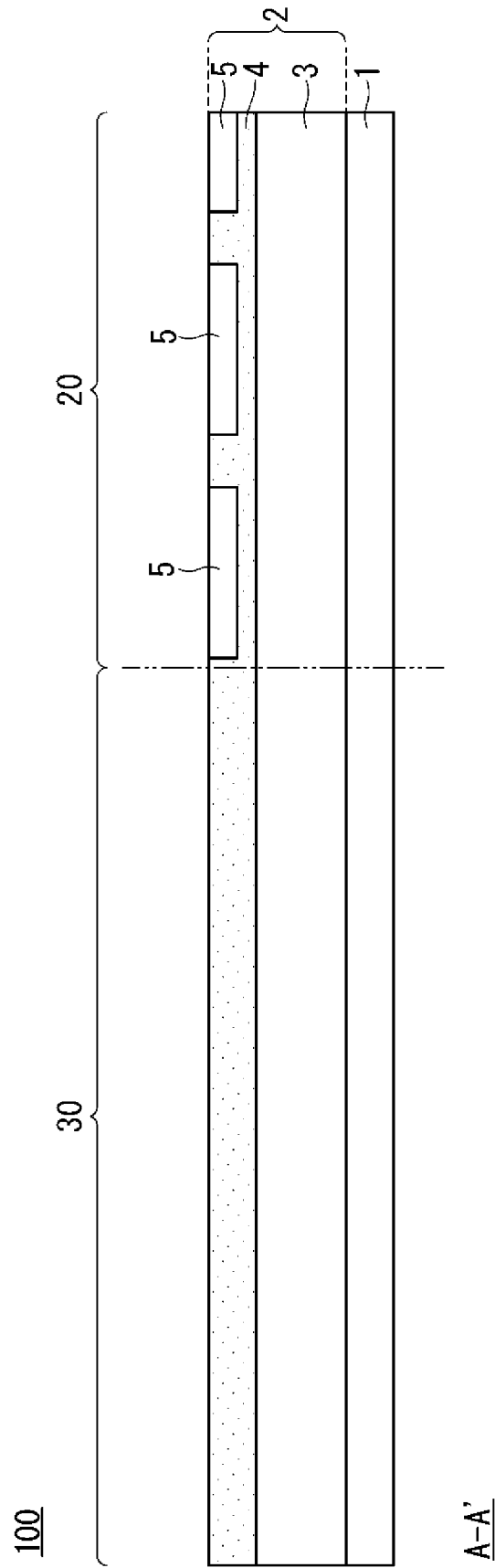
[図5]

100

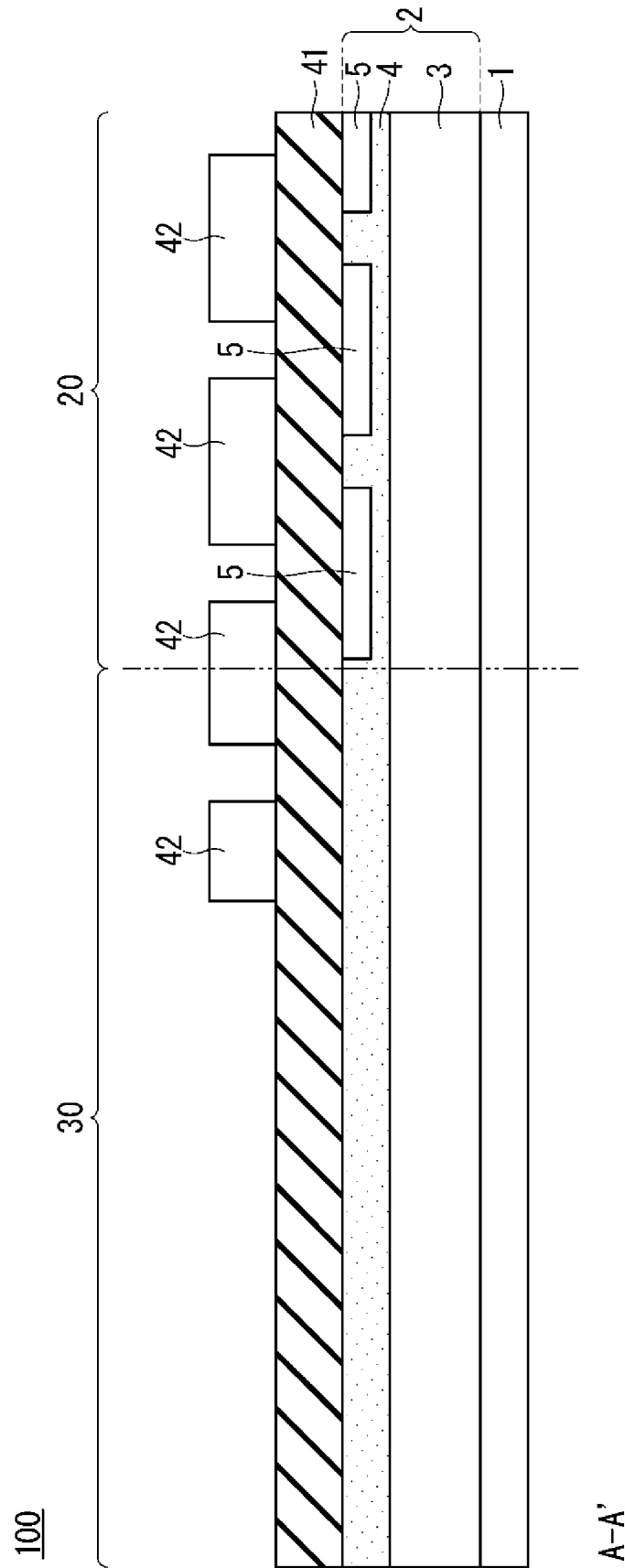
100



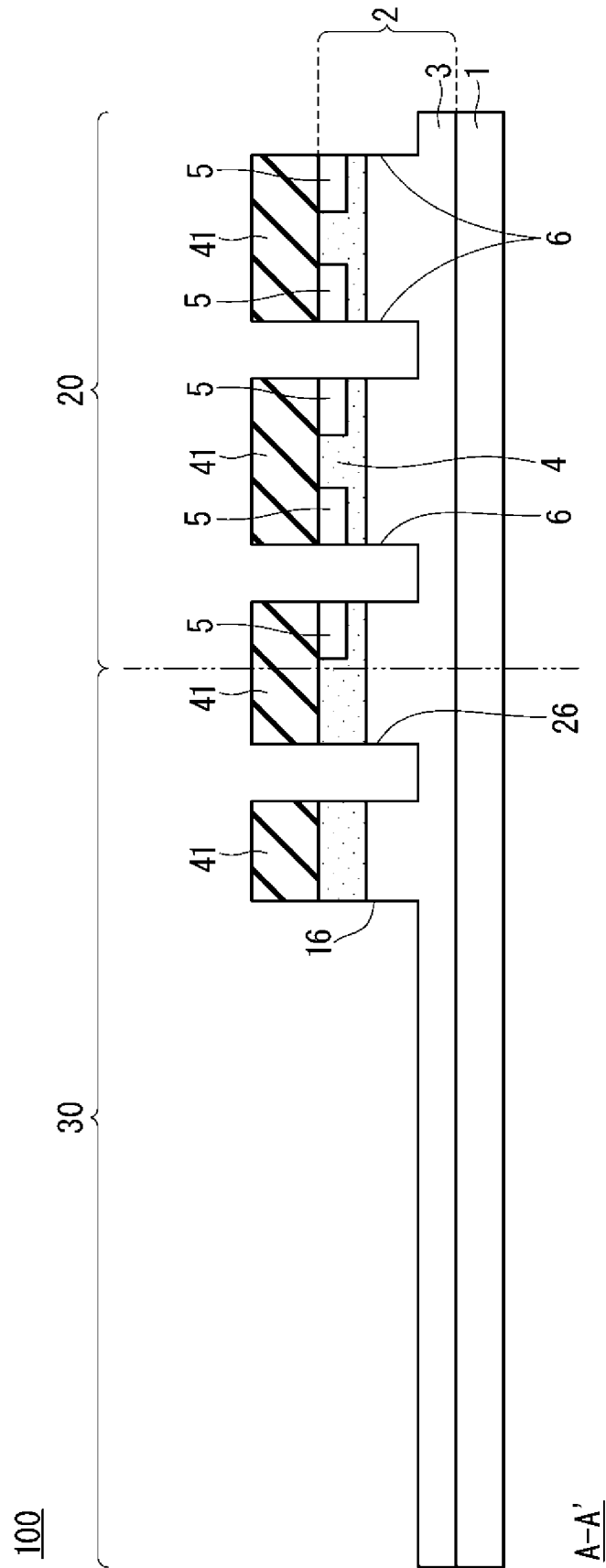
[図7]



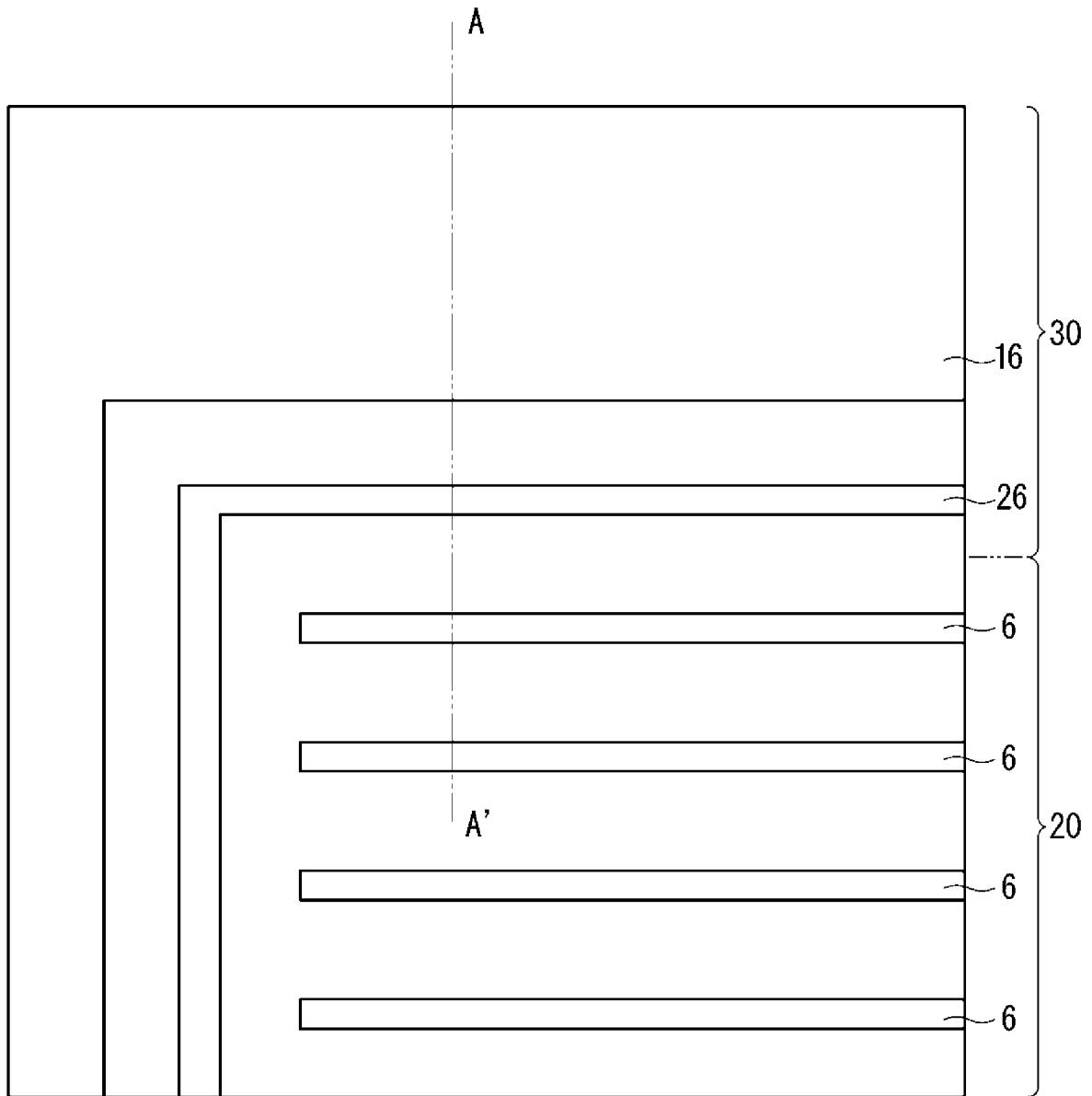
[図8]



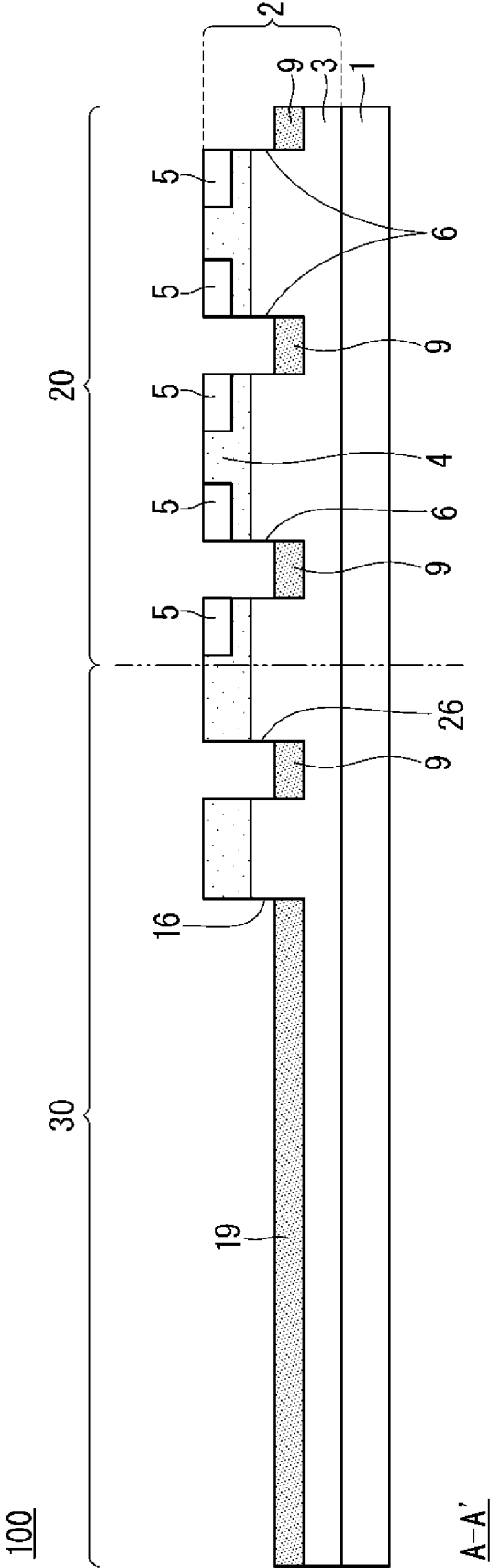
[図9]



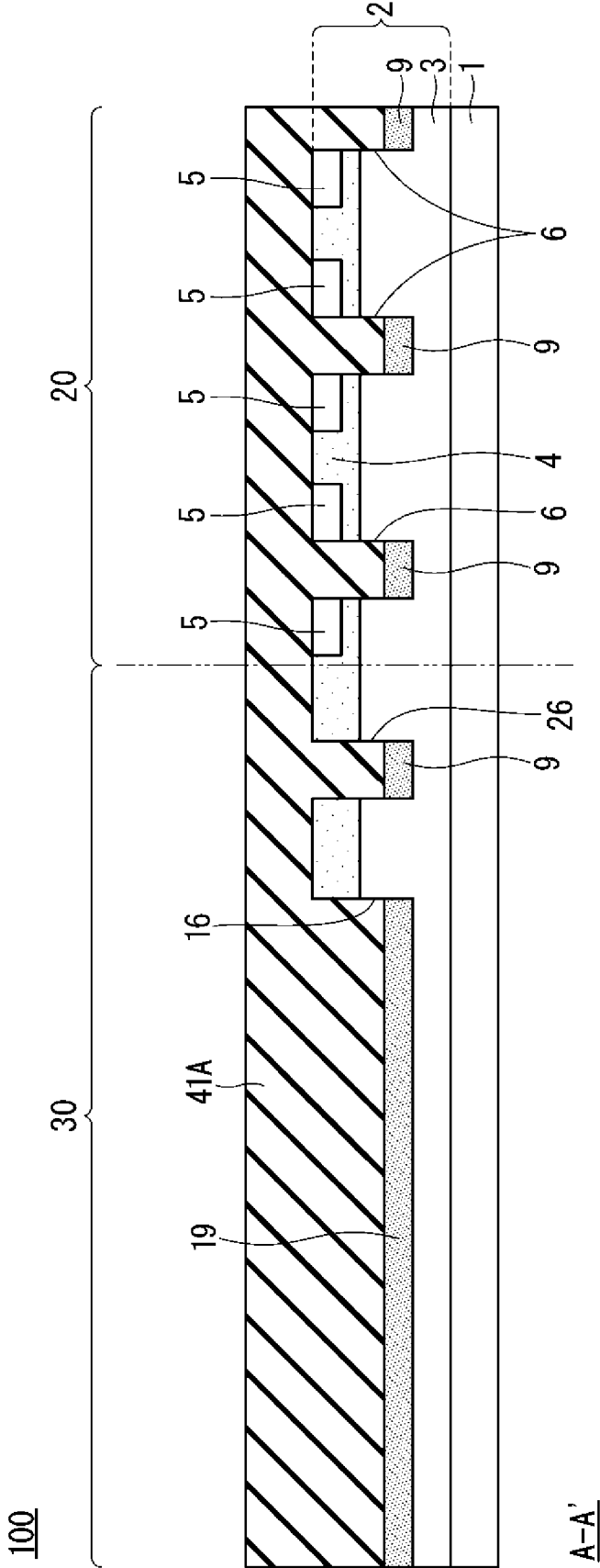
[図11]



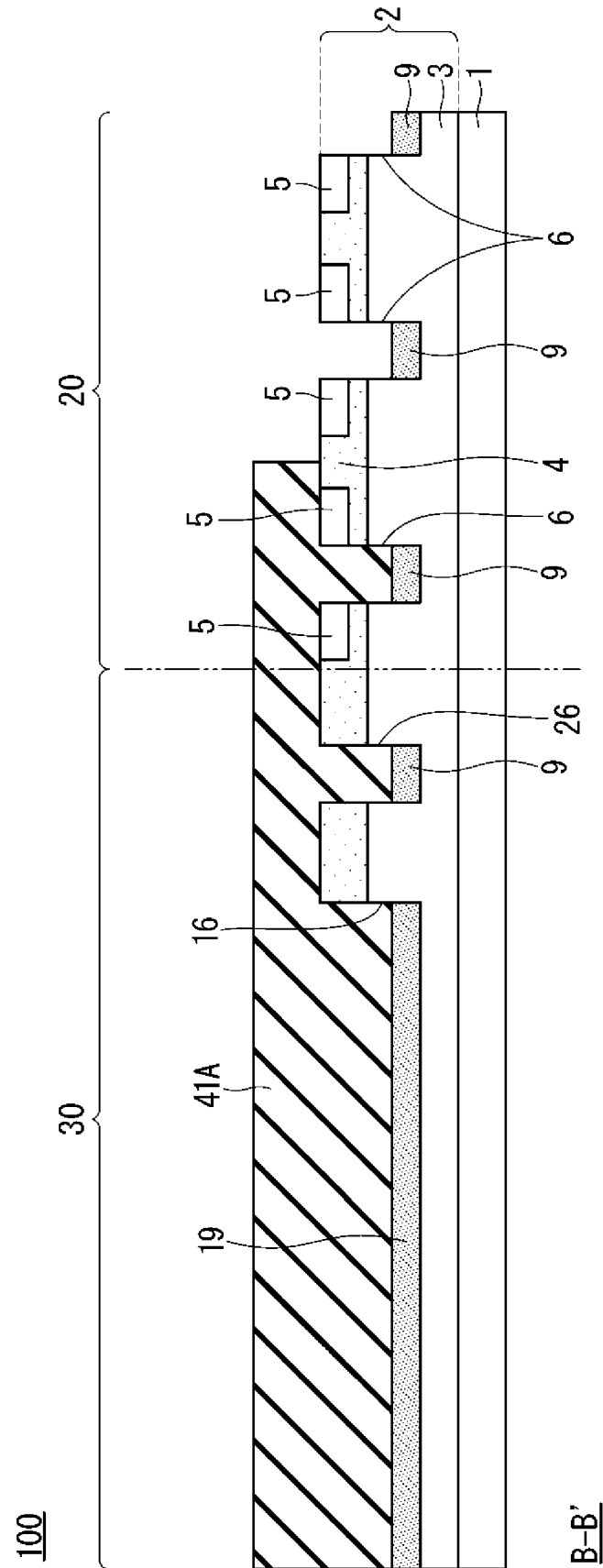
[図12]



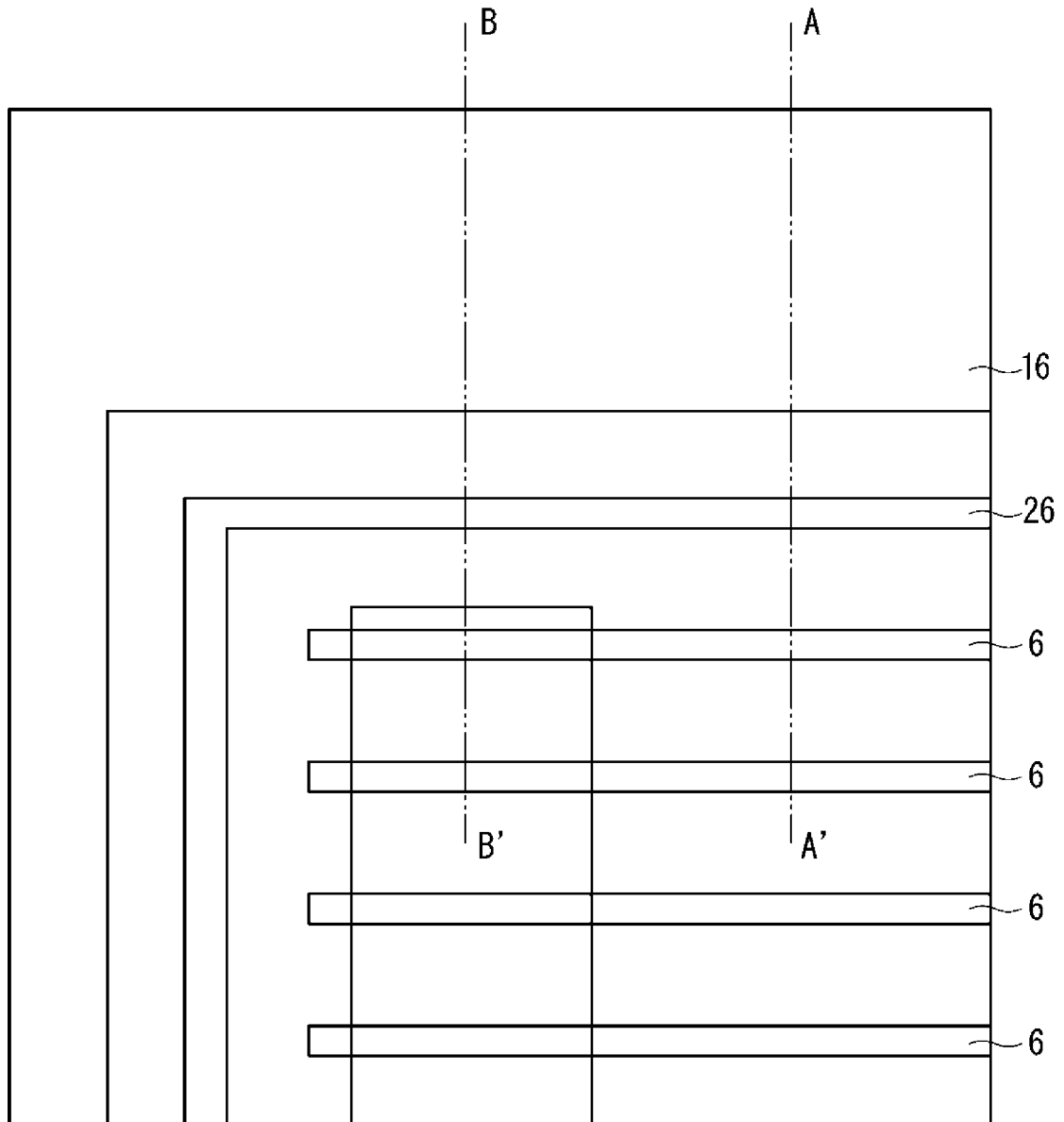
[図13]



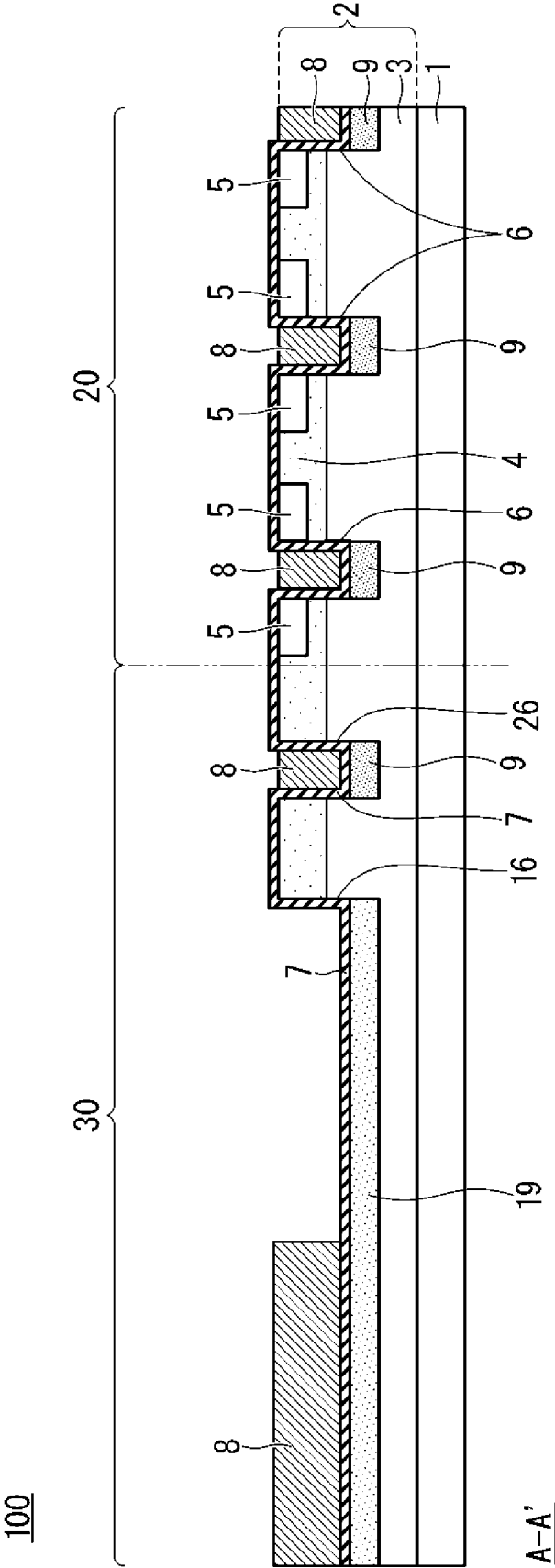
[図14]



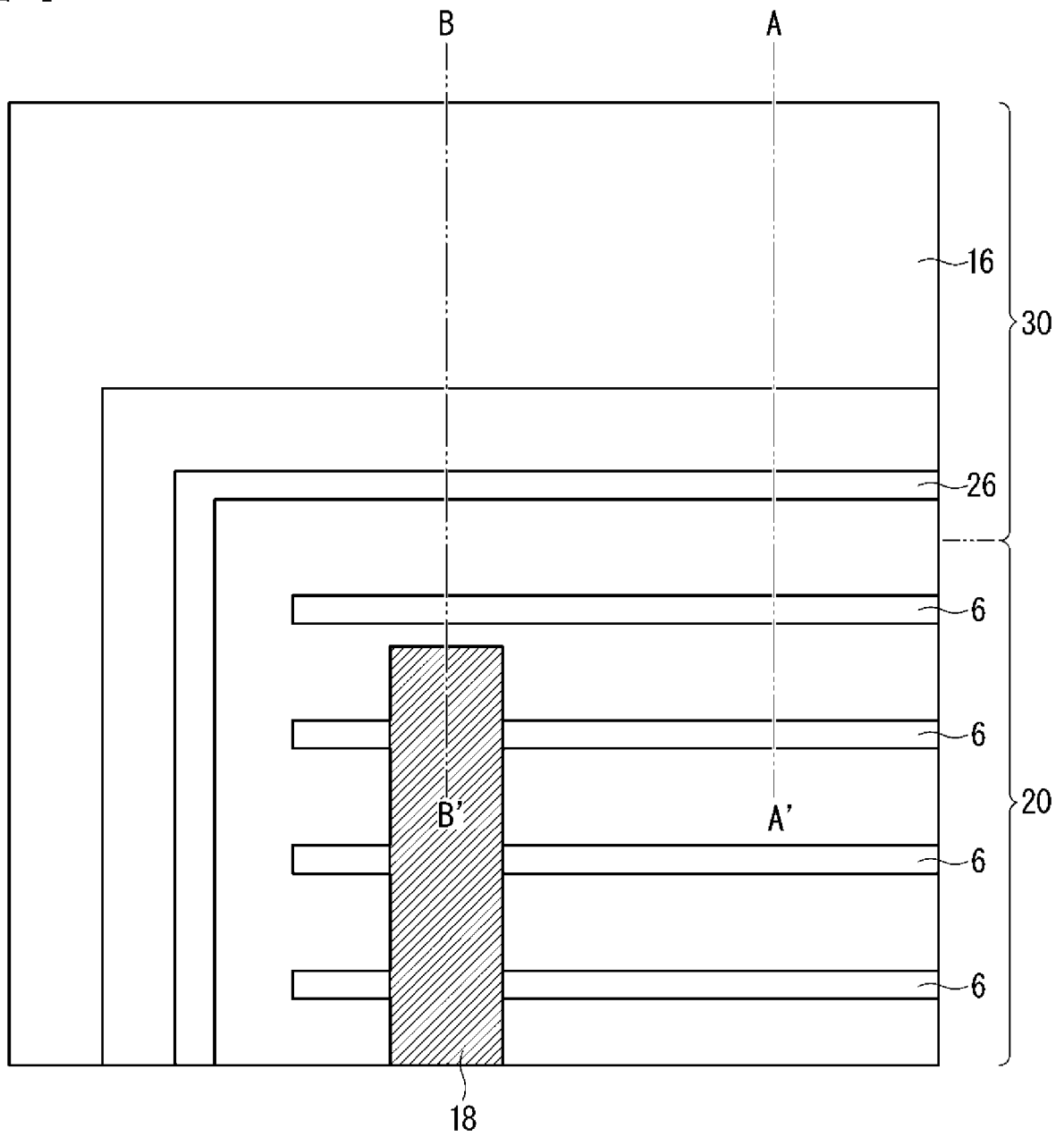
[図15]



[図16]

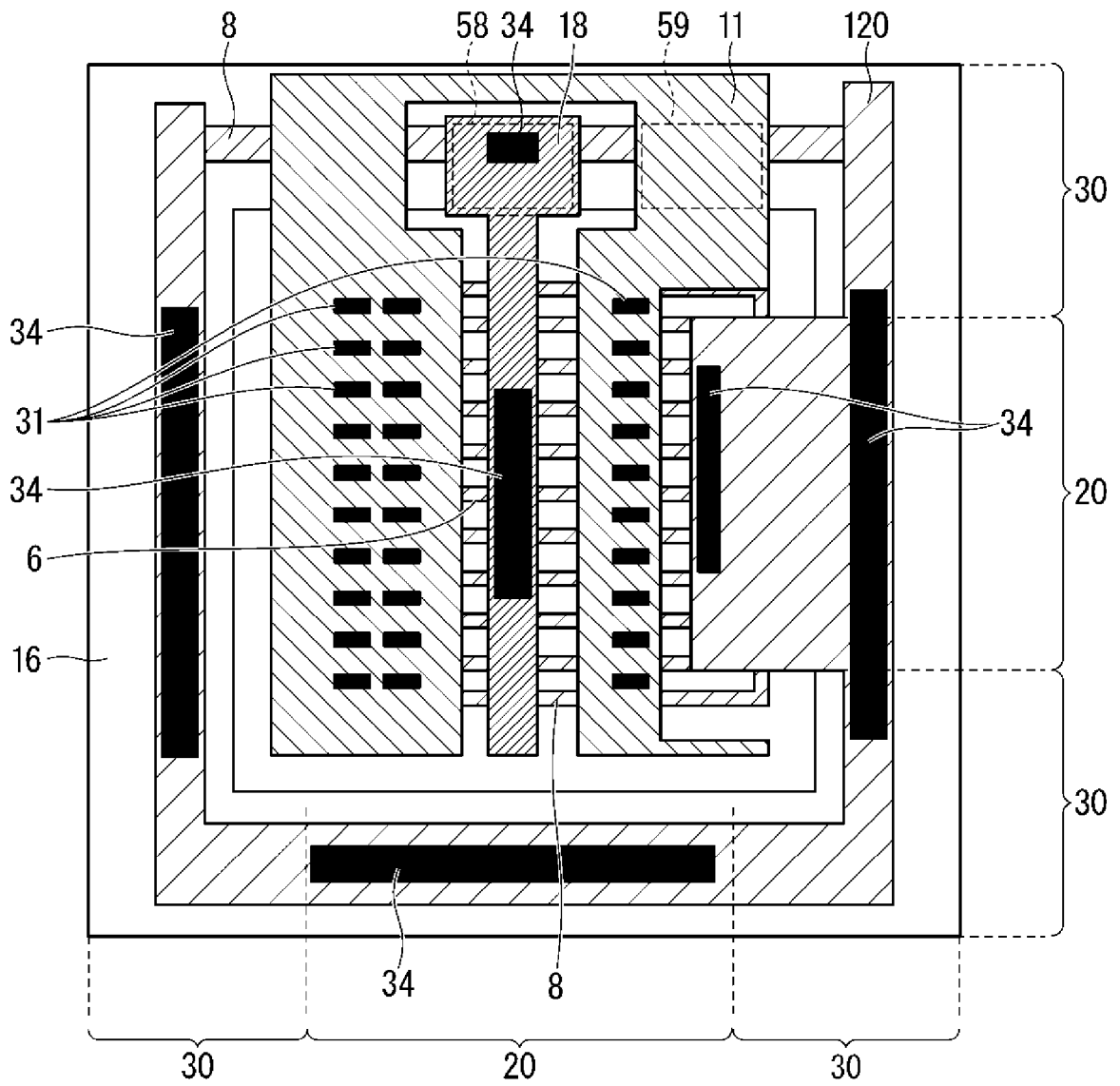


[図18]

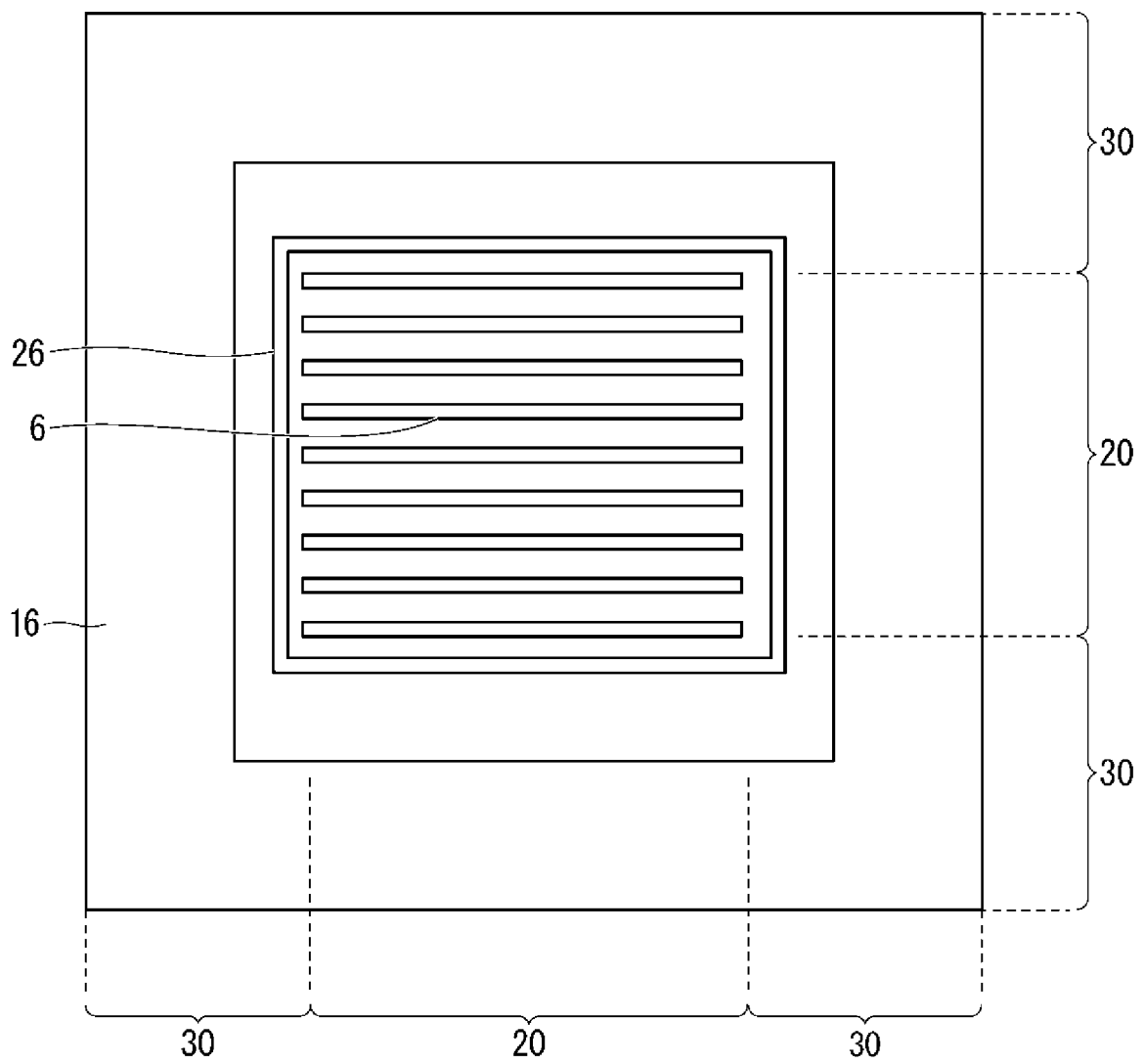


[図19]

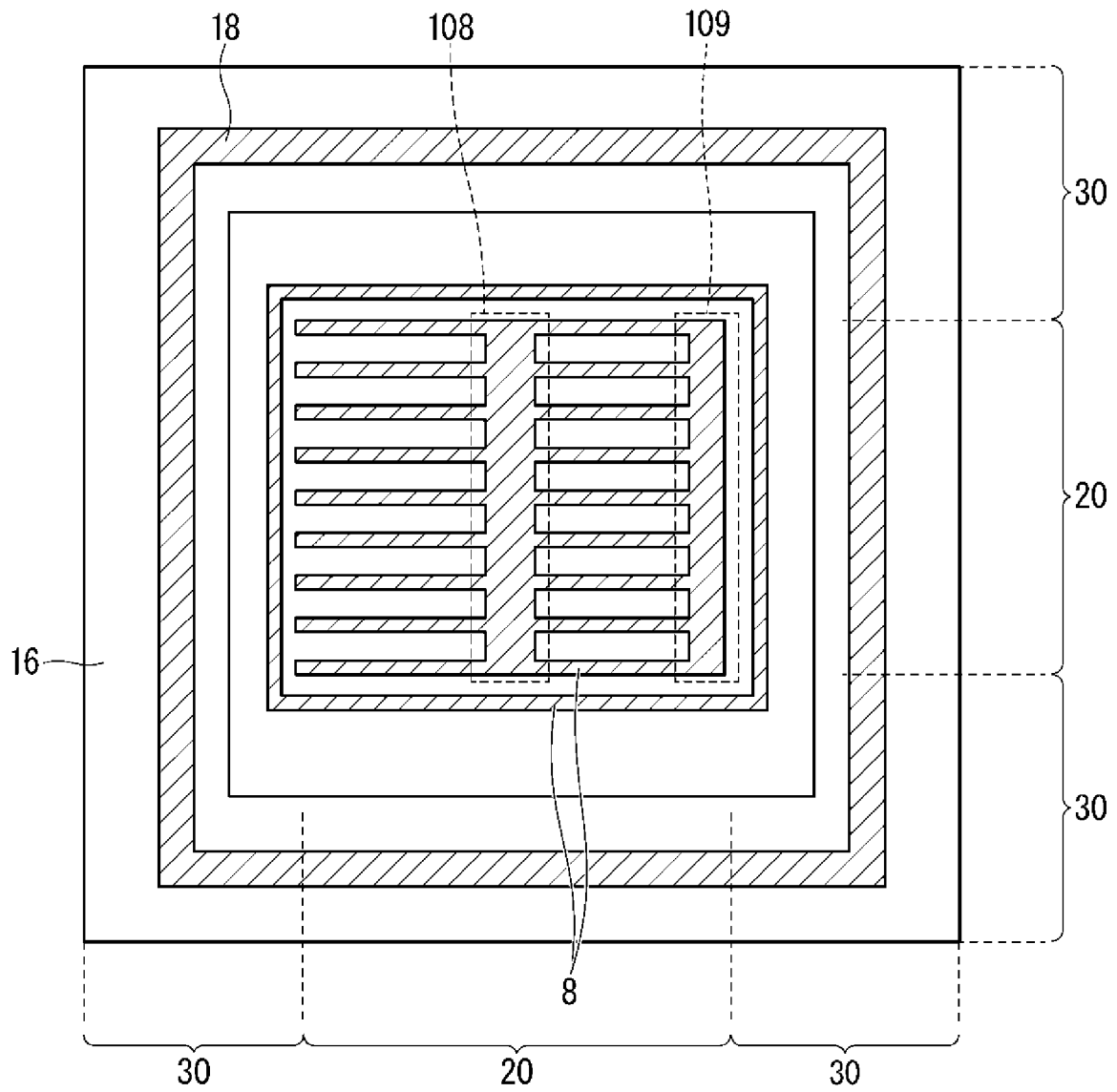
101



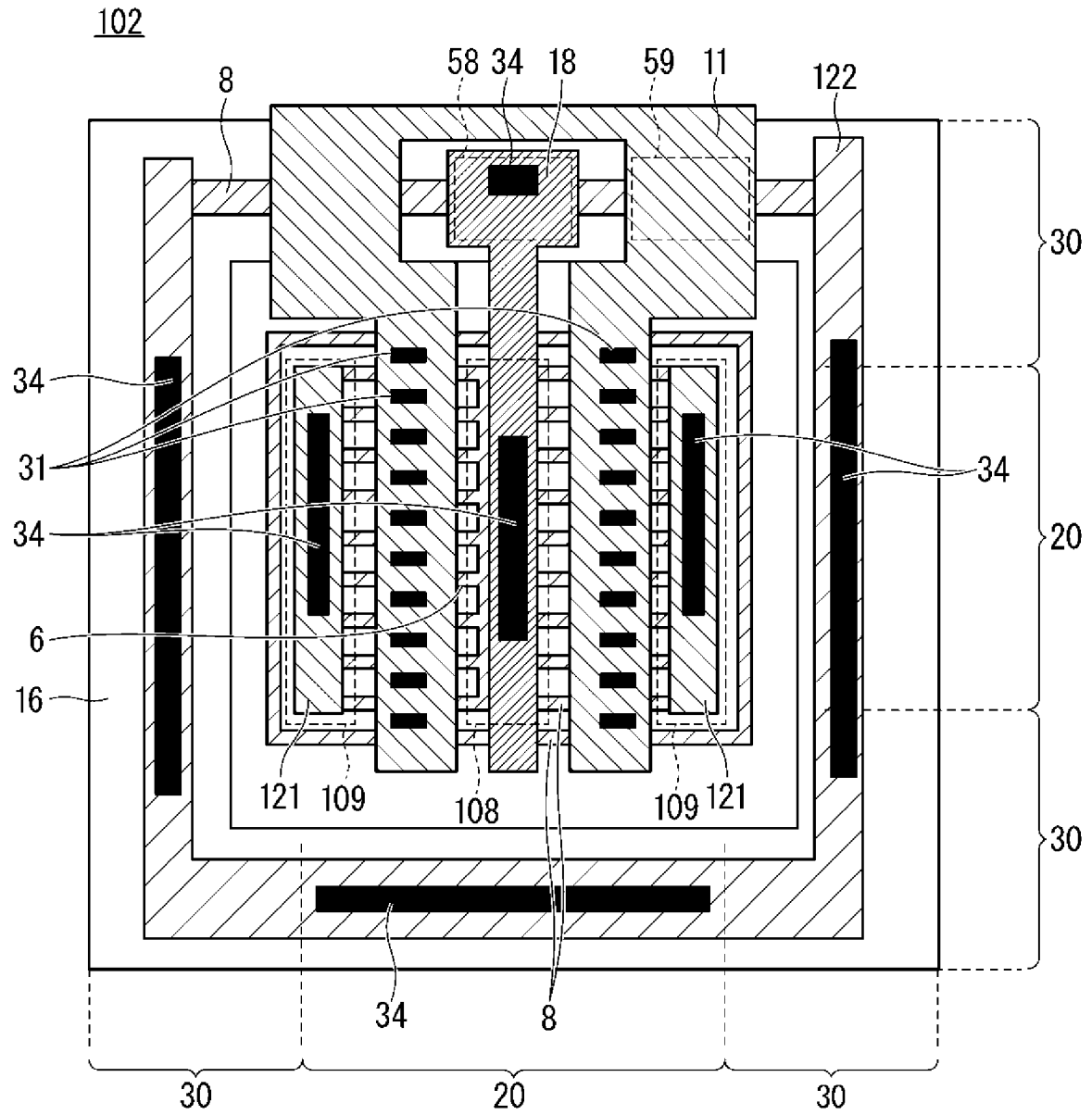
[図20]

101

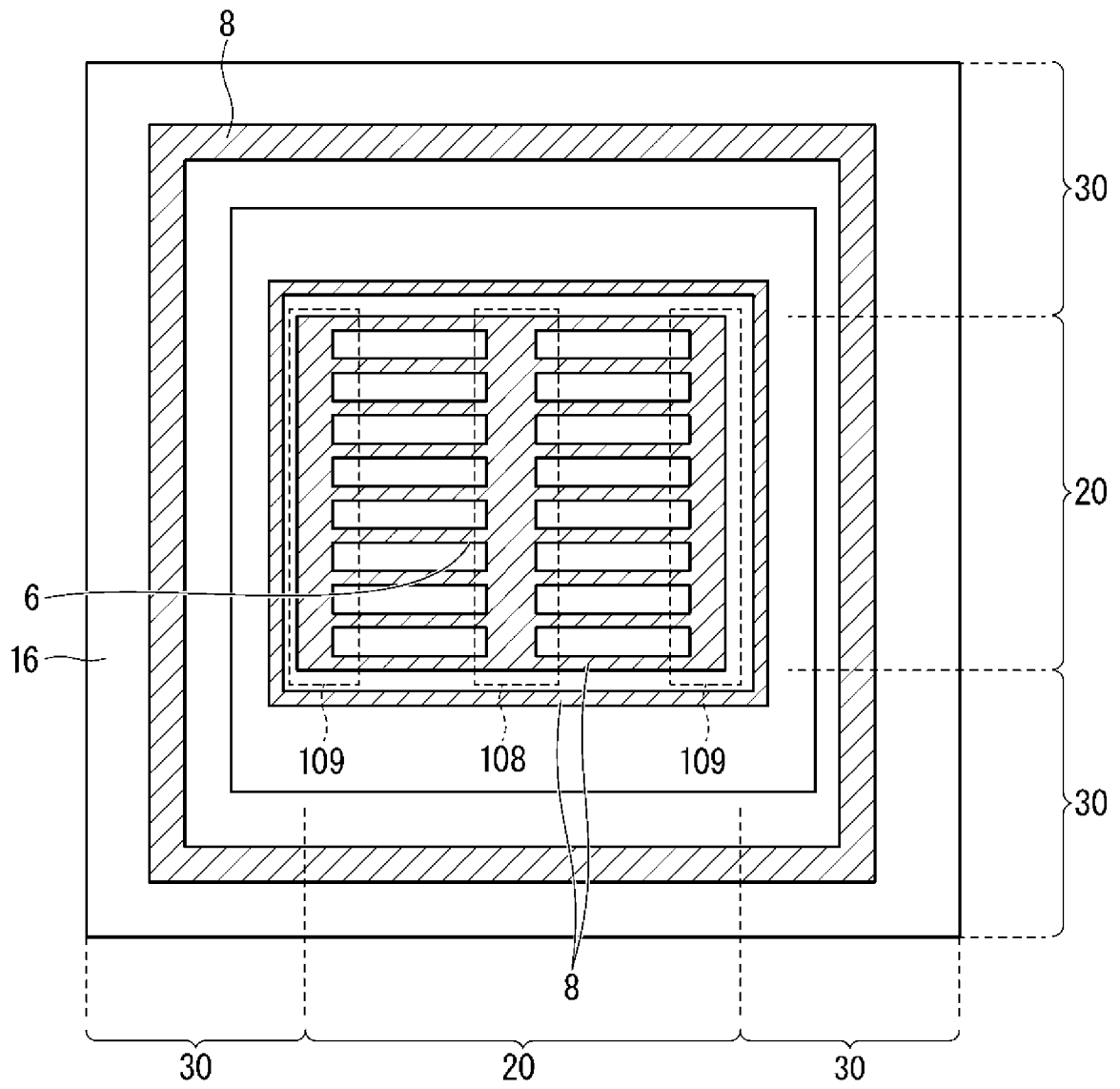
[図21]

101

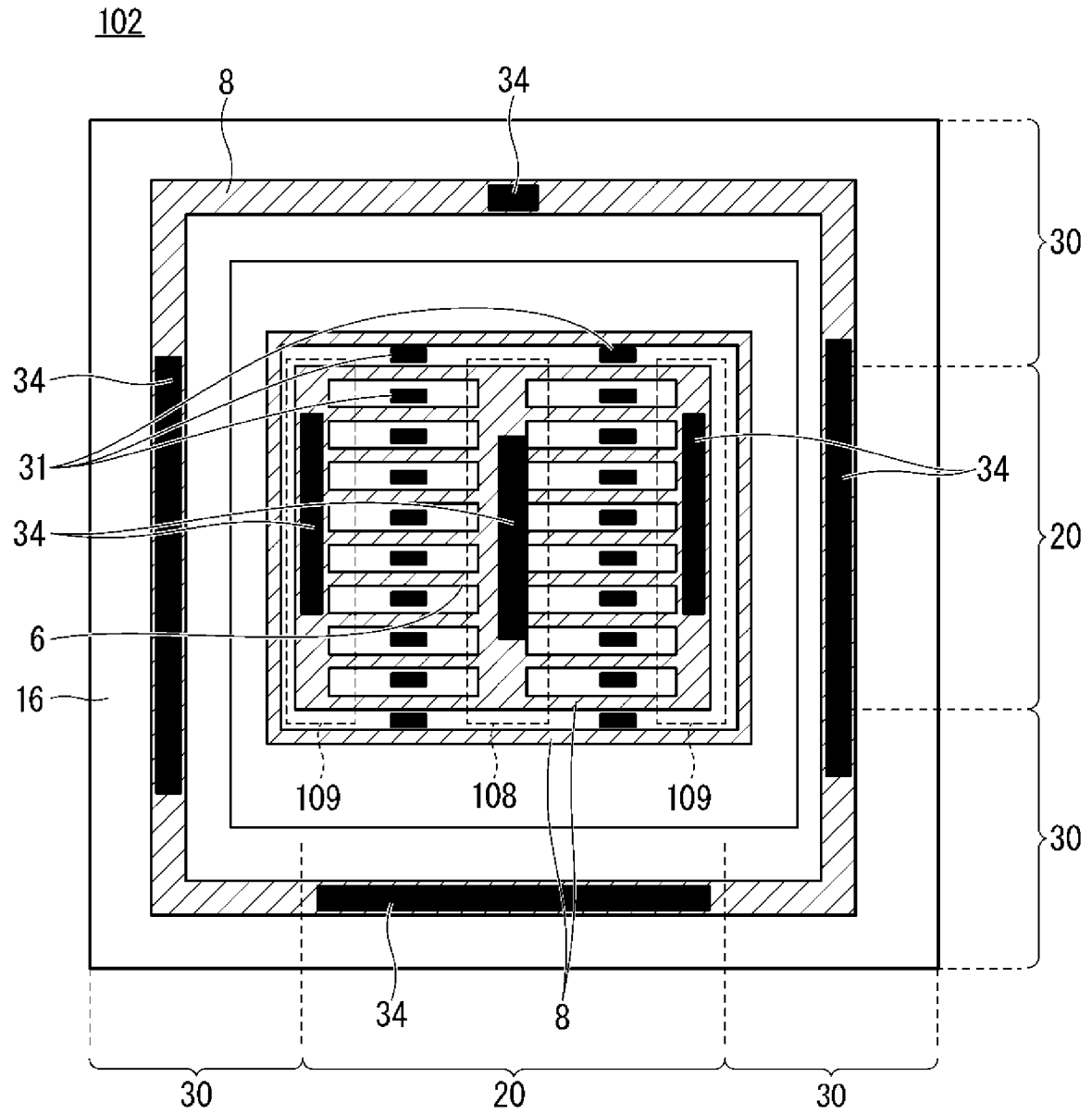
[図23]



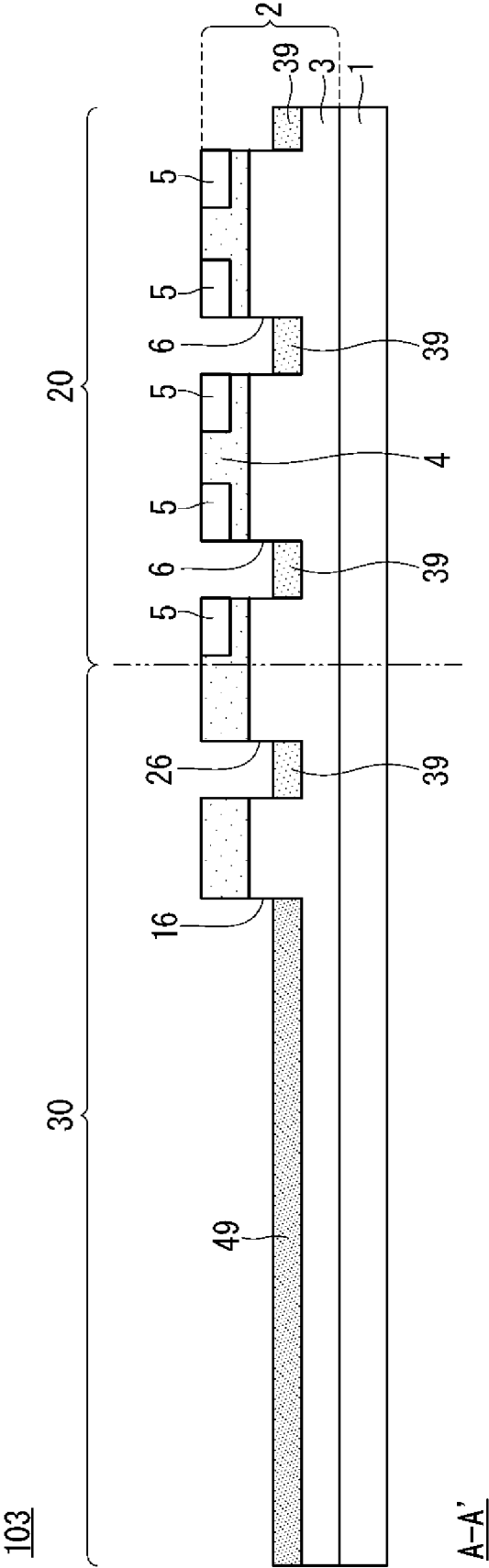
[図24]

102

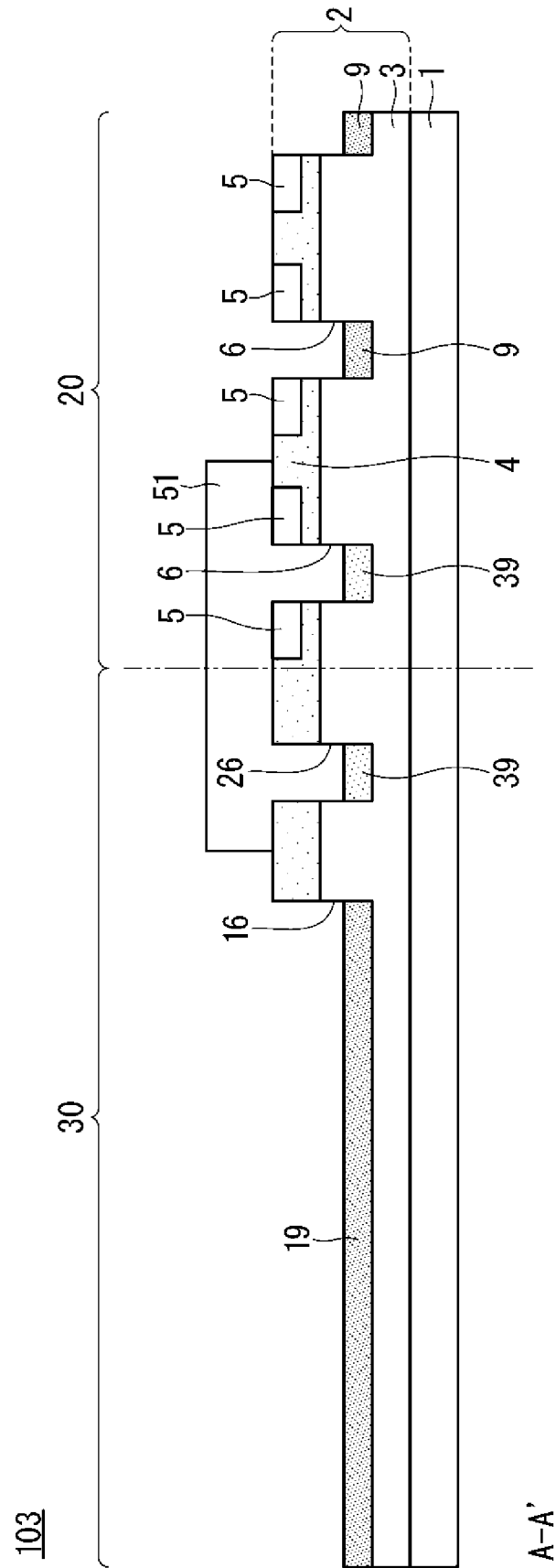
[図25]



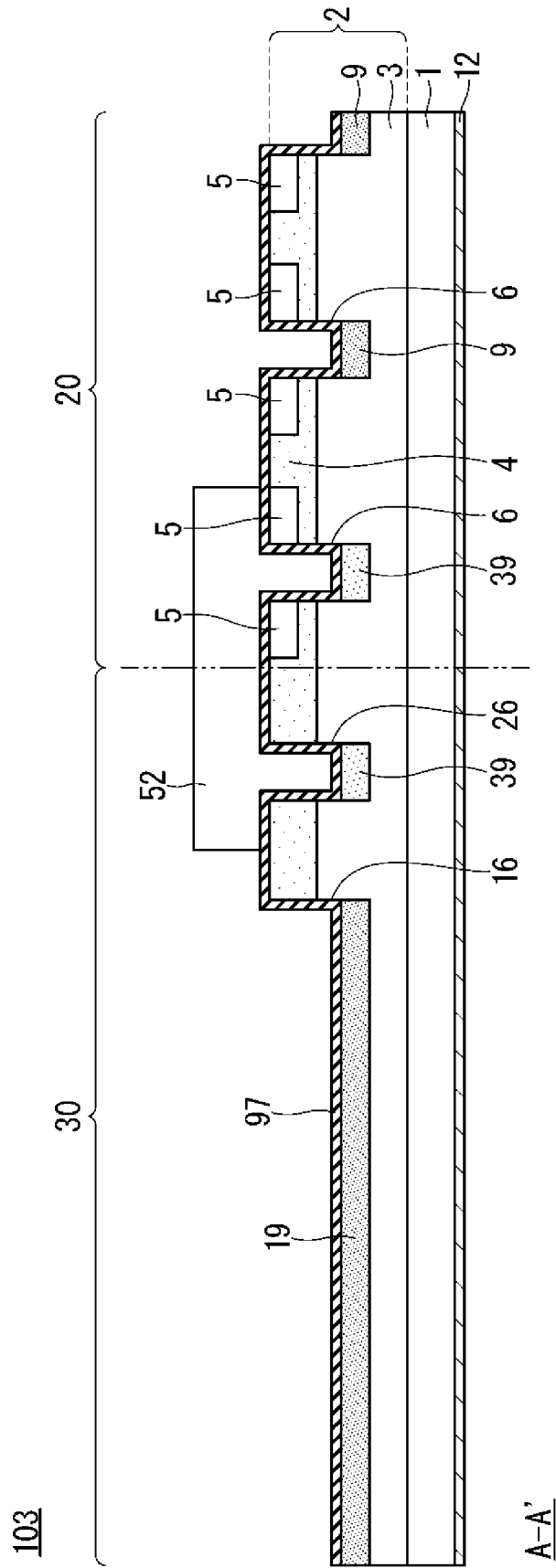
[図26]



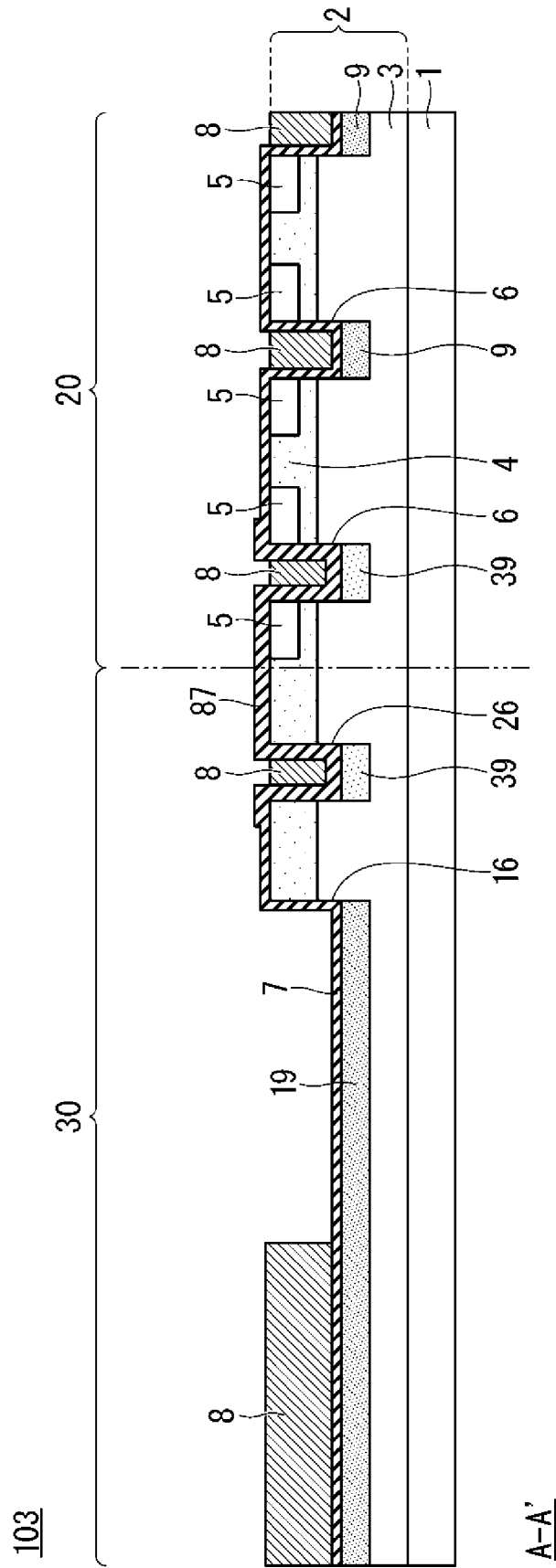
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/000592

A. CLASSIFICATION OF SUBJECT MATTER**H01L 29/78**(2006.01)i; **H01L 21/336**(2006.01)i

FI: H01L29/78 653C; H01L29/78 652K; H01L29/78 652Q; H01L29/78 653A; H01L29/78 658G

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2021-136313 A (HITACHI, LTD.) 13 September 2021 (2021-09-13) entire text, all drawings	1-10
A	JP 2021-82710 A (DENSO CORP.) 27 May 2021 (2021-05-27) entire text, all drawings	1-10
A	JP 2020-31157 A (FUJI ELECTRIC CO., LTD.) 27 February 2020 (2020-02-27) entire text, all drawings	1-10
A	JP 2018-60924 A (FUJI ELECTRIC CO., LTD.) 12 April 2018 (2018-04-12) entire text, all drawings	1-10
A	JP 2013-214658 A (DENSO CORP.) 17 October 2013 (2013-10-17) entire text, all drawings	1-10
A	JP 2007-88010 A (DENSO CORP.) 05 April 2007 (2007-04-05) entire text, all drawings	1-10
A	WO 2013/076890 A1 (PANASONIC CORPORATION) 30 May 2013 (2013-05-30) entire text, all drawings	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

09 March 2023

Date of mailing of the international search report

20 March 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/000592

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2021-136313	A	13 September 2021	(Family: none)	
JP	2021-82710	A	27 May 2021	(Family: none)	
JP	2020-31157	A	27 February 2020	(Family: none)	
JP	2018-60924	A	12 April 2018	US 2018/0097069 A1 entire text, all drawings	
JP	2013-214658	A	17 October 2013	(Family: none)	
JP	2007-88010	A	05 April 2007	(Family: none)	
WO	2013/076890	A1	30 May 2013	US 2013/0175548 A1 entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i; H01L 21/336(2006.01)i FI: H01L29/78 653C; H01L29/78 652K; H01L29/78 652Q; H01L29/78 653A; H01L29/78 658G										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L21/336										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2023年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2023年	日本国実用新案登録公報	1996-2023年	日本国登録実用新案公報	1994-2023年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2023年									
日本国実用新案登録公報	1996-2023年									
日本国登録実用新案公報	1994-2023年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	JP 2021-136313 A（株式会社日立製作所）13.09.2021（2021-09-13） 全文、全図	1-10								
A	JP 2021-82710 A（株式会社デンソー）27.05.2021（2021-05-27） 全文、全図	1-10								
A	JP 2020-31157 A（富士電機株式会社）27.02.2020（2020-02-27） 全文、全図	1-10								
A	JP 2018-60924 A（富士電機株式会社）12.04.2018（2018-04-12） 全文、全図	1-10								
A	JP 2013-214658 A（株式会社デンソー）17.10.2013（2013-10-17） 全文、全図	1-10								
A	JP 2007-88010 A（株式会社デンソー）05.04.2007（2007-04-05） 全文、全図	1-10								
A	WO 2013/076890 A1（パナソニック株式会社）30.05.2013（2013-05-30） 全文、全図	1-10								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 09.03.2023		国際調査報告の発送日 20.03.2023								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 上田 智志 5F 3664 電話番号 03-3581-1101 内線 3514								

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/000592

引用文献			公表日	パテントファミリー文献	公表日
JP	2021-136313	A	13.09.2021	(ファミリーなし)	
JP	2021-82710	A	27.05.2021	(ファミリーなし)	
JP	2020-31157	A	27.02.2020	(ファミリーなし)	
JP	2018-60924	A	12.04.2018	US 2018/0097069 A1 全文、全図	
JP	2013-214658	A	17.10.2013	(ファミリーなし)	
JP	2007-88010	A	05.04.2007	(ファミリーなし)	
WO	2013/076890	A1	30.05.2013	US 2013/0175548 A1 全文、全図	