

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5657888号
(P5657888)

(45) 発行日 平成27年1月21日(2015.1.21)

(24) 登録日 平成26年12月5日(2014.12.5)

(51) Int. Cl.		F I			
G06F 12/00	(2006.01)		G06F 12/00	564D	
G06F 12/16	(2006.01)		G06F 12/00	597D	
			G06F 12/16	330C	

請求項の数 20 (全 23 頁)

(21) 出願番号	特願2009-516832 (P2009-516832)	(73) 特許権者	508034325
(86) (22) 出願日	平成19年5月7日(2007.5.7)		コンバーサント・インテレクチュアル・プロパティ・マネジメント・インコーポレイテッド
(65) 公表番号	特表2009-541868 (P2009-541868A)		CONVERSANT INTELLECTUAL PROPERTY MANAGEMENT INC.
(43) 公表日	平成21年11月26日(2009.11.26)		カナダ・オンタリオ・K2K・OG7・オタワ・マーチ・ロード・390・スイート・100
(86) 国際出願番号	PCT/CA2007/000787	(74) 代理人	100153811
(87) 国際公開番号	W02008/000059		弁理士 青山 高弘
(87) 国際公開日	平成20年1月3日(2008.1.3)	(74) 代理人	100199277
審査請求日	平成22年4月30日(2010.4.30)		弁理士 西守 有人
審査番号	不服2013-13950 (P2013-13950/J1)		
審査請求日	平成25年7月19日(2013.7.19)		
(31) 優先権主張番号	11/477,659		
(32) 優先日	平成18年6月30日(2006.6.30)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 同期メモリの読出しデータ収集

(57) 【特許請求の範囲】

【請求項1】

同期メモリを制御するための方法であって、
 メモリコントローラが、メモリの所定位置に初期化シーケンスを書き込むステップと、
 前記メモリコントローラが、前記メモリに読出しコマンドを送って前記所定位置を読み出し、リターンデータ信号を受け取るステップと、
 前記読出しコマンドを送った後の所定時間に、前記メモリコントローラが、初期化サンプルを生成するために前記リターンデータ信号をサンプリングするステップと、
 前記初期化サンプルの各順列に対するそれぞれの読出しデータパス遅延を含む検索テーブルを用いて、前記メモリと前記メモリコントローラとの間の前記読出しデータパス遅延を決定するために前記初期化サンプルを使用するステップとによって、
 前記メモリと前記メモリコントローラとの間で読出しデータパス遅延を設定するステップを有する方法。

【請求項2】

読出しコマンドを送るステップと、
 前記読出しコマンド対応して、データ信号を受け取るとともに、データストロープ信号を前記データ信号に同期させて受け取るステップと、
 前記読出しデータパス遅延の機能として前記データストロープ信号をイネーブルするステップとによって、

継続的に前記メモリからの読出しを実行するステップをさらに有する請求項1に記載の

方法。

【請求項 3】

前記リターンデータ信号をサンプリングするステップは、
グレイコードの各ビットを4つのクロック位相でサンプリングするステップを有する請求1および2のいずれか一項に記載の方法。

【請求項 4】

前記グレイコードは、 2^n 個の符号語を有するN-ビットグレイコードであり、
前記メモリコントローラが前記メモリの所定位置にグレイコード初期化シーケンスを書き込むステップは、前記 2^n 個の符号語の各々を 2^{n+1} 個の連続するアドレス内の1対のアドレスに書き込むステップを有する請求項3に記載の方法。

10

【請求項 5】

前記 2^n 個の符号語を 2^{n+1} 個の連続するアドレスに書き込むステップは、Nビットを前記 2^{n+1} 個のアドレスの各々に書き込むステップを有し、

4つのクロック位相でグレイコードの各ビットをサンプリングするステップは、N-ビットのグレイコードの第n番目のビットが前記4つのクロック位相(ただし $n = 0, \dots, N-1$)で書き込まれた、それぞれの読み込み信号をサンプリングするステップを有する請求項4に記載の方法。

【請求項 6】

前記 2^n 個の符号語を 2^{n+1} 個の連続するアドレスに書き込むステップは、 $g_1, g_1, g_1, g_1, \dots, g_N, g_N, g_N, g_N$ を1対のアドレスに書き込むことで、それぞれのグレイコード符号語 g_1, g_2, \dots, g_N のビットを4Nビットとして前記 2^{n+1} 個のアドレスの各々に書き込むステップを有し、

20

グレイコードの各ビットを4つのクロック位相でサンプリングするステップは、
前記読出しコマンド対応して、前記リターンデータ信号として4N個のデータ信号を受け取るステップと、

N個のデータ信号を第1のクロック位相でサンプリングするステップと、
別のN個のデータ信号を第2のクロック位相でサンプリングするステップと、
別のN個のデータ信号を第3のクロック位相でサンプリングするステップと、
別のN個のデータ信号を第4のクロック位相でサンプリングするステップとを有する請求項4に記載の方法。

30

【請求項 7】

N=2である請求項6に記載の方法。

【請求項 8】

N=3である請求項6に記載の方法。

【請求項 9】

複数の読出し遅延の各々に対して、初期化サンプルを保存するステップをさらに有し、
前記メモリと前記メモリコントローラとの間の前記読出しデータパス遅延を決定するために前記初期化シーケンスを使用するステップは、前記初期化シーケンスに保存された前記読出しデータパス遅延を検索するステップを有する請求項1から8のいずれか一項に記載の方法。

40

【請求項 10】

複数の読出し遅延の各々に対して、初期化シーケンスを保存するステップは、
各読出し遅延に対するカウンタの状態を決定するステップと前記初期化シーケンスに関連する前記カウンタの状態を保存するステップとを有し、

前記方法が

継続的に、各読出しコマンドに対して、読出しコマンドを送った後に前記カウンタを開始するステップと、前記コードカウンタが前記決定された読出し遅延に対する前記カウンタの状態に達するときデータストローブをイネーブルするステップとをさらに有する請求項9に記載の方法。

【請求項 11】

50

前記カウンタは、1/4クロック位相で増加するハードウェアとして実現されたグレイコードカウンタである請求項10に記載の方法。

【請求項12】

前記カウンタは、1/4クロック位相で増加するRTLカウンタである請求項10に記載の方法。

【請求項13】

継続的に、クロック変動があるかを決定し、該クロック変動がある場合は前記読出しデータパス遅延を更新するステップをさらに有する請求項1から12のいずれか一項に記載の方法。

【請求項14】

読出しバースト長および連続する読出しコマンドをもたらず前記データストローブ信号をディスエーブルするステップをさらに有する請求項1から13のいずれか一項に記載の方法。

【請求項15】

各遅延に対して、
前記データストローブをいつイネーブルするかを示すイネーブルカウントを保存するステップと、

前記データストローブをいつディスエーブルするかを示すディスエーブルカウントを保存するステップと、

データ回復のために0度または180度のクロック位相のどちらでサンプリングするかの指示を保存するステップとをさらに有する請求項1から14のいずれか一項に記載の方法。

【請求項16】

読出しデータ信号をRTLクロックに再調整するステップをさらに有する請求項1から15のいずれか一項に記載の方法。

【請求項17】

同期クロック源および双方向データストローブを備えた双方向読出し/書込みバスを有するメモリを制御する方法を実施するように構成されたメモリコントローラであって、

前記方法は、

前記メモリコントローラが、前記メモリの所定位置にグレイコード初期化シーケンスを書き込むステップと、

前記メモリコントローラが、前記所定位置を読み出すために前記メモリに読出しコマンドを送り、リターンデータ信号を受け取るステップと、

前記読出しコマンドを送った後の所定時間に、前記メモリコントローラが、初期化サンプルを生成するために前記リターンデータ信号をサンプリングするステップと、

前記初期化サンプルの各順列に対するそれぞれの読出しデータパス遅延を含む検索テーブルを用いて、前記メモリと前記メモリコントローラとの間の読出し遅延を決定するために前記初期化サンプルを使用するステップとによって、

前記メモリと前記メモリコントローラとの間の読出し遅延を測定するステップを有するメモリコントローラ。

【請求項18】

同期クロック源および双方向データストローブを備えた双方向読出し/書込みバスを有するメモリを制御するためのメモリコントローラであって、

読出し遅延決定回路およびデータストローブイネーブル回路を備え、

初期化中、前記読出し遅延決定回路が、読出しコマンドのメモリへの送出とリターンデータ信号の受取りとの間の読出し遅延を決定し、前記読出し遅延決定回路が、初期化サンプルを生成するために所定時間に前記データをサンプリングするための回路と、前記初期化サンプルの各順列に対してそれぞれの読出し遅延を保存するテーブル検索機能とを備え、

前記データストローブイネーブル回路は、前記読出し遅延に応じて受け取ったDQSをゲート制御するように構成されているメモリコントローラ。

10

20

30

40

50

【請求項19】

0度サンプルまたは180度サンプルのいずれかを選択するための回路と、
前記データ信号をメインクロックに再調整するための回路と
のうちの少なくとも1つをさらに備えた請求項18に記載のメモリコントローラ。

【請求項20】

前記テーブル検索機能は、前記初期化シーケンスの各順列に対して、
データストロブイネーブルカウントと、
データストロブディスエーブルカウントと、を行い、
メモリの通常読出し動作に対して0度または180度のいずれかでサンプリングする機能で
ある請求項18および19のいずれか一項に記載のメモリコントローラ。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、同期メモリおよび関連するメモリコントローラに関するものである。
より詳細には、本発明は、双方向データバスおよび双方向データストロブ信号を使用
する、メモリコントローラと同期メモリとの間の読出しおよび書込みデータの制御および
転送に関するものである。

【背景技術】

【0002】

同期信号源において、データストロブクロックは、伝送装置によってデータと共に駆
動される。送信機から受信機まで、クロックおよびデータバスが整合させられる。受信装
置では、データストロブクロックを使用して着信データをラッチする。ダブルデータレ
ート(DDR)SDRAMメモリシステムでは、外部データバスは双方向である。書込みデータはメ
モリコントローラからメモリに送られ、読出しデータはメモリからコントローラに送られ
る。データが送られていない場合、バスはバス伝送ラインの終端電圧によって定義される
トライステートレベルに戻る。

20

【0003】

双方向データストロブクロックの制御もまた、どのデバイスがデータバス上にデータ
を駆動しているかに応じて変化する。コントローラおよびメモリデバイスへのデータスト
ロブクロック入力は、トライステートクロック入力レベルで生成されるスプリアスクロ
ックエッジにより、内部データ収集が引き起こされることを防止するために、イネーブル
信号によってゲート制御されなければならない。メモリコントローラおよびメモリのい
ずれもデータストロブを駆動していない場合、データストロブ線は終端抵抗によってバ
ス終端電圧の方へ引っ張られる。DDRおよびDDR2メモリに対しては、終端電圧 V_{term} は $V_{ddq}/2$
であり、これは入力バッファ基準電圧 V_{ref} と同じである。その結果、データストロブ
入力バッファは不確定な値を発生し、この値は、ノイズに応じて“0”と“1”の間を変化
する可能性がある。メモリチップ上で、このことが容易に実行されるのは、書込みデー
タ命令および書込みデータ自体がコントローラから同期して信号源に到達し、2つの信号セ
ット間の歪みが1ビット周期未満であるからである。データストロブクロックDQSの最初
のアクティブエッジ以前に、DQSが低駆動される2ビットのプリアンブル時間がある。この
時間中、メモリチップはイネーブル信号をアサートすることができる。

30

40

【0004】

読出し動作中、双方向バス上の読出しコマンドと読出しデータとの整合は、かなり不確
実である。コマンドおよびアドレスの出力ドライバを通じての遅延、パッケージおよびブ
リント回路基板の接続部からメモリデバイスを通じての遅延、読出しデータ出力バッファ
、パッケージ、およびプリント配線ボードの戻りを通じての遅延、ならびに最終的にメモ
リコントローラの入力バッファを通じての遅延は、システム構成および動作条件に依存し
て多数のビット周期だけ変動する。

【0005】

読出しコマンドおよび読出しデータのこの整合に関連する第1の問題は、システムの初

50

期化に際し、読出しデータDQSイネーブル信号が2ビットのプリアンブル内に収まるように、それをどの時間に配置するかを決定することである。第2の問題は、温度または電源電圧の変動に起因する動作中のタイミングの変動をいかに調整するかである。第3の問題は、DQSクロックとマスターシステムクロックCLKとの位相差が全く任意であり得る場合、DQSでクロックインされたデータをシステムクロックドメインへいかに転送するかである。

【0006】

シングルデータレートSDRAMには、DQSクロックが無く、読出しデータが、コントローラから発生するマスターシステムクロックCLKに対して設定を満足し必要条件を保持しなければならなかったため、これらの問題は存在しなかった。

【0007】

クワッドデータレート(QDR)SRAMには、それ自体専用のクロックを備えた個別の読出しデータバスおよび書込みデータバスが存在するので、この問題はない。このクロックはトライステートである必要がないので、決して不確定な状態は存在しない。

【0008】

双方向データストローブ信号のDDR SDRAMへのある応用が、2005年5月3日付け、A.M. Schoenfeld他に付与された米国特許第6,889,336号に開示されている。初期DDR動作速度DDR2 67およびDDR333では、2ビットのプリアンブル時間は、まだ比較的長く、それぞれ7.5nsおよび6.66nsであった。固定的タイミングを有するシステム設計および動作条件のある範囲を、内部DQSイネーブルに調整することはそれでも可能であった。DDR2-400からDDR2-800にわたるDDR400デバイスおよびDDR2デバイスでは、DQSイネーブル時間のダイナミックな調整が必要である。チップ間コントローラからDDR SDRAMへの典型的な周回(loop-around)の読出しタイミング遅延の組み合わせの例は以下の通りである。

【0009】

【表1】

遅延	最小	最大
コマンドラッチからコントローラピン	1.0ns	3.0ns
PCBトレースからDDR SDRAM	0.5ns	1.5ns
SDRAMコマンドインからデータ取り出し	-0.5ns	0.5ns
PCBトレースからコントローラ	0.5ns	1.5ns
コントローラピンからデータラッチ	1.0ns	3.0ns
合計	2.5ns	9.5ns

【先行技術文献】

【特許文献】

【0010】

【特許文献1】米国特許第6889336号

【非特許文献】

【0011】

【非特許文献1】LSI Logic 0.11 um DDR2 PHY document cw000733_1_0、2005年2月

【発明の概要】

【発明が解決しようとする課題】

【0012】

読出しデータのタイミングは、DDR400用データレート以上ではDQSプリアンブル間隔の幅よりも長く変動する。固定的タイミングは、万全な解決法ではない。

【0013】

一例として、DQSゲート制御のいくつかの実施形態が、LSI Logic 0.11 um DDR2 PHY document cw000733_1_0、2005年2月に記載されている。PHYは、GATEONと呼ばれる信号を使用して、DQS読出しストローブをイネーブルするための3つの異なる手法を実際にサポートする。

10

20

30

40

50

【0014】

第1の手法“プログラム可能なGATEON”では、プログラム可能な遅延レジスタおよび読出しコマンドが発行された時間に基づいて、ユーザが、GATEONのタイミングをプログラミングすることができる。読出しデータトレーニングが、この方式では必要である。読出しデータトレーニングでは、種々の遅延レジスタ設定によって多数の読出し動作を試みて、期待されるデータが適切に受け取られる設定を見出し、次いで、パスの範囲の中央辺りに遅延レジスタを設定する必要がある。この手法の短所は、最適の設定を決定するためにコントローラのごく高水準の知能を必要とするとともに、システムを初期化するためにかなりの時間を必要とすることである。また、これは、動作中のタイミング変動を調整することができない。

10

【0015】

第2の手法は、“フィードバックGATEON”と呼ばれる。コマンドが生成されるものと同じ方法で、信号が生成されてピンに送られる。この信号を、コマンド信号と同じ長さおよび同じ負荷でPCBトレースに沿ってメモリへ送り、コントローラに戻すことができる。コントローラでは、遅延した信号を使用してDQSのイネーブルを引き起こす。この手法の短所は、さらに2本のピン、PCBトレースを必要とするとともに、電力を消費することである。この手法では、実際のコマンドが読出しデータの周回遅延に完全には一致しない。

【0016】

最後の手法は“外部GATEON”と呼ばれ、ユーザが、何らかの形でGATEON信号を生成する。この方法もまた、少なくともさらに1本のピンを必要とする。これもまた、実際のデータパスの動作を模倣する何らかの相互接続を必要とする。

20

【課題を解決するための手段】

【0017】

概略的な一態様によると、本発明はメモリを制御する方法を提供し、前記方法は、メモリとメモリコントローラとの間の読出し遅延を測定するステップと、メモリの所定位置に初期化シーケンスを書き込むステップと、読出しコマンドをメモリに送って所定位置を読み出し、リターンデータ信号を受け取るステップと、読出しコマンドを送った後の所定時間に、メモリとメモリコントローラとの間の読出し遅延を決定するために用いる初期化サンプルを作成するために、リターンデータ信号をサンプリングするステップとを有する。

【0018】

たとえば、前記メモリは、DDR SDRAMメモリまたは双方向同期ストロープ源を備えた双方向バス上のスレーブデバイスを有する。

30

【0019】

別の概略的な態様によると、本発明はメモリを制御するためのメモリコントローラを提供し、前記コントローラは、読出し遅延決定回路およびDQSイネーブル回路を含み、初期化中に、前記読出し遅延決定回路は、読出しコマンドをメモリに送ってリターンデータ信号を受け取るまでの間の読出し遅延を決定し、読出し遅延決定回路は初期化サンプルを作成するために所定時間にデータをサンプリングする回路と、初期化サンプルの各順列に対してそれぞれの読出し遅延を保存するルックアップテーブルとを備え、そのDQS回路は、読出し遅延に応じて受け取ったDQSクロック信号をゲート制御するように構成されている。

40

【0020】

たとえば、前記メモリはDDR SDRAMメモリを有する。

【0021】

本発明の一実施形態では、同期クロック源および双方向データストロープを備えた双方向読出し/書込みバスを有する、メモリを制御するメモリコントローラにおける方法を提供し、前記方法は、メモリコントローラがメモリの所定位置にグレイコード初期化シーケンスを書き込むステップと、メモリコントローラが所定位置を読み出すために読出しコマンドをメモリに送り、リターンデータ信号を受け取るステップと、読出しコマンドを送った後の所定時間に、メモリコントローラが初期化サンプルを作成するためにリターンデー

50

タ信号をサンプリングするステップと、メモリとメモリコントローラとの間の読出し遅延を決定するためにこの初期化サンプルを使用するステップとによって、メモリとメモリコントローラとの間の読出し遅延を測定するステップを有する。

【0022】

本発明の別の実施形態では、同期クロック源および双方向データストローブを備えた双方向読出し/書込みバスを有する、メモリを制御するメモリコントローラを提供し、前記コントローラは、読出し遅延判定回路およびデータストローブイネーブル回路を含み、初期化中に、この読出し遅延判定回路は、読出しコマンドをDDR SDRAMに送ってリターンデータ信号を受け取るまでの間の読出し遅延を決定し、読出し遅延判定回路は、初期化サンプルを作成するために所定時間にデータをサンプリングする回路と、初期化サンプルの各順列に対してそれぞれの読出し遅延を保存するテーブルのルックアップ機能とを備え、前記データストローブイネーブル回路は、受け取ったDQSを読出し遅延に応じてゲート制御するように構成されている。

10

【0023】

本発明の別の実施形態では、同期クロック源および双方向データストローブを備えた双方向読出し/書込みバスを有するメモリと共に使用するデータストローブイネーブル回路を提供し、前記回路は、データストローブ信号を受け取るための入力と、ゲート制御されたデータストローブ信号を生成させるための出力と、データストローブイネーブルおよびデータストローブディスエーブルと、選択入力に応じてデータストローブ信号をゲート制御するマルチプレクサと、選択入力を設定して、データストローブイネーブルが起動した際にデータストローブ信号を選択し、かつ選択入力を設定して、データストローブディスエーブルの起動およびそれに続くデータストローブ信号の次の立ち上がりエッジの際にデータストローブ信号を非選択にする選択入力生成回路とを備える。

20

【0024】

本発明の別の実施形態では、入力クロック信号に同期してマスタークロックの第1の位相の第1の値をラッチするための第1の回路と、入力クロック信号に同期してマスタークロックの第2の位相の第2の値をラッチするための第2の回路とを備え、第1の値または第2の値の変化が、入力クロック信号がマスタークロック源と比較して少なくとも所定量だけ変動したことを示す変動検知回路を提供する。

【0025】

本発明の一実施形態では、単一の読出し動作でDQSイネーブル信号の最適なタイミングを決定するスナップショットデータトレーニングの方法が提供される。これは、先ずグレイコードカウン트의シーケンスをメモリ内に書き込み、次いで単一のバーストでそれを読み出すことで実現される。コントローラは、コマンドが発行された時点から一定の間隔で読出しバーストをサンプリングし、周回遅延を決定する。簡単な真理値表の検索により、通常読出しに対する最適なDQSイネーブルのタイミングを決定する。

30

【0026】

通常読出し動作中、イネーブルされたDQS信号の第1のポジティブエッジを使用して、コマンドが発行されるたびにイネーブルされたカウンタをサンプリングすることが好ましい。カウンタサンプルが変化した場合、これはタイミングの変動が発生したことを示すが、DQSイネーブル信号を調整して変動を補正し、DQSプリアンプルの中央に合わせた位置に保つことができる。この技法はまた、パワーアップの際にDQSイネーブルタイミングを決定するために反復的手法を用いるシステムに適用することもできる。

40

【0027】

本発明の別の実施形態は、DQSがラッチされたカウンタのサンプルに基づく、簡素な短待ち時間のクロックドメインクロッシング回路である。

【0028】

本発明の他の態様および特徴は、添付の図面と共に、本発明の具体的な実施形態についての以下の説明を検討すれば当業者にとって明白となる。

【図面の簡単な説明】

50

【 0 0 2 9 】

【図 1】本発明の一実施形態として示された、読出し遅延決定を備えたSDRAMデバイスのブロック図である。

【図 2 A】読出し遅延決定用のタイミングチャートの実施例である。

【図 2 B】読出し遅延決定用のタイミングチャートの実施例である。

【図 2 C】読出し遅延決定用のタイミングチャートの実施例である。

【図 3】図2A、2Bおよび2Cの実施例に対応する初期化サンプルに応じて読出し遅延を決定するためのルックアップテーブルである。

【図 4】メモリコントローラ内に読出しデータを受け取り、図2A、2Bおよび2Cの実施例に対応する初期化サンプルを生成するための回路図である。

10

【図 5】読出し遅延決定方法のための他のタイミングチャートである。

【図 6】図5の実施例に対応するルックアップテーブルである。

【図 7】読出しデータを受け取り、図5の実施例に対応する初期化サンプルを生成するための回路の回路図である。

【図 8 A】読出し遅延が決定された後にDQSをイネーブルするための回路例の回路図である。

【図 8 B】図8Aに対応するタイミングチャートの実施例である。

【図 9 A】データストロブ変動を検知するための回路の回路図である。

【図 9 B】図9Aの回路に対応するタイミングチャートの実施例である。

【発明を実施するための形態】

20

【 0 0 3 0 】

次に本発明の実施形態について、一例として、添付の図面を参照して説明する。

【 0 0 3 1 】

本発明の一例実施形態の以下の詳細な説明では、本願の一部を形成する添付図面を参照する。この添付図面では、本発明を実施できる具体的な一例実施形態を例示的に示す。これらの実施形態について、当業者が本発明を実施できるように十分詳細に説明するが、本発明の範囲から逸脱することなく、他の実施形態を採用し、論理的、機械的、電気的な変更およびその他の変更ができることを理解されたい。したがって、以下の詳細な説明は、限定的な意味に解釈されるべきではなく、本発明の範囲は添付の特許請求の範囲によって定義される。

30

【 0 0 3 2 】

次に図1を参照すると、DDR-SDRAM22に接続されたメモリコントローラ20が示されている。この接続には、メモリコントローラ20からDDR SDRAM 22にアドレスとコマンドとクロックとを送るために使用される単方向バス24と、バス26上の信号が“DQ”と示されていて、DDR SDRAM 22にデータを書き込んでメモリからデータを読み出すための双方向バス26と、データストロブクロック(DQS)を搬送するための双方向接続28とが含まれる。書込み動作では、前記DQSが、メモリコントローラ20による書込みデータに同期して生成される。読出し動作では、DDR SDRAM 22およびDQSからの読出しデータが、メモリによって同期して生成される。メモリコントローラ20は、メモリコントローラ20とDDR SDRAM 22との間の読出し遅延を決定する読出し遅延決定回路30を有する。メモリコントローラ20は、読出し遅延決定回路30の出力に応じて着信DQS信号28に基づいてゲート制御されたDQS信号34を生成するDQSイネーブル回路32を有する。

40

【 0 0 3 3 】

この例では、メモリコントローラはメインクロックで動作するASIC同期回路である。コントローラ内部のマスターDLL(図示せず)は、メインクロックに位相固定された0度の位相差クロック、さらに90度、180度および270度の位相(図示せず)を導出する。コントローラ内部のスレーブDLL(図示せず)はまた、90度の定常位相シフトを生成する。

【 0 0 3 4 】

次に、読出し遅延決定回路30の機能を、図1と図2A、2Bおよび2Cのタイミングチャートとを参照してさらに詳細に例示的に説明する。パワーアップの際に、先ずメモリコントロ

50

ーラ20は、DLLがロックして、0度、90度、180度および270度の位相、さらに90度遅延した形のDQSが確実に生成するのを待つ。これにより、コントローラのデータ入力ラッチが読み出しデータを確実に収集することが可能になる。次いで、コントローラ20は、適切なパワーアップコマンドをDDR SDRAM 22に送る。これに続いて、初期化シーケンス、たとえばメモリ内の連続するバイト位置に2ビットのグレイコードシーケンスをメモリに一気に書き込む。グレイコードは一意的ではなく、いかなるグレイコードでも使用できることに留意されたい。以下のように、ビット0~3は2ビットのグレイコードのLSBを有し、一方、ビット4~7は2ビットのグレイコードのMSBを有する。

【 0 0 3 5 】

【表 2】

時間	ビット#:
	76543210
t=0	00000000
t=1	00000000
t=2	00001111
t=3	00001111
t=4	11111111
t=5	11111111
t=6	11110000
t=7	11110000

10

20

【 0 0 3 6 】

グレイコードのパターンは、どの時点においても1ビットのみが変化することを確実にし、2ビット間の遅延におけるいかなる僅かな差によっても誤カウントは生じない。各グレイコードビットを複数の位置(上記の例では4箇所)に書き込むことにより、以下に詳述するように、複数のサンプルを同時に抽出することが可能になる。

【 0 0 3 7 】

図2Aは最大読み出し遅延の場合のタイミングチャートを示し、図2Bは公称読み出し遅延の場合のタイミングチャートを示し、図2Cは最小読み出し遅延の場合のタイミングチャートを示す。これらのタイミングチャートの各々は、0度クロック40、5ビットのグレイコードカウンタ42、44、46、48、50、コマンドシーケンス52、DQS 54、DQ 56、DQS90 58、DQ0 60、DQ1 62およびcount_en 64を示す。

30

【 0 0 3 8 】

それぞれの場合において、グレイコードカウンタは、0度クロック40と同じ周期で交番する第1のビット c_0 42と、0度クロックの2倍の周期で発振する第2のビット c_1 44と、0度クロックの4倍の周期で発振する第3のビットの c_2 46と、0度クロックの8倍の周期で発振する第4のビット c_3 48と、0度クロックの16倍の周期で発振する第5のビット c_4 50とを有する。5つのビット42、44、46、48、50のタイミングは、5ビットのグレイコードが、0度クロックの4分の1サイクルごとに変化する符号語と共に生成されるようにする。

40

【 0 0 3 9 】

上述したようにメモリにグレイコードを書き込んだ後、読み出し遅延決定のプロセスは、0度クロック40の立ち上がりエッジ上のコマンドシーケンス52の一部としてのREADコマンド66で継続する。グレイコードカウンタ42、44、46、48、50は、READコマンドを受けて最小の読み出し待ち時間(RL)の原因となるcount_en 64の立ち下がりエッジによってイネーブルされる。図示した例では、最小読み出し待ち時間は、3クロック周期であると仮定している。システム内に他に遅延がない場合、データは、この待ち時間の最後にメモリコントローラに到達し始める。

【 0 0 4 0 】

50

しかし、他に多少の遅延がシステム内にあると仮定すると、DQS54はその後のある時点で起動し、DQS54の最初の立ち上がりエッジは、2ビットのプリアンプル68によって先行されていることが示される。DQSは、起動していない間は、論理高と論理低のほぼ中間の高インピーダンス状態にあることに留意されたい。DQS54は、特定のブロック長にわたる読出しを完了するだけ十分長く起動状態にある。これに続いてDQS54はポストアンプル69となり、その後、高インピーダンス状態に戻る。

【 0 0 4 1 】

データ信号DQ56は、DQS54と同期してメモリから受け取られる。これはダブルデータレートシステムであるので、DQS 54の立ち上がりエッジおよび立ち下がりエッジのそれぞれに対して、DQ 56は1ビットを受け取る。スナップショットデータトレーニングを実行するために、READコマンド66が、上述したようにグレイコードシーケンスが書き込まれたメモリ内のアドレスと関連して発行される。DQS90 58は、サンプリングエッジが受け取ったデータパルスの中央に集中できるように生成された、DQ 56の位相が90度シフトしたものである。これは、たとえば、スレーブDLLで生成することができる。DQ0 60は、DQS90 58の立ち上がりエッジでラッチされたデータを示し、一方、DQ1 62は、DQS90 58の立ち下がりエッジでラッチされたデータを示す。

10

【 0 0 4 2 】

図2A、2Bおよび2Cにおいて、DQ、DQ0およびDQ1は、保存されたグレイコードの全8ビットから読み出されたビットをまとめるための簡略表記法を使用する。DQ、DQ0およびDQ1は、保存された2ビットのグレイコードからある時点に読み出された内容をすべて示している。DQ、DQ0、DQ1 = “00” が意味することは、その時間中、第1のビットが書き込まれたどのメモリ位置から読み出されたグレイコードの第1のビットも“0”であり、第2のビットが書き込まれたどのメモリ位置から読み出されたグレイコードの第2のビットも“0”である。個々のビット DQ_1, \dots, DQ_8 の全詳細を図2Bにのみ示す。

20

【 0 0 4 3 】

図2A、2B、2Cを比較すると、読出し遅延に応じて、読出しデータDQ 56は、種々の時間にメモリから到着し始め、この種々の時間は、グレイコードカウンタ42、44、46、48、50の種々の状態と関係し得ることが理解できる。

【 0 0 4 4 】

図2Bで全体的に70と示した第1の例示的な実施形態において、8つの各入力ビットがそれぞれ余分の入力ラッチを有し、この入力ラッチが、コントローラクロックの単一の位相で入力ラッチ読出しデータDQ0をサンプリングする。図2Bにおいて、8つのビットのデータは、DQ₀からDQ₇について120、122、124、126、128、130、132、134で示される。DQ₀からDQ₃のビットは、2ビットのグレイコードのLSBを収集し、一方DQ₄からDQ₇のビットは、2ビットのグレイコードのMSBを収集することが理解できる。図示の例では、DQ₀およびDQ₄は0度位相でラッチされると仮定する。DQ₁およびDQ₅は、90度の位相でラッチされ、DQ₂およびDQ₆は、180度の位相でラッチされ、DQ₃およびDQ₇は、270度の位相でラッチされる。定義された時点で、これらの8つのラッチの内容をサンプリングすることによって、初期化サンプルは生成される。図示の例では、0度のサンプルが、READコマンドを発行した後に、全7クロック周期で取られ、これに続いて、90度、180度、270度のサンプルが取られる。0度のサンプルを b_0 、 b_4 、90度サンプルを b_1 、 b_5 、180度サンプルを b_2 、 b_6 、そして270度サンプルを b_3 、 b_7 で表示する。

30

40

【 0 0 4 5 】

図3において一例として示すように、初期化サンプルの様々な順列は真理値表に整理される。この表は、論理回路、たとえばレジスタまたはメモリコントローラ内のROM(Read Only Memory)として実施することができる。この場合、初期化サンプルは、ビットがサンプリング位相によって整理された表で示される。各初期化サンプルは8ビットを有し、表中の最初の2ビットは0度の位相でサンプリングされた2ビット(図2Bの例の b_0 および b_4)であり、次の2ビットは、90度の位相でサンプリングされた2ビット(図2Bの例の b_1 および b_5)であり、その次の2ビットは、180度の位相でサンプリングされた2ビット(図2Bの例のビッ

50

ト b_2 および b_6)であり、その次の2ビットは、270度の位相でサンプリングされた2ビット(図2Bの例のビット b_3 および b_7)である。この手法では、上に示したように、2ビットのグレイコードのシーケンスの第1のビットが、各バイトの0ビット乃至3ビットに書き込まれ、2ビットのグレイコードのシーケンスの第2のビットが、各バイトの4ビット乃至7ビットに書き込まれた状態でグレイコードシーケンスがメモリに書き込まれている必要がある。

【0046】

この代わりに、同じ初期化サンプルを、2ビットのグレイコードシーケンスが書き込まれた2ビットだけを使用して生成することができる。これを、全体的に72で示した図2Bの第2の例に示すが、ここでは第1のビットが DQ_0 に、第2のビットが DQ_4 に読み出されると仮定する。この場合、 DQ_0 および DQ_4 のそれぞれを4つ全てのクロック位相でサンプリングする必要があり、8つのサンプルを使用して上述したのと同じ初期化サンプルを生成することができる。

10

【0047】

図2Aは、最大遅延の場合を示す。この場合では、0度、90度、180度、270度のサンプルは“00 00 00 00”である。タイミングチャートから、DQS90の最初の立ち上がりエッジの通常動作は、グレイカウント15の近傍で起きることが理解できる。DQS 54は、2ビットのプリアンプルを有しているため、グレイカウント13でDQSをイネーブルすることにより最初の立ち上がりエッジに対して、それがイネーブルされることを確実にする。バースト長が4であると、DQSは、グレイカウント20近辺でディスエーブルされるのに対して、バースト長が8であると、DQSは、グレイカウント28近辺でディスエーブルされる。図3の真理値表を参照すると、この情報が、初期化サンプル“00 00 00 00”と関連して表に記入されていることが理解できる。

20

【0048】

図2Bは、公称遅延の場合を示す。0度、90度、180度および270度のサンプルは“01 11 1 11”であり、これらは、図3の表の第6行に対応する。最後に、図2Cは最小遅延の場合を示し、0度、90度、180度、270度のサンプルは“10 10 10 10”で、これらは、図3の真理値表の第1行に対応する。表にはまた、その右側2列に、 DQ_0 および DQ_1 をサンプリングするために遅延に応じてどのクロック位相を使用すべきかの指示も含まれている。これは、いかにしてデータをコントローラのクロックドメインに移動させるか、すなわち、データをラッチするために0度のメインクロックの立ち上がりエッジまたは立ち下がりエッジのいずれかを使用して、コントローラのマスタークロックに基づいて、いかにしてメモリからコントローラに読み出されるデータを同期させるかを指定する。

30

【0049】

読出し遅延を決定した後、図1のDQSイネーブル回路32は、着信DQSおよび/またはDQS90をイネーブル/ディスエーブルする。より詳細には、通常の読出し動作中、コントローラは、(この例では)ブロック長 $BL=8$ および読出し待ち時間 $RL=3$ のREADコマンドを発行する。count_en信号がアサートされ、読出しコマンドが発行された後の3番目のクロックエッジに続いてグレイコードカウンタが0から開始される。データが、これより少しでも早く到着することはあり得ない。このカウンタは、どの時点でも1ビットのみが変化するグレイコードカウンタであることに留意されたい。このカウンタ値は、通常の2進数符合理化方式には対応しない。カウンタは、1/4クロック周期ごとに増加する。一旦カウンタが、(以前に測定された遅延に対して)イネーブルまたはディスエーブルにするための表に保存された値に達すると、それに応じてDQSは、イネーブルまたはディスエーブルされる。

40

【0050】

その上、カウンタ値は、データバーストのデータの第1ビットに対応する、立ち上がりエッジ上のイネーブルされたDQSクロックによってラッチされる。この値は、真理値表のある行に対応する。この値が、以前の読出しサイクルすなわち前節で説明された初期化シーケンスでの値と同じである場合は、周回遅延は一定に保たれている。この値が異なる場合は、タイミングは変動してしまっており、DQSイネーブルのタイミングは、コントローラによって更新されなければならない。

50

【 0 0 5 1 】

次に図4を参照して、本発明の一実施形態による、図1の双方向バス26を通じて単一ビットを受け取るためのメモリコントローラ内の関数回路を説明する。図示したのはDQS_EN 80と表示されたDQSイネーブルであり、これは図1のDQSイネーブル回路32により生成されたDQSイネーブル入力である。DQSイネーブル80は、DQS90入力58および反転されたDQS90入力82をゲート制御する。DQS90は、DDR SDRAM 22からメモリコントローラ20へ送られるDQSの位相が90度シフトされたものであることを思い起こされたい。DQS TB0は、DQS90の立ち上がりエッジに対応する立ち上がりエッジを有し、一方、DQS TB1 83は、DQS90の立ち下がりエッジに対応する立ち上がりエッジを有する。データ信号はDQn 56上で受け取られ、DQn 56は、DQS90の立ち上がりエッジでラッチするフリップフロップ84と、DQS90の立ち下がりエッジでラッチするDフリップフロップ86とのD諸入力に接続される。フリップフロップ84はDQ0 88を出力し、これは、DQS90の立ち上がりエッジでラッチされるデータである。フリップフロップ86は、DQ1 90を出力し、これは、DQS90の立ち下がりエッジでラッチされるデータである。

10

【 0 0 5 2 】

DQ0 88およびDQ1 90をサンプリングして、0度クロックと同期するように再調整された出力89および90を生成する回路85が提供される。これは、フリップフロップ92および94で、DQ0を0度および180度のクロック位相でサンプリングし、マルチプレクサ選択入力mux_sel 101に応じて、マルチプレクサ100で0度サンプルと180度サンプルのいずれかを選択することによって達成される。使用されるmux_sel値は、読出し遅延の関数であり、上述したようにルックアップテーブルに保存される。次いでこの出力は、Dフリップフロップ104により0度クロック位相でサンプリングされ出力89を生成する。DQ1 90は、Dフリップフロップ96により180度でサンプリングされ、一方、0度サンプルは、Dフリップフロップ86の出力に対応する。DQ1は、DQ0後の1/2クロック周期の間有効である。これにより、DQ0およびDQ1のデータを同一間隔内に有効となるように効果的に再調整する。180度サンプルまたは0度サンプルのいずれかが、今度もマルチプレクサ選択入力mux_sel 101に応じて、マルチプレクサ102により選択される。選択された出力は、Dフリップフロップ106を使用して0度クロック位相でサンプリングされ出力90を生成する。

20

【 0 0 5 3 】

図示した例には、RTL(Register Transfer Language)クロック入力120への出力89、90を再調整するためのもう1対のフリップフロップ108、110が含まれる。クロックされた出力全体が、109、111で示され、これらはそれぞれ入力56の偶数ビットと奇数ビットに対応する。コントローラ-メモリ間インターフェースのビット0および1に関してこれまで述べた回路全体が、インターフェースの各ビットに対して繰り返される。最新設計のパーソナルコンピュータの典型的インターフェース幅は64ビットであるが、他の用途では幅は異なる。

30

【 0 0 5 4 】

回路122が、少しの初期化サンプルを生成するために提供される。これは、DQ0 88をサンプリングするDフリップフロップ112から構成されている。Dフリップフロップ112は、フリップフロップ114を使用して0度クロックに再調整される。フリップフロップ114は、任意選択で、フリップフロップ116によりRTLクロックに再調整される。

40

【 0 0 5 5 】

図2Bの第1の例70に対応する機能を実現するため、回路122がインターフェースのどのビットで実施されるかに応じて、DQ0は、異なるクロック位相でサンプリングされる。図示の例では、DQ₀およびDQ₄に対しては、サンプリングは、0度クロック位相で行われる。DQ₁およびDQ₅に対しては、サンプリングは、90度クロック位相で行われる。DQ₂およびDQ₆に対しては、サンプリングは、180度クロック位相で行われる。最後に、DQ₃およびDQ₇に対しては、サンプリングは、270度クロック位相で行われる。その結果の全体は、読出し遅延がどれだけか決定するために図3のルックアップテーブルと共に使用できる8ビットの初期化サンプルである。これを使用して、通常動作のためにDQS_enable 80をいつイネーブ

50

ルするかを決定する。別の方法として、2ビットがそれぞれ4回サンプリングされる場合の図2Bの第2の例72に対応する実施形態では、回路122は、インターフェースの2ビットに対して実施される必要があるだけだが、各ビットが、0度、90度、180度、270度クロック位相の各々でサンプリングできるように4回実施される必要がある。

【0056】

代替回路の実施において、回路122はインターフェースの全てビットに対して再現できるので、論理は全てのビットに対して同一であることに留意されたい。

【0057】

初期化サンプル出力は、入力に応じて、連続的に変化している。初期READコマンドの所定時間後、初期化サンプルは“有効”である。

【0058】

別の実施形態では、より長い範囲の待ち時間が可能である。16ビット周期の遅延範囲をカバーするために初期化パターンをメモリに書き込むには、3ビットのグレイコードが必要である。1ビットにつき1つのサンプリングラッチを備えた1バイト幅のインターフェースに3ビットのサンプリング位相を4つ全て収集することは、もはや不可能である。12ビット幅のインターフェースが必要となるか、あるいは別個の読出し動作で個々のグレイコードビットを順次サンプリングすることができる。

【0059】

次に図5を参照して、本発明のこの実施形態を説明するために使用するタイミングチャートを示す。この実施形態では、上述の2ビットのグレイコードではなく3ビットのグレイコードが採用される。たとえば、メモリ内の16の連続する12ビット位置の連続バイト位置に書き込まれるグレイコードは以下のものでよい。

【0060】

【表3】

時間	ビット#: 11 109876543210
t=0	000000000000
t=1	000000000000
t=2	000000001111
t=3	000000001111
t=4	000011111111
t=5	000011111111
t=6	000011110000
t=7	000011110000
t=8	111100000000
t=9	111100000000
t=10	111100001111
t=11	111100001111
t=12	111111111111
t=13	111111111111
t=14	111111110000
t=15	111111110000

【0061】

16個のメモリ位置全体を読み出すために、2つのBL8(バースト長は8)READコマンドを実行する。これは、コマンドシーケンス200内に示されており、そこにBL8 READ201および第

10

20

30

40

50

2のBL8 READ 203がある。図3の場合のように専用ハードウェアを用いて実施したグレイカウンタを使用するのではなく、RTL(図示せず)でグレイコードカウンタを実施する。この場合、グレイコードカウンタCK 202は、第1のREADコマンド201により0からカウントを開始する。受け取ったDQSを204で示す。

【 0 0 6 2 】

全体的に220で示した最小遅延の場合(RL=3)では、DQSは、クロックカウンタ=12で第1の立ち上がりエッジを有する。受け取ったDQビットの簡略表記を206に示す。90度DQSクロックは208にあり、DQS90のDQ0(立ち上がりエッジで取られたサンプル)およびDQ1(立ち下がりエッジで取られたサンプル)は、それぞれ210、212に示される。図示の例では、初期化サンプルは、クロックカウンタ=40、41、42、43の間に生成され、その直後に215で示した

10

【 0 0 6 3 】

最大遅延の場合を全体的に222で示す。この場合、調整できる最大読出し遅延後のクロックカウンタ=40の直後までDQS90の立ち上がりエッジは発生しない。

【 0 0 6 4 】

図6は、この例用のルックアップテーブルを示す。この場合、タイミングは、グレイコードカウンタ202を基準とする。

【 0 0 6 5 】

図7は、図5の実施形態のための入力DQ回路の例を示す回路図である。この回路は、基本的に図4の回路と同じである。この場合、12ビット用のサンプリング回路は、DQ₀、DQ₄、DQ₈に対しては0度サンプル、DQ₁、DQ₅、DQ₉に対しては90度サンプル、DQ₂、DQ₆、DQ₁₀に対しては180度サンプル、そしてDQ₃、DQ₇、D₁₁に対しては270度サンプルを生成する。その結果は、図6のルックアップテーブルの適切な行を検索するために使用できる12ビットの初期化サンプルである。

20

【 0 0 6 6 】

より一般に、Nビットのグレイコードを使用することができる。Nビットのグレイコードには、 2^n 個の符号語がある。この場合、 2^n 個の符号語の各々を 2^{n+1} 個の連続するアドレス内の1対のアドレスに書き込むことにより、メモリコントローラはメモリの所定位置にグレイコード初期化シーケンスを書き込む。これには、 2^{n+1} 個のアドレスの各々にNビットを書き込む必要があり得、その場合グレイコードの各ビットが、4つのクロック位相でサンプリングされる。別の方法では、これには $g_1, g_1, g_1, g_1, \dots, g_N, g_N, g_N, g_N$ を1対のアドレスに書き込むことで、それぞれのグレイコード符号語 g_1, g_2, \dots, g_N のビットを4Nビットとして 2^{n+1} 個のアドレスの各々に書き込む必要があり得る。この場合、グレイコードの各ビットを4つのクロック位相でサンプリングするには、4N個のデータ信号を受け取り、第1のクロック位相でN個のデータ信号をサンプリングし、第2のクロック位相で別のN個のデータ信号をサンプリングし、第3のクロック位相で別のN個のデータ信号をサンプリングし、第4のクロック位相で別のN個のデータ信号をサンプリングする必要が伴う。

30

【 0 0 6 7 】

上記の詳細な説明では、読出し遅延を測定するための機構に重点を置いた。遅延がどれだけかを決定した後、こうして決定された遅延に従って、図1のDQSイネーブル回路32がDQS信号についてのゲート制御を開始する。次にDQSイネーブル回路32の具体的な回路例について図8Aを参照して説明する。ここで、DQS 158およびDQS# 160と表示されたDQSの反転信号の両方が、メモリからインターフェースを通じて受け取られると仮定する。そこにある回路180は、DQSおよびDQS#の両信号とも有するDDR2メモリとは対照的に、本明細書においてDDR1と呼ぶ、DQS信号のみがあってDQS#信号の無いDDRメモリ設計に対して図8AのDQSイネーブル回路を上位互換にさせるためのものである。したがって、DDR1の実施では、そのような場合、DQS#はメモリコントローラにより生成される必要がある。回路180は、DDR1モードとDDR2モードのいずれかを選択する。残りの回路182は、ゲート制御されたDQS#信

40

50

号172(dqsb_iと表示)およびゲート制御されたDQS信号173(dqs_iと表示)を生成する役割を果たす。上位互換性が要求されない場合、回路180は必要ない。

【0068】

回路182は、コントローラから入力141を受け取るための第1のDフリップフロップ144を有し、これが、初期化サンプルによって決定される読取り経路遅延に対応した時点でアサートされ、DQSをいつイネーブルするかを示す。回路182はまた、CLK(N)と呼ぶクロック入力を140で受け取り、このことは、コントローラがこの入力に対してクロック位相を選択できることを示す。フリップフロップ144は、出力dqs_enable_ff 148を生成する。同様に、第2のDフリップフロップ146は、コントローラからDQSをいつディスエーブルするかを示す入力143を受け取る。この入力143は、第1のフリップフロップ144をクロックするために使用されるクロック140と180度位相がずれたクロック入力142によってクロックされる。このDフリップフロップ146は、dqs_disable_ff出力150を生成する。dqs_enable_ff 148とdqs_disable_ff 150の反転信号とは、ANDゲート152に結合され、その出力は、SRフリップフロップ154のS(set)入力に接続される。dqs_disable_ff 150の反転信号は、SRフリップフロップ154のD入力にも接続される。フリップフロップ154のQ出力は、dqs_enable_i 156であり、これは、第1のマルチプレクサ170および第2のマルチプレクサ171のマルチプレクサ選択入力に接続される。マルチプレクサ170への2つの入力には、DQS#入力168およびVDD 169がある。マルチプレクサ170の出力はdqsb_iであり、これは、SRフリップフロップ154のクロック入力への入力でもある。マルチプレクサ171への2つの入力には、DQS入力166およびVSS 177がある。マルチプレクサ171の出力はdqs_iである。

【0069】

次に、図8Aの回路の動作を、図8Bのタイミングチャートを参照して説明する。図8Bは、DQS 166、DQS# 168、dqs_enable_ff 148、dqs_disable_ff 150、dqs_enable_i 156およびdqsb_i 172それぞれのプロットを示す。dqs_i 173が、dqsb_i 172と同期してイネーブルされることに留意されたい。読出しコマンドを送った後のある時点であって、以前に測定された読出し遅延によって決定された時点で、Dフリップフロップ144の入力141は、メモリコントローラの制御下で高くなる。入力141は、クロック入力140の立ち上がりエッジでクロックインされる。図8Bの例では、dqs_enable_ff 148が、270度クロック位相で高くなるのが理解できる。dqs_enable_ff 148が高くなる時、ANDゲート152の出力は高くなり、SRフリップフロップ154へのセット入力は、dqs_enable_iを高に遷移させる。図8Bにおいて、dqs_enable_i 156が、270度クロック位相の僅か後に高位に遷移することが理解できる。一旦dqs_enable_i 156が高になると、マルチプレクサ170へのDQS#入力168が選択され、したがってDQS#がdqsb_i 172に現れる。dqs_enable_ff 148が、その後のある時点で低くなると、SRフリップフロップ154へのセット入力は低くなるが、D入力はdqs_disable_ff 150の反転信号であるので高い。このように、dqs_enable_i 156は、今のところ高いままである。dqs_enable_ff 148の立ち上がりエッジとDQS 166の第1の立ち上がりエッジとの時間間隔は、1/4クロックサイクルより長い。これは、DQSのタイミングとメインコントローラを用いてのタイミングとの間の変動の許容限度を表す。90度より大きい変動が発生してdqs_enableのタイミングが再調整できるのはいつかを検知するための回路を以下に説明する。

【0070】

DQS#をディスエーブルするため、その後のある時点で、Dフリップフロップ146へのディスエーブル入力143がメモリコントローラの制御下で高くなる。入力143は、Dフリップフロップ144へのイネーブル入力をクロックインするために使用するクロックより180度遅れたクロックでクロックインされる。Dフリップフロップ146はdqs_disable_ff出力150を生成し、該Dフリップフロップ146の出力が、SRフリップフロップ154の反転入力であるD入力に接続されている。このため、SRフリップフロップ154へのクロック入力の次の立ち上がりエッジ(すなわち、DQS#の次の立ち上がりエッジ)で、dqs_enable_iは低くなる。これにより、マルチプレクサ170へのDQS#入力168は非選択となり、dqsb_i 172はVDDに遷移する。こうして、dqs_disable_ffが高くなった後、dqs_enable_iが低くなるのは、dqsb_iの次

の立ち上がりエッジ以降であることがタイミングチャートにおいて理解できる。

【 0 0 7 1 】

図8Aにおいて全体的に197として示された回路であって、マルチプレクサ選択入力156を生成するための具体的な回路を説明してきた。より一般に、データストロブイネーブルの起動の際に、データストロブ信号を選択するための選択入力を設定し、データストロブディスネーブルの起動およびそれに続くデータストロブ信号の次の立ち上がりエッジの際に、データストロブ信号を非選択にするための選択入力を設定する選択入力生成回路を使用することができる。

【 0 0 7 2 】

回路180は、DDR1の実施用の単一DQS入力158からDQS# 168およびDQS166を生成するための機構を単に提供する。DQS#入力160は、DDR1の実施には存在しない。回路180は、第1および第2のマルチプレクサ162、164から構成されている。これらは、それぞれDQS入力158およびDQS#入力160を受け取るために接続される。マルチプレクサ162は、常にDQS158を選択する。DDR2が低い場合は、マルチプレクサ164は、DQS出力168をDQS#入力160とるように選択する。そうでない場合は、DQS出力168は、DQS158の反転信号から生成される。常にDQS158を選択するマルチプレクサ162を含めることにより、DQSおよびDQS#に等しい負荷がかかることを確実にする。

【 0 0 7 3 】

DQSおよびDQS#は、メモリコントローラから受け取るクロックに応じてメモリ内に生成される。しかし、DQSがメモリコントローラに戻って受け取られる時点までに、このクロックは、メモリの回路を通過してDQS出力を通して戻り、メモリコントローラからメモリまで伝送される。その結果として、メモリコントローラで受け取られるDQSおよびDQS#の出力と、図8BのDQSイネーブルのタイミング、およびそれに対応してdqs_enable_ff、dqs_disable_ff、dqs_enable_iおよびdqs_b_iのタイミングとの間の変動がいくらか存在する。しかし、いかなるDDR SDRAMの実施でも、より一般には、DQS信号は、メインクロックに対していくぶん変動することが予想できる。本発明の他の実施形態では、この変動を検知するものであって、より詳しくは、いつ変動が90度より大きくなるかを検知するための機構を提供する。一旦変動が、90度に達すると、この変動は、DQSイネーブルおよびディスネーブルの信号のタイミングを更新することによって補正されることことができる。

【 0 0 7 4 】

次に図9Aを参照して、本発明の一実施形態によって提供されるデータストロブ変動検知器の回路図を示す。2つのDフリップフロップ191、192のクロック入力を駆動するDQS入力190が示されている。フリップフロップ191のD入力、マスターDLL 200から0度クロックを受け取り、一方、フリップフロップ192のD入力、マスターDLL 200の90度位相を受け取る。第1のフリップフロップ191の出力196を変動<1>と呼び、一方、第2のフリップフロップ192の出力198を変動<0>と呼び、あわせて“変動出力”と呼ぶ。

【 0 0 7 5 】

次に図9Aの回路の動作を、図9Bのタイミングチャートを参照して説明する。0度クロック200、90度クロック202、DQS 190および変動<1>196、198が示されている。DQS 190が、0から1へ遷移する(立ち上がりエッジ)とき、0度および90度のクロック200、202の状態がラッチされて出力196、198を変動させる。ラッチすることができる内容の4つの例を図9Bに示す。204での最初の例において、変動出力196、198は“10”である。その後のサンプリング時206(DQ 190の次の立ち上がりエッジ)では、変動サンプルは、まだ“10”である。その後のサンプリング時208では、変動出力196、198は、今や“11”である。この状態は、その後のサンプリング時210でもやはり同じである。変動出力が、サンプリング時208で“10”から“11”に変化したという事実は、90度より大きな変動が発生したという事を示す。次いで、この情報は、メモリコントローラにより使用されてDQSイネーブルおよびディスネーブルの時間が更新される。

【 0 0 7 6 】

図8AのDQSイネーブル回路は、読出し遅延を決定するためのいかなる機構とも一緒に使

10

20

30

40

50

用できることに留意されたい。さらに、図9Aのデータストロープ変動検知器は、メインクロックと比べて変動するDQS信号を受け取るいかなる回路内にも使用することができる。その特定の用途は、読出し遅延の決定方法を用いる回路および上述の回路においておよび/または上述のDOSイネーブル方式においてである。

【0077】

非常に具体的な変動検出回路を説明してきた。より一般には、入力クロック信号と同期して、マスタークロックの第1の位相の第1の値をラッチする第1の回路が提供される。上記の例で、第1の回路はDフリップフロップであるが、他の実施も可能である。入力クロック信号と同期して、マスタークロックの第2の位相の第2の値をラッチする第2の回路がある。上記の例で、第2の回路はDフリップフロップであるが、他の実施も可能である。第1の値または第2の値のいずれかの変化は、入力クロック信号が、マスタークロック源と比べて少なくとも所定量だけ変動したことを示す。説明した詳細な例では、第1のクロック位相は、マスタークロックに基づいて0度クロックであり、第2のクロック位相は、マスタークロックに基づいて90度クロックであり、所定量は1/4クロックサイクルであるが、2つのクロックの位相を適切に選択することによって他のシフトを検知することができる。

【0078】

上の具体的な例では、DDR1およびDDR2について言及する。より一般に、本発明の実施形態は、DDR、DDR2、DDR3およびGDDRの様々な変種を含む双方向データストロープを使用する、全ての工業規格のDDR DRAMに適用することができる。さらにより一般に、本発明の実施形態は、同期クロック源および双方向データストロープを備えた、双方向読出し/書込みバスを有するメモリに適用することができる。上述のDQSは、このような双方向データストロープの具体的な例である。より一般的な状況で、データストロープをイネーブルするためのデータストロープイネーブル回路が提供され、DQSイネーブル回路はこの具体的な例である。

【産業上の利用可能性】

【0079】

また本発明は、データクロックをゲート制御することにより内部クロック電力を節約するためにQDRおよびQDR2 SRAMに好適なものとなることができるとともに、クロックドメインクロッシングを実施することに好適なものとなることができる。

【0080】

さらに、本明細書で説明された方法および回路は、DQSをイネーブルする以外の目的で読出し遅延を決定するために使用することができる。具体的な例は、クロック境界上で変動を決定することであって、クロック境界上でデータをクロッシングすることである。

【0081】

また本発明は、高速シリアルインターフェースにおいて好適なものとなることができる。上述の実施形態では、簡単にするため、図に示すようにデバイス構成要素および回路は互いに接続される。本発明の実際の応用では、半導体ICおよびDRAMデバイス、構成要素、回路等は、直接互いに接続されていてもよい。なお、構成要素、回路等は、半導体ICおよびDRAMデバイスの動作に必要な他の構成要素、回路等を介して、間接的に互いに接続されていてもよい。したがって、半導体ICおよびDRAMデバイスの実際の構成において、回路構成要素およびデバイスは、(直接または間接的に接続され)互いに結合される。

【0082】

本発明の上述の実施形態は、例示だけを目的とする。変更形態、改変形態および変形形態は、本発明の範囲から逸脱することなく、当業者によって特定の実施形態として実施されることができ、本発明は、本願に添付された特許請求の範囲によってのみ定義される。

【符号の説明】

【0083】

- 20 メモリコントローラ
- 22 DDR-SDRAM
- 24 単方向バス

10

20

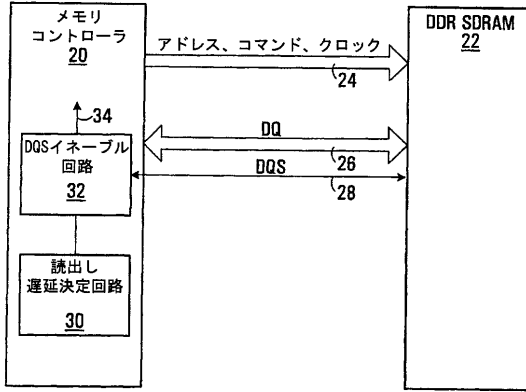
30

40

50

26	双方向バス	
28	双方向接続	
30	読出し遅延決定回路	
32	DQSイネーブル回路	
34	DQS信号	
40	0度クロック	
42、44、46、48、50	グレイコードカウンタ	
52	コマンドシーケンス	
54	DQS	
56	データ信号DQ	10
58	DQS90	
60	DQ0	
62	DQ1	
64	count_en	
66	READコマンド	
69	ポストアンプル	
70	第1の例	
72	第2の例	
80	DQSイネーブル	
82	反転されたDQS90入力	20
83	DQS TB1	
84、86、92、94、96、104、106、108、110、112、114、116、144、146	フリップフロップ	
154	SRフリップフロップ	
101	マルチプレクサ選択入力mux_sel	
100、102、170、171	マルチプレクサ	
120	RTLクロック入力	
140	CLK(N)クロック入力	
148	dqs_enable_ff出力	
150	dqs_disable_ff出力	30
152	ANDゲート	
156	dqs_enable_i	
158	DQS入力	
172	dqsb_i	
173	dqs_i	
160	DQS#入力	
196	変動出力	
198	変動出力	
200	コマンドシーケンス	
201、203	READコマンド	40
202	グレイコードカウンタCK	

【図1】



【図2A】

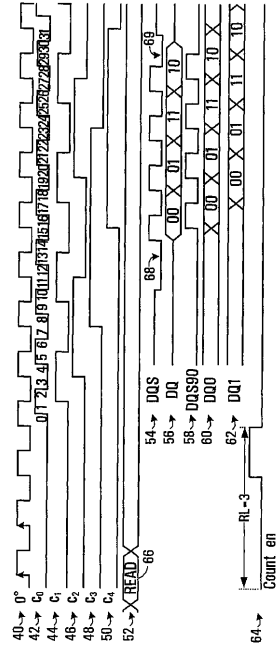
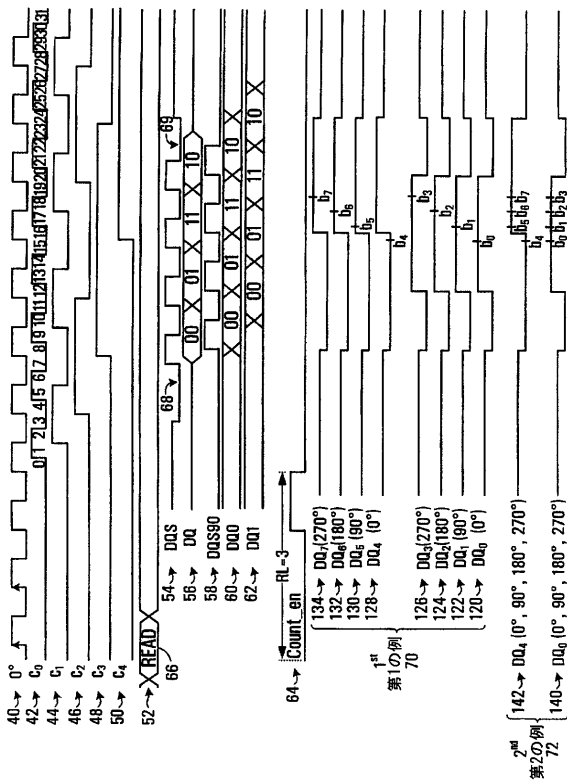


FIG. 2A

【図2B】



【図2C】

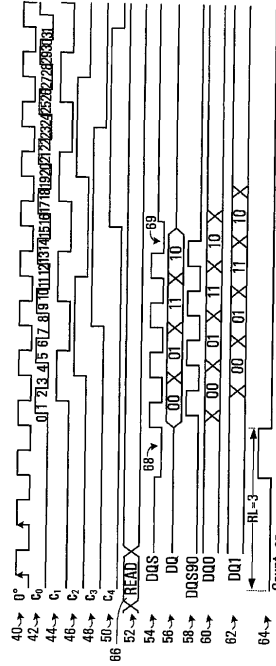
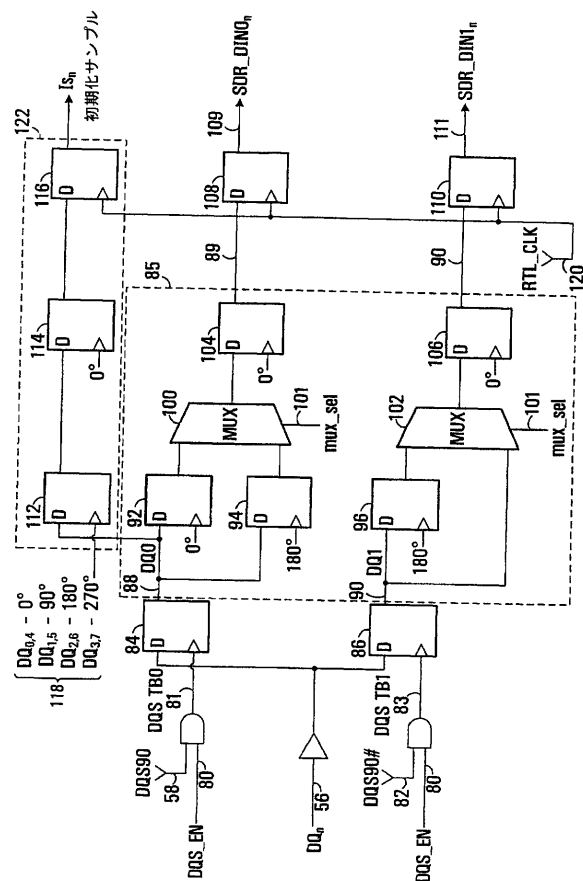


FIG. 2C

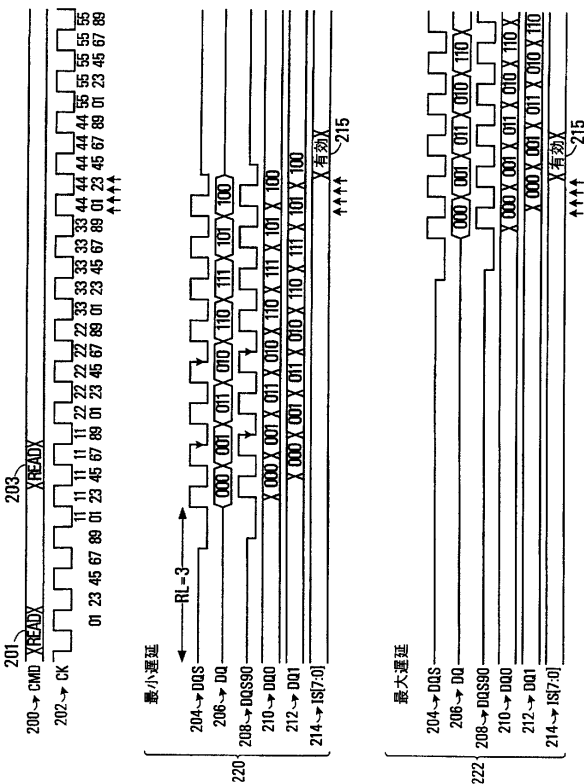
【図3】

16, 17, 18および19での初期化サンプリング				通常動作DQS90のサンプルカウンタ	DQS イネーブル		DQS ディスエーブル		DQ0 DQ1 サンプリング	
0°	90°	180°	270°		BL8	BL4	BL8	BL4	90°	180°
10	10	10	10	3	1	16	8	180°	0°	
11	10	10	10	4	2	17	9	180°	0°	
11	11	10	10	5	3	18	10	0°	180°	
11	11	11	10	6	4	19	11	0°	180°	
11	11	11	11	7	5	20	12	180°	0°	
01	11	11	11	8	6	21	13	180°	0°	
01	01	11	11	9	7	22	14	0°	180°	
01	01	01	11	10	8	23	15	0°	180°	
01	01	01	01	11	9	24	16	180°	0°	
00	01	01	01	12	10	25	17	180°	0°	
00	00	01	01	13	11	26	18	0°	180°	
00	00	00	01	14	12	27	19	0°	180°	
00	00	00	00	15	13	28	20	180°	0°	

【図4】



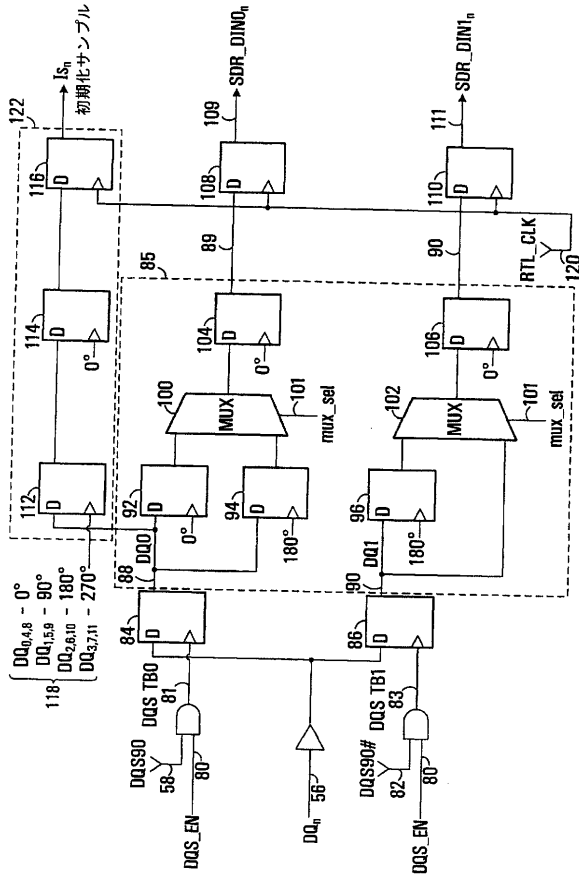
【図5】



【図6】

IS[7:4], IS[3:0] D2, D1, D0 連続する3つの 16ビットバースト上で読み出された				DQS90 ディス イネーブル BL4 エーブル BL8		DQ0 DQ1 DQS90 Samp. サンプリング 90° 180°	
0°	90°	180°	270°	BL4	BL8	90°	180°
100	100	100	100	10	17	25	1
101	100	100	100	11	18	26	0
101	101	100	100	12	19	27	0
101	101	101	100	13	20	28	1
101	101	101	101	14	21	29	1
111	101	101	101	15	22	30	0
111	111	101	101	16	23	31	0
111	111	111	101	17	24	32	1
111	111	111	111	18	25	33	1
110	111	111	111	19	26	34	0
110	110	111	111	20	27	35	0
110	110	110	111	21	28	36	1
110	110	110	110	22	29	37	1
010	110	110	110	23	30	38	0
010	010	110	110	24	31	39	0
010	010	010	110	25	32	40	1
010	010	010	010	26	33	41	1
011	010	010	010	27	34	42	0
011	011	010	010	28	35	43	0
011	011	011	010	29	36	44	1
011	011	011	011	30	37	45	1
001	011	011	011	31	38	46	0
001	001	011	011	32	39	47	0
001	001	001	011	33	40	48	1
001	001	001	001	34	41	49	1
000	001	001	001	35	42	50	0
000	000	001	001	36	43	51	0
000	000	000	001	37	44	52	1
000	000	000	000	38	45	53	1

【 図 7 】



【 図 8 A 】

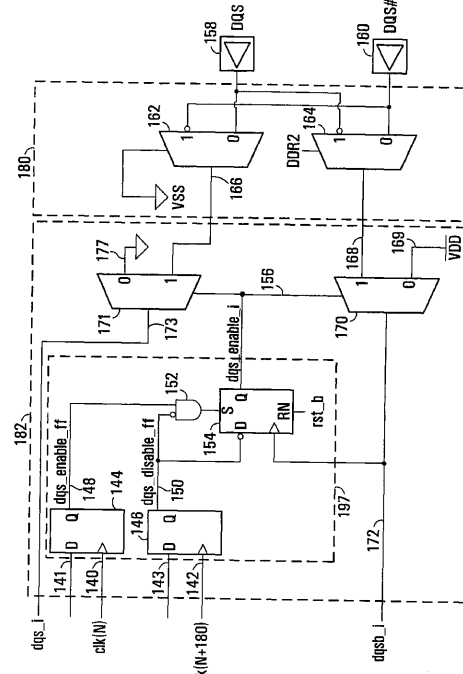
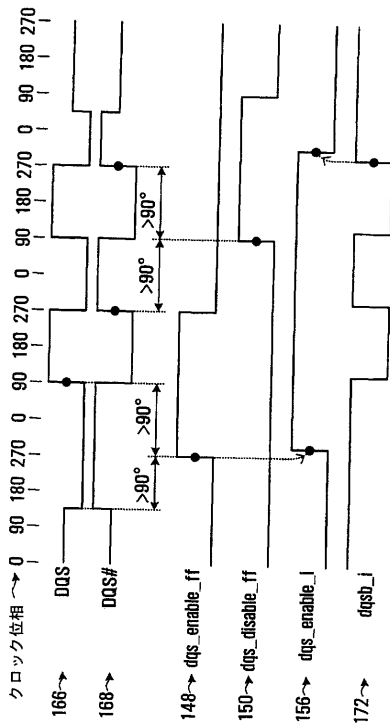


FIG. 8A

【 図 8 B 】



【 図 9 A 】

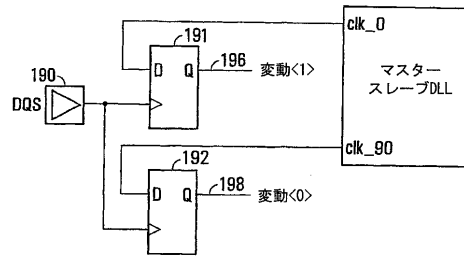
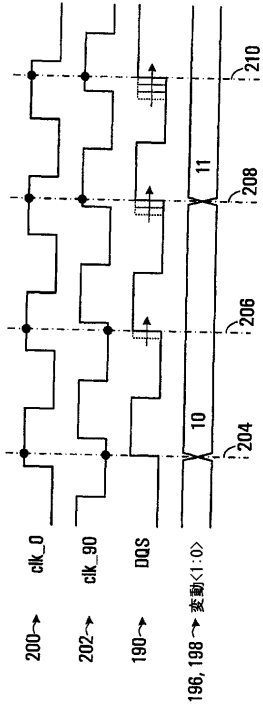


FIG. 9A

【 9 B 】



フロントページの続き

- (74)代理人 100108453
弁理士 村山 靖彦
- (74)代理人 100064908
弁理士 志賀 正武
- (74)代理人 100089037
弁理士 渡邊 隆
- (74)代理人 100140534
弁理士 木内 敬二
- (72)発明者 ピーター・ギリンガム
カナダ・K 2 K・2 K 9・オンタリオ・カナタ・スレード・クレセント・4 3
- (72)発明者 ロバート・マッケンジー
カナダ・K 1 S・5 P 3・オンタリオ・オタワ・リーズ・アベニュー・1 5 0 6 - 1 7 1

合議体

審判長 小曳 満昭
審判官 和田 志郎
審判官 山田 正文

- (56)参考文献 特開2 0 0 3 - 9 9 3 2 1 (J P , A)
米国特許出願公開第2 0 0 6 / 0 1 3 6 7 6 9 (U S , A 1)

- (58)調査した分野(Int.Cl. , D B 名)
G06F 12/00