

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7532028号  
(P7532028)

(45)発行日 令和6年8月13日(2024.8.13)

(24)登録日 令和6年8月2日(2024.8.2)

(51)国際特許分類	F I
H 0 1 G 4/33 (2006.01)	H 0 1 G 4/33 1 0 2
H 0 1 G 4/30 (2006.01)	H 0 1 G 4/30 5 4 1
H 0 1 G 4/224(2006.01)	H 0 1 G 4/30 5 4 7
H 0 1 G 2/10 (2006.01)	H 0 1 G 4/224
H 0 1 G 4/40 (2006.01)	H 0 1 G 2/10 J
請求項の数 9 (全15頁) 最終頁に続く	

(21)出願番号	特願2019-229654(P2019-229654)	(73)特許権者	000003067
(22)出願日	令和1年12月19日(2019.12.19)		T D K株式会社
(65)公開番号	特開2021-100007(P2021-100007 A)	(74)代理人	100115738
(43)公開日	令和3年7月1日(2021.7.1)		弁理士 鷲頭 光宏
審査請求日	令和4年11月15日(2022.11.15)	(74)代理人	100121681
			弁理士 緒方 和文
		(72)発明者	吉川 和弘
			東京都中央区日本橋二丁目5番1号 T D K株式会社内
		(72)発明者	吉田 健一
			東京都中央区日本橋二丁目5番1号 T D K株式会社内
		(72)発明者	大塚 隆史
			東京都中央区日本橋二丁目5番1号 T 最終頁に続く

(54)【発明の名称】 電子部品及びその製造方法

(57)【特許請求の範囲】

【請求項1】

基板の主面上に設けられた下部電極と、  
少なくとも前記下部電極の上面及び側面を覆う誘電体膜と、  
前記誘電体膜を介して前記下部電極の前記上面に積層された上部電極と、を備え、  
前記誘電体膜のうち、前記下部電極の前記上面を覆う部分は、前記上部電極で覆われない  
第1の部分と、前記上部電極で覆われる第2の部分とを含み、  
前記第1の部分の少なくとも一部が除去されていることを特徴とする電子部品。

【請求項2】

前記誘電体膜は、前記下部電極の前記上面と前記側面の終端部である角部を覆う部分の  
少なくとも一部が除去されていることを特徴とする請求項1に記載の電子部品。

【請求項3】

前記誘電体膜のうち、前記下部電極の前記上面を覆う部分の幅は、前記下部電極の幅より  
も狭く、且つ、前記上部電極の幅よりも広いことを特徴とする請求項2に記載の電子部品。

【請求項4】

前記誘電体膜は、前記下部電極を介することなく前記基板の前記主面を覆う第3の部分  
をさらに含み、

前記第3の部分の少なくとも一部が除去されていることを特徴とする請求項1乃至3の  
いずれか一項に記載の電子部品。

【請求項5】

10

20

前記上部電極が設けられている領域においては前記上部電極を覆い、前記上部電極が設けられていない領域においては前記誘電体膜を覆うパッシベーション膜をさらに備え、  
前記誘電体膜と前記パッシベーション膜からなる積層膜は、前記基板の主面と平行な部分の少なくとも一部が除去されていることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の電子部品。

【請求項 6】

前記誘電体膜と前記パッシベーション膜は、いずれも無機絶縁材料からなることを特徴とする請求項 5 に記載の電子部品。

【請求項 7】

前記下部電極と同じ導体層に位置するインダクタパターンをさらに備え、  
前記インダクタパターンの上面に位置する前記誘電体膜の少なくとも一部が除去されていることを特徴とする請求項 1 乃至 6 のいずれか一項に記載の電子部品。

10

【請求項 8】

基板の主面上に下部電極を形成する工程と、  
前記基板の前記主面上、並びに、前記下部電極の上面及び側面に誘電体膜を形成する工程と、

前記誘電体膜を介して前記下部電極の前記上面と対向する上部電極を形成する工程と、  
前記誘電体膜のうち、前記下部電極の前記上面に位置し、且つ、前記上部電極で覆われない部分の少なくとも一部を除去する工程と、を備えることを特徴とする電子部品の製造方法。

20

【請求項 9】

前記上部電極及び前記誘電体膜を覆うパッシベーション膜を形成する工程をさらに備え、  
前記除去する工程は、前記基板の前記主面上又は前記下部電極の前記上面に位置する前記誘電体膜と前記パッシベーション膜からなる積層膜の少なくとも一部を除去することにより行うことを特徴とする請求項 8 に記載の電子部品の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電子部品及びその製造方法に関し、特に、キャパシタを有する電子部品及びその製造方法に関する。

30

【背景技術】

【0002】

特許文献 1 及び 2 には、基板上にキャパシタとインダクタが形成された電子部品が開示されている。特許文献 1 及び 2 に記載されたキャパシタは、下部電極と、下部電極を覆う誘電体膜と、誘電体膜を介して下部電極と対向する上部電極によって構成される。この種の電子部品においては、下部電極や上部電極の材料として銅などの良導体を用いられ、誘電体膜の材料として窒化シリコンなどの無機絶縁材料が用いられる。

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2007 - 142109 号公報

【文献】特開 2008 - 34626 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、窒化シリコンなどの無機絶縁材料は応力が強いいため、基板の全面に形成すると、応力によって剥離が生じることがあった。このような剥離は、下部電極の上面と側面の終端部である角部において最も顕著となり、角部を起点として発生した剥離が伝搬することがあった。誘電体膜の剥離は、製品の信頼性を低下させるだけでなく、場合によってはキャパシタンスが設計値から変化するおそれがあった。このような問題は、誘電体膜

40

50

の材料として無機絶縁材料を用いた場合のみならず、応力の強い材料を用いた場合において共通に生じる問題である。

【0005】

したがって、本発明は、キャパシタを有する電子部品において、誘電体膜の応力を緩和することによって、下部電極と誘電体膜の界面における剥離を防止することを目的とする。

【課題を解決するための手段】

【0006】

本発明による電子部品は、基板の主面上に設けられた下部電極と、少なくとも下部電極の上面及び側面を覆う誘電体膜と、誘電体膜を介して下部電極の上面に積層された上部電極とを備え、誘電体膜は、基板の主面と平行な部分の少なくとも一部が除去されていることを特徴とする。

10

【0007】

本発明によれば、誘電体膜のうち基板の主面と平行な部分の少なくとも一部が除去されていることから、除去された部分によって応力が緩和される。これにより、下部電極と誘電体膜の界面における剥離を防止することが可能となる。

【0008】

本発明において、誘電体膜は、下部電極の上面と側面の終端部である角部を覆う部分の少なくとも一部が除去されていても構わない。これによれば、応力が集中しやすい角部における剥離を防止することが可能となる。

【0009】

本発明において、誘電体膜は、上部電極を介することなく下部電極の上面を覆う第1の部分を含み、第1の部分の少なくとも一部が除去されていても構わない。これによれば、下部電極の上面と誘電体膜の界面における剥離を効果的に防止することが可能となる。

20

【0010】

本発明において、誘電体膜は、下部電極を介することなく基板の主面を覆う第2の部分を含み、第2の部分の少なくとも一部が除去されていても構わない。誘電体膜の第2の部分は面積が大きいので、その少なくとも一部を除去することにより、効果的に応力を緩和することが可能となる。

【0011】

本発明による電子部品は、上部電極が設けられている領域においては上部電極を覆い、上部電極が設けられていない領域においては誘電体膜を覆うパッシベーション膜をさらに備え、誘電体膜とパッシベーション膜からなる積層膜は、基板の主面と平行な部分の少なくとも一部が除去されていても構わない。誘電体膜とパッシベーション膜からなる積層膜は、さらに強い応力が発生するため、積層膜のうち基板の主面と平行な部分の少なくとも一部を除去することにより、応力を緩和することが可能となる。この場合、誘電体膜とパッシベーション膜は、いずれも無機絶縁材料からなるものであっても構わない。誘電体膜とパッシベーション膜の両方が無機絶縁材料からなる場合、積層膜にはさらに強い応力が発生するが、この場合であっても、応力緩和により剥離を防止することが可能となる。

30

【0012】

本発明による電子部品は、下部電極と同じ導体層に位置するインダクタパターンをさらに備え、インダクタパターンの上面に位置する誘電体膜の少なくとも一部が除去されていても構わない。これによれば、信頼性の高いLCフィルタを提供することが可能となる。

40

【0013】

本発明による電子部品の製造方法は、基板の主面上に下部電極を形成する工程と、基板の主面上、並びに、下部電極の上面及び側面に誘電体膜を形成する工程と、誘電体膜を介して下部電極の上面と対向する上部電極を形成する工程と、基板の主面上又は下部電極の上面に位置する誘電体膜の少なくとも一部を除去する工程とを備えることを特徴とする。

【0014】

本発明によれば、基板の主面上又は下部電極の上面に位置する誘電体膜の少なくとも一部を除去していることから、誘電体膜の応力が緩和される。これにより、下部電極と誘電

50

体膜の界面における剥離を防止することが可能となる。

【0015】

本発明による電子部品の製造方法は、上部電極及び誘電体膜を覆うパッシベーション膜を形成する工程をさらに備え、除去する工程は、基板の主面上又は下部電極の上面に位置する誘電体膜とパッシベーション膜からなる積層膜の少なくとも一部を除去することにより行っても構わない。これによれば、より強い応力が発生する積層膜の応力を緩和することが可能となる。

【発明の効果】

【0016】

このように、本発明によれば、キャパシタを有する電子部品において、誘電体膜の応力が緩和されることから、下部電極と誘電体膜の界面における剥離を防止することが可能となる。

10

【図面の簡単な説明】

【0017】

【図1】図1は、本発明の一実施形態による電子部品1の構造を説明するための略平面図である。

【図2】図2は、図1のA-A線に沿った略断面図である。

【図3】図3は、導体層M1、MMのパターン形状を説明するための略平面図である。

【図4】図4は、導体層M2のパターン形状を説明するための略平面図である。

【図5】図5は、電子部品1の等価回路図である。

20

【図6】図6は、キャパシタCの拡大平面図である。

【図7】図7(a)は、第1の変形例によるキャパシタCの拡大平面図であり、図7(b)はB-B線に沿った略断面図である。

【図8】図8(a)は、第2の変形例によるキャパシタCの拡大平面図であり、図8(b)はC-C線に沿った略断面図である。

【図9】図9は、第3の変形例によるキャパシタCの拡大平面図である。

【図10】図10は、電子部品1の製造方法を説明するための工程図である。

【図11】図11は、電子部品1の製造方法を説明するための工程図である。

【図12】図12は、電子部品1の製造方法を説明するための工程図である。

【図13】図13は、電子部品1の製造方法を説明するための工程図である。

30

【図14】図14は、電子部品1の製造方法を説明するための工程図である。

【図15】図15は、電子部品1の製造方法を説明するための工程図である。

【図16】図16は、電子部品1の製造方法を説明するための工程図である。

【図17】図17は、電子部品1の製造方法を説明するための工程図である。

【図18】図18は、電子部品1の製造方法を説明するための工程図である。

【図19】図19は、電子部品1の製造方法を説明するための工程図である。

【図20】図20は、電子部品1の製造方法を説明するための工程図である。

【図21】図21は、電子部品1の製造方法を説明するための工程図である。

【図22】図22は、電子部品1の製造方法を説明するための工程図である。

【発明を実施するための形態】

40

【0018】

以下、添付図面を参照しながら、本発明の好ましい実施形態について詳細に説明する。

【0019】

図1は、本発明の一実施形態による電子部品1の構造を説明するための略平面図である。また、図2は、図1のA-A線に沿った略断面図である。

【0020】

本実施形態による電子部品1はLCフィルタであり、図1及び図2に示すように、基板2と、基板2の主面上に形成された導体層M1、MM、M2及び絶縁層6を備えている。導体層M1、MMのパターン形状については図3に示されており、導体層M2のパターン形状については図4に示されている。基板2の材料としては、化学的・熱的に安定で応力

50

発生が少なく、表面の平滑性を保つことができる材料であればよく、特に限定されるものではないが、シリコン単結晶、アルミナ、サファイア、窒化アルミ、MgO単結晶、SrTiO<sub>3</sub>単結晶、表面酸化シリコン、ガラス、石英、フェライトなどを用いることができる。基板2の表面は平坦化層3で覆われている。平坦化層3としては、アルミナや酸化シリコンなどを用いることができる。

#### 【0021】

導体層M1は最下層に位置する導体層であり、図3に示すように、導体パターン11~17を含んでいる。このうち、導体パターン11~14は端子電極パターンであり、導体パターン15はキャパシタの下部電極であり、導体パターン16はインダクタパターンである。下部電極を構成する導体パターン15及びインダクタパターンを構成する導体パターン16の一端は、導体パターン17を介して導体パターン11に接続されている。これら導体パターン11~17はいずれも平坦化層3と接する薄いシード層Sと、シード層S上に設けられ、シード層Sよりも膜厚の大きいメッキ層Pによって構成されている。他の導体層MM, M2に位置する導体パターンについても同様であり、シード層Sとメッキ層Pの積層体によって構成されている。

10

#### 【0022】

導体パターン11~17のうち、少なくともキャパシタの下部電極を構成する導体パターン15については、その上面15t及び側面15sが誘電体膜(容量絶縁膜)4で覆われている。但し、導体パターン15の上面15tは全体が誘電体膜4で覆われているのではなく、一部が誘電体膜4から露出している。一方、導体パターン15の側面15sについては、角部15cの近傍を除くほぼ全面が誘電体膜4で覆われている。導体パターン16については、上面16tの全面が誘電体膜4から露出しており、側面16sは角部16cの近傍を除くほぼ全面が誘電体膜4で覆われている。

20

#### 【0023】

導体パターン15の上面には、誘電体膜4を介して導体パターン18が形成されている。導体パターン18は、導体層M1と導体層M2の間に位置する導体層MMに属し、キャパシタの上部電極を構成する。これにより、導体パターン15を下部電極とし、導体パターン18を上部電極とするキャパシタが形成される。導体層M1及び導体層MMは、パッシベーション膜5を介して絶縁層6で覆われる。誘電体膜4とパッシベーション膜5は、積層膜7を構成する。本実施形態においては、誘電体膜4とパッシベーション膜5がいずれも無機絶縁材料からなる。誘電体膜4を構成する無機絶縁材料とパッシベーション膜5を構成する無機絶縁材料は、同じ材料であっても構わないし、異なる材料であっても構わない。

30

#### 【0024】

導体層M2は、絶縁層6の表面に設けられた2層目の導体層であり、図4に示すように、導体パターン21~27を含んでいる。このうち、導体パターン21~24は端子電極パターンであり、導体パターン25はキャパシタの引き出し電極であり、導体パターン26はインダクタパターンである。導体パターン25は、絶縁層6に設けられたビア25aを介して上部電極である導体パターン18に接続されるとともに、導体パターン22に接続される。また、インダクタパターンを構成する導体パターン26の一端は、絶縁層6に設けられたビア26aを介して導体パターン16の他端に接続され、導体パターン26の他端は、導体パターン27を介して導体パターン23, 24に接続されている。さらに、導体パターン21~24は、絶縁層6に設けられたビア21a~24aを介してそれぞれ導体パターン11~14に接続されている。

40

#### 【0025】

図5は、本実施形態による電子部品1の等価回路図である。

#### 【0026】

図5に示すように、本実施形態による電子部品1は、導体パターン21と導体パターン22の間にキャパシタCが接続され、導体パターン21と導体パターン23, 24の間にインダクタLが接続された回路構成を有する。キャパシタCは、下部電極である導体パタ

50

ーン15と、上部電極である導体パターン18と、導体パターン15, 18間に位置する誘電体膜4によって構成される。

【0027】

図6は、キャパシタCの拡大平面図である。

【0028】

図6に示すように、平面視で、下部電極である導体パターン15の幅を $W_1$ 、誘電体膜4及びパッシベーション膜5の幅を $W_2$ 、上部電極である導体パターン18の幅を $W_3$ とした場合、本実施形態においては $W_1 > W_2 > W_3$ を満たす。これにより、導体パターン15の上面15tのうち、導体パターン18と重なる部分については誘電体膜4で覆われる一方、導体パターン18と重ならない部分の一部は、誘電体膜4及びパッシベーション膜5の積層膜7で覆われることなく露出する。特に、図6に示す例では、導体パターン15の上面15tと側面15sの終端部である角部15cが全て、誘電体膜4及びパッシベーション膜5の積層膜7で覆われることなく露出している。

10

【0029】

これにより、積層膜7が除去された部分によって応力が緩和されるため、導体パターン15と誘電体膜4の界面における剥離が生じにくくなる。特に、積層膜7のうち、導体パターン15の角部15cを覆う部分には応力が集中するため、この部分を起点として剥離が発生しやすいが、図6に示す例では、導体パターン15の角部15cが全て露出していることから、角部を起点とする剥離を防止することができる。

【0030】

また、図2に示すように、基板2の主面と平行な他の部分、つまり、平坦化層3の表面や、インダクタパターンを構成する導体パターン16の上面16tに形成された積層膜7も除去されており、これによって、誘電体膜4の剥離に起因する信頼性の低下が防止されている。これに対し、基板2の主面に対して垂直な部分、つまり、導体層M1を構成する導体パターン11~17の側面については積層膜7で覆われているため、導体パターン11~17の側面については積層膜7によって保護される。

20

【0031】

但し、誘電体膜4及びパッシベーション膜5の積層膜7を削除する位置についてはこれに限定されない。以下、いくつかの変形例について説明する。

【0032】

図7(a)は、第1の変形例によるキャパシタCの拡大平面図であり、図7(b)はB-B線に沿った略断面図である。

30

【0033】

図7に示す例では、誘電体膜4及びパッシベーション膜5の積層膜7のうち、導体パターン15の上面15tを覆う部分にスリットSL1が設けられており、この部分において導体パターン15の上面15tが積層膜7から露出している。スリットSL1は、平面視で上部電極である導体パターン18を囲むように環状に形成されている。このような構成であっても、スリットSL1によって応力を緩和することができる。特に、スリットSL1は上部電極である導体パターン18の近傍に設けられていることから、例えば導体パターン15の角部15cを覆う部分に剥離が発生した場合であっても、これがキャパシタCとして機能する部分に伝搬することがない。また、導体層M1の多くの部分が誘電体膜4及びパッシベーション膜5の積層膜7で覆われることから、導体層M1の保護がより確実となる。

40

【0034】

図8(a)は、第2の変形例によるキャパシタCの拡大平面図であり、図8(b)はC-C線に沿った略断面図である。

【0035】

図8に示す例では、誘電体膜4及びパッシベーション膜5の積層膜7のうち、導体パターン15を囲む部分、つまり、平坦化層3を介して基板2の主面上に形成された部分にスリットSL2が設けられている点において、図7に示した第1の変形例と相違している。

50

このようなスリット S L 2 を設ければ、基板 2 上に形成された大面積の積層膜 7 に発生する応力を緩和することができる。

【 0 0 3 6 】

図 9 は、第 3 の変形例によるキャパシタ C の拡大平面図である。

【 0 0 3 7 】

図 9 に示す例では、スリット S L 1 が不連続である点において、図 7 に示した第 1 の変形例と相違している。第 3 の変形例が例示するように、スリット S L 1 は必ずしも連続的である必要はなく、不連続なものであっても構わない。

【 0 0 3 8 】

次に、本実施形態による電子部品 1 の製造方法について説明する。

【 0 0 3 9 】

図 1 0 ~ 図 2 2 は、本実施形態による電子部品 1 の製造方法を説明するための工程図である。電子部品 1 の製造プロセスにおいては、集合基板を用いて複数の電子部品 1 が多数個取りされるが、以下に説明する製造プロセスは、1 個の電子部品 1 の製造プロセスに着目して説明する。

【 0 0 4 0 】

まず、図 1 0 に示すように、基板（集合基板）2 上にスパッタリング法などを用いて平坦化層 3 を形成し、その表面を研削或いは C M P などの鏡面化処理を行なって平滑化する。その後、平坦化層 3 の表面にスパッタリング法などを用いてシード層 S を形成する。次に、図 1 1 に示すように、シード層 S 上にレジスト層 R 1 をスピンコートした後、導体層 M 1 を形成すべき領域のシード層 S が露出するよう、レジスト層 R 1 をパターニングする。この状態で、シード層 S を給電体とする電解メッキを行うことにより、図 1 2 に示すように、シード層 S 上にメッキ層 P を形成する。シード層 S とメッキ層 P の積層体は、導体層 M 1 を構成する。図 1 2 に示す断面においては、導体層 M 1 に導体パターン 1 5 , 1 6 が含まれている。

【 0 0 4 1 】

次に、図 1 3 に示すようにレジスト層 R 1 を除去した後、酸などを用いたウェットエッチングを行うことにより、図 1 4 に示すように、レジスト層 R 1 で覆われていたシード層 S を除去する。次に、図 1 5 に示すように、導体層 M 1 の上面及び側面を含む全面に誘電体膜 4 を成膜する。誘電体膜 4 としては、例えば、窒化シリコン ( S i N x ) や酸化シリコン ( S i O x ) などの常誘電体材料の他、公知の強誘電体材料などを利用することができる。誘電体膜 4 の成膜方法としては、スパッタリング法、プラズマ C V D 法、M O C V D 法、ゾルゲル法、電子ビーム蒸着法などを用いることができる。これにより、導体パターン 1 5 の上面 1 5 t、側面 1 5 s 及び角部 1 5 c は、誘電体膜 4 で全て覆われる。導体パターン 1 6 の上面 1 6 t、側面 1 6 s 及び角部 1 6 c も誘電体膜 4 で全て覆われる。

【 0 0 4 2 】

次に、図 1 6 に示すように、導体層 M 1 の形成方法と同様の方法を用いることによって、導体パターン 1 5 の上面に誘電体膜 4 を介して導体パターン 1 8 を形成する。導体パターン 1 8 も、シード層 S とメッキ層 P の積層体からなる。これにより、導体層 M M が完成し、導体パターン 1 5 を下部電極とし、導体パターン 1 8 を上部電極とするキャパシタが形成される。特に限定されるものではないが、導体層 M M の膜厚を導体層 M 1 の膜厚よりも薄くすることにより導体層 M M の加工精度を高め、これによって加工精度に起因するキャパシタンスのばらつきを低減することが好ましい。

【 0 0 4 3 】

次に、図 1 7 に示すように導体層 M 1 , M M を覆うパッシベーション膜 5 を全面に形成する。これにより、上部電極である導体パターン 1 8 についてはパッシベーション膜 5 で直接覆われるとともに、導体パターン 1 8 が存在しない領域については、誘電体膜 4 とパッシベーション膜 5 の積層膜 7 で覆われる。次に、図 1 8 に示すように、導体パターン 1 8 を覆うレジスト層 R 2 を形成し、この状態で積層膜 7 のエッチングを行う。この時、導体パターン 1 8 で覆われていない導体パターン 1 5 の上面 1 5 t の一部をレジスト層 R 2

10

20

30

40

50

から露出させておくことにより、導体パターン 15 の上面 15 t を覆う積層膜 7 の一部が除去され、この部分において導体パターン 15 の上面 15 t が露出する。また、導体パターン 15 の角部 15 c についてもレジスト層 R 2 から露出させておくことにより、導体パターン 15 の角部 15 c が露出する。これに対し、導体パターン 15 の側面 15 s については、角部 15 c の近傍を除き、大部分が積層膜 7 で覆われた状態が保たれる。インダクタパターンを構成する導体パターン 16 についても、上面 16 t 及び角部 16 c の積層膜 7 が除去され、側面 16 s が積層膜 7 で覆われた状態となる。さらに、導体層 M 1 が形成されていない平坦化層 3 の表面についても、積層膜 7 が除去される。

#### 【0044】

次に、レジスト層 R 2 を除去した後、図 19 に示すように全面に絶縁層 6 を形成する。次に、絶縁層 6 をパターニングすることによって、図 20 に示すように、絶縁層 6 にビア 25 a , 26 a を形成する。ビア 25 a 底部には導体パターン 18 を覆うパッシベーション膜 5 が露出し、ビア 26 a の底部には導体パターン 16 が露出する。

10

#### 【0045】

次に、図 21 に示すように、絶縁層 6 上にレジスト層 R 3 を形成した後、レジスト層 R 3 にビア 25 a と重なる開口部 31 を形成する。これにより、導体パターン 18 の上面を覆うパッシベーション膜 5 は、開口部 31 を介して露出する。この状態で、イオンミリングなどを行うことにより、図 22 に示すように、開口部 31 に露出するパッシベーション膜 5 を除去し、導体パターン 18 の上面を露出させる。

#### 【0046】

そして、レジスト層 R 3 を除去した後、導体層 M 1 の形成方法と同様の方法によって、絶縁層 6 上に導体層 M 2 を構成すれば、図 2 に示す断面を有する電子部品 1 が完成する。

20

#### 【0047】

以上説明したように、本実施形態による電子部品 1 は、誘電体膜 4 とパッシベーション膜 5 の積層膜 7 のうち、基板 2 の主面と平行な部分の少なくとも一部を除去していることから、積層膜 7 の応力が緩和される。これにより、導体層 M 1 と誘電体膜 4 の界面における剥離、特に、下部電極である導体パターン 15 と誘電体膜 4 の界面における剥離を防止することが可能となる。

#### 【0048】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

30

#### 【0049】

例えば、上記実施形態においては、本発明を LC フィルタに応用した場合を例に説明したが、本発明の対象となる電子部品が LC フィルタに限定されるものではなく、他の種類の電子部品に応用しても構わない。

#### 【符号の説明】

#### 【0050】

- 1 電子部品
- 2 基板
- 3 平坦化層
- 4 誘電体膜
- 5 パッシベーション膜
- 6 絶縁層
- 7 積層膜
- 11 ~ 18 , 21 ~ 27 導体パターン
- 21 a ~ 26 a ビア
- 15 c , 16 c 角部
- 15 s , 16 s 側面
- 15 t , 16 t 上面

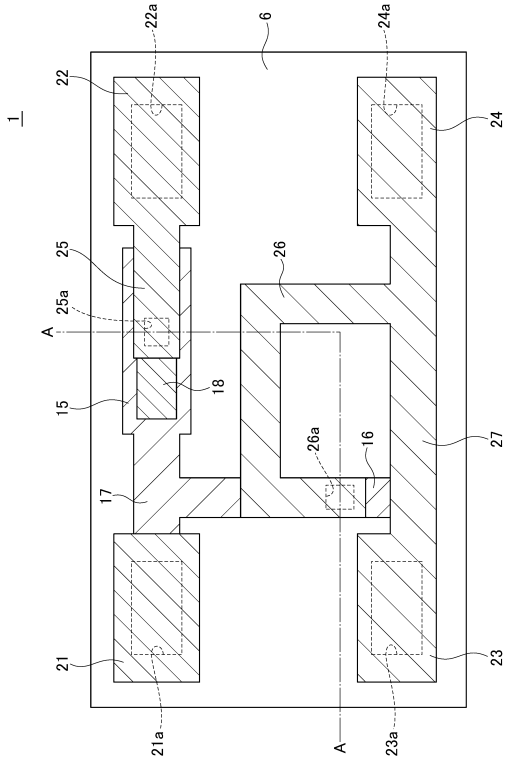
40

50

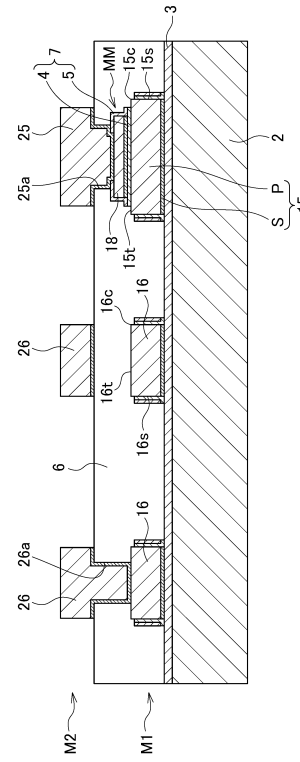
- 3 1 開口部
- C キャパシタ
- L インダクタ
- M 1 , M M , M 2 導体層
- P メッキ層
- R 1 ~ R 3 レジスト層
- S シード層
- S L 1 , S L 2 スリット

【図面】

【図 1】



【図 2】



10

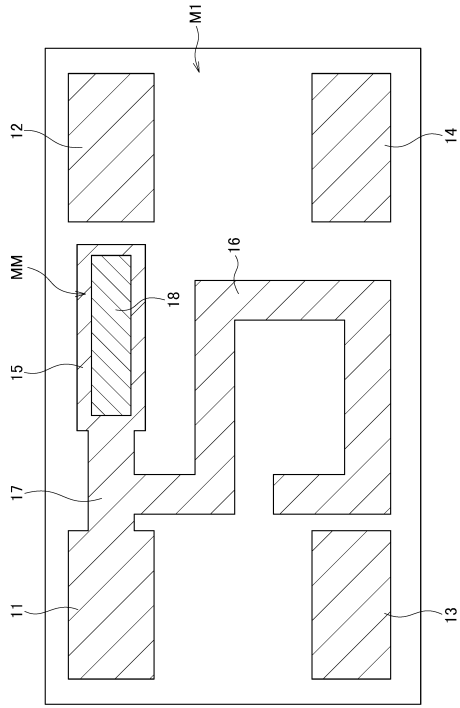
20

30

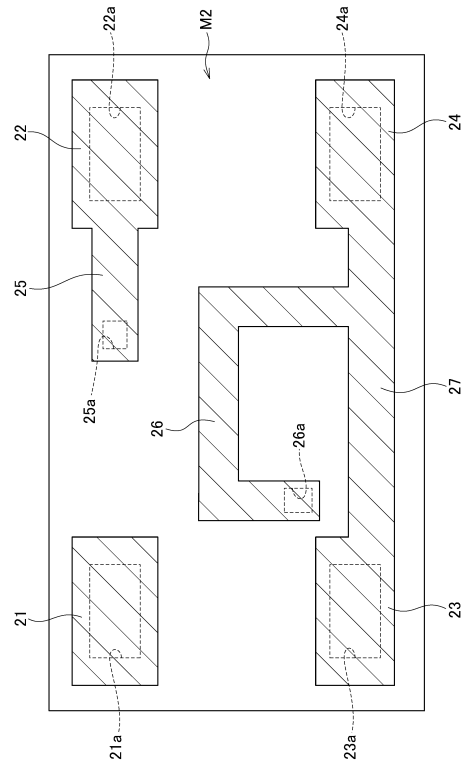
40

50

【図3】



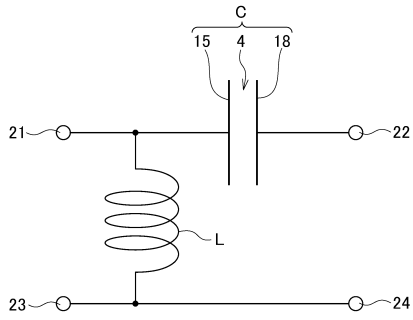
【図4】



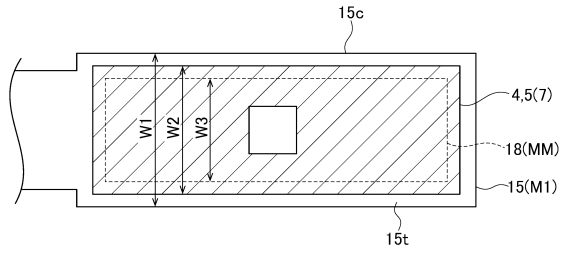
10

20

【図5】



【図6】

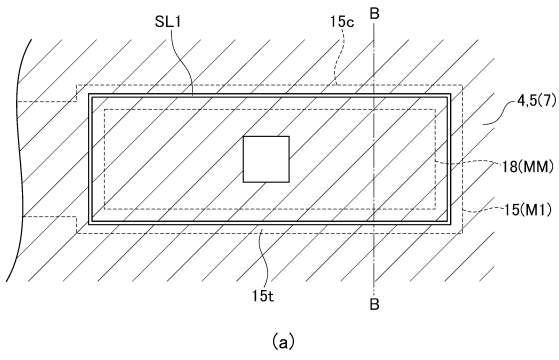


30

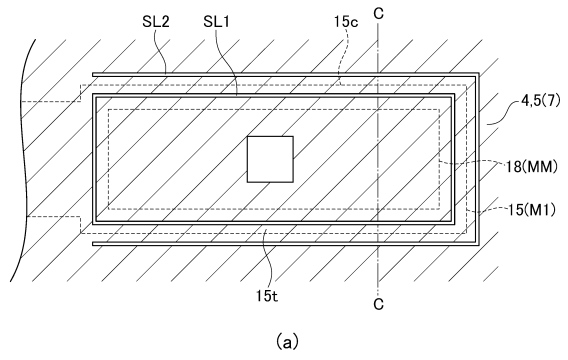
40

50

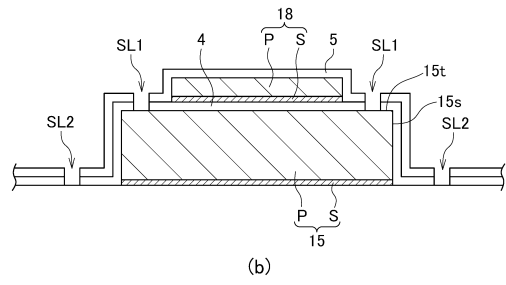
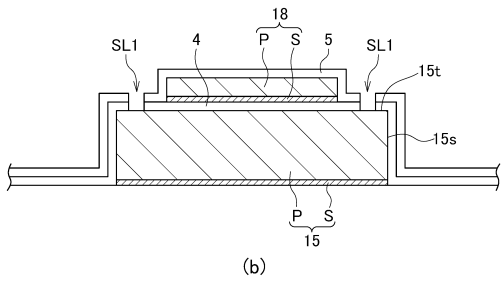
【 図 7 】



【 図 8 】

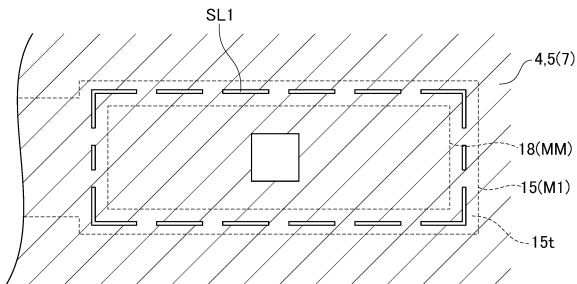


10

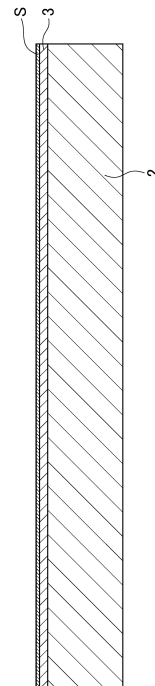


20

【 図 9 】



【 図 10 】

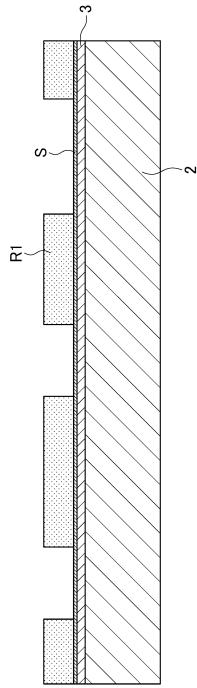


30

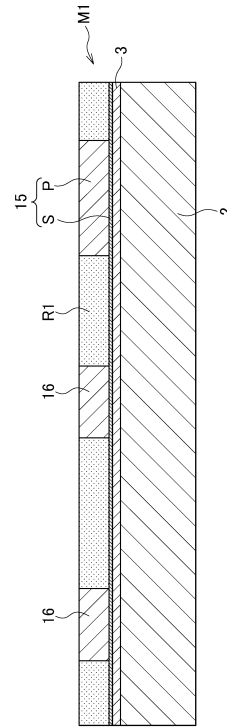
40

50

【図 1 1】



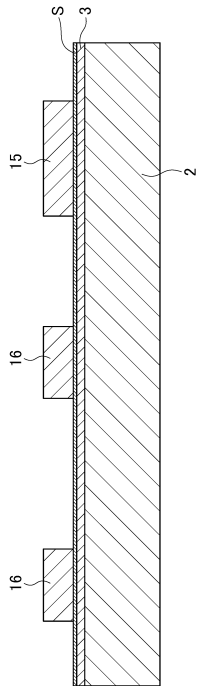
【図 1 2】



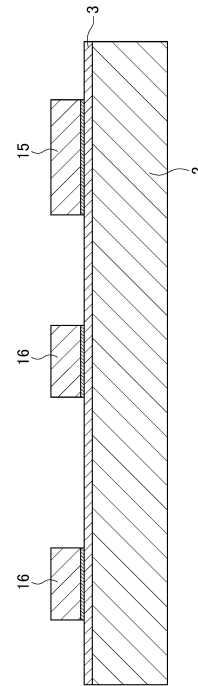
10

20

【図 1 3】



【図 1 4】

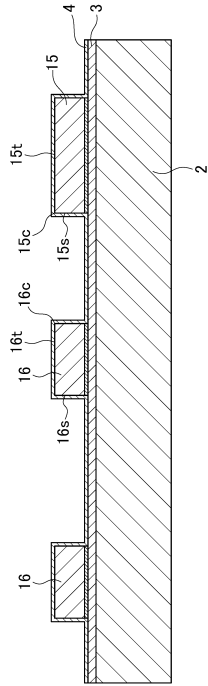


30

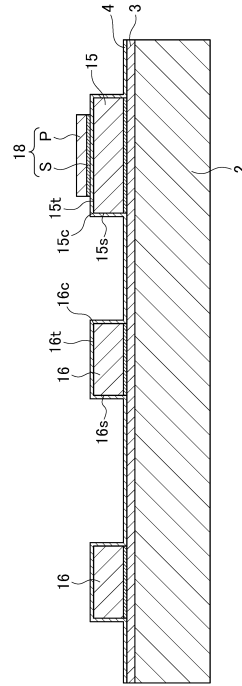
40

50

【図 15】



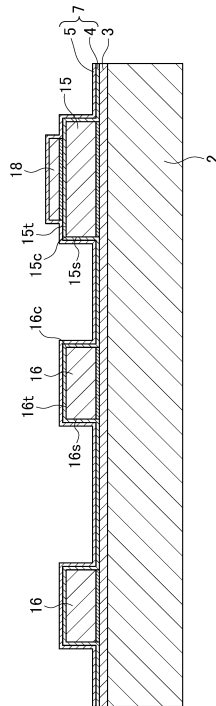
【図 16】



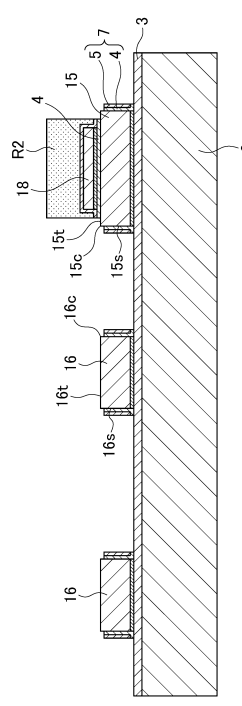
10

20

【図 17】



【図 18】

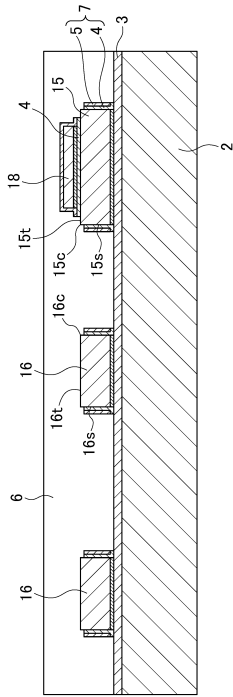


30

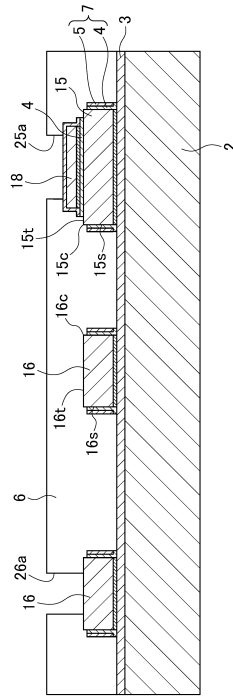
40

50

【図 19】



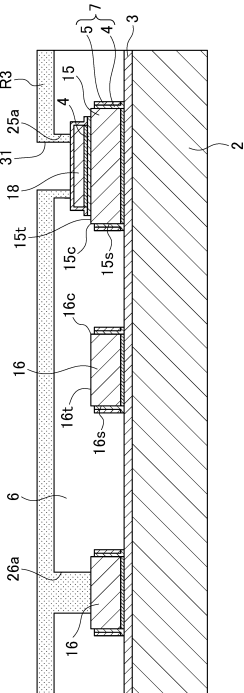
【図 20】



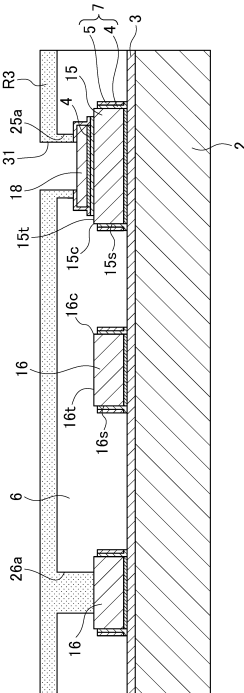
10

20

【図 21】



【図 22】



30

40

50

## フロントページの続き

(51)国際特許分類		F I		
H 0 1 F	17/00 (2006.01)	H 0 1 G	4/40	3 2 1 A
H 0 1 F	27/00 (2006.01)	H 0 1 F	17/00	B
H 0 3 H	7/075(2006.01)	H 0 1 F	27/00	S
		H 0 3 H	7/075	A

## D K 株式会社内

審査官 右田 勝則

(56)参考文献	特開 2 0 0 6 - 2 2 8 9 0 7 ( J P , A )
	特開 2 0 1 8 - 1 0 1 7 8 4 ( J P , A )
	特開平 0 6 - 0 4 5 1 8 8 ( J P , A )
	特開 2 0 0 9 - 1 3 5 3 1 0 ( J P , A )
	国際公開第 2 0 1 8 / 1 2 2 9 9 5 ( W O , A 1 )
	特許第 7 4 4 3 7 3 4 ( J P , B 2 )
(58)調査した分野	(Int.Cl. , D B 名)
	H 0 1 G 4 / 3 3
	H 0 1 G 4 / 3 0
	H 0 1 G 4 / 2 2 4
	H 0 1 G 2 / 1 0
	H 0 1 G 4 / 4 0
	H 0 1 F 1 7 / 0 0
	H 0 1 F 2 7 / 0 0
	H 0 3 H 7 / 0 7 5