

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-179183  
(P2004-179183A)

(43) 公開日 平成16年6月24日(2004.6.24)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 43/08	HO 1 L 43/08	5 F 0 8 3
HO 1 L 27/105	HO 1 L 27/10 4 4 7	

審査請求 未請求 請求項の数 10 O L (全 31 頁)

(21) 出願番号	特願2002-339934 (P2002-339934)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成14年11月22日(2002.11.22)	(74) 代理人	100075812 弁理士 吉武 賢次
		(74) 代理人	100088889 弁理士 橘谷 英俊
		(74) 代理人	100082991 弁理士 佐藤 泰和
		(74) 代理人	100096921 弁理士 吉元 弘
		(74) 代理人	100103263 弁理士 川崎 康

最終頁に続く

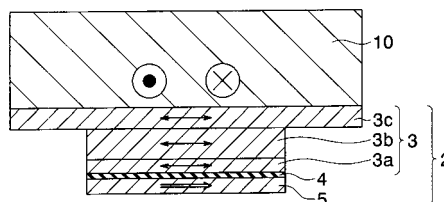
(54) 【発明の名称】 磁気抵抗効果素子および磁気メモリ

(57) 【要約】

【課題】消費電力が少なく熱的安定性に優れた磁気抵抗効果素子および磁気メモリを得ることを可能にする。

【解決手段】トンネルバリア層4と、このトンネルバリア層を挟む一方の側に設けられる磁化固着層となる第1強磁性層5と、トンネルバリア層を挟む他方の側に設けられる第2強磁性層3a、第2強磁性層のトンネルバリア層とは反対側に形成され第2強磁性層よりも膜面の面積が広く外部磁場により磁化方向が反転可能な第3強磁性層3c、および第2強磁性層と第3強磁性層との間に設けられ第3強磁性層の磁化の反転を第2強磁性層に伝達する中間層3bを有する磁化自由層3と、を備え、第2強磁性層と第3強磁性層とは中間層を介して磁氣的に結合している。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

トンネルバリア層と、

このトンネルバリア層を挟む一方の側に設けられる磁化固着層となる第 1 強磁性層と、前記トンネルバリア層を挟む他方の側に設けられる第 2 強磁性層、前記第 2 強磁性層の前記トンネルバリア層とは反対側に形成され前記第 2 強磁性層よりも膜面の面積が広く外部磁場により磁化方向が反転可能な第 3 強磁性層、および前記第 2 強磁性層と前記第 3 強磁性層との間に設けられ前記第 3 強磁性層の磁化の反転を前記第 2 強磁性層に伝達する中間層を有する磁化自由層と、

を備え、前記第 2 強磁性層と前記第 3 強磁性層とは前記中間層を介して磁氣的に結合していることを特徴とする磁気抵抗効果素子。 10

## 【請求項 2】

前記第 3 強磁性層の膜面形状のアスペクト比が 1 以上 2 以下であることを特徴とする請求項 1 記載の磁気抵抗効果素子。

## 【請求項 3】

前記第 1 強磁性層の、前記トンネルバリア層とは反対側の面に形成される反強磁性層を備えていることを特徴とする請求項 1 または 2 記載の磁気抵抗効果素子。

## 【請求項 4】

前記第 1 乃至第 3 強磁性層のうちの少なくとも 1 つの強磁性層は、強磁性層と非磁性層とを交互に積層した積層膜であることを特徴とする請求項 1 乃至 3 のいずれかに記載の磁気抵抗効果素子。 20

## 【請求項 5】

前記中間層は、単層の強磁性層または強磁性層と非磁性層とを交互に積層した積層膜であり、前記積層膜の隣接する前記強磁性層間には前記非磁性層を介して反強磁性交換結合または強磁性交換結合が存在していることを特徴とする請求項 1 乃至 4 のいずれかに記載の磁気抵抗効果素子。

## 【請求項 6】

前記第 2 強磁性層と前記中間層とは膜面形状が同一であり、前記中間層と前記第 3 強磁性層とは磁氣的に接していることを特徴とする請求項 1 乃至 5 のいずれかに記載の磁気抵抗効果素子。 30

## 【請求項 7】

第 1 の配線と、この第 1 の配線に交差する第 2 の配線と、前記第 1 および第 2 の配線の交差領域に設けられる前記第 1 乃至第 5 のいずれかに記載の磁気抵抗効果素子とを備え、前記磁気抵抗効果素子の第 2 および第 3 強磁性層は、前記第 1 および第 2 の配線のすくなくとも一方の配線に電流を流すことにより生じる電流磁場に応じて磁化の向きが変化可能な記憶層となり、前記第 3 強磁性層は前記電流磁場を発生する前記一方の配線に隣接して設けられていることを特徴とする磁気メモリ。

## 【請求項 8】

前記第 3 強磁性層が隣接する前記一方の配線の、前記第 3 強磁性層との隣接する部分を含む周上には、前記第 3 強磁性層によって被覆されない領域が存在することを特徴とする請求項 7 記載の磁気メモリ。 40

## 【請求項 9】

前記第 3 強磁性層が隣接する前記一方の配線には、前記第 3 強磁性層とは反対側の面にヨークが設けられていることを特徴とする請求項 8 記載の磁気メモリ。

## 【請求項 10】

前記磁気抵抗効果素子の記憶情報を読み出すための MOS スイッチまたはダイオードが設けられていることを特徴とする請求項 7 乃至 9 のいずれかに記載の磁気メモリ。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、磁気抵抗効果素子および磁気メモリに関する。

【0002】

【従来の技術】

磁性体膜を用いた磁気抵抗効果素子は、磁気ヘッド、磁気センサーなどに用いられているとともに、固体磁気メモリに用いることが提案されている。特に、高速読み書き、大容量、低消費電力動作が可能な次世代の固体不揮発メモリとして、強磁性体の磁気抵抗効果を利用した磁気ランダムアクセスメモリ（以下、MRAM (Magnetic Random Access Memory) とも云う）への関心が高まっている。

【0003】

近年、2つの強磁性金属層の間に1層の誘電体を挿入したサンドイッチ構造を有し、膜面に対して垂直に電流を流し、トンネル電流を利用した磁気抵抗効果素子として、いわゆる「強磁性トンネル接合素子 (Tunneling Magneto-Resistance effect: TMR素子)」が提案されている。強磁性トンネル接合素子においては、20%以上の磁気抵抗変化率が得られるようになったことから、MRAMへの民生化応用の可能性が高まってきた。

10

【0004】

この強磁性トンネル接合素子は、強磁性層上に0.6nm~2.0nm厚の薄いAl (アルミニウム) 層を成膜した後、その表面を酸素グロー放電または酸素ガスに曝すことにより、 $Al_2O_3$  からなるトンネルバリア層を形成することにより、実現できる。

【0005】

また、この強磁性1重トンネル接合素子を構成する一方の強磁性層に反強磁性層を付与し、他方の強磁性層を磁化固定層とした構造を有する強磁性1重トンネル接合が提案されている。

20

【0006】

また、誘電体中に分散した磁性粒子を介した強磁性トンネル接合素子や、強磁性2重トンネル接合素子も提案されている。

【0007】

これらの強磁性トンネル接合素子においても、20%~50%の磁気抵抗変化率が得られるようになったこと、及び所望の出力電圧値を得るため強磁性トンネル接合素子に印加する電圧値を増やしても磁気抵抗変化率の減少が抑えられることから、MRAMへの応用の

30

【0008】

MRAMにTMR素子を用いる場合、トンネルバリア層を挟む二つの強磁性層のうち、一方が磁化の向きが変化しないように固定した磁化固着層を磁化基準層とし、もう一方が磁化の向きが反転し易いようにした磁化自由層を記憶層とする。基準層と記憶層の磁化の向きが平行な状態と反平行な状態を2進情報の“0”と“1”に対応付けることで情報を記憶することができる。

【0009】

記録情報の書き込みは、TMR素子近傍に設けられた書き込み配線に電流を流して発生する誘導磁場により記憶層の磁化の向きを反転させることにより行う。また、記録情報の読み出しは、TMR効果による抵抗変化分を検出することにより行う。

40

【0010】

基準層の磁化の向きを固定するためには、強磁性層に接するように反強磁性層を設けて交換結合力により磁化反転を起こりにくくするという方法が用いられ、このような構造はスピンバルブ型構造と呼ばれている。この構造において基準層の磁化の向きは磁場を印加しながら熱処理すること(磁化固着アニール)により決定される。一方、記憶層は、磁気異方性を与えることにより磁化容易方向と基準層の磁化の向きとがほぼ同じになるように形成されている。

【0011】

これら強磁性1重トンネル接合あるいは強磁性2重トンネル接合を用いた磁気記録素子は

50

、不揮発性であって書き込み読み出し時間も10ナノ秒以下と速く、かつ書き換え回数も $10^{15}$ 以上というポテンシャルを有する。特に、強磁性2重トンネル接合素子を用いた磁気記録素子は、上述したように、所望の出力電圧値を得るため強磁性トンネル接合素子に印加する電圧値を増やしても磁気抵抗変化率の減少が抑えられるため、大きな出力電圧が得られ、磁気記録素子として好ましい特性を示す。

【0012】

しかし、メモリのセルサイズに関しては、セルが1個のトランジスタと1個のTMR素子から構成されるアーキテクチャを用いた場合、半導体のDRAM(Dynamic Random Access Memory)以下にサイズを小さくできないという問題がある。

10

【0013】

この問題を解決するために、ビット線とワード線との間にTMR素子とダイオードを直列接続したダイオード型アーキテクチャや、ビット線とワード線の間にはTMRセルを配置した単純マトリクス型アーキテクチャが提案されている。

【0014】

しかし、いずれの場合も記憶層への書きこみ時には電流パルスによる電流磁場で反転を行っているため、消費電力が大きく、大容量化したとき配線の許容電流密度に限界があり大容量化できない。また、電流を流す絶対値が1mA以下、DRAMの代替えのためには0.2mA以下でないと電流を流すためのドライバの面積が大きくなり、他の不揮発固体磁気メモリ、例えば、強誘電体キャパシタを用いた強誘電体メモリ(Ferroelectric Random Access Memory)やフラッシュメモリなどと比較した場合チップサイズが大きくなって競争力が無くなってしまふなどの問題点がある。

20

【0015】

上記の問題に対し、書き込み配線の周りに高透磁率の磁性材料からなる薄膜を設けた磁気記憶装置が提案されている(例えば、特許文献1、特許文献2、および特許文献3参照)。これらの磁気記憶装置によれば、配線の周囲に高透磁率の磁性膜が設けられているため、磁気記録層への情報書込に必要な電流値を効率的に低減できる。

【0016】

しかしながら、これらを用いても、書き込み電流値を1mA以下にすることは非常に困難であった。

30

【0017】

また、通常これまでに提案されている強磁性トンネル接合の記憶層(磁化自由層)は、接合分離の際に規定される体積で決まり、デザインルールが $0.25\mu\text{m}$ 以下になると熱安定性の点で問題があった。これらを解決するために記憶層を反強磁性結合した三層膜、または多層膜にすることが提案されている(例えば、特許文献4参照)。

【0018】

【特許文献1】

米国特許第5,659,499号明細書

【特許文献2】

米国特許第5,956,267号明細書

40

【特許文献3】

米国特許第5,940,319号明細書

【特許文献4】

米国特許第5,953,248号明細書

【0019】

【発明が解決しようとする課題】

しかし、上記特許文献4の多層膜の構造にすると、多段ヒステリシスが生じ、MR変化率が低下するという問題が起こる。

【0020】

本発明は、上記事情を考慮してなされたものであって、消費電力が少なく、熱安定性に優

50

れた磁気抵抗効果素子およびこの磁気抵抗効果素子を用いた磁気メモリを提供することを目的とする。

【0021】

【課題を解決するための手段】

本発明の第1の態様による磁気抵抗効果素子は、トンネルバリア層と、このトンネルバリア層を挟む一方の側に設けられる磁化固着層となる第1強磁性層と、前記トンネルバリア層を挟む他方の側に設けられる第2強磁性層、前記第2強磁性層の前記トンネルバリア層とは反対側に形成され前記第2強磁性層よりも膜面の面積が広く外部磁場により磁化方向が反転可能な第3強磁性層、および前記第2強磁性層と前記第3強磁性層との間に設けられ前記第3強磁性層の磁化の反転を前記第2強磁性層に伝達する中間層を有する磁化自由層と、を備え、前記第2強磁性層と前記第3強磁性層とは前記中間層を介して磁氣的に結合していることを特徴とする。

10

【0022】

なお、前記第3強磁性層の膜面形状のアスペクト比が1以上2以下であることが好ましい。

【0023】

なお、前記第1強磁性層の、前記トンネルバリア層とは反対側の面に形成される反強磁性層を備えていることが好ましい。

【0024】

なお、前記第1乃至第3強磁性層のうちの少なくとも1つの強磁性層は、強磁性層と非磁性層とを交互に積層した積層膜であることが好ましい。

20

【0025】

なお、前記中間層は、単層の強磁性層または強磁性層と非磁性層とを交互に積層した積層膜であり、前記積層膜の隣接する前記強磁性層間には前記非磁性層を介して反強磁性交換結合または強磁性交換結合が存在していることが好ましい。

【0026】

なお、前記第2強磁性層と前記中間層とは膜面形状が同一であり、前記中間層と前記第3強磁性層とは磁氣的に接していることが好ましい。

【0027】

本発明の第2の態様による磁気メモリは、第1の配線と、この第1の配線に交差する第2の配線と、前記第1および第2の配線の交差領域に設けられる上記記載の磁気抵抗効果素子とを備え、前記磁気抵抗効果素子の第2および第3強磁性層は、前記第1および第2の配線のすくなくとも一方の配線に電流を流すことにより生じる電流磁場に応じて磁化の向きが変化可能な記憶層となり、前記第3強磁性層は前記電流磁場を発生する前記一方の配線に隣接して設けられていることを特徴とする。

30

【0028】

なお、前記第3強磁性層が隣接する前記一方の配線の、前記第3強磁性層との隣接する部分を含む周上には、前記第3強磁性層によって被覆されない領域が存在することが好ましい。

【0029】

なお、前記第3強磁性層が隣接する前記一方の配線には、前記第3強磁性層とは反対側の面にヨークが設けられていることが好ましい。

40

【0030】

なお、前記磁気抵抗効果素子の記憶情報を読み出すためのMOSスイッチまたはダイオードが設けられていても良い。

【0031】

【発明の実施の形態】

以下、図面を参照しつつ本発明の実施形態を説明する。

【0032】

(第1実施形態)

50

本発明の第1実施形態による磁気抵抗効果素子の構成を図1に示す。この実施形態の磁気抵抗効果素子2は、磁気メモリのメモリセルに用いられる強磁性トンネル接合素子（以下、TMR素子ともいう）であって、磁化自由層3と、トンネルバリア層4と、基準層となる磁化固着層5とを備えている。磁化自由層3は、トンネルバリア層4を挟んで磁化固着層5とは反対側に設けられる記憶層となる強磁性層3aと、中間層3bと、この中間層3bを介して磁氣的に交換結合する磁性層3cとを備えている。磁性層3cは、TMR素子2に書き込みデータを書き込む際に書き込み電流が流れる書き込み配線10に隣接して設けられる。

#### 【0033】

本実施形態においては、強磁性層3a、中間層3b、トンネルバリア層4、および磁化固着層5は、平面形状がほぼ同一であり、アスペクト比（＝長軸方向の長さ／短軸方向の長さ）が2以下であるように構成されている。また、書き込み配線10に隣接する磁性層3cは、膜面の面積が強磁性層3aのそれより大きくなるように構成されている。

10

#### 【0034】

つまり、強磁性層3a、中間層3b、磁性層3cは断面図で見るとT型の磁化自由層3を形成することになる。このT型磁化自由層3において、磁気モーメントの方向は主に、書き込み配線10に隣接して設けられた磁性層3cが担うことになる。すなわち、磁性層3cに主に、磁気異方性が付与されている。それに比べて、強磁性層3a、中間層3bの磁気異方性は小さく制御する。この制御は、たとえば後述するように、それぞれの平面形状を制御することによって、容易に作製できる。強磁性層3a、中間層3b、磁性層3c間

20

#### 【0035】

このような構造のT型磁化自由層においては、書き込み配線10に電流パルスを流し、電流磁界を印加した場合、書き込み配線10と、書き込み配線10に隣接して設けられた磁性層3c間の距離が非常に近いため、電流磁界が磁性層3cに有効に作用し、磁性層3cを低電流で容易にスイッチングできることになる。

書き込み配線10に隣接して設けられた磁性層3cがスピン反転すると、それよりも磁気異方性が小さく設定された強磁性層3a、中間層3bは磁氣的な交換結合によって同時に反転する。すなわち、中間層3bは、磁性層3cの磁化の反転を磁性層3aに伝達する。

#### 【0036】

また、T型磁化自由層3の体積は、強磁性層3aのみからなる従来の磁化自由層に比べて非常に大きいため、熱安定性にも優れ、0.1 $\mu$ m以下のデザインルールにおいても安定にスピン磁気モーメントは維持されることになり、1Gbit（Gigabit）以上のMRAMの実用化が可能となる。

30

#### 【0037】

また、本実施形態においては、強磁性層3aおよび中間層3bは、低アスペクト比であるので、大容量化が可能となる。

#### 【0038】

なお、中間層3bは、単層の磁性層でも良いし、図2(a)、(b)に示すように磁性層3b1と非磁性層3b2が交互に積層された多層膜でも良い。磁性層と非磁性層が交互に積層された多層膜の場合、隣接する磁性層間に非磁性層を介した反強磁性交換結合または強磁性交換結合が存在することが好ましい。なお、図2(b)においては、中間層3bは、反強磁性交換結合を示している。そして、このような構成の中間層3bおよび強磁性層3aならびに磁性層3cを有する磁化自由層3と、トンネルバリア層4と、磁化固着層5とを備えた強磁性トンネル接合型磁気抵抗効果素子2は、メモリセルを構成する要素として、一般に図2(a)に示すように、上部配線（書き込み配線）10と、下部配線20との交差点毎に設けられる。

40

#### 【0039】

次に、本実施形態による磁気抵抗効果素子の第1乃至第8変形例を、図3乃至図10を説明する。図3に第1変形例による磁気抵抗効果素子の構成を示す。この第1変形例による

50

磁気抵抗効果素子 2 は、図 1 に示す強磁性トンネル接合素子において、書き込み配線 10 に隣接して設けられる磁性層 3c が書き込み配線 10 の側部にも延在するように構成となっている。なお、この第 1 変形例においては、強磁性体からなる磁化固着層 5 の磁化を固着させる反強磁性層 6 が、磁化固着層 5 の、トンネルバリア層 4 が設けられた側とは反対側に面に設けられているが、図 1 に示す第 1 実施形態においては、反強磁性層 6 は設けられており、省略されている。磁化固着層 5 の磁化が他の方法によって固定されれば反強磁性層 6 は不要となるが、この反強磁性層 6 によって磁化固着層 5 の磁化を固定するのが好ましい。なお、以降の変形例においても反強磁性層 6 が設けられている。この第 1 変形例による磁気抵抗効果素子は、第 1 実施形態の場合に比べて、磁化自由層 3 の体積が増えているので、熱的安定性が増す。

10

## 【0040】

図 4 に、第 2 変形例による磁気抵抗効果素子の構成を示す。この第 2 変形例の磁気抵抗効果素子 2 は、図 1 に示す強磁性トンネル接合素子において、中間層 3b を磁性層と非磁性層とが交互に積層された多層膜としたものである。

## 【0041】

この多層膜においては、隣接する磁性層間に非磁性層を介した反強磁性交換結合または強磁性交換結合が存在する。

## 【0042】

なお、書き込み配線に隣接する磁性層 3c と、中間層 3b を構成する磁性層のうち磁性層 3c に最も近い磁性層との間には、非磁性層が存在していても良いし、直接に接していても良い。また、記憶層となる強磁性層 3a と、中間層 3b を構成する磁性層のうち強磁性層 3a に最も近い磁性層との間には、非磁性層が存在していても良いし、直接に接していても良い。

20

## 【0043】

この第 2 変形例による磁気抵抗効果素子 2 は、第 1 実施形態の場合に比べて、磁化自由層 3 の体積が増えているので、熱的安定性が増す。また、中間層 3b が磁性層と非磁性層とを交互に積層した多層膜構造となっているので、多段ヒステリシスが生じるのを防止することが可能となり、MR 変化率 (MR 比) を高くすることができ、高出力化できる。

## 【0044】

図 5 に、第 3 変形例による磁気抵抗効果素子の構成を示す。この第 3 変形例による磁気抵抗効果素子 2 は、図 4 に示す第 2 変形例において、磁性層 3c を書き込み配線 10 の側部にも延在するように構成されている。この第 3 変形例による磁気抵抗効果素子は、磁化自由層 3 の体積が第 2 変形例に比べて増えているので、熱安定性が増す。また、中間層 3b が磁性層と非磁性層とを交互に積層した多層膜構造となっているので、MR 比が高くなり、高出力化できる。

30

## 【0045】

図 6 に、第 4 変形例による磁気抵抗効果素子の構成を示す。この第 5 変形例による磁気抵抗効果素子 2 は、図 5 に示す第 3 変形例において、書き込み配線 10 の、磁性層 3c の設けられた側とは反対側に磁性体被覆膜 (ヨーク) 8 を設けた構成となっている。書き込み配線 10 にヨーク 8 をさらに設けると、更なる書き込み電流の低減が可能となり、0.2 mA 以下の書き込み電流でスピン反転が可能となる。なお、電流が書き込み配線 10 に流れていないときは、ヨーク 8 と、磁気抵抗効果素子 2 の磁化自由層 3 との磁氣的相互作用はない。磁化自由層 3 の体積が従来の場合に比べて大きいので熱的安定性が増す。また、中間層 3b が磁性層と非磁性層とを交互に積層した多層膜構造となっているので、MR 比が高くなり、高出力化できる。

40

## 【0046】

図 7 に、第 5 変形例による磁気抵抗効果素子の構成を示す。この第 5 変形例による磁気抵抗効果素子 2 は、図 4 に示す第 2 変形例において、書き込み配線 10 に隣接する磁性層 3c を磁性層 3c1、非磁性層 3c2、および磁性層 3c3 からなる積層構造としたものである。このように、磁性層 3c を積層構造の多層膜とすることにより、磁化自由層 3 の体

50

積が、第2変形例の場合に比べて大きくなるので、更なる熱的安定性の向上をはかることができる。また、中間層3bが磁性層と非磁性層とを交互に積層した多層膜構造となっているので、MR比が高くなり、高出力化できる。

【0047】

図8に、第6変形例による磁気抵抗効果素子の構成を示す。この第6変形例による磁気抵抗効果素子2は、図7に示す第5変形例において、書き込み配線10の、磁性層3cが設けられた側とは反対側にヨーク8を設けた構成となっている。この第6変形例も第5変形例と同様に、更なる熱安定性の向上をはかることができる。また、ヨーク8が設けられているので、更なる書き込み電流の低減が可能となり、0.2mA以下の書き込み電流でスピン反転が可能となる。なお、電流が書き込み配線10に流れていないときは、ヨーク8と、磁気抵抗効果素子2の磁化自由層3との磁氣的相互作用はない。また、中間層3bが磁性層と非磁性層とを交互に積層した多層膜構造となっているので、MR比が高くなり、高出力化できる。

10

【0048】

図9に、第7変形例による磁気抵抗効果素子の構成を示す。この第7変形例による磁気抵抗効果素子2は、図5に示す第3変形例による磁気抵抗効果素子2と同じ構成を有しており、書き込み配線10上に設けた構成となっている。この第7変形例も、第3変形例と同様に、熱的安定性の向上をはかることができる。また、中間層3bが磁性層と非磁性層とを交互に積層した多層膜構造となっているので、MR比が高くなり、高出力化できる。

20

【0049】

図10に、第8変形例による磁気抵抗効果素子の構成を示す。この第8変形例による磁気抵抗効果素子2は、図8に示す第6変形例の磁気抵抗効果素子と同じ構成を有しており、書き込み配線10上に設けられた構成となっている。この第8変形例も第6変形例と同様に、熱的安定性の向上をはかることができる。また、中間層3bが磁性層と非磁性層とを交互に積層した多層膜構造となっているので、MR比が高くなり、高出力化できる。また、ヨーク8が設けられているので、更なる書き込み電流の低減が可能となり、0.2mA以下の書き込み電流でスピン反転が可能となる。なお、電流が書き込み配線10に流れていないときは、ヨーク8と、磁気抵抗効果素子2の磁化自由層3との磁氣的相互作用はない。

30

【0050】

次に、第1実施形態による磁気抵抗効果素子を構成する磁化自由層3に含まれる、書き込み配線10に隣接して設けられる磁性層3cの平面形状について図11を参照して説明する。この磁性層3cの各種の平面形状を図11(a)乃至図11(f)に示す。図11(a)は楕円形状、図11(b)はラグビーボール形状、図11(c)は長方形から角部の面取りを行った形状、図11(d)は長方形形状、図11(e)は八角形形状、図11(f)は十字形状を示す。これらの磁性層3cの平面形状は、図11(e)に示す八角形および図11(f)に示す十字形状を除いて、アスペクト比(=長軸/短軸)が1より大きいことが好ましい。すなわち、書き込み配線10を流れる電流方向の長さに対してこの電流方向にほぼ直交する方向の長さL1が長くなるように形成されている。なお、電流方向が短軸であり、電流方向にほぼ直交する方向が長軸である。後に示すように、2つの略直行する配線に電流パルスを加えてスピン反転を行う場合、この形状にすることによって、安定した磁気異方性を付与できるほか、アステロイド曲線の形がよくなる。アスペクト比が1:1の場合は、磁性層3cの平面形状を八角形形状、十字形状にすると、アステロイド曲線の形がよくなる。アステロイドの形が良いという意味は、図13に示すアステロイド曲線g1のように、他のアステロイド曲線g2、g3に比べて座標軸側にあり、このため、スピン反転時のスイッチング磁界の値は小さく、スピン反転以外の時のスイッチング磁界の値が大きいことを意味する。このようなアステロイド形状をしていると、セル選択が容易である。

40

【0051】

図12(a)乃至図12(h)に、中間層3bの平面形状を示す。図12(a)乃至図1

50



2 (d) は、書き込み配線 10 を流れる電流方向の長さ W と、電流方向に直交する方向の長さ L との比が 1 : 1 のものを示し、図 12 (e) 乃至図 12 (h) は、L が W よりも長いものを示している。なお、L は磁性層 3c の長軸方向の長さ L<sub>1</sub> よりも短くなるように構成されている。

【0052】

いずれの場合も書き込み配線 10 に隣接して設けられた磁性層 3c の平面の面積は、トンネル接合型磁気抵抗効果素子を構成する中間層 3b や強磁性層 3a の平面の面積よりも大きくなるように構成されている。

【0053】

これらの磁気抵抗効果素子 2 において、磁化固着層 5、記憶層となる磁性層 3a、中間層 3b に用いることができる強磁性体としては、例えば、Fe (鉄)、Co (コバルト)、Ni (ニッケル) またはこれらの合金や、スピン分極率の大きいマグネタイト、CrO<sub>2</sub>、R<sub>x</sub>MnO<sub>3-y</sub> (ここで R は希土類、X は Ca (カルシウム)、Ba (バリウム)、Sr (ストロンチウム) のいずれかを表す) などの酸化物、あるいは、NiMnSb (ニッケル・マンガン・ニオブ)、PtMnSb (白金マンガン・アンチモン) などのホイスラー合金などを用いることができる。

【0054】

これらの材料からなる磁化固着層 5 としては一方向異方性 (形状異方性) を、磁性層 3a、中間層 3b としては、一軸異方性を有することが望ましい。またその厚さは 0.1 nm から 100 nm が好ましい。さらに、これらの強磁性層 5、3a、3b の膜厚は、超常磁性にならない程度の厚さが必要であり、0.4 nm 以上であることがより望ましい。

【0055】

また、磁化固着層 5 として用いる強磁性層には、反強磁性膜を付加して磁化を固着することが望ましい。そのような反強磁性膜としては、Fe (鉄) - Mn (マンガン)、Pt (白金) - Mn (マンガン)、Pt (白金) - Cr (クロム) - Mn (マンガン)、Ni (ニッケル) - Mn (マンガン)、Ir (イリジウム) - Mn (マンガン)、NiO (酸化ニッケル)、Fe<sub>2</sub>O<sub>3</sub> (酸化鉄) などを挙げることができる。

【0056】

また、これら磁性体には、Ag (銀)、Cu (銅)、Au (金)、Al (アルミニウム)、Mg (マグネシウム)、Si (シリコン)、Bi (ビスマス)、Ta (タンタル)、B (ボロン)、C (炭素)、O (酸素)、N (窒素)、Pd (パラジウム)、Pt (白金)、Zr (ジルコニウム)、Ir (イリジウム)、W (タングステン)、Mo (モリブデン)、Nb (ニオブ)、B (ボロン) などの非磁性元素を添加して、磁気特性を調節したり、その他、結晶性、機械的特性、化学的特性などの各種物性を調節することができる。

【0057】

一方、磁化固着層 5、磁性層 3a、中間層 3b として、強磁性層と非磁性層の積層膜を用いても良い。例えば、強磁性層 / 非磁性層 / 強磁性層 という 3 層構造または、3 層以上の多層膜を用いることができる。この場合、非磁性層を挟んでいる強磁性層には反強磁性的な層間の相互作用が働いていることが望ましい。

【0058】

より具体的には、磁性層の磁化を一方向に固着する方法として、Co または Co - Fe / Ru (ルテニウム) / Co または Co - Fe からなる 3 層構造の積層膜、Co (Co - Fe) / Ir (イリジウム) / Co (Co - Fe) からなる 3 層構造の積層膜、Co または Co - Fe / Os (オスニウム) / Co または Co - Fe からなる 3 層構造の積層膜、Co または Co - Fe / Re (レニウム) / Co または Co - Fe からなる 3 層構造の積層膜、Co - Fe - B などのアモルファス材料層 / Ru (ルテニウム) / Co - Fe - B などのアモルファス材料層からなる 3 層構造の積層膜、Co - Fe - B などのアモルファス材料層 / Ir (イリジウム) / Co - Fe - B などのアモルファス材料層からなる 3 層構造の積層膜、Co - Fe - B などのアモルファス材料層 / Os (オスニウム) / Co - Fe - B などのアモルファス材料層からなる 3 層構造の積層膜、Co - Fe - B な

10

20

30

40

50

どのアモルファス材料層 / Re (レニウム) / Co - Fe - B などのアモルファス材料層からなる 3 層構造の積層膜を用いる。これら積層膜を磁化固着層として用いる場合は、さらに、これに隣接して反強磁性膜を設けることが望ましい。この場合の反強磁性膜としても、前述したものと同様に、Fe - Mn、Pt - Mn、Pt - Cr - Mn、Ni - Mn、Ir - Mn、NiO、Fe<sub>2</sub>O<sub>3</sub> などを用いることができる。この構造を用いると、磁化固着層 5 の磁化がビット線やワード線からの電流磁界の影響をより受け難く、しっかりと磁化が固着される。また、磁化固着層 5 からの漏洩磁界 (stray field) を減少 (あるいは調節) でき、磁化固着層 5 を形成する 2 層の強磁性層の膜厚を変えることにより、磁気記録層 3 a の磁化シフトを調整することができる。この強磁性層の膜厚は、超常磁性にならない程度の厚さが必要であり、0.4 nm 以上であることがより望ましい。

10

## 【0059】

また、磁気記録層 3 c として、軟磁性層 / 強磁性層という 2 層構造、または、強磁性層 / 軟磁性層 / 強磁性層という 3 層構造を用いても良い。磁気記録層 3 c として、強磁性層 / 非磁性層 / 強磁性層という 3 層構造、強磁性層 / 非磁性層 / 強磁性層 / 非磁性層 / 強磁性層という 5 層構造を用いて、強磁性層の層間の相互作用の強さを制御することにより、メモリセルである磁気記録層のセル幅がサブミクロン以下になっても、電流磁界の消費電力を増大させずに済むというより好ましい効果が得られる。この際、強磁性層の種類、膜厚を変えてもかまわない。

## 【0060】

特に、トンネルバリア膜 4 に近い強磁性層には MR 比が大きくなる Co - Fe, Co - Fe - Ni、Fe リッチ Ni - Fe を使い、トンネルバリア膜 4 と接していない強磁性体には Ni リッチの Ni - Fe, Ni リッチの Ni - Fe - Co などを用いると MR 比を大きく保ったまま、スイッチング磁界を低減でき、より好ましい。非磁性材料としては、Ag (銀)、Cu (銅)、Au (金)、Al (アルミニウム)、Ru (ルテニウム)、Os (オスニウム)、Re (レニウム)、Si (シリコン)、Bi (ビスマス)、Ta (タンタル)、B (ボロン)、C (炭素)、Pd (パラジウム)、Pt (白金)、Zr (ジルコニウム)、Ir (イリジウム)、W (タングステン)、Mo (モリブデン)、Nb (ニオブ)、またはそれら合金を用いることができる。

20

## 【0061】

磁気記録層 3 a においても、これら磁性体には Ag (銀)、Cu (銅)、Au (金)、Al (アルミニウム)、Ru (ルテニウム)、Os (オスニウム)、Re (レニウム)、Mg (マグネシウム)、Si (シリコン)、Bi (ビスマス)、Ta (タンタル)、B (ボロン)、C (炭素)、O (酸素)、N (窒素)、Pd (パラジウム)、Pt (白金)、Zr (ジルコニウム)、Ir (イリジウム)、W (タングステン)、Mo (モリブデン)、Nb (ニオブ) などの非磁性元素を添加して、磁気特性を調節したり、その他、結晶性、機械的特性、化学的特性などの各種物性を調節することができる。

30

## 【0062】

一方、磁気抵抗効果素子として TMR 素子を用いる場合に、磁化固着層 5 と磁気記録層 3 a との間に設けられるトンネルバリア層 4 となる絶縁層 (あるいは誘電体層) としては、Al<sub>2</sub>O<sub>3</sub> (酸化アルミニウム)、SiO<sub>2</sub> (酸化シリコン)、MgO (酸化マグネシウム)、AlN (窒化アルミニウム)、Bi<sub>2</sub>O<sub>3</sub> (酸化ビスマス)、MgF<sub>2</sub> (フッ化マグネシウム)、CaF<sub>2</sub> (フッ化カルシウム)、SrTiO<sub>2</sub> (酸化チタン・ストロンチウム)、AlLaO<sub>3</sub> (酸化ランタン・アルミニウム)、Al - N - O (酸化窒化アルミニウム) などの各種の絶縁体 (誘電体) を用いることができる。

40

## 【0063】

これらの絶縁体は、化学量論的にみて完全に正確な組成である必要はなく、酸素、窒素、フッ素などの欠損、あるいは過不足が存在していてもよい。また、この絶縁層 (誘電体層) 4 の厚さは、トンネル電流が流れる程度に薄い方が望ましく、実際上は、10 nm 以下であることが望ましい。

## 【0064】

50

このような磁気抵抗効果素子は、各種スパッタ法、蒸着法、分子線エピタキシャル法などの通常の薄膜形成手段を用いて、所定の基板上に形成することができる。この場合の基板としては、例えば、Si（シリコン）、SiO<sub>2</sub>（酸化シリコン）、Al<sub>2</sub>O<sub>3</sub>（酸化アルミニウム）、スピネル、AlN（窒化アルミニウム）など各種の基板を用いることができる。

#### 【0065】

また、基板の上に、下地層や保護層、ハードマスクなどとして、Ta（タンタル）、Ti（チタン）、Pt（白金）、Pd（パラジウム）、Au（金）、Ti（チタン）/Pt（白金）、Ta（タンタル）/Pt（白金）、Ti（チタン）/Pd（パラジウム）、Ta（タンタル）/Pd（パラジウム）、Cu（銅）、Al（アルミニウム）-Cu（銅）、Ru（ルテニウム）、Ir（イリジウム）、Os（オスミウム）などからなる層を設けても良い。

10

#### 【0066】

##### （第2実施形態）

次に、本発明の第2実施形態による磁気メモリを、図14（a）、（b）を参照して説明する。図14（a）は、本実施形態による磁気メモリの単位メモリセルの構成を示す図であり、図14（b）は図14（a）に示す切断線A-Aで切断したときの断面図である。この実施形態による磁気メモリは、複数のビット線BL（図14においては、1本のビット線BL）と、これらのビット線BLと交差する複数のワード線WL（図14においては、1本のワード線WL）と、ビット線BLとワード線WLとの交差点毎に設けられた複数のメモリセル（図14では1個のメモリセル（単位セル））とを備えている。すなわち、メモリセルはマトリクス状に配置され、メモリセルアレイを構成する。各メモリセルは、ビット線BLとワード線WLとの交差点に設けられた磁気抵抗効果素子からなる記憶素子2と、読み出しセル選択トランジスタ18とを備えている。読み出しセル選択トランジスタ18は、ソース・ドレイン領域18a、18b、およびゲート電極18cとを備えている。

20

#### 【0067】

この実施形態に用いられる記憶素子2は、第1実施形態またはその変形例で説明したTMR素子である。すなわち、TMR素子2の一方の端部となるT型磁化自由層は書き込み配線となるビット線BLに隣接するように設けられている。また、ビット線BLの、T型磁化自由層が設けられた側とは反対側にヨーク8が設けられている。TMR素子2のT型磁化自由層とは反対側の端部が引き出し電極12、接続プラグ14を介して読み出しセルトランジスタ18のソース・ドレインのうち一方の領域18aに接続されている。

30

#### 【0068】

ワード線WLは、引き出し電極12の下方に絶縁膜（図示せず）を介して配置されており、ヨーク22が被覆されている。

#### 【0069】

メモリセルを構成するTMR素子2へのデータの書き込みは、対応するビット線BLとワード線WLに書き込み電流を流がし、この書き込み電流によって生じる電流磁場を合成した磁場により行う。メモリセルを構成するTMR2からのデータの読み出しは、このメモリセルの読み出しセルトランジスタ18をONにし、TMR素子2を介してビット線BLにセンス電流を流すことにより行う。

40

#### 【0070】

この第2実施形態による磁気メモリは、記憶素子として、第1実施形態またはその変形例のいずれかのTMR素子を用いているため、書き込み電流を低減することができるとともに熱安定性に優れたものとなる。また、TMR素子を構成する中間層を、磁性層と非磁性層とを交互に積層して多層膜とした場合には、MR比が高くなり、高出力化できる。

#### 【0071】

##### （第3実施形態）

次に、本発明の第3実施形態による磁気メモリを、図15（a）、（b）を参照して説明

50

する。図15(a)は、本実施形態による磁気メモリの単位メモリセルの構成を示す図であり、図15(b)は図15(a)に示す切断線A-Aで切断したときの断面図である。この実施形態による磁気メモリは、図14に示す第2実施形態による磁気メモリにおいて、ビット線BLに設けられるヨーク8がビット線BLの側部にも延在するように構成したものである。これにより、第2実施形態に比べて、書き込み電流をさらに低減することができる。なお、TMR素子2のT型磁化自由層と、ヨークとは接続されておらず、ビット線BLに電流が流れていないときには、磁氣的相互作用はない。

【0072】

この実施形態による磁気メモリは、第2実施形態の場合と同様に、熱的安定性に優れたものとなる。

10

【0073】

(第4実施形態)

次に、本発明の第4実施形態による磁気メモリの構成を示す図であり、図16(a)、(b)を参照して説明する。図16(a)は、本実施形態による磁気メモリの単位メモリセルの構成を示す図であり、図16(b)は図16(a)に示す切断線A-Aで切断したときの断面図である。この実施形態による磁気メモリは、第2実施形態による磁気メモリにおいて、TMR素子2を構成するT型磁化自由層がビット線BLではなくワード線WLに隣接して設けられ、TMR素子2のT型磁化自由層とは反対側の端部が引き出し電極12、接続プラグ14を介して読み出しセルトランジスタ18のソース領域18aに接続されている。そして、引き出し電極12の上方には絶縁膜(図示せず)を介してビット線BLが配置されている。このビット線BLには引き出し電極12の側部まで延在するヨーク8が設けられている。

20

【0074】

このように、ヨーク8をTMR素子2の近くまで延在するように構成したことにより、書き込み電流をさらに低くすることが可能となり、低消費電力化することができる。また、第2実施形態の場合と同様に、熱的安定性に優れたものとなる。

【0075】

また、第2乃至第4実施形態において、更なる超大容量化メモリを実現するためには、メモリセルアレイを積層化できるアーキテクチャを用いて、多層化することが望ましい。

【0076】

(第5実施形態)

次に、本発明の第5実施形態による磁気メモリの構成を示す図、図17(a)、(b)、(c)を参照して説明する。図17(a)は本実施形態による磁気メモリの構成を示す図、図17(b)は本実施形態による磁気メモリの単位メモリセルの構成を示す図、図17(c)は図17(b)に示す切断線A-Aで切断したときの断面図である。

30

【0077】

この実施形態による磁気メモリは、読み出し/書き込み用ビット線BLにTMR素子2がそれぞれダイオード9を介して並列に接続されている。なお、TMR素子は第1実施形態またはその変形例のいずれかのTMR素子である。それぞれのTMR素子2の他端には、読み出し/書き込み用ワード線WLが接続されている。なお、TMR素子2を構成するT型磁化自由層はワード線WLに隣接して設けられている。TMR素子2の、T型磁化自由層とは反対側の端部がダイオード9を介してビット線BLに接続されている。

40

【0078】

読み出し時には、目的のTMR素子9に接続されているビット線BLとワード線WLとをそれぞれ選択トランジスタSTB、STwにより選択してセンスアンプSAにより目的のTMR素子2を流れる電流を検出する。また、書き込み時には、やはり目的のTMR素子2に接続されているビット線BLとワード線WLとをそれぞれ選択トランジスタSTB、STwにより選択して、書き込み電流を流す。この際に、ビット線BLとワード線WLにそれぞれ発生する磁界を合成した書き込み磁界がTMR素子2の磁気記録層の磁化を所定の方向に向けることにより、書き込みができる。

【0079】

50

ダイオード9は、これら読み出し時あるいは書き込み時に、マトリクス状に配線されている他のTMR素子2を介して流れる迂回電流を遮断する役割を有する。

【0080】

なお、図17(b)においては、簡単のために、ビット線BL、TMR素子2、ダイオード9、ワード線WLのみを表し、それら以外の要素は省略した。図17(b)に示したように、書き込みは、直交するビット線BLとワード線WLを用いて行う。ビット線BLおよびワード線WLには、それぞれヨーク8、22が施されている。これらのヨーク8、22はTMR素子2の近くまで延在した構成となっている。このように、ビット線BL、ワード線WLを被覆しているヨークをTMR素子のT型磁化自由層に近づけることができるため、低消費電力、低電流で書き込みを行うことができる。また、T型磁化自由層を有するTMR素子を用いているため、熱的安定性に優れたものとなる。

10

【0081】

なお、更なる超大容量化メモリを実現するためには、メモリアレイを積層化できるアーキテクチャを用いて、多層化することが望ましい。

【0082】

(第6実施形態)

次に、本発明の第6実施形態による磁気メモリを、図18(a)、(b)、(c)を参照して説明する。図18(a)は本実施形態による磁気メモリの構成を示す図、図18(b)は本実施形態による磁気メモリの単位メモリセルの構成を示す図、図18(c)は図18(b)に示す切断線A-Aで切断したときの断面図である。

20

【0083】

この実施形態による磁気メモリは、読み出し/書き込み用ビット線Bwと読み出し用ビット線Brとの間に複数のTMR素子2が並列に接続された「ハシゴ型」の構成とされている。さらに、それぞれのTMR素子2に近接して、書き込みワード線Wがビット線Bwと交差する方向に配線されている。

【0084】

TMR素子2への書き込みは、書き込み用ビット線Bwに書き込み電流を流すことにより発生する磁界と、書き込みワード線WLに書き込み電流を流すことにより発生する磁場との合成磁場をTMR素子2の磁気記録層に作用させることにより、行うことができる。

【0085】

一方、読み出しの際には、ビット線Bwとビット線Brとの間で電圧を印加する。すると、これらの中で並列に接続されている全てのTMR素子2に電流が流れる。この電流の合計をセンスアンプSAにより検出しながら、目的のTMR素子2に近接したワード線WLに書き込み電流を印加して、目的のTMR素子2の磁気記録層の磁化を所定の方向に書き換える。この時の電流変化を検出することにより、目的のTMR素子2の読み出しを行うことができる。

30

【0086】

すなわち、書き換え前の磁気記録層の磁化方向が書き換え後の磁化方向と同一であれば、センスアンプSAにより検出される電流は変化しない。しかし、書き換え前後で磁気記録層の磁化方向が反転する場合には、センスアンプSAにより検出される電流が磁気抵抗効果により変化する。このようにして書き換え前の磁気記録層の磁化方向すなわち、格納データを読み出すことができる。

40

【0087】

但し、この方法は、読み出しの際に格納データを変化させる、いわゆる「破壊読み出し」に対応する。

【0088】

これに対して、磁気抵抗効果素子の構成を、磁化自由層/絶縁層(非磁性層)/磁気記録層、という構造とした場合には、いわゆる「非破壊読み出し」が可能である。すなわち、この構造の磁気抵抗効果素子を用いる場合には、磁気記録層に磁化方向を記録し、読み出しの際には、磁化自由層の磁化方向を適宜変化させてセンス電流を比較することにより、

50

磁気記録層の磁化方向を読み出すことができる。但しこの場合には、磁気記録層の磁化反転磁界よりも磁化自由層の磁化反転磁界のほうが小さくなるように設計する必要がある。

【0089】

なお、図18(b)においては、簡単のために、ビット線 $B_r$ 、 $B_w$ 、TMR素子2、ワード線 $W_L$ のみを表し、それら以外の要素は省略した。図18(b)に示したように、書きこみは、ビット線 $B_r$ 、 $B_w$ とワード線 $W_L$ を用いて行う。

【0090】

なお、本実施形態においては、TMR素子2を構成するT型磁化自由層はビット線 $B_w$ に隣接して設けられている。TMR素子2の、T型磁化自由層とは反対側の端部がビット線 $B_r$ に接続された構成となっている。ビット線 $B_r$ の上方に絶縁膜(図示せず)を介してワード線 $W_L$ が配置されている。ワード線 $W_L$ にはビット線 $B_r$ の側部まで延在するようにヨーク22が設けられており、ビット線 $B_w$ には、TMR素子2のT型磁化自由層に近接するようにヨーク8が設けられている。このように、ビット線 $B_r$ 、ワード線 $W_L$ を被覆しているヨークをTMR素子のT型磁化自由層に近づけることができるため、低消費電力、低電流で書き込みを行うことができる。また、T型磁化自由層を有するTMR素子を用いているため、熱的安定性に優れたものとなる。

【0091】

(第7実施形態)

次に、本発明の第7実施形態による磁気メモリを、図19(a)、(b)を参照して説明する。図19(a)は、本実施形態による磁気メモリのメモリセルアレイの構成を示す図であり、図19(b)は図19(a)に示す切断線A-Aで切断したときの断面図である。この実施形態による磁気メモリは、単純マトリックス/二重トンネル型読み出しを行うものである。この実施形態においては、T型磁化自由層を有するTMR素子 $2_1$ 、 $2_2$ は、ビット線 $B_L$ の上下に配置され、二重トンネル型読み出しの場合は、読み出しビット線 $B_r1$ と読み出しビット線 $B_r2$ の間に電流を流し、抵抗が大きいか小さいかでデータ“1”“0”を決定する。したがって、T型磁化自由層3のトンネルバリア層4に接した磁性層のスピンの方向は、ビット線 $B_L$ 、ワード線 $W_L$ に電流を流し反対方向に記録するため、上下のTMR素子 $2_1$ 、 $2_2$ の磁化固着層5のトンネルバリア層4に接した磁性層のスピンの方向は反並行の方向を向くことになる。この様な構造は、例えば、片方TMR素子の磁化固着にシンセティックピン構造を用いることにより容易に作製できる。なお、ビット線 $B_L$ の側部にはヨーク8が設けられ、ワード線 $W_L1$ 、 $W_L2$ にはヨーク22 $_1$ 、22 $_2$ がそれぞれ設けられている。

【0092】

この実施形態の磁気メモリも、消費電力が少なく、熱的安定性に優れたものとなる。

【0093】

(第8実施形態)

次に、本発明の第8実施形態による磁気メモリを、図20(a)、(b)を参照して説明する。図20(a)は、本実施形態による磁気メモリのメモリセルアレイの構成を示す図であり、図20(b)は図20(a)に示す切断線A-Aで切断したときの断面図である。この実施形態による磁気メモリは、単純マトリックス/差動増幅型読み出しを行うものである。この実施形態においては、第7実施形態と同様に、T型磁化自由層を有するTMR素子 $2_1$ 、 $2_2$ がビット線 $B_L$ の上下に設けられている。

【0094】

書き込みは、TMR素子 $2_1$ 、 $2_2$ のそれぞれのT型磁化自由層のトンネルバリア層に接した磁性層のスピンの方向は、ビット線 $B_L$ 、ワード線 $W_L1$ 、 $W_L2$ に電流を流し反対方向に記録する。読み出しは、ビット線 $B_L$ から、読み出しビット線 $B_L1$ 、読み出しビット線 $B_L2$ にそれぞれに電流を分岐し、その電流を差動増幅器40によって差動増幅する。したがって、トンネルバリア層4に接した磁化固着層5の磁性層は同方向に、T型磁化自由層3のトンネルバリア層4に接した磁性層は反並行方向になるように設計する。

【0095】

10

20

30

40

50

なお、ビット線 B L の側部にはヨーク 8 が設けられ、ワード線 W L 1、W L 2 にはヨーク 2 2<sub>1</sub>、2 2<sub>2</sub> がそれぞれ設けられている。

【0096】

この実施形態の磁気メモリも、消費電力が少なく、熱的安定性に優れたものとなる。

【0097】

(第9実施形態)

次に、本発明の第9実施形態による磁気メモリを、図21(a)、(b)を参照して説明する。図21(a)は、本実施形態による磁気メモリの単位メモリセルの構成を示す図であり、図21(b)は図21(a)に示す切断線 A - A で切断したときの断面図である。この実施形態による磁気メモリは、複数の共用ビット線 B L と、これらのビット線 B L の交差する複数の読み出しワード線 W r と、ビット線 B L とワード線 W r との交差点にそれぞれ設けられたメモリセルとを備えている。各メモリセルは、共用ビット線 B L から枝分かれしたセルビット線 3 0 と、T型磁化自由層 3 を有する T M R 素子 2 と、書き込みセル選択トランジスタ 1 9 とを備えている。

10

【0098】

セルビット線 3 0 は、共用ビット線 B L から枝分かれした第1配線部 3 0 a と、一端が第1配線部 3 0 a に接続され T M R 素子 2 の T型磁化自由層 3 が隣接して設けられる第2配線部 3 0 b と、一端が第2配線部 3 0 b の他端に接続され、他端が書き込みセル選択トランジスタ 1 9 のソース・ドレインのうちの一方の拡散領域 1 9 a に接続される第3配線部 3 0 c とを有している。第2配線部 3 0 b にはヨーク 2 4 が設けられている。書き込みセル選択トランジスタ 1 9 のソース・ドレインのうちの他方の拡散領域 1 9 b には接続プラグが接続されている。書き込みセル選択トランジスタ 1 9 のゲート 1 9 c には書き込み時に電流が流され、書き込みセル選択トランジスタ 1 9 が ON する。

20

【0099】

また、T M R 素子 2 の T型磁化自由層 3 とは反対側の端部には読み出しワード線 W r が接続されている。

【0100】

書き込み時に、セル選択トランジスタ 1 9 を ON にし、共用ビット線 B L に電流パルスを流し、セルビット線 3 0 b に接した T型磁化自由層 3 に有効に電流磁場を印加し、スピンの方向を反転する。その際、ヨーク 2 4 が設けられているので、より効率的に書き込み電流値を低減できる。

30

【0101】

なお、本実施形態においては、書き込み時には共用ビット線 B L にのみ書き込み電流を流す。

【0102】

この実施形態の磁気メモリも、消費電力が少なく、熱的安定性に優れたものとなる。

【0103】

(第10実施形態)

次に、本発明の第10実施形態による磁気メモリを、図22(a)、(b)を参照して説明する。図22(a)は、本実施形態による磁気メモリの単位メモリセルの構成を示す図であり、図22(b)は図22(a)に示す切断線 A - A で切断したときの断面図である。この実施形態による磁気メモリは、図21に示す第9実施形態において、セルビット線 3 0 の第2配線部 3 0 b に設けられたヨーク 2 4 を削除するとともに第2配線部 3 0 b の上部に絶縁膜(図示せず)を介して書き込み用ワード線 W L を設けた構成となっている。なお、書き込み用ワード線 W L にはヨーク 2 2 が設けられている。

40

【0104】

したがって、本実施形態においては、書き込み時には、共用ビット線 B L ばかりでなく書き込み用ワード線 W L にも書き込み電流が流される。このため、配線当たりの電流を低減することができる。

【0105】

50

この実施形態の磁気メモリも、消費電力が少なく、熱的安定性に優れたものとなる。

【0106】

(第11実施形態)

次に、本発明の第11実施形態による磁気メモリを、図23(a)、(b)を参照して説明する。図23(a)は、本実施形態による磁気メモリの単位メモリセルの構成を示す図であり、図23(b)は図23(a)に示す切断線A-Aで切断したときの断面図である。この実施形態による磁気メモリは、図21に示す第9実施形態において、TMR素子2のT型磁化自由層3と反対側の端部に直接接続していた読み出し用ワード線Wrを引き出し電極13および接続プラグ15を介して接続し、さらに、TMR素子2のT型磁化自由層3と反対側の端部の下方に絶縁膜(図示せず)を介して書き込み用ワード線Wlを設けた構成となっている。読み出し用ワード線Wrおよび書き込み用ワード線Wlは、同一層となるように形成される。なお、読み出し用ワード線Wrおよび書き込み用ワード線Wlにはそれぞれヨーク23、22が設けられている。

10

【0107】

したがって、本実施形態においては、書き込み時には、共用ビット線Blばかりでなく書き込み用ワード線Wlにも書き込み電流が流される。このため、配線当たりの電流を低減することができる。

【0108】

この実施形態の磁気メモリも、消費電力が少なく、熱的安定性に優れたものとなる。

【0109】

(第12実施形態)

次に、本発明の第12実施形態による磁気メモリを、図24(a)、(b)を参照して説明する。図24(a)は、本実施形態による磁気メモリの単位メモリセルの構成を示す図であり、図24(b)は図24(a)に示す切断線A-Aで切断したときの断面図である。この実施形態による磁気メモリは、図23に示す第11実施形態において、セルビット線30の第2配線部に設けられているヨーク24を第2配線部30bの側部にも延在するように構成したものである。

20

【0110】

この実施形態は第11実施形態に比べて書き込み電流をさらに低減することができる。この実施形態の磁気メモリも、消費電力が少なく、熱的安定性に優れたものとなる。

30

【0111】

(第13実施形態)

次に、本発明の第13実施形態による磁気メモリを、図25を参照して説明する。図25は、本実施形態による磁気メモリの単位メモリセルの構成を示す図である。この実施形態による磁気メモリは、図24に示す第12実施形態において、TMR素子2のT型磁化自由層3とセルビット線30の第2配線部30bとの接続位置を第2配線部30の下側から上側に変えるとともに、ヨーク24が設けられている位置を第2配線部30bの上側から下側に変えた構成となっている。このため、引き出し電極13、接続プラグ15、読み出し用ワード線Wr、および書き込み用ワード線Wlは第2配線部30bの上側に設けられている。

40

【0112】

この実施形態の磁気メモリも、消費電力が少なく、熱的安定性に優れたものとなる。

【0113】

(第14実施形態)

次に、本発明の第14実施形態による磁気メモリを、図26を参照して説明する。図26は、本実施形態による磁気メモリの単位メモリセルの構成を示す図である。この実施形態による磁気メモリは、図25に示す第13実施形態において、読み出し用ワード線Wrを、TMR素子2のT型磁化自由層とは反対側の端部に接続し、この読み出し用ワード線Wrの上方に絶縁膜(図示せず)を介して書き込み用ワード線Wlを配置した構成となっている。書き込み用ワード線Wlには、TMR素子2の磁化固着層の近傍にまで延在するヨ

50



ーク 2 2 が設けられている。

【 0 1 1 4 】

この実施形態の磁気メモリも、消費電力が少なく、熱的安定性に優れたものとなる。

【 0 1 1 5 】

図 2 2 乃至図 2 6 に示す第 1 0 乃至第 1 4 実施形態による磁気メモリにおいては、読み出しは、図 2 1 に示す第 9 実施形態の磁気メモリと同様の方法で読み出す。

【 0 1 1 6 】

( 第 1 5 実施形態 )

次に、本発明の第 1 5 実施形態による磁気メモリを、図 2 7 を参照して説明する。図 2 7 は、本実施形態による磁気メモリの単位メモリセルの構成を示す図である。この実施形態による磁気メモリは、図 2 1 に示す第 9 実施形態において、読み出しワード線  $W_r$  の代わりに、ダイオード 9 を介して読み出し / 書き込みワード線  $W_L$  を TMR 素子 2 の T 型磁化自由層が設けられた側とは反対側の端部に接続した構成となっている。なお、ワード線  $W_L$  にはダイオード 9 との接続面を除いてヨーク 2 2 が被覆されている。

10

【 0 1 1 7 】

この実施形態の磁気メモリも、消費電力が少なく、熱的安定性に優れたものとなる。

【 0 1 1 8 】

( 第 1 6 実施形態 )

次に、本発明の第 1 6 実施形態による磁気メモリを、図 2 8 を参照して説明する。図 2 8 は、本実施形態による磁気メモリの単位メモリセルの構成を示す図である。この実施形態による磁気メモリは、図 2 3 に示す第 1 1 実施形態において、読み出し用ワード線  $W_r$  に読み出しセル選択トランジスタ 1 8 のソース・ドレインのうちの一方の領域を引き出し電極 1 2 , 接続プラグ 1 4 を介して接続した構成となっている。そして、読み出しセル選択トランジスタ 1 8 のソース・ドレインのうちの他方の領域に接続された接続プラグ 1 6 には電源が接続されている。

20

【 0 1 1 9 】

この実施形態においては、読み出し時には、読み出しセル選択トランジスタ 1 8 を ON させ、共用ビット線  $B_L$  と、接続プラグ 1 6 に接続されている電源との間に電圧を印加し、TMR 素子 2 を流れる電流を図示しないセンスアンプを介して読み出す。

【 0 1 2 0 】

この実施形態の磁気メモリも、消費電力が少なく、熱的安定性に優れたものとなる。

30

【 0 1 2 1 】

( 第 1 7 実施形態 )

次に、本発明の第 1 7 実施形態による磁気メモリを、図 2 9 を参照して説明する。図 2 9 は、本実施形態による磁気メモリの単位メモリセルの構成を示す図である。この実施形態による磁気メモリは、図 2 1 に示す第 9 実施形態において、TMR 素子 2 およびヨーク 2 4 を削除して、セルビット線 3 0 の第 2 配線部 3 0 b の上下に TMR 素子  $2_1$ 、 $2_2$  を設けた構成となっている。TMR 素子  $2_1$ 、 $2_2$  の T 型磁化自由層がそれぞれ第 2 配線部 3 0 b に接続され、T 型磁化自由層とは反対側の端部には、読み出し用ビット線  $B_r$ 、読み出し用ワード線  $W_r$  が接続された構成となっている。

40

【 0 1 2 2 】

この実施形態の磁気メモリも、消費電力が少なく、熱的安定性に優れたものとなる。

【 0 1 2 3 】

( 第 1 8 実施形態 )

次に、本発明の第 1 8 実施形態による磁気メモリを、図 3 0 を参照して説明する。図 3 0 は、本実施形態による磁気メモリの単位メモリセルの構成を示す図である。この実施形態による磁気メモリは、図 2 9 に示す第 1 7 実施形態において、TMR 素子  $2_1$  に接続されている読み出しビット線  $B_r$  の代わりに読み出しワード線  $W_r 1$  を設け、TMR 素子  $2_2$  に接続されている読み出しワード線  $W_r$  を読み出しワード線  $W_r 2$  とし、さらにこれらの読み出しワード線  $W_r 1$ 、 $W_r 2$  に流れる読み出し電流を、差動増幅器 4 0 を用いて差動

50

読み出しを行う。

【0124】

この実施形態の磁気メモリも、消費電力が少なく、熱的安定性に優れたものとなる。

【0125】

(第19実施形態)

次に、本発明の第19実施形態によるTMR素子の製造方法を図31乃至図32を参照して説明する。この実施形態による製造方法は、図6に示す第1実施形態の第4変形例によるTMR素子を製造するものであって、その製造工程を図31乃至図32に示す。

【0126】

図示しない基板上に、まず、下部配線50、TMR膜52、磁氣的に反強磁性結合した磁性層と非磁性層からなる多層膜54、PtまたはRuからなる金属膜56、金属ハードマスク58を順次成膜する(図31(a)参照)。本実施形態においては、下部配線50は、Ta/Al-Cu/Taからなる三層膜であり、TMR膜は、下側から順に、Ta(5nm)/Ru(3nm)/Ir-Mn(10nm)/CoFe(3nm)/Ru(1nm)/CoFe(3.25nm)/AlOx(1.2nm)/CoNiFe(2nm)/Ru(0.95nm)/NiFe(2nm)とした。その上に、Ruからなる膜厚2.45nmの非磁性層と、CoFeBからなる膜厚3nmの磁性層との積層を10回繰り返した多層膜54、PtまたはRuからなる膜金属膜56、金属ハードマスク58としてTaを50nm成膜した。続いて、図31(a)に示すように、磁場中でアニールし、その後、レジストを塗布し、このレジストをPEPを行ってレジストパターン60を形成する。

10

20

【0127】

次に、図31(b)に示すように、レジストパターン60をマスクとして塩素系ガスで金属ハードマスク58を例えばRIE法を用いてパターンニングする。このとき、エッチングはRuまたはPt膜56でストップさせた。その後、図31(c)に示すように、レジストパターン60を剥離し、金属ハードマスク58をマスクとして、TMR膜を構成するIrMnからなる反強磁性層までミリングまたはRIEを行い、強磁性トンネル接合を接合分離する。トンネル接合の平面形状は、アスペクト比1:1の円形とした。サイズは、直径0.18μmとした。

【0128】

次に、図31(d)に示すように、SiOxからなる保護膜62を成膜する。続いて、図31(e)に示すように、レジストを塗布、PEPを行ってレジストパターン64を形成し、このレジストパターン64をマスクとして下部電極50を例えばRIEを用いてパターンニングする。

30

【0129】

次に、図31(f)に示すように、レジストパターン64を除去した後、SiOxからなる層間絶縁膜66を成膜する。

【0130】

続いて図32(a)に示すように、層間絶縁膜66をエッチバックし、平坦化するとともにTMR膜54の上部のRu(2.45nm)とCoFeB(3nm)の多層膜のうちのいずれかの層の頭を出した。

40

【0131】

次に、図32(b)に示すように、スパッタエッチングした後に、磁性層68、PtまたはRuからなる金属層70、金属ハードマスク72を順次、スパッタすることにより形成する。磁性層68にはNi-Fe層を用い、ハードマスク72にはTaを用いた。

【0132】

次に、図示しないレジストパターンを形成し、このレジストパターンをマスクとしてハードマスク72をRIEを用いてパターンニングする(図32(c)参照)。続いて、上記レジストパターンを除去した後、金属ハードマスク72をマスクとし、Ni-Fe磁性層68を図11(c)に示す形状(マスク状8角形、アスペクト比長軸/短軸=2、短軸=0.25μm)とした。

50

## 【0133】

次に、図32(e)に示すように、上部配線74、磁性被覆層(ヨーク)76を成膜する。その後、ヨーク76上に図示しないレジストパターンを形成し、このレジストパターンをマスクとしてヨークおよび上部配線74をパターンニングし、図32(e)に示すT型磁化自由層を有するTMR素子を作製した。

## 【0134】

その後、磁場中でのアニールを、上部配線74直下のNi-Fe磁性層68の長軸方向に磁場を印加するように行った。上部配線74に、パルス電流を0.01mAから徐々に印加していき、その都度素子抵抗を測ったところ、0.27mAで抵抗の変化が観測された。磁化困難軸方向への電流パルスを流し、磁化困難軸方向へ100eの磁場を印加し、同様の実験を行ったところ、0.15mAで反転が観測された。その後、TMR素子の抵抗が高い“1”状態と、TMR素子抵抗が低い“0”状態に保ったまま、120で1週間それぞれ、10個の素子を保ったところ、データの保存が確認でき、不揮発性磁気メモリとして好ましい特性を示した。

10

## 【0135】

(第20実施形態)

次に、本発明の第20実施形態によるTMR素子の製造方法を図33乃至図34を参照して説明する。この実施形態による製造方法は、図10に示す第1実施形態の第8変形例によるTMR素子を製造するものであって、その製造工程を図33乃至図34に示す。

## 【0136】

まず、図示しない基板の上に、磁性被覆層(ヨーク)80、下部配線82をスパッタにより成膜し、図示しないレジストパターンを形成し、このレジストパターンを用いて、パターンニングする。続いて、SiO<sub>x</sub>を堆積し、CMPで平坦化する(図33(a)参照)。

20

## 【0137】

次に、図33(b)に示すように、磁性層84、磁氣的に反強磁性結合した磁性層と非磁性層とを積層した多層膜86、TMR膜88、PtまたはRuからなる金属膜90、金属ハードマスク92を成膜する。本実施形態では、磁性被覆層80はNi-Fe、下部配線82は、Ta/Al-Cu/Taからなる三層膜、磁性層84は、Ni-Fe(3nm)/Ru(1.5nm)/Ni-Fe(2nm)からなる三層膜、多層膜86はCoFeB(3nm)とRu(2.45nm)との積層を10繰り返した層、TMR膜88は、上側から順に、Pt-Mn(14nm)/CoFe(3nm)/Ru(1nm)/CoFe(3.25nm)/AlO<sub>x</sub>(1.2nm)/CoNiFe(2nm)/Ru(0.95nm)/NiFe(2nm)とした。その上にPtまたはRuからなる金属膜90、金属ハードマスク92としてTaを50nm成膜した。

30

## 【0138】

続いて、磁場中でのアニールを行った後、図示しないレジストパターンを形成した後、このレジストパターンをマスクとして塩素系ガスで金属ハードマスク92を異方性エッチングする(図33(c)参照)。このとき、エッチングはRuまたはPtからなる金属膜90でストップさせた。

## 【0139】

その後、上記レジストパターンを剥離し、金属ハードマスク92をマスクとして、(CoFeB(3nm)/Ru(2.45nm))からなる10層の多層膜86の途中までリングまたはRIEを行うことにより、TMR膜88の強磁性トンネル接合を接合分離した(図33(d)参照)。トンネル接合の平面形状は、アスペクト比1:1の円形とした。サイズは、直径0.18μmとした。

40

## 【0140】

続いて、図33(e)に示すように、SiO<sub>x</sub>膜94を成膜する。その後、図示しないレジストパターンを形成し、このレジストパターンをマスクとしてSiO<sub>x</sub>膜94を例えばRIE法を用いてパターンニングした。

## 【0141】

50

次に、上記レジストパターンを除去した後、パターンニングされた $\text{SiO}_x$ 膜94をマスクとして、ミリングまたはRIE法を用いて、 $\text{CoFeB}(3\text{nm})/\text{Ru}(2.45\text{nm})$ からなる多層膜86のうちの残りの何層かをパターンニングするとともに $\text{Ni-Fe}$ 層84をパターンニングした(図33(f)参照)。平面構造は図11(e)に示す形状(マスク状八角形, アスペクト比長軸/短軸=1、短軸=長軸=0.25 $\mu\text{m}$ )とした。

#### 【0142】

次に、図34(a)に示すように、 $\text{SiO}_x$ 膜96を堆積した後、CMPおよびエッチバックを用いて平坦化するとともに金属ハードマスク92を構成するTa膜の頭だしを行った(図34(b)参照)。

#### 【0143】

その後、スパッタエッチングした後上部配線98を形成し、図34(c)に示す構造のT型磁化自由層を有するTMR素子を作製した。

#### 【0144】

その後、磁場中アニールを行い、上部配線98直下の $\text{Ni-Fe}$ 層と、 $(\text{CoFeB}(3\text{nm})/\text{Ru}(2.45\text{nm}))\times$ 層との磁化容易軸方向に磁場を印加した。上部配線98に、パルス電流を0.01mAから徐々に印加していき、その都度素子抵抗を測ったところ、0.26mAで抵抗の変化が観測された。磁化困難軸への電流パルスを流し、磁化困難軸方向へ100eの磁場を印加し、同様の実験を行ったところ、0.14mAで反転が観測された。その後、TMR素子抵抗が高い“1”状態と、TMR素子抵抗が低い“0”状態に保ったまま、120で1週間それぞれ、10個のTMR素子を保ったところ、データの保存が確認でき、不揮発性磁気メモリとして好ましい特性を示した。

#### 【0145】

##### (第21実施形態)

本発明の第21実施形態として、図19および図20に示す第7および第8実施形態による磁気メモリに用いられる、図35(a)および(b)に示すT型磁化自由層を有するTMR素子を作製し、その性能を調査した。図35(a)は二重接合読み出しアーキテクチャ、図35(b)は差動読み出しアーキテクチャを調査するための構造を示している。製造プロセスは、基本的に第19実施形態および第20実施形態を組み合わせたものである。ビット線BLの被覆磁性層8はビット線BLをパターンニングした後、被覆磁性層8を成膜し、垂直方向からミリングすることによって、容易に作成できる。各種材料も、第19および第20実施形態と同様の材料を用いた。サイズ、および素子形状は、第20実施形態と同様である。

#### 【0146】

前記したように、二重接合読み出しの場合と、差動読み出しの場合で、トンネルバリア層に接した磁化固着層のスピンの方向を変えてある。これは、磁化固着層を反強磁性結合した磁性層/非磁性層多層膜を用いることで容易に作製できる。

#### 【0147】

図35(a)に示すビット線BLに、パルス電流を0.01mAから徐々に印加していき、その都度、素子抵抗を測ったところ、0.28mAで上下のTMR素子 $2_1$ 、 $2_2$ の両方の抵抗の変化が観測された。磁化困難軸への電流パルスを流し、磁化困難軸方向へ100eの磁場を印加し、同様の実験を行ったところ、0.17mAで上下のTMR素子 $2_1$ 、 $2_2$ の両方の反転が観測された。その後、TMR素子抵抗が高い“1”状態と、TMR素子抵抗が低い“0”状態に保ったまま、120で1週間それぞれ、10個の素子を保ったところ、データの保存が確認でき、不揮発性磁気メモリとして好ましい特性を示した。また、二重接合型読み出しの場合、読み出し信号が、第19および第20実施形態の場合の1.6倍に、差動読み出しの場合は2倍になり、読み出しのS/Nが良好になり、メモリとして、より好ましい特性を示した。

#### 【0148】

以上、具体例を参照しつつ、本発明の実施形態について説明した。しかし、本発明は、これらの実施形態に限定されるものではない。例えば、磁気抵抗効果素子を構成する強磁性

10

20

30

40

50

体層、絶縁膜、反強磁性体層、非磁性金属層、電極などの具体的な材料や、膜厚、形状、寸法などに関しては、当業者が適宜選択することにより本発明を同様に実施し、同様の効果を得ることができるものも本発明の範囲に包含される。

【0149】

同様に、本発明の磁気メモリを構成する各要素の構造、材質、形状、寸法についても、当業者が適宜選択することにより本発明を同様に実施し、同様の効果を得ることができるものも本発明の範囲に包含される。

【0150】

また、本発明は、長手磁気記録方式のみならず垂直磁気記録方式の磁気ヘッドあるいは磁気再生装置についても本特許磁気抵抗効果素子を同様に適用して同様の効果を得ることができる。

10

【0151】

その他、本発明の実施の形態として上述した磁気メモリを基にして、当業者が適宜設計変更して実施しうるすべての磁気メモリも同様に本発明の範囲に属する。

【0152】

なお、磁気抵抗効果素子が記憶する情報を読み出すために磁気抵抗効果素子に流すセンス電流を制御するセンス電流制御素子回路、書き込みパルスを印加するための回路、ドライバ等は、上記実施形態では説明しなかったが、これらは本発明の磁気メモリが備えるようにしても良い。

【0153】

20

【発明の効果】

以上述べたように、本発明によれば、消費電力が少なく熱的安定性に優れたものとなる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による磁気抵抗効果素子の構成を示す断面図。

【図2】第1実施形態による磁気抵抗効果素子を磁気メモリに用いたときの斜視図。

【図3】第1実施形態による磁気抵抗効果素子の第1変形例の構成を示す断面図。

【図4】第1実施形態による磁気抵抗効果素子の第2変形例の構成を示す断面図。

【図5】第1実施形態による磁気抵抗効果素子の第3変形例の構成を示す断面図。

【図6】第1実施形態による磁気抵抗効果素子の第4変形例の構成を示す断面図。

【図7】第1実施形態による磁気抵抗効果素子の第5変形例の構成を示す断面図。

30

【図8】第1実施形態による磁気抵抗効果素子の第6変形例の構成を示す断面図。

【図9】第1実施形態による磁気抵抗効果素子の第7変形例の構成を示す断面図。

【図10】第1実施形態による磁気抵抗効果素子の第8変形例の構成を示す断面図。

【図11】第1実施形態による磁気抵抗効果素子の書き込み配線に隣接する磁性層の平面図。

【図12】第1実施形態による磁気抵抗効果素子の中間層の平面図。

【図13】アステロイド曲線を示す図。

【図14】本発明の第2実施形態による磁気メモリの構成を示す図。

【図15】本発明の第3実施形態による磁気メモリの構成を示す図。

【図16】本発明の第4実施形態による磁気メモリの構成を示す図。

40

【図17】本発明の第5実施形態による磁気メモリの構成を示す図。

【図18】本発明の第6実施形態による磁気メモリの構成を示す図。

【図19】本発明の第7実施形態による磁気メモリの構成を示す図。

【図20】本発明の第8実施形態による磁気メモリの構成を示す図。

【図21】本発明の第9実施形態による磁気メモリの構成を示す図。

【図22】本発明の第10実施形態による磁気メモリの構成を示す図。

【図23】本発明の第11実施形態による磁気メモリの構成を示す図。

【図24】本発明の第12実施形態による磁気メモリの構成を示す図。

【図25】本発明の第13実施形態による磁気メモリの構成を示す図。

【図26】本発明の第14実施形態による磁気メモリの構成を示す図。

50

【図 27】本発明の第 15 実施形態による磁気メモリの構成を示す図。

【図 28】本発明の第 16 実施形態による磁気メモリの構成を示す図。

【図 29】本発明の第 17 実施形態による磁気メモリの構成を示す図。

【図 30】本発明の第 18 実施形態による磁気メモリの構成を示す図。

【図 31】本発明の第 19 実施形態による磁気抵抗効果素子の製造工程を示す工程断面図

。

【図 32】本発明の第 19 実施形態による磁気抵抗効果素子の製造工程を示す工程断面図

。

【図 33】本発明の第 20 実施形態による磁気抵抗効果素子の製造工程を示す工程断面図

。

【図 34】本発明の第 20 実施形態による磁気抵抗効果素子の製造工程を示す工程断面図

。

【図 35】第 7 および第 8 実施形態による磁気メモリに用いられる、T 型磁化自由層を有する TMR 素子の構成を示す断面図。

【符号の説明】

2 磁気抵抗効果素子 (TMR 素子)

3 T 型磁化自由層

3 a 強磁性層

3 b 中間層

3 b 1 磁性層

3 b 2 非磁性層

3 c 磁性層

3 c 1 磁性層

3 c 2 非磁性層

3 c 3 磁性層

4 トンネルバリア層

5 磁化固着層

6 反強磁性層

8 ヨーク

9 ダイオード

10 書き込み配線 (上部配線)

12 引き出し電極

14 接続プラグ

18 読み出しセル選択トランジスタ

19 書き込みセル選択トランジスタ

20 下部配線

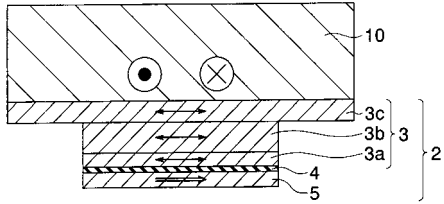
22 ヨーク

10

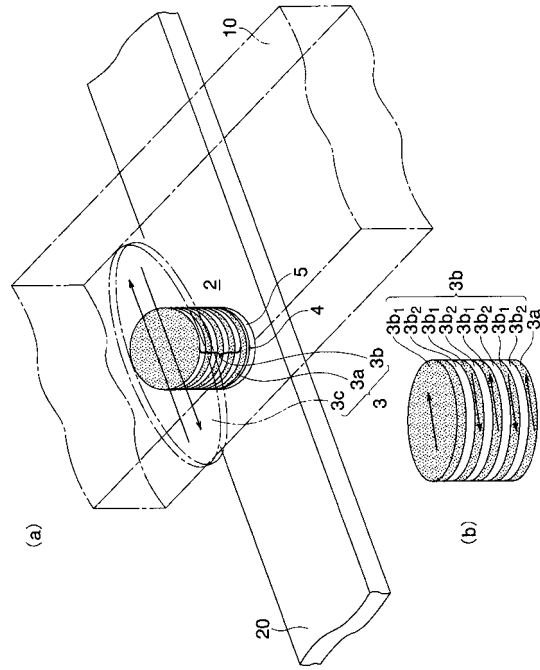
20

30

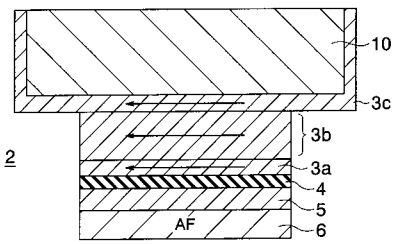
【 図 1 】



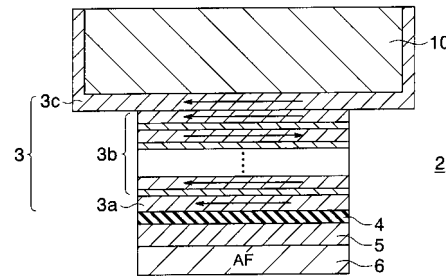
【 図 2 】



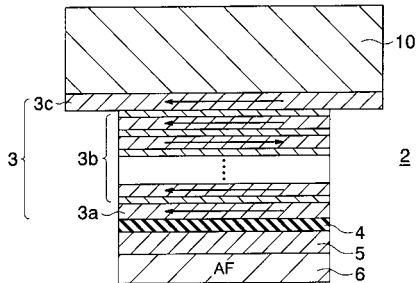
【 図 3 】



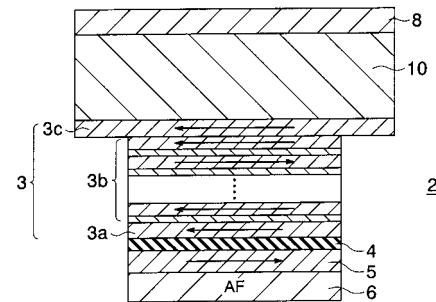
【 図 5 】



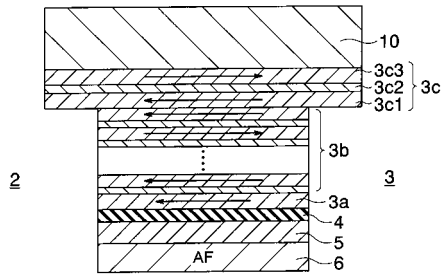
【 図 4 】



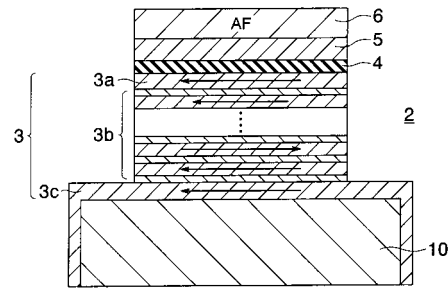
【 図 6 】



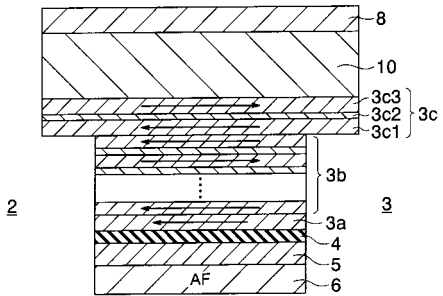
【図7】



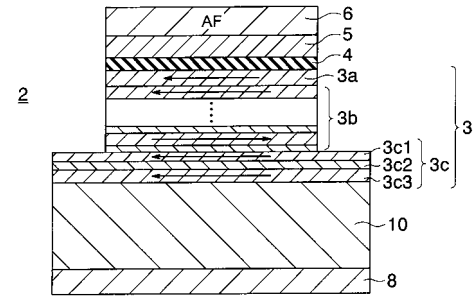
【図9】



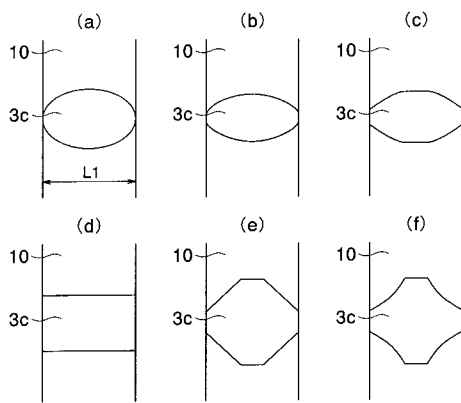
【図8】



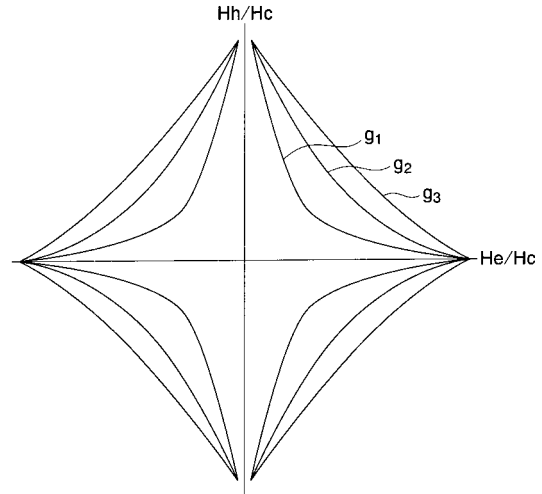
【図10】



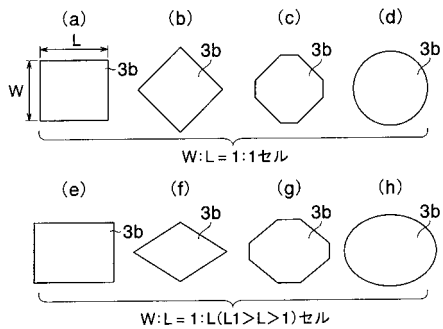
【図11】



【図13】



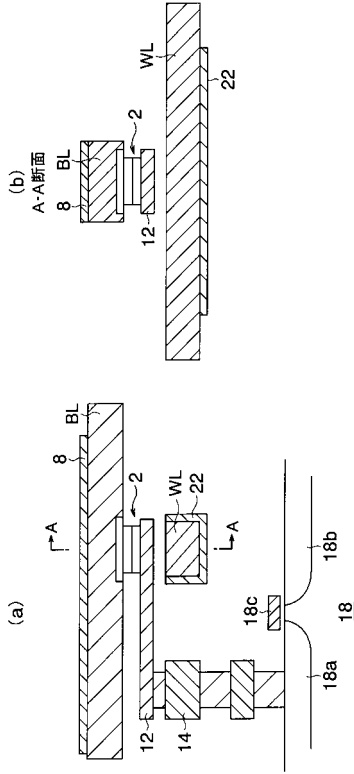
【図12】



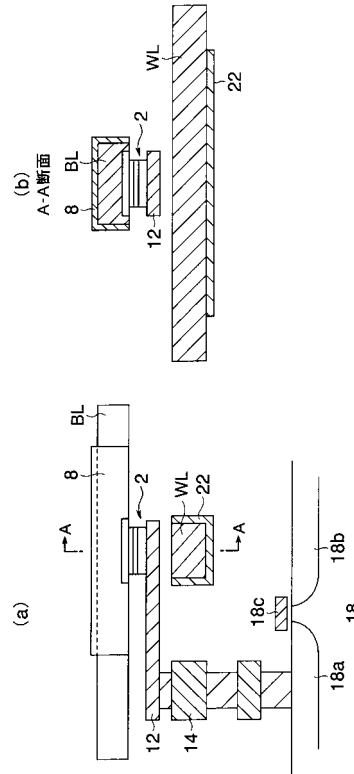
g<sub>3</sub> : 悪いアステロイド形状  
 g<sub>2</sub> : 通常のアステロイド形状  
 g<sub>1</sub> : 良いアステロイド形状



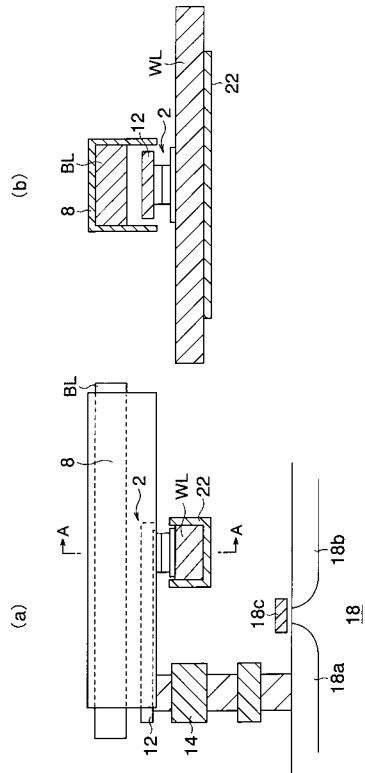
【 図 1 4 】



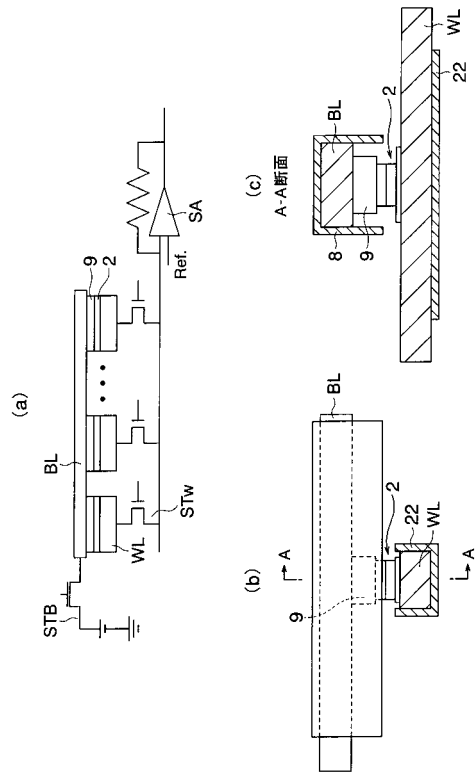
【 図 1 5 】



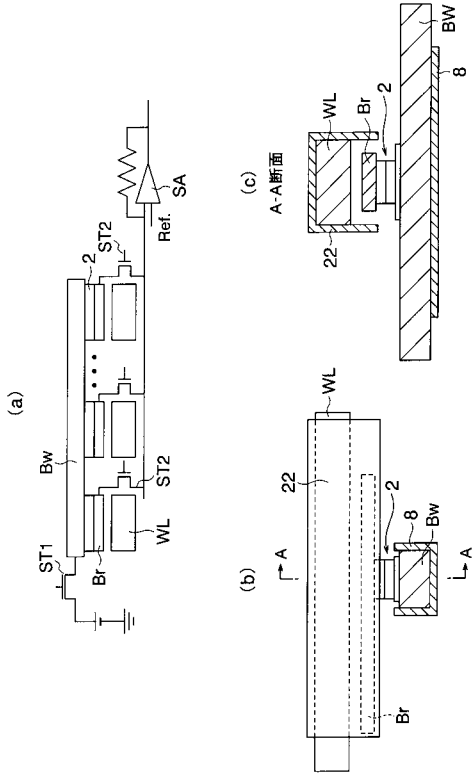
【 図 1 6 】



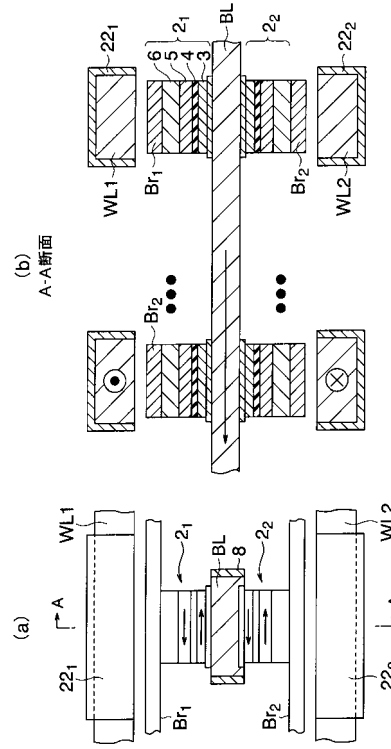
【 図 1 7 】



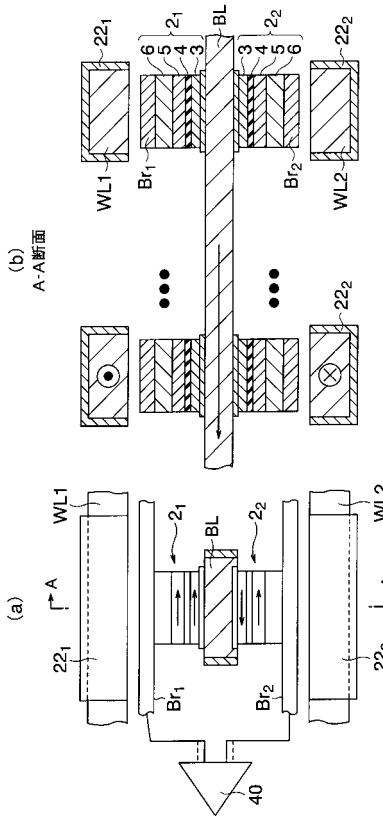
【 図 1 8 】



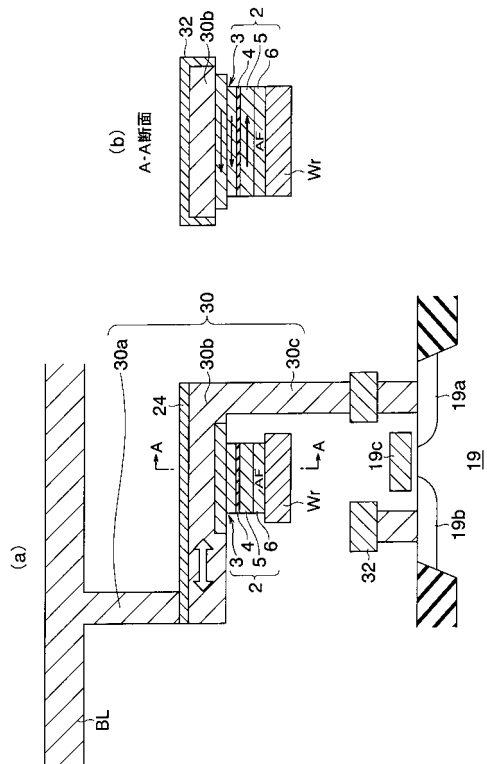
【 図 1 9 】



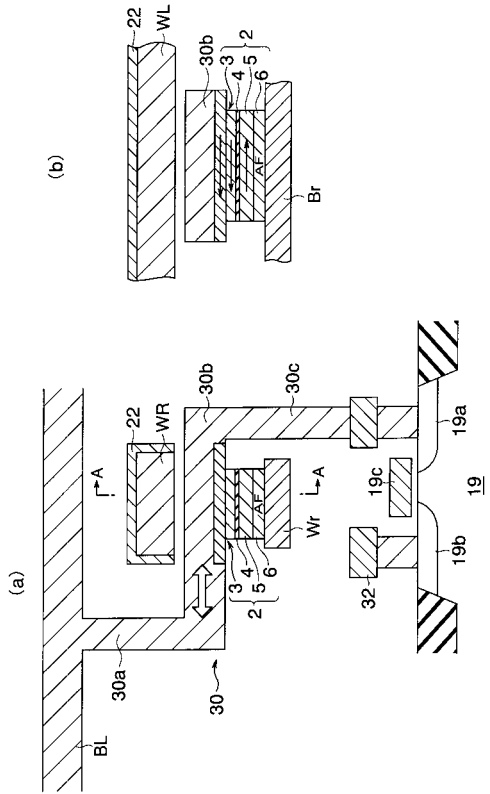
【 図 2 0 】



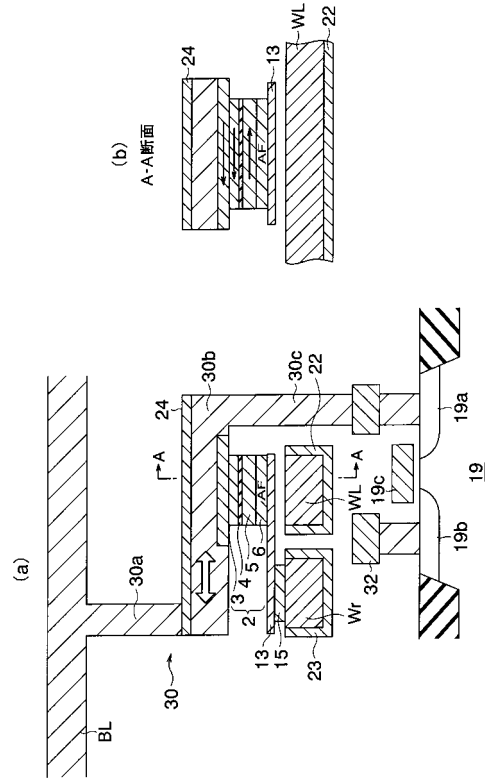
【 図 2 1 】



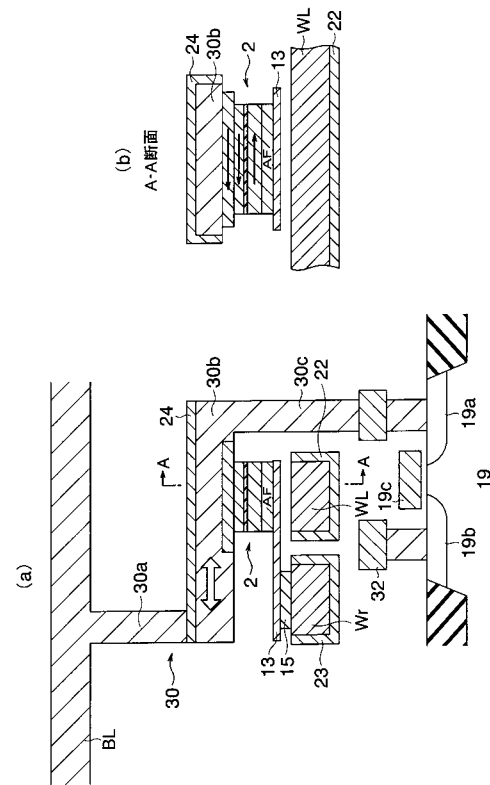
【 図 2 2 】



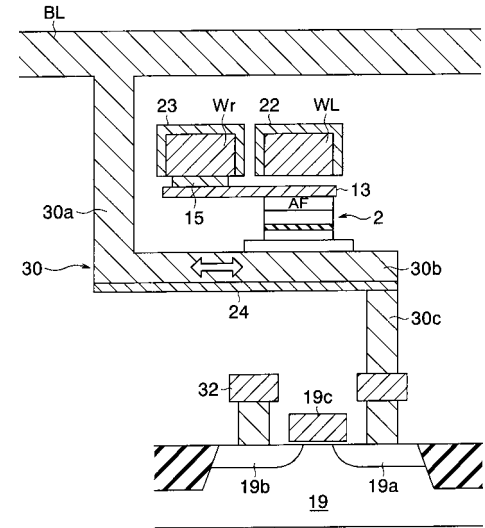
【 図 2 3 】



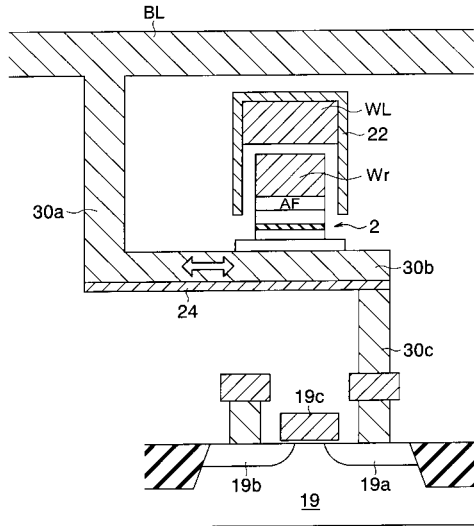
【 図 2 4 】



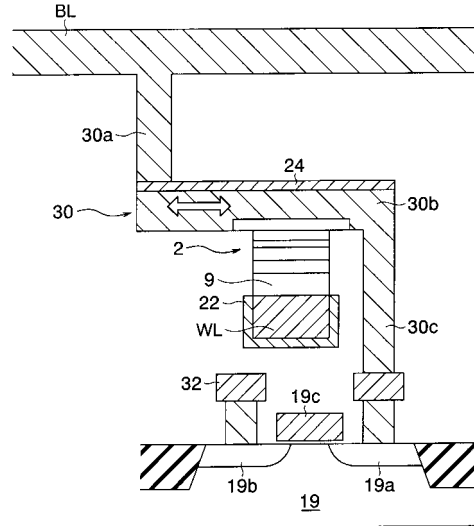
【 図 2 5 】



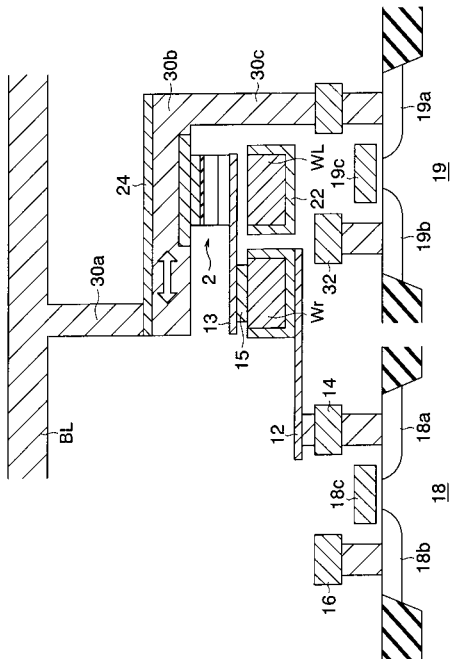
【図 26】



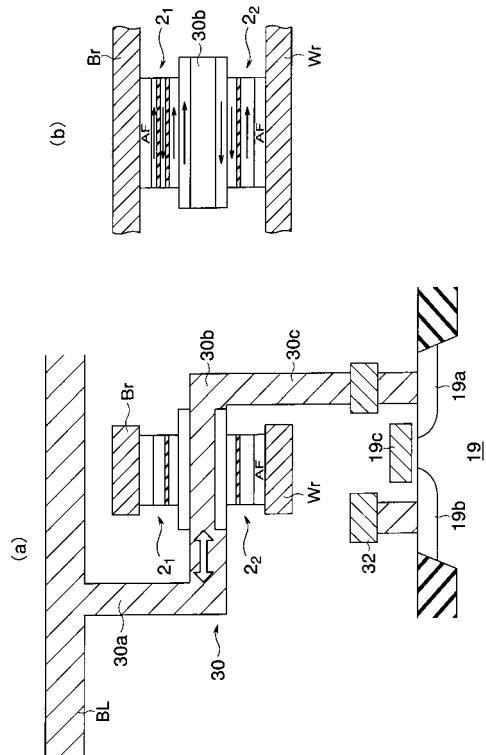
【図 27】



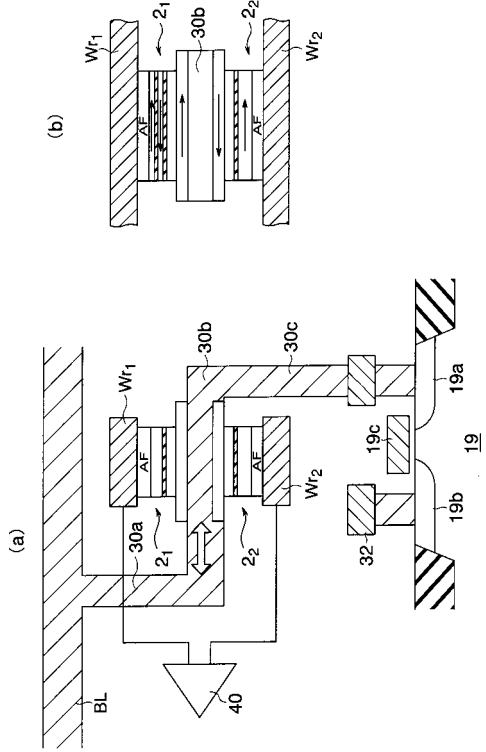
【図 28】



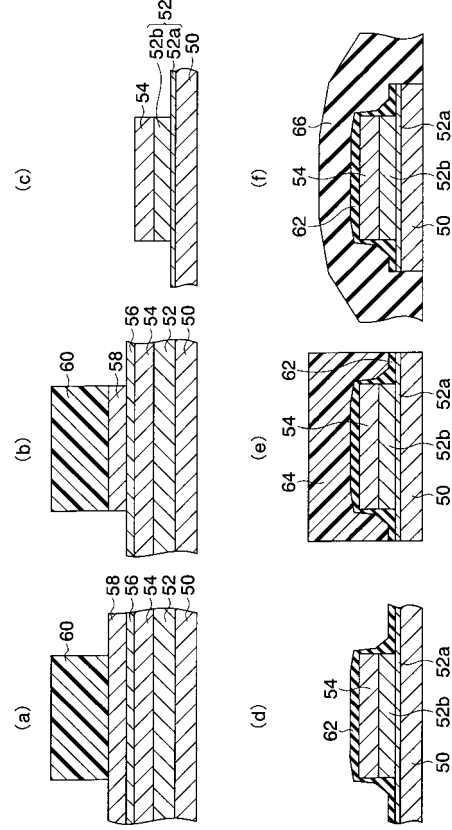
【図 29】



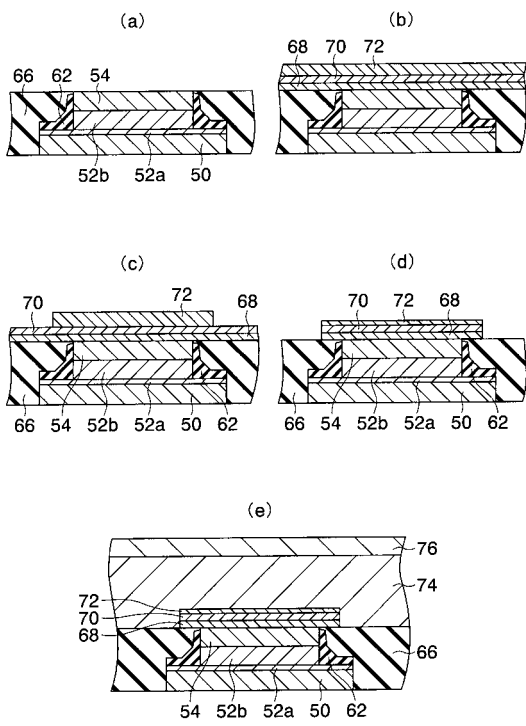
【 図 3 0 】



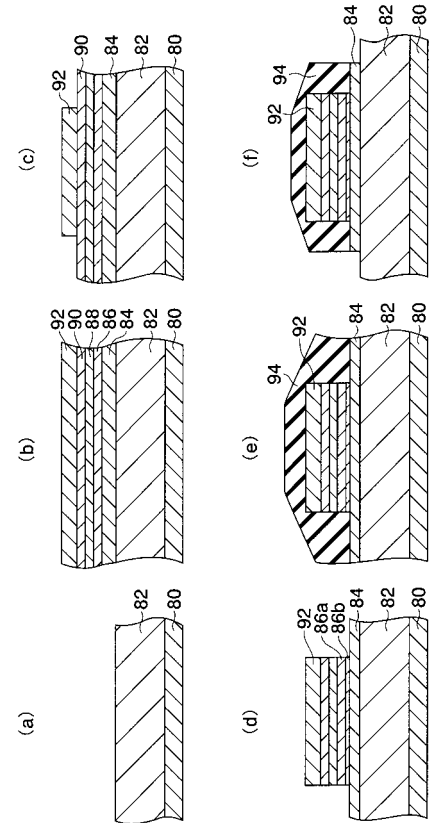
【 図 3 1 】



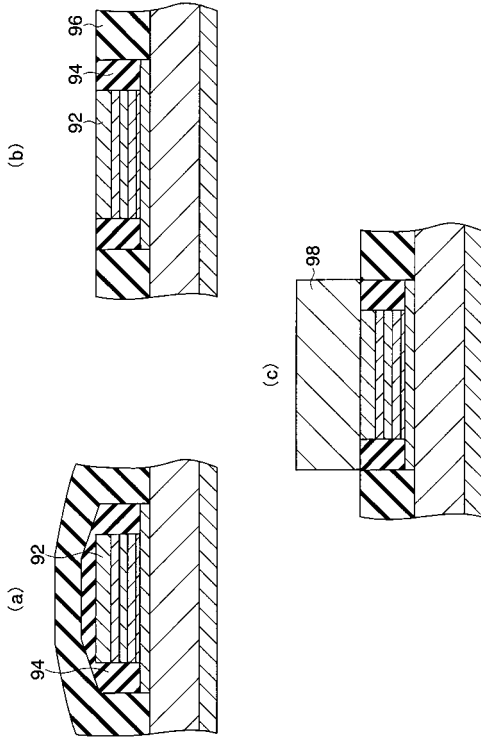
【 図 3 2 】



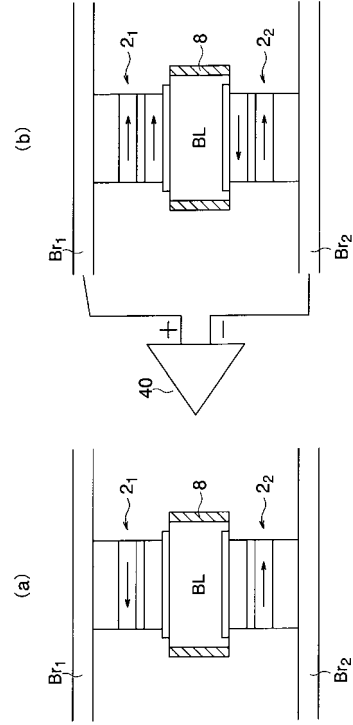
【 図 3 3 】



【 図 3 4 】



【 図 3 5 】



---

フロントページの続き

- (72)発明者 齊 藤 好 昭  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 西 山 勝 哉  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 高 橋 茂 樹  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- Fターム(参考) 5F083 FZ10 GA05 JA14 JA36 JA37 JA38 JA39 MA06 MA16 MA19