

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-135066

(P2011-135066A)

(43) 公開日 平成23年7月7日(2011.7.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/20 (2006.01)	HO 1 L 21/20	2H092
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 618E	3K107
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 618B	5F103
HO 1 L 21/363 (2006.01)	HO 1 L 29/78 627G	5F110
GO 2 F 1/1368 (2006.01)	HO 1 L 29/78 620	5F152

審査請求 未請求 請求項の数 36 O L (全 47 頁) 最終頁に続く

(21) 出願番号 特願2010-262862 (P2010-262862)  
 (22) 出願日 平成22年11月25日 (2010.11.25)  
 (31) 優先権主張番号 特願2009-270856 (P2009-270856)  
 (32) 優先日 平成21年11月28日 (2009.11.28)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 Fターム(参考) 2H092 GA29 GA59 JA26 JA33 JA36  
 JA40 JA44 JA46 KA07 KA12  
 KA18 KB22 MA05 MA08 MA10  
 MA13 MA29 NA21 NA22 NA27  
 3K107 AA01 AA05 BB01 CC21 EE04  
 FF14 FF17 FF19 GG26 GG28  
 HH04

最終頁に続く

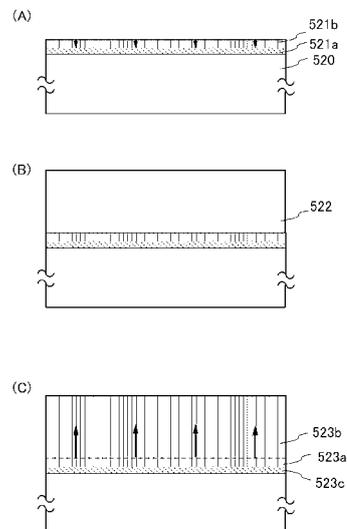
(54) 【発明の名称】 積層酸化物材料、半導体装置、および半導体装置の作製方法

(57) 【要約】

【課題】トランジスタなどの半導体素子を有する半導体装置を安価に得ることのできる生産性の高い作製工程を提供することを課題の一とする。

【解決手段】下地部材上に、酸化物部材を形成し、加熱処理を行って表面から内部に向かって結晶成長する第1の酸化物結晶部材を形成し、第1の酸化物結晶部材上に第2の酸化物結晶部材を積層して設ける積層酸化物材料の作製方法である。特に第1の酸化物結晶部材と第2の酸化物結晶部材がc軸を共通している。ホモ結晶成長またはヘテロ結晶成長の同軸（アキシャル）成長をさせていることである。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

下地部材上に、酸化物部材を形成し、加熱処理を行って表面から内部に向かって結晶成長する第 1 の酸化物結晶部材を形成し、且つ、前記下地部材の表面直上に非晶質成分を残存し、

前記第 1 の酸化物結晶部材上に第 2 の酸化物結晶部材を積層して設ける積層酸化物材料の作製方法。

## 【請求項 2】

下地部材上に、酸化物部材を形成し、加熱処理を行って表面から内部に向かって結晶成長する第 1 の酸化物結晶部材を形成し、且つ、前記下地部材の表面直上に非晶質成分を残存し、

前記第 1 の酸化物結晶部材上に同一材料であり、且つ、ホモ結晶成長をしている第 2 の酸化物結晶部材を積層して設ける積層酸化物材料の作製方法。

## 【請求項 3】

下地部材上に、酸化物部材を形成し、加熱処理を行って表面から内部に向かって結晶成長する第 1 の酸化物結晶部材を形成し、且つ、前記下地部材の表面直上に非晶質成分を残存し、

前記第 1 の酸化物結晶部材上に異なる材料であり、且つ、ヘテロ結晶成長をしている第 2 の酸化物結晶部材を積層して設ける積層酸化物材料の作製方法。

## 【請求項 4】

請求項 1 乃至 3 のいずれか一において、前記加熱処理は、450 以上 850 以下での窒素雰囲気、酸素雰囲気、または乾燥空気雰囲気であることを特徴とする積層酸化物材料の作製方法。

## 【請求項 5】

請求項 1 乃至 4 のいずれか一において、前記第 1 の酸化物結晶部材と前記第 2 の酸化物結晶部材は、前記第 1 の酸化物結晶部材の表面に対して垂直方向に c 軸配向をしていることを特徴とする積層酸化物材料の作製方法。

## 【請求項 6】

請求項 1 乃至 5 のいずれか一において、前記酸化物部材は、スパッタ法で形成される積層酸化物材料の作製方法。

## 【請求項 7】

請求項 1 乃至 6 のいずれか一において、第 1 の酸化物結晶部材及び第 2 の酸化物結晶部材は非単結晶である積層酸化物材料の作製方法。

## 【請求項 8】

請求項 1 乃至 7 のいずれか一において、前記第 2 の酸化物結晶部材は、成膜中の温度を 200 以上 600 以下に加熱しながら結晶成長させて得ることを特徴とする積層酸化物材料の作製方法。

## 【請求項 9】

請求項 1 乃至 8 のいずれか一において、前記第 2 の酸化物結晶部材は、スパッタ法を用いて形成され、その後または成膜と同時に加熱処理がなされており、その金属酸化物ターゲットの組成比は、 $In : Ga : Zn = 1 : x : y$  ( $x$  は 0 以上 2 以下、 $y$  は 1 以上 5 以下) である積層酸化物材料の作製方法。

## 【請求項 10】

請求項 9 において、前記金属酸化物ターゲットの組成比は、 $In : Ga : Zn = 1 : x : y$  ( $x$  は 1、 $y$  は 1) である積層酸化物材料の作製方法。

## 【請求項 11】

請求項 9 において、前記金属酸化物ターゲットの組成比は、 $In : Ga : Zn = 1 : x : y$  ( $x$  は 0、 $y$  は 1) である積層酸化物材料の作製方法。

## 【請求項 12】

請求項 1 乃至 11 のいずれか一において、第 1 の酸化物結晶部材は高純度の真性の導電型

10

20

30

40

50

である積層酸化物材料の作製方法。

【請求項 1 3】

請求項 1 乃至 1 1 のいずれか一において、第 2 の酸化物結晶部材は高純度の真性の導電型である積層酸化物材料の作製方法。

【請求項 1 4】

請求項 1 乃至 1 3 のいずれか一において、前記積層酸化物材料のキャリア濃度は、 $1 \cdot 0 \times 10^{12} \text{ cm}^{-3}$  未満である積層酸化物材料の作製方法。

【請求項 1 5】

請求項 1 乃至 1 3 のいずれか一において、前記積層酸化物材料のキャリア濃度は、 $1 \cdot 45 \times 10^{10} \text{ cm}^{-3}$  未満である積層酸化物材料の作製方法。

10

【請求項 1 6】

請求項 1 乃至 1 5 のいずれか一において、前記第 1 の酸化物結晶部材の結晶配向した下側界面は、前記下地部材の表面と離間して設けることを特徴とする積層酸化物材料の作製方法。

【請求項 1 7】

下地部材上に、第 1 の酸化物結晶部材の表面から内部に向かって結晶成長する第 1 の酸化物結晶部材と、前記第 1 の酸化物結晶部材上に第 2 の酸化物結晶部材を積層してなる積層酸化物材料。

【請求項 1 8】

請求項 1 7 において、表面から内部に向かって結晶成長する前記第 1 の酸化物結晶部材は、前記第 1 の酸化物結晶部材の表面に対して垂直方向に c 軸配向をしていることを特徴とする積層酸化物材料。

20

【請求項 1 9】

請求項 1 7 または請求項 1 8 において、第 1 の酸化物結晶部材の結晶配向した下側界面は、前記下地部材から離間して設けられたことを特徴とする積層酸化物材料。

【請求項 2 0】

請求項 1 7 乃至 1 9 のいずれか一において、前記下地部材は絶縁物表面または酸化物、窒化物、または金属表面を有する積層酸化物材料。

【請求項 2 1】

請求項 1 7 乃至 2 0 のいずれか一において、前記下地部材と前記第 1 の酸化物結晶部材の間に非晶質を含む酸化物部材を配置せしめることを特徴とする積層酸化物材料。

30

【請求項 2 2】

第 1 の酸化物結晶部材上に同一結晶構造の第 2 の酸化物結晶部材を前記第 1 の酸化物結晶部材の表面上方に少なくとも一部成長せしめることを特徴とする積層酸化物材料。

【請求項 2 3】

請求項 2 2 において、表面から内部に向かって結晶成長する前記第 1 の酸化物結晶部材は、前記第 1 の酸化物結晶部材の表面に対して垂直方向に c 軸配向をしていることを特徴とする積層酸化物材料。

【請求項 2 4】

請求項 2 2 乃至 2 3 のいずれか一において、前記第 1 の酸化物結晶部材と前記第 2 の酸化物結晶部材は、同一成分を含む材料である積層酸化物材料。

40

【請求項 2 5】

請求項 2 2 乃至 2 4 のいずれか一において、前記第 1 の酸化物結晶部材と前記第 2 の酸化物結晶部材の電子親和力は同じである積層酸化物材料。

【請求項 2 6】

請求項 2 2 乃至 2 5 のいずれか一において、前記第 1 の酸化物結晶部材と前記第 2 の酸化物結晶部材の材料は異なる積層酸化物材料。

【請求項 2 7】

下地表面上に平坦表面を有するゲート電極層を形成し、前記ゲート電極層上にゲート絶縁層を形成し、

50

前記ゲート絶縁層上に第 1 の酸化物半導体層を形成し、  
 第 1 の加熱処理を行って前記第 1 の酸化物半導体層の表面から内部に向かって結晶成長させて第 1 の非単結晶層を形成し、  
 前記第 1 の非単結晶層上に第 2 の酸化物半導体層を形成し、  
 第 2 の加熱処理を行って前記第 1 の非単結晶層からその上の前記第 2 酸化物半導体層表面に向かって結晶成長させて第 2 の非単結晶層を形成し、  
 前記第 1 の非単結晶層及び前記第 2 の非単結晶層の積層上にソース電極層またはドレイン電極層を形成し、  
 前記第 1 の非単結晶層の結晶配向している下側界面は、前記ゲート絶縁層の表面と離間していることを特徴とする半導体装置の作製方法。

10

## 【請求項 28】

請求項 27 において、前記第 1 の非単結晶層は、前記第 1 の非単結晶層の表面に対して垂直方向に c 軸配向をしていることを特徴とする半導体装置の作製方法。

## 【請求項 29】

請求項 27 または請求項 28 において、前記第 2 の非単結晶層は、前記第 2 の非単結晶層の表面に対して垂直方向に c 軸配向をしていることを特徴とする半導体装置の作製方法。

## 【請求項 30】

請求項 27 乃至 29 のいずれか一において、前記第 2 の酸化物半導体層の厚さは前記第 1 の酸化物半導体層の厚さよりも厚いことを特徴とする半導体装置の作製方法。

## 【請求項 31】

下地表面上に平坦表面を有するゲート電極層と、  
 前記ゲート電極層上にゲート絶縁層と、  
 前記ゲート絶縁層上に非晶質を含む金属酸化物層と、  
 前記非晶質を含む金属酸化物層上に、表面に対して垂直方向に c 軸配向をしている第 1 の非単結晶層と、  
 前記第 1 の非単結晶層上に接し、且つ、表面に対して垂直方向に c 軸配向をしている第 2 の非単結晶層と、  
 前記第 1 の非単結晶層及び前記第 2 の非単結晶層の積層上にソース電極層またはドレイン電極層とを有し、  
 前記第 1 の非単結晶層及び前記第 2 の非単結晶層は、金属酸化物層であることを特徴とする半導体装置。

20

30

## 【請求項 32】

請求項 31 において、前記第 2 の非単結晶層の厚さは前記第 1 の非単結晶層の厚さよりも厚いことを特徴とする半導体装置。

## 【請求項 33】

請求項 31 または請求項 32 において、前記第 1 の非単結晶層と前記第 2 の非単結晶層の電子親和力は同じであることを特徴とする半導体装置。

## 【請求項 34】

請求項 31 または請求項 32 において、前記第 1 の非単結晶層と前記第 2 の非単結晶層の材料は異なることを特徴とする半導体装置。

40

## 【請求項 35】

請求項 31 乃至 34 のいずれか一において、前記第 2 の非単結晶層表面の前記ゲート電極層と重なる領域の高低差は、1 nm 以下であることを特徴とする半導体装置。

## 【請求項 36】

請求項 31 乃至 34 のいずれか一において、前記第 2 の非単結晶層表面の前記ゲート電極層と重なる領域の高低差は、0.2 nm 以下であることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、スパッタ法で積層成膜とその結晶化熱処理を行い、半導体装置の製造に用いら

50

れる積層酸化物材料に関する。例えば、トランジスタ、ダイオード等の半導体用途に好適な材料を提供する。また、トランジスタなどの半導体素子で構成された回路を有する半導体装置およびその作製方法に関する。例えば、電源回路に搭載されるパワーデバイスや、メモリ、サイリスタ、コンバータ、イメージセンサなどを含む半導体集積回路、液晶表示パネルに代表される電気光学装置や有機発光素子を有する発光表示装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

10

【0003】

半導体材料として、代表的な材料はSiであるが、その他にSiCやGaNなども開発が進められている。しかし、これらは1500以上の温度を単結晶部材の処理に必要とし、薄膜化デバイスまたは三次元化デバイスに用いることができない。

【0004】

一方、近年、絶縁表面を有する基板上に比較的、低温で形成された半導体薄膜（厚さ数～数百nm程度）を用いてトランジスタを構成する技術が注目されている。トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

20

【0005】

また、金属酸化物は多様に存在しさまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶ディスプレイなどで必要とされる透光性を有する電極材料として用いられている。金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化スズ、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域とするトランジスタが既に知られている（特許文献1及び特許文献2）。

【先行技術文献】

【特許文献】

【0006】

30

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の一態様は、スパッタ法でトランジスタ、ダイオード等の半導体用途に好適な材料を提供することを課題の一とする。

【0008】

また、本発明の一態様は、電界効果移動度が高く、オフ電流が低いトランジスタを提供することを課題の一とする。また、所謂ノーマリーオフのスイッチング素子を実現し、低消費電力の半導体装置を提供することも課題の一とする。また、高いトランジスタ性能を有し、且つ、高い信頼性を有するトランジスタを提供することも課題の一とする。

40

【0009】

また、本発明の一態様は、トランジスタなどの半導体素子を有する半導体装置を安価に得ることのできる生産性の高い作製工程を提供することも課題の一とする。

【0010】

また、本発明の一態様は、高い信頼性を有するトランジスタを提供することを課題の一とする。

【課題を解決するための手段】

【0011】

本明細書で開示する本発明の一態様は、下地部材上に、酸化物部材を形成し、加熱処理を

50

行って表面から内部に向かって結晶成長する第1の酸化物結晶部材を形成し、第1の酸化物結晶部材上に第2の酸化物結晶部材を積層して設ける積層酸化物材料の作製方法である。特に第1の酸化物結晶部材と第2の酸化物結晶部材がc軸を共通している、ホモ結晶成長またはヘテロ結晶成長の同軸（アキシヤル）成長をさせていることである。

【0012】

なお、第1の酸化物結晶部材は、第1の酸化物結晶部材の表面に対して垂直方向にc軸配向をしている。特にエピタキシャル成長（一つの結晶構造の成長）する第1の非単結晶薄膜を種として第2の酸化物部材を結晶成長させている。なお、それぞれの酸化物結晶部材でのa-b面での隣り合っている平面の複数の元素は同一である。また、第1の酸化物結晶部材のc軸方向は、深さ方向また上方向に一致する。

10

【0013】

上記作製方法の最大の特徴は、任意の下地表面を有するアモルファス絶縁物（例えば酸化物）上に結晶成長をさせている構成である。

【0014】

また、他の発明の一つは、下地部材上に、酸化物部材を形成し、加熱処理を行って表面から内部に向かって結晶成長する第1の酸化物結晶部材を形成し、且つ、下地部材表面直上に非晶質成分を残存し、第1の酸化物結晶部材上に同一材料であり、且つ、ホモ結晶成長をしている第2の酸化物結晶部材を積層して設ける積層酸化物材料の作製方法である。

【0015】

また、他の発明の一つは、下地部材上に、酸化物部材を形成し、加熱処理を行って表面から内部に向かって結晶成長する第1の酸化物結晶部材を形成し、且つ、下地部材表面直上に非晶質成分を残存し、第1の酸化物結晶部材上に異なる材料であり、且つ、ヘテロ結晶成長をしている第2の酸化物結晶部材を積層して設ける積層酸化物材料の作製方法である。

20

【0016】

上記各作製方法において、ホモ結晶成長またはヘテロ結晶成長は、成膜中に温度を200以上600以下に加熱しながら結晶成長させて得ることを特徴としている。

【0017】

また、上記各作製方法において、第1の酸化物結晶部材及び第2の酸化物結晶部材は高純度の真性の導電型であることを特徴としている。

30

【0018】

また、上記各作製方法において、積層酸化物材料のキャリア濃度は、 $1.0 \times 10^{12} \text{ cm}^{-3}$ 未滿、好ましくは、 $1.45 \times 10^{10} \text{ cm}^{-3}$ 未滿であることを特徴としている。

【0019】

上記各作製方法において、第1の酸化物結晶部材の結晶配向した下側界面は、下地部材と離間して設けることを特徴とする。酸化物部材の膜厚または、加熱処理の条件などを適宜調節することにより、意図的に第1の酸化物結晶部材の結晶配向した下側界面と下地部材との間に酸化物部材のアモルファス領域を残存させてバッファとして機能させ、結晶領域を下地部材表面より離間して設け、デバイスを作製した場合に下地部材との界面散乱による影響を低減することができる。例えば、上記積層酸化物材料を半導体層としてゲート絶縁層上に形成するボトムゲート型トランジスタを作製する場合、チャネル形成領域は、ゲート絶縁層の界面に形成されるのではなく、ゲート絶縁層表面と離間している多結晶層に形成され、ゲート絶縁層と酸化物結晶部材との界面散乱の影響が低減される。従って、ゲート絶縁層表面と離間している結晶層を有するトランジスタは、埋め込みチャネル（Buried Channel）トランジスタとも呼べる。

40

【0020】

本発明の技術思想の一つは、酸化物半導体中にさらに加えることをせずに、逆に不本意に存在する水、水素という不純物を意図的に除去することにより、酸化物半導体自体を高純度化することである。すなわち、ドナー準位を構成する水または水素を除去し、さらに酸

50

素欠損を低減し、酸化物半導体を構成する主成分材料の酸素を十分に供給することにより、酸化物半導体を高純度化することである。

【0021】

酸化物半導体を成膜することで $10^{20} \text{ cm}^{-3}$ のレベルの水素がSIMS（二次イオン質量分析）で測定される。このドナー準位の原因となる水または水素を意図的に除去し、さらに水または水素の除去に伴い同時に減少してしまう酸素（酸化物半導体の成分の一つ）を酸化物半導体に加えることにより、酸化物半導体を高純度化し、電氣的にi型（真性）半導体とする。

【0022】

また、本発明の技術思想の一つにおいては、酸化物半導体中の水、水素の量は少なれば少ないほど好ましく、キャリアも少なれば少ないほど良い。すなわち、キャリア密度は $1 \times 10^{12} \text{ cm}^{-3}$ 未満、さらに好ましくは測定限界以下の $1.45 \times 10^{10} \text{ cm}^{-3}$ 未満が求められる。更には、本発明の技術思想は、ゼロに近いまたはゼロが理想である。特に、酸化物半導体を、酸素、窒素、または超乾燥空気（水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）雰囲気中、450以上850以下、好ましくは550以上750以下の加熱処理をすることにより、n型不純物となる水、または水素を除去し、高純度化することができる。また、水、または水素等の不純物を除去することにより、酸化物半導体を高純度化することで、キャリア密度を $1 \times 10^{12} \text{ cm}^{-3}$ 未満、さらに好ましくは測定限界以下の $1.45 \times 10^{10} \text{ cm}^{-3}$ 未満とすることができる。

10

20

【0023】

更に、熱処理を450以上850以下、好ましくは600以上700以下の高温とすると、酸化物半導体を高純度化すると共に、結晶化させることが可能であり、酸化物半導体の表面から内部に向かって結晶成長し、c軸方向を有する非単結晶領域を有する酸化物半導体となる。

【0024】

本発明は、当該c軸方向を有する非単結晶領域を有する酸化物半導体を種結晶として、その上に第2の酸化物半導体を設け、450以上850以下、好ましくは550以上750以下の加熱処理をすることで、第2の酸化物半導体を、種結晶と同様にc軸配向を有する非単結晶領域とすることができる。即ち、種結晶と第2の酸化物半導体のc軸が同軸となる、理想的なアキシシャル成長、またはエピタキシシャル成長をさせることができる。

30

【0025】

また、種結晶と同軸となる第2の酸化物半導体は、成膜後の熱処理による固相成長のみではなく、200以上600以下、好ましくは200以上550以下で加熱しながら第2の酸化物半導体を成膜、代表的にはスパッタリング法により成膜することで、堆積しつつ結晶成長させることができる。

【0026】

さらには、酸化物半導体のキャリアを低減し、好ましくは無くしてしまうことで、トランジスタにおいて酸化物半導体はキャリアを通過させる通路（パス）として機能させる。その結果、酸化物半導体は高純度化したi型（真性）半導体であり、キャリアがない、または極めて少なくせしめることにより、トランジスタのオフ状態ではオフ電流を極めて低くできるというのが本発明の技術思想の一つである。

40

【0027】

また、酸化物半導体は通路（パス）として機能し、酸化物半導体自体がキャリアを有さない、または極めて少ないように高純度化したi型（真性）とすると、キャリアはソース電極、ドレイン電極を通して供給される。酸化物半導体の電子親和力およびフェルミレベル、理想的には真性フェルミレベルと一致したフェルミレベルと、ソース、ドレインの電極の仕事関数とを適宜選択することで、ソース電極及びドレイン電極からキャリアを注入させることが可能となり、n型トランジスタ及びp型トランジスタを適宜作製することが

50

できる。

【0028】

上記酸化物結晶部材、及び酸化物部材は全て金属酸化物であり、四元系金属酸化物である  $In-Sn-Ga-Zn-O$  系膜や、三元系金属酸化物である  $In-Ga-Zn-O$  系膜、 $In-Sn-Zn-O$  系膜、 $In-Al-Zn-O$  系膜、 $Sn-Ga-Zn-O$  系膜、 $Al-Ga-Zn-O$  系膜、 $Sn-Al-Zn-O$  系膜や、二元系金属酸化物である  $In-Zn-O$  系膜、 $Sn-Zn-O$  系膜、 $Al-Zn-O$  系膜、 $Zn-Mg-O$  系膜、 $Sn-Mg-O$  系膜、 $In-Mg-O$  系膜や、単元系金属酸化物である  $In-O$  系膜、 $Sn-O$  系膜、 $Zn-O$  系膜などの金属酸化物膜を用いることができる。なお、ここで、例えば、 $In-Sn-Ga-Zn-O$  膜とは、インジウム ( $In$ )、錫 ( $Sn$ )、ガリウム ( $Ga$ )、亜鉛 ( $Zn$ ) を有する酸化物膜、という意味であり、その化学量論比はとくに問わない。

10

【0029】

また、上記酸化物結晶部材、及び酸化物部材は、 $InMO_3(ZnO)_m$  ( $m > 0$ 、且つ  $m$  は自然数でない) で表記される材料としても表現できる。ここで、 $M$  は、 $Ga$ 、 $Al$ 、 $Mn$  および  $Co$  から選ばれた一または複数の金属元素を示す。例えば  $M$  として、 $Ga$ 、 $Ga$  及び  $Al$ 、 $Ga$  及び  $Mn$ 、または  $Ga$  及び  $Co$  などがある。

【0030】

また、 $In-A-B-O$  で表現される酸化物半導体材料を用いても良い。ここで、 $A$  は、ガリウム ( $Ga$ ) やアルミニウム ( $Al$ ) などの13族元素、シリコン ( $Si$ ) やゲルマニウム ( $Ge$ ) に代表される14族元素などから選択される一または複数種類の元素を表す。また、 $B$  は、亜鉛 ( $Zn$ ) に代表される12族元素から選択される一又は複数種類の元素を表す。なお、 $In$ 、 $A$ 、 $B$  の含有量は任意であり、 $A$  の含有量がゼロの場合を含む。一方、 $In$  および  $B$  の含有量はゼロではない。すなわち、上述の表記には、 $In-Ga-Zn-O$  や  $In-Zn-O$  などが含まれる。また、本明細書でいう  $In-Ga-Zn-O$  で表記される酸化物半導体材料は、 $InGaO_3(ZnO)_m$  ( $m > 0$ 、且つ  $m$  は自然数でない) であり、 $m$  が自然数でないことは、ICP-MS分析や、RBS分析を用いて確認することができる。

20

【0031】

従来の酸化物半導体は一般に  $n$  型であり、ゲート電圧が  $0V$  でもソース電極とドレイン電極の間に電流が流れる、所謂ノーマリーオンとなりやすい。電界効果移動度が高くともトランジスタがノーマリーオンであると、回路として制御することが困難である。酸化物半導体が  $n$  型である場合のフェルミ準位 ( $E_F$ ) は、バンドギャップ中央に位置する真性フェルミ準位 ( $E_i$ ) から離れて、伝導帯寄りに位置している。なお、酸化物半導体において水素はドナーであり  $n$  型化する一つの要因であることが知られている。また、酸素欠損も  $n$  型化する一つの要因であることが知られている。

30

【0032】

そこで酸化物半導体層を  $i$  型とするため、 $n$  型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化し、かつ、酸素欠損を除去することにより真性 ( $i$  型) とし、又は真性型とする。すなわち、不純物を添加して  $i$  型化するのでなく、水素や水等の不純物や酸素欠損を極力除去することにより、高純度化された  $i$  型 (真性半導体) 又はそれに近づけることを特徴としている。そうすることにより、フェルミ準位 ( $E_F$ ) を真性フェルミ準位 ( $E_i$ ) と同じレベルにまですることができる。

40

【0033】

酸化物半導体層を高純度化することにより、トランジスタのしきい値電圧値をプラスとすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

【0034】

高純度化するためのプロセスの一つとして、酸化物半導体膜の成膜を行う前、または成膜中、または成膜後に、スパッタ装置内の水分などを除去することが好ましい。スパッタ装

50

置内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気したスパッタ装置の成膜室は、例えば、水素原子や、水 ( $H_2O$ ) など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。さらに、酸化物半導体用ターゲット中の酸化物半導体の相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上とすることが好ましい。相対密度の高いターゲットを用いると、形成される酸化物半導体膜中の不純物濃度を低減することができる。

#### 【0035】

形成される酸化物半導体膜中に不純物が混入すると、後に行う結晶化のための加熱処理の際、一方向の結晶成長、即ち表面から下方向の結晶成長を阻害する恐れがあるため、酸化物半導体膜中に一切の不純物 (p型またはn型を作る不純物) がない状態とすることが理想的である。また、半導体を構成しない重金属、Fe、Niなどの不純物元素も  $1 \times 10^{15} \text{ cm}^{-3}$  以下とすることが理想的である。脱水化、脱水素化により酸化物半導体を高純度化する、またはこの工程を特に強く行うと同時に酸化物半導体を結晶化させることは極めて重要である。

#### 【0036】

また、酸化物半導体膜の成膜を行う前に、スパッタ装置内壁や、ターゲット表面やターゲット材料中の水分または水素を除去するためにプレヒート処理を行っても良い。プレヒート処理としては成膜チャンバー内を減圧下で200 ~ 600 に加熱する方法が有効である。また、被処理基板を加熱しながら成膜してチャンバー内壁に水分などを吸着させる方法も有効である。この場合のターゲット冷却液は、水ではなく油脂等を用いるとよい。加熱せずに窒素の導入と排気を繰り返しても一定の効果が得られるが、加熱しながら行うとなお良い。プレヒート処理を終えたら、基板またはスパッタ装置を冷却し、酸化物半導体膜の成膜を行う。

#### 【0037】

また、酸化物半導体膜、又はその上に接して形成する材料膜を、成膜する際に用いるアルゴンや酸素などのスパッタガスも水素、水、水酸基を含む化合物又は水素化物などの不純物が、ppmの単位で表される程度の濃度、ppbの単位で表される程度の濃度まで除去された高純度ガスを用いることが好ましい。

#### 【0038】

また、スパッタ法による酸化物半導体膜の成膜中に基板を200 以上600 以下に加熱してもよい。200 以上600 以下に加熱すると、その前に第1の非単結晶層が予め形成されているならば、成膜とともに同軸方向の結晶成長 (特にc軸方向の結晶成長) が期待できる。

#### 【0039】

また、高純度化するためのプロセスの一つとして、水素及び水分をほとんど含まない雰囲気下 (窒素雰囲気、酸素雰囲気、乾燥空気雰囲気 (例えば、水分については露点 - 40 以下、好ましくは露点 - 50 以下) など) で第1の加熱処理を行う。この第1の加熱処理は、酸化物半導体層中からH、OHなどを脱離させる脱水化または脱水素化とも呼ぶことができ、不活性雰囲気下で昇温し、途中で酸素を含む雰囲気に切り替える加熱処理を行う場合や、酸素雰囲気下で加熱処理を行う場合は、加酸化処理とも呼べる。

#### 【0040】

第1の加熱処理は、電気炉を用いた加熱方法、加熱した気体を用いるGRTA (Gas Rapid Thermal Anneal) 法またはランプ光を用いるLRTA (Lamp Rapid Thermal Anneal) 法などの瞬間加熱方法などを用いることができる。また、第1の加熱処理は、450nm以下の光を照射する加熱も同時に行的ることもよい。高純度化のための第1の加熱処理は、第1の加熱処理後の酸化物半導体層に対してTDS (Thermal Desorption Spectroscopy) で

10

20

30

40

50

450 まで測定を行っても水の2つのピークのうち、少なくとも300 付近に現れる1つのピークは検出されない程度の条件で行う。従って、高純度化のための加熱処理が行われた酸化物半導体層を用いたトランジスタに対してTDSで450 まで測定を行っても少なくとも300 付近に現れる水のピークは検出されない。

【0041】

第1の加熱処理は、結晶成長の種がない状態で結晶成長を行うため、高温で短時間に加熱を行い、表面から内部に向かう結晶成長のみとなるようにすることが好ましい。また、酸化物半導体層の表面が平坦であると、良好な板状の非単結晶層を得ることができるため、できるだけ下地部材、例えば絶縁層や、基板の平坦性が高いことが望ましい。例えば、市販されているシリコンウェハと同程度の平坦性、例えば、表面粗度が1 μm四方の領域におけるAFM測定での高低差が1 nm以下、好ましくは0.2 nm以下とする。

10

【0042】

非単結晶層は、酸化物半導体中のInの電子雲が互いに重なり合って接続することにより、電気伝導率を大きくする。従って、非単結晶層を有するトランジスタは、高い電界効果移動度を実現することができる。

【0043】

第1の加熱処理により形成した非単結晶層を種としてさらに結晶成長を行う方法の一つを以下に図1(A)、図1(B)、及び図1(C)を用いて示す。

【0044】

工程順序の概略を説明すると、下地部材上に第1の酸化物半導体層を形成した後、高純度化するための第1の加熱処理を行い、高純度化するための第1の加熱処理と同一工程により、第1の酸化物半導体層の表面に比較的結晶方位の揃った非単結晶層を形成し、その上に第2の酸化物半導体層を積層する。さらに結晶化のための第2の加熱処理を行うことにより、第1の酸化物半導体層の表面の非単結晶層を種として第2の酸化物半導体層を結晶化するという順序で行われる。

20

【0045】

第1の加熱処理は、結晶成長の種がない状態で表面から結晶成長が行われるのに対して、第2の加熱処理は、種となる平板状の非単結晶層があるため、結晶成長が可能な最低温度で長時間に加熱を行うと良好な結晶性を得ることができ、好ましい。第2の加熱処理により行われる結晶成長の方向は、下から上の方向、基板側から表面側の方向(再結晶方向とも呼ぶ)であり、第1の加熱処理での結晶成長の方向と異なっている。また、第1の加熱処理で得られた非単結晶層は第2の加熱処理で再び加熱されるため、さらに結晶性が向上する。

30

【0046】

図1(A)は、下地部材520上に形成された第1の酸化物半導体層に対して結晶化のための第1の加熱処理が行われた後の状態を示している。第1の酸化物半導体層や下地部材520の材料や加熱温度や加熱時間などの条件にもよるが、第1の加熱処理により、表面から結晶成長しても第1の酸化物結晶部材521bの先端が下地部材520の界面にまで届かず、非晶質状態の領域521aを残存させる。

【0047】

また、図1(B)は、第2の酸化物部材522の成膜直後の断面図である。第2の酸化物部材522は、スパッタ法で形成され、その金属酸化物ターゲットは、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$  [mol数比]の金属酸化物ターゲットや、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 4$  [mol数比]の金属酸化物ターゲットを用いればよい。

40

【0048】

また、スパッタ法による第2の酸化物部材522の成膜中に基板を200 以上600 以下に加熱してもよい。この基板温度で成膜を行うと、第2の酸化物部材522は前配列ができる。また、直接エピタキシャル成長することができる。

【0049】

なお、実際に図1(B)に対応する構造を作製し、断面を撮影したTEM写真が図4(A)

50

) である。模式図を図 4 ( B ) に示す。なお、TEM 写真は、加速電圧を 300 kV とし、高分解能透過電子顕微鏡 ( 日立製作所製「H9000-NAR」: TEM ) で観察した高倍写真 ( 400 万倍 ) である。図 4 ( A ) を撮影したサンプルは、ガラス基板上に絶縁層を形成し、その上に 5 nm の膜厚の第 1 の In - Ga - Zn - O 膜を形成し、窒素雰囲気下で 650 °C、6 分の加熱処理を行い、その後 30 nm の膜厚の第 2 の In - Ga - Zn - O 膜を積層形成した。なお、絶縁層は、高密度プラズマ装置による膜厚 100 nm の酸化窒化珪素膜 ( SiO<sub>x</sub>N<sub>y</sub> と呼ぶ、ただし、x > y > 0 ) を用いている。図 4 ( A ) では、第 1 の In - Ga - Zn - O 膜は第 1 の In - Ga - Zn - O 膜の表面に対して垂直方向に c 軸配向していることと、絶縁層との第 1 の In - Ga - Zn - O 膜の界面付近は結晶化されていないことが確認できる。

10

#### 【 0050 】

金属酸化物半導体層としては、InGa<sub>x</sub>Zn<sub>y</sub>O<sub>z</sub> で表される材料を用いることができる。ここで、x、y、z は任意の数である。また、x、y、z は整数である必要はなく、非整数であっても良い。なお、x は 0 であっても良いが、y は 0 でないことが望ましい。例えば、当該表記は、x が 0 である In - Zn - O を含んでいる。また、x = 1、y = 1 で表記される場合や、x = 1、y = 0.5 で表記される場合などを含む。また、酸化物半導体層表面と垂直な方向に c 軸配向した結晶、例えば非単結晶とするためには、高純度化された酸化物半導体を用いることが好ましく、膜中の不純物を極めて少なくすることによって結晶性の高い非単結晶を得ることができる。本工程により、得られる金属酸化物半導体層中における平板状の結晶は、In<sub>2</sub>Ga<sub>2</sub>ZnO<sub>7</sub> ( In : Ga : Zn : O = 2 : 2 : 1 : 7 ) の結晶である。また、この平板状の結晶を有する金属酸化物半導体層のキャリア濃度は  $1 \times 10^{12} \text{ cm}^{-3}$  未満、好ましくは  $1.45 \times 10^{10} \text{ cm}^{-3}$  未満である。

20

#### 【 0051 】

また、図 4 ( A ) を撮影したサンプルの第 1 の In - Ga - Zn - O 膜及び第 2 の In - Ga - Zn - O 膜は、同じスパッタ装置を用い、酸化物半導体用ターゲット ( In - Ga - Zn - O 系酸化物半導体用ターゲット ( In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO = 1 : 1 : 2 [ mol 数比 ] ) を用い、圧力 0.6 Pa、直流 ( DC ) 電源 0.5 kW、酸素とアルゴンの混合雰囲気下 ( 酸素流量 50 sccm、アルゴン流量 50 sccm )、基板温度 200 °C、成膜速度 4 nm/min で成膜した。また、このターゲットの材料及び組成に限定されず、例えば、In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO = 1 : 1 : 1 [ mol 数比 ] のターゲットを用いた場合、In<sub>2</sub>Ga<sub>2</sub>ZnO<sub>7</sub> の非単結晶を得やすい。

30

#### 【 0052 】

In<sub>2</sub>Ga<sub>2</sub>ZnO<sub>7</sub> の結晶構造は In、Ga、Zn のいずれかを含有し、a 軸 ( a - axis ) および b 軸 ( b - axis ) に平行なレイヤーの積層構造として捉えることができる。In<sub>2</sub>Ga<sub>2</sub>ZnO<sub>7</sub> の結晶の電気伝導は、主として In によって制御されるため、In を含有するレイヤーの、a 軸および b 軸に平行な方向に関する電気特性は良好である。In<sub>2</sub>Ga<sub>2</sub>ZnO<sub>7</sub> の結晶は、In の電子雲が互いに重なり合って接続し、キャリアパスが形成される。

40

#### 【 0053 】

また、上記ターゲットに代えて、In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO = 2 : 1 : 8 [ mol 数比 ] の金属酸化物ターゲットを用いてもよい。

#### 【 0054 】

また、Ga を含まない In<sub>2</sub>O<sub>3</sub> : ZnO = 1 : 2 [ mol 比 ] の金属酸化物ターゲットを用いてもよい。ボトムゲート型のトランジスタとする場合、Ga の酸化物は絶縁物であるため、第 1 の In - Ga - Zn - O 膜を用いる場合に比べ、In - Zn - O 膜を用いる場合には電界効果移動度を高くすることができる。

#### 【 0055 】

また、図 1 ( C ) は、第 2 の加熱処理後の断面図である。第 2 の加熱処理によって、第 1 の酸化物結晶部材 521 b の非単結晶層を種として第 2 の酸化物部材 522 の表面に向か

50

って上方に結晶成長し、第2の酸化物結晶部材523bが形成され、結晶部材同士が同一結晶軸を有する。

【0056】

第1の酸化物部材と第2の酸化物部材の材料は、表面に対して垂直方向にc軸配向している非単結晶が得られるのであれば、特に限定されず、異なる材料を用いてもよいし、同一成分を含む材料を用いてもよい。同一成分を含むとは同じ元素を有する意味である。

【0057】

なお、第1の酸化物部材と第2の酸化物部材に同一成分を含む酸化物半導体材料を用いる場合、図1(C)で点線で示したように、第1の酸化物結晶部材523aと第2の酸化物結晶部材523bの境界は不明瞭となる。

10

【0058】

また、図1(C)においては、下地部材520上に接して、非晶質状態のままの領域523c、第1の酸化物結晶部材523a、第2の酸化物結晶部材523bの順に積層された3層構造と言える。

【0059】

この第2の加熱処理も、酸化物半導体層中からH、OHなどを脱離させる脱水化または脱水素化とも呼ぶことができ、不活性雰囲気下で昇温し、途中で雰囲気を切り替え酸素を含む雰囲気下とする加熱処理を行う場合や、酸素雰囲気下で加熱処理を行う場合は、加酸化処理とも呼べる。

20

【0060】

酸化物半導体層の水素濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下、 $1 \times 10^{16} \text{ cm}^{-3}$ 以下、さらには実質的には0が好ましい。また、酸化物半導体層のキャリア密度は、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満、さらに好ましくは測定限界以下の $1.45 \times 10^{10} \text{ cm}^{-3}$ 未満である。即ち、酸化物半導体層のキャリア密度は、限りなくゼロに近い。また、バンドギャップは2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である。なお、酸化物半導体層中の水素濃度測定は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)で行うことができる。キャリア密度は、ホール効果測定により測定することができる。また、より低密度のキャリア密度の測定は、CV測定(Capacitance-Voltage-Measurement)の測定結果及び数式1により求めることができる。

30

【0061】

【数1】

$$N_d = -\left(\frac{2}{e\epsilon_0\epsilon}\right) \left/ \frac{d(1/C)^2}{dV} \right.$$

【0062】

こうして、第1の酸化物結晶部材523aと第2の酸化物結晶部材523bの積層からなる非単結晶層は、2回に分けて結晶成長させることができる。

【0063】

また、実際に、第2のIn-Ga-Zn-O膜の成膜後に窒素雰囲気下で650、6分の加熱処理を行い、断面を撮影したTEM写真が図5(A)である。なお、模式図を図5(B)に示す。図5(A)では、第2のIn-Ga-Zn-O膜の全体が結晶化している様子が確認できる。また、第2のIn-Ga-Zn-O膜の非単結晶層は第2のIn-Ga-Zn-O膜の表面に対して垂直方向にc軸配向していることが確認できる。また、第2の熱処理後も絶縁層との第1のIn-Ga-Zn-O膜の界面付近は結晶化されていないことが確認できる。

40

【0064】

なお、図1(A)において、第1の酸化物半導体層の表面の比較的結晶方位の揃った非単結晶層は、表面から深さ方向に結晶成長するため、下地部材の影響を受けることなく形成

50

することができる。

【0065】

第1の酸化物半導体層、例えば、In-Ga-Zn-O膜の表面に比較的結晶方位の揃った非単結晶層が形成されるメカニズムを一例に説明する。加熱処理により、In-Ga-Zn-O膜中に含まれる亜鉛が拡散し、表面近傍に集まり、結晶成長の種となり、その結晶成長は、横方向（表面に平行な方向）の結晶成長のほうが、深さ方向（表面に垂直な方向）の結晶成長よりも強いため、平板状の非単結晶層が形成される。即ち、a-b面の方向とc軸の方向とではa-b面の方向の方が結晶化しやすい。また、それぞれのa-b面は一致していない。また、In-Ga-Zn-O膜の表面より上は自由空間であり、ここでの上方への結晶の成長はない。これらのことは、TDSの測定時に450℃まで測定を行った際、InやGaは検出されないが、亜鉛は真空加熱条件下、特に300℃付近でピーク検出されることが確認できていることから推察される。なお、TDSの測定は真空中で行われ、亜鉛の離脱は200℃付近から検出されていることが確認できている。

10

【0066】

また、比較例として、50nmの膜厚のIn-Ga-Zn-O膜を形成した後、700℃、1時間の加熱を行ったサンプルの断面を撮影したTEM写真が図6(A)である。なお、模式図を図6(B)に示す。この図6(A)のTEM写真は、加速電圧を300kVとし、高分解能透過電子顕微鏡（日立製作所製「H9000-NAR」：TEM）で観察した高倍写真（200万倍）である。図6(A)では、In-Ga-Zn-O膜の表面から約5nm程度が結晶化し、In-Ga-Zn-O膜の内部には多くの非晶質部分と、配向の揃っていない複数の結晶がランダムに存在している様子が確認できる。従って、膜厚を50nmと厚く成膜した後に650℃よりも高い700℃、6分よりも長い1時間の加熱処理を1回行って50nmの膜厚全体を高い配向性を有する非単結晶層にすることは困難であると言える。

20

【0067】

これらの実験結果から、2回に分けて成膜を行い、結晶成長の種となる非単結晶層を形成した後、再度成膜した後に結晶成長させることで膜厚の厚い非単結晶層を形成することができる。本明細書で開示する方法が極めて有用であることがわかる。2回に分けて成膜を行い、2回の熱処理を行うことで初めて高い配向性を有する非単結晶層、即ち、酸化物結晶部材の表面に対して垂直方向にc軸配向をしている非単結晶層を厚く得ることができる。

30

【0068】

また、本明細書で開示する本発明の一態様は、下地部材上に、第1の酸化物結晶部材の表面から内部に向かって結晶成長する第1の酸化物結晶部材と、第1の酸化物結晶部材上に第2の酸化物結晶部材を積層してなる積層酸化物材料である。なお、表面から内部に向かって結晶成長する第1の酸化物結晶部材は、第1の酸化物結晶部材の表面に対して垂直方向にc軸配向をしている。

【0069】

上記構成は、下地部材と第1の酸化物結晶部材の間に非晶質を含む酸化物部材を配置せしめることを特徴とする。また、意図的に下地部材と第1の酸化物結晶部材の間に非晶質を含む酸化物部材を配置せしめることによって、下地部材表面に達するまで結晶成長させない条件で加熱処理を行うことができるため、生産性を向上させることができる。

40

【0070】

また、本明細書で開示する本発明の一態様は、第1の酸化物結晶部材上に同一結晶構造の第2の酸化物結晶部材を第1の酸化物結晶部材の表面上方に少なくとも一部成長せしめることを特徴とする積層酸化物材料である。

【0071】

また、他の発明の一つは、半導体装置の作製方法であり、その構成は、下地部材表面上に平坦表面を有するゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に第1の酸化物半導体層を形成し、第1の加熱処理を行って第1の酸化物半導

50

体層の表面から内部に向かって結晶成長させて第1の非単結晶層を形成し、第1の非単結晶層上に第2の酸化物半導体層を形成し、第2の加熱処理を行って第1の非単結晶層からその上の第2酸化物半導体層表面に向かって結晶成長させて第2の非単結晶層を形成し、第1の非単結晶層及び第2の非単結晶層の積層上にソース電極層またはドレイン電極層を形成し、第1の非単結晶層の結晶配向した下側界面は、ゲート絶縁層の表面と離間していることを特徴とする半導体装置の作製方法である。

【0072】

また上記構成において、第1の非単結晶層は、第1の非単結晶層の表面に対して垂直方向にc軸配向をしていることを特徴としている。

【0073】

また、他の発明の一つは、半導体装置であり、その構成は、下地部材表面上に平坦表面を有するゲート電極層と、ゲート電極層上にゲート絶縁層と、ゲート絶縁層上に非晶質を含む金属酸化物層と、非晶質を含む金属酸化物層上に、表面に対して垂直方向にc軸配向をしている第1の非単結晶層と、第1の非単結晶層上に接し、且つ、表面に対して垂直方向にc軸配向をしている第2の非単結晶層と、第1の非単結晶層及び第2の非単結晶層の積層上にソース電極層またはドレイン電極層とを有し、第1の非単結晶層及び第2の非単結晶層は、金属酸化物層であることを特徴とする半導体装置である。

【0074】

上記構成において、第2の非単結晶層表面のゲート電極層と重なる領域の高低差は、1nm以下、好ましくは、0.2nm以下であることを特徴としている。

【0075】

また、金属酸化物、代表的にはIn-Ga-Zn-O膜を用いるデバイスは、単結晶Siを用いるデバイスや、SiCを用いるデバイスや、GaNを用いるデバイスとは全く異なっている。

【0076】

ワイドギャップ半導体としてSiC(3.26eV)、GaN(3.39eV)が知られている。しかしながら、SiCやGaNは高価な材料である。また、SiCは、低抵抗領域を選択的に形成するため、リンやアルミニウムのドーピングを行った後に活性化するための温度が1700以上必要とされている。即ち、SiCやGaNは、1000以上の処理温度を必要としており、ガラス基板上またはLSIが形成された基板の上方での薄膜化は実質的に不可能である。

【0077】

また、SiCやGaNは単結晶のみであり、PN接合での制御を求められ、より完全な単結晶であることを必要としている。したがって、製造工程で意図しない微量の不純物が混入することによって、それがドナーやアクセプタとなるため、キャリア濃度の下限には限界がある。一方、金属酸化物は、アモルファス、多結晶、または単結晶の全ての結晶構造を利用することができる。PN接合の制御を用いることなく、 $\mu_{MS}$ 対 $\mu_{OS} + 1/2 E_g^{OS}$ 、 $\mu_{MD}$ 対 $\mu_{OS} + 1/2 E_g^{OS}$ と、ソース及びドレインの仕事関数と、金属酸化物の電子親和力と、エネルギーバンド幅の物性を利用して、PN接合と等価のバンド制御を行っていることが金属酸化物の特徴の一つである。

【0078】

金属酸化物、代表的にはIn-Ga-Zn-O膜のバンドギャップも単結晶シリコンの約3倍広く、SiCに比べ製造コストが低くできるので安価な材料である。

【0079】

In-Ga-Zn-Oのバンドギャップは、3.05eVであり、この値を元に真性キャリア密度を計算する。固体中の電子のエネルギー分布 $f(E)$ は次の式で示されるフェルミ・ディラック統計に従うことが知られている。

【0080】

10

20

30

40

【数 2】

$$f(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{kT}\right)} \quad (1)$$

【0081】

キャリア密度が著しく高くない（縮退していない）普通の半導体では、次の関係式が成立する。

【0082】

10

【数 3】

$$|E - E_F| > kT \quad (2)$$

【0083】

従って、(1)式のフェルミ・ディラック分布は次の式で示されるボルツマン分布の式に近似される。

【0084】

【数 4】

$$f(E) = \exp\left[-\frac{E - E_F}{kT}\right] \quad (3) \quad 20$$

【0085】

(3)式を使って半導体の真性キャリア密度 ( $n_i$ ) を計算すると以下の式が得られる。

【0086】

【数 5】

$$n_i = \sqrt{N_C N_V} \exp\left(-\frac{E_g}{2kT}\right) \quad (4)$$

30

【0087】

そして、(4)式に、SiとIn-Ga-Zn-Oの実効状態密度 ( $N_C$ 、 $N_V$ )、バンドギャップ ( $E_g$ ) の値を代入し、真性キャリア密度を計算した。その結果を表1に示す。

【0088】

【表 1】

	Si	IGZO
$N_C$ (300K) [ $\text{cm}^{-3}$ ]	$2.8 \times 10^{19}$	$5.0 \times 10^{18}$
$N_V$ (300K) [ $\text{cm}^{-3}$ ]	$1.04 \times 10^{19}$	$5.0 \times 10^{18}$
$E_g$ (300K) [eV]	1.08	3.05
$n_i$ (300K) [ $\text{cm}^{-3}$ ]	$1.45 \times 10^{10}$	$1.2 \times 10^{-7}$

40

【0089】

In-Ga-Zn-Oは、Siに比べて極端に真性キャリア密度が少ないことがわかる。また、酸化物半導体のキャリア密度が  $1 \times 10^{12} \text{ cm}^{-3}$  未満、さらに好ましくは測定限界以下の  $1.45 \times 10^{10} \text{ cm}^{-3}$  未満とすることが好ましい。IGZOのバンドギャップとして3.05 eVを選んだ場合、SiとIn-Ga-Zn-Oでは、真性キャリア濃度についておよそフェルミ・ディラックの分布則が正しいと仮定して、前者は後者よ

50

りキャリア密度が約  $10^{17}$  倍大きいと言える。

【0090】

また、金属酸化物は室温から450の加熱温度によるスパッタ法で薄膜の形成が可能であり、プロセス最高温度は300以上800以下とすることができ、プロセス最高温度をガラスの歪み点以下とする場合には、大面積のガラス基板上に形成することも可能である。従って、工業化にはプロセス最高温度が300以上800以下でバンドギャップの広い金属酸化物を作製できることが重要である。

【0091】

また、シリコン集積回路の三次元化をするに当たっても、金属酸化物の処理温度では下側（シリコン側）の接合を壊す温度未満の300以上800以下であるので、シリコン集積回路とその上方に金属酸化物FET層を形成して三次元化した集積回路への適用も可能である。

10

【0092】

これまで報告された金属酸化物はアモルファス状態のもの、あるいは、多結晶状態のもの、あるいは、1500程度の高温での処理により単結晶を得るもののみであったが、上記に示したように、金属酸化物の平板状の非単結晶を形成した後、金属酸化物の平板状の非単結晶を種として結晶成長させる方法により比較的低温でc軸配向を有する非単結晶薄膜ができ、さらに厚膜の非単結晶ができると、より広い工業応用が開ける。なお、良質な厚膜の非単結晶を得るには、基板の平坦性・平滑性が高いことが好ましい。なぜならば、わずかな基板の凹凸が、局所的なc軸のぶれとなり、結晶成長が進展するにつれて、隣接する結晶のc軸の向きと異なることにより結晶の転移等の欠陥となるからである。

20

【発明の効果】

【0093】

金属酸化物膜を2回に分けて成膜し、2回に分けて加熱処理を行うことで、下地部材の材料が、酸化物、窒化物、金属など材料を問わず、それらの表面（絶縁物表面または酸化物、窒化物、または金属表面）上に膜厚の大きい非単結晶層、即ち、膜表面に垂直にc軸配向した非単結晶層を得ることができる。

【0094】

なお、c軸配向した非単結晶層を有する酸化物半導体層を用いたトランジスタは、高い電界効果移動度を有するトランジスタを実現できる。また、オフ電流が低いトランジスタを実現できる。また、所謂ノーマリーオフのスイッチング素子を実現し、低消費電力の半導体装置を提供することができる。

30

【0095】

また、c軸配向した非単結晶層を有する酸化物半導体層を用いたトランジスタは、BT試験前後におけるトランジスタのしきい値電圧の変化量を抑制することができ、高い信頼性を実現することができる。また、c軸配向した非単結晶層を有する酸化物半導体層を用いたトランジスタは、トランジスタに光を照射しつつ行うBT試験前後においてもトランジスタのしきい値電圧の変化量が低減でき、安定した電気的特性を有するトランジスタを作製することができる。

【0096】

第1の酸化物半導体層の表面に薄い非単結晶層を形成できる第1の加熱処理の条件とし、下地部材の表面に達するまで結晶成長させない条件としても、その上に第2の酸化物半導体層を形成し、薄い非単結晶層を種として第2の酸化物半導体層を非単結晶とすることができる。第1の加熱処理温度条件の温度を下げる、或いは加熱時間を短縮することができるため、大面積基板上に形成する製造プロセスに適している。また、第1の加熱処理温度及び第2の加熱温度を600以下とすればガラスの収縮量も抑えることができる。従って、安価に得ることのできる生産性の高い作製工程を提供することができる。

40

【0097】

また、意図的に第1の酸化物結晶部材の結晶配向した下側界面を下地部材の表面と離間して設け、デバイスを作製した場合に下地部材との界面散乱による影響を低減することがで

50

きる。ゲート絶縁層と離間している結晶層をチャンネル形成領域とすることにより、埋め込みチャンネル (Buried Channel) トランジスタを実現できる。

【図面の簡単な説明】

【0098】

【図1】本発明の一態様を示す工程断面図である。

【図2】本発明の一態様を示す工程断面図である。

【図3】本発明の一態様を示す断面図及び上面図である。

【図4】断面TEM写真図及びその模式図である。

【図5】第2の加熱処理後の断面TEM写真図及びその模式図である。

【図6】比較例の断面TEM写真図及びその模式図である。

10

【図7】酸化物半導体を用いたボトムゲート型のトランジスタの縦断面図。

【図8】図7に示すA-A'断面におけるエネルギーバンド図(模式図)。

【図9】(A)ゲート(GE1)に正の電圧( $V_G > 0$ )が印加された状態を示し、(B)ゲート(GE1)に負の電位( $V_G < 0$ )が印加された状態を示す図。

【図10】真空準位と金属の仕事関数( $\phi_M$ )、酸化物半導体の電子親和力( $\chi$ )の関係を示す図。

【図11】本発明の一態様を示す工程断面図である。

【図12】本発明の一態様を示す上面図及び断面図である。

【図13】本発明の一態様を示す上面図及び断面図である。

【図14】本発明の一態様を示す断面図である。

20

【図15】電子機器の一例を示す図である。

【発明を実施するための形態】

【0099】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0100】

(実施の形態1)

本実施の形態では、トランジスタの作製例の一例を図1、図2、及び図3を用いて示す。

30

【0101】

まず、絶縁表面を有する基板である基板400上に、導電膜を形成した後、フォトリソグラフィ工程によりゲート電極層401を設ける。

【0102】

基板400としては、半導体基板、サファイア基板、石英基板、セラミック基板などが挙げられるが、中でも大量生産することができるガラス基板を用いることが好ましい。基板400として用いるガラス基板は、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。また、基板400には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、酸化ホウ素と比較して酸化バリウム( $BaO$ )を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 $B_2O_3$ より $BaO$ を多く含むガラス基板を用いることが好ましい。

40

【0103】

また、下地層となる絶縁層を基板400とゲート電極層401の間に設けてもよい。下地層は、基板400からの不純物元素の拡散を防止する機能があり、窒化珪素、酸化珪素、窒化酸化珪素、または酸化窒化珪素から選ばれた一または複数の層による積層構造により形成することができる。

【0104】

ゲート電極層401としては、金属導電層を用いることができる。金属導電層の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素

50

を成分とする合金か、上述した元素を組み合わせた合金等を用いるのが好ましい。例えば、チタン層上にアルミニウム層と、該アルミニウム層上にチタン層が積層された三層の積層構造、またはモリブデン層上にアルミニウム層と、該アルミニウム層上にモリブデン層を積層した三層の積層構造とすることが好ましい。勿論、金属導電層として単層、または2層構造、または4層以上の積層構造としてもよい。後に加熱処理を行う場合、ゲート電極層401としてその加熱処理温度に耐えうる材料を選択することが好ましい、

#### 【0105】

次いで、ゲート電極層401上にゲート絶縁層402を形成する。ゲート絶縁層402は、プラズマCVD法又はスパッタ法等を用いて、酸化珪素層、窒化珪素層、酸化ハフニウム層、酸化窒化珪素層又は窒化酸化珪素層を単層で又は積層して形成することができる。例えば、窒化珪素膜と酸化珪素膜の積層とする。ゲート絶縁層402の膜厚は50nm以上200nm以下とする。

10

#### 【0106】

本実施の形態において、ゲート絶縁層402の形成は、高密度プラズマ装置により行う。ここでは、高密度プラズマ装置は、 $1 \times 10^{11} / \text{cm}^3$ 以上のプラズマ密度を達成できる装置を指している。例えば、3kW~6kWのマイクロ波電力を印加してプラズマを発生させて、絶縁膜の成膜を行う。

#### 【0107】

チャンパーに材料ガスとしてモノシランガス( $\text{SiH}_4$ )と亜酸化窒素( $\text{N}_2\text{O}$ )と希ガスを導入し、10Pa~30Paの圧力下で高密度プラズマを発生させてガラス等の絶縁表面を有する基板上に絶縁膜を形成する。その後、モノシランガスの供給を停止し、大気に曝すことなく亜酸化窒素( $\text{N}_2\text{O}$ )と希ガスを導入して絶縁膜表面にプラズマ処理を行ってもよい。少なくとも亜酸化窒素( $\text{N}_2\text{O}$ )と希ガスを導入して絶縁膜表面に行われるプラズマ処理は、絶縁膜の成膜より後に行う。上記プロセス順序を経た絶縁膜は、膜厚が薄く、例えば100nm未満であっても信頼性を確保することができる絶縁膜である。

20

#### 【0108】

ゲート絶縁層402の形成の際、チャンパーに導入するモノシランガス( $\text{SiH}_4$ )と亜酸化窒素( $\text{N}_2\text{O}$ )との流量比は、1:10から1:200の範囲とする。また、チャンパーに導入する希ガスとしては、ヘリウム、アルゴン、クリプトン、キセノンなどを用いることができるが、中でも安価であるアルゴンを用いることが好ましい。

30

#### 【0109】

また、高密度プラズマ装置により得られた絶縁膜は、一定した厚さの膜形成ができるため段差被覆性に優れている。また、高密度プラズマ装置により得られる絶縁膜は、薄い膜の厚みを精密に制御することができる。

#### 【0110】

上記プロセス順序を経た絶縁膜は、従来の平行平板型のPCVD装置で得られる絶縁膜とは大きく異なり、同じエッチャントを用いてエッチング速度を比較した場合において、平行平板型のPCVD装置で得られる絶縁膜の10%以上または20%以上遅く、高密度プラズマ装置で得られる絶縁膜は緻密な膜と言える。

40

#### 【0111】

本実施の形態では、ゲート絶縁層402として高密度プラズマ装置を用いて成膜した膜厚100nmの酸化窒化珪素膜( $\text{SiO}_x\text{N}_y$ とも呼ぶ、ただし、 $x > y > 0$ )を用いる。

#### 【0112】

次いで、ゲート絶縁層402上に、厚さ2nm以上15nm以下の第1の酸化物半導体層を形成する。また、第1の酸化物半導体層は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素混合雰囲気下においてスパッタ法により形成することができる。

#### 【0113】

また、酸化物半導体膜の成膜を行う前、または成膜中、または成膜後に、スパッタ装置内

50

の水分などを除去することが好ましい。スパッタ装置内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気したスパッタ装置の成膜室は、例えば、水素原子や、水 ( $H_2O$ ) など水素原子を含む化合物を含む化合物等が排気されるため、当該成膜室で成膜し酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0114】

第1の酸化物半導体層としては、四元系金属酸化物である  $In-Sn-Ga-Zn-O$  系膜や、三元系金属酸化物である  $In-Ga-Zn-O$  系膜、 $In-Sn-Zn-O$  系膜、 $In-Al-Zn-O$  系膜、 $Sn-Ga-Zn-O$  系膜、 $Al-Ga-Zn-O$  系膜、 $Sn-Al-Zn-O$  系膜や、二元系金属酸化物である  $In-Zn-O$  系膜、 $Sn-Zn-O$  系膜、 $Al-Zn-O$  系膜、 $Zn-Mg-O$  系膜、 $Sn-Mg-O$  系膜、 $In-Mg-O$  系膜や、単元系金属酸化物である  $In-O$  系膜、 $Sn-O$  系膜、 $Zn-O$  系膜などの酸化物半導体膜を用いることができる。

10

【0115】

また、第1の酸化物半導体層は、 $InMO_3(ZnO)_m$  ( $m > 0$ 、且つ  $m$  は自然数でない) で表記される薄膜を用いることもできる。ここで、 $M$  は、 $Ga$ 、 $Al$ 、 $Mn$  および  $Co$  から選ばれた一または複数の金属元素を示す。例えば  $M$  として、 $Ga$ 、 $Ga$  及び  $Al$ 、 $Ga$  及び  $Mn$ 、または  $Ga$  及び  $Co$  などがある。

20

【0116】

本実施の形態では、酸化物半導体用ターゲット ( $In-Ga-Zn-O$  系酸化物半導体用ターゲット ( $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$  [mol 数比])) を用いて、基板とターゲットの間との距離を  $170\text{ mm}$ 、圧力  $0.4\text{ Pa}$ 、直流 (DC) 電源  $0.5\text{ kW}$ 、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で膜厚  $10\text{ nm}$  の第1の酸化物半導体層を成膜する。また、酸化物半導体用ターゲットとして  $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$  [mol 数比] の組成比を有するターゲット、または  $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 4$  [mol 数比] の組成比を有するターゲットを用いることもできる。本実施の形態では、後に加熱処理を行い意図的に結晶化させるため、結晶化が生じやすい酸化物半導体用ターゲットを用いることが好ましい。

30

【0117】

また、酸化物半導体用ターゲット中の酸化物半導体の相対密度は  $80\%$  以上、好ましくは  $95\%$  以上、さらに好ましくは  $99.9\%$  以上とするのが好ましい。相対密度の高いターゲットを用いると、形成される酸化物半導体膜中の不純物濃度を低減することができ、電気特性または信頼性の高いトランジスタを得ることができる。

【0118】

また、第1の酸化物半導体層の成膜を行う前、スパッタ装置内壁や、ターゲット表面やターゲット材料中の水分または水素を除去するためにプレヒート処理を行うと良い。プレヒート処理としては成膜チャンパー内を減圧下で  $200 \sim 600$  に加熱する方法や、加熱しながら窒素や不活性ガスの導入と排気を繰り返す方法等がある。プレヒート処理を終えたら、基板またはスパッタ装置を冷却した後大気にふれることなく酸化物半導体膜の成膜を行う。この場合のターゲット冷却液は、水ではなく油脂等を用いるとよい。加熱せずに窒素の導入と排気を繰り返しても一定の効果が得られるが、加熱しながら行うとなお良い。

40

【0119】

次いで、第1の酸化物半導体層の第1の加熱処理を行い、少なくとも一部を結晶化させる。第1の加熱処理の温度は、 $450$  以上  $850$  以下、好ましくは  $550$  以上  $750$  以下とする。また、加熱時間は  $1$  分以上  $24$  時間以下とする。第1の加熱処理によって少なくとも表面に非単結晶層を有する第1の酸化物半導体層  $403$  を形成する (図2 (A) 参照)。表面に形成される非単結晶層は、表面から内部に向かって結晶成長し、 $2\text{ n}$

50

m以上10nm以下の平均厚さを有する平板状の非単結晶である。また、表面に形成される非単結晶層は、その表面に対して垂直方向にc軸配向をしている。本実施の形態では、第1の加熱処理によってゲート絶縁層界面付近を除いて第1の酸化物半導体層のほとんどを多結晶とする例を示す。

#### 【0120】

なお、第1の加熱処理においては、窒素、酸素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、酸素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。また、H<sub>2</sub>Oが20ppm以下の超乾燥空气中で第1の加熱処理を行っても良い。また、第1の加熱処理の昇温時には炉の内部を窒素雰囲気とし、冷却時には炉の内部を酸素雰囲気として雰囲気を切り替えてもよく、窒素雰囲気で脱水または脱水化が行われた後、雰囲気を切り替えて酸素雰囲気にすることで第1の酸化物半導体層内部に酸素を補給してi型とすることができる。

10

#### 【0121】

なお、第1の加熱処理に用いる加熱処理装置は特に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、電気炉や、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。

20

#### 【0122】

次いで、少なくとも表面に非単結晶層を有する第1の酸化物半導体層403上に、第1の酸化物半導体層403よりも膜厚の大きい第2の酸化物半導体層404を形成する(図2(B)参照)。なお、第2の酸化物半導体層404の膜厚は、作製するデバイスによって最適な膜厚を実施者が決定すればよい。例えば、ボトムゲート型トランジスタを作製する場合は、第1の酸化物半導体層403と第2の酸化物半導体層404の合計膜厚は10nm以上200nm以下とする。また、第2の酸化物半導体層は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素雰囲気下においてスパッタ法により形成することができる。

30

#### 【0123】

第2の酸化物半導体層404としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系膜や、三元系金属酸化物であるIn-Ga-Zn-O系膜、In-Sn-Zn-O系膜、In-Al-Zn-O系膜、Sn-Ga-Zn-O系膜、Al-Ga-Zn-O系膜、Sn-Al-Zn-O系膜や、二元系金属酸化物であるIn-Zn-O系膜、Sn-Zn-O系膜、Al-Zn-O系膜、Zn-Mg-O系膜、Sn-Mg-O系膜、In-Mg-O系膜や、単元系金属酸化物であるIn-O系膜、Sn-O系膜、Zn-O系膜などの酸化物半導体膜を用いることができる。

40

#### 【0124】

また、第1の酸化物半導体層と第2の酸化物半導体層404は、同一成分を含む材料を用いること、あるいは同一の結晶構造かつ近接した格子定数(ミスマッチが1%以下)を有することが好ましい。同一成分を含む材料を用いる場合、後に行われる結晶化において第1の酸化物半導体層の非単結晶層を種として結晶成長を行いやすくなる。また、同一成分を含む材料である場合には、密着性などの界面物性や電気的特性も良好である。

#### 【0125】

次いで、第2の加熱処理を行い、第1の酸化物半導体層の非単結晶層を種として結晶成長を行う。第2の加熱処理の温度は、450以上850以下、好ましくは550以上

50

750 以下とする。また、加熱時間は1分以上24時間以下とする。第2の加熱処理によって第2の酸化物半導体層を結晶化させる。こうして酸化物半導体積層430を得ることができる(図2(C)参照。)。なお、意図的に酸化物半導体積層430とゲート絶縁層402の界面付近は結晶化させないようにする。この場合、ゲート絶縁層上に接する非晶質層、その上に接する結晶層(ここでは、第1の酸化物半導体層の非単結晶と第2の酸化物半導体層の非単結晶の積層を1層と見なす)と2層構造となる。

【0126】

第2の加熱処理の加熱温度を550 以上とすると、第2の酸化物半導体層404が厚い場合、表面から下方に成長する結晶層と、第1の酸化物半導体層を種に上方に成長する結晶層との間に非晶質層とが形成されることがある。この場合、ゲート絶縁層上に接する非晶質層、その上に結晶層、その上に非晶質層、その上に結晶層と4層構造となる。ここでも、第1の酸化物半導体層の非単結晶と第2の酸化物半導体層の非単結晶の積層を1層と見なして4層構造と呼んでいる。

10

【0127】

また、第2の酸化物半導体層404の材料によっては、第2の加熱処理の加熱温度を500 未満とすると表面からの結晶成長が進まず、第1の酸化物半導体層を種に上方に成長する結晶層が形成される場合があり、この場合ゲート絶縁層上に接する非晶質層、その上に結晶層、その上に非晶質層の3層構造となる。なお、ここでも、第1の酸化物半導体層の非単結晶と第2の酸化物半導体層の非単結晶の積層を1層と見なして3層構造と呼んでいる。このように、第2の酸化物半導体層404の材料およびその膜厚と第2の加熱処理の加熱条件によって様々な積層構造を取ることができるため、実施者は、所望の積層構造に合わせて、第2の酸化物半導体層404の材料およびその膜厚と第2の加熱処理の加熱条件を適宜調節することが重要である。

20

【0128】

なお、酸化物半導体積層430のうち、ゲート絶縁層の凹凸と重なる領域は結晶粒界があり、多結晶体となる。また、酸化物半導体積層430のうち、チャネル形成領域となる領域は、少なくとも平坦面を有し、第1の酸化物半導体層と第2の酸化物半導体層が同じc軸配向をしている非単結晶体である。また、酸化物半導体積層430のうち、チャネル形成領域も多結晶のa軸及びb軸がずれる。

30

【0129】

図2(A)、図2(B)、及び図2(C)では、結晶化していないゲート絶縁層402との界面付近の様子が図示されていないが、ゲート絶縁層との界面付近を分かりやすく説明するために、図1(A)、図1(B)、及び図1(C)の拡大模式図を用いて示す。図2(A)は図1(A)に対応しており、下地部材520は、ゲート絶縁層402に相当する。また、図2(B)は図1(B)に対応しており、第2の酸化物部材522の成膜直後の断面図である。また、図2(C)は、図1(C)に対応しており、第2の加熱処理後の断面図である。

【0130】

なお、第2の加熱処理においても、窒素、酸素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、酸素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N以上、好ましくは7N以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。また、 $H_2O$ が20ppm以下の超乾燥空気中で第2の加熱処理を行っても良い。また、第2の加熱処理の昇温時には炉の内部を窒素雰囲気とし、冷却時には炉の内部を酸素雰囲気として雰囲気を切り替えても良い。

40

【0131】

なお、第2の加熱処理に用いる加熱処理装置も特に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、電気炉や、GRTA装置、LRTA装置等のRTA装置を用いることができる。

【0132】

50

次いで、第1の酸化物半導体層及び第2の酸化物半導体層からなる酸化物半導体積層430をフォトリソグラフィ工程により島状の酸化物半導体積層431に加工する(図2(D)参照。)。また、島状の酸化物半導体積層431を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0133】

次いで、ゲート絶縁層402、及び島状の酸化物半導体積層431に、スパッタ法などにより金属導電膜を形成した後、フォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って金属電極層を形成する。

【0134】

後にソース電極及びドレイン電極(これと同じ層で形成される配線を含む)となる金属導電膜の材料としては、Al、Cu、Cr、Ta、Ti、Mo、Wなどの金属材料、または該金属材料を成分とする合金材料で形成する。また、Al、Cuなどの金属層の下側もしくは上側の一方または双方にCr、Ta、Ti、Mo、Wなどの高融点金属層を積層させた構成としても良い。また、Si、Ti、Ta、W、Mo、Cr、Nd、Sc、YなどAl膜に生ずるヒロックやウイスキアの発生を防止する元素が添加されているAl材料を用いることで耐熱性を向上させることが可能となる。

【0135】

例えば、金属導電膜としては、チタン層上にアルミニウム層と、該アルミニウム層上にチタン層が積層された三層の積層構造、またはモリブデン層上にアルミニウム層と、該アルミニウム層上にモリブデン層を積層した三層の積層構造とすることが好ましい。また、金属導電膜としてアルミニウム層とタングステン層を積層した二層の積層構造、銅層とタングステン層を積層した二層の積層構造、アルミニウム層とモリブデン層を積層した二層の積層構造とすることもできる。勿論、金属導電膜として単層、または4層以上の積層構造としてもよい。

【0136】

また、ソース電極及びドレイン電極(これと同じ層で形成される配線を含む)となる金属導電膜の材料としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム( $In_2O_3$ )、酸化スズ( $SnO_2$ )、酸化亜鉛( $ZnO$ )、酸化インジウム酸化スズ合金( $In_2O_3$   $SnO_2$ 、ITOと略記する)、酸化インジウム酸化亜鉛合金( $In_2O_3$   $ZnO$ )または上記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

【0137】

次いで、レジストマスクを除去し、フォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層405a、及びドレイン電極層405bを形成した後、レジストマスクを除去する(図2(E)参照。)。なお、このフォトリソグラフィ工程では、島状の酸化物半導体積層431は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。

【0138】

また、図2(E)に示すように、ゲート電極層401は、ソース電極層405a(またはドレイン電極層405b)と重なる領域を有することも特徴の一つである。ソース電極層405aの端部と、ゲート絶縁層402の段差、即ち断面図において、ゲート絶縁層の平坦面からテーパ面となる変化点との間の領域(ここでは図2(E)中で示した $L_{ov}$ 領域)を有している。酸化物半導体積層432の $L_{ov}$ 領域は、ゲート電極層の端部の凹凸で生じる結晶粒界に、キャリアが流れないようにするために重要である。

【0139】

また、酸化物半導体積層432の側面において、ソース電極層405a、またはドレイン電極層405bと接する非単結晶層が非晶質状態となることもある。

【0140】

また、ソース電極層405a、及びドレイン電極層405bを形成するためのレジストマ

10

20

30

40

50

スクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0141】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

10

【0142】

次いで、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層407を形成する。

【0143】

酸化物絶縁層407は、少なくとも1nm以上の膜厚とし、スパッタ法など、酸化物絶縁層407に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。本実施の形態では、酸化物絶縁層407として膜厚300nmの酸化珪素膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化珪素膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化珪素を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層407は、水分や、水素イオンや、OH<sup>-</sup>などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。さらに、酸化物絶縁層407上に窒化珪素膜、窒化アルミニウム膜などの保護絶縁層を形成してもよい。

20

【0144】

また、酸化物絶縁層407の形成を行う前、スパッタ装置内壁や、ターゲット表面やターゲット材料中の水分または水素を除去するためにプレヒート処理を行うと良い。プレヒート処理を終えたら、基板またはスパッタ装置を冷却した後大気にふれることなく酸化物絶縁層の成膜を行う。この場合のターゲット冷却液は、水ではなく油脂等を用いるとよい。加熱せずに窒素の導入と排気を繰り返しても一定の効果が得られるが、加熱しながら行うとなお良い。

30

【0145】

また、酸化物絶縁層407の形成の形成後、大気に触れることなく、スパッタ法により窒化珪素膜を積層する構造を形成してもよい。

【0146】

また、酸化物絶縁層407及びゲート絶縁層402に対して、ゲート電極層401に達するコンタクトホールを形成し、ゲート電極層401に電氣的に接続し、ゲート電位を与える接続電極を酸化物絶縁層407上に形成してもよい。また、ゲート絶縁層402を形成後にゲート電極層401に達するコンタクトホールを形成し、その上にソース電極層またはドレイン電極層と同じ材料で接続電極を形成し、接続電極上に酸化物絶縁層407を形成し、酸化物絶縁層407に接続電極に達するコンタクトホールを形成した後、接続電極と電氣的に接続する電極を形成してゲート電位を与える電極を酸化物絶縁層407上に形成してもよい。

40

【0147】

以上の工程でトランジスタ470が形成される（図3（B）参照。）。また、図3（A）

50

にトランジスタ470の上面図の一例を示す。なお、図3(B)は、図3(A)の鎖線C1-C2で切断した断面図に相当する。

【0148】

トランジスタ470は、チャンネル形成領域のゲート電極層の上面を平坦とし、その平坦面に垂直にc軸配向している酸化物部材を有するとともに、ソース電極層またはドレイン電極層は、ゲート電極層の端部による凹凸にまで重なり合っていることも特徴の一つである。酸化物部材(本実施の形態では酸化物半導体積層432)は、基板側に凹凸があった場合には、凹部のぶつかる領域に結晶粒界がある多結晶となる。従って、図3(B)に示すLov領域を形成することによって、ゲート電極層の端部の凹凸で生じる結晶粒界に、キャリアが流れないようにすることができる。そのため、トランジスタ470において、ソース電極層またはドレイン電極層は、ゲート電極の平坦部の上方にまで渡って設け、ゲート電極層とかさなり(オーバーラップ)を有する。

10

【0149】

なお、トランジスタ470のチャンネル形成領域と重なるゲート絶縁層の表面における高低差は、1nm以下、好ましくは0.2nm以下である平坦面を有する。キャリアの流れるチャンネル形成領域は、非単結晶である。

【0150】

図3(B)に示すトランジスタ470は、意図的に結晶層をゲート絶縁層と離間して設けるため、チャンネル形成領域は、ゲート絶縁層との界面に形成されるのではなく、ゲート絶縁層と離間している結晶層に形成され、ゲート絶縁層と酸化物部材との界面散乱の影響が低減される。

20

【0151】

第1の加熱処理及び第2の加熱処理により、結晶化を行い、n型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性(i型)とし、又は真性型としている。すなわち、不純物を添加してi型化するのではなく、水素や水等の不純物を極力除去したことにより、高純度化されたi型(真性半導体)又はそれに近づく。酸化物半導体層を高純度化することにより、トランジスタのしきい値電圧値をプラスとすることができ、所謂ノーマリーオフのトランジスタ470を実現できる。

【0152】

また、図3(B)に示すトランジスタ470の構造に特に限定されないことは言うまでもない。ボトムゲート型トランジスタであればよく、例えば、図2(E)でのソース電極層及びドレイン電極層の形成時のエッチングダメージを保護するために、チャンネル形成領域と重なる酸化物絶縁層をチャンネルストッパーとして設けるチャンネルストップ型のトランジスタとしてもよい。

30

【0153】

また、酸化物絶縁層407上にバックゲートとして機能させることのできる電極層を設けてもよい。バックゲートの電位は、固定電位、例えば0Vや、接地電位とすることができ、実施者が適宜決定すればよい。また、酸化物半導体層の上下にゲート電極を設けることによって、トランジスタの信頼性を調べるためのバイアス-熱ストレス試験(以下、BT試験という)において、BT試験前後におけるトランジスタのしきい値電圧の変化量を低減することができる。即ち、酸化物半導体層の上下にゲート電極を設けることによって、信頼性を向上することができる。また、バックゲートに加えるゲート電圧を制御することによって、しきい値電圧を制御することができる。また、しきい値電圧を正としてエンハンスメント型トランジスタとして機能させることができる。また、しきい値電圧を負としてデプレッション型トランジスタとして機能させることもできる。例えば、エンハンスメント型トランジスタとデプレッション型トランジスタを組み合わせるインバータ回路(以下、EDMOS回路という)を構成し、駆動回路に用いることができる。駆動回路は、論理回路部と、スイッチ部またはパッファ部を少なくとも有する。論理回路部は上記EDMOS回路を含む回路構成とする。

40

50

## 【0154】

また、以下に酸化物半導体を用いたボトムゲート型のトランジスタの動作原理について説明する。

## 【0155】

図7は、酸化物半導体を用いたトランジスタの縦断面図を示す。ゲート電極(GE1)上にゲート絶縁膜(GI)を介して酸化物半導体層(OS)が設けられ、その上にソース電極(S)及びドレイン電極(D)が設けられている。また、ソース電極(S)及びドレイン電極(D)を覆う酸化物絶縁層上に酸化物半導体層(OS)のチャネル形成領域と重なるバックゲート(GE2)を有している。

## 【0156】

図8は、図7に示すA-A'断面におけるエネルギーバンド図(模式図)を示す。図8(A)はソースとドレインの間の電圧を等電位( $V_D = 0V$ )とした場合を示し、図8(B)はソースに対しドレインに正の電位( $V_D > 0$ )を加えた場合を示す。

## 【0157】

図9は、図7におけるB-B'の断面におけるエネルギーバンド図(模式図)を示し、ゲート電圧が0Vの場合の状態を示す。図9(A)はゲート電極(GE1)に正の電圧( $V_G > 0$ )が印加された状態であり、ソース電極とドレイン電極の間にキャリア(電子)が流れるオン状態を示している。また、図9(B)は、ゲート電極(GE1)に負の電圧( $V_G < 0$ )が印加された状態であり、オフ状態(少数キャリアは流れない)である場合を示す。

## 【0158】

酸化物半導体の厚さが50nm程度であり、酸化物半導体が高純度化されたことによりドナー濃度が $1 \times 10^{18} / \text{cm}^3$ 以下であれば、空乏層は酸化物半導体の全体に渡って広がる。すなわち完全空乏型の状態とみなすことができる。

## 【0159】

図10は、真空準位と金属の仕事関数( $\phi_M$ )、酸化物半導体の電子親和力( $\chi$ )の関係を示す。

## 【0160】

常温において金属中の電子は縮退しており、フェルミ準位は伝導帯内に位置する。一方、従来の酸化物半導体は一般にn型であり、その場合のフェルミ準位( $E_F$ )は、バンドギャップ中央に位置する真性フェルミ準位( $E_i$ )から離れて、伝導帯寄りに位置している。なお、酸化物半導体において水素の一部はドナーとなりn型化する一つの要因であることが知られている。

## 【0161】

これに対して本発明に係る酸化物半導体は、n型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性(i型)とし、又は真性型とせんとしたものである。すなわち、不純物を添加してi型化するのではなく、水素や水等の不純物を極力除去したことにより、高純度化されたi型(真性半導体)又はそれに近づけることを特徴としている。そうすることにより、フェルミ準位( $E_F$ )は真性フェルミ準位( $E_i$ )と同じレベルにまですることができる。

## 【0162】

酸化物半導体は3.05eV~3.15eVのバンドギャップ( $E_g$ )を有している。酸化物半導体のバンドギャップ( $E_g$ )が3.15eVである場合、電子親和力( $\chi$ )は4.3eVと言われている。ソース電極及びドレイン電極を構成するチタン(Ti)の仕事関数は、酸化物半導体の電子親和力( $\chi$ )とほぼ等しい。この場合、金属-酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

## 【0163】

すなわち、金属の仕事関数( $\phi_M$ )と酸化物半導体の電子親和力( $\chi$ )が等しい場合、両者が接触すると図8(A)で示すようなエネルギーバンド図(模式図)が示される。

## 【0164】

10

20

30

40

50

図 8 ( B ) において黒丸 ( ) は電子を示し、ドレインに正の電位が印加されると、電子はバリア ( h ) をこえて酸化物半導体に注入され、ドレインに向かって流れる。この場合、バリア ( h ) の高さは、ゲート電圧とドレイン電圧に依存して変化するが、正のドレイン電圧が印加された場合には、電圧印加のない図 8 ( A ) のバリアの高さすなわちバンドギャップ ( E g ) の 1 / 2 よりもバリアの高さ ( h ) は小さい値となる。

【 0 1 6 5 】

このとき電子は、図 9 ( A ) で示すようにゲート絶縁膜と高純度化された酸化物半導体との界面における、酸化物半導体側のエネルギー的に安定な最低部を移動する。

【 0 1 6 6 】

また、図 9 ( B ) において、ゲート電極 ( G E 1 ) に負の電位 ( 逆バイアス ) が印加されると、少数キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

10

【 0 1 6 7 】

このように酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性 ( i 型 ) とし、又は実質的に真性型とすることで、ゲート絶縁膜との界面特性が顕在化するので、バルクの特性と分離して考える必要がある。そのためゲート絶縁膜は、酸化物半導体と良好な界面を形成できるものが必要となる。例えば、V H F 帯 ~ マイクロ波帯の電源周波数で生成される高密度プラズマを用いた C V D 法で作製される絶縁膜、又はスパッタ法で作製される絶縁膜を用いることが好ましい。

【 0 1 6 8 】

酸化物半導体を高純度化しつつ、酸化物半導体とゲート絶縁膜との界面を良好なものとするにより、トランジスタの特性としてチャネル幅 W が  $1 \times 10^4 \mu\text{m}$  でチャネル長が  $3 \mu\text{m}$  の素子であっても、オフ電流が  $10^{-13} \text{A}$  以下であり、サブスレッショルドスイング値 ( S 値 ) が  $0.1 \text{V} / \text{dec}$  . ( ゲート絶縁膜厚  $100 \text{nm}$  ) という特性が十分に期待される。

20

【 0 1 6 9 】

このように、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより、非単結晶を形成し、トランジスタの動作を良好なものとするができる。

【 0 1 7 0 】

( 実施の形態 2 )

実施の形態 1 は、第 1 の酸化物部材と第 2 の酸化物部材に同一成分を含む酸化物半導体材料を用いる場合を示したが、本実施の形態では異なる成分の酸化物半導体材料を用いる場合を示す。

30

【 0 1 7 1 】

実施の形態 1 と同様に、第 1 の加熱処理により、表面から結晶成長しても第 1 の酸化物結晶部材 5 2 1 b の先端が下地部材 5 2 0 との界面にまで届くことなく、非晶質状態の領域 5 2 1 a を残存させる ( 図 1 1 ( A ) 参照。 ) 。なお、図 1 1 ( A ) 中、図 1 ( A ) と同じ部分には同じ符号を用いて説明する。

【 0 1 7 2 】

次いで、図 1 1 ( B ) は、第 1 の酸化物結晶部材 5 2 1 b 上に第 2 の酸化物部材 5 3 2 を成膜した直後の断面図である。第 2 の酸化物部材 5 3 2 は、第 1 の酸化物結晶部材 5 2 1 b と異なる材料である。

40

【 0 1 7 3 】

そして、第 2 の酸化物部材 5 3 2 を成膜した後に第 2 の加熱処理を行う。第 2 の加熱処理によって、図 1 1 ( C ) に示すように結晶成長を行う。図 1 1 ( C ) に示すように、第 1 の酸化物部材 5 2 1 b の非単結晶層を種として第 2 の酸化物部材の表面に向かって上方に結晶成長し、第 2 の酸化物結晶部材 5 3 3 b が形成される。第 2 の酸化物部材 5 3 2 として第 1 の酸化物結晶部材 5 2 1 b と異なる成分の酸化物半導体材料を用いるため、図 1 1 ( C ) に示すように、第 1 の酸化物結晶部材 5 2 1 b と第 2 の酸化物結晶部材 5 3 3 b の境界が形成される。また、第 2 の加熱処理によっても、ゲート絶縁層界面付近を除いて第

50

1の酸化物半導体層のほとんどを結晶領域とする。

【0174】

図11(C)の構造は、下地部材520上に接して非晶質状態のままの領域533c、その上に第1の酸化物結晶部材533a、その上に第2の酸化物結晶部材533bの順に積層された3層構造と言える。

【0175】

また、成長させたい第2の酸化物結晶部材と下地となる第1の酸化物結晶部材が同じ場合はホモエピタキシー（ホモ結晶成長）と呼ぶ。また、成長させたい第2の酸化物結晶部材と下地となる第1の酸化物結晶部材が異なる場合はヘテロエピタキシー（ヘテロ結晶成長）と呼ぶ。本実施の形態では、それぞれの材料の選択により、どちらも可能である。

10

【0176】

また、第1の加熱処理の条件や第2の加熱処理の条件は実施の形態1に記した条件範囲とする。なお、意図的に非晶質状態のままの領域533cが下地部材520の表面に接して残るような条件を実施者が適宜選択すればよい。

【0177】

また、本実施の形態は、実施の形態1と自由に組み合わせることができる。

【0178】

（実施の形態3）

本実施の形態では、複数の結晶がc軸配向した結晶層を有する積層酸化物材料を含むトランジスタを作製し、該トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置（表示装置ともいう）を作製する場合について説明する。また、トランジスタを、駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

20

【0179】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL（Electro Luminescence）、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0180】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに表示装置は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電層を形成した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

30

【0181】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

40

【0182】

本実施の形態では、本発明の一形態である半導体装置として液晶表示装置の例を示す。まず、半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図12を用いて説明する。図12は、第1の基板4001上に形成されたc軸配向した結晶層を有する積層酸化物材料を半導体層として含むトランジスタ4010、4011、及び液晶素子

50

4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図12(B)は、図12(A1)(A2)のM-Nにおける断面図に相当する。

【0183】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体又は多結晶半導体で形成された信号線駆動回路4003が実装されている。

10

【0184】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図12(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図12(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

【0185】

また、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、トランジスタを複数有しており、図12(B)では、画素部4002に含まれるトランジスタ4010と、走査線駆動回路4004に含まれるトランジスタ4011とを例示している。トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

20

【0186】

トランジスタ4010、4011は、実施の形態1で示したc軸配向した結晶層を有する積層酸化物材料を含むトランジスタを適用することができる。本実施の形態において、トランジスタ4010、4011はnチャネル型トランジスタである。

【0187】

絶縁層4021上において、駆動回路用のトランジスタ4011の酸化物半導体層のチャネル形成領域と重なる位置に導電層4040が設けられている。導電層4040を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後におけるトランジスタ4011のしきい値電圧の変化量を低減することができる。また、導電層4040は、電位がトランジスタ4011のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4040の電位がGND、0V、或いはフローティング状態であってもよい。

30

【0188】

また、液晶素子4013が有する画素電極層4030は、トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

40

【0189】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiber glass - Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0190】

また、4035は絶縁層を選択的にエッチングすることで得られる柱状のスペーサであり

50

、画素電極層4030と対向電極層4031との間の距離（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。また、共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

【0191】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

10

【0192】

また、ブルー相を示す液晶を用いると、配向膜へのラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることが可能となる。特に、酸化物半導体層を用いるトランジスタは、静電気の影響によりトランジスタの電氣的な特性が著しく変動して設計範囲を逸脱する恐れがある。よって酸化物半導体層を用いるトランジスタを有する液晶表示装置にブルー相の液晶材料を用いることはより効果的である。

20

【0193】

なお、本実施の形態で示す液晶表示装置は透過型液晶表示装置の例であるが、液晶表示装置は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0194】

また、本実施の形態で示す液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、必要に応じてブラックマトリクスとして機能する遮光層を設けてもよい。

30

【0195】

また、本実施の形態では、トランジスタの表面凹凸を低減するため、及びトランジスタの信頼性を向上させるため、トランジスタを保護層や平坦化絶縁層として機能する絶縁層（絶縁層4020、絶縁層4021）で覆う構成となっている。なお、保護層は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護層は、スパッタ法を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層、窒化酸化珪素層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、又は窒化酸化アルミニウム層の単層、又は積層で形成すればよい。本実施の形態では保護層をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

40

【0196】

ここでは、保護層として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法を用いて酸化珪素層を形成する。保護層として酸化珪素層を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム層のヒロック防止に効果がある。

【0197】

また、保護層の二層目として絶縁層を形成する。ここでは、絶縁層4020の二層目として、スパッタ法を用いて窒化珪素層を形成する。保護層として窒化珪素層を用いると、ナトリウム等のイオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

50

## 【0198】

また、平坦化絶縁層として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（Low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁層を複数積層させることで、絶縁層4021を形成してもよい。

## 【0199】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

10

## 【0200】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021を材料液を用いて形成する場合、ベークする工程で同時に、半導体層のアニール（300～400）を行ってもよい。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

20

## 【0201】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

## 【0202】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

30

## 【0203】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

## 【0204】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

## 【0205】

本実施の形態では、接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電層から形成され、端子電極4016は、トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電層で形成されている。

40

## 【0206】

接続端子電極4015は、FPC4018が有する端子と、異方性導電層4019を介して電氣的に接続されている。

## 【0207】

また図12においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部の

50

みを別途形成して実装しても良い。

【0208】

また、必要であれば、カラーフィルタを各画素に対応して設ける。また、第1の基板4001と第2の基板4006の外側には偏光板や拡散板を設ける。また、バックライトの光源は冷陰極管やLEDにより構成されて液晶表示モジュールとなる。

【0209】

液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

10

【0210】

以上の工程により、信頼性の高い液晶表示装置を作製することができる。

【0211】

また、実施の形態1に示すc軸配向した結晶層を有する積層酸化物材料の作製方法を用いて液晶表示装置の駆動回路のトランジスタを作製することにより、駆動回路部のトランジスタのノーマリーオフを実現し、省電力化を図ることができる。

20

【0212】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0213】

(実施の形態4)

半導体装置の一形態に相当する発光表示パネル(発光パネルともいう)の外観及び断面について、図13を用いて説明する。図13は、第1の基板上に形成されたc軸配向した結晶層を有する積層酸化物材料を含むトランジスタ及び発光素子を、第2の基板との間にシール材によって封止した、パネルの平面図であり、図13(B)は、図13(A)のH-Iにおける断面図に相当する。

30

【0214】

第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bを囲むようにして、シール材4505が設けられている。また画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bの上に第2の基板4506が設けられている。よって画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(貼り合わせフィルム、紫外線硬化樹脂フィルム等)やカバー材でパッケージング(封入)することが好ましい。

40

【0215】

また第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、トランジスタを複数有しており、図13(B)では、画素部4502に含まれるトランジスタ4510と、信号線駆動回路4503aに含まれるトランジスタ4509とを例示している。

【0216】

トランジスタ4509、4510は、実施の形態1で示したc軸配向した結晶層を有する積層酸化物材料を含む信頼性の高いトランジスタを適用することができる。本実施の形態において、トランジスタ4509、4510はnチャネル型トランジスタである。

50

## 【0217】

絶縁層4544上において駆動回路用のトランジスタ4509の酸化物半導体層のチャネル形成領域と重なる位置に導電層4540が設けられている。導電層4540を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後におけるトランジスタ4509のしきい値電圧の変化量を低減することができる。また、導電層4540は、電位がトランジスタ4509のゲート電極層と同じでもよいし、異なってもよく、第2のゲート電極層として機能させることもできる。また、導電層4540の電位がGND、0V、或いはフローティング状態であってもよい。

## 【0218】

トランジスタ4509は、保護絶縁層としてチャネル形成領域を含む半導体層に接して絶縁層4541が形成されている。絶縁層4541は実施の形態1で示した酸化物絶縁層407と同様な材料及び方法で形成すればよい。また、トランジスタの表面凹凸を低減するため平坦化絶縁層として機能する絶縁層4544で覆う構成となっている。ここでは、絶縁層4541として、スパッタ法により酸化珪素層を形成する。

10

## 【0219】

絶縁層4544は、実施の形態3で示した絶縁層4021と同様な材料及び方法で形成すればよい。ここでは、絶縁層4544としてアクリルを用いる。

## 【0220】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、トランジスタ4510のソース電極層またはドレイン電極層と電気的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層4512、第2の電極層4513の積層構造であるが、示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

20

## 【0221】

隔壁4520は、有機樹脂層、無機絶縁層または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

## 【0222】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでもよい。

30

## 【0223】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護層を形成してもよい。保護層としては、窒化珪素層、窒化酸化珪素層、DLC層等を形成することができる。

## 【0224】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

## 【0225】

接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電層から形成され、端子電極4516は、トランジスタ4509、4510が有するソース電極層及びドレイン電極層と同じ導電層から形成されている。

40

## 【0226】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電層4519を介して電気的に接続されている。

## 【0227】

発光素子4511からの光の取り出し方向に位置する基板は、透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

50

## 【0228】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。例えば充填材として窒素を用いればよい。

## 【0229】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

10

## 【0230】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体又は多結晶半導体によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、図13の構成に限定されない。

## 【0231】

以上の工程により、信頼性の高い発光表示装置（表示パネル）を作製することができる。

## 【0232】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

20

## 【0233】

（実施の形態5）

半導体装置の一形態として電子ペーパーの例を示す。

## 【0234】

実施の形態1に示す方法により得られるc軸配向した結晶層を有する積層酸化物材料を含むトランジスタは、スイッチング素子と電気的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）とも呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

30

## 【0235】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

## 【0236】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。

40

## 【0237】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

## 【0238】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態1のc軸配向した結晶層を有する積層酸化物材料を含むトランジスタによって得られるアクティブマトリク

50

ス基板を用いることができる。

【0239】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0240】

図14は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられるトランジスタ581としては、実施の形態1で示すトランジスタと同様に作製でき、c軸配向した結晶層を有する積層酸化物材料を含む信頼性の高いトランジスタである。

10

【0241】

図14の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

【0242】

トランジスタ581はボトムゲート構造のトランジスタであり、酸化半導体層と接する絶縁層583に覆われている。トランジスタ581のソース電極層又はドレイン電極層は、第1の電極層587と、絶縁層583、584、585に形成する開口で接しており電氣的に接続している。第1の電極層587と第2の電極層588との間には黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャビティ594を含む球形粒子589が一对の基板580、596の間に設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている(図14参照。)

20

【0243】

また、第1の電極層587が画素電極に相当し、第2の電極層588が共通電極に相当する。第2の電極層588は、トランジスタ581と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して第2の電極層588と共通電位線とを電氣的に接続することができる。

30

【0244】

また、ツイストボールを用いた素子の代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 $\mu$ m~200 $\mu$ m程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場を与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置(単に表示装置、又は表示装置を具備する半導体装置ともいう)を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

40

【0245】

以上の工程により、信頼性の高い電子ペーパーを作製することができる。

【0246】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0247】

(実施の形態6)

本明細書に開示する半導体装置は、さまざまな電子機器(遊技機も含む)に適用すること

50

ができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【0248】

本実施の形態では、実施の形態3乃至5のいずれか一で得られる表示装置を搭載した電子機器の例について図15を用いて説明する。

【0249】

図15(A)は、少なくとも表示装置を一部品として実装して作製したノート型のパーソナルコンピュータであり、本体3001、筐体3002、表示部3003、キーボード3004などによって構成されている。なお、実施の形態3に示す液晶表示装置をノート型のパーソナルコンピュータは有している。

10

【0250】

図15(B)は、少なくとも表示装置を一部品として実装して作製した携帯情報端末(PDA)であり、本体3021には表示部3023と、外部インターフェイス3025と、操作ボタン3024等が設けられている。また操作用の付属品としてスタイラス3022がある。なお、実施の形態4に示す発光表示装置を携帯情報端末は有している。

【0251】

図15(C)は実施の形態5に示す電子ペーパーを一部品として実装して作製した電子書籍である。図15(C)は、電子書籍の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

20

【0252】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図15(C)では表示部2705)に文章を表示し、左側の表示部(図15(C)では表示部2707)に画像を表示することができる。

30

【0253】

また、図15(C)では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

40

【0254】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0255】

図15(D)は、少なくとも表示装置を一部品として実装して作製した携帯電話であり、筐体2800及び筐体2801の2つの筐体で構成されている。筐体2801には、表示パネル2802、スピーカ2803、マイクロフォン2804、ポインティングデバイス2806、カメラ用レンズ2807、外部接続端子2808などを備えている。また、筐体2800には、携帯型情報端末の充電を行う太陽電池セル2810、外部メモリス

50

ロット 2 8 1 1 などを備えている。また、アンテナは筐体 2 8 0 1 内部に内蔵されている。

【 0 2 5 6 】

また、表示パネル 2 8 0 2 はタッチパネルを備えており、図 1 5 ( D ) には映像表示されている複数の操作キー 2 8 0 5 を点線で示している。なお、太陽電池セル 2 8 1 0 で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路も実装している。

【 0 2 5 7 】

表示パネル 2 8 0 2 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 2 8 0 2 と同一面上にカメラ用レンズ 2 8 0 7 を備えているため、テレビ電話が可能である。スピーカー 2 8 0 3 及びマイクロフォン 2 8 0 4 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 2 8 0 0 と筐体 2 8 0 1 は、スライドし、図 1 5 ( D ) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【 0 2 5 8 】

外部接続端子 2 8 0 8 は A C アダプタ及び U S B ケーブルなどの各種ケーブルと接続可能であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット 2 8 1 1 に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

【 0 2 5 9 】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【 0 2 6 0 】

図 1 5 ( E ) は少なくとも表示装置を一部品として実装して作製したデジタルカメラであり、本体 3 0 5 1、表示部 ( A ) 3 0 5 7、接眼部 3 0 5 3、操作スイッチ 3 0 5 4、表示部 ( B ) 3 0 5 5、バッテリー 3 0 5 6 などによって構成されている。

【 0 2 6 1 】

本実施の形態は、実施の形態 1 乃至 5 のいずれか一と自由に組み合わせることができる。

【 実施例 1 】

【 0 2 6 2 】

本実施例では、ターゲット組成の異なる酸化物部材を積層する実験を行い、断面観察を行った。

【 0 2 6 3 】

サンプルは、ガラス基板上に 3 0 n m の膜厚の酸化窒化珪素膜 ( 下地膜 ) を P C V D 法により形成した後、 $\text{In-Ga-Zn-O}$  膜を 5 n m の設定で形成し、第 1 の加熱処理を行った後、 $\text{In-Ga-Zn-O}$  膜を 3 0 n m の設定で形成し、第 2 の加熱処理を行った。

【 0 2 6 4 】

サンプル 1 では、5 n m の  $\text{In-Ga-Zn-O}$  膜の成膜条件は、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$  [ m o l 数比 ] の金属酸化物ターゲットを用い、圧力 0 . 6 P a、直流 ( D C ) 電源 5 k W、酸素とアルゴンの混合雰囲気下 ( 酸素流量 5 0 s c c m、アルゴン流量 5 0 s c c m )、基板温度 2 0 0、成膜速度 1 3 . 4 n m / m i n で成膜した。また、第 1 の加熱処理は、窒素雰囲気中で 6 5 0、6 分とした。また、第 1 の加熱処理後に成膜した 3 0 n m の  $\text{In-Ga-Zn-O}$  膜を成膜する条件は、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$  [ m o l 比 ] の金属酸化物ターゲットを用い、圧力 0 . 6 P a、直流 ( D C ) 電源 0 . 5 k W、酸素雰囲気下 ( 酸素流量 2 0 s c c m )、基板温度を室温とし、成膜速度 1 3 . 4 n m / m i n で成膜した。また、第 2 の加熱処理は、窒素雰囲気中で 6 5 0、6 分とした。

【 0 2 6 5 】

こうして得られたサンプル 1 の断面観察を行ったところ、下地膜表面から 3 . 5 n m ~ 5 . 2 n m まで結晶化していることが確認でき、さらに下側の  $\text{In-Ga-Zn-O}$  膜は表面から 1 . 2 ~ 1 . 5 n m までが結晶化していることが確認できた。また、下地膜表面か

10

20

30

40

50

ら 6 nm ~ 34 nm の領域は非晶質状態であった。

【0266】

なお、In - Ga - Zn - O 膜と下地膜の界面付近は、結晶化しておらず、非晶質状態であることが確認できた。

【0267】

また、比較例として、第2の加熱処理を行わなかったサンプル2の断面観察を行ったところ、下側のIn - Ga - Zn - O 膜の表面から 0.5 ~ 1.5 nm まで結晶化していることが確認できた。サンプル2では、5 nm のIn - Ga - Zn - O 膜をサンプル1の5 nm のIn - Ga - Zn - O 膜と同じ成膜条件で成膜した。30 nm のIn - Ga - Zn - O 膜の成膜条件を、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$  [mol 数比]の金属酸化物ターゲットを用い、圧力 0.6 Pa、直流 (DC) 電源 5 kW、酸素とアルゴンの混合雰囲気下 (酸素流量 50 sccm、アルゴン流量 50 sccm)、基板温度 200、成膜速度 13.4 nm/min で成膜した。

10

【0268】

また、サンプル2と同じサンプル作製条件とし、さらに窒素雰囲気で 650、6 分の第2の加熱処理を行ったサンプル3の断面観察を行ったところ、下地膜近傍から、上側のIn - Ga - Zn - O 膜の表面まで配向を持って結晶化が進んでいることが確認できた。結晶化している膜厚は 28 nm ~ 30 nm であった。ただし、このサンプル3においてもIn - Ga - Zn - O 膜と下地膜の界面付近は、結晶化しておらず、非晶質状態であることが確認できた。

20

【0269】

また、サンプル4として、ガラス基板上に 30 nm の膜厚の酸化窒化珪素膜 (下地膜) を PCVD 法により形成した後、In - Ga - Zn - O 膜を 3 nm の設定で形成し、第1の加熱処理を行った後、In - Ga - Zn - O 膜を 30 nm の設定で形成し、第2の加熱処理を行った。3 nm と 30 nm のIn - Ga - Zn - O 膜の成膜条件は、どちらも、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$  [mol 数比]の金属酸化物ターゲットを用い、圧力 0.6 Pa、直流 (DC) 電源 5 kW、酸素とアルゴンの混合雰囲気下 (酸素流量 50 sccm、アルゴン流量 50 sccm)、基板温度 200、成膜速度 13.4 nm/min で成膜した。

【0270】

また、サンプル4では、第1の加熱処理も第2の加熱処理も窒素雰囲気で 670、6 分とした。

30

【0271】

こうして得られたサンプル4の断面観察を行ったところ、In - Ga - Zn - O 膜と下地膜の界面も結晶化されたことが確認でき、さらに上側のIn - Ga - Zn - O 膜中では、下地膜側の配向に沿って結晶化が部分的に起こっていることが確認できる。また、下側のIn - Ga - Zn - O 膜表面からも結晶化しており、配向が確認できる。

【0272】

このように、酸化物半導体膜の組成、酸化物半導体膜の膜厚、酸化物半導体膜の成膜条件、酸化物半導体膜成膜後の加熱処理条件によっても結晶化される領域が異なるため、実施者はデバイスの作製条件を適宜調節することが好ましい。

40

【符号の説明】

【0273】

- 400 基板
- 401 ゲート電極層
- 402 ゲート絶縁層
- 403 第1の酸化物半導体層
- 404 第2の酸化物半導体層
- 405 a ソース電極層
- 405 b ドレイン電極層

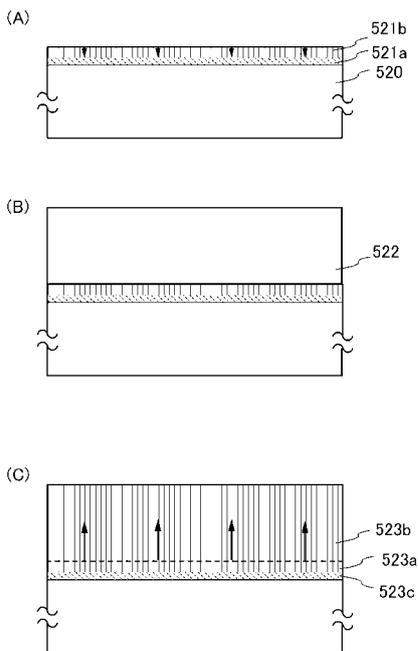
50

4 0 7	酸化物絶縁層	
4 3 0	酸化物半導体積層	
4 3 1	酸化物半導体積層	
4 3 2	酸化物半導体積層	
4 7 0	トランジスタ	
5 0 1	酸化物部材	
5 2 0	下地部材	
5 2 1 a	非晶質状態の領域	
5 2 1 b	酸化物結晶部材	
5 2 2	酸化物部材	10
5 2 3 a	酸化物結晶部材	
5 2 3 b	酸化物結晶部材	
5 2 3 c	非晶質状態のままの領域	
5 3 2	酸化物部材	
5 3 3 b	酸化物結晶部材	
5 8 0	基板	
5 8 1	トランジスタ	
5 8 3	絶縁層	
5 8 7	電極層	
5 8 8	電極層	20
5 8 9	球形粒子	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
5 9 4	キャビティ	
5 9 5	充填材	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	30
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
2 8 0 0	筐体	
2 8 0 1	筐体	
2 8 0 2	表示パネル	
2 8 0 3	スピーカー	
2 8 0 4	マイクロフォン	
2 8 0 5	操作キー	40
2 8 0 6	ポインティングデバイス	
2 8 0 7	カメラ用レンズ	
2 8 0 8	外部接続端子	
2 8 1 0	太陽電池セル	
2 8 1 1	外部メモリスロット	
3 0 0 1	本体	
3 0 0 2	筐体	
3 0 0 3	表示部	
3 0 0 4	キーボード	
3 0 2 1	本体	50

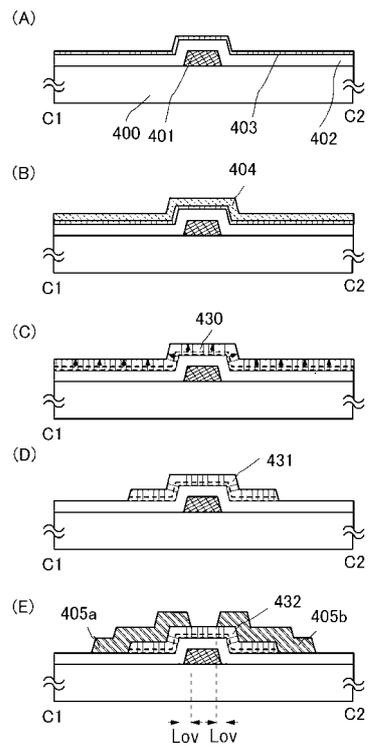
3 0 2 2	スタイラス	
3 0 2 3	表示部	
3 0 2 4	操作ボタン	
3 0 2 5	外部インターフェイス	
3 0 5 1	本体	
3 0 5 3	接眼部	
3 0 5 4	操作スイッチ	
3 0 5 5	表示部 ( B )	
3 0 5 6	バッテリー	
3 0 5 7	表示部 ( A )	10
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	第 2 の基板	
4 0 0 8	液晶層	
4 0 1 0	トランジスタ	
4 0 1 1	トランジスタ	
4 0 1 3	液晶素子	20
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電層	
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 4 0	導電層	30
4 5 0 1	第 1 の基板	
4 5 0 2	画素部	
4 5 0 3 a、	4 5 0 3 b	信号線駆動回路
4 5 0 4 a、	4 5 0 4 b	走査線駆動回路
4 5 0 5	シール材	
4 5 0 6	第 2 の基板	
4 5 0 7	充填材	
4 5 0 9	トランジスタ	
4 5 1 0	トランジスタ	
4 5 1 1	発光素子	40
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 8 a、	4 5 1 8 b	F P C
4 5 1 9	異方性導電層	
4 5 2 0	隔壁	
4 5 4 0	導電層	
4 5 4 1	絶縁層	50

4 5 4 4 絶縁層

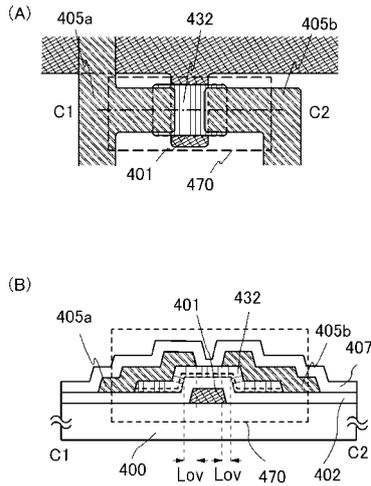
【図 1】



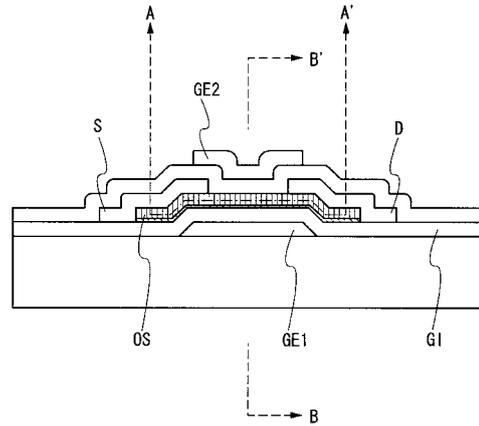
【図 2】



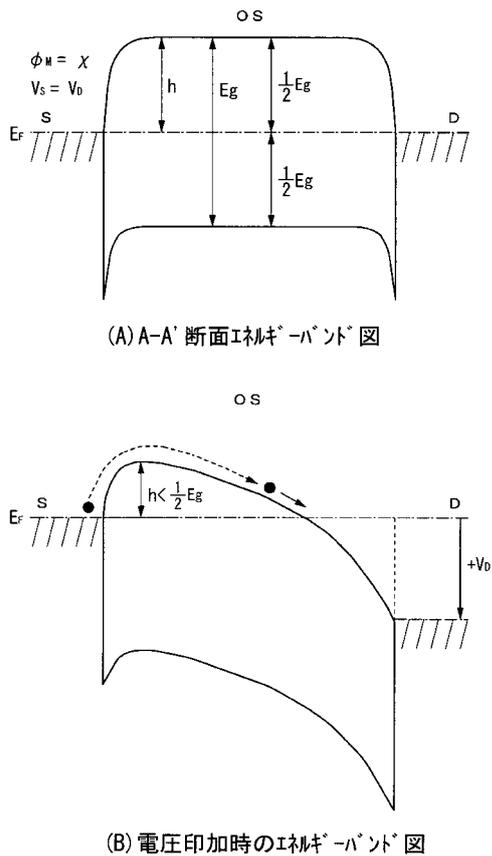
【 図 3 】



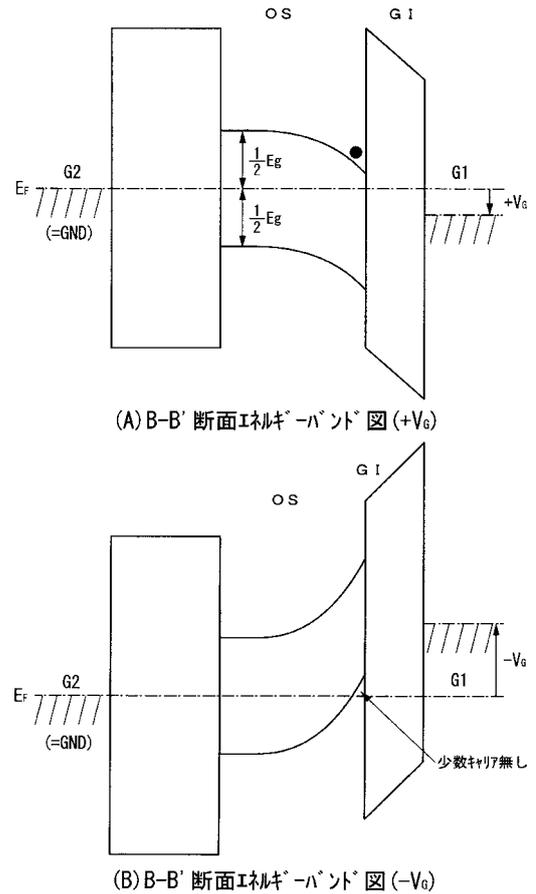
【 図 7 】



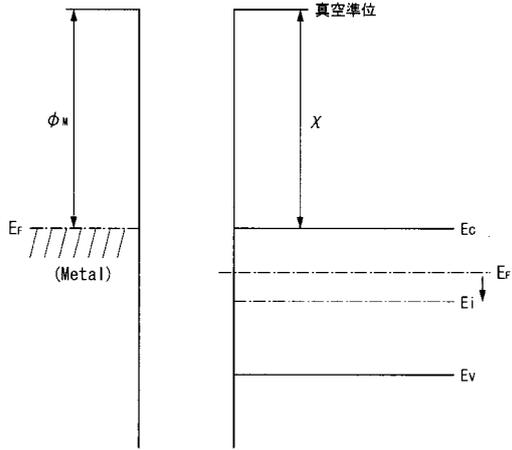
【 図 8 】



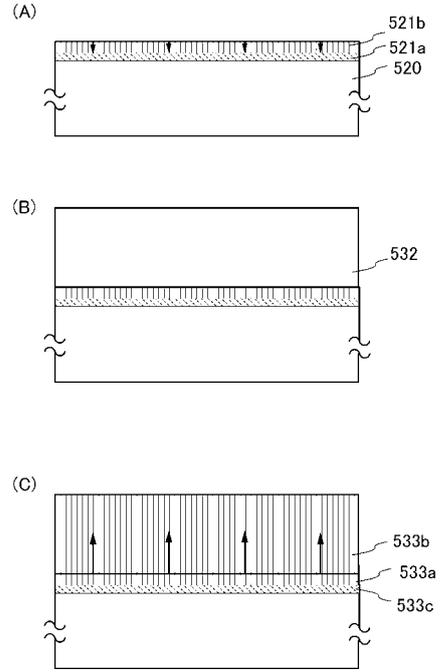
【 図 9 】



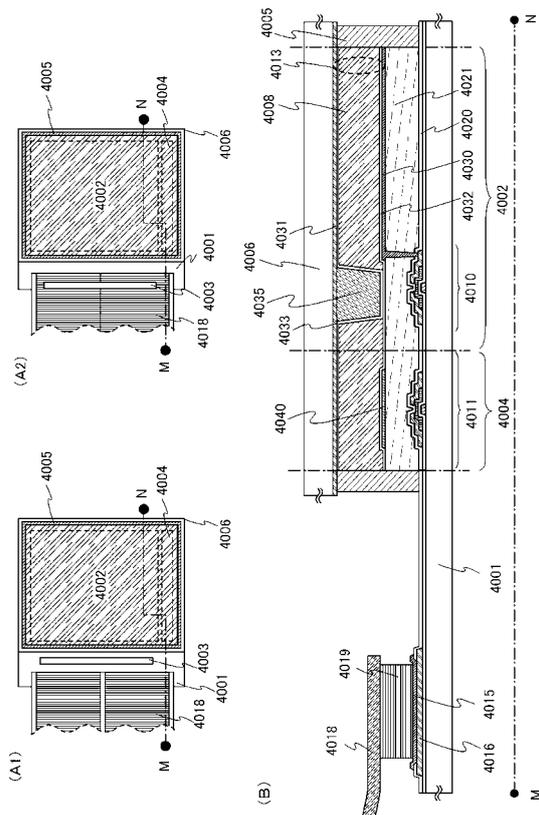
【図 10】



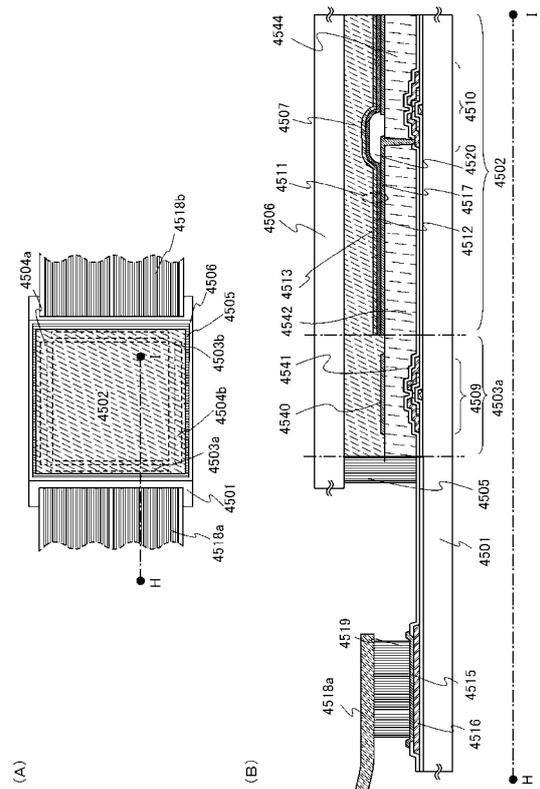
【図 11】



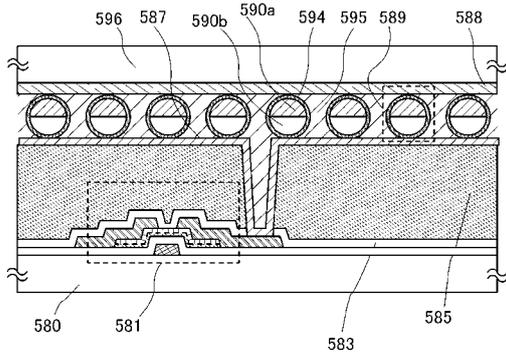
【図 12】



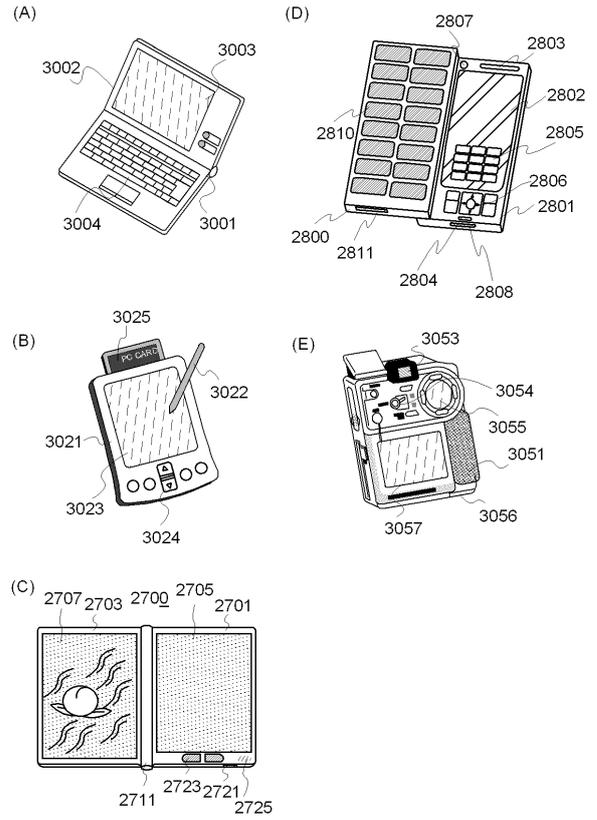
【図 13】



【 図 1 4 】

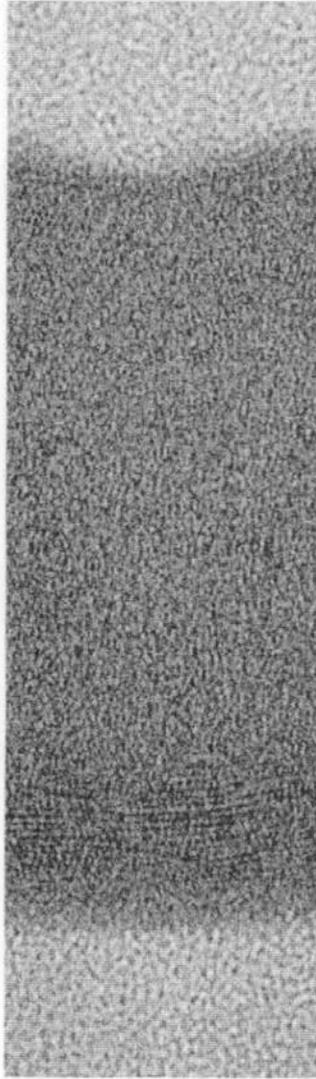


【 図 1 5 】



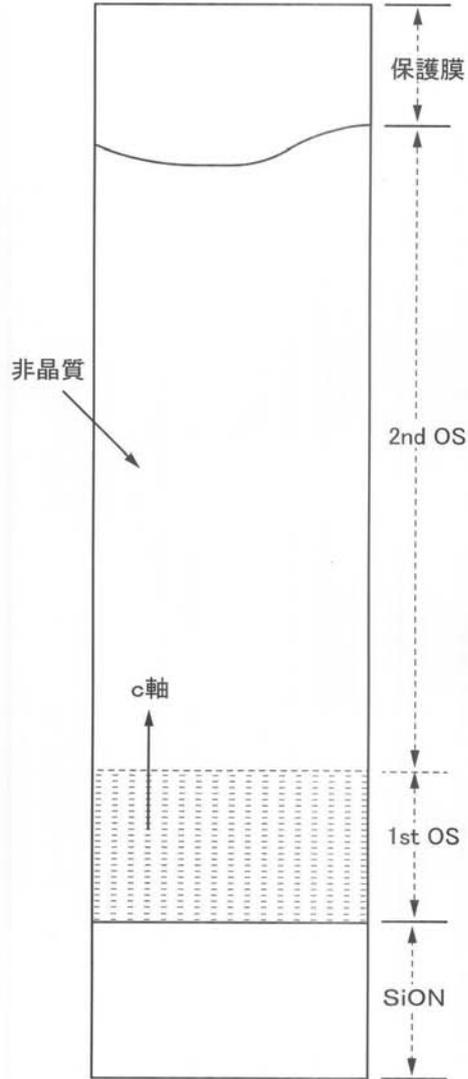
【 図 4 】

(A)



5 nm

(B)

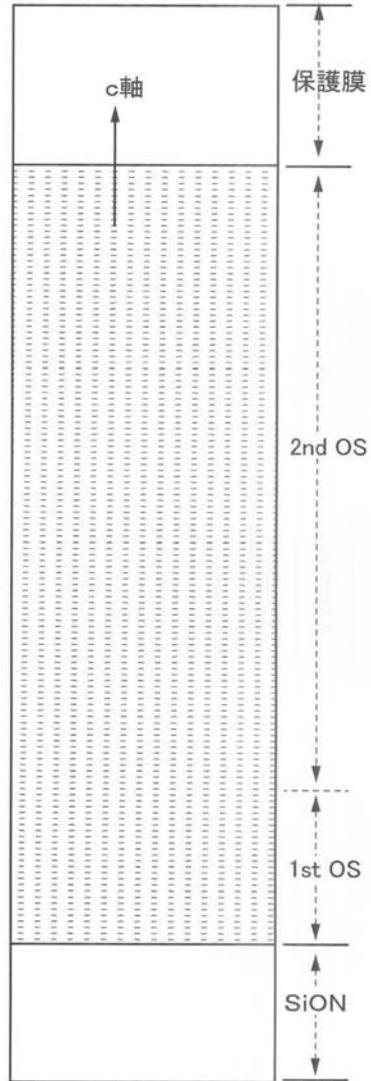


【 図 5 】

(A)

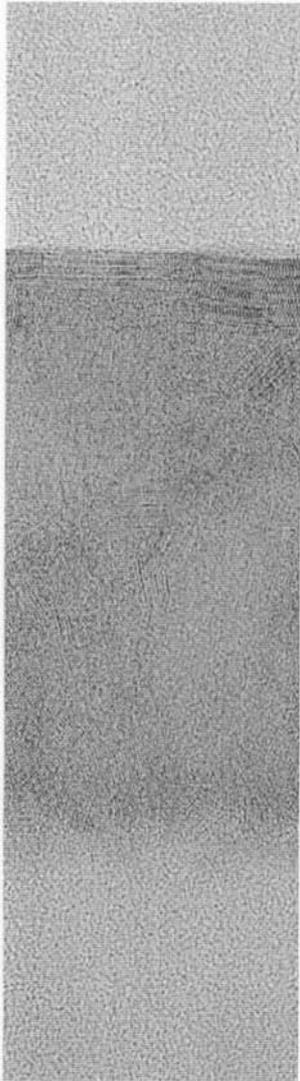


(B)



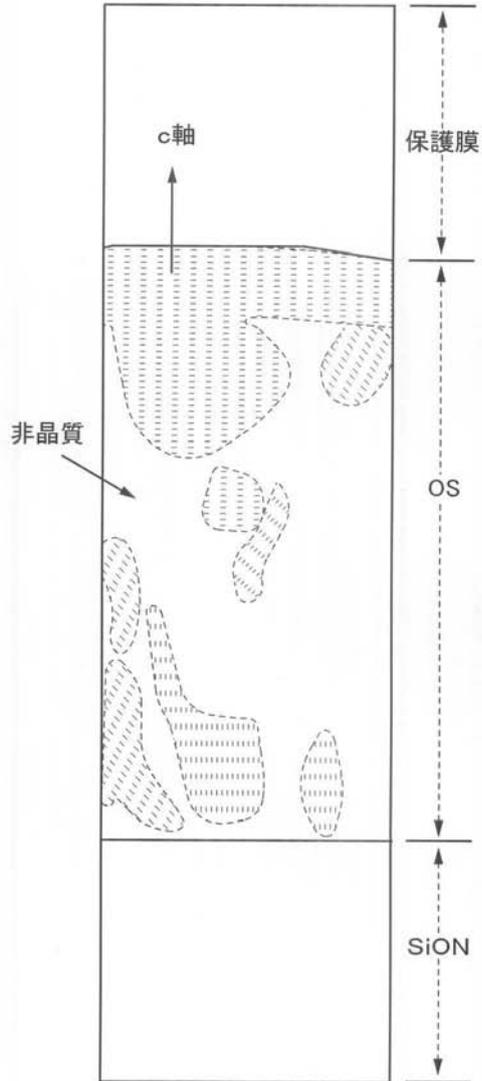
【 図 6 】

(A)



10 nm

(B)



## フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
<b>H 0 1 L 51/50 (2006.01)</b>		H 0 1 L 29/78	6 1 8 Z	
<b>H 0 5 B 33/14 (2006.01)</b>		H 0 1 L 21/363		
<b>H 0 5 B 33/10 (2006.01)</b>		G 0 2 F 1/1368		
<b>H 0 5 B 33/08 (2006.01)</b>		H 0 5 B 33/14	A	
		H 0 5 B 33/14	Z	
		H 0 5 B 33/10		
		H 0 5 B 33/08		

F ターム(参考)	5F103	AA08	DD30	GG02	GG03	HH04	LL13	NN01	NN05	PP03	PP11
		PP13	PP14	PP18	RR05	RR08					
	5F110	AA01	AA06	AA09	AA14	AA16	AA28	BB02	CC07	DD01	DD02
		DD03	DD04	DD07	DD13	DD14	DD15	DD17	EE02	EE03	EE04
		EE06	EE14	EE15	EE30	EE38	FF01	FF02	FF03	FF04	FF09
		FF28	FF30	FF36	GG01	GG06	GG13	GG15	GG17	GG19	GG22
		GG24	GG28	GG29	GG35	GG43	GG57	HK01	HK02	HK03	HK04
		HK06	HK07	HK21	HK22	HK33	HL01	HL07	HL09	HM13	NN03
		NN04	NN05	NN16	NN22	NN23	NN24	NN25	NN27	NN33	NN34
		NN36	NN71	NN72	PP01	PP02	PP10	PP13	PP22	PP36	QQ02
		QQ09									
	5F152	AA01	BB01	BB03	CC02	CC03	CC06	CC07	CD13	CD14	CD15
		CD16	CD17	CD24	CE01	CE16	CE43	CE45	CG10	CG13	CG14
		EE14	EE16	FF11	FF14	FF15	FF16	FF17	FF21	FF30	