

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 24 日(24.12.2014)



(10) 国際公開番号
WO 2014/203487 A1

- (51) 国際特許分類:
H01L 27/06 (2006.01) H01L 27/04 (2006.01)
H01L 21/822 (2006.01) H01L 27/095 (2006.01)
H01L 21/8232 (2006.01) H01L 29/06 (2006.01)
H01L 21/8234 (2006.01) H03K 17/687 (2006.01)
- (21) 国際出願番号: PCT/JP2014/003021
- (22) 国際出願日: 2014 年 6 月 6 日(06.06.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-129656 2013 年 6 月 20 日(20.06.2013) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 斉藤 俊(SAITOU, Masaru); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 鈴木 壯兵衛(SUZUKI, Sohbe); 〒1056032 東京都港区虎ノ門 4 丁目 3 番 1 号 城山トラス

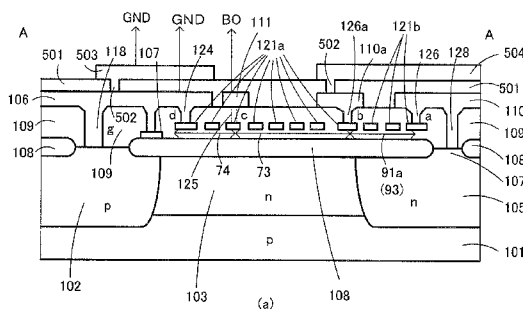
トタワー 3 2 階 特許業務法人日栄国際特許事務所 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

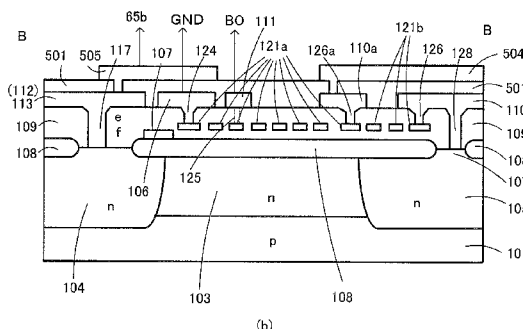
(54) Title: SEMICONDUCTOR DEVICE, CONTROL IC FOR SWITCHING POWER SUPPLY, AND SWITCHING POWER SUPPLY DEVICE

(54) 発明の名称: 半導体装置、スイッチング電源用制御 IC およびスイッチング電源装置



(57) Abstract: This semiconductor device is configured such that a resistor (91a) for suppressing overvoltage is inserted between an input terminal and a drain of JFETs (81, 82), and the resistor (91a) is disposed on the JFETs (81, 82). Furthermore, the resistor (91a) is continuously and integrally formed with a spiral high-withstand voltage high-resistive element (121a) that constitutes a resistive voltage dividing circuit.

(57) 要約: 半導体装置は、入力端子と JFET (81, 82) のドレインとの間に、過電圧を抑制する抵抗 (91a) が挿設され、この抵抗 (91a) が JFET (81, 82) 上に配置される構成とする。また、抵抗 (91a) は抵抗分圧回路を構成する渦巻き状の高耐圧高抵抗素子 (121a) と連続して一体に形成されている。



WO 2014/203487 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

— 補正された請求の範囲及び説明書 (条約第 19 条(1))

明 細 書

発明の名称：

半導体装置、スイッチング電源用制御ＩＣおよびスイッチング電源装置 技術分野

[0001] 本発明は、半導体装置、スイッチング電源用制御ＩＣおよびそれを搭載したスイッチング電源装置に関する。

背景技術

[0002] スwitchング電源用制御ＩＣ（以下、「制御ＩＣ」となる）は、個別の高耐圧スイッチングトランジスタを制御するための専用ＩＣである。このＩＣは、動作状態においては、高耐圧スイッチングトランジスタを動作させることにより自身の電源を形成するが、起動時においては、起動回路からの起動電流の供給を必要とする。通常、起動回路は、制御ＩＣと同一の半導体基板に集積されており、それによって、部品点数の削減と電源システムの簡素化が実現されている。

起動電流は、入力交流信号ＡＣ１００～２４０Ｖを整流したものであり、これを起動回路に供給するため、起動回路上流のノーマリオン型素子には、４５０Ｖ以上の耐圧が必要である。このノーマリオン型素子は、スイッチング電源用制御ＩＣとモノリシック化されるため、横型高耐圧電界効果型接合トランジスタ（横型高耐圧ＪＦＥＴ）として実現される。この素子の電流駆動能力によって、スイッチング電源装置の設計仕様が決定される。

[0003] 図２２は、従来のスイッチング電源装置７００の構成を示す回路図である。図２２に示すように、スイッチング電源装置７００は、制御ＩＣ３１の起動回路４１内に、ＡＣ入力電圧の低下を検出するための図示しない抵抗（以下、ブラウンアウト抵抗とする）を内蔵したものである（特許文献１参照）。尚、特許文献１では抵抗９１は省かれているが、図２２にはそれらが追記されている。この抵抗９１は、ＶＨ端子３２にＥＳＤサージや雷サージなどの過電圧が印加されないように、過電圧を降圧してＶＨ端子３２に入れる過

電圧抑制抵抗である。

図23は、図22のスイッチング電源装置に搭載された起動回路41の構成を示す回路図である。図23に示すように、起動回路41は、VH端子（高耐圧入力端子）61、BO端子（ブラウンアウト入力端子）62、on/off端子（オン/オフ信号入力端子）63およびVCC端子（電源電圧端子）64を備えている。VH端子61およびVCC端子64は、それぞれ、制御IC31のVH端子32およびVCC端子35に接続されている。on/off端子63は、低電圧停止回路42に接続されている。

[0004] また、起動回路41は、起動素子65を備えている。起動素子65は、2つの高耐圧JFET81、82と、2つの抵抗73、74からなる直列抵抗回路を備えている。BO端子62は、抵抗73、74からなる直列抵抗回路の中間ノードに接続されている。抵抗73、74からなる直列抵抗回路は、VH端子61に接続されている。

また、BO端子62は、BOコンパレータ44の非反転入力端子（+端子）に接続されている。つまり、VH端子61への入力電圧を抵抗73、74により抵抗分圧した電圧が、BOコンパレータ44の非反転入力端子に入力される。

2つのJFET81、82は、ノーマリオン型の電界効果型接合トランジスタであり、それらのゲート端子は、接地されている。また、これら2つのJFET81、82のドレイン端子は、VH端子61に共通接続されている。第1のJFET81のソース端子は、第1のPMOSトランジスタ67のソース端子および第2のPMOSトランジスタ69のソース端子に接続されている。

[0005] 第1のPMOSトランジスタ67のゲート端子は、第2のPMOSトランジスタ69のゲート端子およびドレイン端子に共通接続されている。第2のPMOSトランジスタ69のドレイン端子は、負荷70に接続されている。第1のPMOSトランジスタ67のドレイン端子とVCC端子64の間には、第1のNMOSトランジスタ68が接続されている。

第1のNMOSトランジスタ68のゲート端子は、抵抗66を介して第2のJFET82のソース端子に接続されている。また、第1のNMOSトランジスタ68のゲート端子は、第2のNMOSトランジスタ71のドレイン端子に接続されている。第2のNMOSトランジスタ71のゲート端子は、on/off端子63に接続されている。第2のNMOSトランジスタ71のソース端子は、接地されている。また、第2のNMOSトランジスタ71のゲート端子は、抵抗72を介して接地されている。

[0006] このような構成の起動回路41では、第2のPMOSトランジスタ69の電圧電流特性と負荷70のインピーダンスによって、第2のPMOSトランジスタ69に流れる電流が決まる。第2のPMOSトランジスタ69と第1のPMOSトランジスタ67はカレントミラー接続になっている。そして、第2のPMOSトランジスタ69の W/L の値が1であるのに対して、第1のPMOSトランジスタ67の W/L の値は100である。なお、 W および L は、それぞれ、チャネル幅およびチャネル長である。従って、第1のPMOSトランジスタ67には、第2のPMOSトランジスタ69の100倍の電流が流れる。なお、 W および L は、それぞれ、チャネル幅およびチャネル長である。

[0007] 第1のNMOSトランジスタ68は、on/off端子63を介して低電圧停止回路42から供給されるオン／オフ信号に基づいて、オン状態とオフ状態が切り替わるスイッチとして機能する。オン／オフ信号がLow状態の場合には、第2のNMOSトランジスタ71がオフ状態となり、第1のNMOSトランジスタ68のゲート端子に高い電圧が入力されるので、スイッチがオン状態となる。このスイッチがオン状態になることによって、上述した電源の起動時に、起動回路41から制御IC31のVCC端子35に電流が供給される。

一方、オン／オフ信号がHi状態の場合には、第2のNMOSトランジスタ71がオン状態となり、第1のNMOSトランジスタ68のゲート電圧がゼロになるので、スイッチがオフ状態となる。従って、VH端子61とVC

C端子64の間の電流経路が遮断されるので、起動回路41からVCC端子35への電流の供給が停止する。

[0008] なお、図24では、半導体装置の特徴を明瞭に示すため、金属配線、層間絶縁膜およびLOCOS酸化膜を省略して示す。この半導体装置は、前記起動素子65を構成する。また、図25では、図面を見易くするため、断面を表すハッチングを省略している。

図24および図25に示すように、ゲート領域102となるpウェル領域が、p基板101の表面層に選択的に形成されている。ゲート領域102は、チャンネルが形成されるチャンネル領域となる。また、p基板101の表面層には、ドリフト領域103となる低濃度のnウェル領域が、ゲート領域102の一部に所定の幅で入り込むように選択的に形成されている。さらに、p基板101の表面層の、ドリフト領域103の入り込んだ箇所には、ソース領域104となる高濃度のnウェル領域が選択的に例えば8個形成されている。

[0009] ドレイン領域105となる高濃度のnウェル領域は、ソース領域104と対向して、p基板101の表面層の、ソース領域104から離れた箇所に選択的に形成されている。ソース領域104は、ドレイン領域105から等間隔となる円周上に形成されている。

ドリフト領域103がゲート領域102に接する箇所には、制御電極としてゲートポリシリコン電極107がゲート領域102とドリフト領域103に跨がるように形成されている。LOCOS酸化膜108、ゲートポリシリコン電極107、ゲート領域102、ソース領域104およびドレイン領域105の上には、層間絶縁膜109が設けられている。

[0010] ドレイン領域105とゲート領域102またはソース領域104との間の領域において、層間絶縁膜109内には、高耐圧高抵抗素子121が埋め込まれている。層間絶縁膜109の上には、ゲート電極配線106となる金属配線、ドレイン電極配線110となる金属配線、第1のソース電極配線112となる金属配線、第2のソース電極配線113となる金属配線、第1の抵

抗接続配線 1 2 2 となる金属配線、および第 2 の抵抗接続配線 1 2 3 となる金属配線が形成されている。

ゲート電極配線 1 0 6 は、層間絶縁膜 1 0 9 を貫通するゲートコンタクト部 1 1 4 およびポリシリコンコンタクト部 1 1 5 を介してゲート領域 1 0 2 およびゲートポリシリコン電極 1 0 7 に電氣的に接続されている。

[0011] ドレイン電極配線 1 1 0 は、層間絶縁膜 1 0 9 を貫通するドレインコンタクト部 1 1 6 を介してドレイン領域 1 0 5 に電氣的に接続されている。ドレイン領域 1 0 5 は、第 1 の J F E T 8 1 および第 2 の J F E T 8 2 に共通のドレイン領域であり、ドレイン電極配線 1 1 0 は、起動回路 4 1 の V H 端子 6 1 に接続される。

第 1 のソース電極配線 1 1 2 は、7 個のソース領域 1 0 4 に電氣的に接続されている。第 2 のソース電極配線 1 1 3 は、別の 1 個のソース領域 1 0 4 に電氣的に接続されている。

[0012] また、特許文献 2 には、このスイッチング電源用 I C が製品（スイッチング電源）に組み込まれたときには、A C 入力ラインから印加される雷サージ電圧などの過電圧からスイッチング電源用制御 I C を保護するために、スイッチング電源用制御 I C の外部にサイリスタなどを含む保護回路を接続することが記載されている。

また、特許文献 3、4 には、同様に過電圧から I C を保護するために、スイッチング電源用制御 I C の内部に電圧監視機能を設けてスイッチング動作を制御する回路を内蔵することが記載されている。

しかし、特許文献 1 では、V H 端子に E S D サージや雷サージなどの過電圧が直接印加されないように、制御 I C 3 1 の外部に過電圧抑制作用のある抵抗 9 1 が取り付けられている。そのため、スイッチング電源装置の製作において組立工数がかかり、また、部品点数が多くなる。さらに、大型化する。

[0013] また、特許文献 2 ～ 4 では、起動素子の入力端子に静電気放電 (E S D) などの過電圧が印加されないように、スイッチング電源装置の組立環境に細心

の注意を払うか、もしくは、上述したように、外付け抵抗、サイリスタなどの抵抗成分を持った外部保護部品を付加して過電圧を低減する必要がある。いずれにしても、外付け部品が必要となるため、スイッチング電源装置のコストと実装面積を増大させる。

また、特許文献４に示すように、制御ＩＣ３１の内部に電圧監視機能を設けてた場合には、スイッチング動作を制御する回路はスイッチング動作が確立した条件下で制御機能が働くため、電源システムに組み込まれる前の段階で静電気に対する耐性は無力である。同様にスタンバイ状態などのスイッチング動作が確立する以前の段階に発生した過電圧に対しては抑制機能は働かない。

先行技術文献

特許文献

[0014] 特許文献１：特開２００８－１５３６３６号公報

特許文献２：特開２００６－１２１８０８号公報

特許文献３：特開２００３－３９１６０号公報

特許文献４：特開２００４－２３８９４号公報

発明の概要

発明が解決しようとする課題

[0015] 本発明の目的は、上記の課題を解決して、過電圧に対する抑制機能を内蔵し、高い過電圧耐量を有する半導体装置およびこれを用いたスイッチング電源用制御ＩＣおよびスイッチング電源装置を提供することである。

課題を解決するための手段

[0016] 上記の目的を達成するために、本発明の一態様に係る半導体装置は、半導体基板の上部に形成された接合型電界効果トランジスタと、接合型電界効果トランジスタ上に設けられた絶縁膜と、絶縁膜上に設けられ、外部から電圧が印加される中継配線と、接合型電界効果トランジスタのドレインと中継配線との間に接続され絶縁膜内に設けられた第１の抵抗素子と、を備えること

を特徴としている。

発明の効果

[0017] 本発明によれば、J F E Tの入力端子とドレインの間に過電圧（サージ電圧）を抑制する抵抗を挿設することで、高い過電圧耐量を有する半導体装置を提供することができる。

また、過電圧抑制用の抵抗素子を備えた半導体装置を用いることで占有面積が小さく、低コストのスイッチング電源用制御ICおよびスイッチング電源装置を提供することができる。

図面の簡単な説明

[0018] [図1]本発明の第1の実施形態に係る半導体装置の要部構成図であり、（a）は要部平面図、（b）は（a）のJ F E Tの等価回路図である。

[図2]抵抗素子の要部構成図であり、（a）は円形の形状を示す上平面図、（b）は渦巻き状の抵抗素子の形状を示す上面図、（c）は平板状の抵抗素子の形状を示す上面図である。

[図3]図1（a）を簡略化して示す要部平面図である。

[図4]図1（a）の半導体装置の1層目の電極の要部平面図である。

[図5]図1（a）の半導体装置の2層目の電極の要部平面図である。

[図6]（a）は図4のA－A線に沿った断面構造を示す要部断面図、（b）は図4のB－B線に沿った断面構造を示す要部断面図である。

[図7]図1（a）の半導体装置を用いた起動回路の要部回路図である。

[図8]図1（a）の半導体装置のJ F E Tについて、ソース電流 I_s 、コンデンサ電圧 V_c とソース電圧 V_s の関係を示す図である。

[図9]本発明の第2の実施形態に係る半導体装置の要部平面図である。

[図10]図9を簡略化して示す要部平面図である。

[図11]図9の半導体装置の1層目の電極の要部平面図である。

[図12]図9の半導体装置の2層目の電極の要部平面図である。

[図13]図9の半導体装置の要部断面図であり、（a）は図11のA－A線に沿った断面構造を示す要部断面図、（b）は図11のB－B線に沿った断面

構造を示す要部断面図である。

[図14]図9の半導体装置の変形例を示す要部断面図であり、(a)は図11のA-A線と同一位置での断面構造を示す要部断面図、(b)は図11のB-B線と同一位置での断面構造を示す要部断面図である。

[図15]図9の半導体装置を用いた起動回路の要部回路図である。

[図16]本発明の第3の実施形態に係る半導体装置の要部構成図であり、(a)は要部平面図、(b)は(a)のC-C線に沿った断面構造を示す要部断面図である。

[図17]本発明の第4の実施形態に係る半導体装置の要部平面図である。

[図18]図17のA-A線に沿った断面構造を示す要部断面図である。

[図19]図16の半導体装置を用いた起動回路の要部回路図である。

[図20]本発明の第5の実施形態に係る半導体装置の要部構成図であり、(a)は要部平面図、(b)は(a)のC-C線に沿った断面構造を示す要部断面図である。

[図21]本発明の第4の実施形態に係るスイッチング電源装置の要部回路図である。

[図22]従来のスイッチング電源装置の構成を示す回路図である。

[図23]図22のスイッチング電源装置に搭載された起動回路の構成を示す回路図である。

[図24]図23の起動回路41を構成するJFETの要部平面図である。

[図25]図24の要部断面図であり、(a)は図24のX-X線に沿った断面構造を示す要部断面図、(b)は図24のY-Y線に沿った断面構造を示す要部断面図、(c)は図24のZ-Z線に沿った断面構造を示す要部断面図である。

発明を実施するための形態

[0019] 以下、本発明の実施形態に係る半導体装置、それを用いたスイッチング電源用制御ICおよびスイッチング電源装置を、図面を参照して詳細に説明する。

以下の第1～第6の実施形態の説明では、第1導電型がp型、第2導電型がn型の場合について例示的に説明するが、導電型を逆の関係に選択して、第1導電型をn型、第2導電型をp型としても構わない。

なお、第1～第6の実施形態で説明される添付図面は、見易くまたは理解し易くするために正確なスケール、寸法比で描かれていない。本発明はその要旨を超えない限り、第1～第6の実施形態の記載に限定されるものではない。

[0020] (第1の実施形態)

図1には本発明の第1の実施形態に係る半導体装置100を構成する抵抗素子121bとJFET81, 82が示されており、上部に形成される電極は図示していない。

また、図1(b)において、このJFET81, 82はドレインDが共通でソースSが2つに分割されている。そのため、等価回路としては矢印の右に示すように、2つのJFET81, 82で示すことにする。JFET81, 82は、ノーマリオン型の接合型電界効果トランジスタである。

図2に示すように、抵抗素子121bは、ドレイン領域105上からドリフト領域103のドレイン領域105の近傍上に亘って形成されているが、ドレイン領域105上のみに形成することもできる。

[0021] 図1乃至図6において、j, k, e, f, gはコンタクトホールの位置を示し、符号126, 126a, 117, 118はコンタクトホールもしくはコンタクト部（コンタクトホールで接続する部位）を示す。j, k, gと符号126, 126a, 118はそれぞれ対応し、e, fは2箇所ある符号117にそれぞれ対応している。符号117はソース領域104に接続するコンタクトホールもしくはコンタクト部であり、JFET81に対応する位置がeであり、JFET82に対応する位置がfである。符号118はゲート領域102に接続するコンタクトホールもしくはコンタクト部である。

図6に示すように、本発明の第1の実施形態に係る半導体装置100において、抵抗素子121bは、主に第2導電型（n型）のドレイン領域105

上の層間絶縁膜 109 の内部に形成される。この抵抗素子 121 b は例えば数十 Ω ~ 200 Ω 程度で形成される。J F E T は J F E T 81 と J F E T 82 で構成され、図には各部の電極と接続するコンタクト部の位置も示した。

[0022] 図 3 に示すように、第 2 導電型 (n 型) のソース領域 104 は 8 箇所あり、そのうちの 7 箇所が J F E T 81 のソース領域であり、1 箇所が J F E T 82 のソース領域である。

図 4 に示すように、一層目の金属電極のうち、第 1 および第 2 のソース電極配線 112, 113 をゲート電極配線 106 が取り巻き、中央部のドレイン領域 105 上にドレイン電極配線 110 が配置されている。また、抵抗素子 121 b と接続する電極も配置されている。これらの電極は j, k に対応するコンタクト部 126, 110 a を介して各部位に接続する。

図 5 に示すように、二層目の金属電極 (配線 503, 504) は一層目の金属電極 (ゲート電極配線 106, ドレイン電極配線 110, 中継配線 110 a) 上に形成された二層目の層間絶縁膜を介して形成され、コンタクト部を介して一層目の電極と接続する。

[0023] 図 6 のドレイン領域 105 の中心を右端とした断面図に示すように、各部位 (ゲート領域 102, ソース領域 104, ドレイン領域 105) と各金属電極 (ゲート電極配線 106, ドレイン電極配線 110, 第 2 のソース電極配線 113) はコンタクト部 (118, 117, 128) を介して接続する。図 6 (a), (b) では、図面を見易くするため、断面を表すハッチングを省略している。

図 6 の右端に示したドレイン領域 105 は、図 1 では p 基板 101 の表面層のドリフト領域 103 の中心部分にドリフト領域 103 と接するように配置されている。ドリフト領域 103 上には、図 6 に示すように、厚さ 600 Å 程度の L O C O S 酸化膜 108 が形成されている。L O C O S 酸化膜 108、ゲート領域 102 およびドレイン領域 105 の上には、層間絶縁膜 109 が設けられている。

なお、ドレイン領域 105 は形成しなくてもよい。この場合、ドリフト領

域 103 がドレイン電極配線 110 と接続される。

[0024] 図 7 に示すように、起動回路 41a は、同一半導体基板に起動素子 65a と抵抗 91a および起動後段回路 65b が集積されている。抵抗 91a は、半導体装置 100 では抵抗素子 121b で示している。

VH 端子 61 は抵抗 91a を介して、JFET 81, 82 に接続する。また、JFET 81, 82 の 2 つのソースは起動後段回路 65b に接続する。JFET 82 のソースは抵抗 66 を介して NMOS トランジスタ 68 のゲートに接続し、JFET 81 のソースは PMOS トランジスタ 67 を介して NMOS トランジスタ 68 のドレインに接続する。

[0025] つぎに、図 1 ～図 6 を用いて、本発明の第 1 の実施形態に係る半導体装置 100 の JFET 81, 82 と抵抗素子 121b について説明する。

図 6 に示すように、第 1 導電型 (p 型) のゲート領域 102 が、p 基板 (第 1 導電型の (p 型) 半導体基板) 101 の表面層に選択的に形成されている。また、p 基板 101 の表面層には、第 2 導電型 (n 型) のドレイン領域 105 に比べて低不純物濃度の n ウェル領域からなる第 2 導電型 (n 型) のドリフト領域 103 が形成されている。ドリフト領域 103 の表面層には第 1 導電型 (p 型) のゲート領域 102 と接するように形成されたゲート領域 102a を備えている。ゲート領域 102a は、ドリフト領域 103 の縦方向からの空乏化を促進するための領域である。このゲート領域 102a は必要に応じて設けることができる。

[0026] ドレイン領域 105 上の層間絶縁膜 109 内には、図 1 の中心に示したようなリング状の抵抗素子 121b が埋め込まれている。図 6 に示す抵抗素子 121b と厚さが 6000 Å 程度の LOCOS 酸化膜 108 との間の層間絶縁膜 109 の厚さは 2000 Å とした。抵抗素子 121b は、ポリシリコンやクロム・シリコン (CrSi) 合金等の薄膜抵抗でできており、図 1 および図 2 (a) に示すように平面形状が円形に形成されている。勿論、図 2 (b) や図 2 (c) のように抵抗素子 121b は渦巻き状や平板状に形成されても構わない。

層間絶縁膜 109 の上には、ゲート電極配線 106、第 1 および第 2 のソース電極配線 112、113、中継配線 110a およびドレイン電極配線 110 等の金属配線が形成されている。

[0027] 図 6 (a) に示すゲート電極配線 106 は、図 6 (b) に示したソース領域 104 およびドリフト領域 103 を取り囲むように、ゲート領域 102 の上に形成されている（図 4 の周辺部に示したゲート電極配線 106 参照）。ゲート電極配線 106 は、層間絶縁膜 109 を貫通するコンタクトホール 118 を介してゲート領域 102 に電氣的に接続されている。ゲート電極配線 106 は、接地される。

図 6 (a) に示すように、ゲート電極配線 106 は、層間絶縁膜 109 上まで張り出すように形成されている。これにより、ドリフト領域 103 とゲート領域 102 の境界部分で発生する電界強度が緩和され、半導体装置 100 の耐圧をより高くすることができる。さらにゲート電極配線 106 の先端部と層間絶縁膜 109 に埋め込まれた、例えば、ポリシリコンで形成されたフィールドプレート 106a を接続することで、さらに耐圧を高める効果が発揮される。

[0028] ドレイン電極配線 110 は、層間絶縁膜 109 を貫通するコンタクト部（コンタクトホール） 128 を介してドレイン領域 105 に電氣的に接続されている。ドレイン電極配線 110 は、コンタクト部 126、抵抗素子 121b、コンタクト部 126a、中継配線 110a、ビア部 502 を経由してパッド 504 に電氣的に接続する。

ゲート電極配線 106、中継配線 110a およびドレイン電極配線 110 上には第 2 の層間絶縁膜 501 が形成される。ゲート電極配線 106 および中継配線 110a はビア部 502 を介してそれぞれ配線 503、パッド 504 に接続する。ゲート電極配線 106 は、接地される。また、第 1、第 2 のソース電極配線 112、113 は配線 505 (S1, S2) を介して起動回路 41a の起動後段回路 65b に接続し、起動後段回路 65b の NMOS トランジスタ 68 のソースは VCC 端子 64 に接続される。

[0029] 本発明の第1の実施形態に係る半導体装置100では、高耐压化のための構造をゲート領域102とドリフト領域103の接合が担当し、大電流のための構造をソース領域104が担当するように役割分担しているので、高耐压化と低オン抵抗化を両立することができる。ドレイン領域105に電圧が印加されるとドレイン電流が放射状に流れる。ソース領域104が正電位にバイアスされ、この電位が上昇してある電位になるとドリフト領域103が空乏層によりカットオフされ、ドレイン電流が遮断される。本発明の第1の実施形態に係る半導体装置100では、ドレインーソース間は、主にゲート領域102とドリフト領域103の接合により、例えば500V以上の耐压を持つように設計される。以下に説明する第2～第6の実施形態に係る半導体装置も同様である。

[0030] 図8を用いて、前記の図7の起動素子65aの動作を説明する。ゲートであるゲート領域102は接地される。VH端子61から91aを経由してJFET81, 82のドレイン領域105(D)に電圧が印加されると、ドリフト領域103およびソース領域104内に空乏層が広がる。ソース領域104は不純物濃度がドリフト領域103より高いので、ドリフト領域に比べて空乏化の程度は小さい。そのため、 $V_s = 0V$ で大きなドレイン電流 I_d ($=I_o$)が流れる。このドレイン電流 I_d はソース領域104(S1, S2)を経由しVCC端子64から流出し、後述する図21に示すコンデンサ18を充電する。コンデンサ18の電圧が充電により上昇するとソース電圧 V_s も上昇する。ソース電圧 V_s が上昇するとゲート領域102とソース領域104のpn接合の逆バイアスが大きくなり、ドリフト領域103で空乏化が強まりドレイン電流 I_d が低下する。コンデンサ18が規定の電圧になったところで、JFET81に直列に接続しているNMOSトランジスタ68がオフして、ドレイン電流 I_d は停止する。コンデンサ18が規定の電圧になった時点で、起動回路41aの働きは停止し、後述する図21で示す、半導体装置100を集積した制御IC31aは補助コイル7から整流ダイオード17を介して供給される電流で充電されたコンデンサ18の電圧を電源

にして各回路は動作する。

[0031] つぎに、過電圧が図7に示すVH端子61に印加された場合を説明する。過電圧がVH端子61に印加されると、起動回路41aのVH端子61にボンディングワイヤを介して接続されているパッド504から、ビア部502と中継配線110aおよびコンタクト部126aを経由して抵抗素子121bに過電流が流れる。抵抗素子121bに流れた過電流は電位降下しながらコンタクト部126からドレイン電極配線110を通り、コンタクト部128を介してドレイン領域105に流入する。このようにドレイン領域105には、常に抵抗素子121bを通して過電圧が印加されるため、直接過電圧がドレイン領域105に印加される場合よりも抵抗素子121bによって低下した（抑制された）電圧が印加されるため、本発明の第1の実施形態に係る半導体装置100の過電圧耐量が向上する。

[0032] 過電圧の抑制（サージ保護）に必要な抵抗値は数十 Ω ～200 Ω 程度であり、起動素子65aのドレイン領域105上に配置されるので、高電圧印加時の起動素子65aの電位分布を大きく乱すまでは至らない。

以上説明したように、本発明の第1の実施形態に係る半導体装置100は、過電圧を抑制する抵抗素子121bを内蔵することができる。その結果、本発明の第1の実施形態に係る半導体装置100を用いた制御IC31aは外付けする部品が減るので、スイッチング電源用制御ICおよびスイッチング電源装置として部品コストや組み立てコストの低減と、小型化を図ることができる。

それに加えて、制御IC31a自体の静電気に対する過電圧耐量を向上させることができる。

[0033] （第2の実施形態）

図9は、本発明の第2の実施形態に係る半導体装置200の要部平面図である。図9には本発明の第2の実施形態に係る半導体装置200を構成する高耐圧高抵抗素子121a、抵抗素子121bおよびJFET81, 82が示されており、上部に形成される電極は図示していない。また、図9におい

て、a, b, c, d, e, f, gはコンタクトホールの位置を示し、符号126, 126a, 125, 124, 117, 118はコンタクトホールもしくはコンタクト部（コンタクトホールで接続する部位）を示す。a, b, c, d, gは126, 126a, 125, 124, 118にそれぞれ対応している。e, fは2箇所ある117にそれぞれ対応している。117はソース領域104に接続するコンタクトホールもしくはコンタクト部であり、JFET81に対応する位置がeであり、JFET82に対応する位置がfである。

[0034] 高耐圧高抵抗素子121aおよび抵抗素子（第1の抵抗素子）121bは一体に形成されており、平面形状は渦巻き状をしている。高耐圧高抵抗素子121aは、抵抗分圧回路を構成し、図15に示す抵抗（第2の抵抗素子）73と抵抗（第3の抵抗素子）74で構成される。VH端子61に500Vの電圧が印加される場合、抵抗73はVH端子61に直接接続されるため500Vの耐圧を有する必要があるが、抵抗74は5V程度電圧が印加される程度である。抵抗73の抵抗値は、特に限定しないが、1MΩ以上であり、その抵抗値の上限は特にないが、1C内に作成可能な抵抗値の上限以下である。例えば、10MΩ程度以下である。抵抗素子121bは、数十Ω～200Ω程度の抵抗値で形成され、図15では、抵抗91aで示す。

図15は、本発明の第2の実施形態に係る半導体装置200を用いた起動回路41aの要部回路図である。

[0035] 図9に示すように、高耐圧高抵抗素子121aは、主にJFETの第2導電型（n型）のドリフト領域上の層間絶縁膜109の内部に形成される。JFETはJFET81とJFET82で構成され、図には各部の電極と接続するコンタクトホールの位置（a～g）も示した。

図10に示すように、JFETの第2導電型（n型）のソース領域104は8箇所あり、そのうちの7箇所がJFET81のソース領域であり、1箇所がJFET82のソース領域である。

図11に示すように、一層目の金属電極のうち、第1および第2のソース

電極配線 112, 113 をゲート電極配線 106 が取り巻き、中央部のドレイン領域 105 上にドレイン電極配線 110 が配置されている。また、高耐圧高抵抗素子 121a と接続する電極も配置されている。これらの電極はコンタクト部を介して各部位に接続する。

[0036] 図 12 に示すように、二層目の金属電極は一層目の金属電極上に形成された二層目の層間絶縁膜を介して形成され、コンタクト部を介して一層目の電極と接続する。

図 13 に示すように、各部位と各金属電極はコンタクト部を介して接続する。図 13 (a), (b) では、図面を見易くするため、断面を表すハッチングを省略している。

図 15 に示すように、VH 端子 61 は抵抗 91a を介して、JFET 81, 82 に接続する。また高耐圧高抵抗素子 121a を構成する抵抗 73 の一端は直接 VH 端子に接続する。JFET 81, 82 の 2 つのソースは図 7 に示した起動回路 41a と同じように接続する。

[0037] つぎに、図 9 ~ 図 13 を用いて、本発明の第 2 の実施形態に係る半導体装置の JFET 81, 82、高耐圧高抵抗素子 121a および抵抗素子 121b について説明する。

JFET 81, 82 は第 1 の実施形態に係る半導体装置 100 と同様である。以下、本発明の第 2 の実施形態に係る半導体装置 200 と、本発明の第 1 の実施形態に係る半導体装置 100 との異なる点について説明する。

第 2 導電型 (n 型) のドリフト領域 103 上と第 2 の導電型 (n 型) のドレイン領域 105 上の層間絶縁膜 109 内には、渦巻き状の抵抗である高耐圧高抵抗素子 (第 2 の抵抗素子および第 3 の抵抗素子) 121a および抵抗素子 (第 1 の抵抗素子) 121b が埋め込まれている。抵抗素子 121b が渦巻きの内側に形成され、その外側に連続して高耐圧高抵抗素子 121a が形成されている。高耐圧高抵抗素子 121a と厚さ 6000 Å 程度の LOCOS 酸化膜 108 との間の層間絶縁膜 109 の厚さは 2000 Å とした。高耐圧高抵抗素子 121a および抵抗素子 121b は、ポリシリコンや CrS

i等の薄膜抵抗でできており、平面形状が渦巻き状をなすように形成されている。

[0038] また、ゲート電極配線106は、高耐圧高抵抗素子121aの上まで張り出すように形成されている。これにより、ドリフト領域103と第1導電型(p型)のゲート領域102の境界部分で発生する電界強度が緩和され、本発明の第2の実施形態に係る半導体装置200では耐圧をより高くすることができる。

ドレイン電極配線110は、コンタクト部126、抵抗素子121b、コンタクト部126a、中継配線110aおよびビア部502を経由してパッド504に接続する。

高耐圧高抵抗素子121aの外側の終端は、層間絶縁膜109に設けられたコンタクト部124を介してゲート電極配線106に電氣的に接続されている。高耐圧高抵抗素子121aにおいて、その外側の終端よりも手前側(内側)の部分は、層間絶縁膜109に設けられたコンタクト部125を介してBO端子62に接続される中間タップ配線111に電氣的に接続されている。高耐圧高抵抗素子121aの最も内側の輪の部分は、層間絶縁膜109に設けられたコンタクト部126aを介して中継配線110aに電氣的に接続されている。

[0039] 従って、コンタクト部126からコンタクト部126aまでが、VH端子61に接続される抵抗素子(第1の抵抗素子)121bである。また、高耐圧高抵抗素子121aにおいて、コンタクト部126aからコンタクト部125までが抵抗(第2の抵抗素子)73であり、コンタクト部125からコンタクト部124までが抵抗(第3の抵抗素子)74である。

本発明の第2の実施形態に係る半導体装置200では、本発明の第1の実施形態に係る半導体装置100に示すゲート領域102aが形成されていないが形成することもできる。

[0040] なお、前記したように、抵抗74は5V程度電圧が印加される程度である。よって、抵抗74は、半導体基板上に数百Å程度の厚さの層間絶縁膜を形

成した上に形成することができ、一般的な薄膜抵抗を形成するプロセスにより形成することができる。よって、図14に示すように、高耐圧高抵抗素子121aとして、図15に示す抵抗73のみを設けてもよい。この場合、図15で示す抵抗74は、同一半導体基板内の半導体装置200とは異なる領域（ゲート領域102よりも外側の領域）の半導体基板上に設けた絶縁膜内に設け、中間タップ配線111とグランドとの間に接続することができる。また、中間タップ配線111と抵抗74の間にスイッチを設けることもできる。このスイッチは、抵抗分圧での消費電流を抑制するためのスイッチであり、横型の高耐圧MOSFETなどで構成することができる。

[0041] 500Vの耐圧の高耐圧高抵抗素子を、半導体装置200のように起動素子65aの上に形成せずに半導体基板上のLOCOS酸化膜上に形成しようとする、LOCOS酸化膜にかけられる電界強度を $3\text{MV}/\text{cm}$ とすると $1.7\mu\text{m}$ の厚さが必要となる。このような厚いLOCOS酸化膜を形成するには時間を要する。

尚、図15の起動素子65aの動作は、図7と同様であるので説明は省略する。

以上説明したように、本発明の第2の実施形態に係る半導体装置200は、JFET81, 82と同一半導体基板内に過電圧抑制用の抵抗91aが集積されているので、本発明の第1の実施形態に係る半導体装置100と同様の効果を奏する。

[0042] （第3の実施形態）

本発明の第3の実施形態に係る半導体装置300について、図16を用いて説明する。前記したJFET81, 82の代わりに別の構成のJFET610を用いることもできる。JFET610, 611はゲート領域705とp基板701から伸びる空乏層は縦方向に伸びてピンチオフする。

図16(a)では、便宜上電極については、ソース電極のみを点線で記載している。図16(b)では第1のソース電極配線711と第2のソース電極配線712の2つが形成されており、第1のソース電極配線711側がJ

FET 610であり図9のJFET 81に対応し、第2のソース電極配線712側がJFET 611であり図9のJFET 82に対応する。このJFET 610, 611は、p基板701の表面層に配置される第2の導電型(n型)のドリフト領域702となるnウェル領域と、nウェル領域の表面層に配置される第2導電型(n型)のドレイン領域703となるn領域、ドレイン領域703の周りにドリフト領域702から離れて配置される第2導電型(n型)のソース領域704となるn領域、ドレイン領域703とソース領域704との間に配置される第1導電型(p型)のゲート領域705となるp領域とを備える。また、ゲート領域705は、ドレイン領域703と離れて配置される。また、ドリフト領域702上にLOCOS酸化膜108が配置され、LOCOS酸化膜108上の層間絶縁膜109内には高耐圧高抵抗素子212aおよび抵抗素子212bが配置される。前記のドレイン領域703とソース領域704はp基板701とドリフト領域702のpn接合から離れて形成されているが、接して形成されても構わない。また、ソース領域704は平面形状が環状の1つの領域で形成されているが、円周方向に複数の領域に分かれて形成しても良い。

[0043] このJFET 610, 611では、p基板701からドリフト領域702へ伸びる空乏層706aとゲート領域705から基板701方向に向かってドリフト領域702に伸びる空乏層706bをピンチオフさせて(つなげて)、電流を制御する構成となっている。この場合も回路構成は実施例2と同じである。図中の符号のSはソース、Gはゲート、Dはドレインを示す。

このような構成においても、本発明の第3の実施形態に係る半導体装置300は抵抗素子212bを備えることができるため、本発明の第3実施形態に係る半導体装置300は、本発明の第2の実施形態に係る半導体装置200と同様の効果を奏することができる。

[0044] (第4の実施形態)

本発明の第4の実施形態に係る半導体装置400について、図17～図19を用いて説明する。

本発明の第4の実施形態に係る半導体装置400と本発明の第2の実施形態に係る半導体装置200との違いは、図12のドレイン電極配線110を第2導電型（n型）のドレイン領域105にコンタクト部128を介して接続するドレイン電極配線110と抵抗素子121bの内側の端部にコンタクト部127を介して接続する配線110bとに分ける点と、中継配線110aとドレイン電極配線110を点線で示す配線506で接続した点である。配線506は、二層目の配線層であり、パッド504と同時に形成される。

[0045] 本発明の第4の実施形態に係る半導体装置400では、形成されていないが、本発明の第1の実施形態に係る半導体装置100に示すゲート領域102aを形成することもできる。

この接続によって、抵抗分圧回路を構成する抵抗73、74とVH端子61の間に過電圧抑制用の抵抗121bが挿設される。これによって、本発明の第4の実施形態に係る半導体装置400は、JFET81、82ばかりでなく抵抗73、74に接続するBOコンパレータ44も過電圧から保護することができる。

[0046] （第5の実施形態）

本発明の第5の実施形態に係る半導体装置500について、図20を用いて説明する。

本発明の第5の実施形態に係る半導体装置500と、本発明の第3の実施形態に係る半導体装置300との違いは、高耐圧高抵抗素子212aと抵抗素子212bを別々に形成している点である。抵抗素子212bは、第2導電型（n型）のドレイン領域703に囲まれた領域の層間絶縁膜109内に形成されている。これにより、起動回路は図19に示す起動回路41bと同様にVH端子61と抵抗素子212bの一端とを接続し、抵抗素子212bの他端がJFET610、611のドレイン領域および高耐圧高抵抗素子212aの高電位側と接続する。高耐圧高抵抗素子212aの平面形状は図16と同様に渦巻き状であるが、抵抗素子212bの平面形状は環状に形成されている。これは、図2（a）と同様である。

[0047] このような構成においても、本発明の第5の実施形態に係る半導体装置500は、本発明の第4の実施形態に係る半導体装置400と同様の効果を奏することができる。

なお、抵抗素子212bの平面形状は、図2のように渦巻き状としても平板状としてもよい。また、ドレイン領域703の平面形状が環状に形成されているが、これに限らず、本発明の実施形態1に係る半導体装置と同様に形成してもよい。この場合、コンタクト128の内側の層間絶縁膜109内に抵抗素子212bを形成する。

また、実施例1においても、コンタクト128の内側の層間絶縁膜109内に抵抗素子121bを形成することができる。

[0048] (第6の実施形態)

本発明の第6の実施形態に係るスイッチング電源装置について、図22を用いて説明する。

本発明の第6の実施形態に係るスイッチング電源装置600と、図22のスイッチング電源装置700との違いは、図22の過電圧抑制用の抵抗91を起動回路41a、41b、41c内に91aとして取り込んだ点である。

抵抗91bを備えた起動回路41a、41b、41cとすることで、本発明の第6の実施形態に係るスイッチング電源装置600は、組立工数の低減と、小型化を図ることができる。また、起動回路41bを備えたスイッチング電源装置600の場合は、BOコンパレータ44を過電圧から保護することができる。

[0049] 制御IC31aは、例えば500V程度の電圧が入力されるVH端子（高耐圧入力端子）32、スイッチング電源装置700の出力電圧に基づく信号を入力するフィードバック入力端子（以下、FB端子とする）33、電流センス入力端子（以下、IS端子とする）34、制御IC31aの電源電圧端子（以下、VCC端子とする）35、MOSFET19のゲート駆動端子（以下、OUT端子とする）36、および接地端子（以下、GND端子とする）37を有する。GND端子37は、接地されている。

AC入力は、AC入力端子1を介して整流器2に供給される。整流器2は、AC入力を全波整流する。電源コンデンサ3は、整流器2の出力端子に並列に接続されており、整流器2から出力される直流電圧により充電される。充電された電源コンデンサ3は、トランス5の一次コイル6に直流電圧を供給する直流電源となる。

[0050] 一次コイル6は、電源コンデンサ3と、スイッチング素子として機能するMOSFET19のドレイン端子との間に接続されている。MOSFET19のソース端子は、制御IC31のIS端子34と、抵抗20の一端に接続されている。抵抗20の他端は、接地されている。この抵抗20により、MOSFET19を流れる電流が電圧に変換され、その電圧がIS端子34に印加される。MOSFET19のゲート端子は、制御IC31aのOUT端子36に接続されている。

トランス5の補助コイル7の一端は、整流ダイオード17のアノード端子に接続されている。補助コイル7の他端は、接地されている。補助コイル7には、MOSFET19のスイッチング動作により誘起された電流が流れる。整流ダイオード17は、補助コイル7を流れる電流を整流し、そのカソード端子に接続されたコンデンサ18を充電する。コンデンサ18は、制御IC31aのVCC端子35に接続されており、MOSFET19のスイッチング動作を継続させるための直流電源となる。

[0051] トランス5の二次コイル8には、MOSFET19のスイッチング動作により、電源コンデンサ3の電圧に基づいた電圧が誘起される。二次コイル8の一端は、整流ダイオード9のアノード端子に接続されている。整流ダイオード9のカソード端子および二次コイル8の他端は、DC出力端子12に接続されている。また、整流ダイオード9のカソード端子と二次コイル8の他端との間には、平滑コンデンサ10が接続されている。整流ダイオード9は、二次コイル8を流れる電流を整流し、平滑コンデンサ10を充電する。充電された平滑コンデンサ10は、DC出力端子12に接続される図示しない負荷に、所望の直流電圧値になるように制御された直流出力（DC出力）を

供給する。

[0052] また、整流ダイオード9のカソード端子とDC出力端子12の接続ノードには、2つの抵抗15、16からなる直列抵抗回路と、抵抗11の一端が接続されている。抵抗11の他端は、フォトカプラを構成するフォトダイオード13のアノード端子に接続されている。フォトダイオード13のカソード端子は、シャントレギュレータ14のカソード端子に接続されている。シャントレギュレータ14のアノード端子は、接地されている。これら抵抗11、15、16、フォトダイオード13およびシャントレギュレータ14は、平滑コンデンサ10の両端の直流出力電圧を検出し、この直流出力電圧を調整する電圧検出・フィードバック回路を構成している。

[0053] フォトダイオード13からは、シャントレギュレータ14での設定値に基づいて平滑コンデンサ10の両端の直流出力電圧を所定の直流電圧値に調整するように、光信号が出力される。その光信号は、フォトダイオード13とともにフォトカプラを構成するフォトランジスタ22により受信され、制御IC31aへのフィードバック信号となる。フォトランジスタ22は、制御IC31aのFB端子33に接続されており、フィードバック信号は、このFB端子33に入力される。また、フォトランジスタ22には、コンデンサ21が接続されている。このコンデンサ21は、フィードバック信号に対するノイズフィルタとなる。

[0054] 制御IC31aは、起動回路41aまたは起動回路41bまたは起動回路41c、低電圧停止回路(UVLO: Under-Voltage-Lock-Out)42、レギュレータ43、BOコンパレータ44、発振器45、ドライバ回路46、出力アンプ47、パルス幅変調コンパレータ(以下、PWMコンパレータとする)48、ラッチ回路49および基準電源50を備えている。

起動回路41a、41b、41cは、VH端子32、VCC端子35、およびBOコンパレータ44の非反転入力端子に接続されている。起動回路41a、41b、41cは、電源の起動時に、VCC端子35に電流を供給す

る。

[0055] 低電圧停止回路42は、VCC端子35および起動回路41a、41b、41cに接続されている。低電圧停止回路42は、起動回路41a、41b、41cから供給される電流によりVCC端子35の電圧が制御IC31aの動作に必要な電圧まで上昇すると、起動回路41a、41b、41cからVCC端子35への電流の供給を停止させる。その後のVCC端子35への電流供給は、補助コイル7から行われる。レギュレータ43は、VCC端子35に接続されており、VCC端子35の電圧に基づいて、制御IC31の各部の動作に必要な基準電圧を生成する。電源が起動した後、制御IC31は、レギュレータ43から出力される基準電圧により駆動される。

[0056] PWMコンパレータ48の反転入力端子および非反転入力端子は、それぞれ、IS端子34およびFB端子33に接続されている。PWMコンパレータ48は、反転入力端子の電圧と非反転入力端子の電圧の大小関係により、出力を反転させる。PWMコンパレータ48の出力は、ドライバ回路46に入力される。

ドライバ回路46には、発振器45が接続されており、発振器45から発振信号が入力される。発振器45からドライバ回路46にターンオン信号が入力され、かつPWMコンパレータ48の非反転入力端子の電圧（すなわち、FB端子33の電圧）が反転入力端子の電圧（すなわち、IS端子34の電圧）よりも大きいときに、ドライバ回路46の出力信号は、Hi状態になる。出力アンプ47は、ドライバ回路46から出力されるHi状態の信号を増幅し、OUT端子36を介してMOSFET19のゲートを駆動する。

[0057] 一方、PWMコンパレータ48の反転入力端子の電圧が非反転入力端子の電圧よりも大きくなると、PWMコンパレータ48が反転し、ドライバ回路46の出力信号は、Low状態になる。出力アンプ47は、ドライバ回路46から出力されるLow状態の信号を増幅し、OUT端子36を介してMOSFET19のゲートに供給する。従って、MOSFET19はオフ状態となり、MOSFET19に電流が流れなくなる。このように、2次側の出力

電圧に応じてPWMコンパレータ48のスレッシュレベルを変化させて、MOSFET19のオン期間を可変制御することにより、2次側の出力電圧が安定化する。

また、BOコンパレータ44の反転入力端子は、基準電源50に接続されている。BOコンパレータ44は、非反転入力端子の電圧と反転入力端子の電圧の大小関係により、出力を反転させる。BOコンパレータ44には、後述するように、起動回路41a, 41b, 41c内の抵抗で抵抗分圧された低い電圧の信号が入力されるので、BOコンパレータ44を低耐圧MOSにより構成することができる。BOコンパレータ44の出力は、ドライバ回路46に入力される。

[0058] ドライバ回路46からHi状態の信号が出力されている状態で、BOコンパレータ44の非反転入力端子の電圧が反転入力端子の電圧よりも大きいときには、ドライバ回路46の出力信号は、Hi状態のままである。AC入力からの電圧供給がなくなり、一次側の入力電圧が低下すると、BOコンパレータ44の非反転入力端子の電圧が反転入力端子の電圧よりも小さくなる。そうすると、ドライバ回路46の出力信号が反転してLow状態となり、MOSFET19のスイッチング動作が停止し、ブラウンアウト機能が働くことになる。

ラッチ回路49は、ドライバ回路46に接続されている。ラッチ回路49は、二次側出力電圧の上昇、制御IC31aの発熱、または二次側出力電圧の低下などの異常状態が検出されたときに、過電圧保護、過熱保護または過電流保護のためドライバ回路46の出力を強制LOW状態とし、二次側出力への電力供給を停止する。この状態は、VCC電源電圧が低下し、制御IC31aがリセットされるまで保持される。特に限定しないが、例えば、制御IC31aの各回路等を構成する素子は、同一半導体基板上に形成される。

[0059] 本発明は、制御IC31a内の起動素子であるJFETの上に絶縁膜を介して過電圧抑制用の抵抗91を備えることを特徴とするものである。よって、横型のノーマリオン型の接合型電界効果トランジスタ（JFET）として

は、ドレイン領域を囲むようにドリフト領域が形成されドリフト領域の回りにソース領域が配置される構成であればよく、上記説明したJFETに限られるものではない。

以上において、本発明は、上述した実施の形態に限らず、種々変更可能である。例えば、第1～第6の実施の形態に記載した数値は一例であり、本発明はそれらの値に限定されるものではない。

[0060] 以上の実施形態では、JFET 81, 82またはJFET 610, 611と2つのJFETを備えた起動素子について説明したが、第1のソース電極112, 711または第1, 第2のソース電極配線113, 712がそれぞれ接続されて1つのソース電極となる場合においても適用することができる。図7, 15, 19に示す起動回路41a, 41b, 41cの場合、接続された1つのソース電極を、抵抗66, PMOSトランジスタ67のソースおよびNMOSトランジスタ69のソースと電氣的に接続すればよい。または、図7, 15, 19に示す起動回路41a, 41b, 41cにおいて、抵抗66, NMOSトランジスタ68, NMOSトランジスタ71, 抵抗72およびon/off端子63を削除し、接続された1つのJFETのソース電極をPMOSトランジスタ67およびPMOSトランジスタ69のソースに接続すればよい。

また、保護回路構成コストや組み立て環境を厳しく管理するためのコストの低減と、過電圧監視機能を備えるための高機能化によるコストアップ低減を図ることができるという効果を奏する。

産業上の利用可能性

[0061] 以上のように、本発明に係る半導体装置は、高い過電圧耐量を有することができ、同一基板に接合型電界効果トランジスタ及び抵抗素子を有する半導体装置、これを用いたスイッチング電源用制御ICおよびスイッチング電源装置に有用である。

符号の説明

[0062] 31, 31a 制御IC

- 4 1, 4 1 a, 4 1 b, 4 1 c 起動回路
- 6 5 a 起動素子
- 6 5 b 起動後段回路
- 6 8 NMOSトランジスタ
- 7 3, 7 4, 9 1, 9 1 a 抵抗
- 8 1, 8 2, 6 1 0, 6 1 1 J F E T
- 1 0 0, 2 0 0, 3 0 0, 4 0 0, 5 0 0 半導体装置
- 1 0 1, 7 0 1 p基板
- 1 0 2, 7 0 5 ゲート領域
- 1 0 3, 7 0 2 ドリフト領域
- 1 0 4, 3 0 4, 7 0 4 ソース領域
- 1 0 5, 7 0 3 ドレイン領域
- 1 0 6 ゲート電極配線
- 1 0 6 a フィールドプレート
- 1 0 7 ゲートポリシリコン電極
- 1 0 8 LOCOS酸化膜
- 1 0 9, 5 0 1 層間絶縁膜
- 1 1 0 ドレイン電極配線
- 1 1 0 a 中間配線
- 1 1 0 b 配線
- 1 1 1 中間タップ配線
- 5 0 3, 5 0 5, 5 0 6 配線
- 1 1 2, 7 1 1 第1のソース電極配線
- 1 1 3, 7 1 2 第2のソース電極配線
- 1 2 1 a 高耐圧高抵抗素子
- 1 2 1 b 抵抗素子
- 1 2 2 第1の抵抗接続配線
- 1 2 3 第2の抵抗接続配線

300, 600 スイッチング電源装置

311 ソース電極配線

502 ビア部

504 パッド

706a, 706b 空乏層

請求の範囲

- [請求項1] 半導体基板の上部に形成された、横型の接合型電界効果トランジスタと、
- 前記接合型電界効果トランジスタ上に設けられた絶縁膜と、
- 前記絶縁膜上に設けられ、外部から電圧が印加される中継配線と、
- 前記接合型電界効果トランジスタのドレインと前記中継配線との間に接続され前記絶縁膜内に設けられた第1の抵抗素子と、
- を備えたことを特徴とする半導体装置。
- [請求項2] 前記絶縁膜内に抵抗分圧回路を構成する第2の抵抗素子および第3の抵抗素子を備え、
- 前記第1の抵抗素子、前記第2の抵抗素子および前記第3の抵抗素子は、内側から前記第1の抵抗素子、前記第2の抵抗素子、前記第3の抵抗素子の順で連続して形成された平面形状が渦巻き状であることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 第1導電型の半導体基板の上部に形成された第2導電型のドリフト領域と、
- 前記ドリフト領域に接続されたドレイン電極と、
- 前記ドリフト領域に接して前記ドリフト領域の周りの前記半導体基板の上層に設けられた第2導電型のソース領域と、
- 前記ドリフト領域に接して前記半導体基板の上部に配置された第1導電型のゲート領域と、
- 前記ドリフト領域の表面上に形成された絶縁膜と、
- 前記ゲート領域に接続されたゲート電極と、
- 前記ソース領域に接続されたソース電極と、
- 前記半導体基板上に設けられ、外部から電圧が印加される中継配線と、
- 前記ドレイン電極と前記中継配線との間に接続され、前記絶縁膜内に埋め込まれた第1の抵抗素子と、

を備えることを特徴とする半導体装置。

[請求項4] 前記絶縁膜内に埋め込まれ抵抗分圧回路を構成する第2の抵抗素子を備え、

前記第2の抵抗素子の一端が前記中継配線に電氣的に接続されたことを特徴とする請求項3に記載の半導体装置。

[請求項5] 前記絶縁膜内に埋め込まれ前記抵抗分圧回路を構成する第3の抵抗素子を更に備え、

前記第3の抵抗素子の一端が前記第2の抵抗素子の他端と接続し、この接続箇所と接続する中間タップ配線を備えたことを特徴とする請求項4に記載の半導体装置。

[請求項6] 前記第2の抵抗素子および第3の抵抗素子の平面形状は、内側から前記第2の抵抗素子、前記第3の抵抗素子の順で連続して形成された渦巻き状であることを特徴とする請求項5に記載の半導体装置。

[請求項7] 前記第1の抵抗素子、前記第2の抵抗素子および前記第3の抵抗素子の平面形状は、内側から前記第1の抵抗素子、前記第2の抵抗素子、前記第3の抵抗素子の順で連続して形成された渦巻き状であることを特徴とする請求項5に記載の半導体装置。

[請求項8] 前記絶縁膜内に埋め込まれ抵抗分圧回路を構成する第2の抵抗素子を備え、

前記第2の抵抗素子の一端が前記ドレイン電極に電氣的に接続されることを特徴とする請求項3に記載の半導体装置。

[請求項9] 前記絶縁膜内に埋め込まれ前記抵抗分圧回路を構成する第3の抵抗素子を備え、

前記第3の抵抗素子の一端が前記第2の抵抗素子の他端と接続し、この接続箇所と接続する中間タップ配線を備えたことを特徴とする請求項8に記載の半導体装置。

[請求項10] 前記第2の抵抗素子および第3の抵抗素子の平面形状は、内側から前記第2の抵抗素子、前記第3の抵抗素子の順で連続して形成された

渦巻き状であることを特徴とする請求項 9 に記載の半導体装置。

[請求項11] 前記第 1 の抵抗素子、前記第 2 の抵抗素子および前記第 3 の抵抗素子の平面形状は、内側から前記第 1 の抵抗素子、前記第 2 の抵抗素子、前記第 3 の抵抗素子の順で連続して形成された渦巻き状であることを特徴とする請求項 9 に記載の半導体装置。

[請求項12] 前記ドリフト領域と前記ドレイン電極に挟まれる領域に前記半導体基板の表面層に形成された前記ドリフト領域より不純物濃度の高い第 2 導電型のドレイン領域を、更に備えることを特徴とする請求項 3 乃至請求項 11 のいずれか一項に記載の半導体装置。

[請求項13] 前記ソース電極は、
前記ソース領域の一部分に接続された第 1 のソース電極と、
前記ソース領域の残りの部分に接続された第 2 のソース電極と、
を備えたことを特徴とする請求項 3 乃至請求項 11 のいずれか一項に記載の半導体装置。

[請求項14] 前記ソース領域が、前記ドリフト領域の周りに複数形成され、前記ゲート領域は、前記複数のソース領域および前記ドリフト領域に接してこれらを囲むように形成されていることを特徴とする請求項 3 ないし 11 のいずれか一項に記載の半導体装置。

[請求項15] 前記請求項 1 乃至請求項 11 のいずれか一項に記載の半導体装置を有することを特徴とするスイッチング電源用制御 IC。

[請求項16] 前記請求項 1 乃至請求項 11 のいずれか一項に記載の半導体装置を有することを特徴とするスイッチング電源装置。

補正された請求の範囲
[2014年10月31日 (31.10.2014) 国際事務局受理]

[請求項 1] (補正後) 半導体基板の上部に形成された、横型の接合型電界効果トランジスタと、

前記接合型電界効果トランジスタ上に設けられた絶縁膜と、

前記絶縁膜上に設けられ、外部から電圧が印加される中継配線と、

前記接合型電界効果トランジスタ上において、前記接合型電界効果トランジスタのドレインと前記中継配線との間に接続され前記絶縁膜内に設けられた第 1 の抵抗素子と、

を備えたことを特徴とする半導体装置。

[請求項 2] 前記絶縁膜内に抵抗分圧回路を構成する第 2 の抵抗素子および第 3 の抵抗素子を備え、

前記第 1 の抵抗素子、前記第 2 の抵抗素子および前記第 3 の抵抗素子は、内側から前記第 1 の抵抗素子、前記第 2 の抵抗素子、前記第 3 の抵抗素子の順で連続して形成された平面形状が渦巻き状であることを特徴とする請求項 1 に記載の半導体装置。

[請求項 3] (補正後) 第 1 導電型の半導体基板の上部に形成された第 2 導電型のドリフト領域と、

前記ドリフト領域に接続されたドレイン電極と、

前記ドリフト領域に接して前記ドリフト領域の周りの前記半導体基板の上部に設けられた第 2 導電型のソース領域と、

前記ドリフト領域に接して前記半導体基板の上部に配置された第 1 導電型のゲート領域と、

前記ドリフト領域の表面上に形成された絶縁膜と、

前記ゲート領域に接続されたゲート電極と、

前記ソース領域に接続されたソース電極と、

前記半導体基板上に設けられ、外部から電圧が印加される中継配線と、

前記ドリフト領域上において、前記ドレイン電極と前記中継配線と

の間に接続され、前記絶縁膜内に埋め込まれた第1の抵抗素子と、
を備えることを特徴とする半導体装置。

[請求項4] 前記絶縁膜内に埋め込まれ抵抗分圧回路を構成する第2の抵抗素子を備え、

前記第2の抵抗素子の一端が前記中継配線に電氣的に接続されたことを特徴とする請求項3に記載の半導体装置。

[請求項5] 前記絶縁膜内に埋め込まれ前記抵抗分圧回路を構成する第3の抵抗素子を更に備え、

前記第3の抵抗素子の一端が前記第2の抵抗素子の他端と接続し、この接続箇所と接続する中間タップ配線を備えたことを特徴とする請求項4に記載の半導体装置。

[請求項6] 前記第2の抵抗素子および第3の抵抗素子の平面形状は、内側から前記第2の抵抗素子、前記第3の抵抗素子の順で連続して形成された渦巻き状であることを特徴とする請求項5に記載の半導体装置。

[請求項7] 前記第1の抵抗素子、前記第2の抵抗素子および前記第3の抵抗素子の平面形状は、内側から前記第1の抵抗素子、前記第2の抵抗素子、前記第3の抵抗素子の順で連続して形成された渦巻き状であることを特徴とする請求項5に記載の半導体装置。

[請求項8] 前記絶縁膜内に埋め込まれ抵抗分圧回路を構成する第2の抵抗素子を備え、

前記第2の抵抗素子の一端が前記ドレイン電極に電氣的に接続されることを特徴とする請求項3に記載の半導体装置。

[請求項9] 前記絶縁膜内に埋め込まれ前記抵抗分圧回路を構成する第3の抵抗素子を備え、

前記第3の抵抗素子の一端が前記第2の抵抗素子の他端と接続し、この接続箇所と接続する中間タップ配線を備えたことを特徴とする請求項8に記載の半導体装置。

[請求項10] 前記第2の抵抗素子および第3の抵抗素子の平面形状は、内側から

前記第 2 の抵抗素子、前記第 3 の抵抗素子の順で連続して形成された渦巻き状であることを特徴とする請求項 9 に記載の半導体装置。

[請求項 11]

前記第 1 の抵抗素子、前記第 2 の抵抗素子および前記第 3 の抵抗素子の平面形状は、内側から前記第 1 の抵抗素子、前記第 2 の抵抗素子、前記第 3 の抵抗素子の順で連続して形成された渦巻き状であることを特徴とする請求項 9 に記載の半導体装置。

[請求項 12]

前記ドリフト領域と前記ドレイン電極に挟まれる領域に前記半導体基板の表面層に形成された前記ドリフト領域より不純物濃度の高い第 2 導電型のドレイン領域を、更に備えることを特徴とする請求項 3 乃至請求項 11 のいずれか一項に記載の半導体装置。

[請求項 13]

前記ソース電極は、
前記ソース領域の一部分に接続された第 1 のソース電極と、
前記ソース領域の残りの部分に接続された第 2 のソース電極と、
を備えたことを特徴とする請求項 3 乃至請求項 11 のいずれか一項に記載の半導体装置。

[請求項 14]

前記ソース領域が、前記ドリフト領域の周りに複数形成され、前記ゲート領域は、前記複数のソース領域および前記ドリフト領域に接してこれらを囲むように形成されていることを特徴とする請求項 3 ないし 11 のいずれか一項に記載の半導体装置。

[請求項 15]

前記請求項 1 乃至請求項 11 のいずれか一項に記載の半導体装置を有することを特徴とするスイッチング電源用制御 IC。

[請求項 16]

前記請求項 1 乃至請求項 11 のいずれか一項に記載の半導体装置を有することを特徴とするスイッチング電源装置。

条約第 19 条（１）に基づく説明書

請求項 1 は、出願時の明細書の段落 [0021] に記載された事項に基づいて、出願時の請求項 1 に「前記接合型電界効果トランジスタ上において」を加えたものであり、請求項 3 は、出願時の明細書の段落 [0037] に記載された事項に基づいて、出願時の請求項 3 に「前記ドリフト領域上に」を加えたものであり、それぞれ「接合型電界効果トランジスタ上に第 1 の抵抗素子が設けられている」ことを明確にした。

文献 1（JP9-232522 A）には、「接合型電界効果トランジスタ上に第 1 の抵抗素子が設けられている」構成は開示されていない。したがって、本願請求項 1 に係る発明は文献 1 に対して新規性を有する。

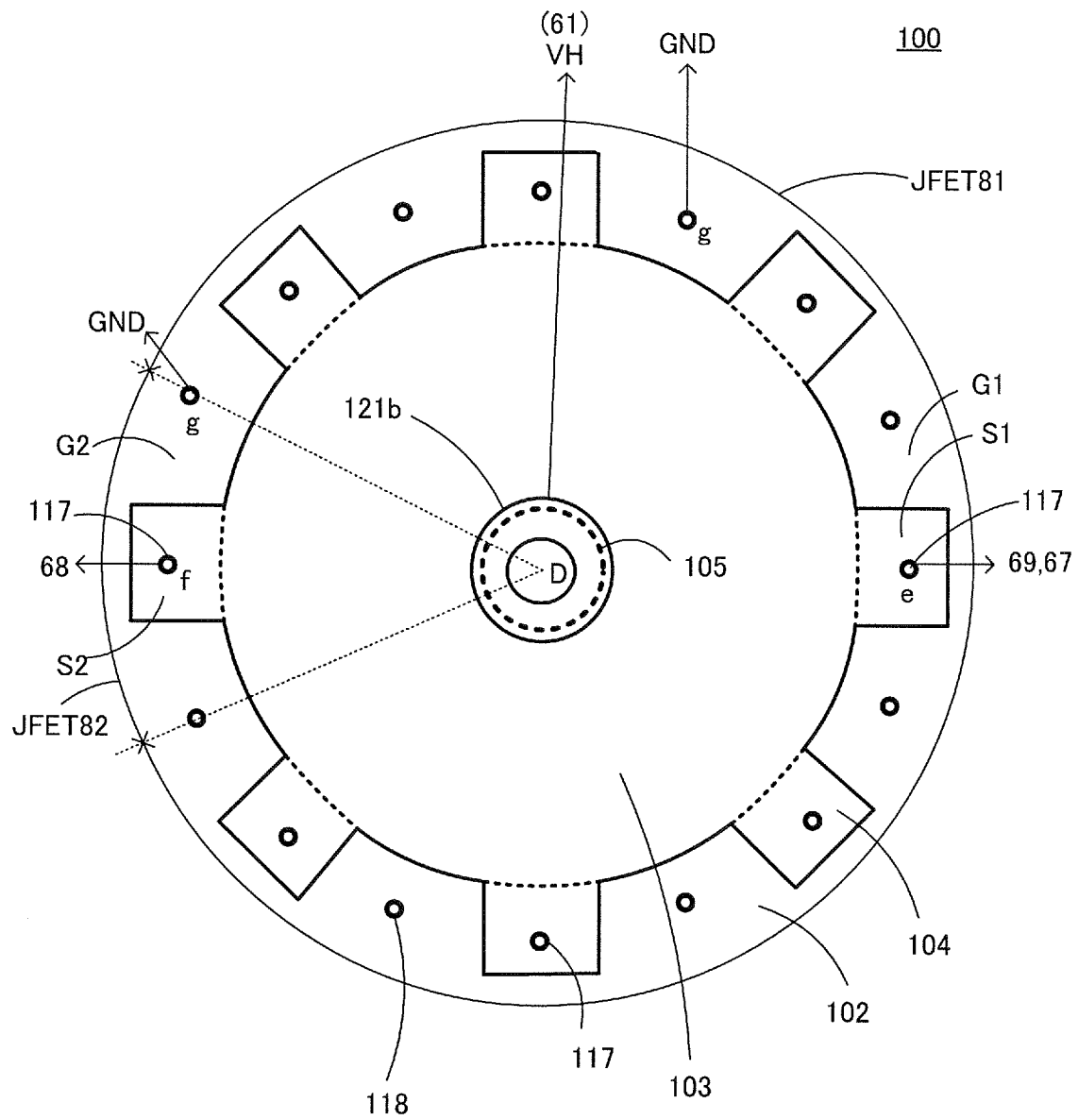
請求項 1、3 は、「接合型電界効果トランジスタのドレインと、外部から電圧が印加される中継配線との間に第 1 の抵抗素子が接続されている」構成を有している。文献 1、文献 2（JP2008-153636 A）、文献 3（JP61-184886 A）、文献 4（JP7-283367 A）には、「接合型電界効果トランジスタのドレインと、外部から電圧が印加される中継配線との間に第 1 の抵抗素子が接続されている」構成は開示されていない。したがって、本願請求項 1、3 に係る発明は文献 1-4 に対して進歩性を有する。

なお、請求項 3 は、「上層」を「上部」に誤記を補正した。

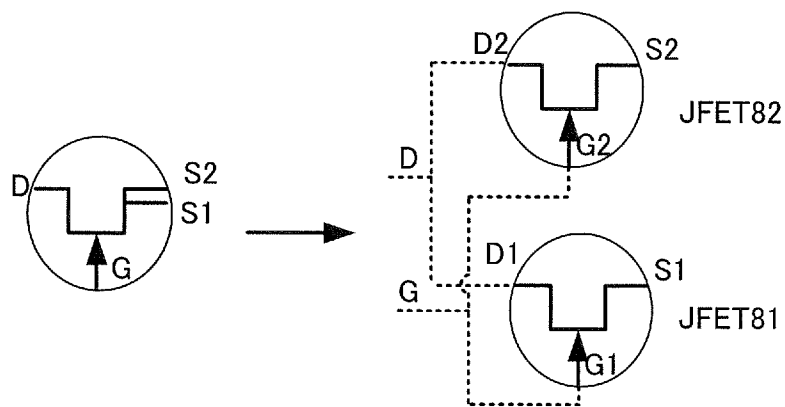
請求項 2 は請求項 1 の従属請求項であり、請求項 4-14 は請求項 3 の従属項であり、請求項 15、16 は請求項 1-11 を含む独立請求項であるので、それぞれ文献 1-4 に対して進歩性を有する。

以上

[図1]

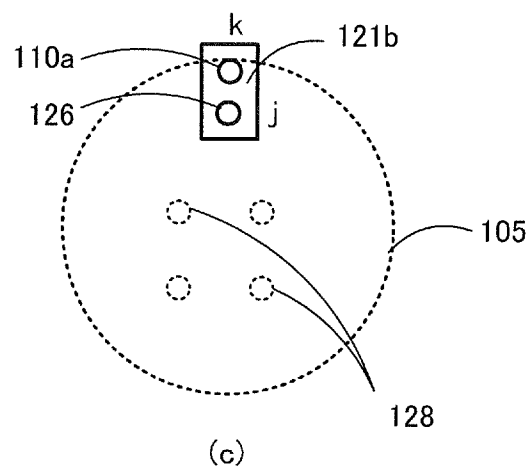
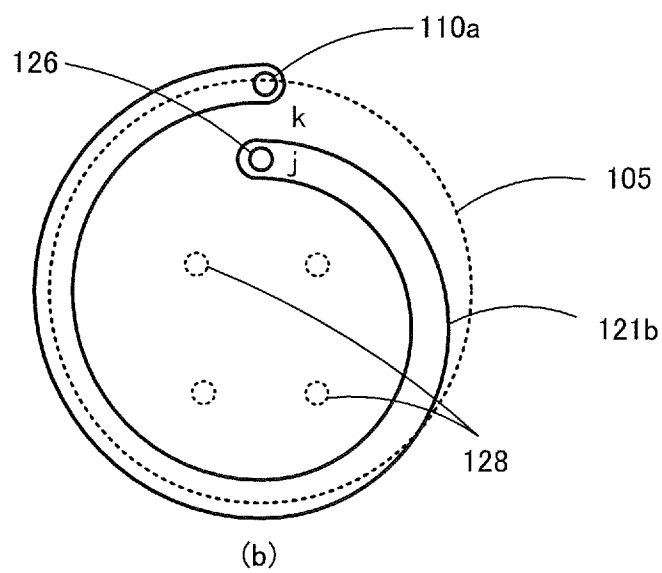
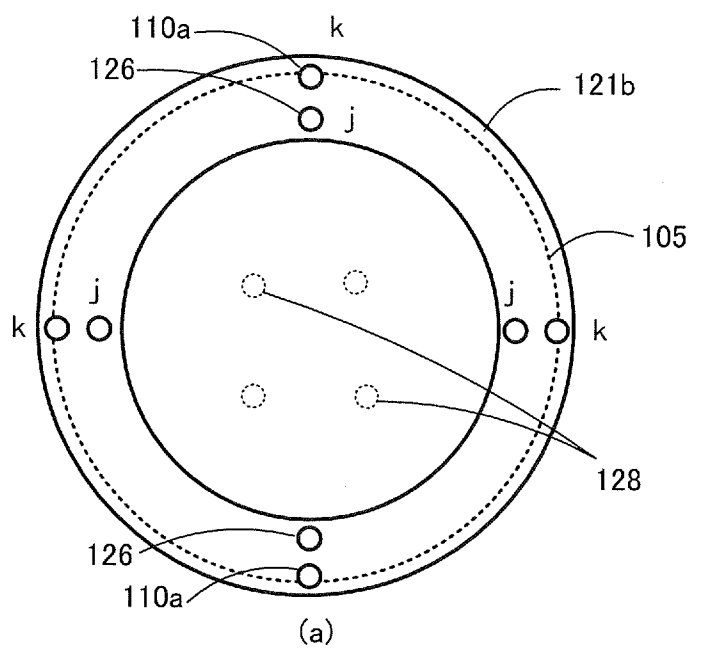


(a)



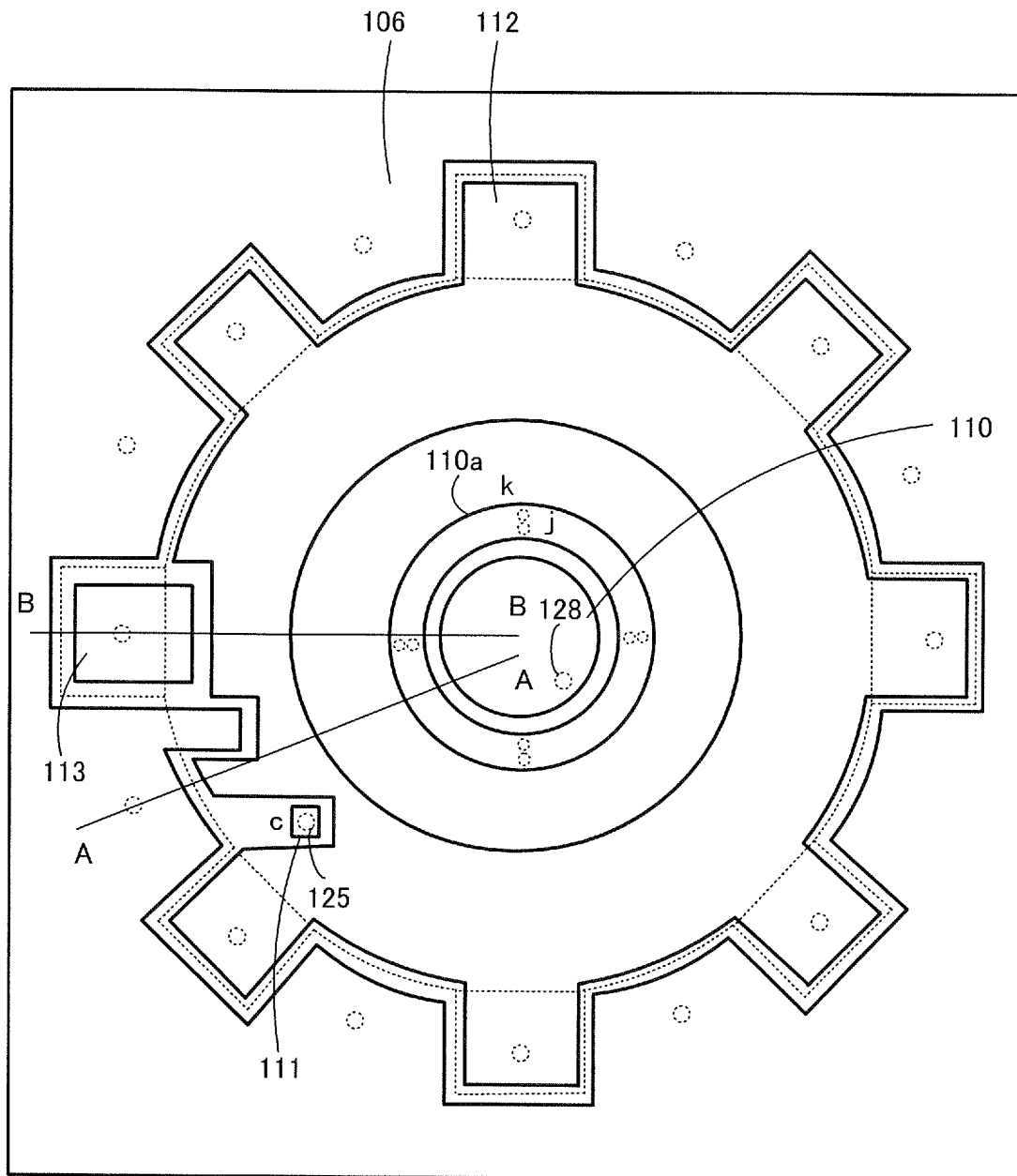
(b)

[図2]

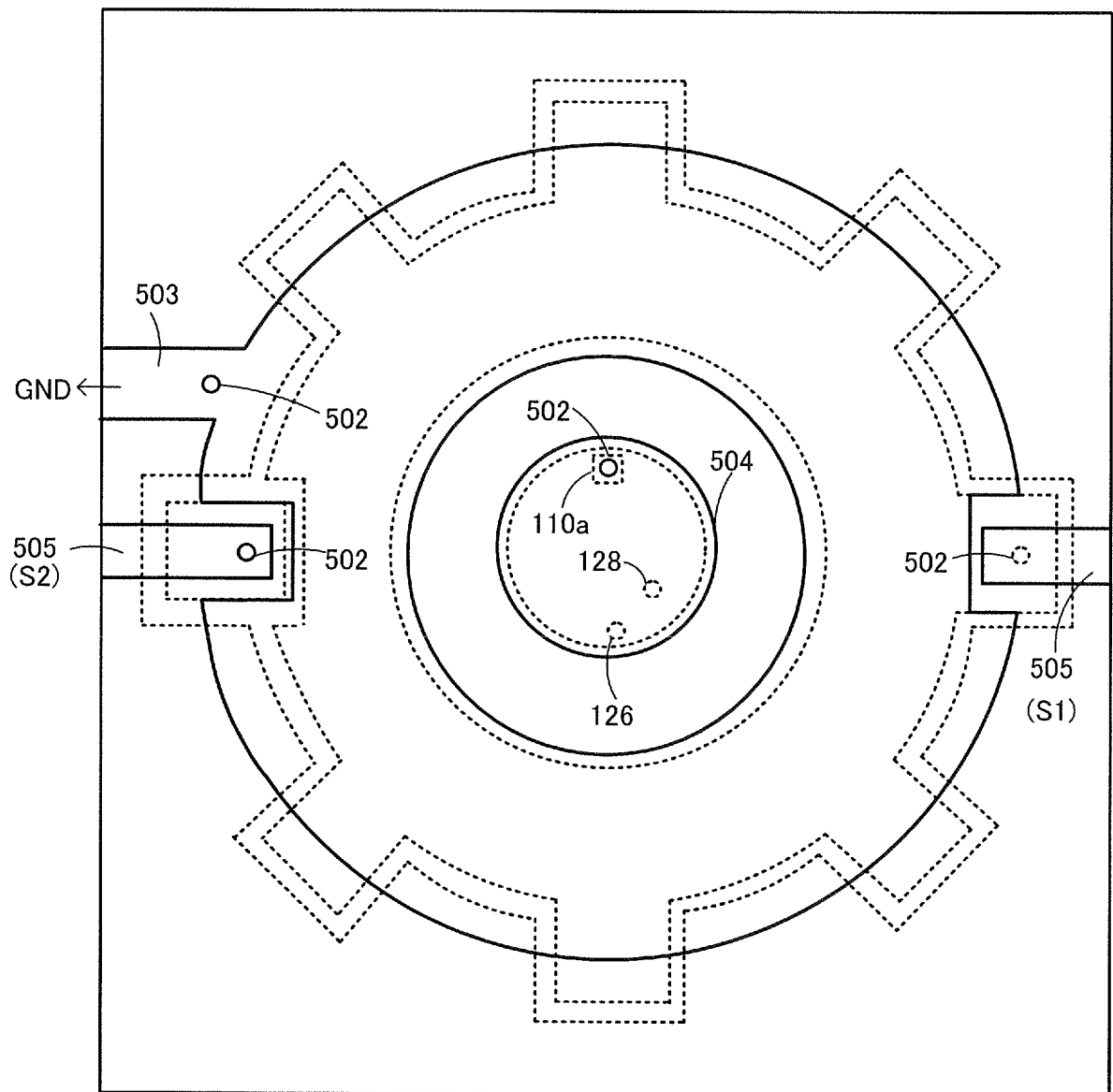


Top view of a circular semiconductor device. The device has a central region labeled **D**. Surrounding **D** is an inner ring labeled **JFET81**. Surrounding **JFET81** is an outer ring labeled **JFET82**. The device is divided into eight segments by eight rectangular gates, labeled **G1** and **G2**. The gates are arranged in pairs: **G1** (top and bottom) and **G2** (left and right). The gates are labeled **S1** and **S2** on the right and left sides, respectively. The device is labeled with various numbers: **101** (top), **102** (top-left), **103** (top-right), **104** (center), **105** (right), **106** (bottom-right), **107** (bottom), **108** (bottom-left), **109** (left), and **110** (top-left).

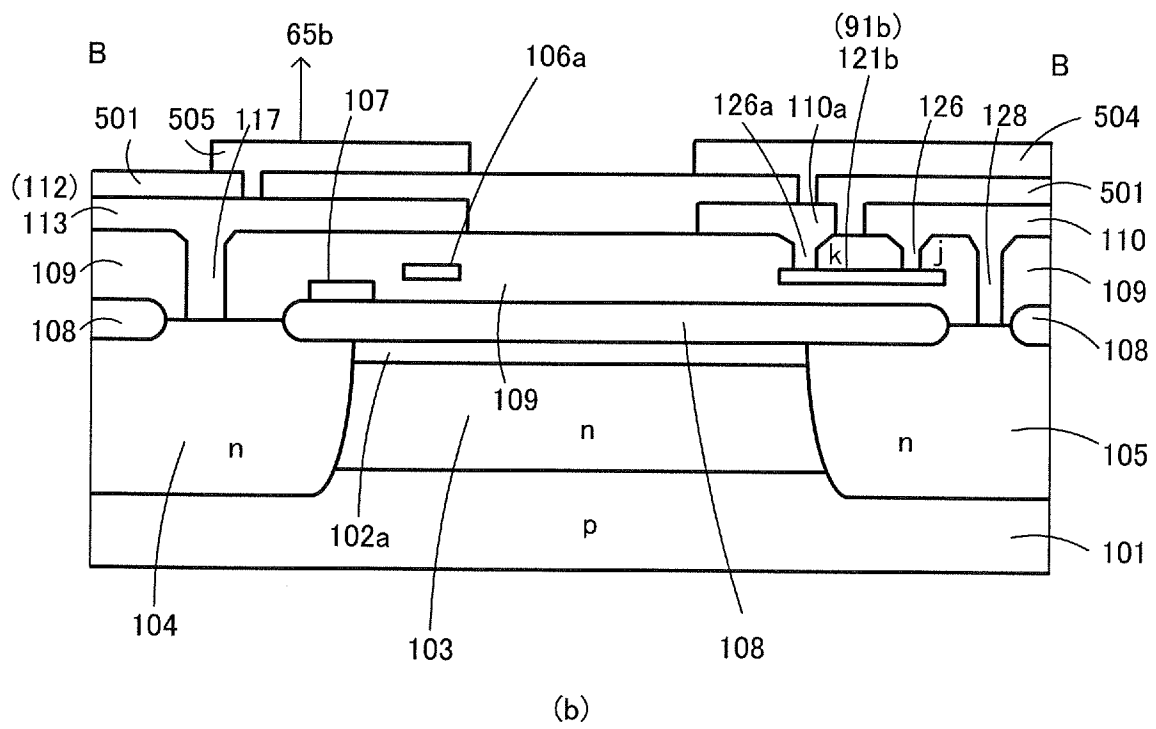
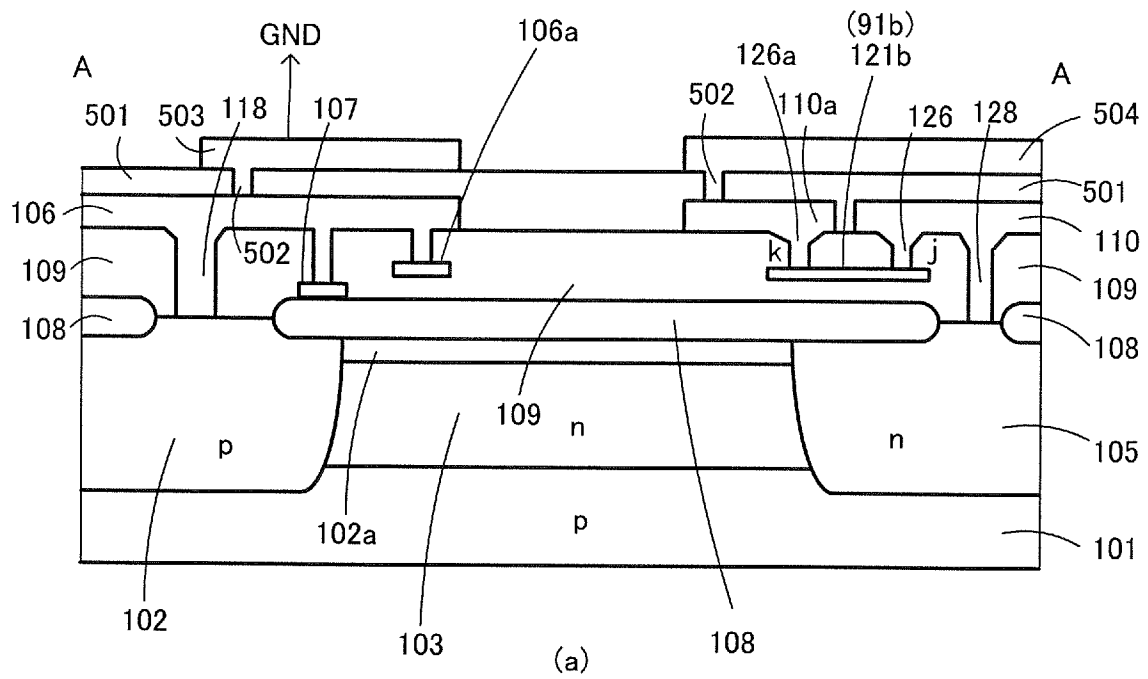
[図4]



[図5]

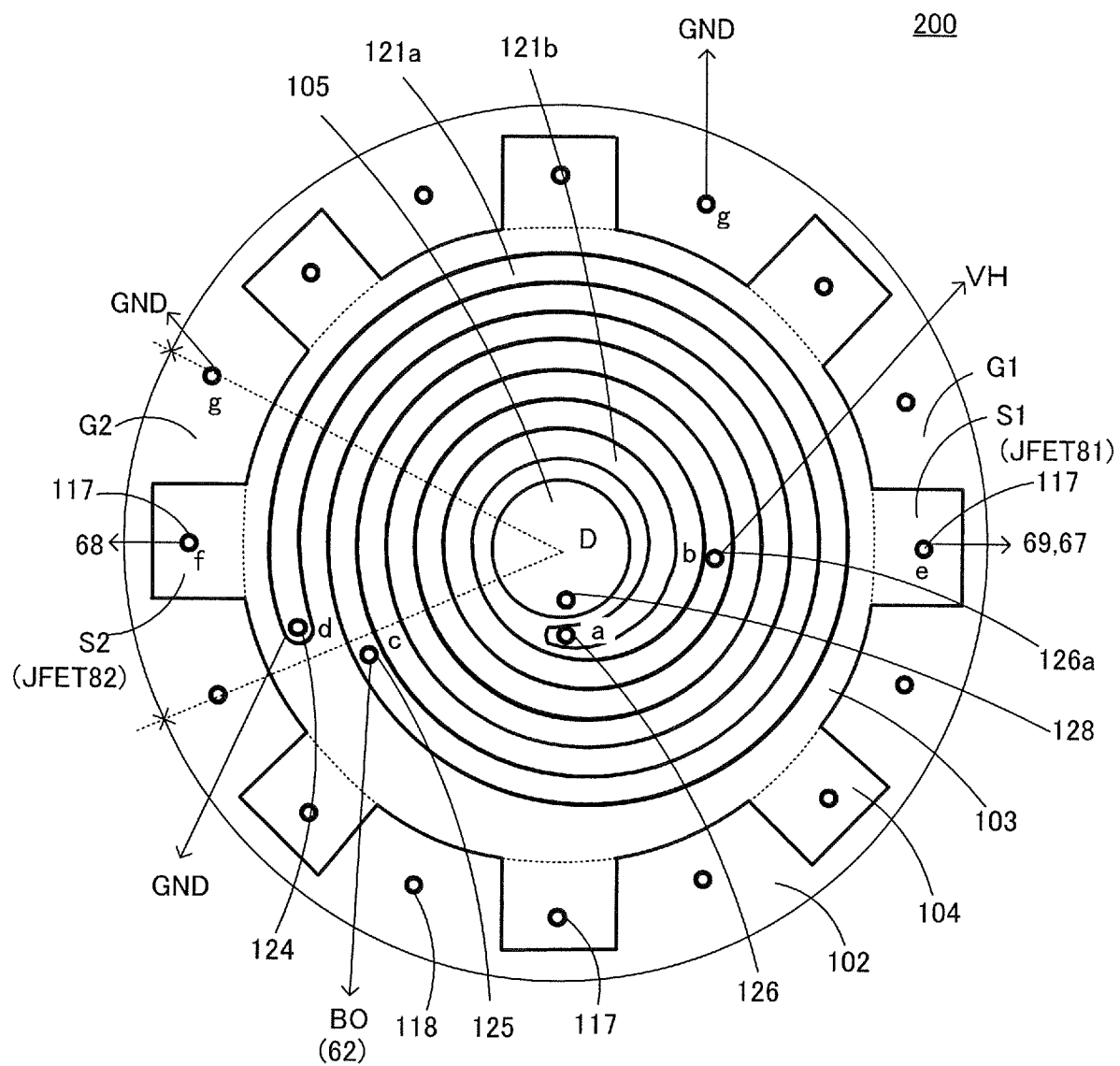


[図6]

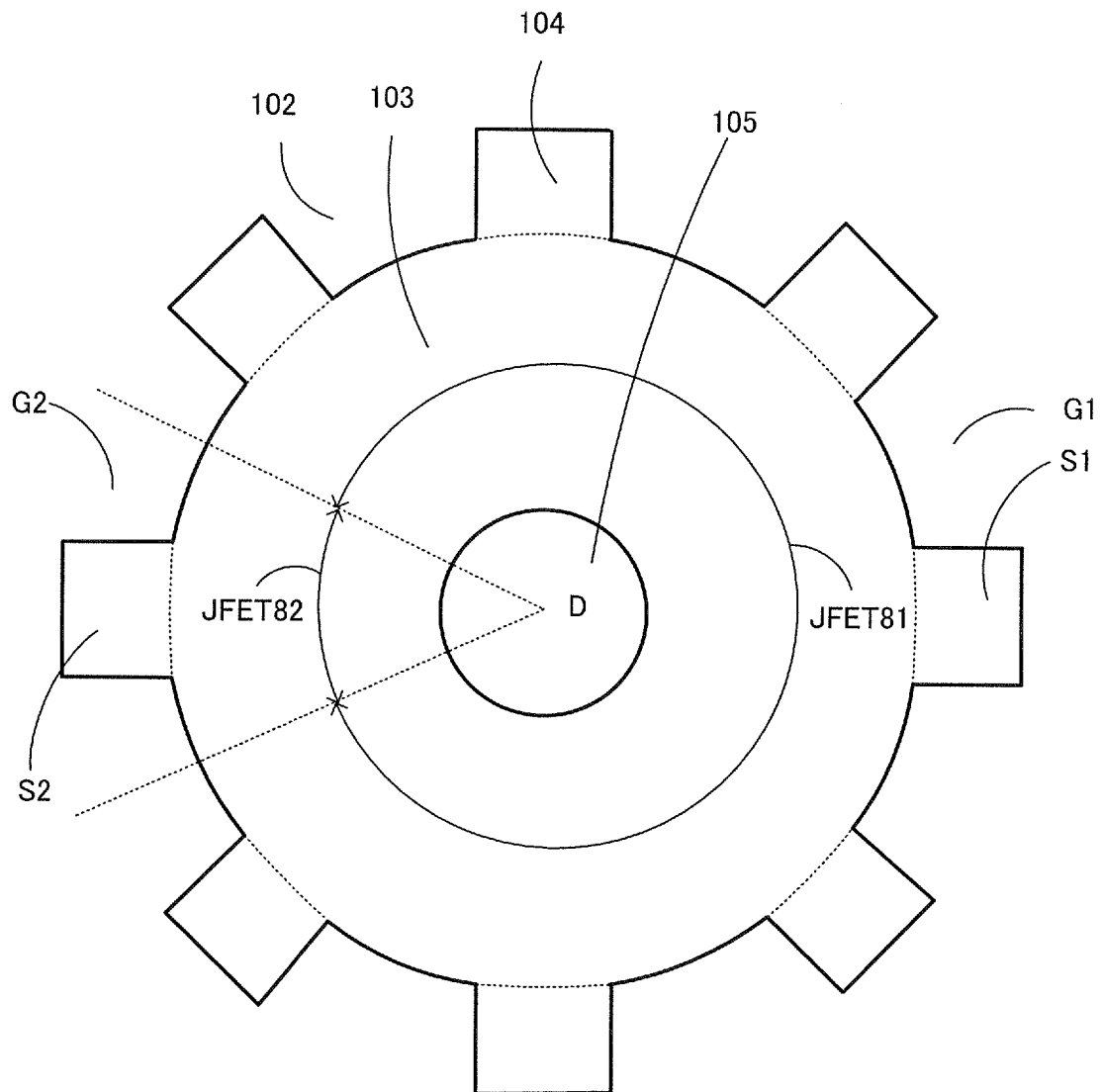


[illegible]

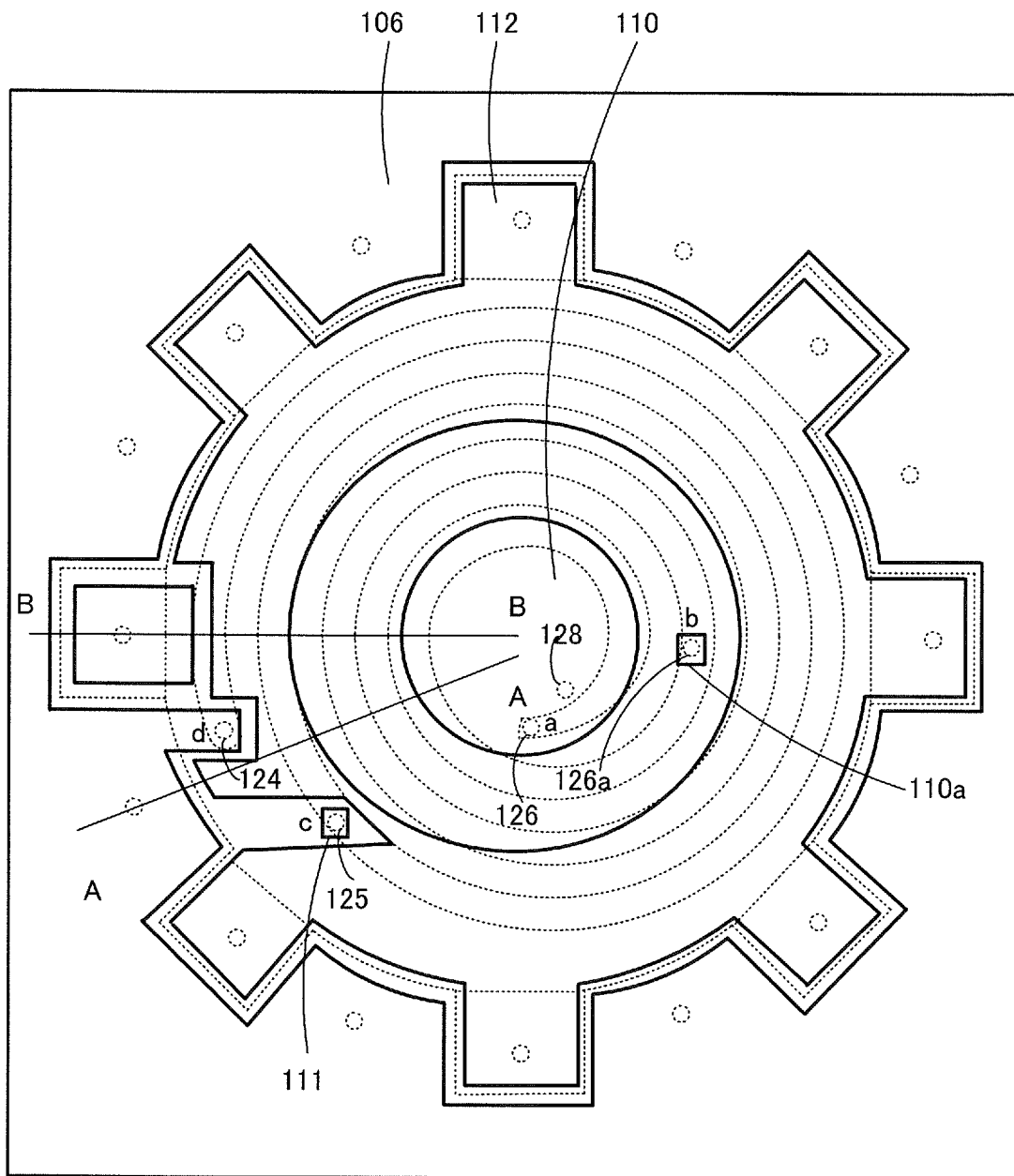
[図9]



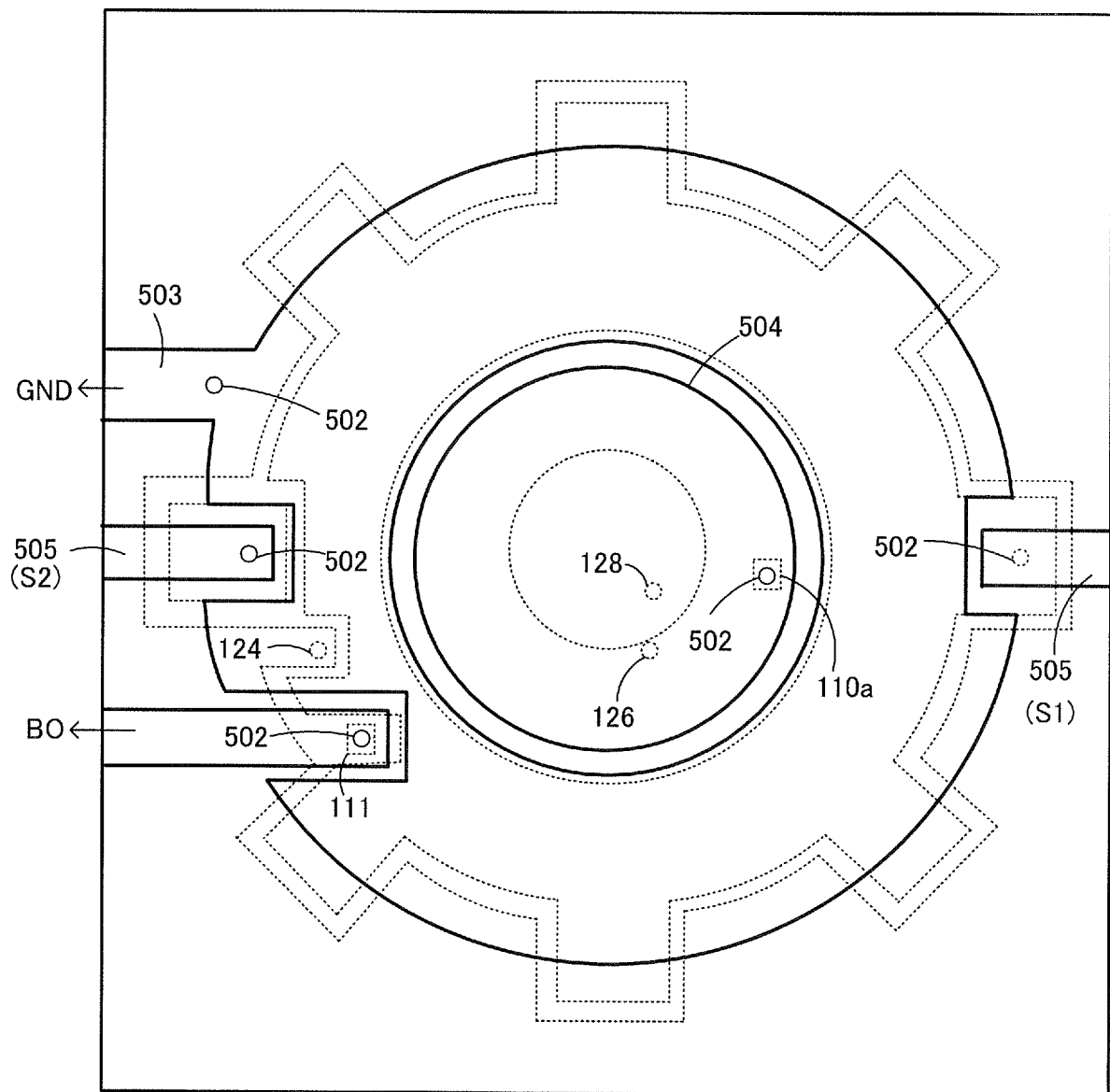
[図10]



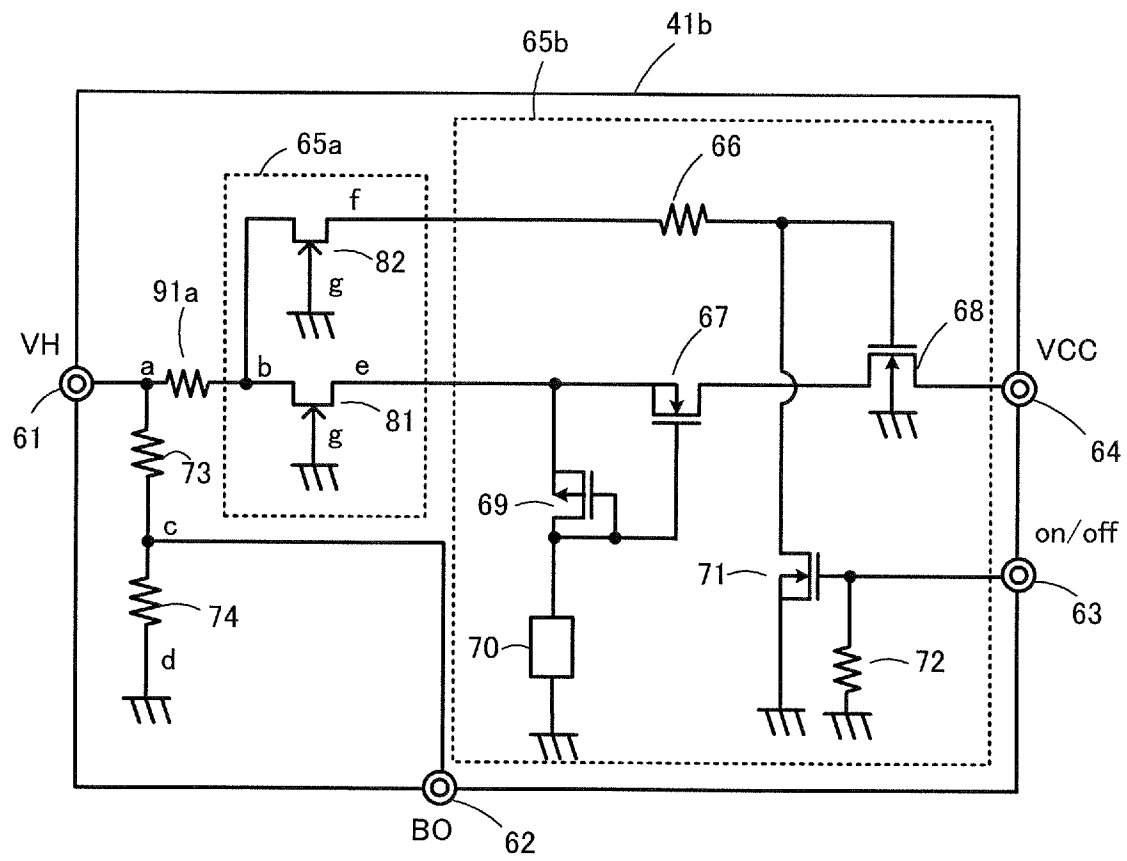
[図11]



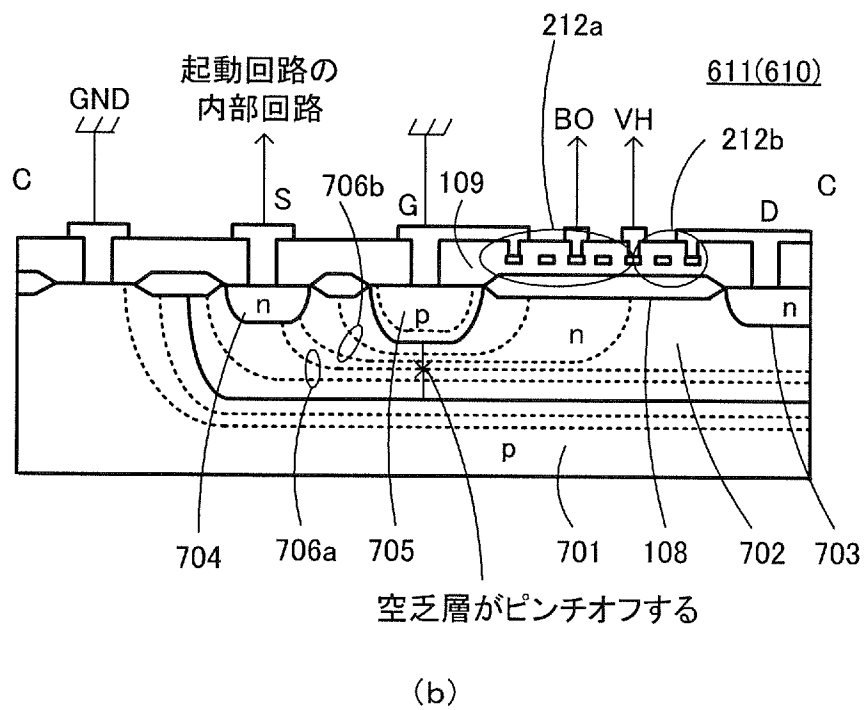
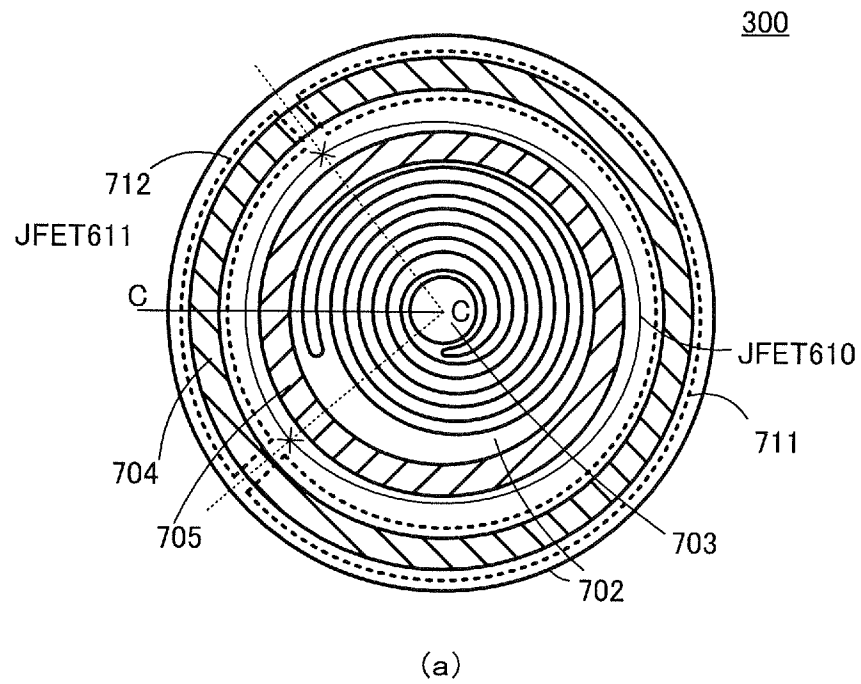
[図12]



[図15]

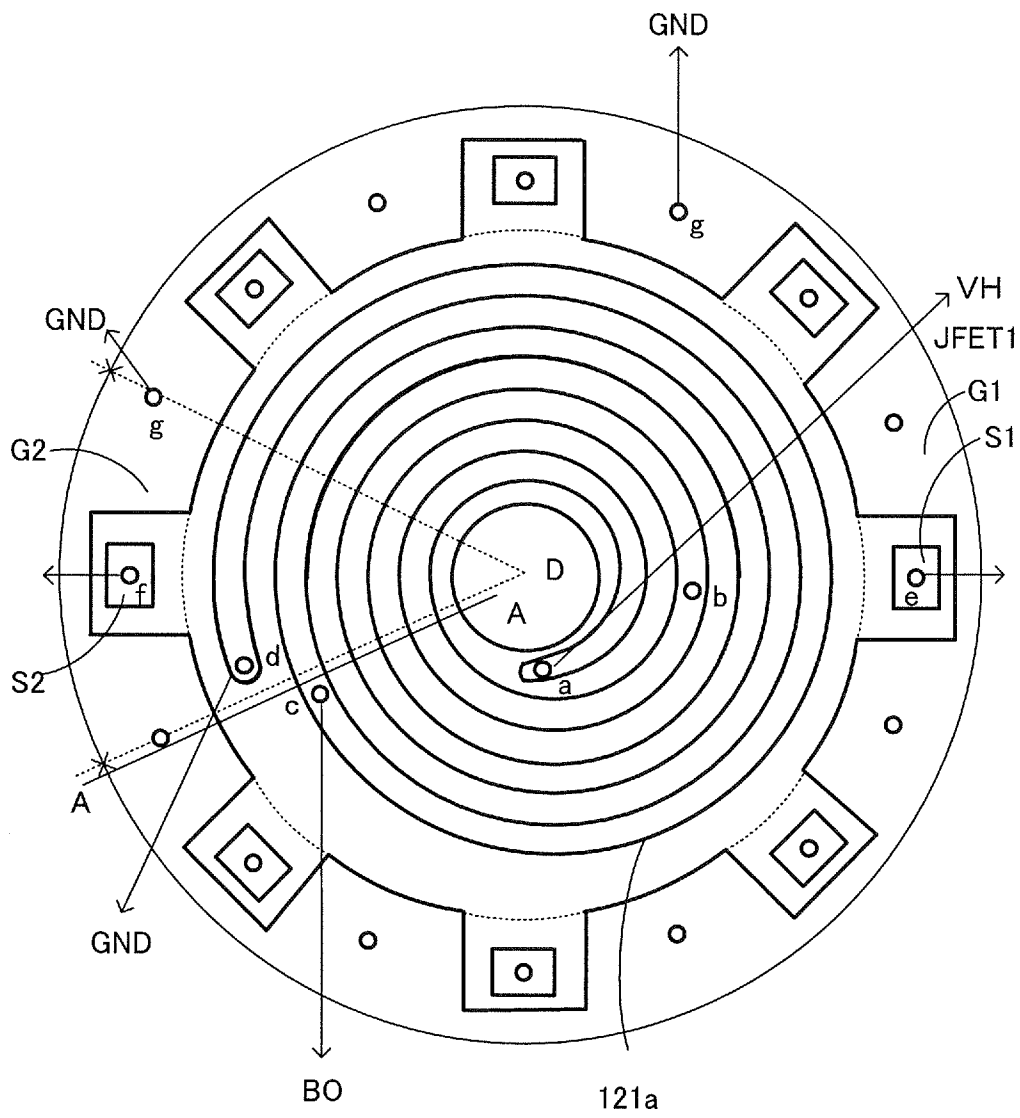


[図16]



[図17]

400



400

506

A

501 503 118 107 124

GND GND BO

111 121a 126a 110a

121b 502 127 128

(112) 113 109 108

504 501 110 109 108 107 105 101

109 502 g

d c b a

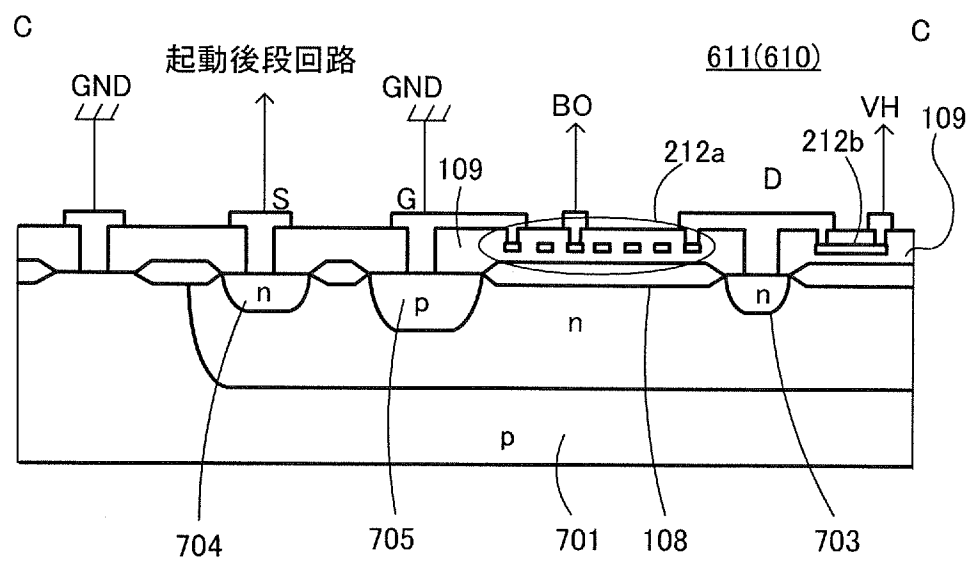
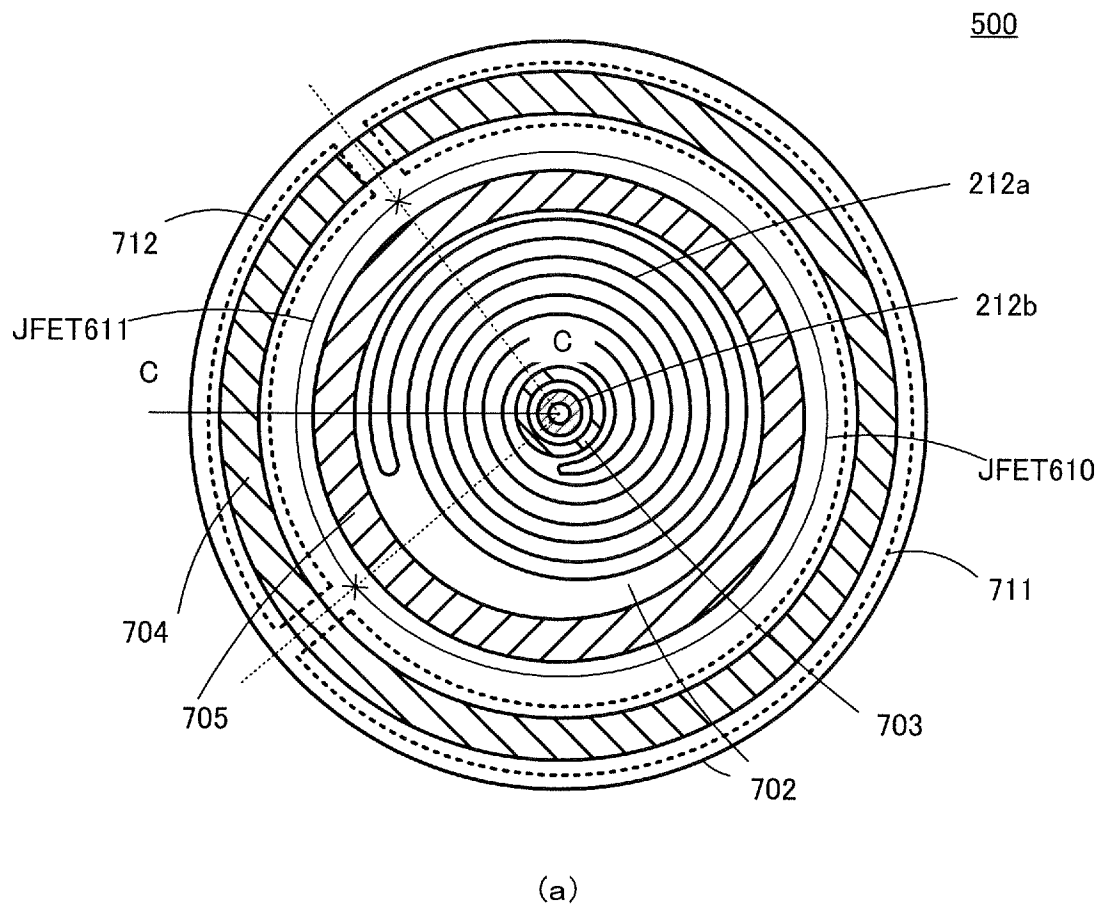
91b 110b

p n n

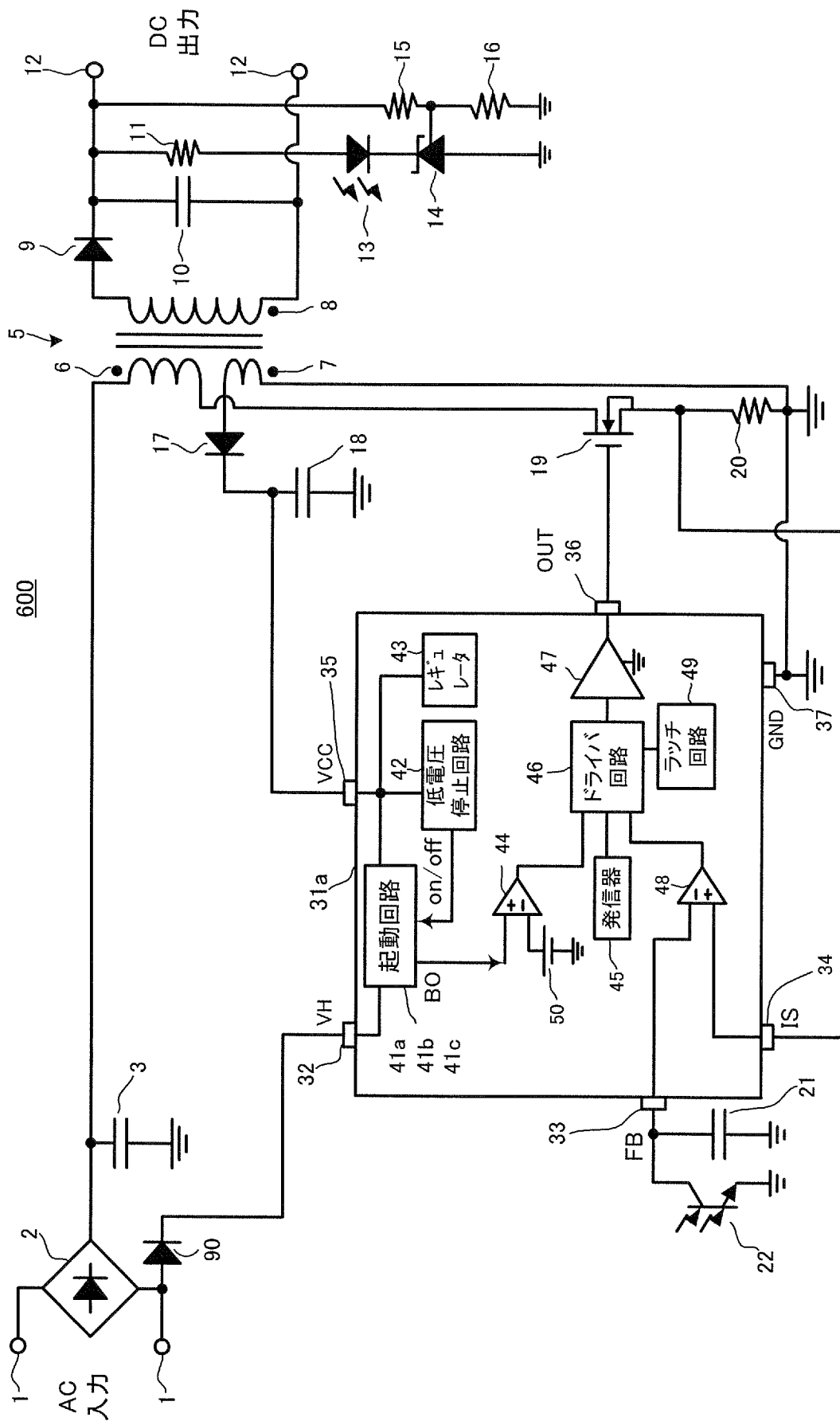
102 103 108

[illegible]

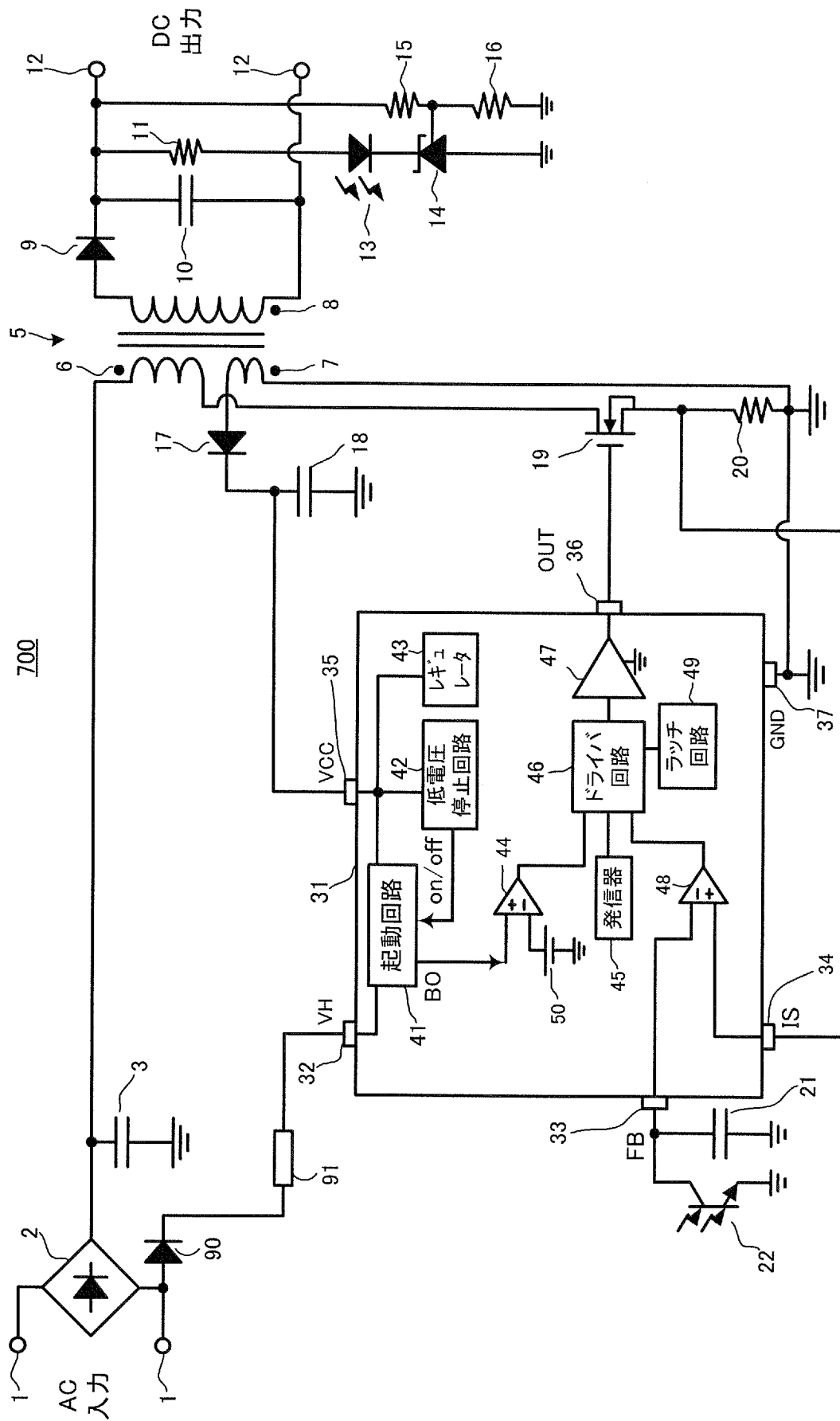
[図20]



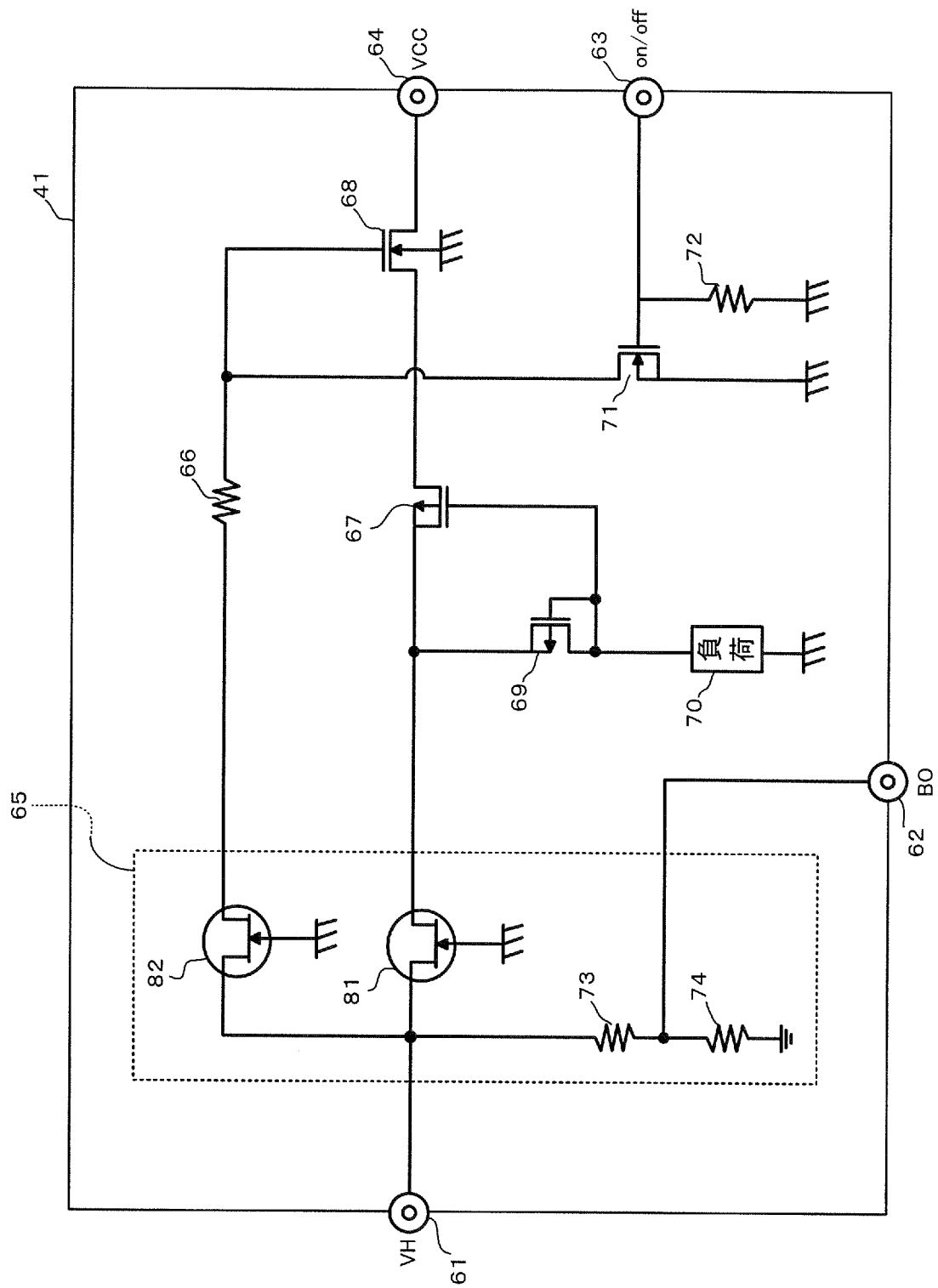
[図21]



[図22]



[図23]



[illegible]

Fig. 1 is a cross-sectional view of a semiconductor device. The device is built on a substrate 101. A p-type region 102 is on the left, and an n-type region 105 is on the right. A gate stack 103 is in the center, with a gate dielectric 108 and a gate electrode 107. A series of contacts 121 are on top of the gate stack. A p-type region 106 is on the left, and an n-type region 110 is on the right. A p-type region 109 is on the left, and an n-type region 116 is on the right. A p-type region 114 is on the left, and an n-type region 115 is on the right. A p-type region 111 is on the left, and an n-type region 126 is on the right. The device is labeled with Y on the left and right sides.

[illegible]

(c)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/003021

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/06(2006.01)i, H01L21/822(2006.01)i, H01L21/8232(2006.01)i,
H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/095(2006.01)i,
H01L29/06(2006.01)i, H03K17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/06, H01L21/822, H01L21/8232, H01L21/8234, H01L27/04, H01L27/095,
H01L29/06, H03K17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 9-232522 A (Sony Corp.), 05 September 1997 (05.09.1997), fig. 3 (Family: none)	1 2
Y	JP 2008-153636 A (Fuji Electric Device Technology Co., Ltd.), 03 July 2008 (03.07.2008), fig. 9 to 14 & JP 2013-254965 A & US 2008/0117653 A1 & US 2009/0323376 A1	1-16
Y	JP 61-184886 A (Matsushita Electronics Corp.), 18 August 1986 (18.08.1986), fig. 1; page 1, lower right column, lines 9 to 10 (Family: none)	1-16

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 August, 2014 (21.08.14)

Date of mailing of the international search report
02 September, 2014 (02.09.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/003021

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-283367 A (Matsushita Electric Industrial Co., Ltd.), 27 October 1995 (27.10.1995), paragraph [0003] (Family: none)	1-16
A	JP 6-165485 A (Power Integrations, Inc.), 10 June 1994 (10.06.1994), fig. 2 & US 5285369 A & EP 585788 A1 & DE 69300359 T2	1-16
A	JP 2001-7121 A (Yokogawa Electric Corp.), 12 January 2001 (12.01.2001), fig. 1, 2 (Family: none)	1-16

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/06(2006.01)i, H01L21/822(2006.01)i, H01L21/8232(2006.01)i, H01L21/8234(2006.01)i,
H01L27/04(2006.01)i, H01L27/095(2006.01)i, H01L29/06(2006.01)i, H03K17/687(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/06, H01L21/822, H01L21/8232, H01L21/8234, H01L27/04, H01L27/095, H01L29/06, H03K17/687

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 9-232522 A（ソニー株式会社）1997.09.05, 図3（ファミリーなし）	1 2
Y	JP 2008-153636 A（富士電機デバイステクノロジー株式会社） 2008.07.03, 図9-14 & JP 2013-254965 A & US 2008/0117653 A1 & US 2009/0323376 A1	1-16
Y	JP 61-184886 A（松下電子工業株式会社）1986.08.18, 第1図、第 1頁右下欄第9-10行（ファミリーなし）	1-16

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 8 . 2 0 1 4

国際調査報告の発送日

0 2 . 0 9 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

儀同 孝信

電話番号 03-3581-1101 内線 3516

5 F

3 5 6 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 7-283367 A (松下電器産業株式会社) 1995. 10. 27, 段落 0 0 0 3 (ファミリーなし)	1-16
A	JP 6-165485 A (パワー インテグレーションズ, インコーポレイテッド) 1994. 06. 10, 図 2 & US 5285369 A & EP 585788 A1 & DE 69300359 T2	1-16
A	JP 2001-7121 A (横河電機株式会社) 2001. 01. 12, 図 1, 2 (ファミリーなし)	1-16