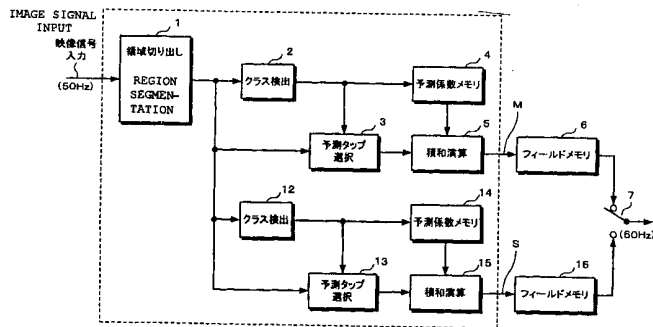


<p>(51) 国際特許分類7 H04N 7/01</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/67480</p> <p>(43) 国際公開日 2000年11月9日(09.11.00)</p>
-----------------------------------	-----------	--

<p>(21) 国際出願番号 PCT/JP00/02637</p> <p>(22) 国際出願日 2000年4月21日(21.04.00)</p> <p>(30) 優先権データ 特願平11/121871 1999年4月28日(28.04.99) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) ソニー株式会社(SONY CORPORATION)[JP/JP] 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo, (JP)</p> <p>(72) 発明者 ; および</p> <p>(75) 発明者 / 出願人 (米国についてのみ) 近藤哲二郎(KONDO, Tetsujiro)[JP/JP] 立平 靖(TATEHIRA, Yasushi)[JP/JP] 内田真史(UCHIDA, Masashi)[JP/JP] 服部正明(HATTORI, Masaaki)[JP/JP] 宮井岳志(MIYAI, Takeshi)[JP/JP] 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 杉浦正知(SUGIURA, Masatomo) 〒171-0022 東京都豊島区南池袋2丁目49番7号 池袋パークビル7階 Tokyo, (JP)</p>	<p>(81) 指定国 JP, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>
---	---

(54) Title: IMAGE SIGNAL CONVERSION DEVICE AND METHOD

(54) 発明の名称 画像信号変換装置および方法



- 2...CLASS DETECTION
- 3...PREDICTION TAP SELECTION
- 4...PREDICTION FACTOR MEMORY
- 5...PRODUCT-SUM OPERATION
- 6...FIELD MEMORY
- 12...CLASS DETECTION
- 13...PREDICTION TAP SELECTION
- 14...PREDICTION FACTOR MEMORY
- 15...PRODUCT-SUM OPERATION
- 16...FIELD MEMORY

(57) Abstract

An interlaced input image signal is supplied at a field frequency of 50 Hz. Class detection circuits detect classes corresponding to the patterns of the level distribution of input pixels near an output pixel to be produced. Prediction factor sets corresponding to the classes are read out of prediction factor memories. Product-sum operation circuits calculate data on the output image signals by using a linear estimation formula of estimation taps (pixels of the input image signals) and the prediction factor sets. The pixel values (M and S) of the output image signals of 50 Hz are outputted by the product-sum circuits. The pixel values (M and S) from the product-sum circuits are converted into signals of a frequency of 60 Hz. A selector selects one of the outputs of the field memories alternately and generates an output image signal (field frequency of 60 Hz).

(57)要約

フィールド周波数 50 Hz でインターレス方式の入力画像信号が供給される。クラス検出回路は、作成すべき出力画素の近傍の入力画素のレベル分布のパターンに対応するクラスを検出する。予測係数メモリからは、クラスに対応する予測係数セットが読出され、積和演算回路では、予測タップ（入力画像信号の画素）と予測係数セットとの線形推定式を用いて出力画像信号のデータを算出する。積和演算回路がそれぞれ 50 Hz の出力画像信号の画素値 M および S を出力する。積和演算回路からの画素値 M、S がフィールドメモリによって 60 Hz の周波数の信号へ変換される。セレクタは、フィールドメモリのそれぞれの出力を交互に選択し、出力画像信号（フィールド周波数 60 Hz）を発生する。

PCTに基づいて公開される国際出願のパムフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサオ		共和国	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボアール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	MZ	モザンビーク	VN	ヴェトナム
CN	中国	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NO	ノールウエー	ZW	ジンバブエ
CY	キプロス	KE	ケニア	NZ	ニュージーランド		
CZ	チェッコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

明 細 書

画像信号変換装置および方法

技術分野

この発明は、テレビジョン受像機、VTR等に用いて好適な画像信号変換装置および方法に関する。

背景技術

従来、テレビジョン走査方式のフィールド周波数としては、50Hz（PAL方式、SECAM方式等）または60Hz（NTSC方式）が広く採用されている。これらのフィールド周波数の一方を他方に変換するフィールド周波数変換技術が知られている。例えばフィールド周波数を50Hzを60Hzに変換する時には、入力フィールドの5フィールドを出力フィールドの6フィールドに変換することが必要とされる。動きのスムーズな出力画像を得るために、入力画像の動きベクトルを検出し、動きベクトルに基づいて適切な時間情報を有する出力フィールドを形成するようにしていた。

従来のフィールド周波数変換技術は、動きベクトルを検出する必要があり、ハードウェアが大規模になる欠点があった。また、動きベクトル検出の精度は、それほど高くないので、誤検出による画質劣化が生じるおそれがあった。特に、物体の動きに関しては、出力画像中に不自然な動き（ジャーキネスと称される）が発生したり、動画像のエッジのボケが目立つ等の欠点があった。動きベクトルを検出しないで、線形補間によりフィールド数変換を行う方法もあるが、この方法は、動画領域のボケが目立つ欠点がある。

従って、この発明は、従来のフィールド周波数変換技術の欠点を解消することができる画像信号変換装置および方法を提供することにある。

発明の開示

上述した課題を達成するために、請求の範囲 1 の発明は、入力画像信号のフィールド周波数を M 対 N ($M \neq N$ で、M, N は、自然数) の関係で変換する画像信号変換装置において、

- 5 出力画像信号の注目フィールドの時間的に最も近傍に位置する入力画像信号のフィールドに含まれる画素を少なくとも含み、出力画像信号の注目フィールド内の注目画素に基づいて決定される入力画像信号の複数の画素に基づいて、注目画素に対するクラスを決定するクラス決定部と、

- 10 予め取得された予測情報をクラス毎に記憶するメモリ部と、

出力画像信号の注目フィールドの時間的に最も近傍に位置する入力画像信号のフィールドに含まれる画素を少なくとも含み、出力画像信号の注目フィールド内の注目画素に基づいて決定される入力画像信号の複数の画素を選択する予測画素選択部と、

- 15 クラス決定部で決定されたクラスに対応する予測情報と、予測画素選択部で選択された複数の画素とに基づいて、出力画像信号の各注目画素を生成する画素生成部とを有することを特徴とする画像信号変換装置である。

- 20 請求の範囲 8 の発明は、入力画像信号のフィールド周波数を M 対 N ($M \neq N$ で、M, N は、自然数) の関係で変換する画像信号変換方法において、

- 出力画像信号の注目フィールドの時間的に最も近傍に位置する入力画像信号のフィールドに含まれる画素を少なくとも含み、出力画像信号の注目フィールド内の注目画素に基づいて決定される入力画像信号
25 の複数の画素に基づいて、注目画素に対するクラスを決定するクラス決定ステップと、

出力画像信号の注目フィールドの時間的に最も近傍に位置する入力画像信号のフィールドに含まれる画素を少なくとも含み、出力画像信号の注目フィールド内の注目画素に基づいて決定される入力画像信号の複数の画素を選択する予測画素選択ステップと、

- 5 クラス決定ステップで決定されたクラスに対応する予測情報と、予測画素選択ステップで選択された複数の画素とに基づいて、出力画像信号の各注目画素を生成する画素生成ステップとを有することを特徴とする画像信号変換方法である。

この発明によれば、フィールド周波数を変換するのに、クラス分類
10 適応処理を使用している。クラス分類適応処理は、教師画像（フィールド周波数変換処理の時では、出力画像に相当する）と生徒画像（フィールド周波数変換処理の時では、入力画像に相当する）とを使用して、真値と予測値の誤差の自乗和を最小とするような予測係数を定めるものである。従って、動きベクトルを検出しないでも、時間的に変
15 換後のフィールドに相当する画像を生成することができ、動きベクトル検出用の大規模なハードウェアを必要としない利点がある。また、動きベクトル検出の精度が低いことによる画質の劣化を生じない利点がある。さらに、クラス分類適応処理によるフィールド周波数変換処理を行うことにより、フィールド周波数が比較的低いことによる大面
20 積のフリッカーが生じることを防止でき、良好な画像を提示できる。

図面の簡単な説明

第1図は、この発明の一実施形態のブロック図である。

第2図は、一実施形態におけるフィールド周波数変換処理を説明するための略線図である。

- 25 第3図は、一実施形態におけるフィールド周波数変換処理におけるフィールドメモリの動作を説明するためのタイミングチャートである

。

第4図は、フィールド周波数変換をクラス分類適応処理で行う時のモードの定義を説明するための略線図である。

第5図は、モードAにおけるタップ構造を説明するための略線図である。

第6図は、モードBにおけるタップ構造を説明するための略線図である。

第7図は、モードCにおけるタップ構造を説明するための略線図である。

第8図は、予測タップおよびクラスタップの空間的配置の一例を示す略線図である。

第9図は、予測係数を学習する時の構成を示すブロック図である。

第10図は、予測係数を学習する時に使用する生徒画像と教師画像との関係を示す略線図である。

第11図は、この発明の他の実施形態におけるフィールド周波数変換処理におけるフィールドメモリの動作を説明するためのタイミングチャートである。

発明を実施するための最良の形態

以下、この発明の一実施形態について説明する。一実施形態は、フィールド周波数を50Hzから60Hzへ変換するフィールド周波数変換に対してこの発明を適用したものである。この発明では、60Hzの出力画像信号の画素をクラス分類適応処理によって生成する。

クラス分類適応処理は、入力信号である画像信号の時間的および／または空間的特徴に応じてクラス分割を行い、クラス毎に予め学習により獲得された予測係数値を格納した記憶手段を持ち、予測式に基づいた演算により最適な推定値を出力する方式であり、クラス分類適応

処理によって、従来のフィールド周波数変換で問題となっていた動きの不自然さを解消できる。

この画素生成装置の一例では、第1図に示すように、入力画像信号（フィールド周波数50Hzのインターレス信号）が領域切り出し部1
5に供給され、クラス分類および予測演算に必要とされる複数の画素が含まれる領域が切り出される。領域切り出し部1の出力がクラス検出回路2および12、予測タップ選択回路3および13に供給される。クラス検出回路2および12は、作成すべき出力画素の近傍の入力画素のレベル分布のパターンに対応するクラスを検出する。並列に画素
10生成のための二つの構成を設けるのは、入力画像信号中の1ラインの時間で、出力画像の2ラインを作成するためである。作成される一方のライン情報をMと表記し、その他方のライン情報をSとして表記する。なお、破線で囲んで示す構成は、LSIの構成とされる。

クラス検出回路2および12のそれぞれにより検出されたクラスが
15予測タップ選択回路3、13と予測係数メモリ4、14とに供給される。予測係数メモリ4、14からは、クラスに対応する予測係数セットが読出され、積和演算回路5、15に読出された予測係数セットが供給される。予測タップ選択回路3、13は、クラスに応じて使用する予測タップを選択する構成とされている。予め各クラスの予測係数
20を学習によって得る時に、予測係数と使用する予測タップ位置情報との両者を得るようにしている。予測タップ選択回路3、13には、予測タップ位置情報がクラス毎に記憶されたメモリ（図示せず）が設けられている。このメモリからクラスに対応して読出された予測タップ位置情報がタップ切り替え用のセレクタに供給され、セレクタ（図示
25せず）が選択的に予測タップを出力する。予測タップ選択回路3、13からの予測タップが積和演算回路5、15に供給される。

積和演算回路 5、15 では、予測タップ（入力画像信号の画素）と予測係数セットとの線形推定式を用いて出力画像信号の画素値を算出する。積和演算回路 5、15 がそれぞれフィールド周波数が入力画像信号と等しい 50 Hz の出力画像信号の第 1 の画素値 M および第 2 の画素値 S を出力する。積和演算回路 5 からの第 1 の画素値がフィールドメモリ 6 に供給され、積和演算回路 15 からの第 2 の画素値がフィールドメモリ 16 に供給される。

フィールドメモリ 6、16 は、クラス分類適応処理で生成された第 1 および第 2 の画素値のフィールド周波数を 50 Hz から 60 Hz へ変換する処理（速度変換処理）を行う。フィールドメモリ 6、16 の出力が 60 Hz のフィールド毎に切り替えられるセレクタ 7 に入力される。セレクタ 7 は、フィールドメモリ 6、16 のそれぞれの出力を交互に選択し、出力画像信号（フィールド周波数 60 Hz）を発生する。

図示しないが、出力画像信号が CRT ディスプレイに供給される。CRT ディスプレイは、フィールド周波数 60 Hz の出力画像信号を表示することが可能なように、その同期系が構成されている。入力画像信号としては、放送信号、または VTR 等の再生装置の再生信号が供給される。すなわち、この一例をテレビジョン受像機に内蔵することができる。

なお、入力画像信号と出力画像信号とは、フィールド周波数のみならず、水平ライン周波数（ライン数）も相違する場合がある。従って、その場合には、フィールド数の変換と共に、ライン数の変換も必要とされる。ライン数変換も、クラス分類適応処理によって行うことができる。さらに、クラス分類適応処理によって、水平方向の画素数を入力画像信号の 2 倍とすることもできる。これらの処理を組み合わせることによって、所望の出力画像信号を形成することができる。但し

、この発明は、フィールド数の変換に要旨があるので、ライン数、水平方向の画素数についての説明については、省略する。

第2図は、この発明の一実施形態のフィールド変換動作を横軸に時間、縦軸に垂直方向をとって示すものである。但し、垂直方向の画素数（ライン数）は、実際の画素数よりはるかに少ないものに簡略化されている。第2図Aが50Hzのタイムスケールで表された入力画像信号であり、第2図Bが60Hzのタイムスケールで表された出力画像信号である。

第2図Aの入力フィールド $f_1 \sim f_5$ の5フィールドが第2図Bの出力フィールド $F_1 \sim F_6$ の6フィールドへ変換される。出力フィールド F_1 は、入力フィールド f_1 から第1の出力画素Mとして生成される。出力フィールド F_2 は、入力フィールド f_1 から第2の出力画素Sとして生成される。出力フィールド F_3 は、入力フィールド f_2 から第1の出力画素Mとして生成される。出力フィールド F_4 は、入力フィールド f_3 から第2の出力画素Sとして生成される。出力フィールド F_5 は、入力フィールド f_4 から第1の出力画素Mとして生成される。出力フィールド F_6 は、入力フィールド f_5 から第2の出力画素Sとして生成される。このように、クラス分類適応処理で生成される出力フィールドの基になる入力フィールドは、時間的になるべく近いものである。

第3図は、フィールドメモリ6および16の動作を横軸に時間、縦軸にフィールドメモリ6および16のアドレスをとって示すものであり、また、フィールドメモリ6および16の書き込みアドレスの変化が細線、それらの読み出しアドレスの変化が太線で示されている。第3図Aは、積和演算回路5およびフィールドメモリ6による出力生成動作を示し、第3図Bは、積和演算回路15およびフィールドメモリ

16による出力生成動作を示す。第3図中で各フィールドに対して付された参照符号は、第2図中で使用したものと対応している。

第3図Aに示すように、入力フィールド f_1 から積和演算回路5から出力されるフィールド f_{1M} がフィールドメモリ6に書き込まれる。若し、後述する例のように、入力フィールド f_1 と出力フィールド F_1 の位相とが時間的に全く重なる場合には、積和演算回路5からのフィールド f_{1M} は、入力フィールド f_1 と同一の画像とされる。また、第3図Bに示すように、入力フィールド f_1 から積和演算回路15から出力されるフィールド f_{1S} がフィールドメモリ16に書き込まれる。これらのフィールド f_{1M} および f_{1S} は、入力フィールド周波数(50Hz)のタイムスケールで、同一フィールド期間において生成される。フィールドメモリ6からは、出力フィールド周波数(60Hz)のタイムスケールでもって、出力フィールド F_1 (書き込まれたフィールド f_{1M})が読み出される。同様に、フィールドメモリ16から出力フィールド周波数のタイムスケールでもって、出力フィールド F_2 (書き込まれたフィールド f_{1S})が読み出される。出力フィールド F_2 は、出力フィールド F_1 の次のフィールドを構成する。

入力フィールド f_2 からクラス分類適応処理によりフィールド f_{2M} が生成され、積和演算回路5からのフィールド f_{2M} がフィールドメモリ6に書き込まれる。フィールド f_{2M} が60Hzのタイムスケールで読み出され、出力フィールド F_3 として出力される。入力フィールド f_2 の期間では、第3図Bにおいて破線で示すように、フィールド f_{1S} は、出力フィールドとして使用されないため、フィールドメモリ16に対する書き込みが休止される。次の入力フィールド f_3 から生成されたフィールド f_{3S} がフィールドメモリ16に対して書き込まれる。入力フィールド f_3 の期間では、第3図Aにおいて破線で

示すように、フィールド f_{3M} は、出力フィールドとして使用されない
ので、フィールドメモリ 6 に対する書き込みが休止される。フィー
ルドメモリ 1 6 から出力フィールド F_4 が読み出される。

次の入力フィールド f_4 から生成されたフィールド f_{4M} がフィー
5 ルドメモリ 6 に対して書き込まれる。入力フィールド f_4 の期間では
、第 3 図 B において破線で示すように、フィールドメモリ 1 6 に対す
る書き込みが休止される。フィールドメモリ 6 から出力フィールド F_5
 f_5 が読み出される。さらに次の入力フィールド f_5 から生成されたフ
ィールド f_{5s} がフィールドメモリ 1 6 に対して書き込まれる。入カ
10 フィールド f_5 の期間では、第 3 図 A において破線で示すように、フ
ィールドメモリ 6 に対する書き込みが休止される。フィールドメモリ
1 6 から出力フィールド F_6 が読み出される。

以上の入力フィールド $f_1 \sim f_5$ から出力フィールド $F_1 \sim F_6$ を
クラス分類適応処理で生成する処理が繰り返される。第 3 図 A および
15 第 3 図 B から分かるように、フィールドメモリ 6 および 1 6 において
は、書き込みアドレスが読み出しアドレスを追い越すことがなく、正
常な読み出し出力が発生する。セレクタ 7 は、出力フィールド毎に交
互にフィールドメモリ 6 の読み出し出力（第 3 図 A の太線部分）とフ
ィールドメモリ 1 6 の読み出し出力（第 3 図 B の太線部分）の一方を
20 順次選択して出力する。セレクタ 7 の出力に、50 Hz から 60 Hz へフ
ィールド周波数が変換された出力映像信号が発生する。

なお、第 1 図に示されるクラス分類適応処理の構成は、コンポーネ
ントカラー画像信号の一つのコンポーネントに対応したものであり、
輝度信号、二つの色差信号の計 3 個のコンポーネントに対して、第 1
25 図に示される構成をそれぞれ設けても良い。さらに、コンポーネント
カラー画像信号に限らず、コンポジットカラー画像信号に対してもこ

の発明を適用することができる。

以下、この発明の一実施形態におけるクラス分類適応処理について、より詳細に説明する。クラス分類適応処理の際に設定されるクラス
5 タップおよび予測タップの一例を説明する。最初に、第4図を参照し
て、クラス分類適応処理のモードの定義を説明する。第4図では、1
0 フィールドでインターレスを考慮したパターンが一巡している。一
方、第2図では、5フィールドでパターンが一巡している。インター
レス（画素位置）を考慮しないで時間的關係のみに着目する場合には
、第2図に示したように、5フィールドでパターンが一巡すること
10 なる。

第4図には、50Hzのフィールド周波数の入力画像と60Hzのフ
ィールド周波数の出力画像とが示されている。入力フィールド f_1 の位
相と時間的に重なる出力フィールド F_1 は、入力フィールド f_1 と同
一の画像が出力される。但し、出力フィールド F_1 との画像をクラス
15 分類適応処理で生成しても良い。入力フィールドと出力フィールドの
時間的關係と、これらの間の垂直方向の画素位置に応じて次のよう
にモードを定義する。

出力フィールド F_1 、 F_2 および F_3 のように、時間的にもっとも
近接する（時間的に重なる場合も含む）入力フィールドと垂直方向の
20 画素位置が同一の場合をモードAと定義する。出力フィールド F_5 お
よび F_6 のように、時間的にもっとも近接する入力フィールドと垂直
方向の画素位置が1/2ラインずれた位置の場合をモードBと定義す
る。出力フィールド F_4 のように、入力フィールド f_3 および f_4 の
時間的中間位置の場合をモードCと定義する。これらのモードを定義
25 するのは、モード毎に予測係数セットを学習により定めるためであり
、それによって、予測の精度が向上できる。なお、最も近接する入力

フィールドまでの距離の大きさによって、モードを細分化しても良い。但し、この場合では、ハードウェアの規模が増大するので、実施形態では、モードを細分化していない。

第5図は、モードAにおけるタップ構造を示す。第5図は、縦軸を垂直方向、横軸を時間方向とし、出力フィールド例えばF3のある画素（黒い丸印で示す）を生成する場合の画素位置を概略的に示す。モードAでは、入力フィールドf2、f3、f4に含まれる画素を使用して、出力フィールドF3の画素がクラス分類適応処理によって生成される。すなわち、入力フィールドf2に含まれ、予測しようとする画素と垂直方向で1/2ラインずれた位置の上下の2画素と、入力フィールドf3に含まれ、予測しようとする画素と同一位置の画素と、入力フィールドf4に含まれ、予測しようとする画素と垂直方向で1/2ラインずれた位置の上下の2画素とが使用される。例えば、クラス検出回路2、予測タップ選択回路3、予測係数メモリ4、積和演算回路5によってフィールドF3内の画素が生成される。

第6図は、モードBにおけるタップ構造を示す。第6図は、縦軸を垂直方向、横軸を時間方向とし、出力フィールド例えばF5のある画素（黒い丸印で示す）を生成する場合の画素位置を概略的に示す。モードBでは、入力フィールドf3、f4、f5に含まれる画素を使用して、出力フィールドF5の画素がクラス分類適応処理によって生成される。すなわち、入力フィールドf3に含まれ、予測しようとする画素と同一位置の画素と、入力フィールドf4に含まれ、予測しようとする画素と垂直方向で1/2ラインずれた位置の上下の2画素と、入力フィールドf5に含まれ、予測しようとする画素と同一位置の画素とが使用される。例えば、クラス検出回路2、予測タップ選択回路3、予測係数メモリ4、積和演算回路5によってフィールドF5内の

画素が生成される。

第7図は、モードCにおけるタップ構造を示す。第7図は、縦軸を垂直方向、横軸を時間方向とし、出力フィールド例えばF4のある画素（黒い丸印で示す）を生成する場合の画素位置を概略的に示す。モードCでは、入力フィールドf3、f4に含まれる画素を使用して、出力フィールドF4の画素がクラス分類適応処理によって生成される。すなわち、入力フィールドf3に含まれ、予測しようとする画素と垂直方向で1/2ラインずれた位置の上下の2画素と、入力フィールドf4に含まれ、予測しようとする画素と同一位置の画素とが使用される。例えば、クラス検出回路12、予測タップ選択回路13、予測係数メモリ14、積和演算回路15によってフィールドF4内の画素が生成される。

第5図、第6図および第7図のタップ構造は、クラスタップおよび予測タップとして使用する入力画素と、それらが含まれるフィールドとを示している。クラスタップおよび予測タップは、時間方向および垂直方向のみならず、同一フィールド内の水平方向に広がりを持つことも可能である。また、クラスタップと予測タップとを同一のタップ構造とせず、両者を異ならせることも可能である。クラスタップおよび予測タップのモードに応じた切り替えは、クラス検出回路2、12および予測タップ選択回路3、13のそれぞれにおいてなされる。領域切り出し回路1は、クラスタップおよび予測タップとして使用される可能性のある全ての入力画素を同時に出力するものである。

クラスタップおよび予測タップを空間的な配置例について説明する。例えば第8図に示すように空間的にも複数の入力画素によって予測タップを構成し、第8図Bに示すように、複数の入力画素によってクラスタップを構成しても良い。第8図Aおよび第8図Bは、縦軸を垂

直方向、横軸を水平方向にとって画素の配置を示す。第8図Aに示すように、-1フィールドに含まれ、生成しようとする画素（黒い丸印）と垂直方向で上下の位置の6個の入力画素と、0フィールドに含まれ、生成しようとする画素と上下左右の位置に隣接する4個の入力画素との合計10個の入力画素により予測タップが構成される。

第8図Bに示すように、-1フィールドに含まれ、生成しようとする画素と垂直方向で上下の位置の2画素と、0フィールドに含まれ、生成しようとする画素に対して垂直方向で上下の位置の2画素によってクラスタップが構成される。

10 クラス検出回路2、12は、クラスタップのレベル分布のパターンを検出する。この場合、クラス数が膨大となることを防ぐために、各画素8ビットの入力データをより少ないビット数のデータへ圧縮するような処理を行う。一例として、ADRC（Adaptive Dynamic Range Coding）によって、クラスタップの入力画素のデータが圧縮される

15 。なお、情報圧縮方式としては、ADRC以外にDPCM（予測符号化）、VQ（ベクトル量子化）等の圧縮方式を用いても良い。

本来、ADRCは、VTR（Video Tape Recorder）向け高能率符号化用に開発された適応的再量子化法であるが、信号レベルの局所的なパターンを短い語長で効率的に表現できるので、この一例では、ADRCをクラス分類のコード発生に使用している。ADRCは、クラスタップのダイナミックレンジをDR、ビット割当をn、クラスタップの画素のデータレベルをL、再量子化コードをQとして、以下の式（1）により、最大値MAXと最小値MINとの間を指定されたビット長で均等に分割して再量子化を行う。

$$25 \quad DR = MAX - MIN + 1$$

$$Q = \{ (L - MIN + 0.5) \times 2 / DR \} \quad (1)$$

ただし、{ } は切り捨て処理を意味する。

なお、動きクラスを併用して、クラスと動きクラスとを統合してクラスを検出するようにしても良い。この場合、動きクラスに応じて、クラスタップを切り替えるようにしても良い。動きクラスは、例えば
5 フレーム間差分の大きさに応じて生成されるので、動きベクトルを検出する場合と比較してハードウェアの規模が小さくて良い。

そして、積和演算回路 5, 15 は、予測タップ選択回路 3, 13 でそれぞれ選択された各予測タップ（画素値）と、予測係数メモリ 4, 14 からそれぞれ読み出された各係数との線形 1 次結合によって、画
10 素値を生成する。線形 1 次結合に限らず、高次の推定式によって画素値を生成しても良い。この場合、第 3 図のタイミングチャートに示されるように、予測係数メモリ 4 には、出力フィールド F 3 および F 5 を生成するために使用する予測係数テーブルが格納され、また、予測係数メモリ 14 には、出力フィールド F 2、F 4 および F 6 を生成す
15 るために使用する予測係数テーブルが格納されている。各テーブルは、予測係数セットを、モードとクラス検出回路 2, 12 で決定されたクラスとに対応する個数有する。各テーブル（予測係数）は、予め後述する学習処理によって取得されている。

積和演算回路 5 は、予測タップ選択回路 3、または 13 からの予測
20 タップ（画素値） x_1, x_2, \dots, x_i と、予測係数セット w_1, w_2, \dots, w_i との線形 1 次結合式（式（2））の演算を行うことにより、画素値を算出する。積和演算回路 15 は、同様にして画素値を算出する。

$$L_1 = w_1 x_1 + w_2 x_2 + \dots + w_i x_i \quad (2)$$

25 このように、予測係数セットが各クラス毎に予め学習により求められた上で、予測係数メモリ 4, 14 に記憶しておき、入力される予測

タップおよび読出された予測係数セットに基づいて演算が行われ、入力されたデータに対応する出力データを形成して出力する。従って、動きベクトル検出を行わずに、フィールド数変換を行うことができる。

- 5 予測係数の作成（学習）処理について第9図を用いて説明する。予測係数を学習によって得るためには、フィールド周波数300Hzのプログレッシブの高速動作のビデオカメラにより撮影した画像を使用する。この画像が間引き部31によって、垂直方向で画素数が1/2とされ、フィールド周波数が60Hzのインターレス画像信号（生徒画像）が形成される。また、間引き部41によって、垂直方向で画素数が1/2とされ、フィールド周波数50Hzの画像信号（教師画像）が形成される。間引き部41からの教師画像と間引き部31からの生徒画像とを学習用の対とする。第1図に示す入力画像が生徒画像に対応し、出力画像が教師画像に対応する。学習は、教師画像（真値）と生徒
- 10 画像との間で、両者の対応する画素の誤差の自乗和を最小とする予測係数を最小自乗法によって求める処理である。

第10図は、予測係数を学習する時の画素構造を示す。縦軸が垂直方向であり、横軸が時間方向である。間引き部31は、フィールド周波数300Hzのプログレッシブ画像を時間方向に1/6に間引くと共に、

20 に、ライン数を1/2に間引き、フィールド周波数50Hz、インターレス走査の生徒画像を生成する。間引き部41は、フィールド周波数300Hzのプログレッシブ画像を時間方向に1/5に間引くと共に、ライン数を1/2に間引き、フィールド周波数60Hz、インターレス走査の教師画像を生成する。

- 25 間引き部31からの生徒画像信号が予測タップ領域切り出し部32およびクラスタップ領域切り出し部33に供給される。クラスタップ

領域切り出し部 3 3 からのクラスタップがクラス検出回路 3 4 および 3 5 に供給される。予測タップ領域切り出し部 3 2 は、各モードで画素を作成するための予測タップを出力する。クラス検出回路 3 4、3 5 は、モード毎に設定されたクラスタップのデータを A D R C により 5 圧縮し、クラス情報を発生する。これらのクラスタップおよび予測タップは、前述した構造のもの（第 4 図～第 7 図参照）である。

予測タップ領域切り出し部 3 2 からの予測タップが正規方程式加算回路 3 6、3 7 に供給される。正規方程式加算回路 3 6、3 7 の説明のために、複数個の入力画素から出力画素への変換式の学習とその予 10 測式を用いた信号変換について述べる。以下に、説明のために、より一般化して n 画素による予測を行う場合について説明する。予測タップとして選択される入力画素の信号レベルをそれぞれ x_1 、 \dots 、 x_n とし、教師画像中の出力画素の信号レベルを y としたとき、クラス毎に予測係数セット w_1 、 \dots 、 w_n による n タップの線形推定式を 15 設定する。これを下記の式（3）に示す。学習前は、 w_i が未定係数である。

$$y = w_1 x_1 + w_2 x_2 + \dots + w_n x_n \quad (3)$$

学習は、クラス毎に複数の画像信号に対して行う。データ数が m の場合、式（3）にしたがって、以下に示す式（4）が設定される。

$$20 \quad y_k = w_1 x_{k1} + w_2 x_{k2} + \dots + w_n x_{kn} \quad (4)$$

$$(k = 1, 2, \dots, m)$$

$m > n$ の場合、予測係数セット w_1 、 \dots 、 w_n は、一意に決まらないので、誤差ベクトル e の要素を以下の式（5）で定義して、式（6）を最小にする予測係数セットを求める。いわゆる、最小自乗法によ 25 る解法である。

$$e_k = y_k - \{w_1 x_{k1} + w_2 x_{k2} + \dots + w_n x_{kn}\} \quad (5)$$

(k = 1, 2, ……m)

$$e^2 = \sum_{k=0}^m e_k^2 \tag{6}$$

5 ここで、式 (6) の w_i による偏微分係数を求める。それは以下の式 (7) を '0' にするように、各係数 w_i を求めればよい。

$$\frac{\partial e^2}{\partial w_i} = \sum_{k=0}^m 2 \left(\frac{\partial e_k}{\partial w_i} \right) e_k = \sum_{k=0}^m 2x_{ki} \cdot e_k \tag{7}$$

10

以下、式 (8)、(9) のように X_{ij} 、 Y_i を定義すると、式 (7) は、行列を用いて式 (10) へ書き換えられる。

$$15 \quad X_{ji} = \sum_{p=0}^m x_{pi} \cdot x_{pj} \tag{8}$$

$$Y_i = \sum_{k=0}^m x_{ki} \cdot y_k \tag{9}$$

20

$$\begin{bmatrix} X_{11} & X_{12} & \cdots & X_{1n} \\ X_{21} & X_{22} & \cdots & X_{2n} \\ \cdots & \cdots & \cdots & \cdots \\ X_{m1} & X_{m2} & \cdots & X_{mn} \end{bmatrix} \begin{bmatrix} W_1 \\ W_2 \\ \cdots \\ W_n \end{bmatrix} = \begin{bmatrix} Y_1 \\ Y_2 \\ \cdots \\ Y_m \end{bmatrix} \tag{10}$$

25

この方程式は、一般に正規方程式と呼ばれている。第9図中の正規方程式加算回路36、37のそれぞれは、クラス検出回路34、35から供給されたクラス情報と、予測タップ領域切り出し部32から供給された予測タップと、教師画像の画素を用いて、この正規方程式の
5 加算を行う。

学習に十分なフレーム数のデータの入力が終了した後、正規方程式加算回路36、37は、予測係数決定部38に正規方程式データを出力する。予測係数決定部38は、正規方程式を掃き出し法等の一般的な行列解法を用いて、 w_i について解き、予測係数セットを算出する
10 。予測係数決定部38は、算出された予測係数セットを予測係数メモリ39、40に書込む。

以上のように学習を行った結果、予測係数メモリ39、40のそれぞれには、クラス毎に、出力画像信号の注目画素 y を推定するための、もっとも真値に近い推定ができる予測係数セットが格納される。予
15 測係数メモリ39、40に格納された予測係数セットは、上述の画像情報変換装置において、予測係数メモリ4、14にロードされる。

また、予測タップ領域切り出し部32が出力する予測タップの個数は、画素生成装置において使用される予測タップの個数より大きいものとされる。従って、予測係数決定部38は、クラス毎により多くの
20 予測係数が求まる。この求まった予測係数の中で、絶対値が大きいものから順に使用する数の予測係数セットが選択される。選択された予測係数がメモリ39、40のクラスに対応するアドレスにそれぞれ格納される。従って、クラス毎に予測タップが選択されることになり、この予測タップの選択位置情報がクラス毎にメモリ（図示しない）に
25 格納される。このような予測タップ選択処理によって、各クラスに適合した予測タップを選択することが可能となる。

以上の処理により、線形推定式により、フィールド周波数が50Hzのデータからフィールド周波数が60Hzの画像のデータを作成するための予測係数の学習が終了する。

なお、フィールド周波数50Hzから60Hzへのフィールド周波数の
5 変換処理について説明したが、この逆の60Hzから50Hzへのフィールド周波数の変換処理に対しても同様にこの発明を適用できる。また、入力画像信号および出力画像信号のフィールド周波数は、50Hz、60Hzには限定されず、フィールド周波数をM対N（ $M \neq N$ で、M、Nは、1でない整数）に変換する場合に対して同様にこの発明を適用
10 できる。例えば48Hzのフィールド周波数の入力画像信号を60Hzのフィールド周波数の画像信号へ変換できる。また、VGA（Video Graphics Array, 640 x 480 画素）、XGA（eXtended Graphics Array, 1024 x 768 画素）等のコンピュータ画像のフィールド周波数を変換する処理に対してもこの発明を適用することができる。さらに、フィールド周波数の変換に加えて水平方向および／または垂直方向の画素数を2倍とする処理を同時に行うようにしても良い。
15

第11図は、一実施形態とは逆にフィールド周波数を60Hzから50Hzへ変換する場合の処理を説明するものである。第11図も、第3図と同様に、二つのフィールドメモリの各フィールドメモリの動作を
20 横軸に時間、縦軸にフィールドメモリのアドレスをとって示すものであり、また、フィールドメモリの書き込みアドレスの変化が細線、それらの読み出しアドレスの変化が太線で示されている。

第11図Aに示すように、入力フィールド f_1 と同一画像のフィールド F_1' が一方のフィールドメモリに書き込まれ、50Hzのタイム
25 スケールで出力フィールド F_1 として読み出される。また、第11図Bに示すように、入力フィールド f_2 からクラス分類適応処理により

生成されたフィールドF 2' が他方のフィールドメモリに書き込まれ、フィールドF 2として読み出される。フィールドf 2の期間では、一方のフィールドメモリに対する書き込みが休止される。

入力フィールドf 3からクラス分類適応処理によりフィールドF 3' が生成され、フィールドF 3' が一方のフィールドメモリに書き込まれる。フィールドF 3' が50Hzのタイムスケールで読み出され、出力フィールドF 3として出力される。次の入力フィールドf 4から生成されたフィールドF 4' が他方のフィールドメモリに対して書き込まれる。さらに、入力フィールドf 5から生成された出力フィールドF 5' が一方のフィールドメモリに書き込まれ、出力フィールドF 5として出力される。入力フィールドf 5の期間では、第11図Aにおいて破線で示すように、一方のフィールドメモリに対する書き込みが休止される。他方のフィールドメモリにおいては、書き込み動作の休止期間が存在しない。これは、他方のフィールドメモリにおいては、クラス分類に不要な入力フィールドが書き込まれても、その後にはクラス分類に使用する入力フィールドによって上書きされるからである。

以上の入力フィールドf 1～f 6から出力フィールドF 1～F 5をクラス分類適応処理で生成する処理が繰り返される。第11図Aおよび第11図Bから分かるように、各フィールドメモリにおいては、書き込みアドレスが読み出しアドレスを追い越すことがなく、正常な読み出し出力が発生する。そして、一実施形態と同様に、出力フィールド毎に交互に各フィールドメモリの読み出し出力（第11図中の太線部分）を選択することによって、60Hzから50Hzへフィールド周波数が変換された出力映像信号が発生する。

25 上述したこの発明による画像情報変換装置を例えばCRTディスプレイのような表示装置と入力信号源との間に設けることによって、表

示装置のフィールド周波数と入力画像信号のフィールド周波数の不一致の問題を解決することができる。

この発明は、フィールド周波数（フィールド数）の変換をクラス分類適応処理によって行うので、動きベクトルの検出が不要であり、動きベクトル検出のためにハードウェアが大規模となる問題が生じない。また、動きベクトル検出の精度が低いことに起因する画質劣化を生じない。さらに、線形変換でフィールド数変換を行う方法と比して、動画像のボケを生じない利点がある。また、50Hzから60Hzへ入力画像信号のフィールド周波数を変換するように、低いフィールド周波数をより高いフィールド周波数へ変換することによって、大面積フリッカーを取り除くことができる。

請求の範囲

1. 入力画像信号のフィールド周波数をM対N ($M \neq N$ で、M, Nは、自然数) の関係で変換する画像信号変換装置において、

出力画像信号の注目フィールドの時間的に最も近傍に位置する入力
5 画像信号のフィールドに含まれる画素を少なくとも含み、上記出力画像信号の上記注目フィールド内の注目画素に基づいて決定される上記入力画像信号の複数の画素に基づいて、上記注目画素に対するクラスを決定するクラス決定部と、

予め取得された予測情報を上記クラス毎に記憶するメモリ部と、

10 出力画像信号の注目フィールドの時間的に最も近傍に位置する入力画像信号のフィールドに含まれる画素を少なくとも含み、上記出力画像信号の上記注目フィールド内の注目画素に基づいて決定される上記入力画像信号の複数の画素を選択する予測画素選択部と、

上記クラス決定部で決定されたクラスに対応する予測情報と、上記
15 予測画素選択部で選択された複数の画素とに基づいて、上記出力画像信号の各注目画素を生成する画素生成部とを有することを特徴とする画像信号変換装置。

2. 請求の範囲1において、

上記クラス決定部と、上記予測画素選択部と、上記画素生成部は、
20 上記出力画像信号の全てのフィールドのうち、少なくとも上記入力画像信号のフィールドと位相が一致しない全てのフィールドについて動作し、上記出力画像信号の各注目画素を生成することを特徴とする画像信号変換装置。

3. 請求の範囲1において、

25 上記クラス決定部は、上記出力画像信号の注目フィールドの時間的に最も近傍に位置する入力画像信号のフィールドを中心とした前後の

所定数のフィールドから選択した複数の画素に基づいて、上記注目画素に対するクラスを決定することを特徴とする画像信号変換装置。

4. 請求の範囲1において、

上記予測画素選択部は、上記出力画像信号の注目フィールドの時間的に最も近傍に位置する入力画像信号のフィールドを中心とした前後の所定数のフィールドから、複数の画素を選択することを特徴とする画像信号変換装置。

5. 請求の範囲1において、

上記画素生成部は、上記クラス決定部で決定されたクラスに対応する上記予測情報と、上記予測画素選択部で選択された複数の画素との線形推定式を演算することで、上記出力画像信号の各注目画素を生成することを特徴とする画像信号変換装置。

6. 請求の範囲1において、

上記入力画像信号及び出力画像信号がインターレース信号であることを特徴とする画像信号変換装置。

7. 請求の範囲1において、

$M = 5$ 、 $N = 6$ であることを特徴とする画像信号変換装置。

8. 入力画像信号のフィールド周波数をM対N ($M \neq N$ で、M、Nは、自然数) の関係で変換する画像信号変換方法において、

出力画像信号の注目フィールドの時間的に最も近傍に位置する入力画像信号のフィールドに含まれる画素を少なくとも含み、上記出力画像信号の上記注目フィールド内の注目画素に基づいて決定される上記入力画像信号の複数の画素に基づいて、上記注目画素に対するクラスを決定するクラス決定ステップと、

出力画像信号の注目フィールドの時間的に最も近傍に位置する入力画像信号のフィールドに含まれる画素を少なくとも含み、上記出力画

像信号の上記注目フィールド内の注目画素に基づいて決定される上記入力画像信号の複数の画素を選択する予測画素選択ステップと、

上記クラス決定ステップで決定されたクラスに対応する予測情報と、上記予測画素選択ステップで選択された複数の画素とに基づいて、

5 上記出力画像信号の各注目画素を生成する画素生成ステップとを有することを特徴とする画像信号変換方法。

9. 請求の範囲8において、

上記クラス決定ステップと、上記予測画素選択ステップと、上記画素生成ステップは、上記出力画像信号の全てのフィールドのうち、少なくとも上記入力画像信号のフィールドと位相が一致しない全てのフィールドについて行われることを特徴とする画像信号変換方法。

10

10. 請求の範囲8において、

上記クラス決定ステップでは、上記出力画像信号の注目フィールドの時間的に最も近傍に位置する入力画像信号のフィールドを中心とした前後の所定数のフィールドから選択した複数の画素に基づいて、上記注目画素に対するクラスが決定されることを特徴とする画像信号変換方法。

15

11. 請求の範囲8において、

上記予測画素選択ステップは、上記出力画像信号の注目フィールドの時間的に最も近傍に位置する入力画像信号のフィールドを中心とした前後の所定数のフィールドから、複数の画素を選択することを特徴とする画像信号変換方法。

20

12. 請求の範囲8において、

上記画素生成ステップは、上記クラス決定ステップで決定されたクラスに対応する上記予測情報と、上記予測画素選択ステップで選択された複数の画素との線形推定式を演算することで、上記出力画像信号

25

の各注目画素を生成することを特徴とする画像信号変換方法。

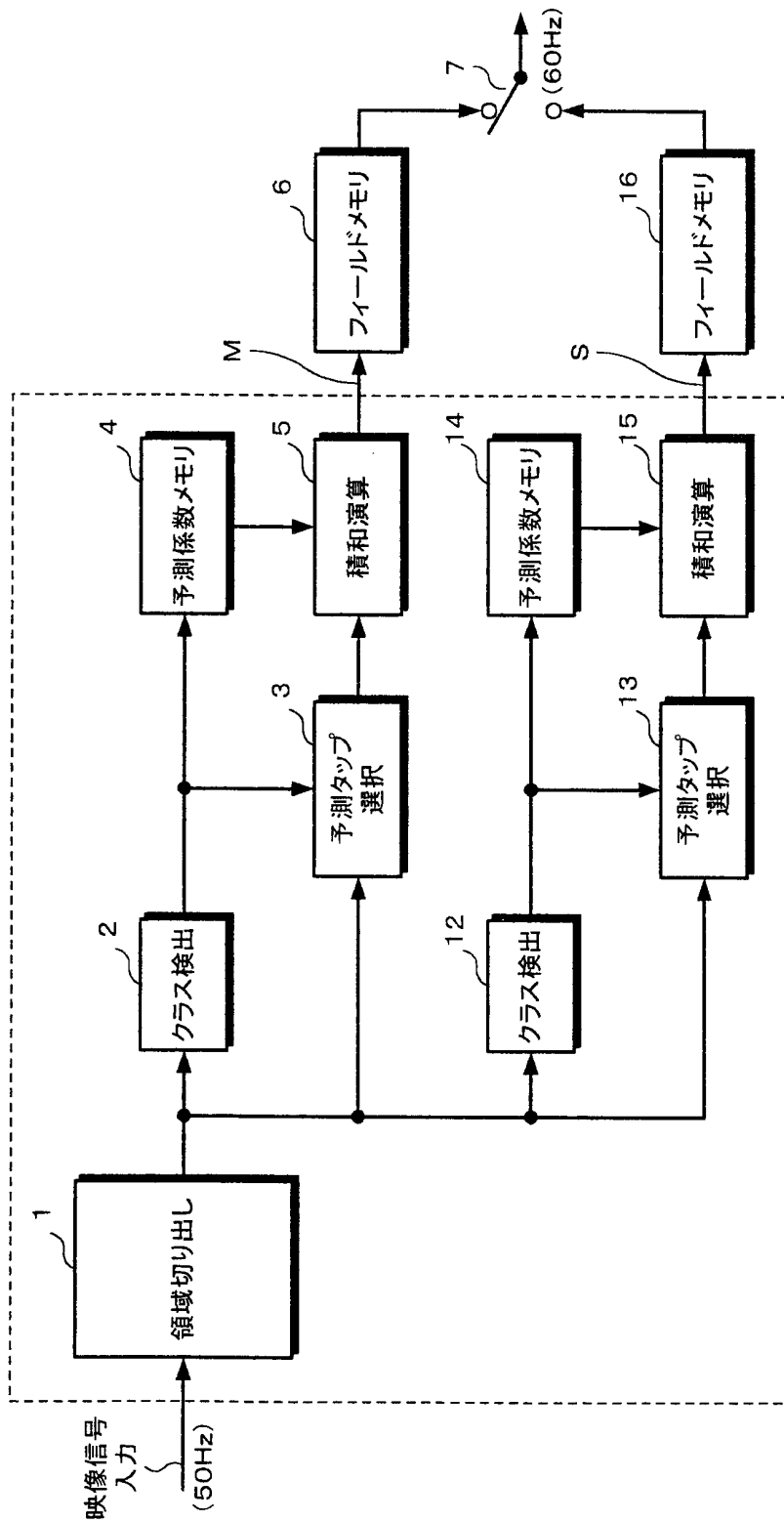
1 3. 請求の範囲 8 において、

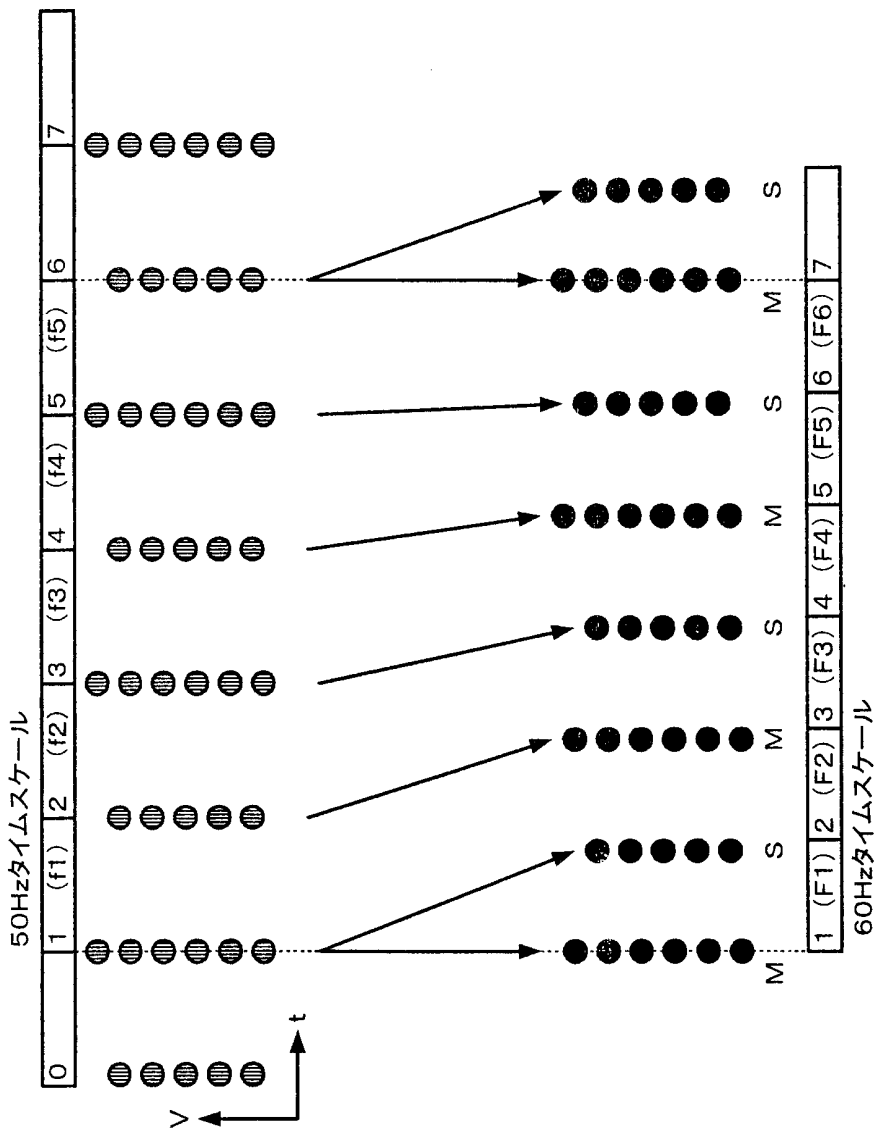
上記入力画像信号及び出力画像信号がインターレース信号であることを特徴とする画像信号変換方法。

5 1 4. 請求の範囲 8 において、

$M = 5$ 、 $N = 6$ であることを特徴とする画像信号変換方法。

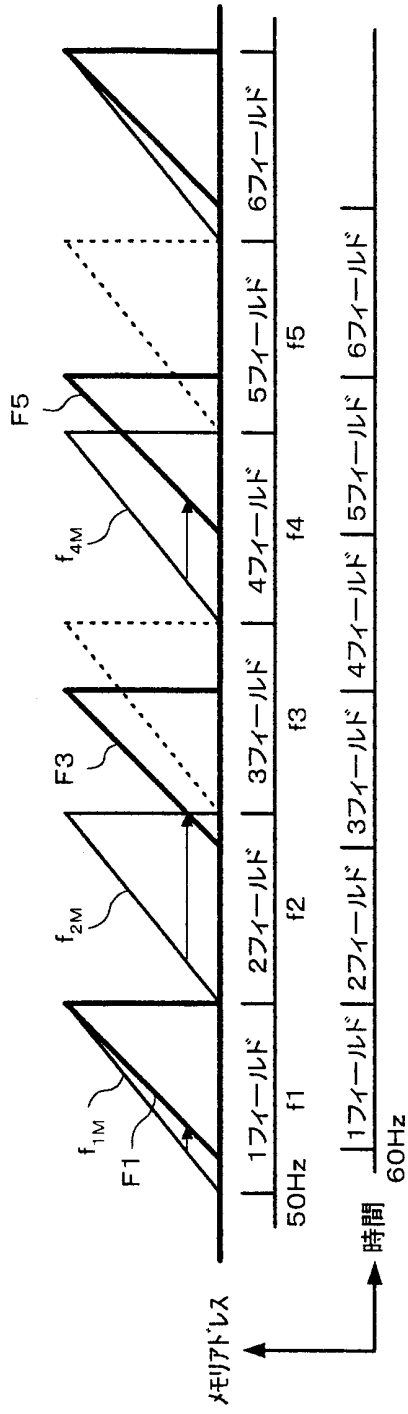
第1図



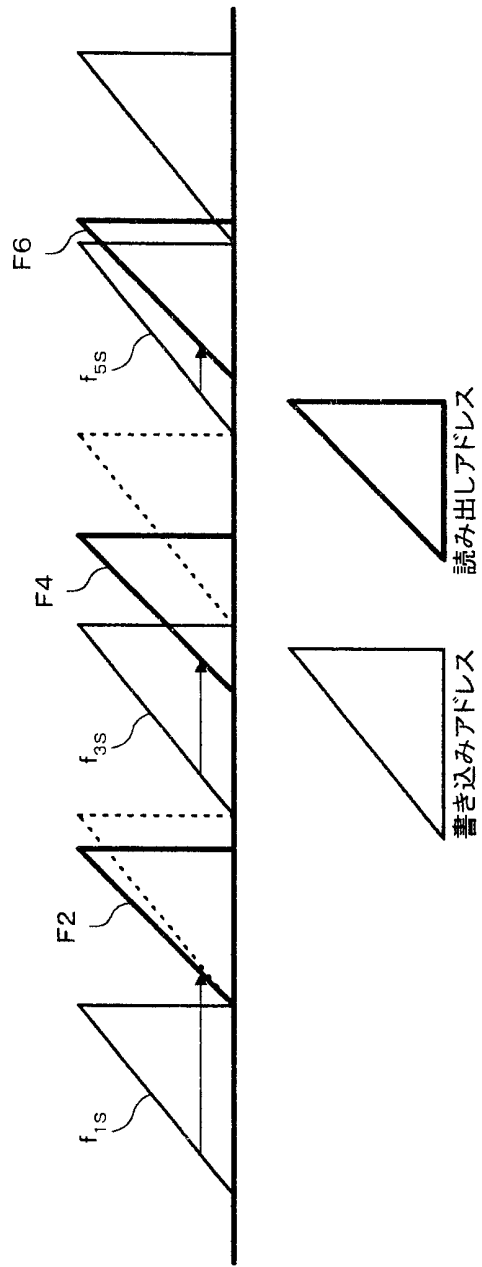


第2図A

第2図B

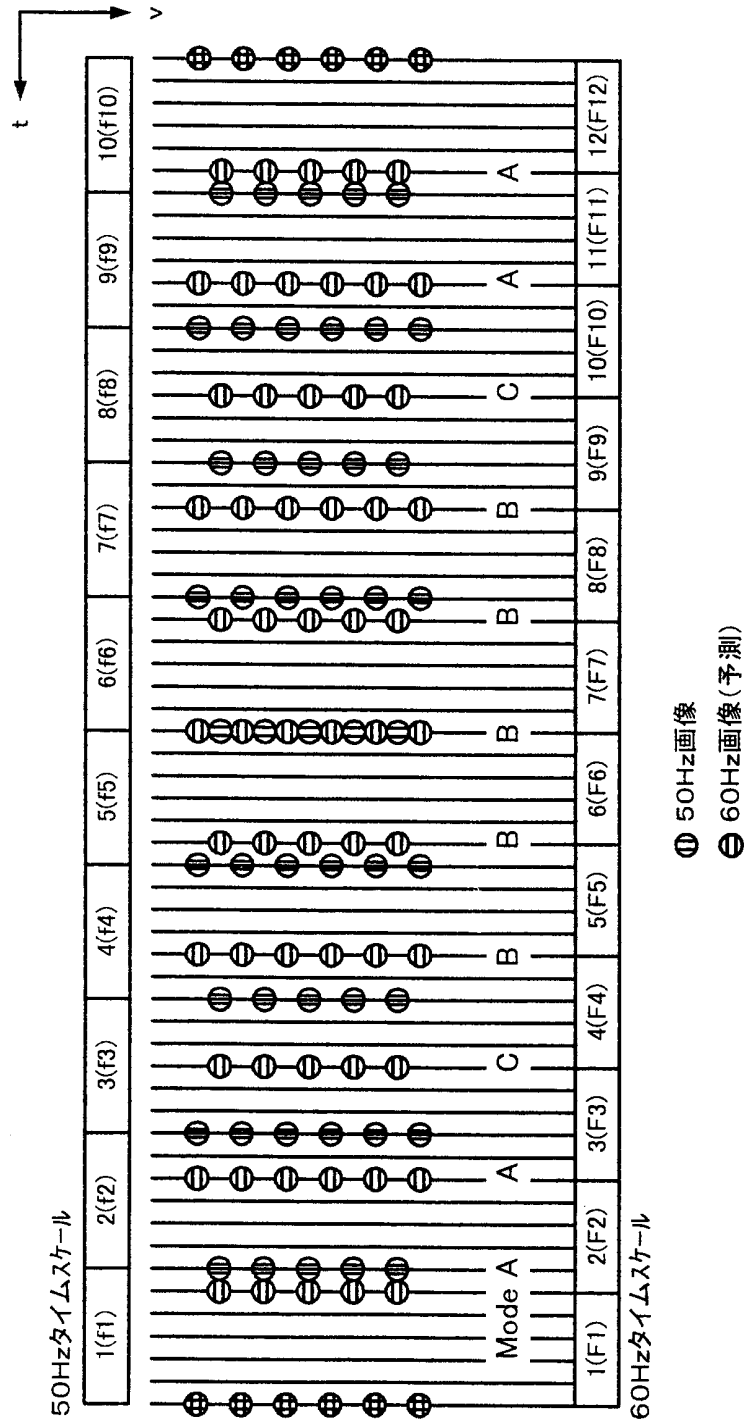


第3図A

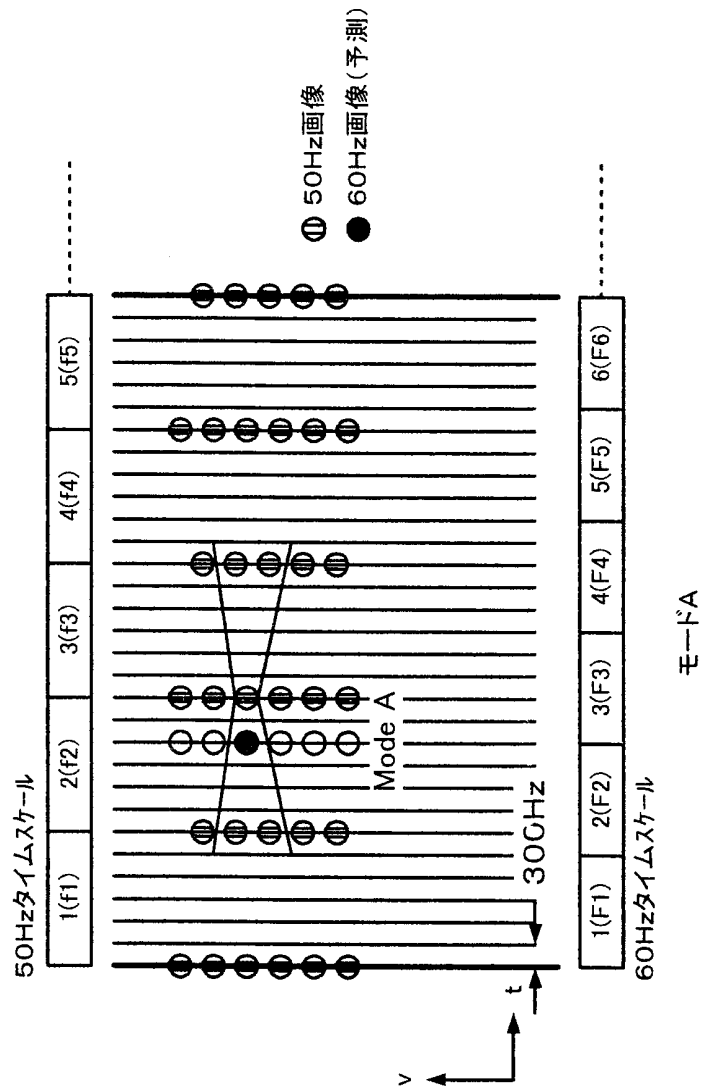


第3図B

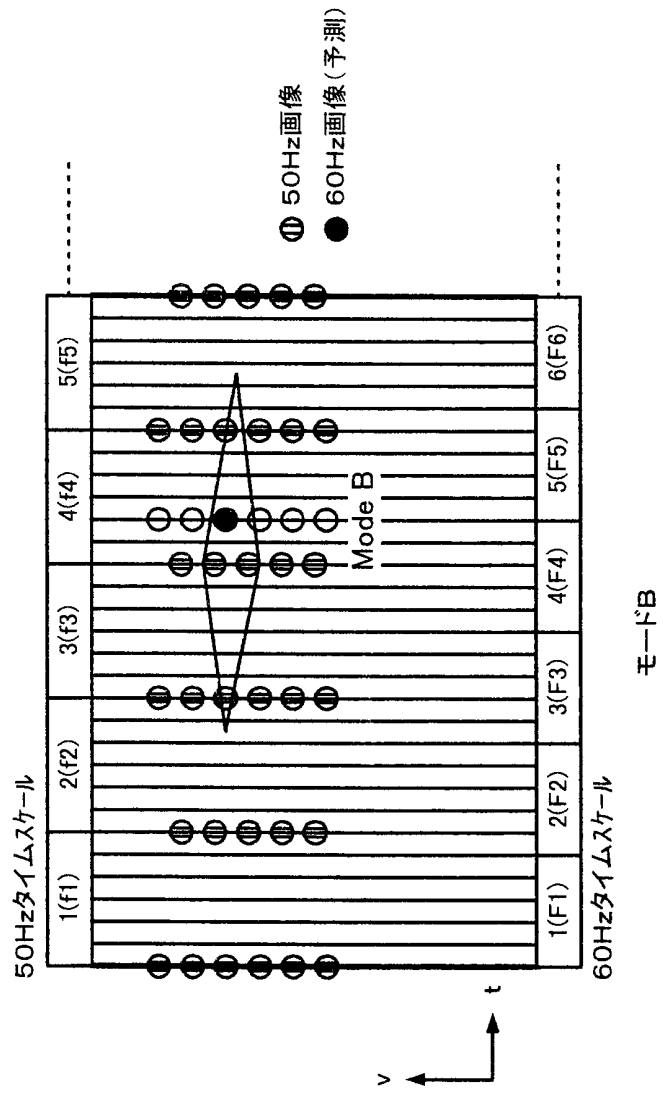
第4図



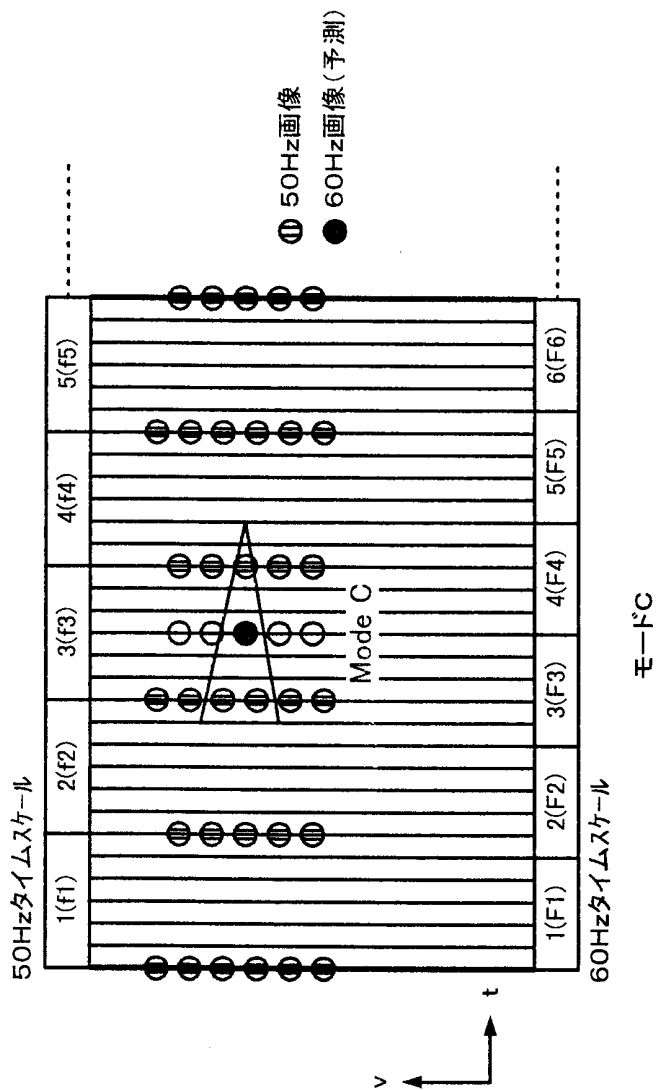
第5図



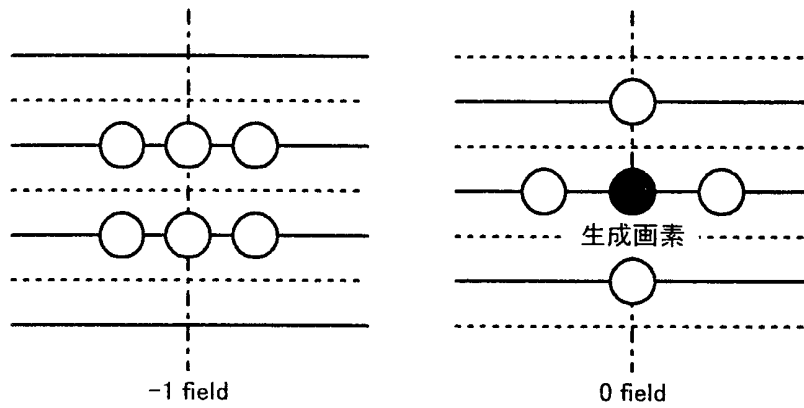
第6図



第7図

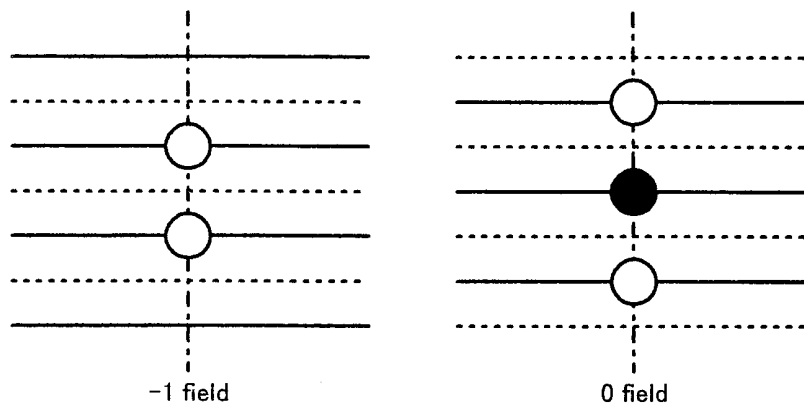


第 8 図 A



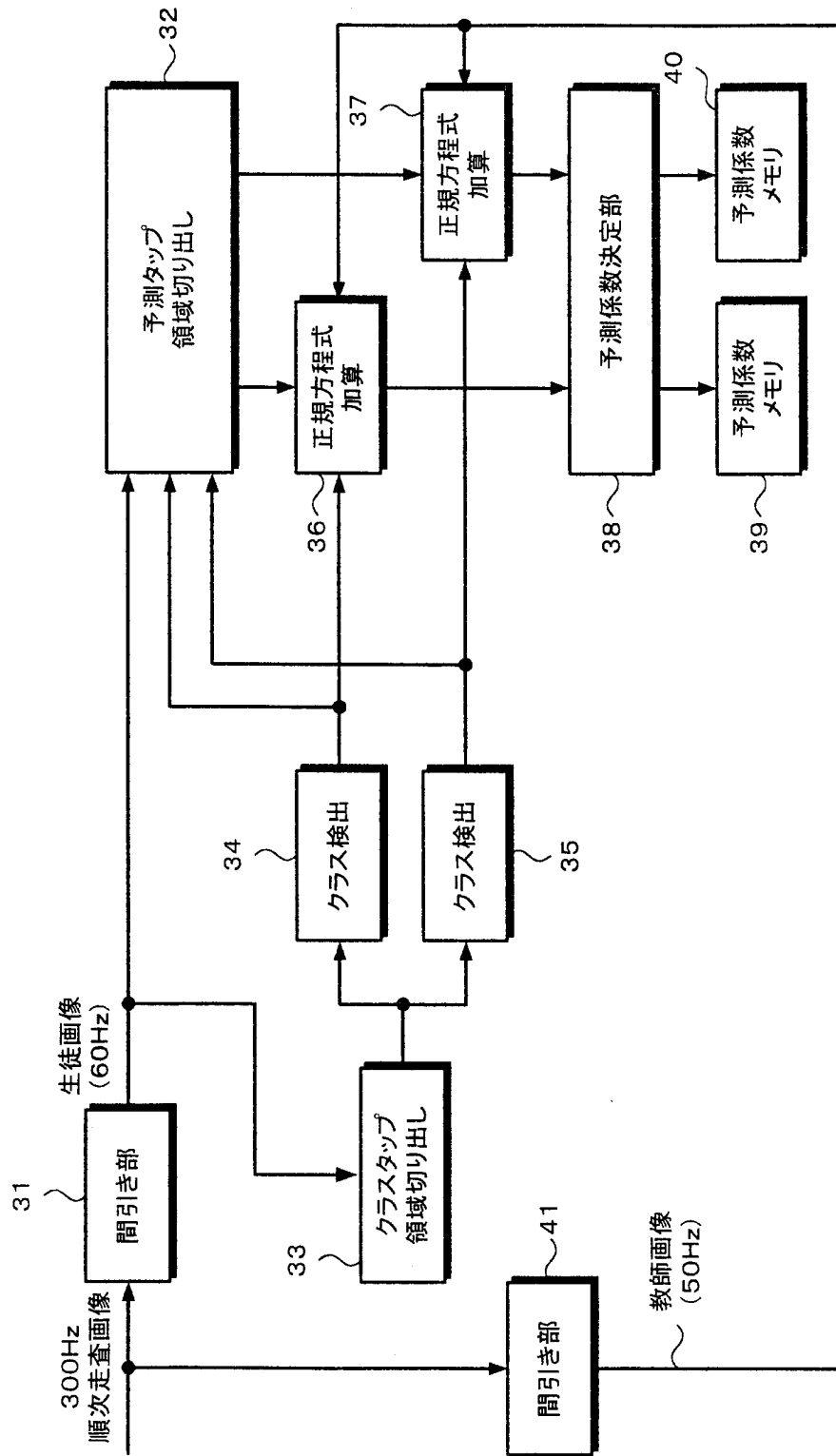
予測タップの例

第 8 図 B

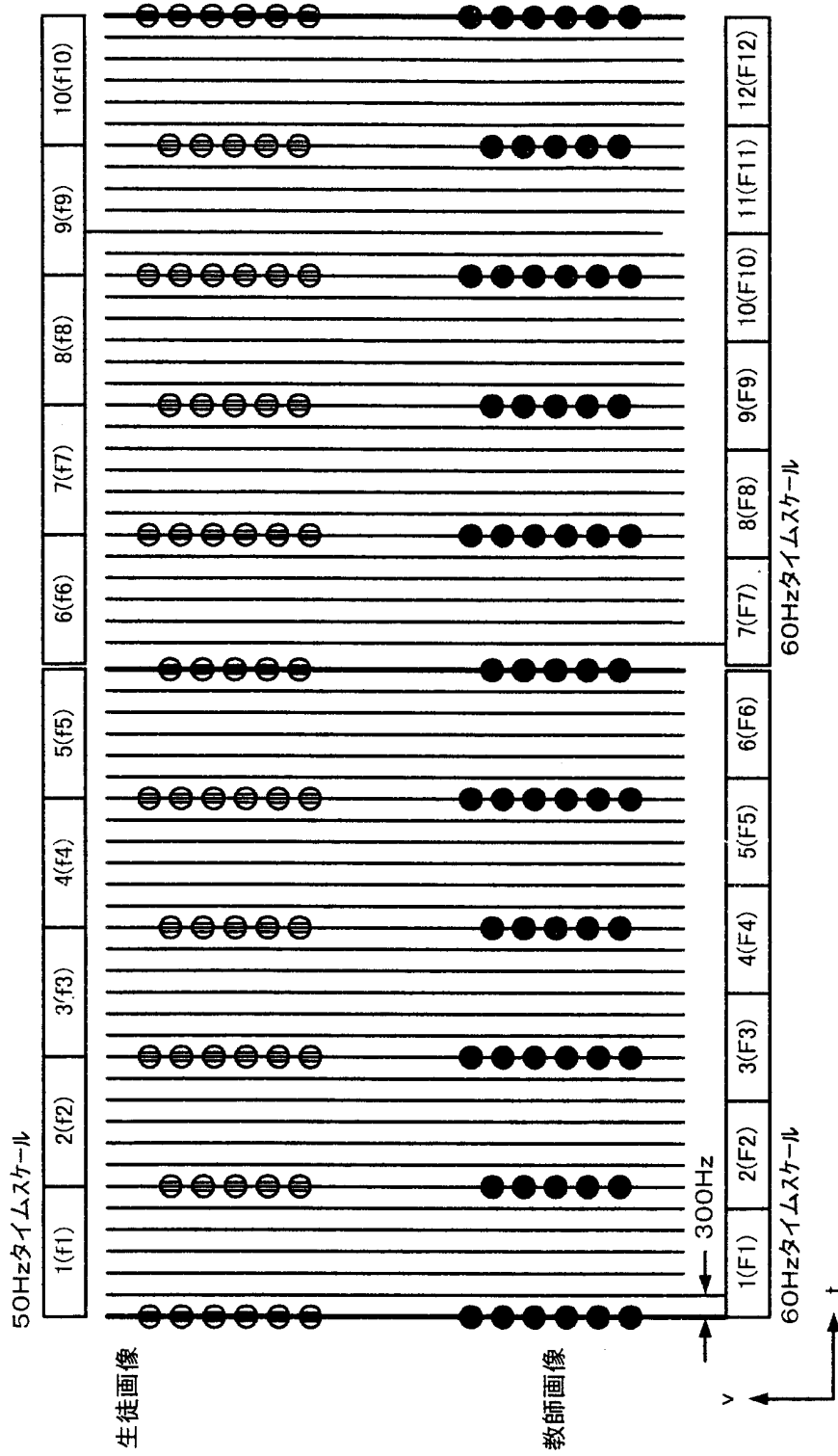


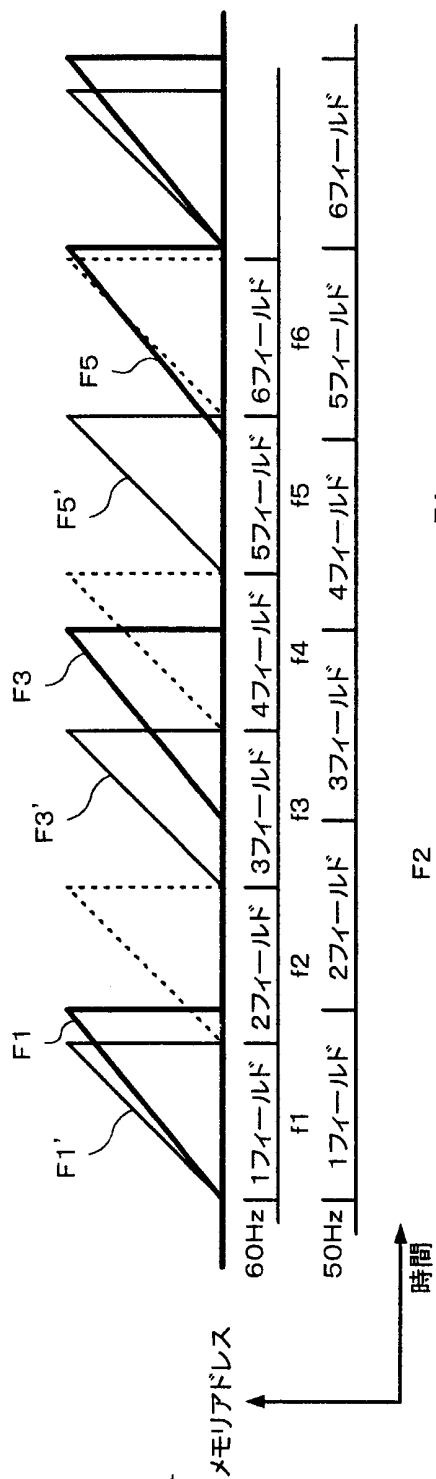
クラスタップの例

第9図

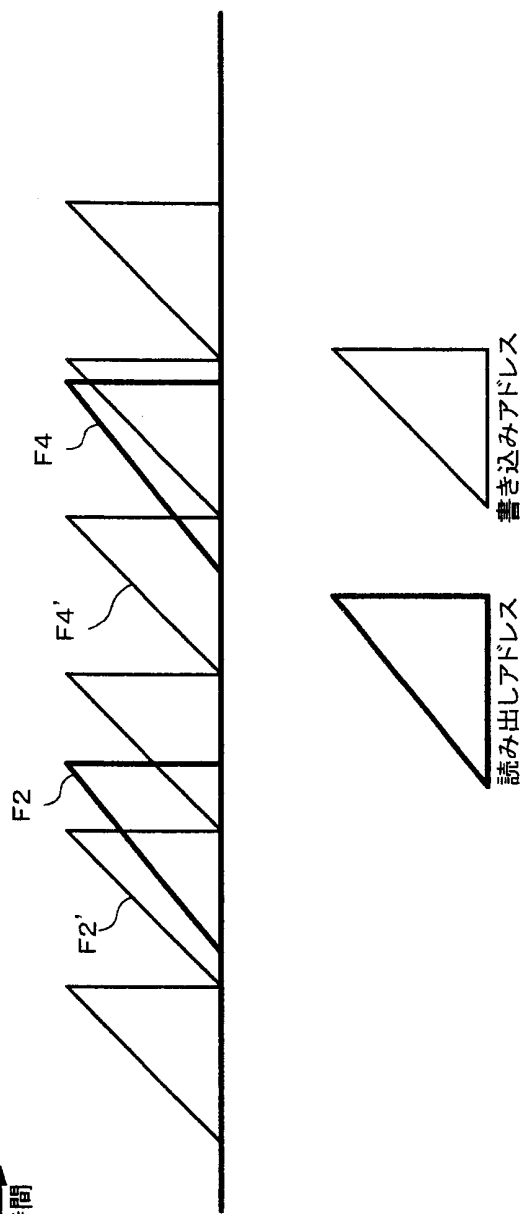


第10図





第11図A



第11図B


- 2, 1 2 クラス検出回路
- 3, 1 3 予測タップ選択回路
- 4, 1 4 予測係数メモリ
- 5, 1 5 積和演算回路
- 6 1 6 フィールドメモリ
- 7 セレクタ

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/02637

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H04N 7/01		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H04N 7/01		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000 Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 62-35788, A (Sony Corporation), 16 February, 1987 (16.02.87) (Family: none)	1-14
A	JP, 1-171372, A (NEC Corporation, NIPPON HOSO KYOKAI), 06 July, 1989 (06.07.89) & EP, 323198, A2 & US, 4891701, A1 & DE, 3884593, T	1-14
A	JP, 5-167991, A (Sony Corporation), 02 July, 1993 (02.07.93) (Family: none)	1-14
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> Sec patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 21 June, 2000 (21.06.00)		Date of mailing of the international search report 04 July, 2000 (04.07.00)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ H04N 7/01		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ H04N 7/01		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2000年 日本国登録実用新案公報 1994-2000年 日本国実用新案登録公報 1996-2000年		
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 62-35788, A (ソニー株式会社) 16. 2月. 1987 (16. 02. 87) (ファミリーなし)	1-14
A	JP, 1-171372, A (日本電気株式会社, 日本放送協会) 6. 7月. 1989 (06. 07. 89) & EP, 323198, A2&US, 4891701, A1&DE, 3884593, T	1-14
A	JP, 5-167991, A (ソニー株式会社) 2. 7月. 1993 (02. 07. 93) (ファミリーなし)	1-14
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 21. 06. 00	国際調査報告の発送日 04.07.00	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 田村 征一	5P 6942  電話番号 03-3581-1101 内線 3580