



目 1 4 番 1 号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 羽根田 雅希(HANEDA, Masaki); 〒2430014 神奈川県厚木市旭町四丁目 1 4 番 1 号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 藤井 宣年(FUJII, Nobutoshi); 〒2430014 神奈川県厚木市旭町四丁目 1 4 番 1 号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 齋藤 卓(SAITO, Suguru); 〒2430014 神奈川県厚木市旭町四丁目 1 4 番 1 号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

— 国際調査報告 (条約第21条(3))

(74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿 1 丁目 1 5 番 9 号 さわだビル 3 階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,

line comprises: a metal film which is formed of a conductive material that contains a first metal; and a barrier metal layer which partially covers the periphery of the metal film in a cross-section that is perpendicular to the first direction, while being formed of a material containing a second metal that suppresses diffusion of the first metal. The second insulating film is arranged so as to cover a part of the metal film, and contains an insulating material that suppresses diffusion of the first metal.

(57) 要約: 配線の容量の低減に適した配線構造を提供する。この半導体装置は、第 1 の方向に延在する複数の配線を有する配線層と、その配線層に積層され、第 2 の方向において隣り合う複数の配線に挟まれた間隙領域に存在する空隙を含む第 1 の絶縁膜と、複数の配線と第 1 の絶縁膜との間に設けられた第 2 の絶縁膜とを有する。配線は、第 1 の金属を含む導電性材料からなる金属膜と、第 1 の方向と直交する断面において金属膜の周囲を部分的に覆い、第 1 の金属の拡散を抑止する第 2 の金属を含む材料からなるバリアメタル層とを有する。第 2 の絶縁膜は、第 1 の金属の拡散を抑止する絶縁材料を含み、金属膜の一部を覆うように設けられている。

明 細 書

発明の名称：配線構造およびその製造方法、ならびに撮像装置
技術分野

[0001] 本開示は、例えば、配線間に空隙を有する配線構造およびこれを備えた撮像装置、ならびに配線構造の製造方法に関する。

背景技術

[0002] 撮像装置では、半導体集積回路素子の微細化に伴い、素子間および素子内を結ぶ複数の配線同士の間隔が狭くなってきている。複数の配線同士の間隔が狭まることにより、配線間の容量が増大する。そこで、例えば、特許文献1の半導体装置では、配線間に空隙（エアギャップ）を形成して配線間の容量を低減させるようにしている。

先行技術文献

特許文献

[0003] 特許文献1：特開2008-193104号公報

発明の概要

[0004] 今後、撮像装置の微細化がさらに顕著と予想されるので、配線間の容量のさらなる低減が求められている。このため、配線の容量の低減に適した配線構造および撮像装置、ならびにそれらの製造方法を提供することが望ましい。

[0005] 本開示の一実施形態としての配線構造は、第1の方向に延在する複数の配線を有する配線層と、その配線層に積層され、第1の方向と直交する第2の方向において隣り合う複数の配線に挟まれた間隙領域に存在する空隙を含む第1の絶縁膜と、複数の配線と第1の絶縁膜との間に設けられた第2の絶縁膜とを有する。ここで、配線は、第1の金属を含む第1の金属材料からなる金属膜と、第1の方向と直交する断面において金属膜の周囲を部分的に覆い、第1の金属の拡散を抑止する第2の金属材料からなるバリアメタル層とを有する。第2の絶縁膜は、第1の金属の拡散を抑止する絶縁材料を含み、金

属膜の一部を覆うように設けられている。

図面の簡単な説明

[0006] [図1]本開示の実施の形態に係る配線構造の垂直方向の断面構成の一例を表す模式図である。

[図2A]図 1 に示した配線構造の水平方向の断面構成の一例を表す模式図である。

[図2B]図 1 に示した配線構造の水平方向の断面構成の他の例を表す模式図である。

[図3A]図 1 に示した配線構造の製造過程の一例を表す断面模式図である。

[図3B]図 3 A に続く製造過程の一例を表す断面模式図である。

[図3C]図 3 B に続く製造過程の一例を表す断面模式図である。

[図3D]図 3 C に続く製造過程の一例を表す断面模式図である。

[図3E]図 3 D に続く製造過程の一例を表す断面模式図である。

[図3F]図 3 E に続く製造過程の一例を表す断面模式図である。

[図3G]図 3 F に続く製造過程の一例を表す断面模式図である。

[図3H]図 3 G に続く製造過程の一例を表す断面模式図である。

[図4]本開示の実施の形態に係る撮像素子の垂直方向の断面構成の一例を表す図である。

[図5]図 4 に示した撮像素子の概略構成の一例を表す図である。

[図6]図 4 に示した撮像素子に図 1 に示した配線構造を適用した図である。

[図7]図 5 に示したセンサ画素および読み出し回路の一例を表す図である。

[図8]図 5 に示したセンサ画素および読み出し回路の一例を表す図である。

[図9]図 5 に示したセンサ画素および読み出し回路の一例を表す図である。

[図10]図 5 に示したセンサ画素および読み出し回路の一例を表す図である。

[図11]複数の読み出し回路と複数の垂直信号線との接続態様の一例を表す図である。

[図12]図 4 に示した撮像素子の水平方向の断面構成の一例を表す図である。

[図13]図 4 に示した撮像素子の水平方向の断面構成の一例を表す図である。

[図14]図4に示した撮像素子の水平面内での配線レイアウトの一例を表す図である。

[図15]図4に示した撮像素子の水平面内での配線レイアウトの一例を表す図である。

[図16]図4に示した撮像素子の水平面内での配線レイアウトの一例を表す図である。

[図17]図4に示した撮像素子の水平面内での配線レイアウトの一例を表す図である。

[図18A]図4に示した撮像素子の製造過程の一例を表す図である。

[図18B]図18Aに続く製造過程の一例を表す図である。

[図18C]図18Bに続く製造過程の一例を表す図である。

[図18D]図18Cに続く製造過程の一例を表す図である。

[図18E]図18Dに続く製造過程の一例を表す図である。

[図18F]図18Eに続く製造過程の一例を表す図である。

[図18G]図18Fに続く製造過程の一例を表す図である。

[図19]本開示の変形例1に係る配線構造の垂直方向の断面構成の一例を表す模式図である。

[図20A]図19に示した変形例1に係る配線構造の製造工程の一例を表す断面模式図である。

[図20B]図20Aに続く製造過程の一例を表す図である。

[図20C]図20Bに続く製造過程の一例を表す図である。

[図20D]図20Cに続く製造過程の一例を表す図である。

[図21]本開示の変形例3に係る撮像素子の垂直方向の断面構成の一例を表す図である。

[図22]本開示の変形例4に係る撮像素子の垂直方向の断面構成の一例を表す図である。

[図23]本開示の変形例5に係る撮像素子の水平方向の断面構成の一例を表す図である。

[図24]本開示の変形例 5 に係る撮像素子の水平方向の断面構成の他の例を表す図である。

[図25]本開示の変形例 6 に係る撮像素子の水平方向の断面構成の一例を表す図である。

[図26]本開示の変形例 7 に係る撮像素子の水平方向の断面構成の一例を表す図である。

[図27]本開示の変形例 8 に係る撮像素子の水平方向の断面構成の一例を表す図である。

[図28]本開示の変形例 8 に係る撮像素子の水平方向の断面構成の他の例を表す図である。

[図29]本開示の変形例 8 に係る撮像素子の水平方向の断面構成の他の例を表す図である。

[図30]本開示の変形例 9 に係る撮像素子に撮像素子の回路構成の一例を表す図である。

[図31]本開示の変形例 10 に係る図 30 の撮像素子を 3 つの基板を積層して構成した例を表す図である。

[図32]本開示の変形例 11 に係るロジック回路を、センサ画素の設けられた基板と、読み出し回路の設けられた基板とに分けて形成した例を表す図である。

[図33]本開示の変形例 12 に係るロジック回路を、第 3 基板に形成した例を表す図である。

[図34]上記実施の形態およびその変形例に係る撮像素子を備えた撮像システムの概略構成の一例を表す図である。

[図35]図 34 の撮像システムにおける撮像手順の一例を表す図である。

[図36]非積層型の固体撮像素子および本開示に係る技術を適用し得る積層型の固体撮像素子の構成例の概要を示す図である。

[図37]積層型の固体撮像素子の第 1 の構成例を示す断面図である。

[図38]積層型の固体撮像素子の第 2 の構成例を示す断面図である。

[図39]積層型の固体撮像素子の第3の構成例を示す断面図である。

[図40]本開示に係る技術を適用し得る積層型の固体撮像素子の他の構成例を示す断面図である。

[図41]車両制御システムの概略的な構成の一例を示すブロック図である。

[図42]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

[図43]内視鏡手術システムの概略的な構成の一例を示す図である。

[図44]カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

発明を実施するための形態

[0007] 上述したように、高集積化された半導体装置では、複数の配線同士の間隔が狭まることにより、配線間の容量が増大する。配線間の容量の増大は、半導体装置やそれを搭載したデバイスにおける信号遅延を招き、処理動作の高速化および消費電力の低減を図るうえで妨げとなるおそれがある。本開示はこの問題に鑑みてなされたものであり、配線間の容量を低減し、処理性能の向上を実現可能な半導体装置および撮像装置、ならびにそれらの製造方法を提供することを目的としている。

[0008] 以下、本開示における一実施形態について、図面を参照して詳細に説明する。以下の説明は本開示の一具体例であって、本開示は以下の態様に限定されるものではない。また、本開示は、各図に示す各構成要素の配置や寸法、寸法比等についても、それらに限定されるものではない。なお、説明する順序は、下記の通りである。

1. 実施の形態（第1の方向にそれぞれ延在するとともに第2の方向において隣り合う複数の配線の金属膜の側面を覆うバリアメタル層の一部を除去するようにした配線構造およびそれを備えた撮像素子の例）

1-1. 配線構造の構成

1-2. 配線構造の製造方法

1-3. 撮像素子の構成

1-4. 撮像素子の製造方法

1-5. 作用・効果

2. 変形例

2-1. 変形例1（一部の配線において金属膜の側面を覆うバリアメタル層を全て除去するようにした配線構造およびその製造方法の例。）

2-2. 変形例2（一部の配線において金属膜の側面を覆うバリアメタル層を全て除去するようにした配線構造の製造方法の他の例。）

2-3. 変形例3（平面型T Gを用いた例）

2-4. 変形例4（パネル外縁でCu-Cu接合を用いた例）

2-5. 変形例5（センサ画素と読み出し回路との間にオフセットを設けた例）

2-6. 変形例6（読み出し回路の設けられたシリコン基板が島状となっている例）

2-7. 変形例7（読み出し回路の設けられたシリコン基板が島状となっている例）

2-8. 変形例8（FDを8つのセンサ画素で共有した例）

2-9. 変形例9（カラム信号処理回路を一般的なカラムADC回路で構成した例）

2-10. 変形例10（撮像装置を、7つの基板を積層して構成した例）

2-11. 変形例11（ロジック回路を第1基板、第2基板に設けた例）

2-12. 変形例12（ロジック回路を第7基板に設けた例）

3. 適用例

4. 応用例

[0009] <1. 一実施の形態>

[1. 1 配線構造100の構成]

図1は、本開示の一実施の形態に係る配線構造100の垂直方向の断面構成の一例を模式的に表したものである。図2Aは、図1に示した配線構造100の水平方向の断面構成の一例を模式的に表したものである。図2Bは、

図1に示した配線構造100の水平方向の断面構成の他の例を模式的に表したものである。図1は、図2Aに示したI-I線に沿った矢視方向の断面を表している。配線構造100は、例えば、複数の配線層が積層された多層配線構造を有し、例えば、後述する撮像素子1に適用可能である。

[0010] 本実施の形態の配線構造100は、例えばケイ素(Si)基板等の上に、第1層110と第2層120とが順に積層された構成を有する。第1層110は、第1の方向(例えばY軸方向)に延伸する複数の配線112X(112X1~112X6)を含む配線層112を有する。第2層120は、配線層112に積層された絶縁膜123と、その絶縁膜123を覆い、例えば平坦な表面を含む絶縁膜124とを有している。絶縁膜123は、第1の方向と直交する第2の方向(X軸方向)において隣り合う複数の配線112Xに挟まれた間隙領域Rに存在する空隙AGを含んでいる。

[0011] 絶縁膜123は、例えば、隣り合う配線112X2と配線112X3との間、配線112X3と配線112X4との間、および配線112X4と配線112X5との間に、それぞれ空隙AGを形成している。さらに、複数の配線112X1~112X6の少なくとも一部(例えば、図1では、配線112X1~112X4)と正対する位置には、絶縁膜123および絶縁膜124を挟むようにして、導電膜127(具体的には、導電膜127X1)が設けられている。導電膜127は、例えば、空隙AGが形成された空隙形成領域100Xの上方に設けられた導電膜127X1と、空隙AGが形成されていない配線(例えば、配線112X6)の上方に設けられた導電膜127X2とを有する。

[0012] 第1層110では、複数の配線112X(112X1~112X6)が絶縁膜111に埋め込まれるように形成されている。絶縁膜111は、例えば、3.0以下の比誘電率(k)を有する低誘電率材料(Low-k材料)を用いて形成されている。具体的には、絶縁膜111の材料としては、例えば、SiOC、SiOCH、ポーラスシリカ、SiOF、無機SOG、有機SOGおよびポリアリルエーテル等の有機高分子等が挙げられる。

[0013] 配線層 1 1 2 における配線 1 1 2 X 1 ~ 1 1 2 X 6 は、例えば Y 軸方向にそれぞれ延在し、X 軸方向に隣り合うように配列されている。配線 1 1 2 X 1 ~ 1 1 2 X 6 は、例えば、絶縁膜 1 1 1 に設けられた凹部 H 1 に埋め込み形成されており、例えば、凹部 H 1 の側面および底面に沿って形成されたバリアメタル層 1 1 2 A と、凹部 H 1 を充填するようにバリアメタル層 1 1 2 A 上に形成された金属膜 1 1 2 B とから構成されている。金属膜 1 1 2 B は、第 1 の金属を含む高導電性材料からなる導線である。第 1 の金属としては、例えば銅 (C u) , タングステン (W) またはアルミニウム (A l) 等の低抵抗金属が挙げられる。バリアメタル層 1 1 2 A は、いわゆるバリアメタルと呼ばれるものであり、金属膜 1 1 2 B を構成する第 1 の金属の拡散を抑制するものである。バリアメタル層 1 1 2 A は、例えば、チタン (T i) またはタンタル (T a) などの第 2 の金属を含む材料からなる。より具体的には、バリアメタル層 1 1 2 A の構成材料としては、例えば、T i もしくは T a の単体、またはそれらの窒化物、酸化物もしくは合金等が挙げられる。さらには、ルテニウム (R u) やニオブ (N b) などを用いてバリアメタル層 1 1 2 A を構成してもよい。なお、配線 1 1 2 X 2 ~ 1 1 2 X 5 における金属膜 1 1 2 B の側面 1 1 2 W の一部がバリアメタル層 1 1 2 A に覆われずに絶縁膜 1 2 2 により覆われている。また、配線 1 1 2 X 2 および配線 1 1 2 X 5 における各金属膜 1 1 2 B の上面には、凹部 H 2 を形成する際に生じる段差部 S T がそれぞれ形成されている。それらの段差部 S T は絶縁膜 1 2 2 により覆われている。また、金属膜 1 1 2 B の導電率は、バリアメタル層 1 1 2 A の導電率よりも高いことが望ましい。

[0014] 第 1 層 1 1 0 には、さらに、隣り合う配線の間、具体的には、例えば、配線 1 1 2 X 2 と配線 1 1 2 X 3 との間の絶縁膜 1 1 1、配線 1 1 2 X 3 と配線 1 1 2 X 4 との間の絶縁膜 1 1 1、および配線 1 1 2 X 4 と配線 1 1 2 X 5 との間の絶縁膜 1 1 1 に、凹部 H 2 がそれぞれ設けられている。

[0015] 第 2 層 1 2 0 は、複数の絶縁膜 1 2 1 ~ 1 2 6 が積層されると共に、例えば、最上層の絶縁膜 1 2 6 に導電膜 1 2 7 が埋め込み形成されている。具体

的には、第1層110側から順に、絶縁膜121、絶縁膜122、絶縁膜123、絶縁膜124、絶縁膜125および絶縁膜126がこの順に積層されている。配線112X2と配線112X3との間、配線112X3と配線112X4、および配線112X4と配線112X5との間に各々設けられた凹部H2は、いずれも絶縁膜123によって閉塞されている。これにより、配線112X2と配線112X3との間、配線112X3と配線112X4との間、および配線112X4と配線112X5との間には、それぞれ、並走する配線112X間の容量を低下させる空隙AGが形成されている。空隙AGは、例えば、図2Aおよび図2Bに示した空隙形成領域100Xにおいて、配線112X2と配線112X3との間、配線112X3と配線112X4との間、および配線112X4と配線112X5との間の間隙領域Rのうちの一部または全部に亘って形成されている。

[0016] 絶縁膜121は、配線112X1～112X6の構成元素である第1の金属（例えば、銅（Cu））が配線112X1～112X6の周囲に拡散するのを防ぐものである。絶縁膜121は、絶縁膜111を覆うように設けられている。ただし、凹部H2には絶縁膜121が設けられていない。また、絶縁膜121は、配線112X2の上面の一部および配線112X5の上面の一部を覆うように設けられていてもよい。絶縁膜121は、例えば、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）またはSiC_xN_y等を用いて形成されている。

[0017] 絶縁膜122は、絶縁膜121と同様に、配線112X2～112X6の構成元素である第1の金属（例えば、銅（Cu））が配線112X2～112X6の周囲に拡散するのを防ぐものである。絶縁膜122は、絶縁膜121および配線112X2～112X6の上に設けられ、さらに、凹部H2の側面および底面を覆うように延在形成されている。また、絶縁膜122は、配線112X2～112X5における金属膜112Bの一部、例えば側面112Wと接するように設けられている。絶縁膜122は、上記のように、銅（Cu）の拡散を防ぐ絶縁材料を、段差被覆性に優れた製法を用いることで

形成することができる。具体的には、絶縁膜122は、例えば、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)または SiC_xN_y 等を、例えば、ALD (Atomic Layer Deposition) 法を用いて形成されている。

[0018] 絶縁膜123は、絶縁膜122上に設けられると共に、凹部H2内に形成された空隙AGを含んでいる。絶縁膜123は、被覆性が低く、例えば、比誘電率(k)が3.0以下のLow- k 材料を用いて形成されている。具体的には、絶縁膜132Aの材料としては、例えば、 SiOC 、 SiOCH 、ポラスシリカ、 SiOF 、無機SOG、有機SOGおよびポリアリルエーテル等の有機高分子等が挙げられる。

[0019] 絶縁膜124は、絶縁膜123上に設けられ、絶縁膜123の、空隙AGの上方の凹凸を埋め、空隙AGの上方に、Cu-Cu接合等のハイブリッドボンディングを用いたデバイスの積層が可能な平坦な表面を有している。絶縁膜124の材料としては、例えば、絶縁膜123よりも研磨レートが高く、例えば、比誘電率(k)が4.0付近となる材料を用いることが好ましい。このような材料としては、例えば、酸化シリコン(SiO_x)、 SiOC 、 SiOF および SiON 等が挙げられる。なお、絶縁膜124は、上記材料のいずれか1種からなる単層膜でもよいし、2種以上からなる積層膜として形成されていてもよい。

[0020] 絶縁膜125は、導電膜127を成膜した際に生じる応力による反りを低減するために設けられている。絶縁膜125は、例えば、CVD (Chemical vapor deposition) 法によって成膜される。絶縁膜125の構成材料としては、例えば、比誘電率(k)が7.0以上となる、例えば、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)等が挙げられる。

[0021] 絶縁膜126は、絶縁膜125上に設けられ、他の部材との接合面、例えば後述する撮像素子1の第2基板20と第3基板30との接合面を形成するものである。絶縁膜126の構成材料としては、接合面の平坦化を容易とするため、例えば、絶縁膜123よりも研磨レートが高く、例えば、比誘電率(k)が4.0付近となる材料を用いることが好ましい。このような材料と

しては、例えば、酸化シリコン (SiO_x)、 SiOC 、 SiOF および SiON 等が挙げられる。なお、絶縁膜126は、上記材料のいずれか1種からなる単層膜でもよいし、2種以上からなる積層膜として形成されていてもよい。

[0022] 導電膜127は、例えば、一方向に延伸する配線112X1～112X6を有する配線層112の直上に設けられる配線であり、例えば、絶縁膜126を貫通して絶縁膜125に至るまで厚さ方向（Z軸方向）に延びる凹部H3に埋め込み形成されている。導電膜127の上面の高さ位置は例えば絶縁膜126の上面の高さ位置とほぼ一致しており、導電膜127の上面と絶縁膜126の上面とが共通の平面を形成している。導電膜127は、複数の導電膜（例えば、導電膜127X1および導電膜127X2）を有し、少なくとも一部の導電膜127は、Y軸方向に延伸すると共に、配線112X1～112X6の少なくとも一部と正対するように設けられている。一例として、図1では、導電膜127X1が、例えば、X軸方向において空隙AGを挟んで並ぶ配線112X2～112X4と正対する位置に、例えばY軸方向に延在して形成されている。また、凹部H3内には、絶縁膜121～絶縁膜125を貫通し、配線112X1まで達する凹部H4が設けられている。導電膜127X1は、凹部H4内にも埋め込まれており、配線112X1と電氣的に接続されている。

[0023] 導電膜127は、凹部H3および凹部H4の側面および底面に形成されたバリアメタル127Aと、開口H3および開口H4を埋設する金属膜127Bとから構成されている。バリアメタル127Aの材料としては、例えば、チタン（Ti）もしくはタンタル（Ta）の単体、またはそれらの窒化物やあるいは合金等が挙げられる。金属膜127Bの材料としては、例えば、銅（Cu）、タングステン（W）またはアルミニウム（Al）等の低抵抗金属を主体とする金属材料が挙げられる。

[0024] [1-2. 配線構造100の製造方法]

次に、図1に加えて図3A～3Hを参照して、配線構造100の製造方法

について説明する。

- [0025] まず、絶縁膜 1 1 1 に配線 1 1 2 X 1 ~ 1 1 2 X 6 を含む配線層 1 1 2 を埋め込み形成したのち、例えばCMP (Chemical Mechanical Polishing) 法を用いて表面を研磨することで第 1 層 1 1 0 を形成する。
- [0026] 続いて、図 3 A に示したように、第 1 層 1 1 0 上に、例えば、PVD (Physical Vapor Deposition) 法またはCVD (Chemical Vapor Deposition) 法を用いて、絶縁膜 1 2 1 を、例えば 5 nm ~ 250 nm の厚みとなるように成膜する。
- [0027] 次に、図 3 B に示したように、フォトリソグラフィ技術を用いて、配線 1 2 1 X 2 ~ 配線 1 1 2 X 5 に対応する位置に開口を有するレジスト膜 1 3 1 を、絶縁膜 1 2 1 上に形成する。
- [0028] 続いて、図 3 C に示したように、レジスト膜 1 3 1 に覆われることなく露出した絶縁膜 1 2 1、配線 1 1 2 X 2 ~ 1 1 2 X 5 の一部および絶縁膜 1 1 1 を、例えばドライエッチングにより選択的に掘り下げ、間隙領域 R に凹部 H 2 を形成する。
- [0029] さらに、図 3 D に示したように、例えばウェットエッチングにより、金属膜 1 1 2 B の側面 1 1 2 W を覆うバリアメタル層 1 1 2 A のうち凹部 H 2 に露出した部分を選択的に除去し、金属膜 1 1 2 B の側面 1 1 2 W の少なくとも一部を露出させる。この際、金属膜 1 1 2 B および絶縁膜 1 1 1 を除去しにくく、バリアメタル層 1 1 2 A を除去しやすい薬液を使用するとよい。金属膜 1 1 2 B が Cu からなる場合、例えばバリアメタル層 1 1 2 A を除去する薬液として、フッ化水素酸 (HF)、硝酸 (HNO₃)、水酸化カリウム (KOH) に過酸化水素を加えた水溶液、水酸化カリウム (KOH) に過酸化水素を加えた水溶液、水酸化アンモニウム (NH₄OH) に過酸化水素を加えた水溶液、水酸化テトラメチルアンモニウム (TMAH)、または、アミン系などの有機化合物に過酸化水素を加えた水溶液などが挙げられる。
- [0030] 次に、レジスト膜 1 3 1 を除去したのち、図 3 E に示したように、例えば、ALD 法を用いて、絶縁膜 1 2 1、ならびに凹部 H 2 に露出した金属膜 1

1 2 Bおよび絶縁膜 1 1 1 を被覆するように、絶縁膜 1 2 2 を例えば 0. 5 nm ~ 1 5 nm の厚みで成膜する。

[0031] そののち、図 3 F に示したように、例えば C V D 法を用いて、例えば S i O C あるいは窒化シリコンからなる、例えば膜厚 1 0 0 nm ~ 5 0 0 nm の絶縁膜 1 2 3 を成膜する。これにより、凹部 H 2 は閉塞され、配線 1 1 2 X 2 と配線 1 1 2 X 3 との間、配線 1 1 2 X 3 と配線 1 1 2 X 4 との間、および配線 1 1 2 X 4 と配線 1 1 2 X 5 との間にそれぞれ空隙 A G が形成される。

[0032] 次に、図 3 G に示したように、絶縁膜 1 2 3 上に、例えば C V D 法を用いて、例えば S i O_x からなる、膜厚 2 0 0 nm ~ 3 0 0 nm の絶縁膜 1 2 4 を成膜する。そののち、図 3 H に示したように、例えば C M P 法を用いて絶縁膜 1 2 4 を研磨し、表面を平坦化する。

[0033] 次に、例えば、C V D 法を用いて、絶縁膜 1 2 4 上に絶縁膜 1 2 5 を、例えば、5 0 nm ~ 5 0 0 nm の厚みで成膜したのち、例えば C V D 法により、絶縁膜 1 2 5 上に絶縁膜 1 2 6 を、例えば、1 0 0 nm ~ 2 μm の厚みで成膜する。続いて、凹部 H 2 と同様の方法を用いて、絶縁膜 1 2 6 および絶縁膜 1 2 5 の一部を例えばドライエッチングにより掘り下げることにより凹部 H 3 を形成したのち、凹部 H 3 内に、絶縁膜 1 2 1 ~ 絶縁膜 1 2 5 を貫通して配線 1 1 2 X 1 まで達する凹部 H 4 を形成する。さらに、例えば、スパッタを用いて凹部 H 3 および凹部 H 4 の側面および底面にバリアメタル 1 2 7 A を成膜したのち、例えば、メッキを用いて凹部 H 3 および凹部 H 4 内に、金属膜 1 2 7 B を成膜する。最後に、絶縁膜 1 2 6 上に形成されたバリアメタル 1 2 7 A および金属膜 1 2 7 B を研磨して除去し、絶縁膜 1 2 6 の上面および導電膜 1 2 7 の上面が同一平面を構成する平坦面を形成する。以上により、図 1 に示した配線構造 1 0 0 が完成する。

[0034] [1 - 3. 撮像素子 1 の構成]

図 4 は、本開示の一実施の形態に係る撮像素子 1 の垂直方向の断面構成の一例を表したものである。図 5 は、図 4 に示した撮像素子 1 の概略構成の一

例を表したものである。撮像素子1は、例えば第1基板10と、第2基板20と、第3基板30とが順に積層された3次元構造を有する。第1基板10は、光電変換により電荷を生成可能なセンサ画素12が設けられた第1半導体基板を含む。第2基板20は、センサ画素12から出力された電荷に基づく画素信号を出力可能な読み出し回路22を有する半導体基板21を含む。第3基板30は、読み出し回路22からの画素信号を処理するロジック回路32を有する半導体基板31を含む。先に説明した図1の配線構造100は、例えば、図6に示したように、第3基板30と接合される第2基板20の接合面近傍の配線構造に適用され得る。

[0035] 第1基板10は、上記のように、半導体基板11に、光電変換を行う複数のセンサ画素12を有している。半導体基板11は、本開示の「第1半導体基板」の一具体例に相当する。複数のセンサ画素12は、第1基板10における画素領域13内に行列状に設けられている。第2基板20は、半導体基板21に、センサ画素12から出力された電荷に基づく画素信号を出力する読み出し回路22を4つのセンサ画素12ごとに1つずつ有している。半導体基板21は、本開示の「第2半導体基板」の一具体例に相当する。第2基板20は、行方向に延在する複数の画素駆動線23と、列方向に延在する複数の垂直信号線24とを有している。第3基板30は、半導体基板31に、画素信号を処理するロジック回路32を有している。半導体基板31は、本開示の「第3半導体基板」の一具体例に相当する。ロジック回路32は、例えば、垂直駆動回路33、カラム信号処理回路34、水平駆動回路35およびシステム制御回路36を有している。ロジック回路32（具体的には水平駆動回路35）は、センサ画素12ごとの出力電圧 V_{out} を外部に出力する。ロジック回路32では、例えば、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、 $CoSi_2$ や $NiSi$ 等のシリサイド (Self Aligned Silicide) プロセスを用いて形成されたシリサイドからなる低抵抗領域が形成されていてもよい。

[0036] 垂直駆動回路33は、例えば、複数のセンサ画素12を行単位で順に選択

する。カラム信号処理回路 34 は、例えば、垂直駆動回路 33 によって選択された行の各センサ画素 12 から出力される画素信号に対して、相関二重サンプリング (Correlated Double Sampling : CDS) 処理を施す。カラム信号処理回路 34 は、例えば、CDS 処理を施すことにより、画素信号の信号レベルを抽出し、各センサ画素 12 の受光量に応じた画素データを保持する。水平駆動回路 35 は、例えば、カラム信号処理回路 34 に保持されている画素データを順次、外部に出力する。システム制御回路 36 は、例えば、ロジック回路 32 内の各ブロック (垂直駆動回路 33、カラム信号処理回路 34 および水平駆動回路 35) の駆動を制御する。

[0037] 図 7 は、センサ画素 12 および読み出し回路 22 の一例を表したものである。以下では、図 7 に示したように、4 つのセンサ画素 12 が 1 つの読み出し回路 22 を共有している場合について説明する。ここで、「共有」とは、4 つのセンサ画素 12 の出力が共通の読み出し回路 22 に入力されることを指している。

[0038] 各センサ画素 12 は、互いに共通の構成要素を有している。図 7 には、各センサ画素 12 の構成要素を互いに区別するために、各センサ画素 12 の構成要素の符号の末尾に識別番号 (1, 2, 3, 4) が付与されている。以下では、各センサ画素 12 の構成要素を互いに区別する必要がある場合には、各センサ画素 12 の構成要素の符号の末尾に識別番号を付与するが、各センサ画素 12 の構成要素を互いに区別する必要のない場合には、各センサ画素 12 の構成要素の符号の末尾の識別番号を省略するものとする。

[0039] 各センサ画素 12 は、例えば、フォトダイオード PD と、フォトダイオード PD と電氣的に接続された転送トランジスタ TR と、転送トランジスタ TR を介してフォトダイオード PD から出力された電荷を一時的に保持するフローティングディフュージョン FD とを有している。フォトダイオード PD は、光電変換を行って受光量に応じた電荷を発生する。フォトダイオード PD のカソードが転送トランジスタ TR のソースに電氣的に接続されており、フォトダイオード PD のアノードが基準電位線 (例えばグラウンド) に電気

的に接続されている。転送トランジスタTRのドレインがフローティングディフュージョンFDに電氣的に接続され、転送トランジスタTRのゲートは画素駆動線23に電氣的に接続されている。転送トランジスタTRは、例えば、CMOS (Complementary Metal Oxide Semiconductor) トランジスタである。

[0040] 1つの読み出し回路22を共有する各センサ画素12のフローティングディフュージョンFDは、互いに電氣的に接続されると共に、共通の読み出し回路22の入力端に電氣的に接続されている。読み出し回路22は、例えば、リセットトランジスタRSTと、選択トランジスタSELと、増幅トランジスタAMPとを有している。なお、選択トランジスタSELは、必要に応じて省略してもよい。リセットトランジスタRSTのソース（読み出し回路22の入力端）がフローティングディフュージョンFDに電氣的に接続されており、リセットトランジスタRSTのドレインが電源線VDDおよび増幅トランジスタAMPのドレインに電氣的に接続されている。リセットトランジスタRSTのゲートは画素駆動線23に電氣的に接続されている。増幅トランジスタAMPのソースが選択トランジスタSELのドレインに電氣的に接続されており、増幅トランジスタAMPのゲートがリセットトランジスタRSTのソースに電氣的に接続されている。選択トランジスタSELのソース（読み出し回路22の出力端）が垂直信号線24に電氣的に接続されており、選択トランジスタSELのゲートが画素駆動線23に電氣的に接続されている。

[0041] 転送トランジスタTRは、転送トランジスタTRがオン状態となると、フォトダイオードPDの電荷をフローティングディフュージョンFDに転送する。転送トランジスタTRのゲート（転送ゲートTG）は、例えば、図4に示したように、半導体基板11の表面からpウェル層42を貫通してPD41に達する深さまで延在している。リセットトランジスタRSTは、フローティングディフュージョンFDの電位を所定の電位にリセットする。リセットトランジスタRSTがオン状態となると、フローティングディフュージョ

ンFDの電位を電源線VDDの電位にリセットする。選択トランジスタSELは、読み出し回路22からの画素信号の出力タイミングを制御する。増幅トランジスタAMPは、画素信号として、フローティングディフュージョンFDに保持された電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタAMPは、ソースフォロア型のアンプを構成しており、フォトダイオードPDで発生した電荷のレベルに応じた電圧の画素信号を出力するものである。増幅トランジスタAMPは、選択トランジスタSELがオン状態となると、フローティングディフュージョンFDの電位を増幅して、その電位に応じた電圧を、垂直信号線24を介してカラム信号処理回路34に出力する。リセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELは、例えば、CMOSTランジスタである。

[0042] なお、図8に示したように、選択トランジスタSELが、電源線VDDと増幅トランジスタAMPとの間に設けられていてもよい。この場合、リセットトランジスタRSTのドレインが電源線VDDおよび選択トランジスタSELのドレインに電氣的に接続されている。選択トランジスタSELのソースが増幅トランジスタAMPのドレインに電氣的に接続されており、選択トランジスタSELのゲートが画素駆動線23に電氣的に接続されている。増幅トランジスタAMPのソース（読み出し回路22の出力端）が垂直信号線24に電氣的に接続されており、増幅トランジスタAMPのゲートがリセットトランジスタRSTのソースに電氣的に接続されている。また、図9および図10に示したように、FD転送トランジスタFDGが、リセットトランジスタRSTのソースと増幅トランジスタAMPのゲートとの間に設けられていてもよい。

[0043] FD転送トランジスタFDGは、変換効率を切り替える際に用いられる。一般に、暗い場所での撮影時には画素信号が小さい。 $Q = CV$ に基づき、電荷電圧変換を行う際に、フローティングディフュージョンFDの容量（FD容量C）が大きければ、増幅トランジスタAMPで電圧に変換した際のVが小さくなってしまう。一方、明るい場所では、画素信号が大きくなるので、

F D 容量Cが大きくなければ、フローティングディフュージョンF Dで、フォトダイオードP Dの電荷を受けきれない。さらに、増幅トランジスタA M Pで電圧に変換した際のVが大きくなりすぎないように（言い換えると、小さくなるように）、F D 容量Cが大きくなっている必要がある。これらを踏まえると、F D 転送トランジスタF D Gをオンにしたときには、F D 転送トランジスタF D G分のゲート容量が増えるので、全体のF D 容量Cが大きくなる。一方、F D 転送トランジスタF D Gをオフにしたときには、全体のF D 容量Cが小さくなる。このように、F D 転送トランジスタF D Gをオンオフ切り替えることで、F D 容量Cを可変にし、変換効率を切り替えることができる。

[0044] 図11は、複数の読み出し回路22と、複数の垂直信号線24との接続態様の一例を表したものである。複数の読み出し回路22が、垂直信号線24の延在方向（例えば列方向）に並んで配置されている場合、複数の垂直信号線24は、読み出し回路22ごとに1つずつ割り当てられていてもよい。例えば、図11に示したように、4つの読み出し回路22が、垂直信号線24の延在方向（例えば列方向）に並んで配置されている場合、4つの垂直信号線24が、読み出し回路22ごとに1つずつ割り当てられていてもよい。なお、図11では、各垂直信号線24を区別するために、各垂直信号線24の符号の末尾に識別番号（1，2，3，4）が付与されている。

[0045] 次に、撮像素子1の垂直方向の断面構成について図4を用いて説明する。撮像素子1は、上記のように、第1基板10、第2基板20および第3基板30がこの順に積層された構成を有し、さらに、第1基板10の裏面（光入射面）側に、カラーフィルタ40および受光レンズ50を備えている。カラーフィルタ40および受光レンズ50は、それぞれ、例えば、センサ画素12ごとに1つずつ設けられている。つまり、撮像素子1は、裏面照射型の撮像素子である。

[0046] 第1基板10は、半導体基板11の表面（面11S1）上に絶縁層46を積層して構成されている。第1基板10は、層間絶縁膜51の一部として、

絶縁層 4 6 を有している。絶縁層 4 6 は、半導体基板 1 1 と、後述の半導体基板 2 1 との間に設けられている。半導体基板 1 1 は、シリコン基板で構成されている。半導体基板 1 1 は、例えば、表面の一部およびその近傍に、p ウェル層 4 2 を有しており、それ以外の領域（p ウェル層 4 2 よりも深い領域）に、p ウェル層 4 2 とは異なる導電型の P D 4 1 を有している。p ウェル層 4 2 は、p 型の半導体領域で構成されている。P D 4 1 は、p ウェル層 4 2 とは異なる導電型（具体的には n 型）の半導体領域で構成されている。半導体基板 1 1 は、p ウェル層 4 2 内に、p ウェル層 4 2 とは異なる導電型（具体的には n 型）の半導体領域として、フローティングディフュージョン F D を有している。

[0047] 第 1 基板 1 0 は、フォトダイオード P D、転送トランジスタ T R およびフローティングディフュージョン F D をセンサ画素 1 2 ごとに有している。第 1 基板 1 0 は、半導体基板 1 1 の面 1 1 S 1 側（光入射面側とは反対側、第 2 基板 2 0 側）の一部に、転送トランジスタ T R およびフローティングディフュージョン F D が設けられた構成となっている。第 1 基板 1 0 は、各センサ画素 1 2 を分離する素子分離部 4 3 を有している。素子分離部 4 3 は、半導体基板 1 1 の法線方向（半導体基板 1 1 の表面に対して垂直な方向）に延在して形成されている。素子分離部 4 3 は、互いに隣接する 2 つのセンサ画素 1 2 の間に設けられている。素子分離部 4 3 は、互いに隣接するセンサ画素 1 2 同士を電氣的に分離する。素子分離部 4 3 は、例えば、酸化シリコンによって構成されている。素子分離部 4 3 は、例えば、半導体基板 1 1 を貫通している。第 1 基板 1 0 は、例えば、さらに、素子分離部 4 3 の側面であって、且つ、フォトダイオード P D 側の面に接する p ウェル層 4 4 を有している。p ウェル層 4 4 は、フォトダイオード P D とは異なる導電型（具体的には p 型）の半導体領域で構成されている。第 1 基板 1 0 は、例えば、さらに、半導体基板 1 1 の裏面（面 1 1 S 2、他の面）に接する固定電荷膜 4 5 を有している。固定電荷膜 4 5 は、半導体基板 1 1 の受光面側の界面準位に起因する暗電流の発生を抑制するため、負に帯電している。固定電荷膜 4 5

は、例えば、負の固定電荷を有する絶縁膜によって形成されている。そのような絶縁膜の材料としては、例えば、酸化ハフニウム、酸化ジルコン、酸化アルミニウム、酸化チタンまたは酸化タンタルが挙げられる。固定電荷膜45が誘起する電界により、半導体基板11の受光面側の界面にホール蓄積層が形成される。このホール蓄積層によって、界面からの電子の発生が抑制される。カラーフィルタ40は、半導体基板11の裏面側に設けられている。カラーフィルタ40は、例えば、固定電荷膜45に接して設けられており、固定電荷膜45を介してセンサ画素12と対向する位置に設けられている。受光レンズ50は、例えば、カラーフィルタ40に接して設けられており、カラーフィルタ40および固定電荷膜45を介してセンサ画素12と対向する位置に設けられている。

[0048] 第2基板20は、半導体基板21上に絶縁層52を積層して構成されている。絶縁層52は、第2基板20は、層間絶縁膜51の一部として、絶縁層52を有している。絶縁層52は、半導体基板21と、半導体基板31との間に設けられている。半導体基板21は、シリコン基板で構成されている。第2基板20は、4つのセンサ画素12ごとに、1つの読み出し回路22を有している。第2基板20は、半導体基板21の表面（第3基板30と対向する面21S1、一の面）側の一部に読み出し回路22が設けられた構成となっている。第2基板20は、半導体基板11の表面（面11S1）に対して半導体基板21の裏面（面21S2）を向けて第1基板10に貼り合わされている。つまり、第2基板20は、第1基板10に、フェイストゥバックで貼り合わされている。第2基板20は、さらに、半導体基板21と同一の層内に、半導体基板21を貫通する絶縁層53を有している。第2基板20は、層間絶縁膜51の一部として、絶縁層53を有している。絶縁層53は、後述の貫通配線54の側面を覆うように設けられている。

[0049] 第1基板10および第2基板20からなる積層体は、層間絶縁膜51と、層間絶縁膜51内に設けられた貫通配線54を有している。上記積層体は、センサ画素12ごとに、1つの貫通配線54を有している。貫通配線54は

、半導体基板 2 1 の法線方向に延びており、層間絶縁膜 5 1 のうち、絶縁層 5 3 を含む箇所を貫通して設けられている。第 1 基板 1 0 および第 2 基板 2 0 は、貫通配線 5 4 によって互いに電氣的に接続されている。具体的には、貫通配線 5 4 は、フローティングディフュージョン F D および後述の接続配線 5 5 に電氣的に接続されている。

[0050] 第 1 基板 1 0 および第 2 基板 2 0 からなる積層体は、さらに、層間絶縁膜 5 1 内に設けられた貫通配線 4 7, 4 8 (後述の図 1 2 参照) を有している。上記積層体は、センサ画素 1 2 ごとに、1 つの貫通配線 4 7 と、1 つの貫通配線 4 8 とを有している。貫通配線 4 7, 4 8 は、それぞれ、半導体基板 2 1 の法線方向に延びており、層間絶縁膜 5 1 のうち、絶縁層 5 3 を含む箇所を貫通して設けられている。第 1 基板 1 0 および第 2 基板 2 0 は、貫通配線 4 7, 4 8 によって互いに電氣的に接続されている。具体的には、貫通配線 4 7 は、半導体基板 1 1 の p ウェル層 4 2 と、第 2 基板 2 0 内の配線とに電氣的に接続されている。貫通配線 4 8 は、転送ゲート T G および画素駆動線 2 3 に電氣的に接続されている。

[0051] 第 2 基板 2 0 は、例えば、絶縁層 5 2 内に、読み出し回路 2 2 や半導体基板 2 1 と電氣的に接続された複数の接続部 5 9 を有している。第 2 基板 2 0 は、さらに、例えば、絶縁層 5 2 上に配線層 5 6 を有している。配線層 5 6 は、例えば、絶縁層 5 7 と、絶縁層 5 7 内に設けられた複数の画素駆動線 2 3 および複数の垂直信号線 2 4 を有している。配線層 5 6 は、さらに、例えば、絶縁層 5 7 内に複数の接続配線 5 5 を 4 つのセンサ画素 1 2 ごとに 1 つずつ有している。接続配線 5 5 は、読み出し回路 2 2 を共有する 4 つのセンサ画素 1 2 に含まれるフローティングディフュージョン F D に電氣的に接続された各貫通配線 5 4 を互いに電氣的に接続している。ここで、貫通配線 5 4, 4 8 の総数は、第 1 基板 1 0 に含まれるセンサ画素 1 2 の総数よりも多く、第 1 基板 1 0 に含まれるセンサ画素 1 2 の総数の 2 倍となっている。また、貫通配線 5 4, 4 8, 4 7 の総数は、第 1 基板 1 0 に含まれるセンサ画素 1 2 の総数よりも多く、第 1 基板 1 0 に含まれるセンサ画素 1 2 の総数の

3倍となっている。

[0052] 配線層56は、さらに、例えば、絶縁層57内に複数のパッド電極58を有している。各パッド電極58は、例えば、Cu（銅）、タングステン（W）、Al（アルミニウム）等の金属で形成されている。各パッド電極58は、配線層56の表面に露出している。各パッド電極58は、第2基板20と第3基板30との電氣的な接続と、第2基板20と第3基板30との貼り合わせに用いられる。複数のパッド電極58は、例えば、画素駆動線23および垂直信号線24ごとに1つずつ設けられている。ここで、パッド電極58の総数（または、パッド電極58とパッド電極64（後述）との接合の総数は、例えば、第1基板10に含まれるセンサ画素12の総数よりも少ない。

[0053] 図6は、上記配線構造100を、撮像素子1に適用した際の断面構成を模式的に表したものである。本実施の形態では、例えば、複数の垂直信号線24が、上記配線構造100における配線112X3および配線112X4に相当し、電源線VSSが、上記配線構造100における配線112X2および配線112X5に相当する。図4では示していないが、絶縁層57は、図6に示したように複数の絶縁膜151～絶縁膜157を含んで構成されており、そのうちの絶縁膜154が、互いに並走する電源線VSSと垂直信号線24との間および複数の垂直信号線24の配線間に空隙Gを形成している。配線層56の表面に露出している各パッド電極58は、上記配線構造100における導電膜127X1および導電膜127X2に相当する。

[0054] 各パッド電極58のうち一部（パッド電極58X1）は、グラウンド線（配線112X1）と電氣的に接続されている。グラウンド線は、例えば、図示していないが、半導体基板11のpウェルやグラウンド（GND）に接続されている。これにより、パッド電極58X1は、垂直信号線24の積層方向に対するシールド配線として用いることができ、垂直信号線24におけるノイズの発生を低減することが可能となる。

[0055] さらに、シールド配線として機能するパッド電極58X1は、後述する第3基板30側のパッド電極64X1と接合されている。これにより、シールド

ド配線をパッド電極 58 X 1 単独で形成した場合と比較して、シールド配線のインピーダンスを下げる事が可能となる。また、シールド配線として機能するパッド電極 58 X 1 は、例えば、垂直信号線 24 と同様に、画素領域 13 を縦断するように設けられており、画素領域 13 の領域端を超えた周縁近傍で終端している。

[0056] 第3基板30は、例えば、半導体基板31上に層間絶縁膜61を積層して構成されている。なお、第3基板30は、後述するように、第2基板20に、表面側の面同士で貼り合わされていることから、第3基板30内の構成について説明する際には、上下の説明が、図面での上下方向とは逆となっている。半導体基板31は、シリコン基板で構成されている。第3基板30は、半導体基板31の表面（面31S1）側の一部にロジック回路32が設けられた構成となっている。第3基板30は、さらに、例えば、層間絶縁膜61上に配線層62を有している。配線層62は、例えば、絶縁層63と、絶縁層63内に設けられた複数のパッド電極64（例えば、パッド電極64X1およびパッド電極64X2）を有している。複数のパッド電極64は、ロジック回路32と電氣的に接続されている。各パッド電極64は、例えば、Cu（銅）で形成されている。各パッド電極64は、配線層62の表面に露出している。各パッド電極64は、第2基板20と第3基板30との電氣的な接続と、第2基板20と第3基板30との貼り合わせに用いられる。また、パッド電極64は、必ずしも複数でなくてもよく、1つでもロジック回路32と電氣的に接続が可能である。第2基板20および第3基板30は、パッド電極58、64同士の接合によって、互いに電氣的に接続されている。つまり、転送トランジスタTRのゲート（転送ゲートTG）は、貫通配線54と、パッド電極58、64とを介して、ロジック回路32に電氣的に接続されている。第3基板30は、半導体基板21の表面（面21S1）側に半導体基板31の表面（面31S1）を向けて第2基板20に貼り合わされている。つまり、第3基板30は、第2基板20に、フェイスツーフェイスで貼り合わされている。

[0057] 図12および図13は、撮像素子1の水平方向の断面構成の一例を表したものである。図12および図13の上側の図は、図4の断面Sec1での断面構成の一例を表す図であり、図12および図13の下側の図は、図4の断面Sec2での断面構成の一例を表す図である。図12には、 2×2 の4つのセンサ画素12を2組、第2方向Hに並べた構成が例示されており、図13には、 2×2 の4つのセンサ画素12を4組、第1方向Vおよび第2方向Hに並べた構成が例示されている。なお、図12および図13の上側の断面図では、図4の断面Sec1での断面構成の一例を表す図に、半導体基板11の表面構成の一例を表す図が重ね合わされると共に、絶縁層46が省略されている。また、図12および図13の下側の断面図では、図4の断面Sec2での断面構成の一例を表す図に、半導体基板21の表面構成の一例を表す図が重ね合わされている。

[0058] 図12および図13に示したように、複数の貫通配線54、複数の貫通配線48および複数の貫通配線47は、第1基板10の面内において第1方向V（図12の上下方向、図13の左右方向）に帯状に並んで配置されている。なお、図12および図13には、複数の貫通配線54、複数の貫通配線48および複数の貫通配線47が第1方向Vに2列に並んで配置されている場合が例示されている。第1方向Vは、マトリクス状の配置された複数のセンサ画素12の2つの配列方向（例えば行方向および列方向）のうち一方の配列方向（例えば列方向）と平行となっている。読み出し回路22を共有する4つのセンサ画素12において、4つのフローティングディフュージョンFDは、例えば、素子分離部43を介して互いに近接して配置されている。読み出し回路22を共有する4つのセンサ画素12において、4つの転送ゲートTGは、4つのフローティングディフュージョンFDを囲むように配置されており、例えば、4つの転送ゲートTGによって円環形状となる形状となっている。

[0059] 絶縁層53は、第1方向Vに延在する複数のブロックで構成されている。半導体基板21は、第1方向Vに延在すると共に、絶縁層53を介して第1

方向Vと直交する第2方向Hに並んで配置された複数の島状のブロック21Aで構成されている。各ブロック21Aには、例えば、複数組のリセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELが設けられている。4つのセンサ画素12によって共有される1つの読み出し回路22は、例えば、4つのセンサ画素12と対向する領域内にある、リセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELによって構成されている。4つのセンサ画素12によって共有される1つの読み出し回路22は、例えば、絶縁層53の左隣りのブロック21A内の増幅トランジスタAMPと、絶縁層53の右隣りのブロック21A内のリセットトランジスタRSTおよび選択トランジスタSELとによって構成されている。

[0060] 図14、図15、図16および図17は、撮像素子1の水平面内での配線レイアウトの一例を表したものである。図14～図17には、4つのセンサ画素12によって共有される1つの読み出し回路22が4つのセンサ画素12と対向する領域内に設けられている場合が例示されている。図14～図17に記載の配線は、例えば、配線層56において互いに異なる層内に設けられている。

[0061] 互いに隣接する4つの貫通配線54は、例えば、図14に示したように、接続配線55と電氣的に接続されている。互いに隣接する4つの貫通配線54は、さらに、例えば、図14に示したように、接続配線55および接続部59を介して、絶縁層53の左隣りブロック21Aに含まれる増幅トランジスタAMPのゲートと、絶縁層53の右隣りブロック21Aに含まれるリセットトランジスタRSTのゲートとに電氣的に接続されている。

[0062] 電源線VDDは、例えば、図15に示したように、第2方向Hに並んで配置された各読み出し回路22と対向する位置に配置されている。電源線VDDは、例えば、図15に示したように、接続部59を介して、第2方向Hに並んで配置された各読み出し回路22の増幅トランジスタAMPのドレインおよびリセットトランジスタRSTのドレインに電氣的に接続されている。

2本の画素駆動線23が、例えば、図15に示したように、第2方向Hに並んで配置された各読み出し回路22と対向する位置に配置されている。一方の画素駆動線23（第2制御線）は、例えば、図15に示したように、第2方向Hに並んで配置された各読み出し回路22のリセットトランジスタRSTのゲートに電氣的に接続された配線RSTGである。他方の画素駆動線23（第3制御線）は、例えば、図15に示したように、第2方向Hに並んで配置された各読み出し回路22の選択トランジスタSELのゲートに電氣的に接続された配線SELGである。各読み出し回路22において、増幅トランジスタAMPのソースと、選択トランジスタSELのドレインとが、例えば、図15に示したように、配線25を介して、互いに電氣的に接続されている。

[0063] 2本の電源線VSSが、例えば、図16に示したように、第2方向Hに並んで配置された各読み出し回路22と対向する位置に配置されている。各電源線VSSは、例えば、図16に示したように、第2方向Hに並んで配置された各センサ画素12と対向する位置において、複数の貫通配線47に電氣的に接続されている。4本の画素駆動線23が、例えば、図16に示したように、第2方向Hに並んで配置された各読み出し回路22と対向する位置に配置されている。4本の画素駆動線23の各々は、例えば、図16に示したように、第2方向Hに並んで配置された各読み出し回路22に対応する4つのセンサ画素12のうちの1つのセンサ画素12の貫通配線48に電氣的に接続された配線TRGである。つまり、4本の画素駆動線23（第1制御線）は、第2方向Hに並んで配置された各センサ画素12の転送トランジスタTRのゲート（転送ゲートTG）に電氣的に接続されている。図16では、各配線TRGを区別するために、各配線TRGの末尾に識別子（1，2，3，4）が付与されている。

[0064] 垂直信号線24は、例えば、図17に示したように、第1方向Vに並んで配置された各読み出し回路22と対向する位置に配置されている。垂直信号線24（出力線）は、例えば、図17に示したように、第1方向Vに並んで

配置された各読み出し回路 2 2 の出力端（増幅トランジスタ AMP のソース）に電氣的に接続されている。

[0065] [1-4. 撮像素子 1 の製造方法]

次に、撮像素子 1 の製造方法について説明する。図 18 A～図 18 G は、撮像素子 1 の製造過程の一例を表したものである。

[0066] まず、半導体基板 1 1 に、p ウェル層 4 2 や、素子分離部 4 3、p ウェル層 4 4 を形成する。次に、半導体基板 1 1 に、フォトダイオード PD、転送トランジスタ TR およびフローティングディフュージョン FD を形成する（図 18 A）。これにより、半導体基板 1 1 に、センサ画素 1 2 が形成される。このとき、センサ画素 1 2 に用いる電極材料として、サリサイドプロセスによる CoSi_2 や NiSi 等の耐熱性の低い材料を用いないことが好ましい。むしろ、センサ画素 1 2 に用いる電極材料としては、耐熱性の高い材料を用いることが好ましい。耐熱性の高い材料としては、例えば、ポリシリコンが挙げられる。その後、半導体基板 1 1 上に、絶縁層 4 6 を形成する（図 18 A）。このようにして、第 1 基板 1 0 が形成される。

[0067] 次に、第 1 基板 1 0（絶縁層 4 6 B）上に、半導体基板 2 1 を貼り合わせる（図 18 B）。その後、必要に応じて半導体基板 2 1 を薄肉化する。この際、半導体基板 2 1 の厚さを、読み出し回路 2 2 の形成に必要な膜厚にする。半導体基板 2 1 の厚さは、一般的には数百 nm 程度である。しかし、読み出し回路 2 2 のコンセプトによっては、FD（Fully Depletion）型も可能であるので、その場合には、半導体基板 2 1 の厚さとしては、数 nm～数 μm の範囲を採り得る。

[0068] 続いて、半導体基板 2 1 と同一の層内に、絶縁層 5 3 を形成する（図 18 C）。絶縁層 5 3 を、例えば、フローティングディフュージョン FD と対向する箇所に形成する。例えば、半導体基板 2 1 に対して、半導体基板 2 1 を貫通するスリット（開口 2 1 H）を形成して、半導体基板 2 1 を複数のブロック 2 1 A に分離する。その後、スリットを埋め込むように、絶縁層 5 3 を形成する。その後、半導体基板 2 1 の各ブロック 2 1 A に、増幅トランジス

タAMP等を含む読み出し回路22を形成する(図18C)。このとき、センサ画素12の電極材料として、耐熱性の高い金属材料が用いられている場合には、読み出し回路22のゲート絶縁膜を、熱酸化により形成することが可能である。

[0069] 次に、半導体基板21上に絶縁層52を形成する。このようにして、絶縁層46, 52, 53からなる層間絶縁膜51を形成する。続いて、層間絶縁膜51に貫通孔51A, 51Bを形成する(図18D)。具体的には、絶縁層52のうち、読み出し回路22と対向する箇所に、絶縁層52を貫通する貫通孔51Bを形成する。また、層間絶縁膜51のうち、フローティングデュージョンFDと対向する箇所(つまり、絶縁層53と対向する箇所)に、層間絶縁膜51を貫通する貫通孔51Aを形成する。

[0070] 続いて、貫通孔51A, 51Bに導電性材料を埋め込むことにより、貫通孔51A内に貫通配線54を形成すると共に、貫通孔51B内に接続部59を形成する(図18E)。さらに、絶縁層52上に、貫通配線54と接続部59とを互いに電氣的に接続する接続配線55を形成する(図18E)。その後、配線層56を、絶縁層52上に形成する(図18F)。このようにして、第2基板20が形成される。

[0071] 次に、第2基板20を、半導体基板31の表面側に半導体基板21の表面を向けて、ロジック回路32や配線層62が形成された第3基板30に貼り合わせる(図18G)。このとき、第2基板20のパッド電極58と、第3基板30のパッド電極64とを互いに接合することにより、第2基板20と第3基板30とを互いに電氣的に接続する。このようにして、撮像素子1が製造される。

[0072] [1-5. 配線構造100および撮像素子1の作用・効果]

前述したように、近年、一般的な配線構造を有する半導体装置では、半導体集積回路素子の微細化に伴い、互いに平行して延在する複数の配線同士の間隔が狭くなってきており、配線間の容量(寄生容量)が増加する傾向にある。そこで、本実施の形態の配線構造100およびこれを適用した撮像素子

1では、Y軸方向に延在する複数の配線112X(112X1~112X6)を有する配線層112上に、X軸方向に隣り合う配線112Xに挟まれた間隙領域Rにそれぞれ存在する空隙AGを含む絶縁膜123を設けるようにした。また、複数の配線112Xが、それぞれ、第1の金属を含む金属膜112Bと、Y軸方向と直交するXZ断面において金属膜112Bの周囲を部分的に覆い、第1の金属の拡散を抑止する第2の金属を含む材料からなるバリアメタル層112Aとを有するようにした。さらに、絶縁膜122は、第1の金属の拡散を抑止する絶縁材料を含み、金属膜112Bの一部を覆うように設けるようにした。すなわち、本実施の形態の配線構造100および撮像素子1では、間隙領域Rに空隙AGを設けると共に、配線112Xのうち、導電性に優れる金属膜112Bの周囲の一部に、比較的導電性の低いバリアメタル層112Aが存在しないようにしている。このような構成を有することにより、本実施の形態によれば、複数の配線112X同士の間には生じる寄生容量(配線間容量)を効果的に低減することができる。

[0073] 特に、本実施の形態では、配線112Xのうち、金属膜112Bの側面112Wの一部を覆うバリアメタル層112Aを除去し、かわりにその側面112Wの一部を絶縁膜122により覆うようにしている。このため、X軸方向において隣り合う配線112X同士の間隔(距離)を拡張することができ、配線間容量をよりいっそう低減できる。なお、絶縁膜122は、金属膜112Bに含まれるCuなどの第1の金属の拡散を抑止する絶縁材料を含んでいるので、第1の金属が絶縁膜123などへ拡散するのを防止できる。

[0074] さらに、本実施の形態では、絶縁膜123および絶縁膜124を間にして、複数の配線112X1~112X6の少なくとも一部(例えば、配線間に空隙AGを有する配線112X2、配線112X3および配線112X4)と正対する位置に導電膜127を設けるようにした。これにより、配線構造100を撮像素子1の第2基板20における、第3基板30との接合面およびその近傍の配線構造に適用することが可能となる。具体的には、導電膜127を、第2基板20と第3基板30とのCu-Cu接合用のパッド電極5

8として用いることが可能となる。

[0075] <2. 変形例>

[2. 1 変形例1]

図19は、本開示の一実施の形態に係る第1の変形例（変形例1）としての配線構造100Aの垂直方向の断面構成の一例を模式的に表したものである。

[0076] 上記実施の形態の配線構造100では、配線112Xの金属膜112Bの側面112Wを覆うバリアメタル層112Aの一部を除去するようにした。これに対し、変形例1としての配線構造100Aでは、一部の配線112Xにおいて金属膜112Bの側面を覆うバリアメタル層112Aを全て除去するようにした。

[0077] 具体的には、配線112X2の金属膜112Bのうち配線112X3と対向する側面112W、配線112X3の金属膜112Bの双方の側面112W、配線112X4の金属膜112Bの双方の側面112W、および配線112X5の金属膜112Bのうち配線112X4と対向する側面112Wを、それぞれバリアメタル層112Aで覆うことなく絶縁膜122で覆うようにしている。特に、変形例1の配線構造100Aでは、配線112X2～配線112X5における金属膜112Bは、金属膜112Bの側面112Wから金属膜の下面112BSにかけてバリアメタル層112Aに覆われずに露出した部分を有している。

[0078] 図20A～20Dは、変形例1の配線構造100Aの製造方法の一部の工程を表す断面図である。配線構造100Aの製造方法では、まず、上記実施の形態と同様にして、すなわち上述の図3A～3Bを参照して説明した手順に従って第1層110上に絶縁膜121を成膜したのち、配線112X2～配線112X5に対応する位置に開口を有するレジスト膜131を、絶縁膜121上に形成する。

[0079] 次に、図20Aに示したように、レジスト膜131に覆われることなく露出した絶縁膜121、配線112X2～112X5の一部および絶縁膜11

1 を、例えばドライエッチングにより選択的に掘り下げ、間隙領域 R に凹部 H 2 を形成する。その際、凹部 H 2 の底面を形成する絶縁膜 1 1 1 の上面 1 1 1 S 2 の高さ位置（Z 軸方向の位置）が、配線 1 1 2 X が埋め込み形成されている凹部 H 1 の底面となっている絶縁膜 1 1 1 の上面 1 1 1 S 1 の高さ位置とほぼ一致するようにする。あるいは、上面 1 1 1 S 2 の高さ位置が絶縁膜 1 1 1 の上面 1 1 1 S 1 の高さ位置よりも低くなるように絶縁膜 1 1 1 を深く掘り下げて凹部 H 2 を形成するようにしてもよい。

[0080] 続いて、図 2 0 B に示したように、例えばウェットエッチングにより、金属膜 1 1 2 B の側面 1 1 2 W を覆うバリアメタル層 1 1 2 A のうち凹部 H 2 に露出した部分を選択的に除去する。これにより、間隙領域 R を挟んで対向する金属膜 1 1 2 B の側面 1 1 2 W を全面的に露出させる。

[0081] 次に、レジスト膜 1 3 1 を除去したのち、図 2 0 C に示したように、例えば、A L D 法を用いて、絶縁膜 1 2 1、ならびに凹部 H 2 に露出した金属膜 1 1 2 B および絶縁膜 1 1 1 を被覆するように、絶縁膜 1 2 2 を成膜する。

[0082] そののち、図 2 0 D に示したように、例えば C V D 法を用いて、例えば S i O C あるいは窒化シリコンからなる絶縁膜 1 2 3 を成膜する。これにより、凹部 H 2 は閉塞され、配線 1 1 2 X 2 と配線 1 1 2 X 3 との間、配線 1 1 2 X 3 と配線 1 1 2 X 4 との間、および配線 1 1 2 X 4 と配線 1 1 2 X 5 との間にそれぞれ空隙 A G が形成される。

[0083] 以降、上記実施の形態の配線構造 1 0 0 の製造方法と同様の手順により、図 1 9 に示した配線構造 1 0 0 A が完成する。

[0084] このように、変形例 1 の配線構造 1 0 0 A では、配線 1 1 2 X 2 ~ 1 1 2 X 5 における、間隙領域 R を挟んで互いに対向する側面 1 1 2 W を覆うバリアメタル層 1 1 2 A を全て除去し、バリアメタル層 1 1 2 A に覆われていない側面 1 1 2 W を絶縁膜 1 2 2 により覆うようにした。このため、上記実施の形態の配線構造 1 0 0 と比べて、配線 1 1 2 X 2 ~ 1 1 2 X 5 の上部から下部に至るまで、金属膜 1 1 2 B の相互の間隔を広げることができる。さらに、間隙領域 R に形成される空隙 A G の体積を増加させることができる。し

たがって、上記実施の形態の配線構造 100 と比べて、配線間容量をいっそう低減することができる。

[0085] [2. 2 変形例 2]

上記実施の形態および変形例 1 では、 SiO_x 、 SiN_x または SiC_xN_y 等からなる絶縁膜 121 を全面的に形成したのち、その絶縁膜 121 に、開口を有するレジスト膜 131 を積層形成し、そのレジスト膜 131 をマスクとして絶縁膜 111 のエッチング処理を行うことで凹部 H2 を形成するようにした。これに対し、本開示の第 2 の変形例（変形例 2）としての配線構造の製造方法では、平坦化された第 1 層 110 の表面に、絶縁膜 121 ではなく例えば TiN からなるハードマスクを選択的に形成し、そのハードマスクを用いて絶縁膜 111 のエッチング処理を行うことで凹部 H2 を形成する。変形例 2 では、さらに、 TiN からなるハードマスクを除去したのち、あるいは TiN からなるハードマスクと共に金属膜 112B の側面 112W を覆うバリアメタル層 112A を、所定の薬液を用いたウェットエッチングにより除去する。金属膜 112B の側面 112W を露出させたのち、 SiO_x 、 SiN_x または SiC_xN_y 等からなる絶縁膜 121 を全面的に形成する。変形例 2 においても変形例 1 と同様の効果が期待できる。

[0086] [2. 3 変形例 3]

図 21 は、上記実施の形態の変形例（変形例 3）に係る撮像素子（撮像素子 1）の垂直方向の断面構成の一例を表したものである。本変形例では、転送トランジスタ TR が、平面型の転送ゲート TG を有している。そのため、転送ゲート TG は、p ウェル層 42 を貫通しておらず、半導体基板 11 の表面だけに形成されている。転送トランジスタ TR に平面型の転送ゲート TG が用いられる場合であっても、撮像素子 1 は、上記実施の形態と同様の効果を有する。

[0087] [2. 4 変形例 4]

図 22 は、上記実施の形態の変形例（変形例 4）に係る撮像素子（撮像素子 1）の垂直方向の断面構成の一例を表したものである。本変形例では、第

2基板20と第3基板30との電氣的な接続が、第1基板10における周辺領域14と対向する領域でなされている。周辺領域14は、第1基板10の額縁領域に相当しており、画素領域13の周縁に設けられている。本変形例では、第2基板20は、周辺領域14と対向する領域に、複数のパッド電極58を有しており、第3基板30は、周辺領域14と対向する領域に、複数のパッド電極64を有している。第2基板20および第3基板30は、周辺領域14と対向する領域に設けられたパッド電極58, 64同士の接合によって、互いに電氣的に接続されている。

[0088] このように、本変形例では、第2基板20および第3基板30が、周辺領域14と対向する領域に設けられたパッド電極58, 64同士の接合によって、互いに電氣的に接続されている。これにより、画素領域13と対向する領域で、パッド電極58, 64同士の接合する場合と比べて、1画素あたりの面積の微細化を阻害するおそれを低減することができる。従って、上記実施の形態の効果に加えて、今までと同等のチップサイズで、1画素あたりの面積の微細化を阻害することのない3層構造の撮像素子1を提供することができる。

[0089] [2. 5 変形例5]

図23は、上記実施の形態の変形例（変形例5）に係る撮像素子（撮像素子1）の垂直方向の断面構成の一例を表したものである。図24は、上記実施の形態の変形例（変形例5）に係る撮像素子（撮像素子1）の垂直方向の断面構成の他の例を表すものである。図23および図24の上側の図は、図21の断面Sec1での断面構成の一変形例であり、図23の下側の図は、図21の断面Sec2での断面構成の一変形例である。なお、図23および図24の上側の断面図では、図21の断面Sec1での断面構成の一変形例を表す図に、図21の半導体基板11の表面構成の一変形例を表す図が重ね合わされると共に、絶縁層46が省略されている。また、図23および図24の下側の断面図では、図21の断面Sec2での断面構成の一変形例を表す図に、半導体基板21の表面構成の一変形例を表す図が重ね合わされてい

る。

[0090] 図23および図24に示したように、複数の貫通配線54、複数の貫通配線48および複数の貫通配線47（図中の行列状に配置された複数のドット）は、第1基板10の面内において第1方向V（図23および図24の左右方向）に帯状に並んで配置されている。なお、図23および図24には、複数の貫通配線54、複数の貫通配線48および複数の貫通配線47が第1方向Vに2列に並んで配置されている場合が例示されている。読み出し回路22を共有する4つのセンサ画素12において、4つのフローティングディフュージョンFDは、例えば、素子分離部43を介して互いに近接して配置されている。読み出し回路22を共有する4つのセンサ画素12において、4つの転送ゲートTG（TG1, TG2, TG3, TG4）は、4つのフローティングディフュージョンFDを囲むように配置されており、例えば、4つの転送ゲートTGによって円環形状となる形状となっている。

[0091] 絶縁層53は、第1方向Vに延在する複数のブロックで構成されている。半導体基板21は、第1方向Vに延在すると共に、絶縁層53を介して第1方向Vと直交する第2方向Hに並んで配置された複数の島状のブロック21Aで構成されている。各ブロック21Aには、例えば、リセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELが設けられている。4つのセンサ画素12によって共有される1つの読み出し回路22は、例えば、4つのセンサ画素12と正対して配置されておらず、第2方向Hにずれて配置されている。

[0092] 図23では、4つのセンサ画素12によって共有される1つの読み出し回路22は、第2基板20において、4つのセンサ画素12と対向する領域を第2方向Hにずらした領域内にある、リセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELによって構成されている。4つのセンサ画素12によって共有される1つの読み出し回路22は、例えば、1つのブロック21A内の増幅トランジスタAMP、リセットトランジスタRSTおよび選択トランジスタSELによって構成されている。

[0093] 図24では、4つのセンサ画素12によって共有される1つの読み出し回路22は、第2基板20において、4つのセンサ画素12と対向する領域を第2方向Hにずらした領域内にある、リセットトランジスタRST、増幅トランジスタAMP、選択トランジスタSELおよびFD転送トランジスタFDGによって構成されている。4つのセンサ画素12によって共有される1つの読み出し回路22は、例えば、1つのブロック21A内の増幅トランジスタAMP、リセットトランジスタRST、選択トランジスタSELおよびFD転送トランジスタFDGによって構成されている。

[0094] 本変形例では、4つのセンサ画素12によって共有される1つの読み出し回路22は、例えば、4つのセンサ画素12と正対して配置されておらず、4つのセンサ画素12と正対する位置から第2方向Hにずれて配置されている。このようにした場合には、配線25を短くすることができ、または、配線25を省略して、増幅トランジスタAMPのソースと、選択トランジスタSELのドレインとを共通の不純物領域で構成することもできる。その結果、読み出し回路22のサイズを小さくしたり、読み出し回路22内の他の箇所のサイズを大きくしたりすることができる。

[0095] [2.6 変形例6]

図25は、上記実施の形態の変形例（変形例6）に係る撮像素子（撮像素子1）の水平方向の断面構成の一例を表したものである。図25には、図14の断面構成の一変形例が示されている。

[0096] 本変形例では、半導体基板21が、絶縁層53を介して第1方向Vおよび第2方向Hに並んで配置された複数の島状のブロック21Aで構成されている。各ブロック21Aには、例えば、一組のリセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELが設けられている。このようにした場合には、互いに隣接する読み出し回路22同士のクロストークを、絶縁層53によって抑制することができ、再生画像上での解像度低下や混色による画質劣化を抑制することができる。

[0097] [2.7 変形例7]

図 2 6 は、上記実施の形態の変形例（変形例 7）に係る撮像素子（撮像素子 1）の水平方向の断面構成の一例を表したものである。図 2 6 には、図 2 5 の断面構成の一変形例が示されている。

[0098] 本変形例では、4つのセンサ画素 1 2 によって共有される 1つの読み出し回路 2 2 が、例えば、4つのセンサ画素 1 2 と正対して配置されておらず、第 1 方向 V にずれて配置されている。本変形例では、さらに、変形例 6 と同様、半導体基板 2 1 が、絶縁層 5 3 を介して第 1 方向 V および第 2 方向 H に並んで配置された複数の島状のブロック 2 1 A で構成されている。各ブロック 2 1 A には、例えば、一組のリセットトランジスタ R S T、増幅トランジスタ A M P および選択トランジスタ S E L が設けられている。本変形例では、さらに、複数の貫通配線 4 7 および複数の貫通配線 5 4 が、第 2 方向 H にも配列されている。具体的には、複数の貫通配線 4 7 が、ある読み出し回路 2 2 を共有する 4つの貫通配線 5 4 と、その読み出し回路 2 2 の第 2 方向 H に隣接する他の読み出し回路 2 2 を共有する 4つの貫通配線 5 4 との間に配置されている。このようにした場合には、互いに隣接する読み出し回路 2 2 同士のクロストークを、絶縁層 5 3 および貫通配線 4 7 によって抑制することができ、再生画像上での解像度低下や混色による画質劣化を抑制することができる。

[0099] [2 . 8 変形例 8]

図 2 7 は、上記実施の形態の変形例（変形例 8）に係る撮像素子（撮像素子 1）の水平方向の断面構成の一例を表したものである。図 2 7 には、図 1 2 の断面構成の一変形例が示されている。

[0100] 本変形例では、第 1 基板 1 0 は、フォトダイオード P D および転送トランジスタ T R をセンサ画素 1 2 ごとに有し、フローティングディフュージョン F D を 4つのセンサ画素 1 2 ごとに共有している。従って、本変形例では、4つのセンサ画素 1 2 ごとに、1つの貫通配線 5 4 が設けられている。

[0101] マトリクス状に配置された複数のセンサ画素 1 2 において、1つのフローティングディフュージョン F D を共有する 4つのセンサ画素 1 2 に対応する

単位領域を、１つのセンサ画素１２分だけ第１方向Ｖにずらすことにより得られる領域に対応する４つのセンサ画素１２を、便宜的に、４つのセンサ画素１２Ａと称することとする。このとき、本変形例では、第１基板１０は、貫通配線４７を４つのセンサ画素１２Ａごとに共有している。従って、本変形例では、４つのセンサ画素１２Ａごとに、１つの貫通配線４７が設けられている。

[0102] 本変形例では、第１基板１０は、フォトダイオードＰＤおよび転送トランジスタＴＲをセンサ画素１２ごとに分離する素子分離部４３を有している。素子分離部４３は、半導体基板１１の法線方向から見て、センサ画素１２を完全には囲っておらず、フローティングディフュージョンＦＤ（貫通配線５４）の近傍と、貫通配線４７の近傍に、隙間（未形成領域）を有している。そして、その隙間によって、４つのセンサ画素１２による１つの貫通配線５４の共有や、４つのセンサ画素１２Ａによる１つの貫通配線４７の共有を可能にしている。本変形例では、第２基板２０は、フローティングディフュージョンＦＤを共有する４つのセンサ画素１２ごとに読み出し回路２２を有している。

[0103] 図２８は、本変形例に係る撮像素子１の水平方向の断面構成の他の例を表したものである。図２８には、図２５の断面構成の一変形例が示されている。本変形例では、第１基板１０は、フォトダイオードＰＤおよび転送トランジスタＴＲをセンサ画素１２ごとに有し、フローティングディフュージョンＦＤを４つのセンサ画素１２ごとに共有している。更に、第１基板１０は、フォトダイオードＰＤおよび転送トランジスタＴＲをセンサ画素１２ごとに分離する素子分離部４３を有している。

[0104] 図２９は、本変形例に係る撮像素子１の水平方向の断面構成の他の例を表したものである。図２９には、図２６の断面構成の一変形例が示されている。本変形例では、第１基板１０は、フォトダイオードＰＤおよび転送トランジスタＴＲをセンサ画素１２ごとに有し、フローティングディフュージョンＦＤを４つのセンサ画素１２ごとに共有している。更に、第１基板１０は、

フォトダイオードPDおよび転送トランジスタTRをセンサ画素12ごとに分離する素子分離部43を有している。

[0105] [2. 9 変形例9]

図30は、上記実施の形態および変形例4～5の変形例（変形例9）に係る撮像素子（撮像素子1）の回路構成の一例を表したものである。本変形例に係る撮像素子1は、列並列ADC搭載のCMOSイメージセンサである。

[0106] 図30に示すように、本変形例に係る撮像素子1は、光電変換部を含む複数のセンサ画素12が行列状（マトリックス状）に2次元配置されてなる画素領域13に加えて、垂直駆動回路33、カラム信号処理回路34、参照電圧供給部38、水平駆動回路35、水平出力線37およびシステム制御回路36を有する構成となっている。

[0107] このシステム構成において、システム制御回路36は、マスタークロックMCKに基づいて、垂直駆動回路33、カラム信号処理回路34、参照電圧供給部38および水平駆動回路35等の動作の基準となるクロック信号や制御信号等を生成し、垂直駆動回路33、カラム信号処理回路34、参照電圧供給部38および水平駆動回路35等に対して与える。

[0108] また、垂直駆動回路33は、画素領域13の各センサ画素12と共に、第1基板10形成されており、さらに、読み出し回路22の形成されている第2基板20にも形成される。カラム信号処理回路34、参照電圧供給部38、水平駆動回路35、水平出力線37およびシステム制御回路36は、第3基板30に形成される。

[0109] センサ画素12としては、ここでは図示を省略するが、例えば、フォトダイオードPDの他に、フォトダイオードPDで光電変換して得られる電荷をフローティングディフュージョンFDに転送する転送トランジスタTRとを有する構成のものを用いることができる。また、読み出し回路22としては、ここでは図示を省略するが、例えば、フローティングディフュージョンFDの電位を制御するリセットトランジスタRSTと、フローティングディフュージョンFDの電位に応じた信号を出力する増幅トランジスタAMPと、

画素選択を行うための選択トランジスタSELとを有する3トランジスタ構成のものを用いることができる。

[0110] 画素領域13には、センサ画素12が2次元配置されると共に、このm行n列の画素配置に対して行毎に画素駆動線23が配線され、列毎に垂直信号線24が配線されている。複数の画素駆動線23の各一端は、垂直駆動回路33の各行に対応した各出力端に接続されている。垂直駆動回路33は、シフトレジスタ等によって構成され、複数の画素駆動線23を介して画素領域13の行アドレスや行走査の制御を行う。

[0111] カラム信号処理回路34は、例えば、画素領域13の画素列毎、即ち、垂直信号線24毎に設けられたADC（アナログーデジタル変換回路）34-1～34-mを有し、画素領域13の各センサ画素12から列毎に出力されるアナログ信号をデジタル信号に変換して出力する。

[0112] 参照電圧供給部38は、時間が経過するにつれてレベルが傾斜状に変化する、いわゆるランプ（RAMP）波形の参照電圧Vrefを生成する手段として、例えばDAC（デジタルーアナログ変換回路）38Aを有している。なお、ランプ波形の参照電圧Vrefを生成する手段としては、DAC38Aに限られるものではない。

[0113] DAC38Aは、システム制御回路36から与えられる制御信号CS1による制御の下に、当該システム制御回路36から与えられるクロックCKに基づいてランプ波形の参照電圧Vrefを生成してカラム信号処理回路34のADC34-1～34-mに対して供給する。

[0114] なお、ADC34-1～34-mの各々は、センサ画素12全ての情報を読み出すプログレッシブ走査方式での通常フレームレートモードと、通常フレームレートモード時に比べて、センサ画素12の露光時間を1/Nに設定してフレームレートをN倍、例えば2倍に上げる高速フレームレートモードとの各動作モードに対応したAD変換動作を選択的に実行可能な構成となっている。この動作モードの切り替えは、システム制御回路36から与えられる制御信号CS2、CS3による制御によって実行される。また、システム制

御回路 36 に対しては、外部のシステムコントローラ（図示せず）から、通常フレームレートモードと高速フレームレートモードの各動作モードとを切り替えるための指示情報が与えられる。

[0115] ADC 34-1 ~ 34-m は全て同じ構成となっており、ここでは、ADC 34-m を例に挙げて説明するものとする。ADC 34-m は、比較器 34A、計数手段である例えばアップ／ダウンカウンタ（図中、U/D CNT と記している）34B、転送スイッチ 34C およびメモリ装置 34D を有する構成となっている。

[0116] 比較器 34A は、画素領域 13 の n 列目の各センサ画素 12 から出力される信号に応じた垂直信号線 24 の信号電圧 V_x と、参照電圧供給部 38 から供給されるランプ波形の参照電圧 V_{ref} とを比較し、例えば、参照電圧 V_{ref} が信号電圧 V_x よりも大になるときに出力 V_{co} が “H” レベルになり、参照電圧 V_{ref} が信号電圧 V_x 以下のときに出力 V_{co} が “L” レベルになる。

[0117] アップ／ダウンカウンタ 34B は非同期カウンタであり、システム制御回路 36 から与えられる制御信号 CS2 による制御の下に、システム制御回路 36 からクロック CK が DAC 18A と同時に与えられ、当該クロック CK に同期してダウン（DOWN）カウントまたはアップ（UP）カウントを行うことにより、比較器 34A での比較動作の開始から比較動作の終了までの比較期間を計測する。

[0118] 具体的には、通常フレームレートモードでは、1つのセンサ画素 12 からの信号の読み出し動作において、1回目の読み出し動作時にダウンカウントを行うことにより1回目の読み出し時の比較時間を計測し、2回目の読み出し動作時にアップカウントを行うことにより2回目の読み出し時の比較時間を計測する。

[0119] 一方、高速フレームレートモードでは、ある行のセンサ画素 12 についてのカウント結果をそのまま保持しておき、引き続き、次の行のセンサ画素 12 について、前回のカウント結果から1回目の読み出し動作時にダウンカウ

ントを行うことで1回目の読み出し時の比較時間を計測し、2回目の読み出し動作時にアップカウントを行うことで2回目の読み出し時の比較時間を計測する。

[0120] 転送スイッチ34Cは、システム制御回路36から与えられる制御信号CS3による制御の下に、通常フレームレートモードでは、ある行のセンサ画素12についてのアップ／ダウンカウンタ34Bのカウント動作が完了した時点でオン（閉）状態となって当該アップ／ダウンカウンタ34Bのカウント結果をメモリ装置34Dに転送する。

[0121] 一方、例えば $N=2$ の高速フレームレートでは、ある行のセンサ画素12についてのアップ／ダウンカウンタ34Bのカウント動作が完了した時点でオフ（開）状態のままであり、引き続き、次の行のセンサ画素12についてのアップ／ダウンカウンタ34Bのカウント動作が完了した時点でオン状態となって当該アップ／ダウンカウンタ34Bの垂直2画素分についてのカウント結果をメモリ装置34Dに転送する。

[0122] このようにして、画素領域13の各センサ画素12から垂直信号線24を経由して列毎に供給されるアナログ信号が、ADC34-1～34-mにおける比較器34Aおよびアップ／ダウンカウンタ34Bの各動作により、 N ビットのデジタル信号に変換されてメモリ装置34Dに格納される。

[0123] 水平駆動回路35は、シフトレジスタ等によって構成され、カラム信号処理回路34におけるADC34-1～34-mの列アドレスや列走査の制御を行う。この水平駆動回路35による制御の下に、ADC34-1～34-mの各々でAD変換された N ビットのデジタル信号は順に水平出力線37に読み出され、当該水平出力線37を経由して撮像データとして出力される。

[0124] なお、本開示には直接関連しないため特に図示しないが、水平出力線37を経由して出力される撮像データに対して各種の信号処理を施す回路等を、上記構成要素以外に設けることも可能である。

[0125] 上記構成の本変形例に係る列並列ADC搭載の撮像素子1では、アップ／ダウンカウンタ34Bのカウント結果を、転送スイッチ34Cを介して選択

的にメモリ装置 34D に転送することができるため、アップ／ダウンカウンタ 34B のカウント動作と、当該アップ／ダウンカウンタ 34B のカウント結果の水平出力線 37 への読み出し動作とを独立して制御することが可能である。

[0126] [2. 10 変形例 10]

図 31 は、図 30 の撮像素子を 3 つの基板（第 1 基板 10、第 2 基板 20、第 3 基板 30）を積層して構成した例を表したものである。本変形例では、第 1 基板 10 において、中央部分に、複数のセンサ画素 12 を含む画素領域 13 が形成されており、画素領域 13 の周囲に垂直駆動回路 33 が形成されている。また、第 2 基板 20 において、中央部分に、複数の読み出し回路 22 を含む読み出し回路領域 15 が形成されており、読み出し回路領域 15 の周囲に垂直駆動回路 33 が形成されている。第 3 基板 30 において、コラム信号処理回路 34、水平駆動回路 35、システム制御回路 36、水平出力線 37 および参照電圧供給部 38 が形成されている。これにより、上記実施の形態およびその変形例と同様、基板同士を電氣的に接続する構造に起因して、チップサイズが大きくなったり、1 画素あたりの面積の微細化を阻害したりしてしまうことがない。その結果、今までと同等のチップサイズで、1 画素あたりの面積の微細化を阻害することのない 3 層構造の撮像素子 1 を提供することができる。なお、垂直駆動回路 33 は、第 1 基板 10 のみに形成されても、第 2 基板 20 のみに形成されてもよい。

[0127] [2. 11 変形例 11]

図 32 は、上記実施の形態およびその変形例 3～10 の変形例（変形例 11）に係る撮像素子（撮像素子 1）の断面構成の一例を表したものである。上記実施および変形例 3～10 等では、撮像素子 1 は、3 つの基板（第 1 基板 10、第 2 基板 20、第 3 基板 30）を積層して構成されていた。しかしながら、本開示の撮像素子は、2 つの基板（第 1 基板 10、第 2 基板 20）を積層して構成されていてもよい。このとき、ロジック回路 32 は、例えば、図 32 に示したように、第 1 基板 10 と、第 2 基板 20 とに分けて形成さ

れていてもよい。ここで、ロジック回路32のうち、第1基板10側に設けられた回路32Aでは、高温プロセスに耐え得る材料（例えば、high-k）からなる高誘電率膜とメタルゲート電極とが積層されたゲート構造を有するトランジスタが設けられている。一方、第2基板20側に設けられた回路32Bでは、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、 CoSi_2 や NiSi 等のシリサイド（Self Aligned Silicide）プロセスを用いて形成されたシリサイドからなる低抵抗領域26が形成されている。シリサイドからなる低抵抗領域は、半導体基板の材料と金属との化合物で形成されている。これにより、センサ画素12を形成する際に、熱酸化等の高温プロセスを用いることができる。また、ロジック回路32のうち、第2基板20側に設けられた回路32Bにおいて、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、シリサイドからなる低抵抗領域26を設けた場合には、接触抵抗を低減することができる。その結果、ロジック回路32での演算速度を高速化することができる。

[0128] [2. 12 変形例12]

図33は、上記実施の形態およびその変形例3～10の変形例（変形例12）に係る撮像素子1の断面構成の一変形例を表す。上記実施の形態およびその変形例3～10に係る第3基板30のロジック回路32において、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、 CoSi_2 や NiSi 等のシリサイド（Self Aligned Silicide）プロセスを用いて形成されたシリサイドからなる低抵抗領域39が形成されていてもよい。これにより、センサ画素12を形成する際に、熱酸化等の高温プロセスを用いることができる。また、ロジック回路32において、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、シリサイドからなる低抵抗領域39を設けた場合には、接触抵抗を低減することができる。その結果、ロジック回路32での演算速度を高速化することができる。

[0129] なお、上記実施の形態およびその変形例3～12では、導電型が逆になってもよい。例えば、上記実施の形態およびその変形例3～12の記載に

において、p型をn型に読み替えると共に、n型をp型に読み替えてもよい。このようにした場合であっても、上記実施の形態およびその変形例3～12と同様の効果を得ることができる。

[0130] <3. 適用例>

図34は、上記実施の形態およびその変形例3～12に係る撮像素子（撮像素子1）を備えた撮像システム7の概略構成の一例を表したものである。

[0131] 撮像システム7は、例えば、デジタルスチルカメラやビデオカメラ等の撮像素子や、スマートフォンやタブレット型端末等の携帯端末装置等の電子機器である。撮像システム7は、例えば、光学系241、シャッタ装置242、撮像素子1、DSP回路243、フレームメモリ244、表示部245、記憶部246、操作部247および電源部248を備えている。撮像システム7において、シャッタ装置242、撮像素子1、DSP回路243、フレームメモリ244、表示部245、記憶部246、操作部247および電源部248は、バスライン249を介して相互に接続されている。

[0132] 撮像素子1は、入射光に応じた画像データを出力する。光学系241は、1枚または複数枚のレンズを有するものであり、被写体からの光（入射光）を撮像素子1に導き、撮像素子1の受光面に結像させる。シャッタ装置242は、光学系241および撮像素子1の間に配置され、操作部247の制御に従って、撮像素子1への光照射期間および遮光期間を制御する。DSP回路243は、撮像素子1から出力される信号（画像データ）を処理する信号処理回路である。フレームメモリ244は、DSP回路243により処理された画像データを、フレーム単位で一時的に保持する。表示部245は、例えば、液晶パネルや有機EL（Electro Luminescence）パネル等のパネル型表示装置からなり、撮像素子1で撮像された動画又は静止画を表示する。記憶部246は、撮像素子1で撮像された動画又は静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。操作部247は、ユーザによる操作に従い、撮像システム7が有する各種の機能についての操作指令を発する。電源部248は、撮像素子1、DSP回路243、フレーム

メモリ 244、表示部 245、記憶部 246 および操作部 247 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0133] 次に、撮像システム 7 における撮像手順について説明する。

[0134] 図 35 は、撮像システム 7 における撮像動作のフローチャートの一例を表す。ユーザは、操作部 247 を操作することにより撮像開始を指示する（ステップ S101）。すると、操作部 247 は、撮像指令を撮像素子 1 に送信する（ステップ S102）。撮像素子 1（具体的にはシステム制御回路 36）は、撮像指令を受けると、所定の撮像方式での撮像を実行する（ステップ S103）。

[0135] 撮像素子 1 は、光学系 241 およびシャッタ装置 242 を介して受光面に結像された光（画像データ）を DSP 回路 243 に出力する。ここで、画像データとは、フローティングディフュージョン FD に一時的に保持された電荷に基づいて生成された画素信号の全画素分のデータである。DSP 回路 243 は、撮像素子 1 から入力された画像データに基づいて所定の信号処理（例えばノイズ低減処理等）を行う（ステップ S104）。DSP 回路 243 は、所定の信号処理がなされた画像データをフレームメモリ 244 に保持させ、フレームメモリ 244 は、画像データを記憶部 246 に記憶させる（ステップ S105）。このようにして、撮像システム 7 における撮像が行われる。

[0136] 本適用例では、撮像素子 1 が撮像システム 7 に適用される。これにより、撮像素子 1 を小型化もしくは高精細化することができるので、小型もしくは高精細な撮像システム 7 を提供することができる。

[0137] 図 36 は、非積層型の固体撮像素子（固体撮像素子 23210）および本開示に係る技術を適用し得る積層型の固体撮像素子（固体撮像素子 23020）の構成例の概要を示す図である。

[0138] 図 36 の A は、非積層型の固体撮像素子の概略構成例を示している。固体撮像素子 23010 は、図 36 の A に示すように、1 枚のダイ（半導体基板）23011 を有する。このダイ 23011 には、画素がアレイ状に配置さ

れた画素領域 23012 と、画素の駆動その他の各種の制御を行う制御回路 23013 と、信号処理するためのロジック回路 23014 とが搭載されている。

[0139] 図 36 の B 及び C は、積層型の固体撮像素子の概略構成例を示している。固体撮像素子 23020 は、図 36 の B 及び C に示すように、センサダイ 23021 とロジックダイ 23024 との 2 枚のダイが積層され、電氣的に接続されて、1 つの半導体チップとして構成されている。このセンサ第 23021 およびロジックダイ 23024 が、本開示の「第 1 基板」および「第 2 基板」の一具体例に相当する。

[0140] 図 36 の B では、センサダイ 23021 には、画素領域 23012 と制御回路 23013 が搭載され、ロジックダイ 23024 には、信号処理を行う信号処理回路を含むロジック回路 23014 が搭載されている。さらに、センサ第 23021 には、例えば、上述した読み出し回路 22 等が搭載されていてもよい。

[0141] 図 36 の C では、センサダイ 23021 には、画素領域 23012 が搭載され、ロジックダイ 23024 には、制御回路 23013 及びロジック回路 23014 が搭載されている。

[0142] 図 37 は、積層型の固体撮像素子 23020 の第 1 の構成例を示す断面図である。

[0143] センサダイ 23021 には、画素領域 23012 となる画素を構成する P D（フォトダイオード）や、F D（フローティングディフュージョン）、T r（MOS FET）、及び、制御回路 23013 となる T r 等が形成される。さらに、センサダイ 23021 には、複数層、本例では 3 層の配線 23110 を有する配線層 23101 が形成される。なお、制御回路 23013（となる T r）は、センサダイ 23021 ではなく、ロジックダイ 23024 に構成することができる。

[0144] ロジックダイ 23024 には、ロジック回路 23014 を構成する T r が形成される。さらに、ロジックダイ 23024 には、複数層、本例では 3 層

の配線 23170 を有する配線層 23161 が形成される。また、ロジックダイ 23024 には、内壁面に絶縁膜 23172 が形成された接続孔 23171 が形成され、接続孔 23171 内には、配線 23170 等と接続される接続導体 23173 が埋め込まれる。

[0145] センサダイ 23021 とロジックダイ 23024 とは、互いの配線層 23101 及び 23161 が向き合うように貼り合わされ、これにより、センサダイ 23021 とロジックダイ 23024 とが積層された積層型の固体撮像素子 23020 が構成されている。センサダイ 23021 とロジックダイ 23024 とが貼り合わされる面には、保護膜等の膜 23191 が形成されている。

[0146] センサダイ 23021 には、センサダイ 23021 の裏面側（PD に光が入射する側）（上側）からセンサダイ 23021 を貫通してロジックダイ 23024 の最上層の配線 23170 に達する接続孔 23111 が形成される。さらに、センサダイ 23021 には、接続孔 23111 に近接して、センサダイ 23021 の裏面側から 1 層目の配線 23110 に達する接続孔 23121 が形成される。接続孔 23111 の内壁面には、絶縁膜 23112 が形成され、接続孔 23121 の内壁面には、絶縁膜 23122 が形成される。そして、接続孔 23111 及び 23121 内には、接続導体 23113 及び 23123 がそれぞれ埋め込まれる。接続導体 23113 と接続導体 23123 とは、センサダイ 23021 の裏面側で電氣的に接続され、これにより、センサダイ 23021 とロジックダイ 23024 とが、配線層 23101、接続孔 23121、接続孔 23111、及び、配線層 23161 を介して、電氣的に接続される。

[0147] 図 38 は、積層型の固体撮像素子 23020 の第 2 の構成例を示す断面図である。

[0148] 固体撮像素子 23020 の第 2 の構成例では、センサダイ 23021 に形成する 1 つの接続孔 23211 によって、センサダイ 23021 （の配線層 23101 （の配線 23110））と、ロジックダイ 23024 （の配線層

23161（の配線23170））とが電氣的に接続される。

[0149] すなわち、図38では、接続孔23211が、センサダイ23021の裏面側からセンサダイ23021を貫通してロジックダイ23024の最上層の配線23170に達し、且つ、センサダイ23021の最上層の配線23110に達するように形成される。接続孔23211の内壁面には、絶縁膜23212が形成され、接続孔23211内には、接続導体23213が埋め込まれる。上述の図38では、2つの接続孔23111及び23121によって、センサダイ23021とロジックダイ23024とが電氣的に接続されるが、図39では、1つの接続孔23211によって、センサダイ23021とロジックダイ23024とが電氣的に接続される。

[0150] 図39は、積層型の固体撮像素子23020の第3の構成例を示す断面図である。

[0151] 図39の固体撮像素子23020は、センサダイ23021とロジックダイ23024とが貼り合わされる面に、保護膜等の膜23191が形成されていない点で、センサダイ23021とロジックダイ23024とが貼り合わされる面に、保護膜等の膜23191が形成されている図38の場合と異なる。

[0152] 図39の固体撮像素子23020は、配線23110及び23170が直接接触するように、センサダイ23021とロジックダイ23024とを重ね合わせ、所要の加重をかけながら加熱し、配線23110及び23170を直接接合することで構成される。

[0153] 図40は、本開示に係る技術を適用し得る積層型の固体撮像素子の他の構成例を示す断面図である。

[0154] 図40では、固体撮像素子23401は、センサダイ23411と、ロジックダイ23412と、メモリダイ23413との3枚のダイが積層された3層の積層構造になっている。

[0155] メモリダイ23413は、例えば、ロジックダイ23412で行われる信号処理において一時的に必要となるデータの記憶を行うメモリ回路を有する

。

[0156] 図40では、センサダイ23411の下に、ロジックダイ23412及びメモリダイ23413が、その順番で積層されているが、ロジックダイ23412及びメモリダイ23413は、逆順、すなわち、メモリダイ23413及びロジックダイ23412の順番で、センサダイ23411の下に積層することができる。

[0157] なお、図40では、センサダイ23411には、画素の光電変換部となるPDや、画素Trのソース／ドレイン領域が形成されている。

[0158] PDの周囲にはゲート絶縁膜を介してゲート電極が形成され、ゲート電極と対のソース／ドレイン領域により画素Tr23421、画素Tr23422が形成されている。

[0159] PDに隣接する画素Tr23421が転送Trであり、その画素Tr23421を構成する対のソース／ドレイン領域の一方がFDになっている。

[0160] また、センサダイ23411には、層間絶縁膜が形成され、層間絶縁膜には、接続孔が形成される。接続孔には、画素Tr23421、及び、画素Tr23422に接続する接続導体23431が形成されている。

[0161] さらに、センサダイ23411には、各接続導体23431に接続する複数層の配線23432を有する配線層23433が形成されている。

[0162] また、センサダイ23411の配線層23433の最下層には、外部接続用の電極となるアルミパッド23434が形成されている。すなわち、センサダイ23411では、配線23432よりもロジックダイ23412との接着面23440に近い位置にアルミパッド23434が形成されている。アルミパッド23434は、外部との信号の入出力に係る配線の一端として用いられる。

[0163] さらに、センサダイ23411には、ロジックダイ23412との電氣的接続に用いられるコンタクト23441が形成されている。コンタクト23441は、ロジックダイ23412のコンタクト23451に接続されるとともに、センサダイ23411のアルミパッド23442にも接続されてい

る。

[0164] そして、センサダイ 2 3 4 1 1 には、センサダイ 2 3 4 1 1 の裏面側（上側）からアルミパッド 2 3 4 4 2 に達するようにパッド孔 2 3 4 4 3 が形成されている。

[0165] 本開示に係る技術は、以上のような固体撮像素子に適用することができる。例えば、配線 2 3 1 1 0 や配線層 2 3 1 6 1 には、例えば、上述した複数の画素駆動線 2 3 および複数の垂直信号線 2 4 が設けられていてもよい。その場合、この複数の垂直信号線 2 4 の配線間に図 1 に示したような空隙 G が形成することで、配線間の容量を低減することができる。また、配線間の容量の増加を抑えることで、配線容量のばらつきを低減することができる。

[0166] < 4. 応用例 >

（応用例 1）

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0167] 図 4 1 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0168] 車両制御システム 1 2 0 0 0 は、通信ネットワーク 1 2 0 0 1 を介して接続された複数の電子制御ユニットを備える。図 4 2 に示した例では、車両制御システム 1 2 0 0 0 は、駆動系制御ユニット 1 2 0 1 0、ボディ系制御ユニット 1 2 0 2 0、車外情報検出ユニット 1 2 0 3 0、車内情報検出ユニット 1 2 0 4 0、及び統合制御ユニット 1 2 0 5 0 を備える。また、統合制御ユニット 1 2 0 5 0 の機能構成として、マイクロコンピュータ 1 2 0 5 1、音声画像出力部 1 2 0 5 2、及び車載ネットワーク I/F（interface）1 2 0 5 3 が図示されている。

[0169] 駆動系制御ユニット 1 2 0 1 0 は、各種プログラムにしたがって車両の駆

動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0170] ボディ系制御ユニット 12020 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 12020 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウインカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 12020 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0171] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させると共に、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0172] 撮像部 12031 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 12031 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0173] 車内情報検出ユニット 12040 は、車内の情報を検出する。車内情報検出ユニット 12040 には、例えば、運転者の状態を検出する運転者状態検

出部 12041 が接続される。運転者状態検出部 12041 は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット 12040 は、運転者状態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0174] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 12010 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含む ADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0175] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0176] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0177] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 41 の例では、出力装置として、オ

オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0178] 図 42 は、撮像部 12031 の設置位置の例を示す図である。

[0179] 図 42 では、車両 12100 は、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0180] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。撮像部 12101 及び 12105 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0181] なお、図 42 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112、12113 は、それぞれサイドミラーに設けられた撮像部 12102、12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0182] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104

の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0183] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。更に、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0184] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0185] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識

は、例えば赤外線カメラとしての撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 1 2 0 5 1 が、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 1 2 0 5 2 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 1 2 0 6 2 を制御する。また、音声画像出力部 1 2 0 5 2 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 1 2 0 6 2 を制御してもよい。

[0186] 以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 1 2 0 3 1 に適用され得る。具体的には、上記実施の形態およびその変形例に係る撮像素子 1 は、撮像部 1 2 0 3 1 に適用することができる。撮像部 1 2 0 3 1 に本開示に係る技術を適用することにより、ノイズの少ない高精細な撮影画像を得ることができるので、移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことができる。

[0187] (応用例 2)

図 4 3 は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0188] 図 4 3 では、術者（医師） 1 1 1 3 1 が、内視鏡手術システム 1 1 0 0 0 を用いて、患者ベッド 1 1 1 3 3 上の患者 1 1 1 3 2 に手術を行っている様子が図示されている。図示するように、内視鏡手術システム 1 1 0 0 0 は、内視鏡 1 1 1 0 0 と、気腹チューブ 1 1 1 1 1 やエネルギー処置具 1 1 1 1 2 等の、その他の術具 1 1 1 1 0 と、内視鏡 1 1 1 0 0 を支持する支持アーム装置 1 1 1 2 0 と、内視鏡下手術のための各種の装置が搭載されたカート 1 1 2 0 0 と、から構成される。

[0189] 内視鏡 1 1 1 0 0 は、先端から所定の長さの領域が患者 1 1 1 3 2 の体腔内に挿入される鏡筒 1 1 1 0 1 と、鏡筒 1 1 1 0 1 の基端に接続されるカメ

ラヘッド 11102 と、から構成される。図示する例では、硬性の鏡筒 11101 を有するいわゆる硬性鏡として構成される内視鏡 11100 を図示しているが、内視鏡 11100 は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0190] 鏡筒 11101 の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡 11100 には光源装置 11203 が接続されており、当該光源装置 11203 によって生成された光が、鏡筒 11101 の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者 11132 の体腔内の観察対象に向かって照射される。なお、内視鏡 11100 は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0191] カメラヘッド 11102 の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU: Camera Control Unit）11201 に送信される。

[0192] CCU 11201 は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡 11100 及び表示装置 11202 の動作を統括的に制御する。更に、CCU 11201 は、カメラヘッド 11102 から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

[0193] 表示装置 11202 は、CCU 11201 からの制御により、当該 CCU 11201 によって画像処理が施された画像信号に基づく画像を表示する。

[0194] 光源装置 11203 は、例えばLED（Light Emitting Diode）等の光源から構成され、術部等を撮影する際の照射光を内視鏡

１１１００に供給する。

[0195] 入力装置１１２０４は、内視鏡手術システム１１０００に対する入力インタフェースである。ユーザは、入力装置１１２０４を介して、内視鏡手術システム１１０００に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡１１１００による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0196] 処置具制御装置１１２０５は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具１１１１２の駆動を制御する。気腹装置１１２０６は、内視鏡１１１００による視野の確保及び術者の作業空間の確保の目的で、患者１１１３２の体腔を膨らめるために、気腹チューブ１１１１１を介して当該体腔内にガスを送り込む。レコーダ１１２０７は、手術に関する各種の情報を記録可能な装置である。プリンタ１１２０８は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0197] なお、内視鏡１１１００に術部を撮影する際の照射光を供給する光源装置１１２０３は、例えばＬＥＤ、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。ＲＧＢレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置１１２０３において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、ＲＧＢレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド１１１０２の撮像素子の駆動を制御することにより、ＲＧＢそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0198] また、光源装置１１２０３は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド１１１０２の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とび

のない高ダイナミックレンジの画像を生成することができる。

[0199] また、光源装置 11203 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注すると共に当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 11203 は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0200] 図 44 は、図 43 に示すカメラヘッド 11102 及び CCU 11201 の機能構成の一例を示すブロック図である。

[0201] カメラヘッド 11102 は、レンズユニット 11401 と、撮像部 11402 と、駆動部 11403 と、通信部 11404 と、カメラヘッド制御部 11405 と、を有する。CCU 11201 は、通信部 11411 と、画像処理部 11412 と、制御部 11413 と、を有する。カメラヘッド 11102 と CCU 11201 とは、伝送ケーブル 11400 によって互いに通信可能に接続されている。

[0202] レンズユニット 11401 は、鏡筒 11101 との接続部に設けられる光学系である。鏡筒 11101 の先端から取り込まれた観察光は、カメラヘッド 11102 まで導光され、当該レンズユニット 11401 に入射する。レンズユニット 11401 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0203] 撮像部 11402 は、撮像素子で構成される。撮像部 11402 を構成す

る撮像素子は、１つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部１１４０２が多板式で構成される場合には、例えば各撮像素子によってRGBそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部１１４０２は、３Ｄ（Dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための１対の撮像素子を有するように構成されてもよい。３Ｄ表示が行われることにより、術者１１１３１は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部１１４０２が多板式で構成される場合には、各撮像素子に対応して、レンズユニット１１４０１も複数系統設けられ得る。

[0204] また、撮像部１１４０２は、必ずしもカメラヘッド１１１０２に設けられなくてもよい。例えば、撮像部１１４０２は、鏡筒１１１０１の内部に、対物レンズの直後に設けられてもよい。

[0205] 駆動部１１４０３は、アクチュエータによって構成され、カメラヘッド制御部１１４０５からの制御により、レンズユニット１１４０１のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部１１４０２による撮像画像の倍率及び焦点が適宜調整され得る。

[0206] 通信部１１４０４は、CCU１１２０１との間で各種の情報を送受信するための通信装置によって構成される。通信部１１４０４は、撮像部１１４０２から得た画像信号をRAWデータとして伝送ケーブル１１４００を介してCCU１１２０１に送信する。

[0207] また、通信部１１４０４は、CCU１１２０１から、カメラヘッド１１１０２の駆動を制御するための制御信号を受信し、カメラヘッド制御部１１４０５に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

- [0208] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてCCU 11201の制御部11413によって自動的に設定されてもよい。後者の場合には、いわゆるAE (Auto Exposure) 機能、AF (Auto Focus) 機能及びAWB (Auto White Balance) 機能が内視鏡11100に搭載されていることになる。
- [0209] カメラヘッド制御部11405は、通信部11404を介して受信したCCU 11201からの制御信号に基づいて、カメラヘッド11102の駆動を制御する。
- [0210] 通信部11411は、カメラヘッド11102との間で各種の情報を送受信するための通信装置によって構成される。通信部11411は、カメラヘッド11102から、伝送ケーブル11400を介して送信される画像信号を受信する。
- [0211] また、通信部11411は、カメラヘッド11102に対して、カメラヘッド11102の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。
- [0212] 画像処理部11412は、カメラヘッド11102から送信されたRAWデータである画像信号に対して各種の画像処理を施す。
- [0213] 制御部11413は、内視鏡11100による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部11413は、カメラヘッド11102の駆動を制御するための制御信号を生成する。
- [0214] また、制御部11413は、画像処理部11412によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置11202に表示させる。この際、制御部11413は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部11413は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具11112の使

用時のミスト等を認識することができる。制御部 11413 は、表示装置 11202 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 11131 に提示されることにより、術者 11131 の負担を軽減することや、術者 11131 が確実に手術を進めることが可能になる。

[0215] カメラヘッド 11102 及び CCU 11201 を接続する伝送ケーブル 11400 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0216] ここで、図示する例では、伝送ケーブル 11400 を用いて有線で通信が行われていたが、カメラヘッド 11102 と CCU 11201 との間の通信は無線で行われてもよい。

[0217] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、内視鏡 11100 のカメラヘッド 11102 に設けられた撮像部 11402 に好適に適用され得る。撮像部 11402 に本開示に係る技術を適用することにより、撮像部 11402 を小型化もしくは高精細化することができるので、小型もしくは高精細な内視鏡 11100 を提供することができる。

[0218] 以上、実施の形態およびその変形例 1～12、適用例ならびに応用例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能である。例えば、上記変形例 1～3 では、上記実施の形態に示した配線間に空隙 AG を有する配線構造 100 の変形例を説明したが、本技術は、誘電率材料（Low- ϵ 材料）からなる絶縁膜を用いた配線構造を有するものであれば、配線間に空隙 AG の有無に関わらず適用することができ、上記変形例 1～3 と同様の効果を得ることができる。

[0219] また、上記実施の形態等では、複数の画素駆動線 23 は行方向に、複数の垂直信号線は列方向に延在する例を示したが、互いに同一方向に延在するようにしてもよい。また、画素駆動線 23 は、垂直方向等、適宜その延在方向

を変えることができる。

[0220] さらに、上記実施の形態等では、3次元構造を有する撮像素子を例に本技術を説明したがこれに限らない。本技術は、3次元積層型の大規模集積化（LSI）されたあらゆる半導体装置に適用することができる。

[0221] なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持ってもよい。

[0222] 本開示によれば、配線間の領域に空隙を設けると共に、一部の配線において、金属膜の周囲の一部に、バリアメタル層が存在しないようにしているので、複数の配線同士の間を生じる寄生容量（配線間容量）を効果的に低減することができる。

[0223] なお、本明細書中に記載された効果はあくまで例示であってその記載に限定されるものではなく、他の効果があってもよい。また、本技術は以下のような構成を取り得るものである。

(1)

第1の方向に延在する複数の配線を有する配線層と、

前記配線層に積層され、前記第1の方向と直交する第2の方向において隣り合う複数の配線に挟まれた間隙領域に存在する空隙を含む第1の絶縁膜と、

前記複数の配線と前記第1の絶縁膜との間に設けられた第2の絶縁膜とを有し、

前記配線は、第1の金属を含む導電性材料からなる金属膜と、前記第1の方向と直交する断面において前記金属膜の周囲を部分的に覆い、前記第1の金属の拡散を抑止する第2の金属を含む材料からなるバリアメタル層とを有し、

前記第2の絶縁膜は、前記第1の金属の拡散を抑止する絶縁材料を含み、前記金属膜の一部を覆うように設けられている

配線構造。

(2)

前記金属膜の側面の一部または全部が前記バリアメタル層に覆われずに前記第2の絶縁膜により覆われている

上記(1)記載の配線構造。

(3)

前記金属膜は、前記金属膜の側面から前記金属膜の下面にかけて前記バリアメタル層に覆われずに露出した部分を有する

上記(1)記載の配線構造。

(4)

前記金属膜の上面に段差部が形成されている

上記(1)～(3)のいずれか1つに記載の配線構造。

(5)

前記複数の第1の配線を埋設する第3の絶縁膜をさらに備える

上記(1)～(4)のいずれか1つに記載の配線構造。

(6)

前記第1の絶縁膜は、比誘電率(k)が3.0以下の低誘電率材料を含む

上記(1)～(5)のいずれか1つに記載の配線構造。

(7)

前記第2の絶縁膜は、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)または SiC_xN_y を含む

上記(1)～(6)のいずれか1つに記載の配線構造。

(8)

前記金属膜の導電率は、前記バリアメタル層の導電率よりも高い

上記(1)～(7)のいずれか1つに記載の配線構造。

(9)

光電変換により電荷を生成可能なセンサ画素が設けられた第1半導体基板を含む第1基板と、

前記電荷に基づく画素信号を出力可能な読み出し回路を有する第2半導体

基板と、前記第 2 半導体基板に積層された多層配線層とを含み、前記第 1 基板に積層された第 2 基板と

を備え、

前記多層配線層は、

第 1 の方向に延在する複数の配線を有する配線層と、

前記配線層に積層され、前記第 1 の方向と直交する第 2 の方向において隣り合う前記複数の配線に挟まれた間隙領域に存在する空隙を含む第 1 の絶縁膜と、

前記複数の配線と前記第 1 の絶縁膜との間に設けられた第 2 の絶縁膜と

を有し、

前記配線は、第 1 の金属を含む第 1 の金属材料からなる金属膜と、前記第 1 の方向と直交する断面において前記金属膜の周囲を部分的に覆い、前記第 1 の金属の拡散を抑止する第 2 の金属材料からなるバリアメタル層とを有し、

前記第 2 の絶縁膜は、前記第 1 の金属の拡散を抑止する絶縁材料を含み、前記金属膜の一部を覆うように設けられている

撮像装置。

(10)

前記第 2 基板の前記第 1 基板と反対側に、前記画素信号を処理するロジック回路および前記画素信号を保持するメモリ回路のうちの少なくとも一方を有する第 3 半導体基板を含む第 3 基板をさらに備えた

上記 (9) 記載の撮像装置。

(11)

第 1 の方向にそれぞれ延在すると共に、第 1 の金属を含む導電性材料からなる金属膜、および前記第 1 の方向と直交する断面において前記金属膜の下面および前記金属膜の側面を覆い前記第 1 の金属の拡散を抑止する第 2 の金属を含む材料からなるバリアメタル層、をそれぞれ有する複数の配線を下地絶縁膜に埋め込み形成することと、

前記第 1 の方向と直交する第 2 の方向において隣り合う前記複数の配線に挟まれた間隙領域に存在する前記下地絶縁膜を掘り下げると共に、前記金属膜の側面を覆う前記バリアメタル層の少なくとも一部を除去することと、

前記第 1 の金属の拡散を抑止する絶縁材料を用いて、前記下地絶縁膜および複数の配線を覆うように第 2 の絶縁膜を形成することと、

前記第 2 の絶縁膜を覆うと共に前記間隙領域に空隙を含むように第 1 の絶縁膜を形成することと

を含む

配線構造の製造方法。

(1 2)

前記金属膜の側面を覆う前記バリアメタル層の少なくとも一部を除去することにより前記金属膜の側面の少なくとも一部を露出させたのち、

露出した前記金属膜の一部を覆うように前記第 2 の絶縁膜を形成するようにする

上記 (1 1) 記載の配線構造の製造方法。

[0224] 本出願は、日本国特許庁において 2020 年 7 月 13 日に出願された日本特許出願番号 2020-120247 号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0225] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 第1の方向に延在する複数の配線を有する配線層と、
 前記配線層に積層され、前記第1の方向と直交する第2の方向において隣り合う前記複数の配線に挟まれた間隙領域に存在する空隙を含む第1の絶縁膜と、
 前記複数の配線と前記第1の絶縁膜との間に設けられた第2の絶縁膜と
 を有し、
 前記配線は、第1の金属を含む導電性材料からなる金属膜と、前記第1の方向と直交する断面において前記金属膜の周囲を部分的に覆い、前記第1の金属の拡散を抑止する第2の金属を含む材料からなるバリアメタル層とを有し、
 前記第2の絶縁膜は、前記第1の金属の拡散を抑止する絶縁材料を含み、前記金属膜の一部を覆うように設けられている
 配線構造。
- [請求項2] 前記金属膜の側面の一部または全部が前記バリアメタル層に覆われずに前記第2の絶縁膜により覆われている
 請求項1記載の配線構造。
- [請求項3] 前記金属膜は、前記金属膜の側面から前記金属膜の下面にかけて前記バリアメタル層に覆われずに露出した部分を有する
 請求項1記載の配線構造。
- [請求項4] 前記金属膜の上面に段差部が形成されている
 請求項1記載の配線構造。
- [請求項5] 前記複数の第1の配線を埋設する第3の絶縁膜をさらに備える
 請求項1記載の配線構造。
- [請求項6] 前記第1の絶縁膜は、比誘電率（ k ）が3.0以下の低誘電率材料を含む
 請求項1記載の配線構造。

- [請求項7] 前記第2の絶縁膜は、酸化シリコン (SiO_x)、窒化シリコン (SiN_x) または SiC_xN_y を含む
請求項1記載の配線構造。
- [請求項8] 前記金属膜の導電率は、前記バリアメタル層の導電率よりも高い
請求項1記載の配線構造。
- [請求項9] 光電変換により電荷を生成可能なセンサ画素が設けられた第1半導体基板を含む第1基板と、
前記電荷に基づく画素信号を出力可能な読み出し回路を有する第2半導体基板と、前記第2半導体基板に積層された多層配線層とを含み、
前記第1基板に積層された第2基板と
を備え、
前記多層配線層は、
第1の方向に延在する複数の配線を有する配線層と、
前記配線層に積層され、前記第1の方向と直交する第2の方向において隣り合う前記複数の配線に挟まれた間隙領域に存在する空隙を含む第1の絶縁膜と、
前記複数の配線と前記第1の絶縁膜との間に設けられた第2の絶縁膜と
を有し、
前記配線は、第1の金属を含む第1の金属材料からなる金属膜と、
前記第1の方向と直交する断面において前記金属膜の周囲を部分的に覆い、前記第1の金属の拡散を抑止する第2の金属材料からなるバリアメタル層とを有し、
前記第2の絶縁膜は、前記第1の金属の拡散を抑止する絶縁材料を含み、前記金属膜の一部を覆うように設けられている
撮像装置。
- [請求項10] 前記第2基板の前記第1基板と反対側に、前記画素信号を処理するロジック回路および前記画素信号を保持するメモリ回路のうちの少な

くとも一方を有する第3半導体基板を含む第3基板をさらに備えた
請求項9記載の撮像装置。

[請求項11] 第1の方向にそれぞれ延在すると共に、第1の金属を含む導電性材料からなる金属膜、および前記第1の方向と直交する断面において前記金属膜の下面および前記金属膜の側面を覆い前記第1の金属の拡散を抑止する第2の金属を含む材料からなるバリアメタル層、をそれぞれ有する複数の配線を下地絶縁膜に埋め込み形成することと、

前記第1の方向と直交する第2の方向において隣り合う前記複数の配線に挟まれた間隙領域に存在する前記下地絶縁膜を掘り下げると共に、前記金属膜の側面を覆う前記バリアメタル層の少なくとも一部を除去することと、

前記第1の金属の拡散を抑止する絶縁材料を用いて、前記下地絶縁膜および複数の配線を覆うように第2の絶縁膜を形成することと、

前記第2の絶縁膜を覆うと共に前記間隙領域に空隙を含むように第1の絶縁膜を形成することと

を含む

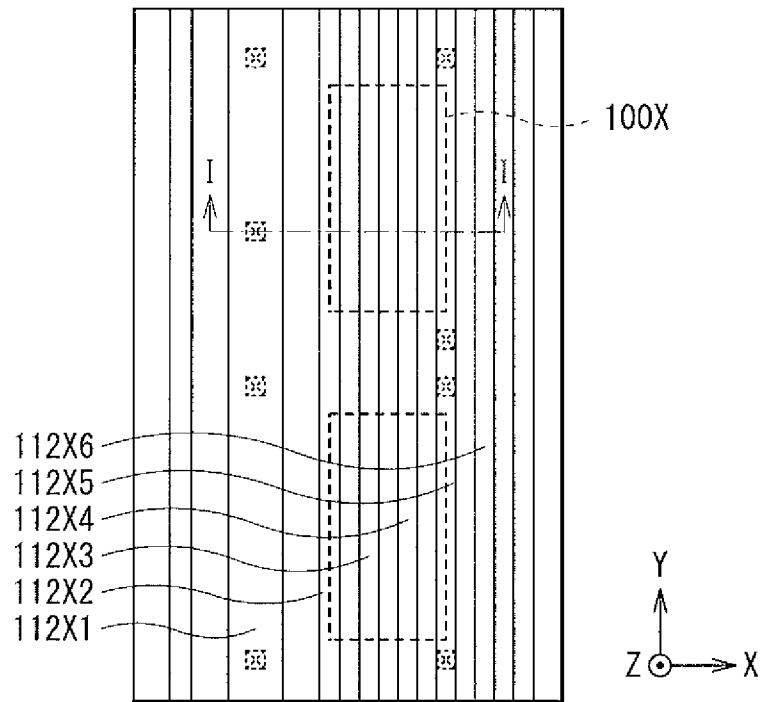
配線構造の製造方法。

[請求項12] 前記金属膜の側面を覆う前記バリアメタル層の少なくとも一部を除去することにより前記金属膜の側面の少なくとも一部を露出させたのち、

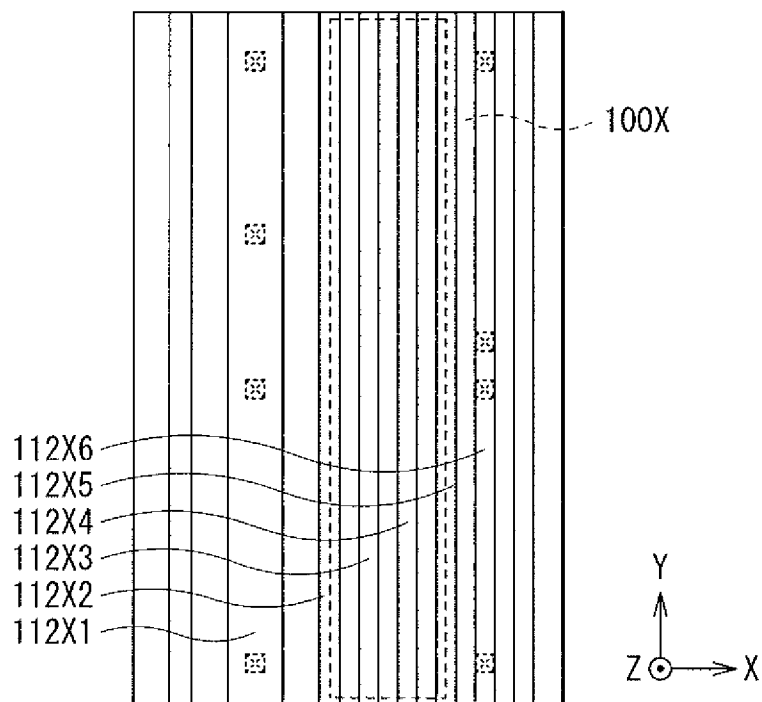
露出した前記金属膜の一部を覆うように前記第2の絶縁膜を形成するようにする

請求項11記載の配線構造の製造方法。

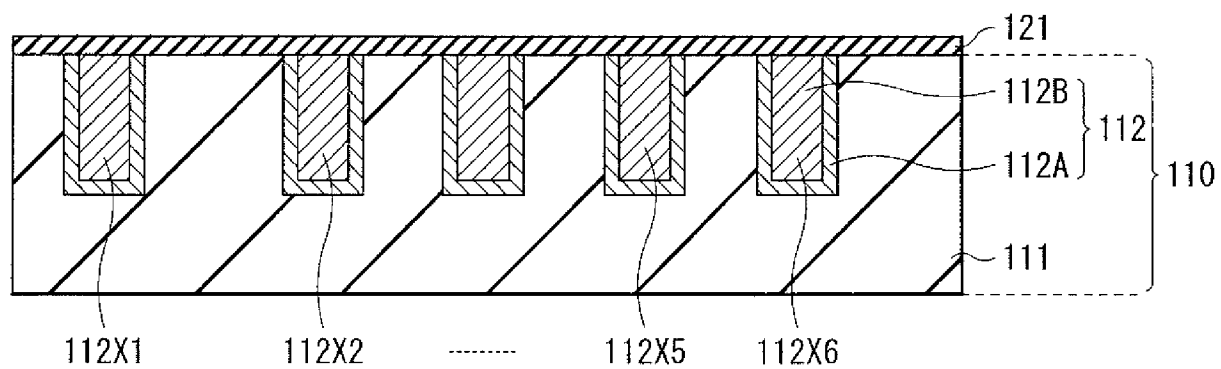
[図2A]



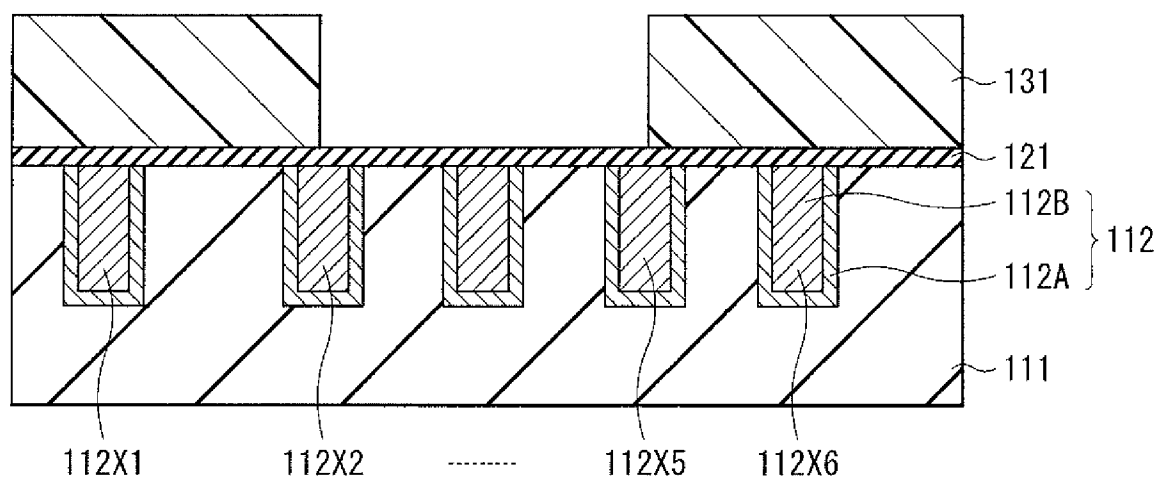
[図2B]



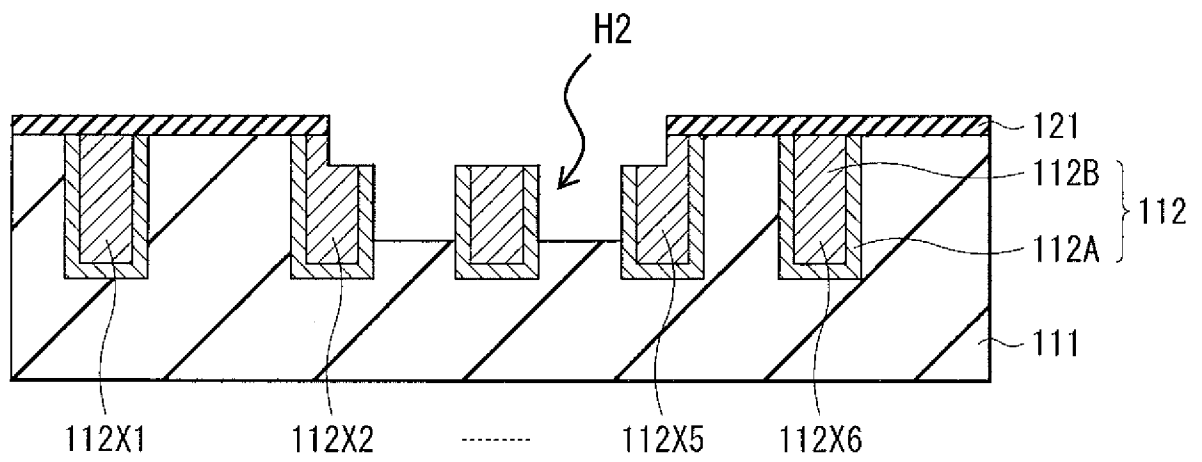
[図3A]



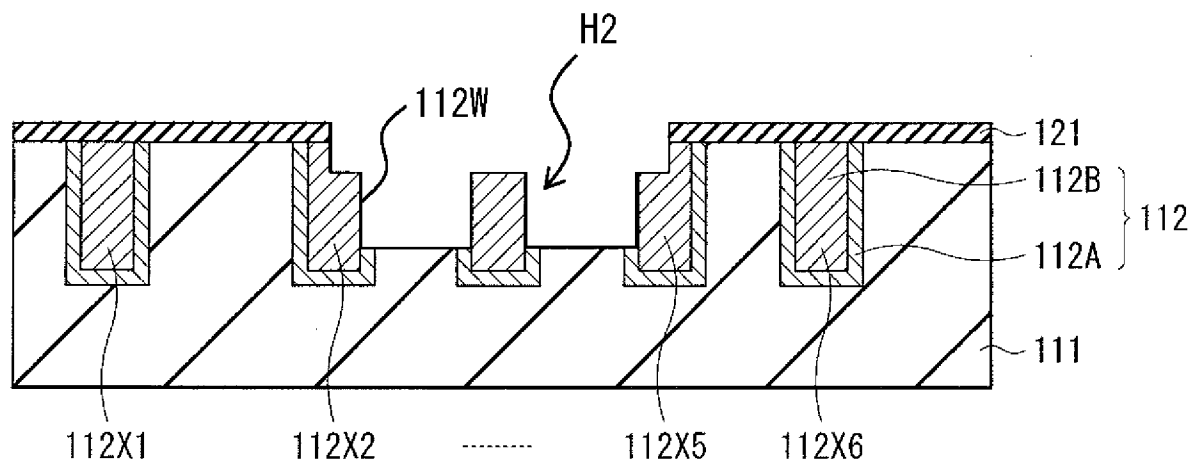
[図3B]



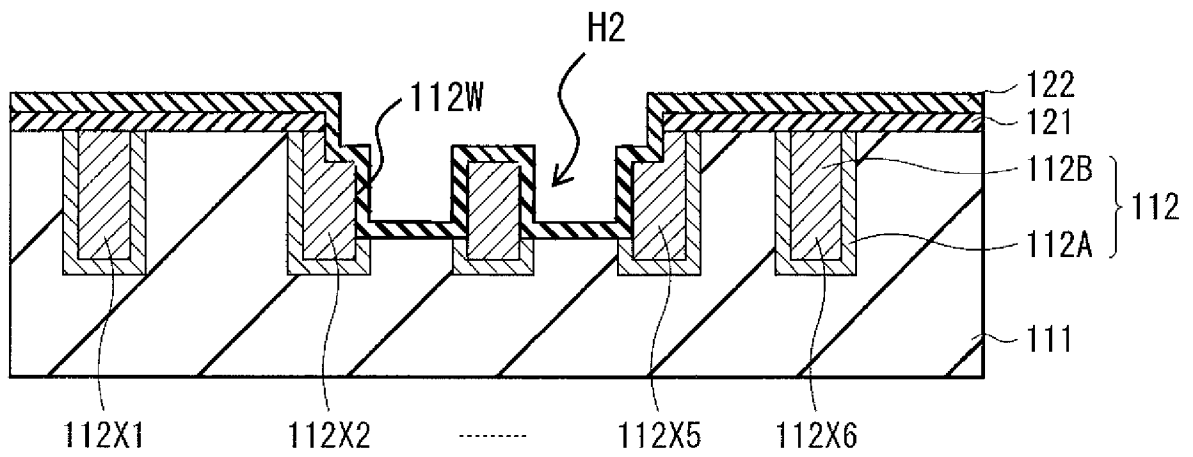
[図3C]



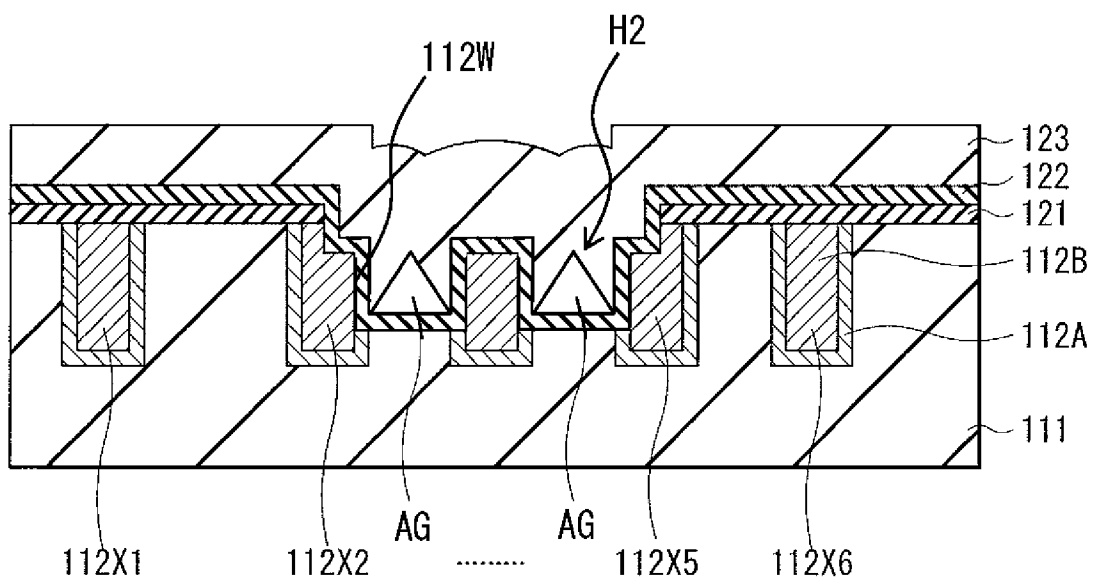
[図3D]



[図3E]

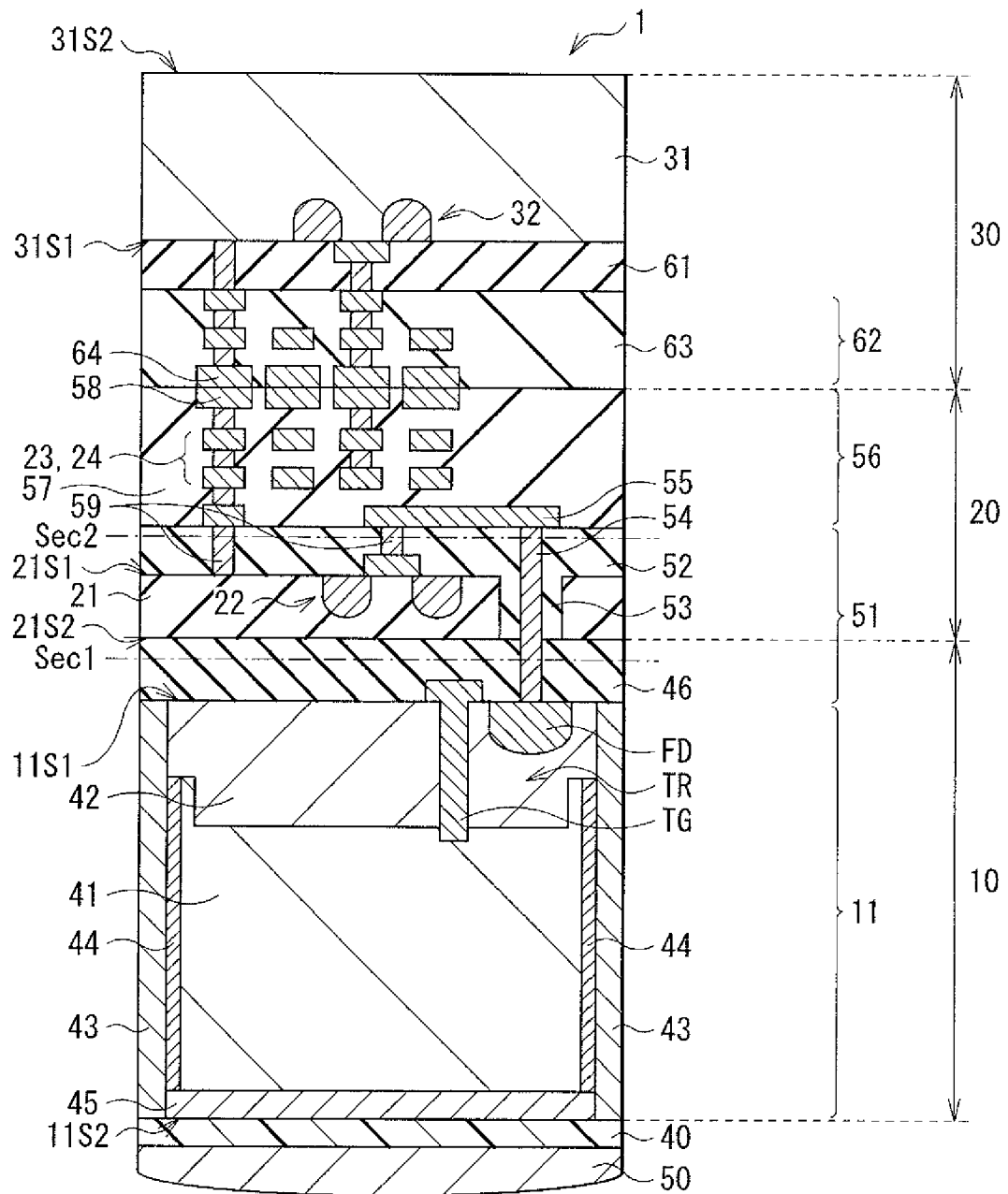


[図3F]

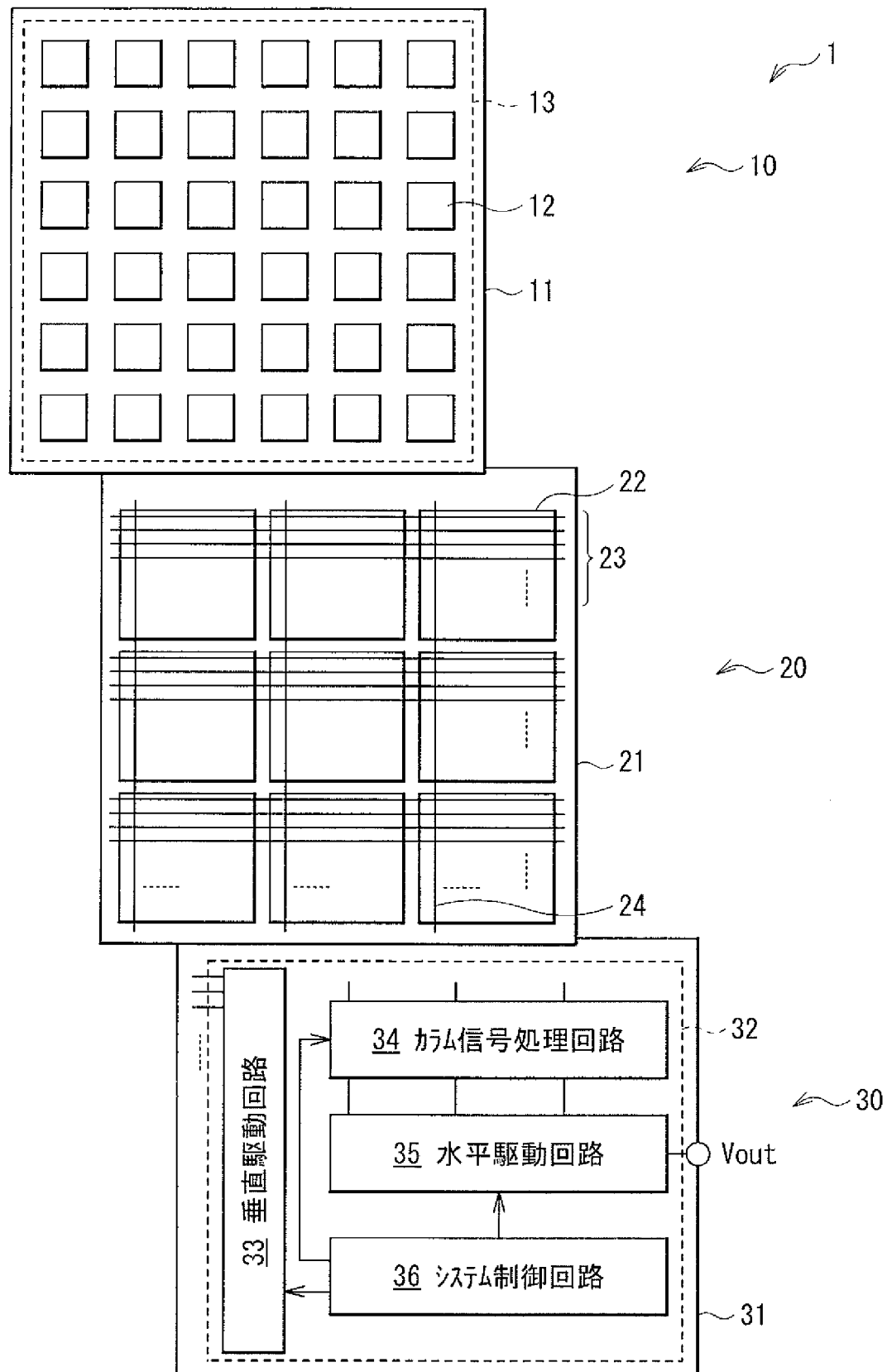


[illegible]

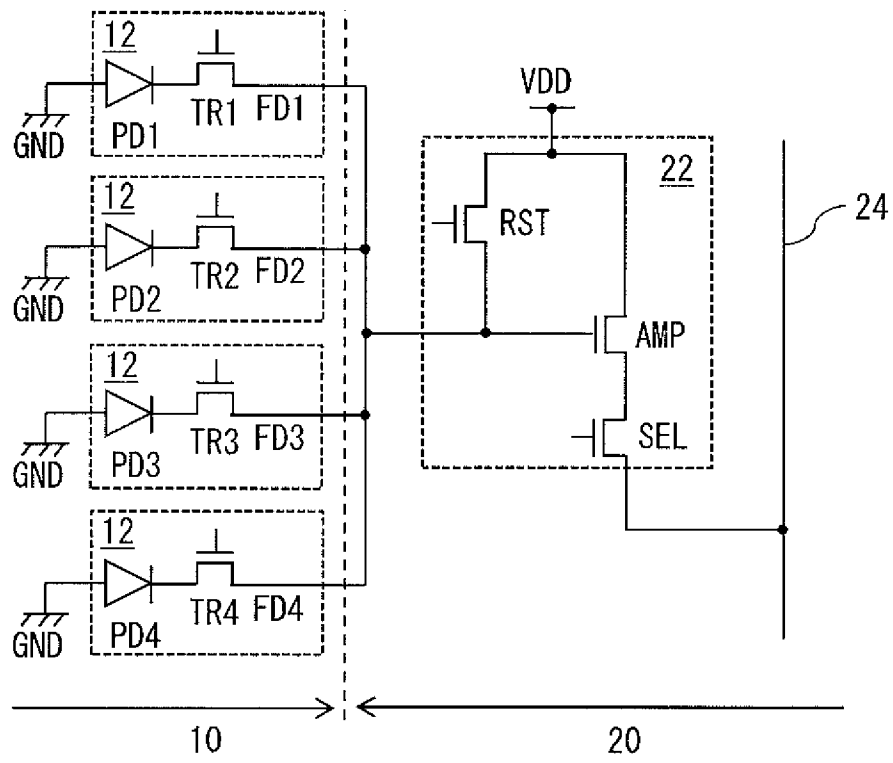
[図4]



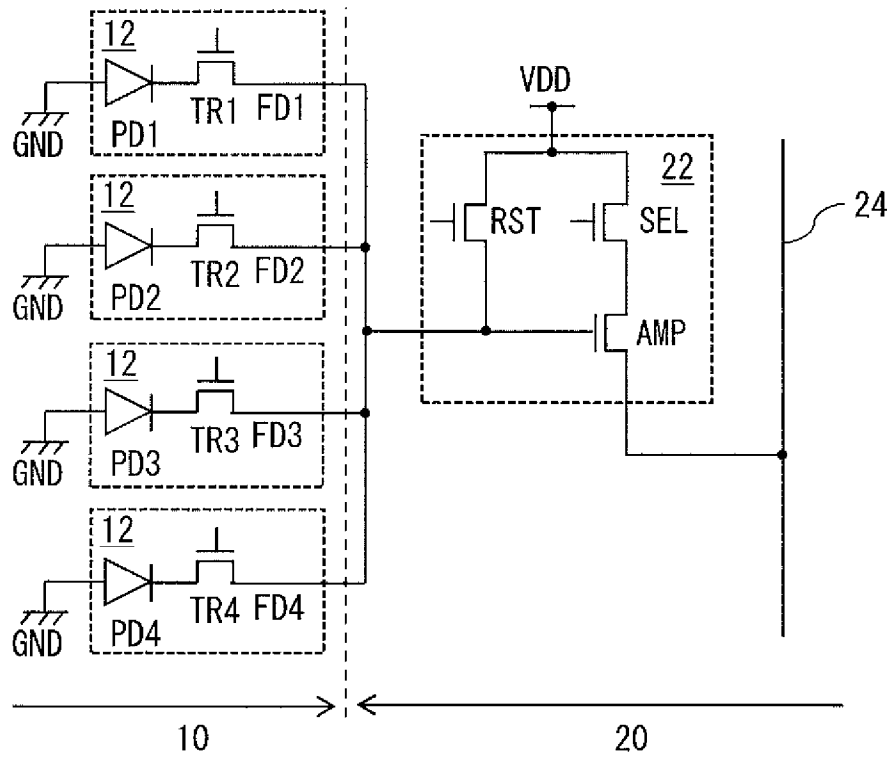
[図5]



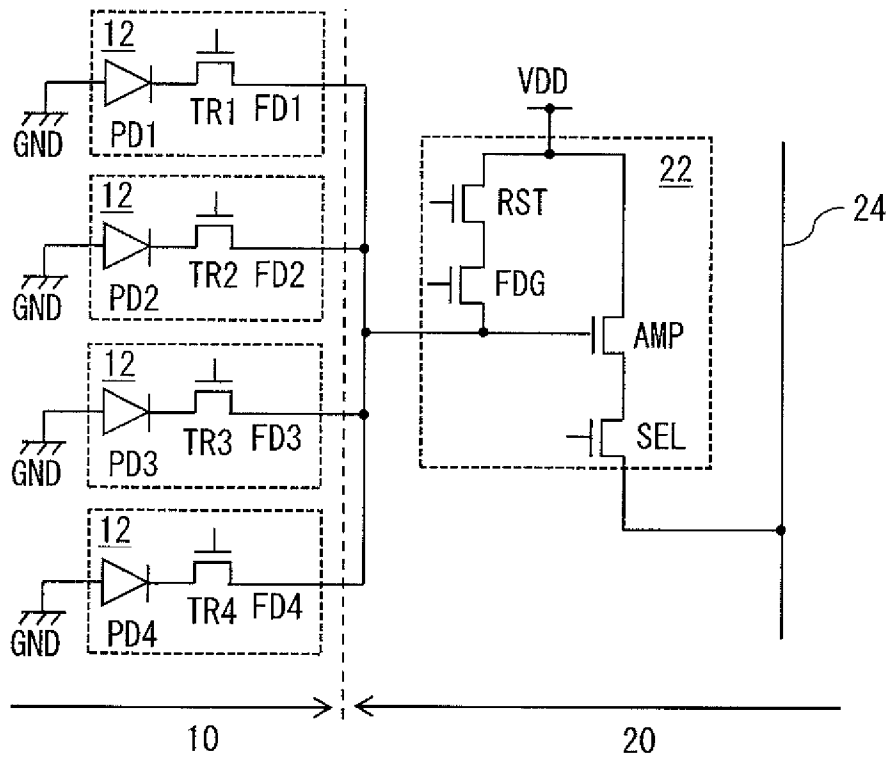
[図7]

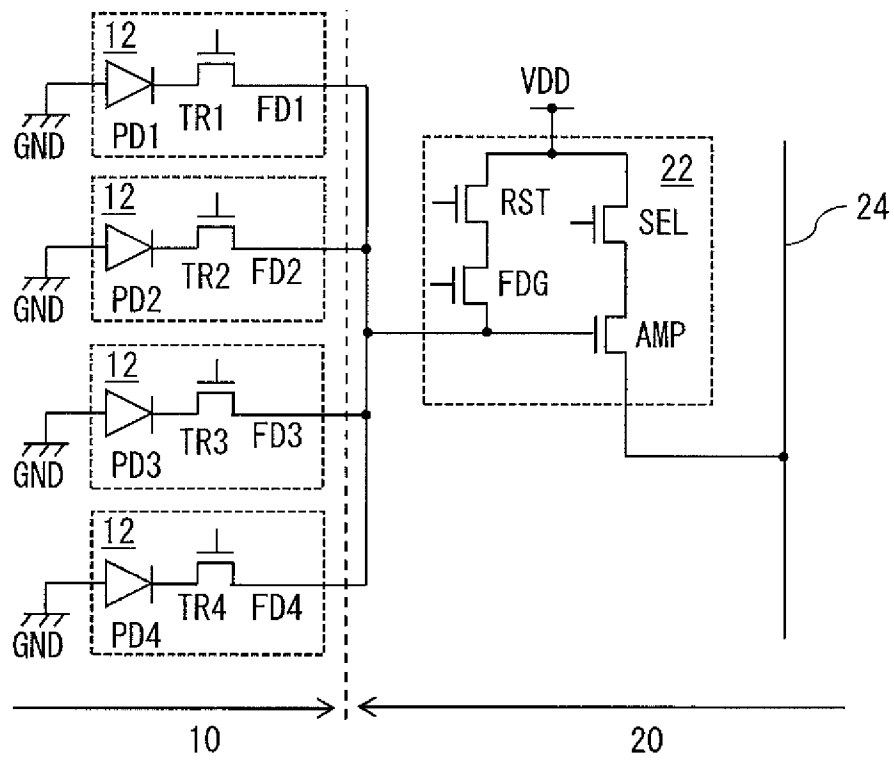


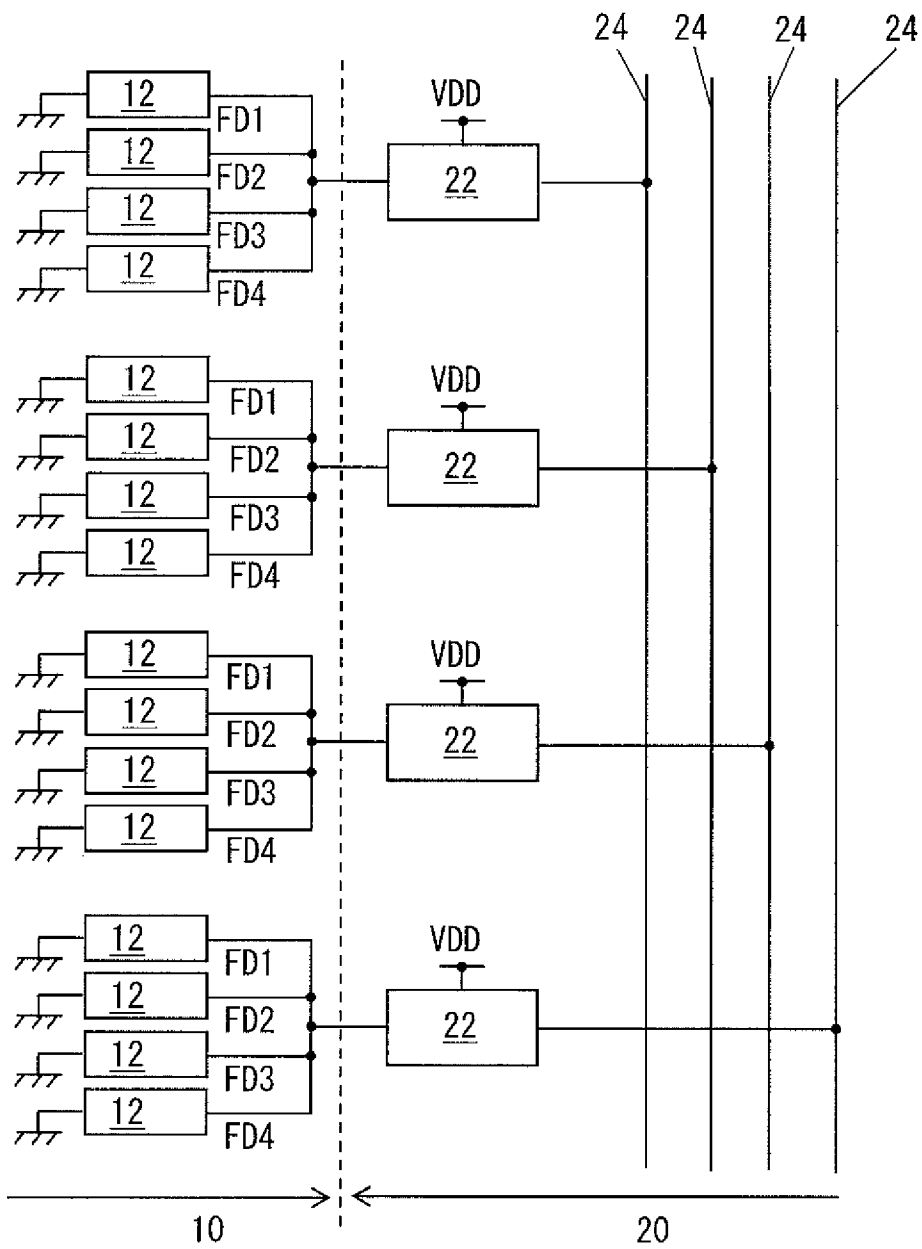
[図8]



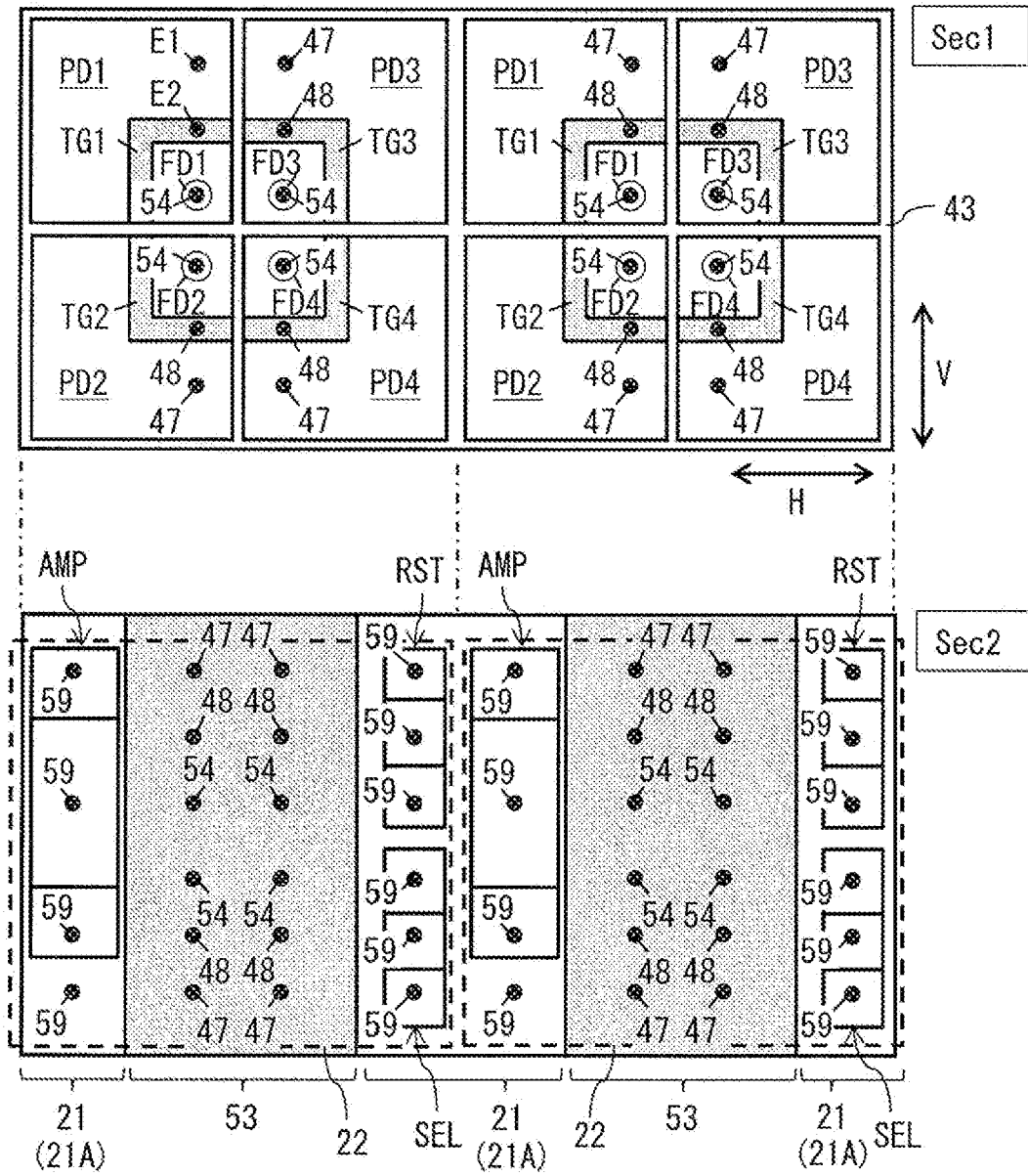
[図9]



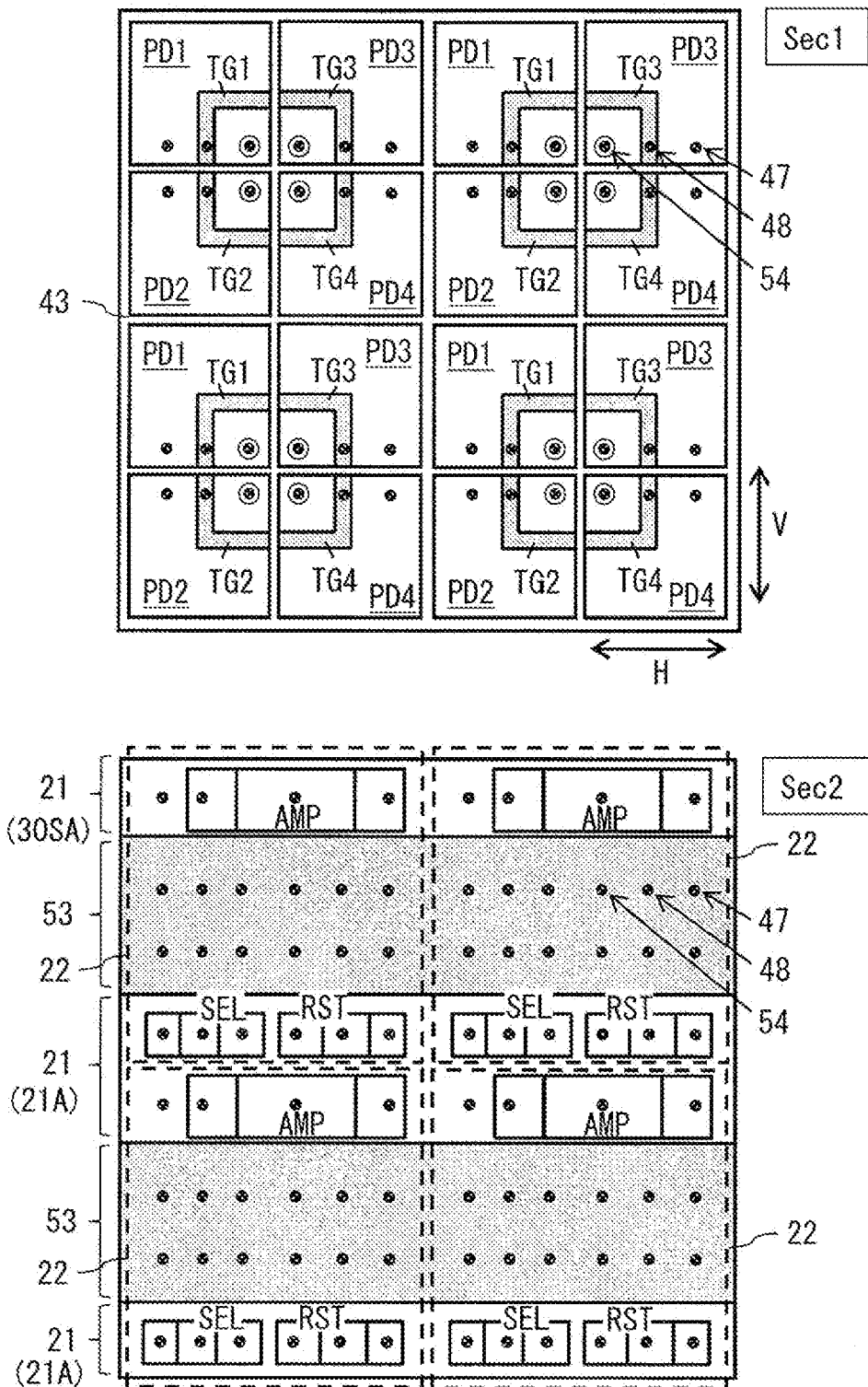




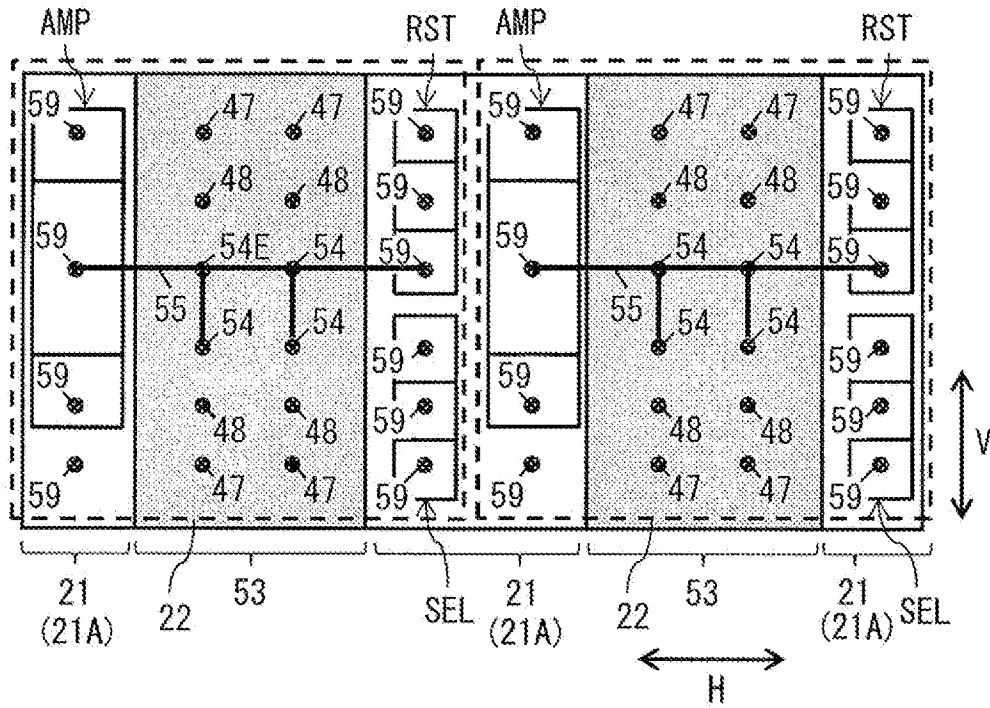
[図12]



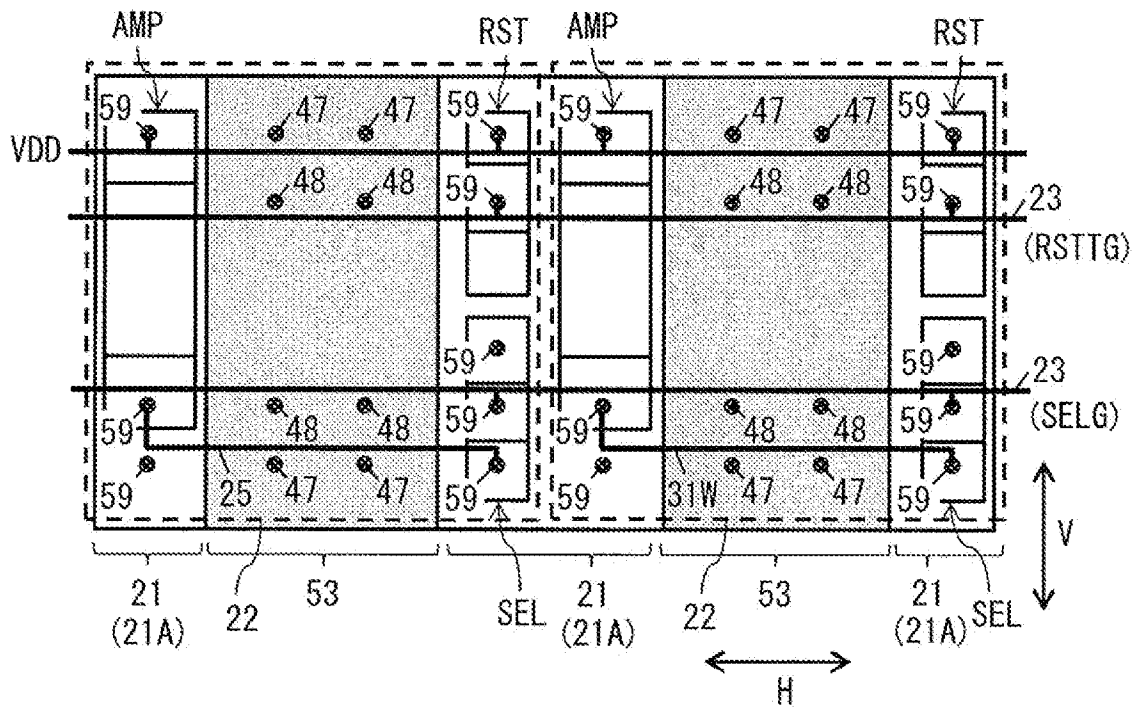
[図13]



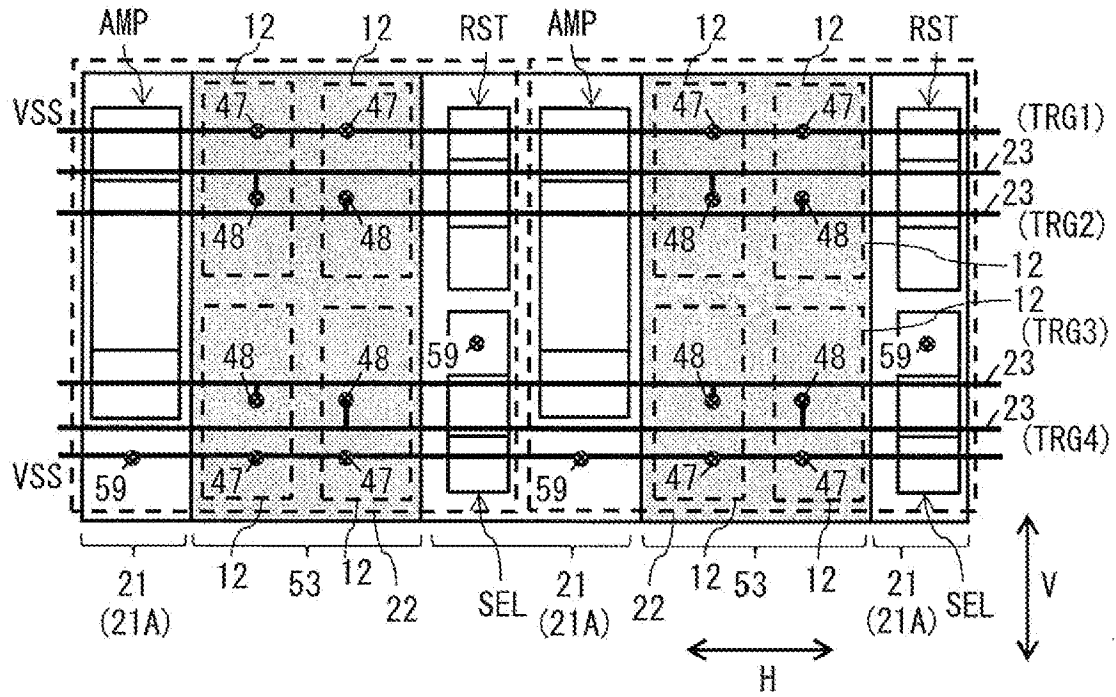
[図14]



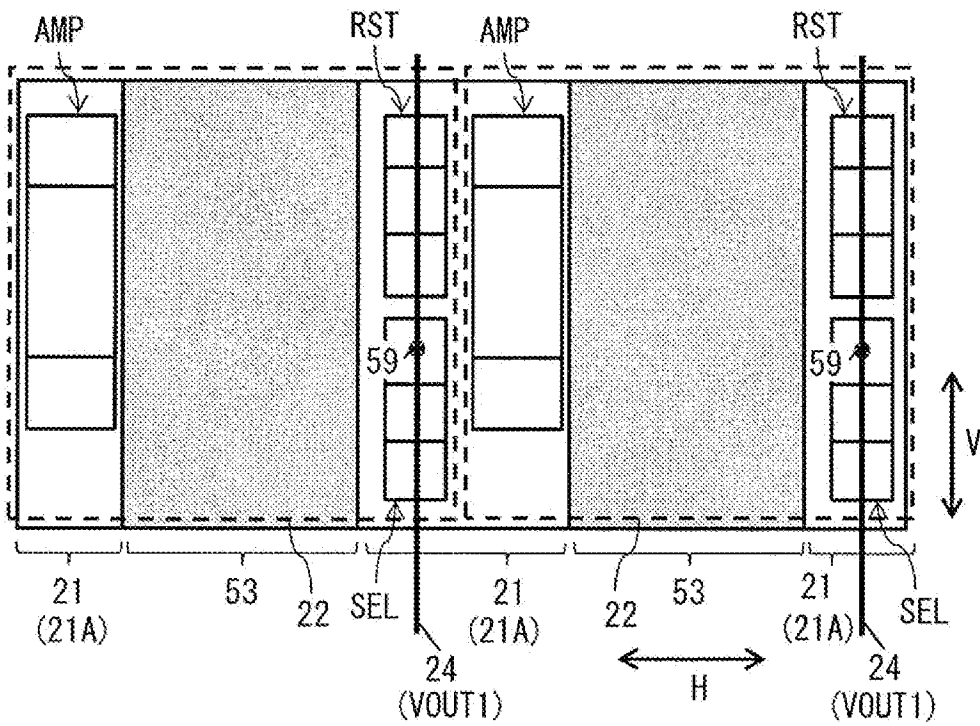
[図15]



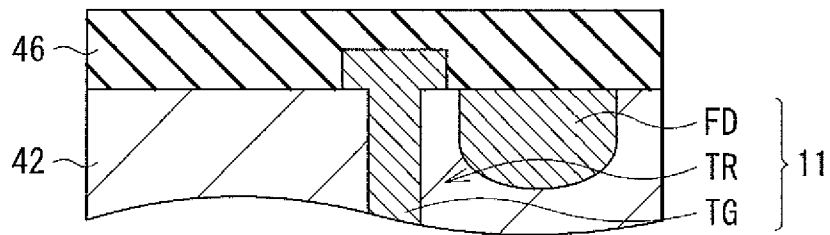
[図16]



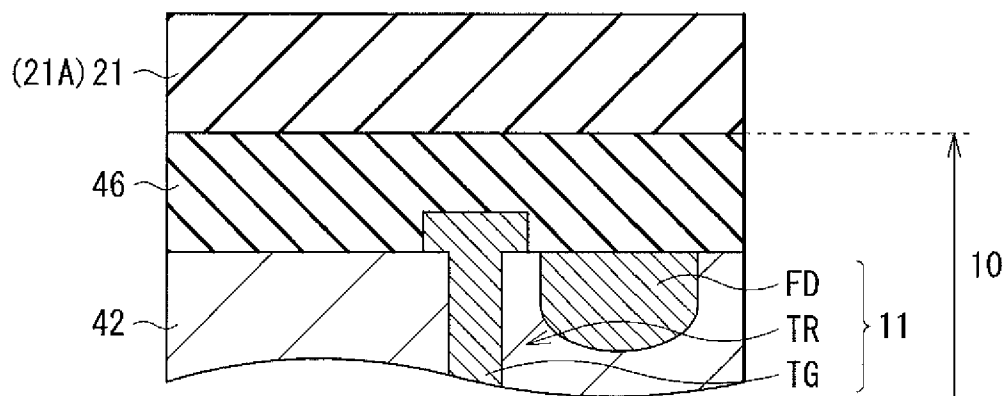
[図17]



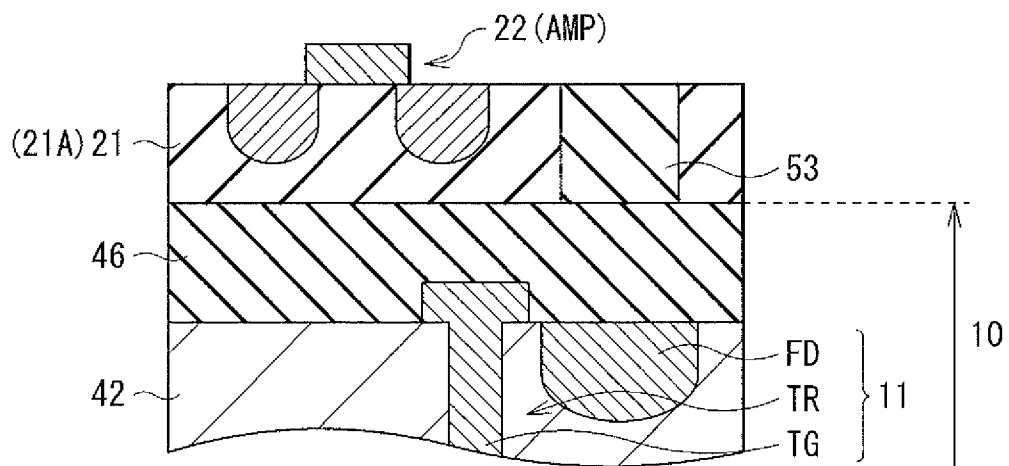
[図18A]



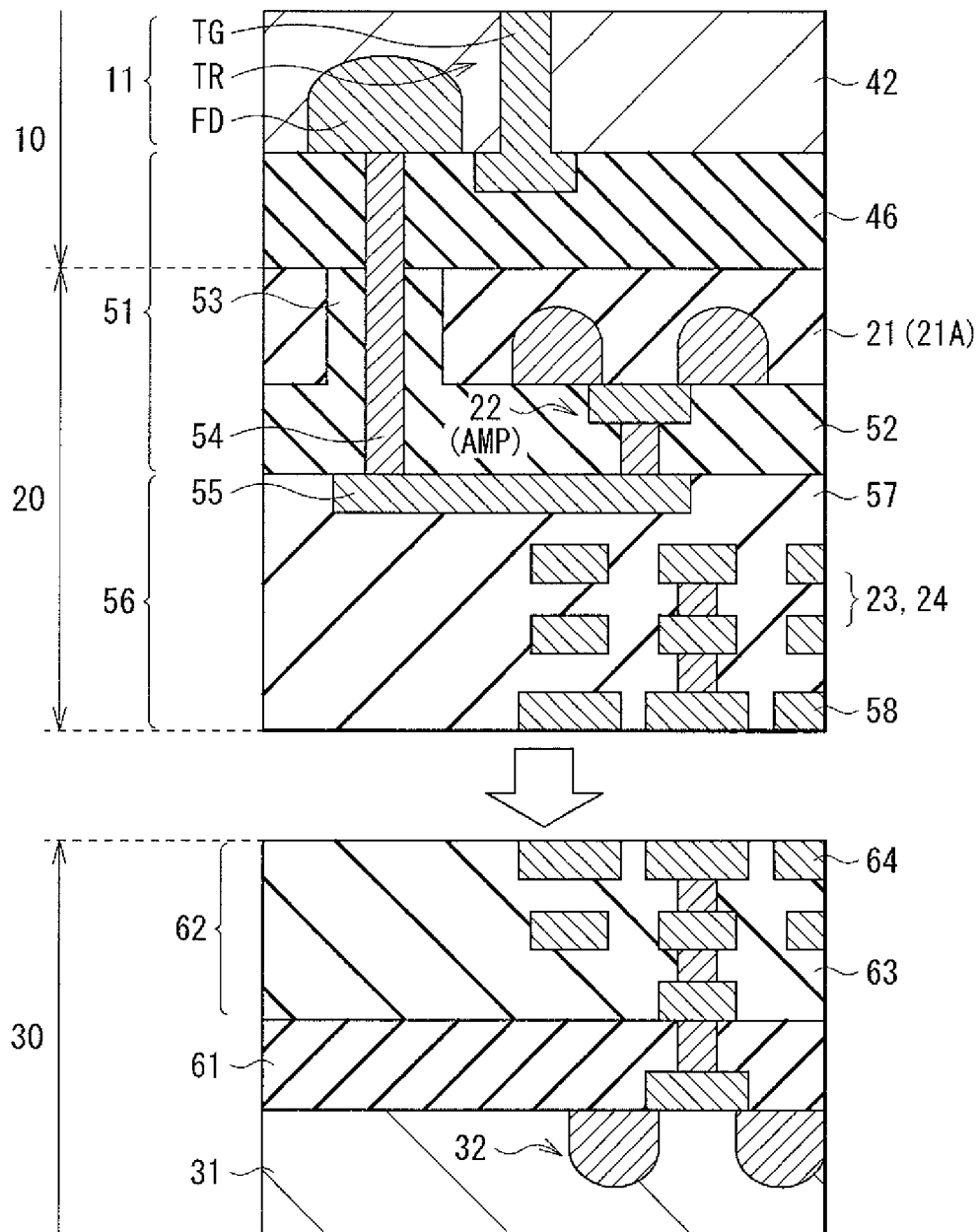
[図18B]



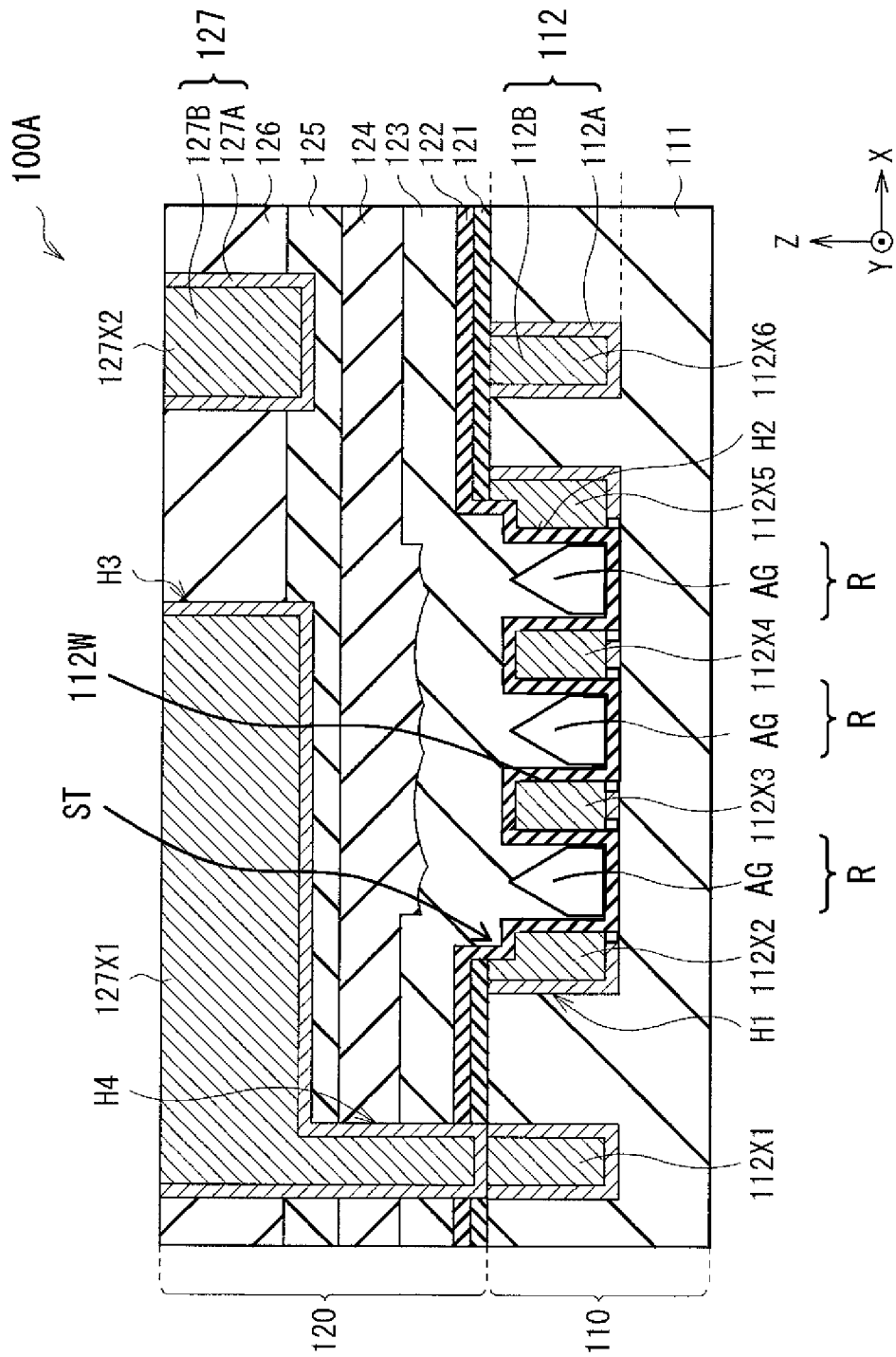
[図18C]



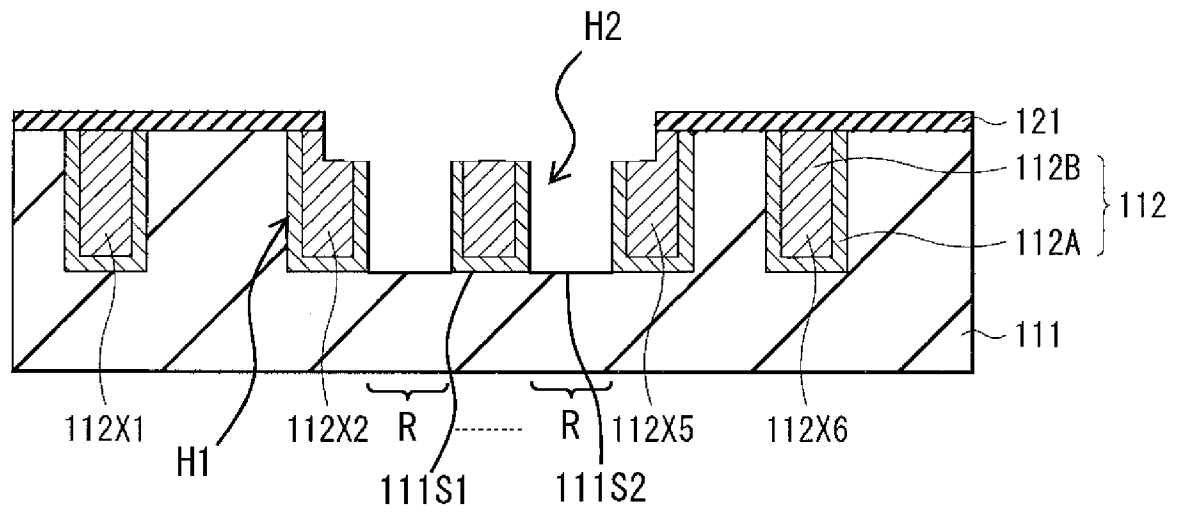
[図18G]



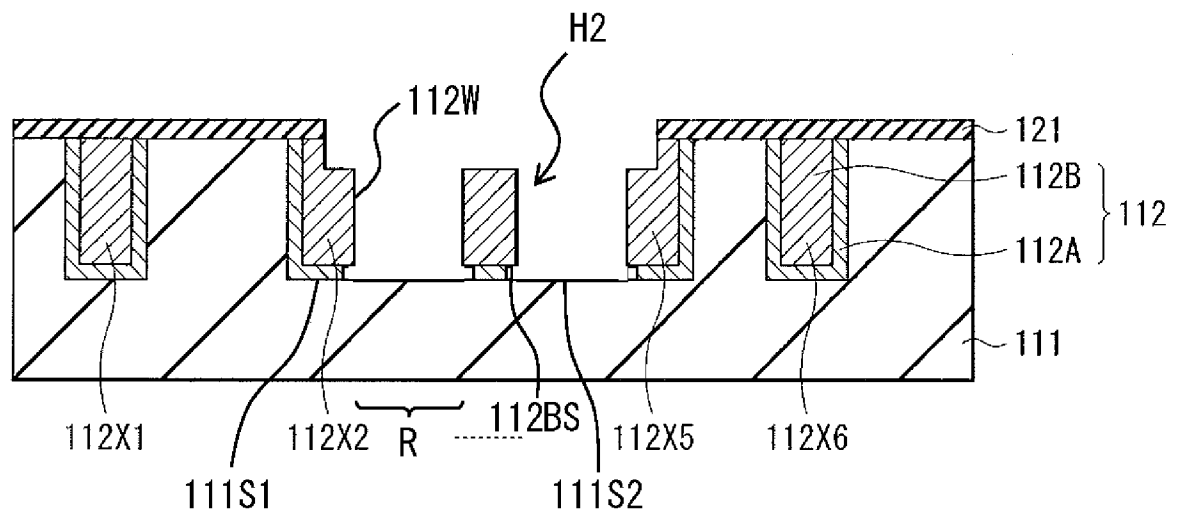
[図19]



[図20A]

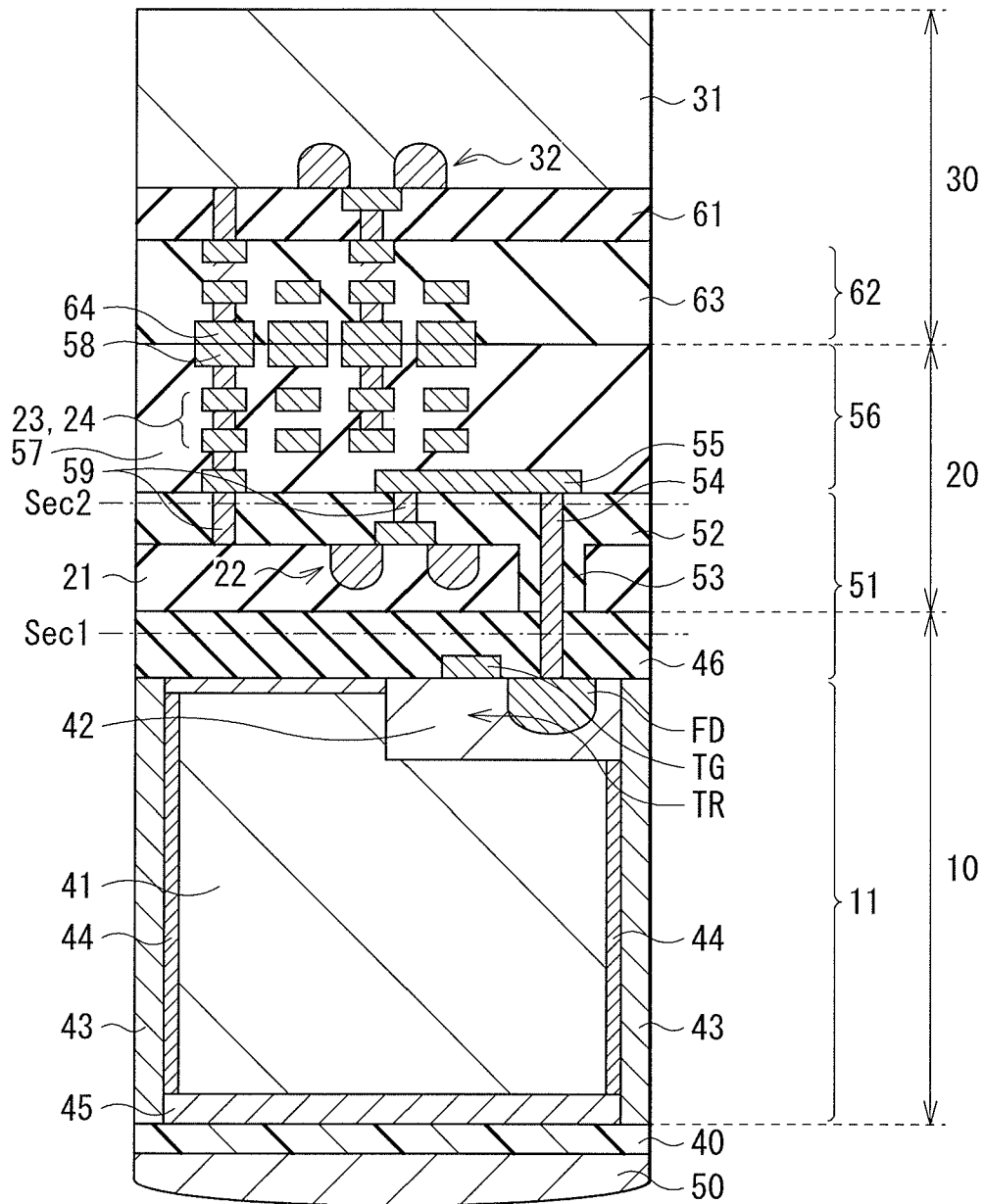


[図20B]

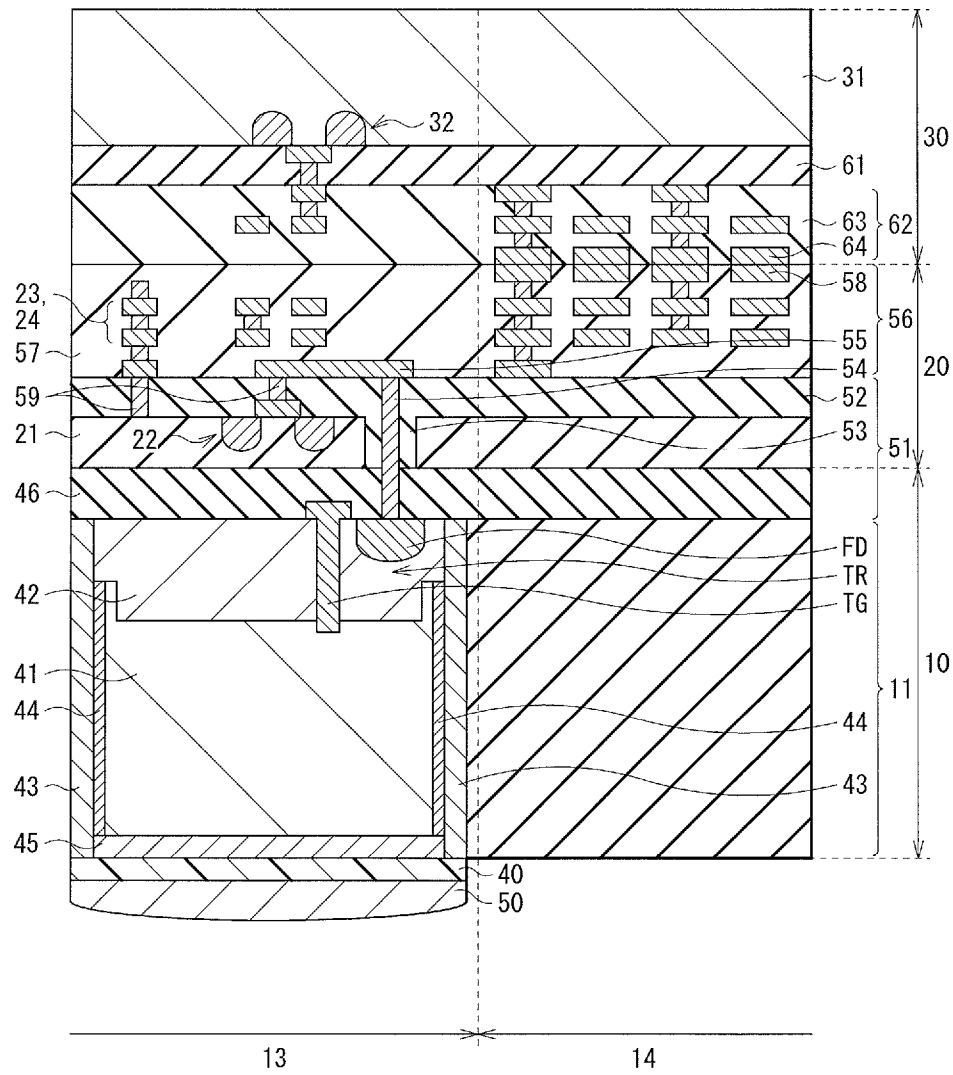


[illegible][illegible]

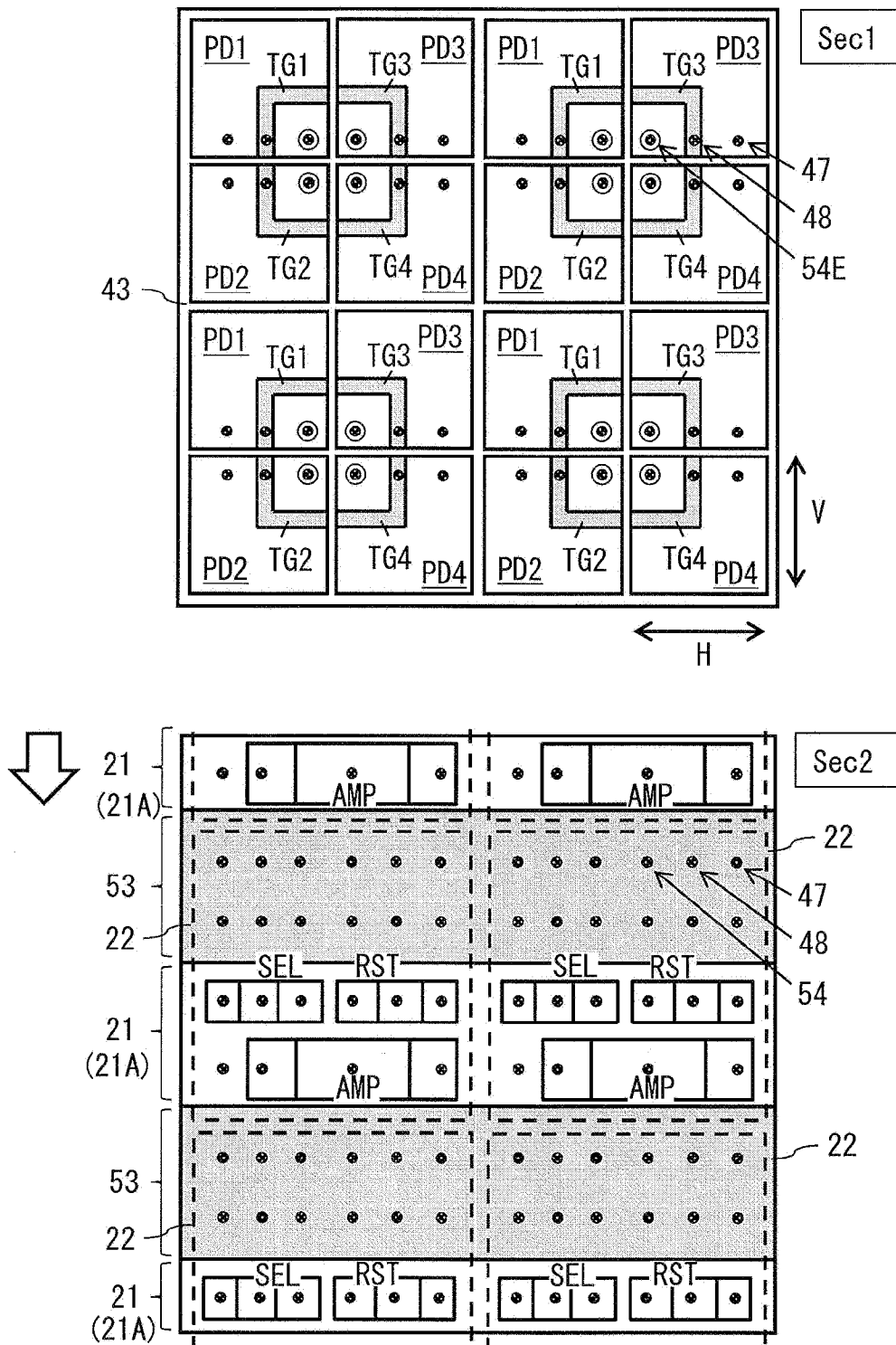
[図21]



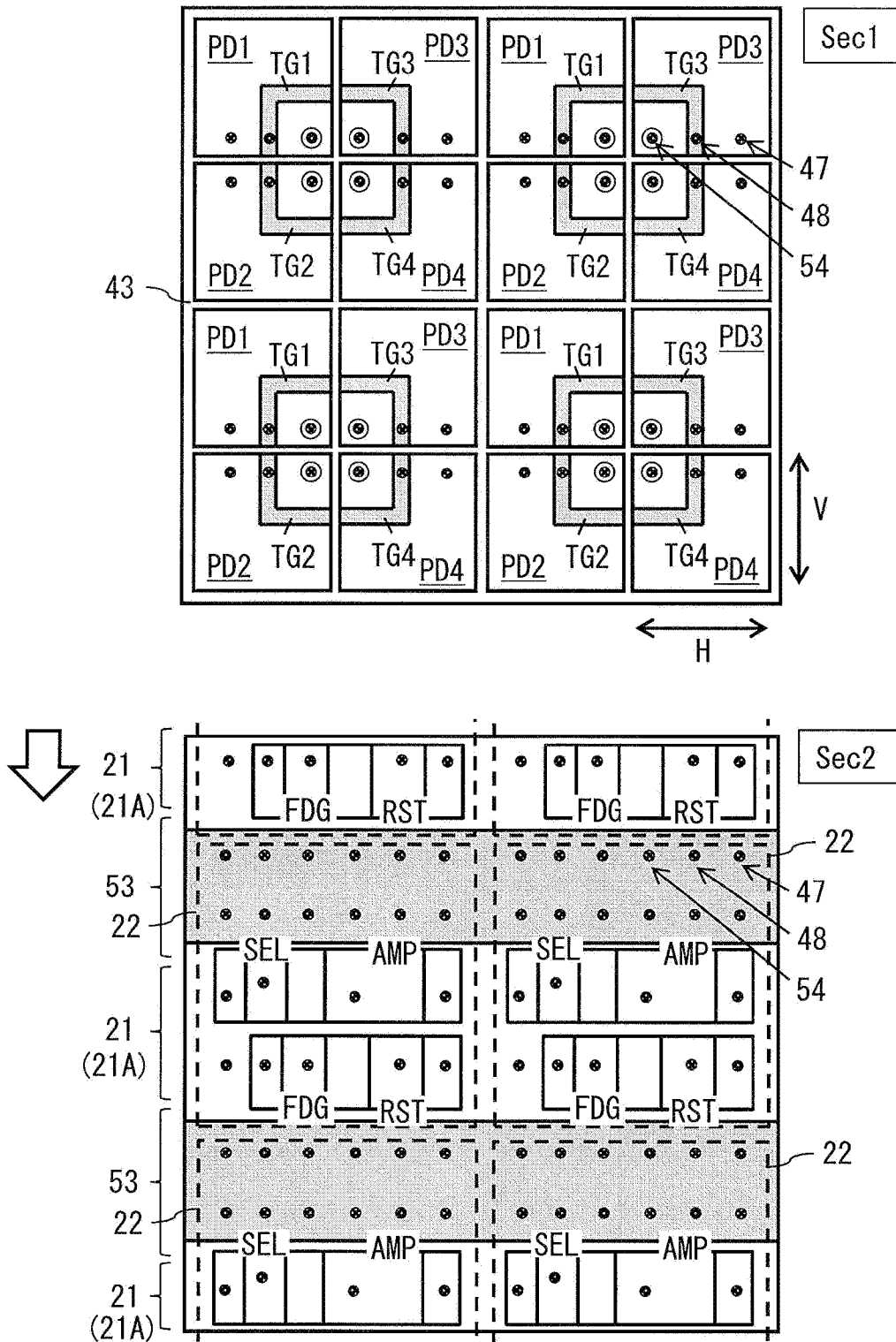
[図22]



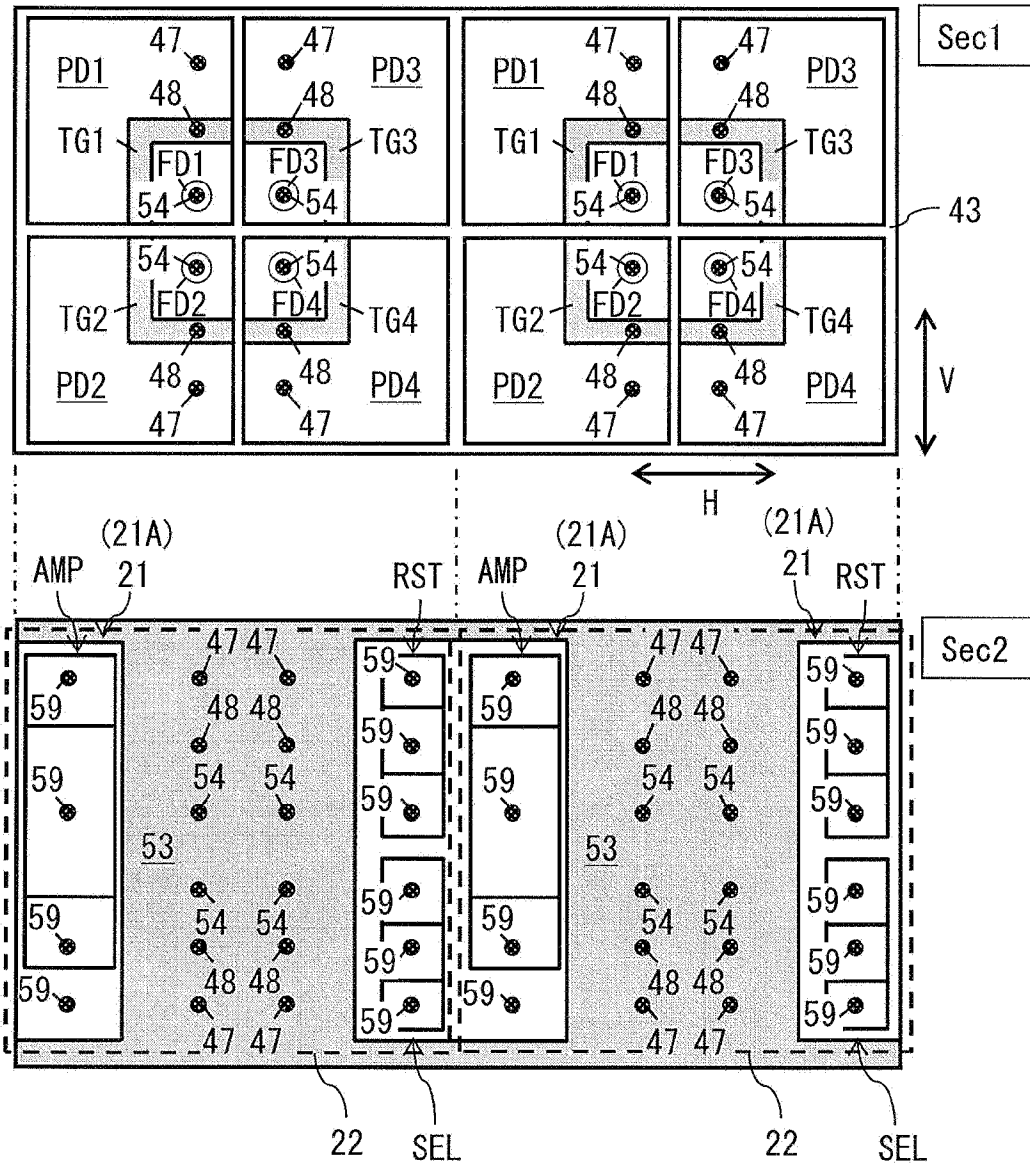
[図23]



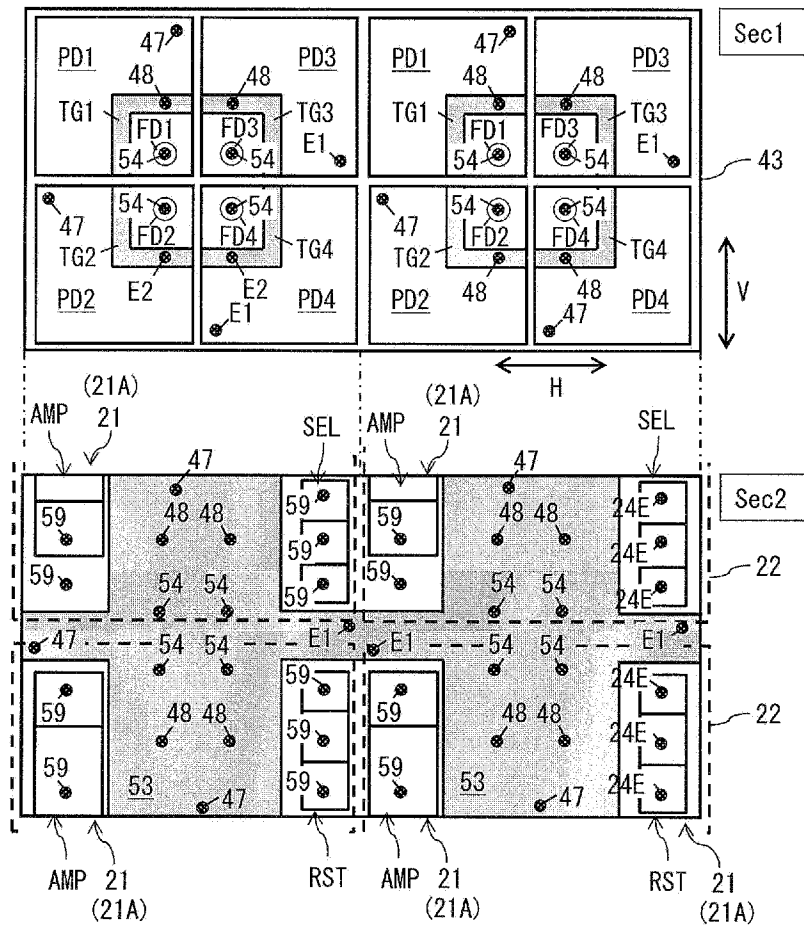
[図24]



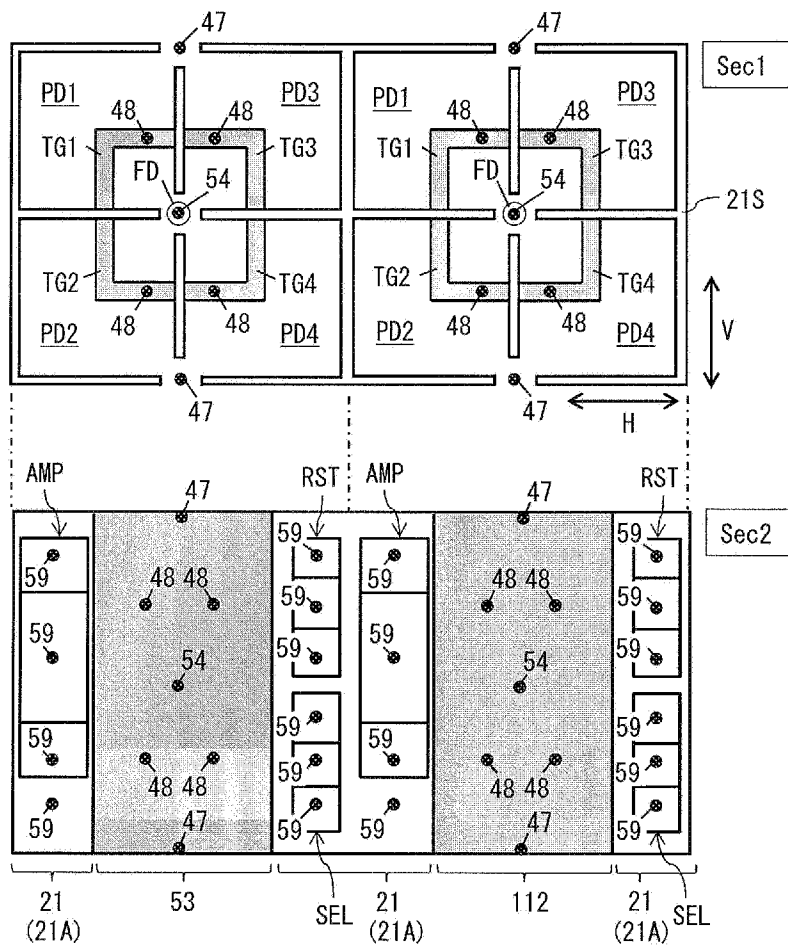
[図25]



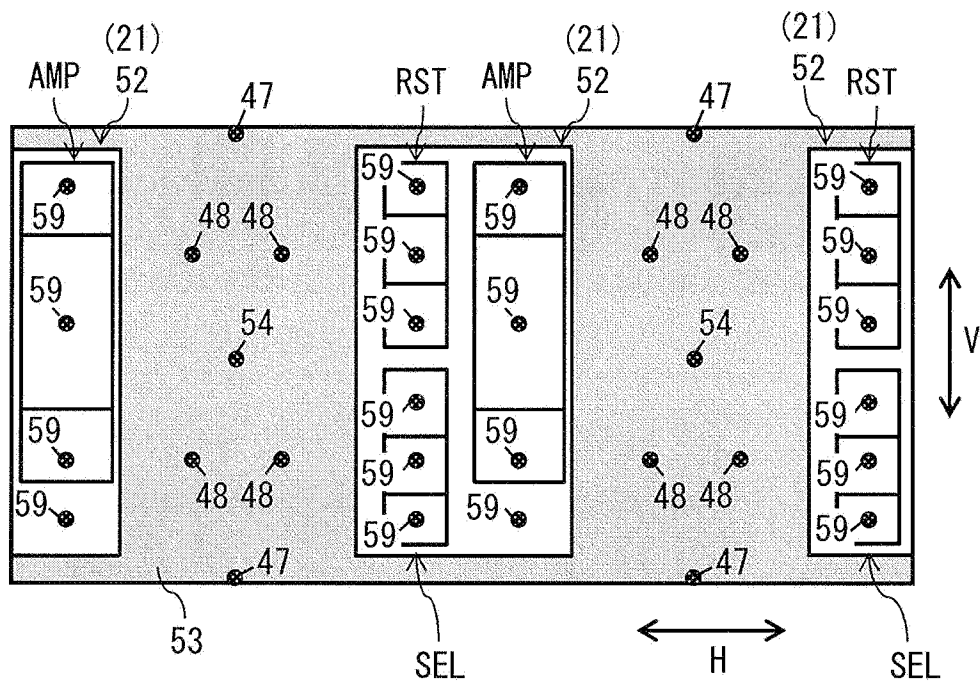
[図26]



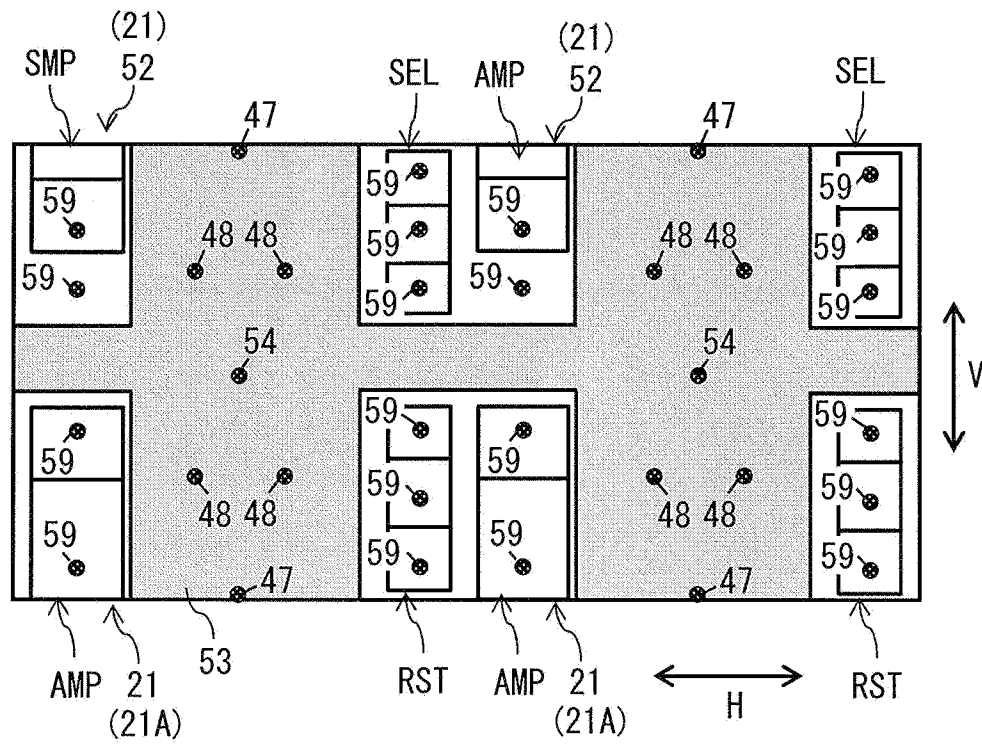
[図27]



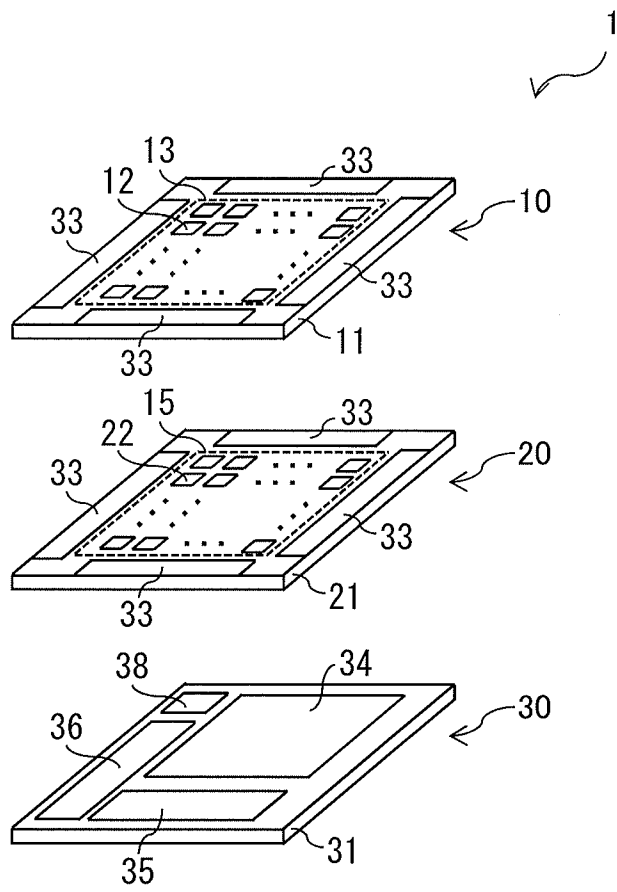
[図28]



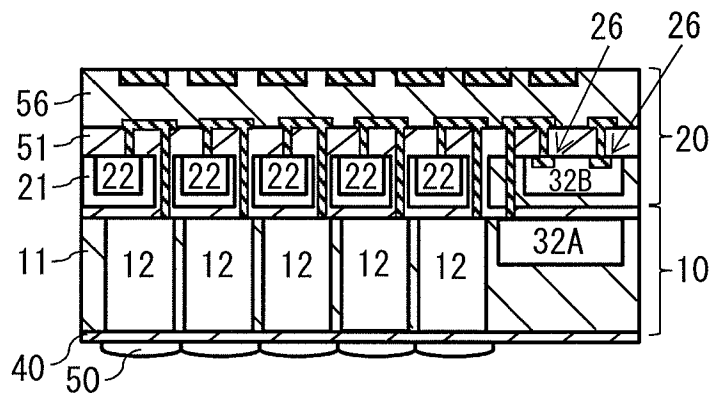
[図29]



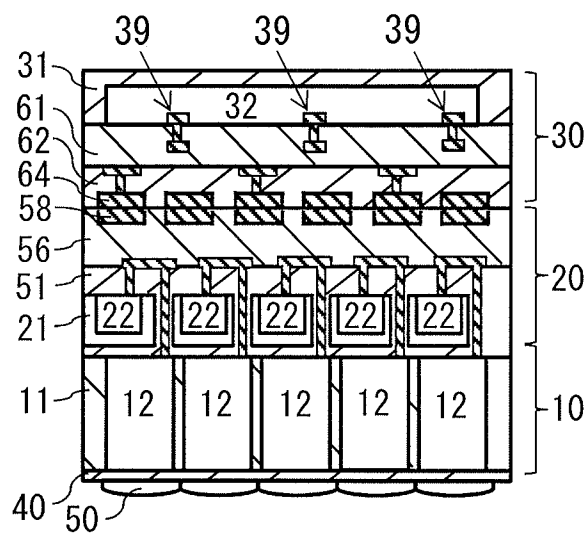
[図31]



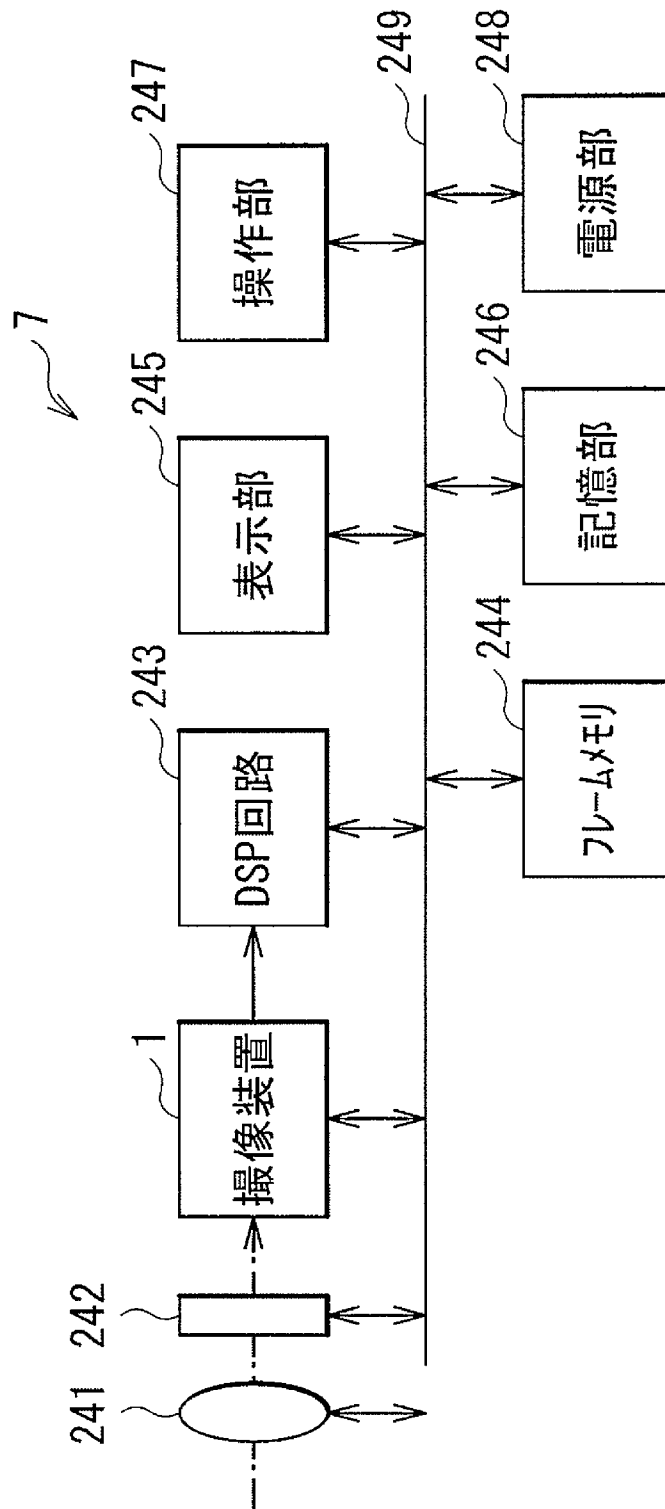
[図32]



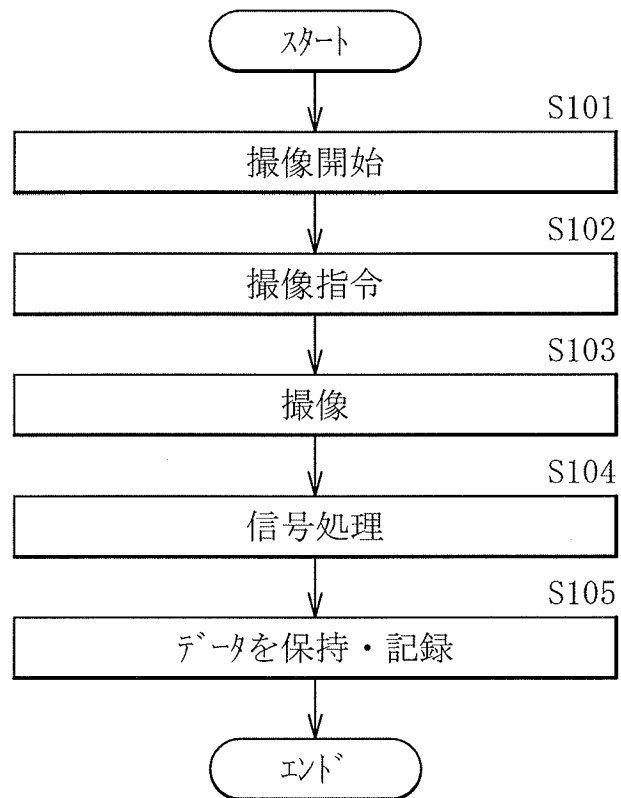
[図33]



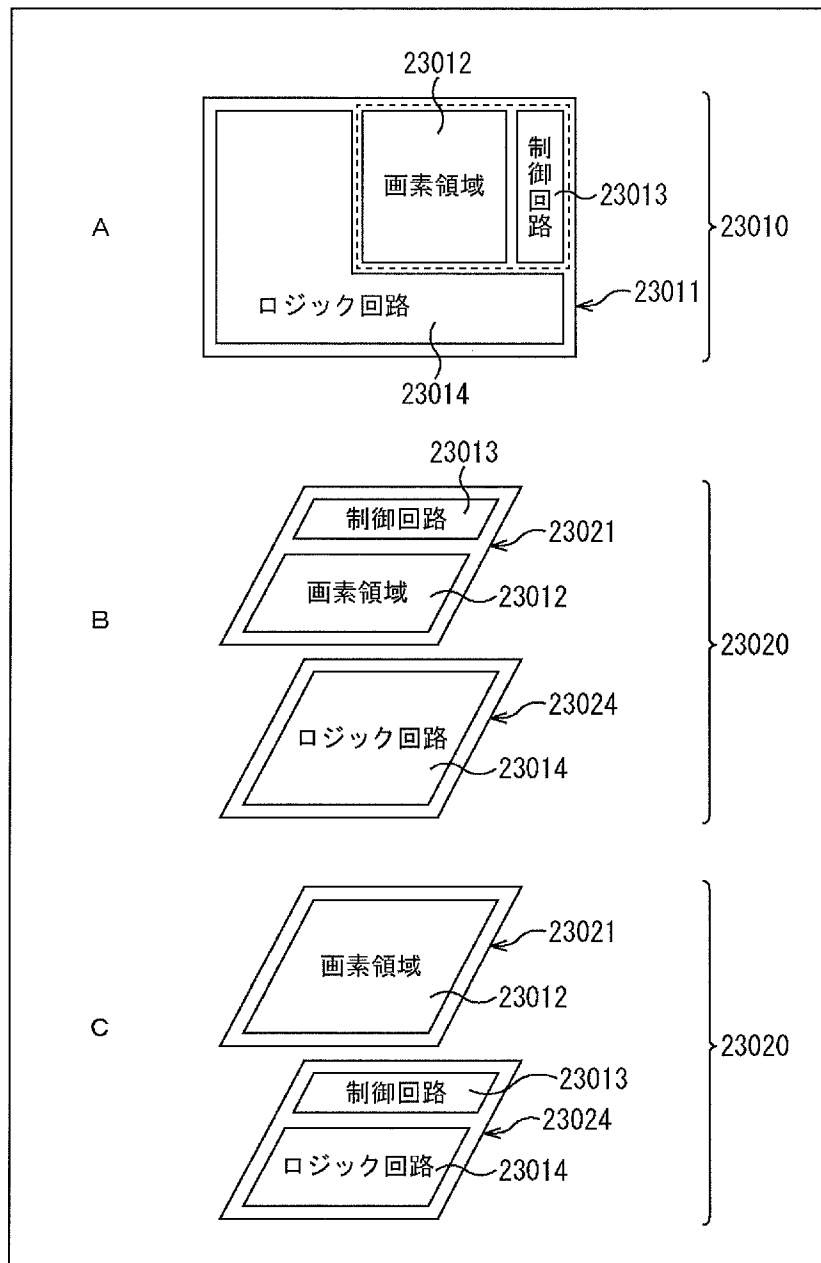
[図34]



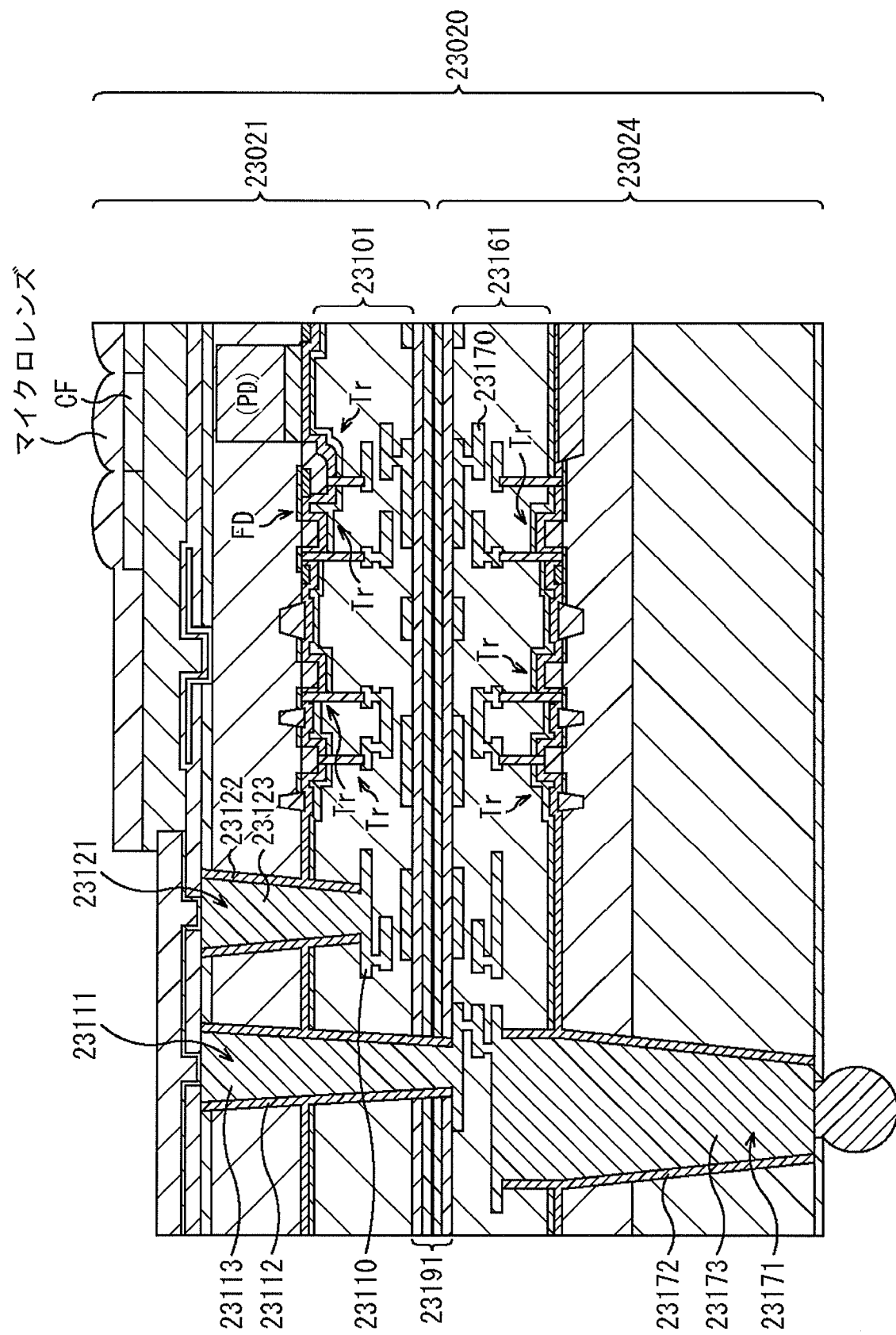
[図35]



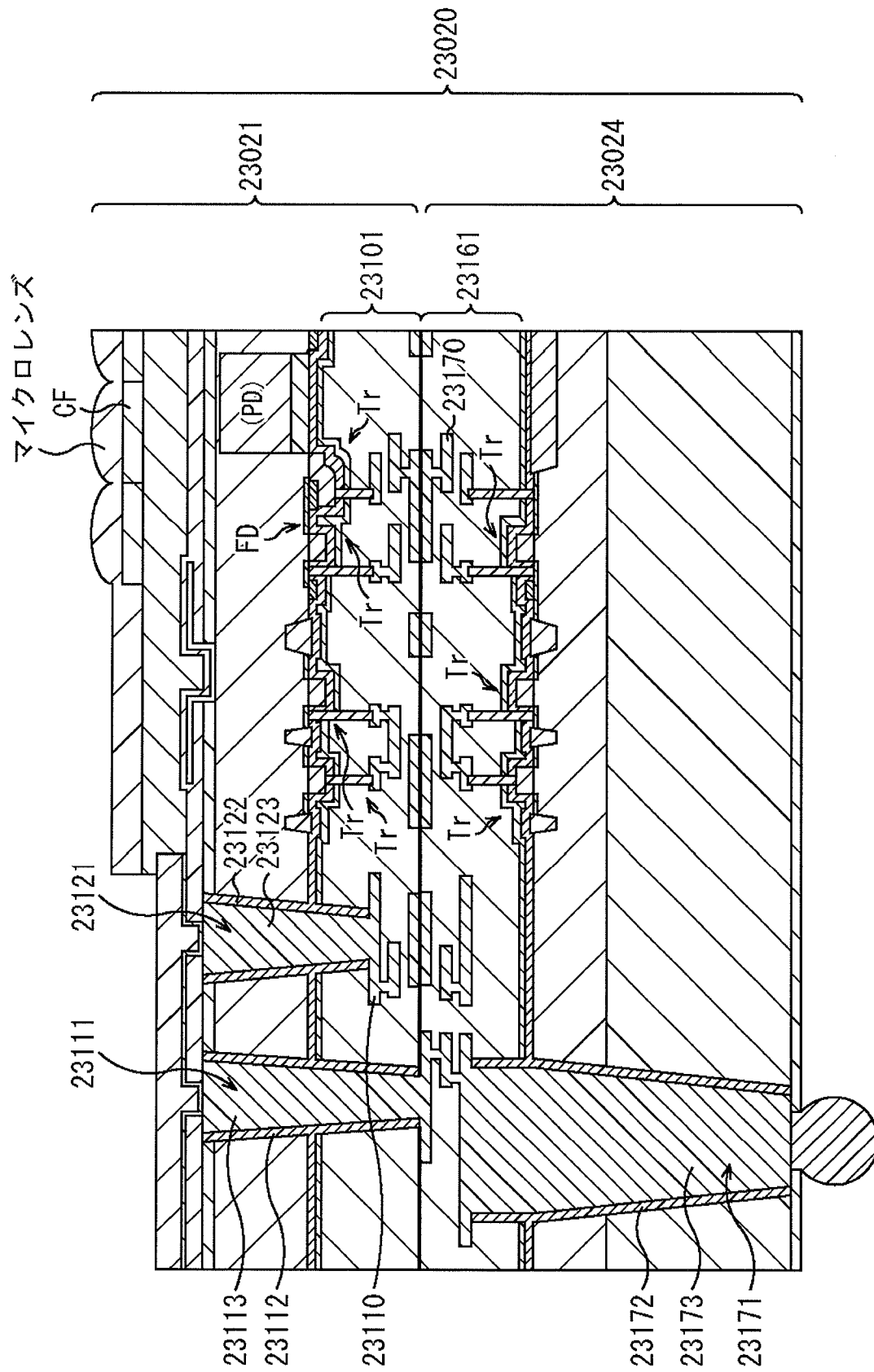
[図36]



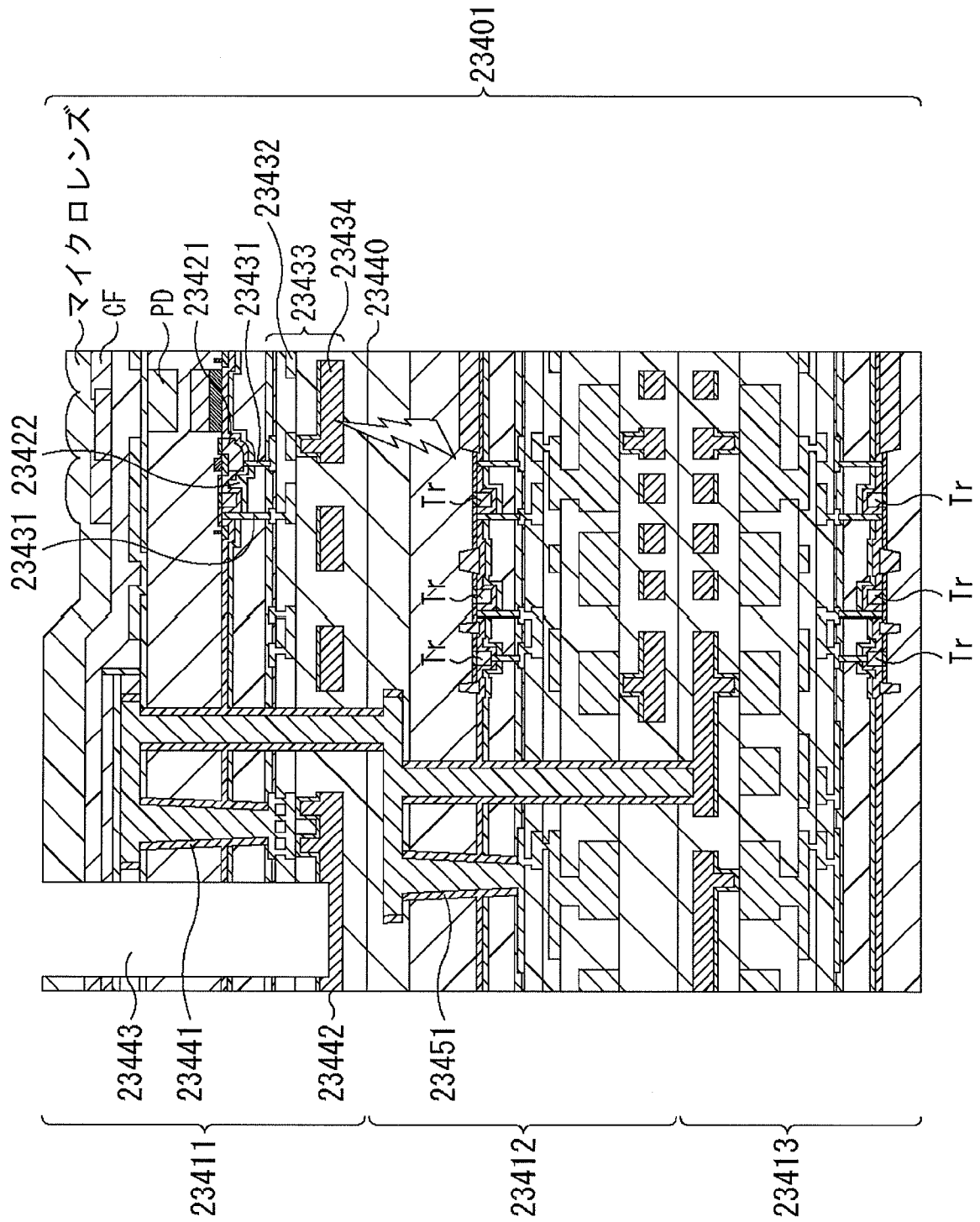
[図37]



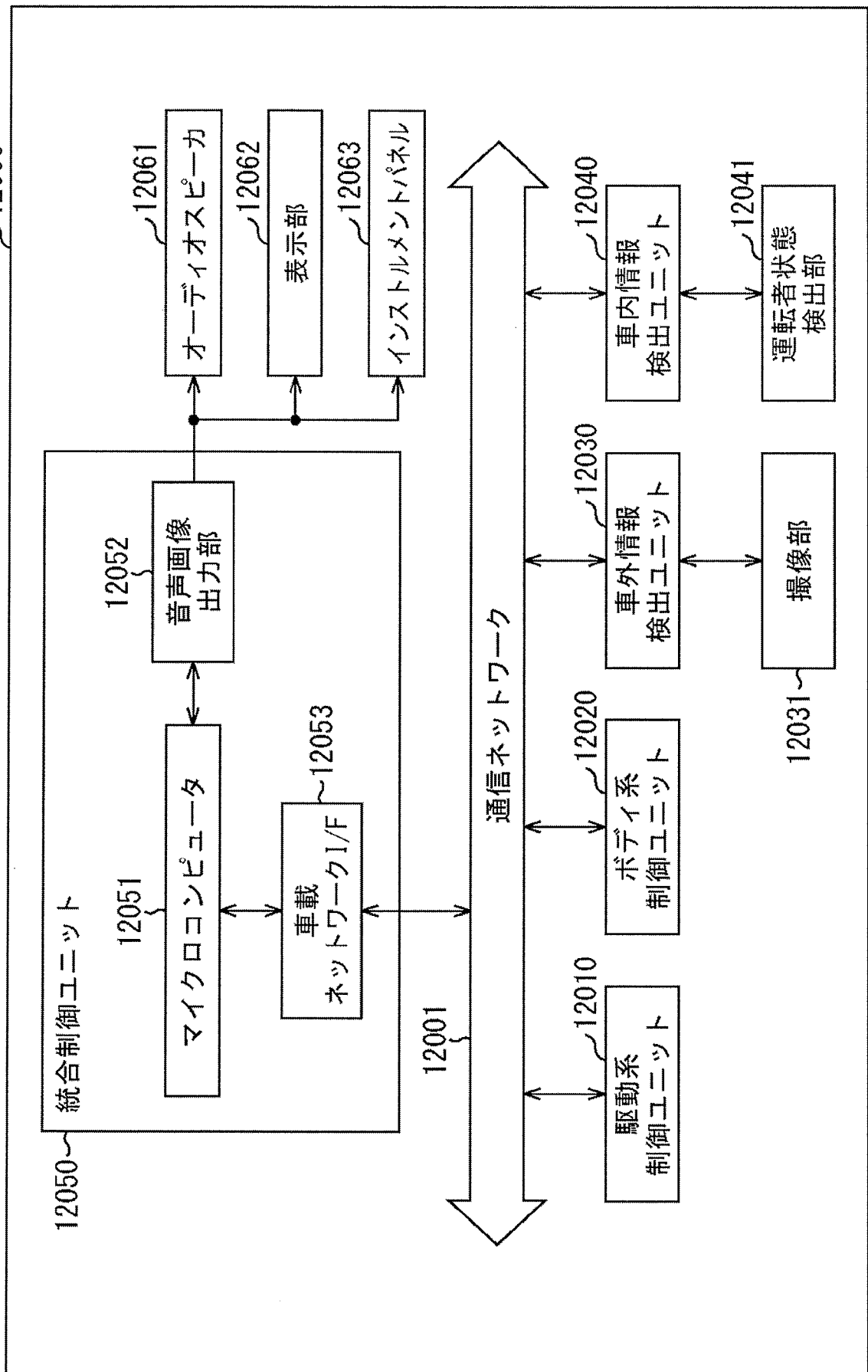
[図39]



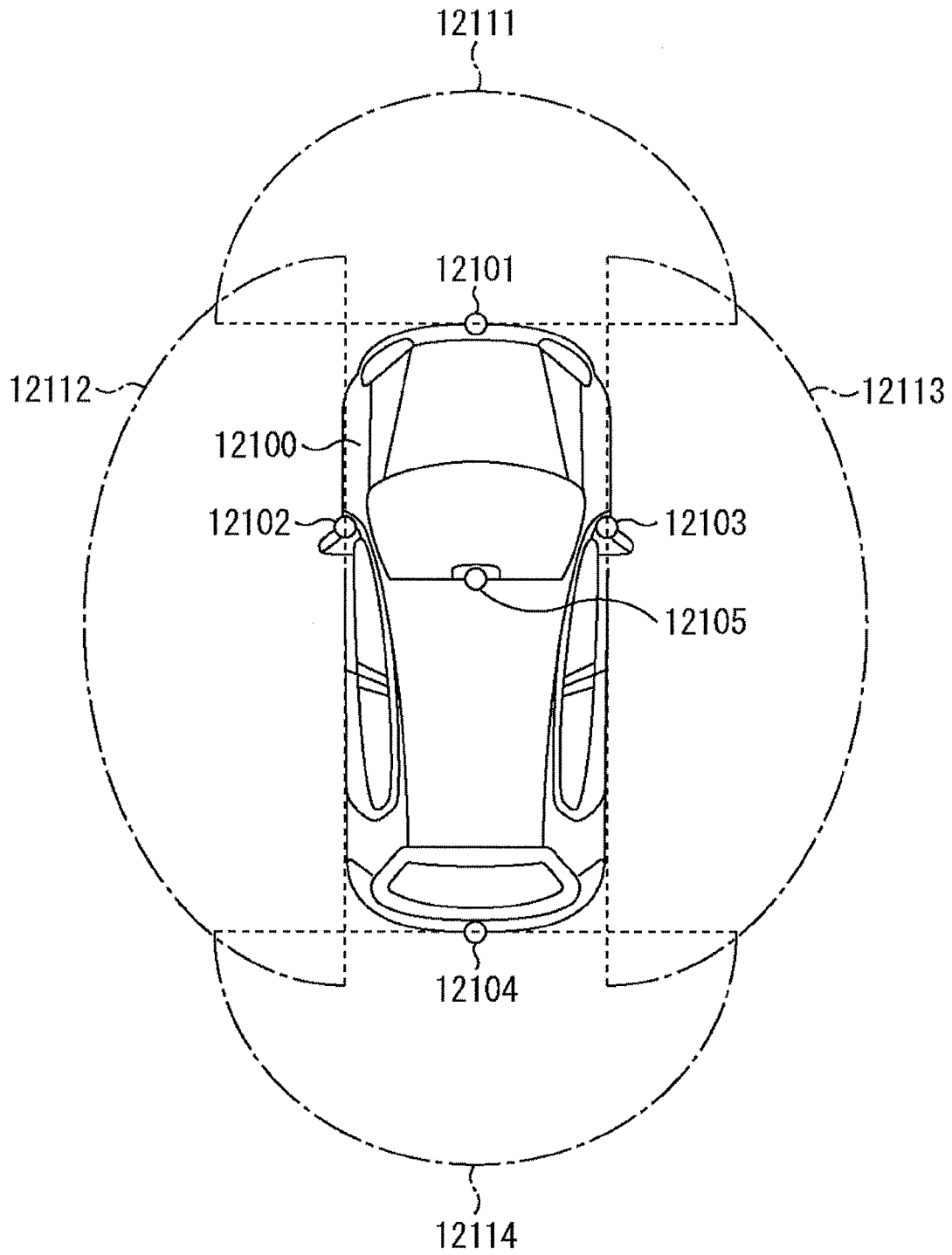
[図40]



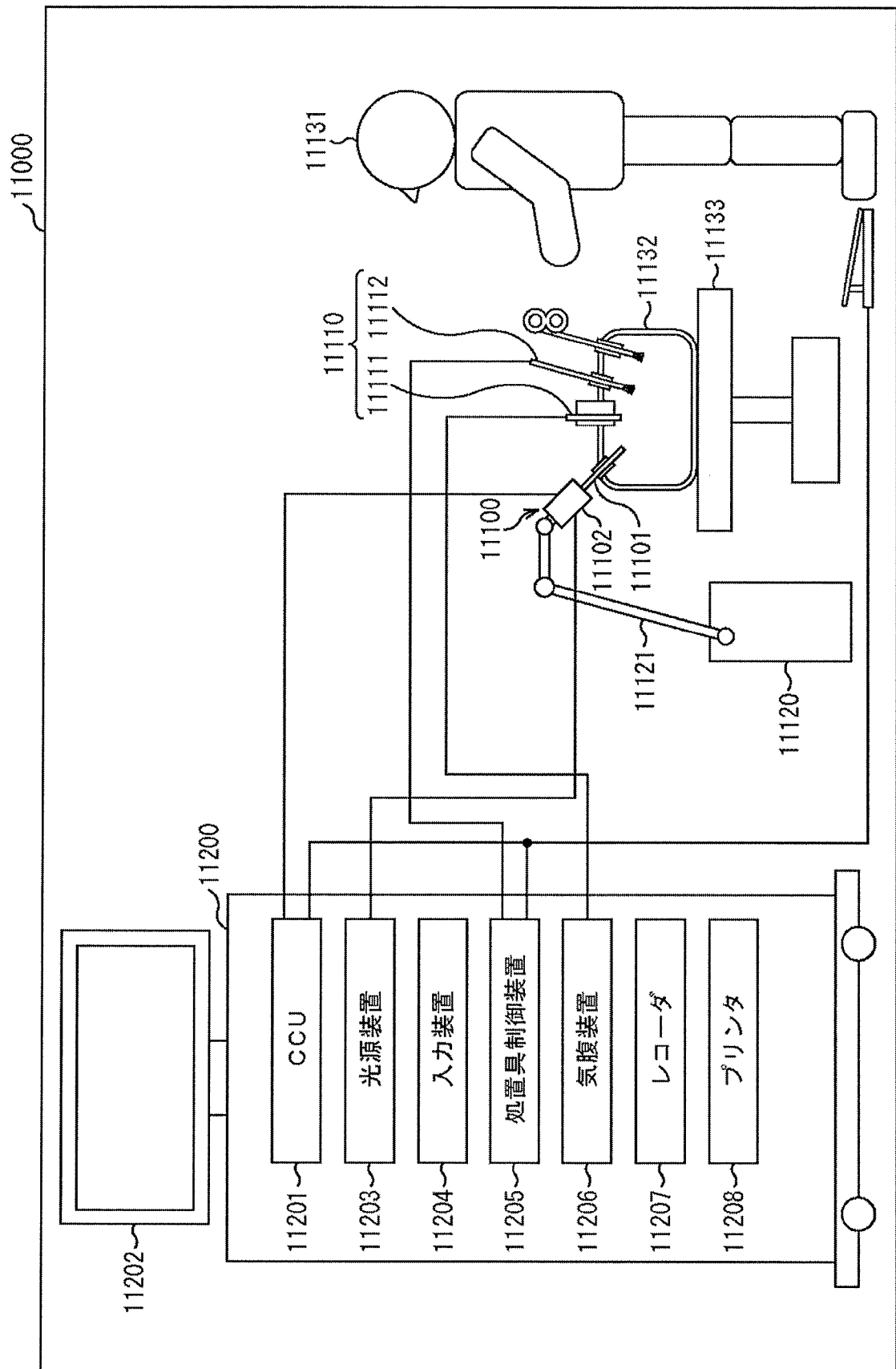
[図41]



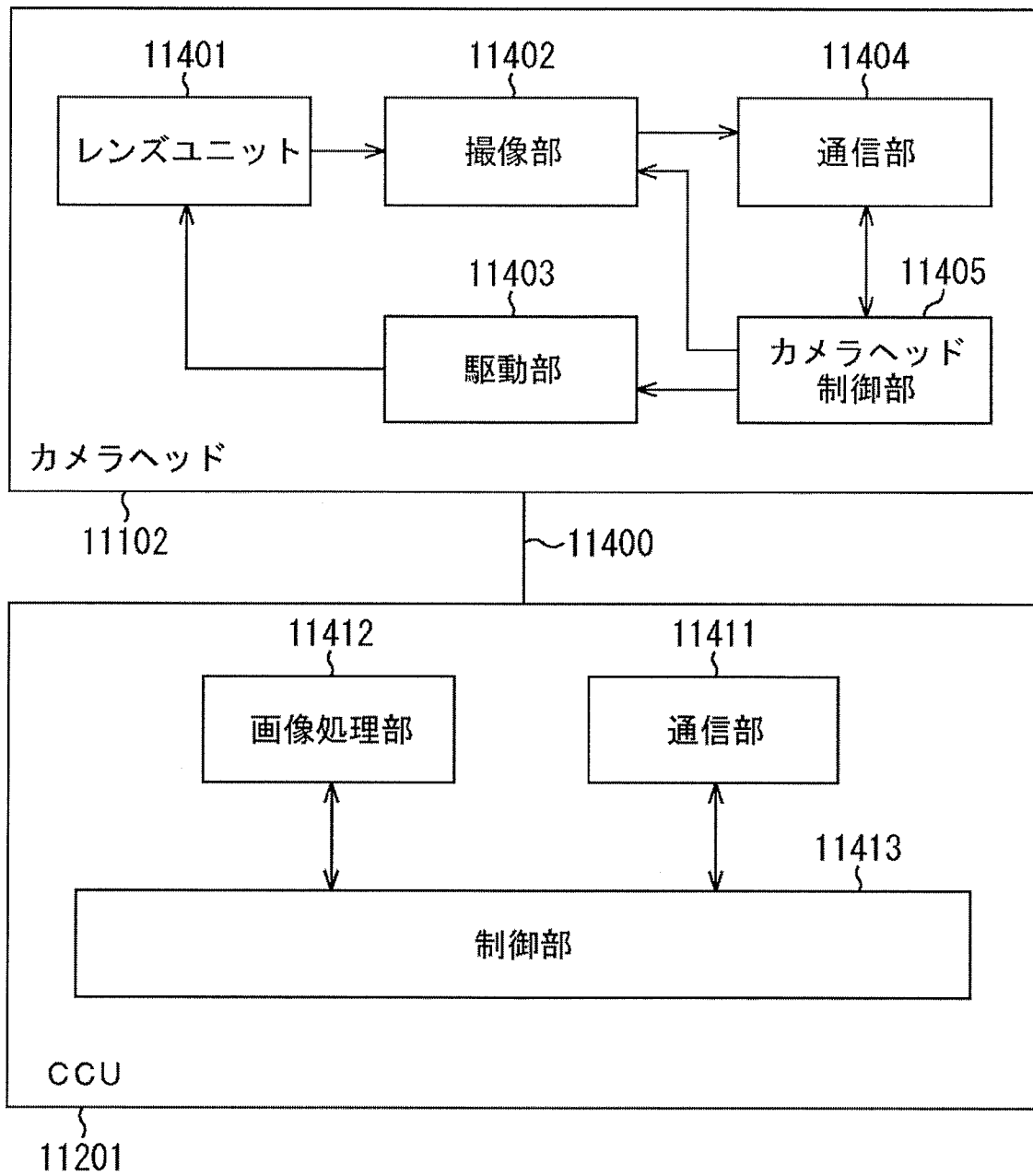
[図42]



[図43]



[図44]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/025405

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/82(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H01L 23/532(2006.01)i; H01L 27/00(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 27/146(2006.01)i; H04N 5/369(2011. 01) i

FI: H01L21/90 N; H01L27/146 F; H01L27/146 D; H01L21/90 M; H01L21/88 R; H01L21/90 S; H01L21/88 J; H01L27/088 E; H01L27/06 102A; H01L27/00 301B; H01L21/82 W; H01L27/04 A; H01L27/04 D; H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/82; H01L21/3205; H01L21/768; H01L23/522; H01L23/532; H01L27/00; H01L21/822; H01L27/04; H01L21/8234; H01L27/06; H01L27/088; H01L27/146; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2009-188250 A (PANASONIC CORP.) 20 August 2009 (2009-08-20) paragraphs [0066]-[0075], [0087]-[0097], fig. 2, 11(a)	1, 6-8 5, 9, 10 2-4, 11, 12
Y A	JP 2009-290240 A (HITACHI, LTD.) 10 December 2009 (2009-12-10) paragraph [0049], fig. 10	5 2-4, 11, 12
Y A	WO 2018/186197 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 11 October 2018 (2018-10-11) paragraph [0015], fig. 1	9, 10 2-4, 11, 12

☒ Further documents are listed in the continuation of Box C.	☒ See patent family annex.
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family

Date of the actual completion of the international search 31 August 2021 (31.08.2021)	Date of mailing of the international search report 07 September 2021 (07.09.2021)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/025405

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-507546 A (QUALCOMM INCORPORATED) 15 March 2018 (2018-03-15) entire text, all drawings	1-12
A	US 10438843 B1 (UNITED MICROELECTRONICS CORP.) 08 October 2019 (2019-10-08) entire text, all drawings	1-12

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/025405

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2009-188250 A	20 Aug. 2009	US 2009/0302473 A1 paragraphs [0088]- [0097], [0109]- [0119], fig. 2, 11A (Family: none)	
JP 2009-290240 A	10 Dec. 2009		
WO 2018/186197 A1	11 Oct. 2018	KR 10-2019-0131496 A paragraph [0045], fig. 1 CN 110476250 A TW 201904044 A	
JP 2018-507546 A	15 Mar. 2018	US 2016/0211216 A1 entire text, all drawings EP 3248217 A1 KR 10-2017-0089026 A CN 107210286 A SG 11201704661T A (Family: none)	
US 10438843 B1	08 Oct. 2019		

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/82(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H01L 23/532(2006.01)i; H01L 27/00(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 27/146(2006.01)i; H04N 5/369(2011.01)i FI: H01L21/90 N; H01L27/146 F; H01L27/146 D; H01L21/90 M; H01L21/88 R; H01L21/90 S; H01L21/88 J; H01L27/088 E; H01L27/06 102A; H01L27/00 301B; H01L21/82 W; H01L27/04 A; H01L27/04 D; H04N5/369																										
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/82; H01L21/3205; H01L21/768; H01L23/522; H01L23/532; H01L27/00; H01L21/822; H01L27/04; H01L21/8234; H01L27/06; H01L27/088; H01L27/146; H04N5/369 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年																
日本国実用新案公報	1922 - 1996年																									
日本国公開実用新案公報	1971 - 2021年																									
日本国実用新案登録公報	1996 - 2021年																									
日本国登録実用新案公報	1994 - 2021年																									
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2009-188250 A（パナソニック株式会社）20.08.2009（2009 - 08 - 20） 段落[0066]-[0075], [0087]-[0097], 図2, 11(a)</td> <td>1, 6-8</td> </tr> <tr> <td>Y</td> <td></td> <td>5, 9, 10</td> </tr> <tr> <td>A</td> <td></td> <td>2-4, 11, 12</td> </tr> <tr> <td>Y</td> <td>JP 2009-290240 A（株式会社日立製作所）10.12.2009（2009 - 12 - 10） 段落[0049], 図10</td> <td>5</td> </tr> <tr> <td>A</td> <td></td> <td>2-4, 11, 12</td> </tr> <tr> <td>Y</td> <td>WO 2018/186197 A1（ソニーセミコンダクタソリューションズ株式会社）11.10.2018 （2018 - 10 - 11） 段落[0015], 図1</td> <td>9, 10</td> </tr> <tr> <td>A</td> <td></td> <td>2-4, 11, 12</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2009-188250 A（パナソニック株式会社）20.08.2009（2009 - 08 - 20） 段落[0066]-[0075], [0087]-[0097], 図2, 11(a)	1, 6-8	Y		5, 9, 10	A		2-4, 11, 12	Y	JP 2009-290240 A（株式会社日立製作所）10.12.2009（2009 - 12 - 10） 段落[0049], 図10	5	A		2-4, 11, 12	Y	WO 2018/186197 A1（ソニーセミコンダクタソリューションズ株式会社）11.10.2018 （2018 - 10 - 11） 段落[0015], 図1	9, 10	A		2-4, 11, 12
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																								
X	JP 2009-188250 A（パナソニック株式会社）20.08.2009（2009 - 08 - 20） 段落[0066]-[0075], [0087]-[0097], 図2, 11(a)	1, 6-8																								
Y		5, 9, 10																								
A		2-4, 11, 12																								
Y	JP 2009-290240 A（株式会社日立製作所）10.12.2009（2009 - 12 - 10） 段落[0049], 図10	5																								
A		2-4, 11, 12																								
Y	WO 2018/186197 A1（ソニーセミコンダクタソリューションズ株式会社）11.10.2018 （2018 - 10 - 11） 段落[0015], 図1	9, 10																								
A		2-4, 11, 12																								
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																										
国際調査を完了した日 31.08.2021		国際調査報告の発送日 07.09.2021																								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 佐藤 靖史 50 5895 電話番号 03-3581-1101 内線 3559																								

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2018-507546 A (クゥアルコム・インコーポレイテッド) 15.03.2018 (2018 - 03 - 15) 全文, 全図	1-12
A	US 10438843 B1 (UNITED MICROELECTRONICS CORP.) 08.10.2019 (2019 - 10 - 08) 全文, 全図	1-12

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/025405

引用文献			公表日	パテントファミリー文献	公表日
JP	2009-188250	A	20.08.2009	US 2009/0302473 A1 段落[0088]-[0097], [0109]-[0119], 図2, 11A	
JP	2009-290240	A	10.12.2009	(ファミリーなし)	
WO	2018/186197	A1	11.10.2018	KR 10-2019-0131496 A 段落[0045], 図1	
				CN 110476250 A	
				TW 201904044 A	
JP	2018-507546	A	15.03.2018	US 2016/0211216 A1 全文, 全図	
				EP 3248217 A1	
				KR 10-2017-0089026 A	
				CN 107210286 A	
				SG 11201704661T A	
US	10438843	B1	08.10.2019	(ファミリーなし)	