(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101796636 B
(45)授权公告日 2013.02.27

(21)申请号 200680029328.X

(22)申请日 2006.06.14

(30)优先权数据
60/690,759 2005.06.14 US
11/329,875 2006.01.10 US
11/329,874 2006.01.10 US
11/329,575 2006.01.10 US

(85)PCT申请进入国家阶段日
2008.02.13

(86)PCT申请的申请数据
PCT/US2006/023246 2006.06.14

(87)PCT申请的公布数据
WO2006/138423 EN 2006.12.28

(73)专利权人 丘费尔资产股份有限公司
地址 美国特拉华州威尔明顿市

(72)发明人 约翰·特雷扎 约翰·卡拉汉 格雷戈里·杜多夫

(74)专利代理机构 中科专利商标代理有限责任公司 11021
代理人 王波波

(51)Int.Cl.
H01L 23/48(2006.01)
H01L 23/52(2006.01)
H01L 29/40(2006.01)

(56)对比文件
CN 2399842 Y,2000.10.04,
US 5608264 A,1997.03.04,
US 2004126927 A1,2004.07.01,
CN 1608319 A,2005.04.20,

审查员 刘斌

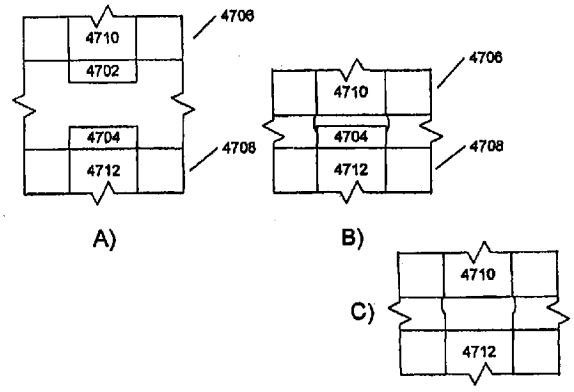
权利要求书 2 页 说明书 59 页 附图 113 页

(54)发明名称

芯片连接方法

(57)摘要

一种将第一晶片上的第一接触点与第二晶片上的第二接触点电连接的方法，第一接触点包括刚性材料，第二接触点包括相对于该刚性材料为韧性的材料，因此当叠在一起时刚性材料将穿进韧性材料，该刚性和韧性材料都是导电材料，所述方法涉及使刚性材料与韧性材料接触，向第一接触点或第二接触点中的一个接触点施加力从而使刚性材料穿进韧性材料，加热刚性和韧性材料从而使韧性材料软化，和将韧性材料限制到预定区域内。



CN 101796636 B

1. 一种在第一芯片和第二芯片之间形成的连接，包括：

第一电连接，所述第一电连接包括第一电接触点，所述第一电接触点耦合到在所述第一芯片上预形成的突出；

第二电连接，所述第二电连接包括第二电接触点，所述第二电接触点被置于在所述第二芯片上预形成的阱中，所预形成的阱与所预形成的突出互补；

韧性键合金属，所述韧性键合金属在横向上实体地电耦合所述第一电接触点和所述第二电接触点；和

所预形成的阱的侧壁的材料，所述材料在外围界定所述韧性键合金属以防止所述韧性键合金属在横向上从所述第一电接触点和所述第二电接触点向外突出或蠕变。

2. 如权利要求 1 所述的连接，

其中，所述第二电连接的一部分包括在外围界定所述韧性键合金属的所述材料。

3. 如权利要求 1 所述的连接，其中，所述第一电连接的一部分完全被所述第二电连接的一部分环绕。

4. 如权利要求 1 所述的连接，其中，在外围界定所述韧性键合金属的所述材料包括聚酰亚胺、SU8、玻璃、电介质、光刻胶和环氧树脂中的一种或多种。

5. 如权利要求 4 所述的连接，其中，所述第一电连接包括实体隔离但电连接所述第一电连接和所述第一芯片上的 IC 焊盘的阻挡层。

6. 如权利要求 4 所述的连接，其中，所述第二电连接包括实体隔离但电连接所述第一电连接和所述第一芯片上的 IC 焊盘的阻挡层。

7. 如权利要求 5 或 6 所述的连接，其中，所述阻挡层包含 Ni，Cr，TiPt，Ti/Pd/Pt，TiPt/Au，Ti/Pd，Ti/Pd/Au，Ti/Pd/Pt/Au，TiW，Ta，TaN，TaW 和 W 中的一种或多种。

8. 如权利要求 1 所述的连接，其中，在外围界定所述韧性键合金属的所述材料包括聚酰亚胺、SU8、玻璃、电介质、光刻胶和环氧树脂中的一种或多种，并且所述材料具有的高度使该材料实体接触所述两个芯片中的每一个芯片。

9. 如权利要求 1 所述的连接，其中，在外围界定所述韧性键合金属的所述材料具有的高度使其防止所述第一电接触点和所述第二电接触点中的一个电接触点穿进所述第一电接触点和所述第二电接触点中的另一个电接触点。

10. 如权利要求 9 所述的连接，其中所预形成的阱部分地由所述韧性键合金属填充，并且其中，所述韧性键合金属当在被所预形成的突起挤压时发生变形。

11. 一种在第一芯片上的第一电接触点和第二芯片上的第二电接触点之间形成连接的方法，包括：

在所述第一芯片上预形成突起，所预形成的突起耦合到所述第一电接触点；

在所述第二芯片上预形成阱，所述第二电接触点被置于所预形成的阱中，其中，所预形成的突起和所预形成的阱中的至少一个包括韧性键合金属；

按照互补配置对齐所预形成的突起和所预形成的阱；

将所预形成的突起插入所预形成的阱以引起所述韧性键合金属变形；并且

用所述韧性键合金属完全填充所预形成的突起和所预形成的阱之间的间隙，从而在横向上以此键合金属将所述第一电接触点和所述第二电接触点实体电耦合；

其中，所预形成的阱的侧壁的材料被配置为在外围界定所述韧性键合金属以防止所述

韧性键合金属在横向上从所述第一电接触点和所述第二电接触点向外突出或蠕变。

12. 如权利要求 11 所述的方法，其中，所预形成的突起的横向尺寸小于所预形成的阱的相应的横向尺寸。

13. 如权利要求 12 所述的方法，其中，所预形成的阱预先部分地用所述韧性键合金属填充，并且其中，所述韧性键合金属在当被所预形成的突起挤压时发生变形。

14. 如权利要求 13 所述的方法，其中，在外围界定所述韧性键合金属的所预形成的阱的侧壁材料具有的高度防止所述第一电接触点和所述第二电接触点中的一个穿透通过所述第一电接触点和所述第二电接触点中的另一个。

15. 如权利要求 13 所述的方法，其中，所预形成的突起由大大不如所述韧性键合金属那么韧性的导电材料构成。

16. 如权利要求 13 所述的方法，其中，在外围界定所述韧性键合金属的所预形成的阱的侧壁材料包括聚酰亚胺、SU8、玻璃材料、电介质、光刻胶和环氧树脂中的一种或多种。

17. 如权利要求 13 所述的方法，其中，在外围界定所述键合金属的所述阱的侧壁材料包括玻璃材料，并且其中，所述玻璃材料是第二芯片的玻璃覆层的一部分。

18. 如权利要求 11 所述的方法，其中，所述用所述韧性键合金属完全填充所预形成的阱和所预形成的突起之间的间隙包括以粘结和融化工艺加热所述韧性键合金属。

芯片连接方法

技术领域

[0001] 本发明涉及半导体，更具体地涉及这样的器件的电连接。

背景技术

[0002] 制造（通过形成导电通道）全部穿过电子芯片延伸的电接触点非常困难。高度精确或可控重复性地制造更不用说要大量制造所述电接触点几乎不可能，除非满足下列一个或多个条件：a) 通道很浅，即深度明显小于 100 微米，b) 通道宽度大，或者 c) 通道被以大间距，即通道宽度的很多倍的间距分隔。当通道接近到足以发生信号串扰，或者如果通道穿透的芯片带电，则所述困难会增加，因为通道中的导体既不允许作为短接线，也不能携带与芯片相应部分不同的电荷。此外，在一定程度上存在的常规工艺不适用于所形成的集成电路 (IC) 芯片（即包含有源半导体器件）并会增加成本，因为这些工艺可能损坏芯片，从而降低最终的生产率。除了上述困难之外，当通道穿透的材料带电或者当将要穿过通道传送的信号频率很高，例如超过约 0.3GHz 时，还需要考虑电容和电阻的问题。

[0003] 确实，半导体技术领域仍存在诸多问题，这些问题包括：使用大尺寸的不成比例的封装；组装成本不与半导体成比例；芯片成本正比于面积，并且性能最好的工艺也最贵，但只有一小部分芯片面积真正需要高性能的工艺；当前工艺受限于电压和其他技术；芯片设计者限于一种设计工艺和一种设计材料；芯片 - 芯片（通过封装）的连接需要大尺寸，大功率的焊盘驱动器；即使是小改变或修正微小的设计错误也需要对整个新芯片制造一个或多个新掩膜；制造整个新芯片仅掩膜成本就需要数百万美元；单个芯片的测试困难和复杂，而芯片组合在完成封装之前的测试甚至更为困难。

[0004] 因此，在技术上非常需要能解决一个或多个上述问题的技术。

发明内容

[0005] 我们开发了一种工艺，该工艺便于利用穿透晶片、预形成的第三方芯片或掺杂的半导体衬底的通道形成芯片到芯片的电连接。本文所述的各个方面有助于改进方法，并代表芯片互连总体领域的进步。

[0006] 一个方面涉及将第一晶片上的第一接触点与第二晶片上的第二接触点电学连接的方法，第一接触点是刚性材料，第二接触点是相对于该刚性材料的韧性材料，以致使两者叠到一起时，刚性材料将穿进韧性材料，刚性与韧性材料两者都是导电材料。该方面涉及使刚性材料接触点与韧性材料接触，向第一接触点或第二接触点之一施加力从而使刚性材料穿透韧性材料，加热刚性和韧性材料从而使韧性材料软化，以及将韧性材料限制到预定区域内。

[0007] 另一方面涉及在第二晶片上形成阱，阱的形状将界定韧性材料并进行所述限制。

[0008] 再一方面涉及将韧性材料涂覆到第二晶片的 IC 焊盘上，该 IC 焊盘相对于位于 IC 焊盘附近的第二晶片的覆盖玻璃或该第二晶片上的电介质的至少之一凹陷，以致韧性材料的一部分位于 IC 焊盘的顶部，一部分位于覆盖玻璃或电介质或两者的顶部，使位于 IC 焊盘

上的韧性材料的外表面部分将与位于覆盖玻璃或电介质或两者上的韧性材料的另一部分处于不同高度。

[0009] 另一方面涉及在两个芯片上的互补接触点之间形成的连接，涉及两个芯片中第一芯片上的第一电接触点，两个芯片中第二芯片上的第二电接触点，键合金属，实体地电连接第一和第二电接触点，以及在外围界定键合金属以防止键合金属突起或在侧向从接触点向外蠕变的材料。

[0010] 本文所述的优势和特征只是可从代表性实施例获得的诸多优势和特征的一部分，并且只是呈现来帮助理解本发明。应当理解，这些优势和特征不应被认为是由权利要求定义的对本发明的限制，或者是对权利要求的等价内容的限制。举例来说，一些优势是互相矛盾的，这些优势无法同时呈现在单个实施例中。与此类似，一些优势适用于本发明的一个方面而不适用于其他方面。因此，所述特征与优势的概述不应被认为在确定等价内容中起决定性作用。本发明的其他特征和优势将通过下文的说明，通过附图以及权利要求也将愈加明显。

附图说明

[0011] 图 1 是包含多个有源电子器件的芯片的一个部分的简化代表性侧视图；

[0012] 图 2 是图 1 的指定区域的上表面的顶视图；

[0013] 图 3 显示图 1 的一部分的简化剖面图；

[0014] 图 4 是图 1 的指定区域的上表面在产生图 3 的侧视图所示的沟槽之后的顶视图；

[0015] 图 5 显示作为后续处理结果的图 1 的一部分的简化剖面图；

[0016] 图 6 是图 1 的指定区域的上表面在如图 5 的侧视图所示用电绝缘材料填充沟槽之后的顶视图；

[0017] 图 7 显示作为后续处理结果的图 1 的一部分的简化剖面图；

[0018] 图 8 是图 1 的指定区域 124 的上表面在产生通道沟槽之后的顶视图；

[0019] 图 9 显示作为后续处理结果的图 1 的一部分的简化剖面图；

[0020] 图 10 是图 1 的指定区域的上表面在通道沟槽金属化之后的顶视图；

[0021] 图 11 显示作为后续可选处理结果的图 1 的一部分的简化剖面图；

[0022] 图 12 是图 1 的指定区域的上表面在将键合物质可选地引入其余空洞之后的顶视图；

[0023] 图 13 显示作为其他可选处理结果的图 1 的一部分的简化剖面图；

[0024] 图 14 是图 1 的指定区域的上表面在可选择地将精整物质可选地添加到其余空洞之后的顶视图；

[0025] 图 15 显示作为后续处理结果的图 1 的一部分的简化剖面图；

[0026] 图 16 显示在减薄衬底以去除底部金属化之后图 1 的一部分的简化剖面图；

[0027] 图 17 显示作为替代变形处理结果的图 5 的一部分的简化剖面图；

[0028] 图 18 是产生通道沟槽之后取自图 1 的指定区域下方的部分的顶视图；

[0029] 图 19 显示作为结合图 9 所述方式的进一步处理结果的图 5 的一部分的简化剖面图；

[0030] 图 20 显示作为结合图 11 所述方式的进一步可选处理结果的图 5 的一部分的简化

剖面图；

[0031] 图 21 显示作为结合图 13 所述方式的进一步可选处理结果的图 5 的一部分的简化剖面图；

[0032] 图 22 显示图 17 的替代变形中作为以结合图 15 所述方式减薄衬底以暴露底部金属化的结果的图 5 的一部分的简化剖面图；

[0033] 图 23 显示用于图 17 的替代变形的作为以结合图 16 所述方式减薄衬底以去除底部金属化的结果的图 5 的一部分的简化剖面图；

[0034] 图 24 以简化形式说明侧壁金属化之后的双导体变形；

[0035] 图 25 以简化形式说明用电绝缘材料 500 填充沟槽之后的该双导体变形；

[0036] 图 26 以简化形式说明通过去除半导体材料的整个岛产生的通道沟槽；

[0037] 图 27 以简化形式说明通过只去除半导体材料的内部岛产生的通道沟槽；

[0038] 图 28 以简化形式说明双导体变型的一个实例；

[0039] 图 29 以简化形式说明双导体变型的另一个实例；

[0040] 图 30A 和 30B 分别说明图 28 和 29 的方法中可选附加的热生长电介质或绝缘体的应用；

[0041] 图 31 以简化形式说明三导体变型的一个实例；

[0042] 图 32 显示除了金属化后剩余的空洞没有填充之外与图 9 到图 16 的实施例相似的替代芯片实施例的实例的一部分的简化剖面图；

[0043] 图 33 显示除了金属化后剩余的空洞没有填充之外与图 23 的实施例相似的替代芯片实施例的实例的一部分的简化剖面图；

[0044] 图 34 和图 35 分别显示在互相混合之后图 32 和 33 的芯片的各自的剖面图；

[0045] 图 36 显示说明可选择地涂覆绝缘体或保形涂层之后图 34 的实施例；

[0046] 图 37 显示环状沟槽剖面的代表性实例；

[0047] 图 38 以简化形式说明制备用于堆叠的晶片的工艺的总体概要形式；

[0048] 图 39 到 41 说明使用本文所述工艺的不同变形产生穿透芯片的连接，并在其后堆叠到一起形成芯片单元的实例芯片的一部分；

[0049] 图 42 以简化形式说明形成后到前变型的工艺；

[0050] 图 43 以简化形式说明形成电容耦合变型的工艺；

[0051] 图 44 以简化形式说明形成预连接变形的工艺；

[0052] 图 45 和图 46 以简化形式说明实例粘结和融化参数；

[0053] 图 47 是涉及“最小”接触点的简化实例；

[0054] 图 48 是涉及扩大接触点的简化实例；

[0055] 图 49 说明各自具有本文所述的穿透芯片连接的半导体芯片叠层的一部分；

[0056] 图 50 说明使用插柱和穿透连接方法 (post and penetration connection approach) 堆叠的图 49 所示芯片的简化叠层的一部分；

[0057] 图 51 以简化形式说明用预成型插柱填充的金属化内的空洞；

[0058] 图 52 以简化形式说明混合到电子芯片之后的图 51 的芯片；

[0059] 图 53 到图 71 说明基本接触点形成和混合方法的简化实例变形；

[0060] 图 72 到图 87 说明基本接触点形成和混合方法的替代简化实例变形；

[0061] 图 88 到图 91 以简化平行形式说明用于形成其后将成为子晶片背面上的刚性插柱的另两个实例变形方法的第一部分；

[0062] 图 92 是实例斜通道的剖面照片；

[0063] 图 93 是具有 100 微米深度和 20 微米直径的实例通道的照片；

[0064] 图 94 是具有其中形成的尖头通道的芯片的剖面照片；

[0065] 图 95 到图 102 以简化平行形式说明图 88 到 91 的另两个实例变形的第二部分；

[0066] 图 103 到图 125 以简化平行形式说明制备用于混合到其他元件的晶片的变形工艺；

[0067] 图 126 到图 139 以简化形式说明制备用于混合到其他元件的晶片的另一变形工艺；

[0068] 图 140 以简化形式说明即刻在粘结相之前的子晶片接触点与母晶片接触点；

[0069] 图 141 以简化形式显示融化处理完成之后图 140 的接触点；

[0070] 图 142 说明成型的韧性接触点；

[0071] 图 143A 到 143P 是无数可能的母接触点剖面的一些代表性的说明性实例；

[0072] 图 144 是成型的韧性接触点的替代实例的照片；

[0073] 图 145 是设计成穿透图 144 的韧性接触点的成型的刚性接触点的照片；

[0074] 图 146 以简化形式说明另一成型的接触点实例；

[0075] 图 147 到 152 说明用于实施阱附贴概念的一个变形工艺；

[0076] 图 153 到 156 以简化形式说明反阱变形的分类；

[0077] 图 157A 和 157B 分别是一组 15 微米直径 135 微米延伸深度与 25 微米直径 155 微米延伸深度的通道的纵向剖面照片；

[0078] 图 158 是与图 157A 和 157B 相似的但没有一直填充到底部的通道的照片；

[0079] 图 159 到 167 说明第 II 级类型刚性阱附贴方法的另一变形；

[0080] 图 168 到图 170 显示阱附贴方法的另一变形，其中芯片通过分离的远程接触点互相附贴；

[0081] 图 171A 和 171B 说明替代远程接触点变形的顶视图；

[0082] 图 172 说明实例同轴接触点的剖面图；

[0083] 图 173 到 175 说明同轴接触点的实例用法；

[0084] 图 176 到 179 说明使用本文所述的接触点进行密封的两个简单实例；

[0085] 图 180 是综述使用刚性 / 韧性接触点示例形成其他变形的不同方法的图表；

[0086] 图 181 和 182 是综述形成通道变形的不同方法的图表；

[0087] 图 183 到 195 更详细地说明涉及在子晶片上淀积金属的具体实例的工艺流程；

[0088] 图 196 到 205 更详细地说明涉及在子晶片上镀覆金属的具体实例的工艺流程；

[0089] 图 206 以简化形式说明母晶片化学镀的变形；

[0090] 图 207 以简化形式说明母晶片薄电介质变形；

[0091] 图 208 以简化形式说明母晶片厚电介质变形；

[0092] 图 209 说明在阻挡层淀积之前的具有以 50 微米节距分隔的 14 微米宽的接触点焊盘的母晶片接触点的实例和一些典型尺寸；

[0093] 图 210 说明阻挡层和覆盖层淀积之后的图 209 的接触点；

[0094] 图 211 说明具有以 25 微米节距分隔的 8 微米宽的接触点焊盘的母晶片接触点的典型尺寸；

[0095] 图 212 说明通过淀积产生的具有以 50 微米节距分隔的 14 微米宽的接触点焊盘的子晶片接触点的实例和一些典型尺寸；

[0096] 图 213 说明通过淀积形成的具有以 25 微米节距分隔的 8 微米宽的接触点焊盘的子晶片接触点的实例和一些典型尺寸；

[0097] 图 214 说明在进行自对准籽晶刻蚀之前具有以 50 微米节距分隔的 14 微米宽的接触点焊盘的镀覆型母晶片接触点的实例和一些典型尺寸；

[0098] 图 215 说明进行自对准籽晶刻蚀之后的图 214 的接触点；

[0099] 图 216 说明作为热管配置的一部分的内通道的使用；

[0100] 图 217 以简化平行形式说明另一个实例隔离和跨度变形；

[0101] 图 218 以简化平行形式说明另一实例隔离和跨度变形；

[0102] 图 219 以简化形式说明常规微处理器芯片的代表性实例及其各自的组成元件；

[0103] 图 220 以简化形式说明怎样用图 219 的微处理器元件构成替代微处理器以提供更小的占地面积并基本上减小元件之间的距离；

[0104] 图 221 显示图 219 的芯片与图 220 的芯片的占地面积的直接比较；

[0105] 图 222 说明功能封装变形；

[0106] 图 223 说明图 222 的封装变形的细节；

[0107] 图 224 到 231 以简化的概述说明无布线处理的变形；

[0108] 图 232 到 235 以简化形式说明替代的无布线的变形；

[0109] 图 236 以简化形式说明两个芯片之间使用光学连接而非有线连接；

[0110] 图 237 以简化形式说明使用热管配置以即使激光器承载芯片和光检测器承载芯片之间插入两个其他芯片仍允许光从激光器承载芯片传递到光检测器承载芯片的变形；

[0111] 图 238 以简化形式说明粘结和融化工艺的方法；

[0112] 图 239 以简化形式说明子接触点的功能层；

[0113] 图 240 以简化形式说明母接触点的功能层；

[0114] 图 241 以简化形式说明子接触点功能层的实例材料配置；

[0115] 图 242 以简化形式说明母接触点功能层的实例材料配置；

[0116] 图 243A，243B 和 243C 是经结合的母接触点和子接触点的照片；

[0117] 图 244 和 245 以简化形式说明每芯片单引脚的加工；

[0118] 图 246 和 247 以简化形式说明每芯片多引脚的加工；

[0119] 图 248 和 249 以简化形式说明替代的加工方法；以及

[0120] 图 250 到 254 以简化形式说明另一个替代的加工方法。

具体实施方式

[0121] 首先，应当理解，本文使用的术语“晶片”意在可以互换地包含所有的术语“芯片”，“电路芯片”和“晶片”，除非特定的说明清楚地并且排他地仅表示能从中切割出芯片的整个晶片，例如，有关 8 英寸或 12 英寸晶片，“芯片或小片 - 晶片”，“晶片 - 晶片”，或者“晶片规模”的处理。就技术上的意义而言，如果一个术语在使用时用术语“芯片”或“小片”代替仍

有意义，则这些术语也能使用。此外，除非满足上述条件，本文对“晶片或芯片”或者“晶片或小片”的实际引用应当视作无意中的多余重复。

[0122] 总体而言，本文所述的各个方面的具体实施例能够以简单，可控的方式在两个或多个包含完全形成的电子的，有源光学的或者电子光学器件之间形成连接，该方式还允许深的通道深度，高度的重复性，可控的电容和电阻，以及通道和该通道穿透的晶片或衬底之间的电隔离。

[0123] 我们的工艺实施例可以形成宽度窄（即，下至约 15 微米宽或更小）的导电通道，虽然深宽比等级为 5 ： 1 到 10 ： 1 更为典型，我们的工艺实施例还可以形成穿透深宽比等级为 3 ： 1 以及大到 30 ： 1 的芯片的深（即深度大于约 50 微米）的导电通道。此外，我们的方法可以有利地在通道穿透的芯片的一部分带电的环境下实现这一点。具体而言，我们可以使用其中侧壁将掺杂半导体与从中穿过的电导体绝缘的通道提供穿过晶片的掺杂半导体部分的电通路。此外，我们的工艺对窄通道也有效（即约 15 微米宽或者在一些情形中更小），同时允许严格控制隔离材料和电导体的厚度，从而保持恒定并可接受的电容和电阻。

[0124] 另外，如果是形成圆形接触点，我们的方法还适用于形成具有直径在 0.1 微米到 15 微米的焊盘的接触点，该上端值不是限制，但最好简单地是在其下我们的方法允许集成而其他方法通常无法实现的尺寸，该下端值是当前可达到的光刻技术的函数。换而言之，允许更小分辨率的光刻技术的进步也将允许该当前的限制变得更小。

[0125] 另外，不同于可以为几百或几千微米长的焊接接触点，或者也可以为几千微米长从而通常需要相当大的焊盘驱动器来驱动芯片之间的阻抗的导线键合接触点，通过我们的方法，我们能使用很短的接触点（10 微米或更短），其允许低得多的芯片之间的寄生电效应。我们的典型接触点在与互补接触点集成之前，在接触点之间具有韧性材料（在下文定义并讨论）宽度的三倍或更小的间距（例如，如果初始接触点是 8 微米高，则接触点之间的间距将在约 25 微米以内）。

[0126] 我们的方法进一步允许以小于或等于约 20 微米的分离间距堆叠芯片。实际上，虽然我们已经证明可以实现小于约 1 微米的间距，但小于或等于 10 微米的间距更典型。总体而言，最小值由正被连接的两个晶片的最靠近表面的拓扑结构确定；当晶片在其最高点处接触时，焊盘之间的距离表示最大高度间距。

[0127] 我们的方法还能够以小于或等于 50 微米的节距形成接触点。通常，虽然我们已经证明可以实现小到 7 微米的节距，但将使用小于或等于约 25 微米的节距，再次说明，该限制是当前可达到的光刻技术的函数。这里也就是，随着技术的进步节距可以更小。

[0128] 一些变形包括一个或多个以下特征：每 cm^2 几百万接触点的潜力；同时发生电学，机械和热学附贴；用很小的力实现附贴但产生高强度的连接（数量级在 1,000kg/cm^2）；以规模经济实现连接；能够适合于非平面晶片；多数处理可以在晶片的规模上完成（例如，8″，10″ 或 12″ 的 10 微米 GaAs 晶片）；可以基于芯片 - 芯片，芯片 - 晶片或晶片 - 晶片实现工艺处理；工艺以电学为基础；在预形成（即，器件承载芯片）芯片上形成连接，因此能用于第三方提供的芯片；在连接多个芯片之前形成通道；在被永久连接之前测试芯片组合并且如果需要可以返工测试的能力；混合并匹配不同的技术（即，GaAs 到 InP，InP 到 Si，GaAs 到 Si，SiGe 到 SiGe 到 Si 等，以及甚至是用例如陶瓷，LCP 或玻璃支承的绝缘晶片）；

产生利用半导体工艺经济的芯片尺寸封装的能力；允许从核心去除低速功能和昂贵工艺但仍具有如同单个芯片运行的整组电路，允许设计利用可用的并最适合该特定设计的电压，技术及材料的变化的单个芯片的能力；与设计的其他方面所需的技术无关；经增强的芯片外通信；有助于增加芯片水平的设计模块化，允许使核心设计的影响进入到多个产品中而无需吸收多余的非重复性工程成本；以及允许使速度与技术类型相匹配，以致低速电路不需要用不必要的昂贵的高速技术形成。

[0129] 总体而言，我们的工艺改进了使用“穿透晶片”电接触点产生芯片－芯片连接的能力，该连接能用于掺杂衬底但不会使衬底短路，因此能携带与其穿透的衬底的电荷相反的电荷。此外，这种“穿透晶片”方法适用于半导体材料，诸如陶瓷的绝缘体，以及其他导电或不导电材料的晶片。此外，使用当前的用于刻蚀半导体材料的设备，即具有 30 比 1 深宽比的设备，本工艺对窄截面（即，15 微米宽，在一些情形中更小）的通道，以及总体深度从超过 50 微米到 500 微米或更大深度的通道都很有效。此外，本工艺允许密切控制电容和电阻，因此，举例来说，使用本工艺产生的通道能携带高速电信号（即，频率超过 0.3GHz），或者在一些实施例中能携带光信号。

[0130] 一些实施例还允许同心通道，如果通道导电，则该同心通道能各自携带不同的信号或不同的电荷。此外，一些实施例还允许使同心通道中的内通道通过使用配置的一部分成为热管配置的一部分而用作冷却系统的一部分。其他实施例提供以下优势，该实施例与堆叠方法兼容并允许使用堆叠方法，该方法中芯片基于芯片－芯片，芯片－晶片或者晶片－晶片被堆叠并电连接到其他芯片。

[0131] 有利的是，实际上本文所述的或者直接由此推导出的所有堆叠工艺和变形只需要新堆叠片与直接在其之下的晶片片对准。这与尝试堆叠并必须对准堆叠层中在一起的所有晶片片然后插入导电材料以形成贯通堆叠层的连接的先有技术的技术截然相反。这样的方法需要堆叠层中的所有片相对于每一个其他片共同精确对准，而非只对准其下方的晶片片。此外，我们的方法对于单轴，同轴和三轴连接都同样有效，而如果这些连接真能够进行的话，所述共同对准的方法做不到该同样有效。

[0132] 为便于说明，本文所述的诸多方法采用实例的方式进行说明，所采用的实例涉及半导体材料的晶片，例如硅 (Si)，锗－硅 (SiGe)，砷化镓 (GaAs) 等，这些晶片已经预成型（即，包含集成电路或其组件，和／或诸如激光器，检测器，调制器的光学器件，以及这些器件的接触点焊盘）。

[0133] 本方法的第一实例涉及双刻蚀工艺，其中为了半导体材料的实例（即，具有或没有一些或所有其相关衬底的掺杂半导体）的目的只有晶片需要刻蚀。该实例工艺从半导体材料的器件承载晶片开始。在晶片中有一个或多个具有精确宽度的沟槽区域被刻蚀到理想深度，因此，在半导体晶片的情形中，沟槽伸展到晶片衬底中，并在半导体材料的一部分周围形成周界。注意，周界的形状可以是任何封闭形状，并且沟槽外壁与内壁不需要是相同形状。最后通道连接的电容和电阻可以通过选择沟槽内外周界的形状及其间隔距离受到控制。沟槽深度通常为 50 微米或更多，在一些情形中是 500 微米或更多，但沟槽并不穿透晶片的整个衬底，因此整片的半导体晶片并不分离。然后用电绝缘材料填充沟槽。然后整片的半导体晶片的至少一部分被刻蚀掉，留下具有比沟槽外壁为界的截面更窄截面的孔洞，以使通过刻蚀半导体片产生的通道由绝缘材料或者材料周界圈为界，对于其深度的一部分

的周界圈的材料来自中央半导体片，对于其余部分的材料则来自衬底。孔洞被金属化，以在晶片顶部和孔洞底部之间建立电连接。然后减薄晶片背面（即，衬底）以暴露孔洞底部的金属化，该金属化然后成为衬底侧接触点或其一部分（本文用广义术语“接触点”可以互换地表示）。虽然在一些实施例中，金属化将只延伸至衬底被充分减薄时金属化将被暴露的充分深度，但通常，至少限定孔洞的表面的一部分的全部深度将被金属化。以这样的方式，如果用于进行金属化的工艺无法用以金属化到整个深度，则只要充分的金属化向下延伸到停止减薄的地方就能形成接触点。举例来说，在一个实施例中，如果通道部分延伸到衬底中约600微米的总长度但金属化只能可靠进行到约300微米的总深度（即，比通道自身小300微米），则只要衬底能减薄到至少到达金属化而不会不可接受地削弱晶片或芯片，该工艺就不会产生负面影响。

[0134] 通过上述方法，本文所述的变形及其排列组合可以使连接点更靠近芯片上器件。通过使连接点更靠近芯片上器件，该方法促进垂直方向上的芯片－芯片连接（即，通过芯片堆叠），能减少连接点之间的距离，并减少或消除为芯片－芯片连接使用导线键合的需要。此外，该方法有助于创建能在生产中根据需要混合并匹配的副组件专门设计。换而言之，对于芯片组材料，几何尺寸和制造第三维将变得更容易实现。此外，该方法能够混合不同速度或不同类型的材料技术，以及混合并匹配组件或副组件的设计，从而提供研发及制造成本的节省。此外，还可以产生在芯片间使用光连接而非电连接的芯片－芯片连接。

[0135] 通过任选地使用降低所连接芯片上的应力的芯片－芯片连接方法，上述方法得到进一步的促进，从而减少芯片损坏的风险。

[0136] 下文将通过一些实例并具体参照附图更详尽地说明上述各个具体方面，为了阐释和清楚表达的目的，附图经过过度的简化并且没有按比例。在一些情形中比例以牺牲精确度为代价被故意在总体上夸张或扭曲，以增强表现的清晰度并帮助理解。

[0137] 此外，本文所述的方法独立于芯片上的或本文所述的各个方面被用于的特定器件。因此，对例如第一实例的激光器的任何特殊类型器件的参考是任意的并且与本文所述的各个方面无关，除非一定程度上这些器件是需要在其上制造电接触点的器件。换而言之，本文所述的方法实质上对于所有可以在其上制造接触点的器件和电路元件是完全相同的。

[0138] 图1是芯片102的部分100的简化侧视图，该芯片包含多个固态电子器件，例如，电阻，电容，三极管，二极管，激光器，光检测器或其一些组合。只是作为实例的目的，图1所示的部分100包括激光器104，该激光器具有“顶”镜106，顶镜106下方的有源区域108和位于衬底112上的“底”镜110，因此器件104在器件104附近的芯片102的非器件部分的顶部外表面116之上具有几个微米的高度114。

[0139] 如图所示，激光器104是常规的垂直空腔表面发射激光器(VCSEL)。为了说明的目的，假设顶镜106需要电连接到衬底的与携带激光器104的侧面120相对的侧面118上的一些元件，并在指定区域124内器件104附近穿透掺杂半导体材料122。

[0140] 首先，应当理解，在将激光器或光检测器作为器件讨论的一定程度上，术语“顶”和“底”遵照习惯，其中“底”是最靠近衬底的部分，而与激光器是否朝向或远离衬底112发射（或者在光检测器的情形中的接收光的方向）无关。

[0141] 图2是处理开始之前图1的指定区域124的上表面114的顶视图。

[0142] 下文将参照图1和2引入的这些方面说明形成穿透芯片的接触点的基本工艺。

[0143] 图 3 显示作为以下处理的结果的图 1 的部分 100 的简化剖面图。

[0144] 首先，沟槽 302 被刻蚀进入并穿过半导体材料 122，最好使用各向异性刻蚀工艺（为了产生相对陡直的沟槽侧壁 304），沟槽 302 被刻到使沟槽 302 部分进入衬底 122 的深度。沟槽 302 的总体深度可以是 100 微米或更多，在一些情形中延伸 500 到 600 微米或更多。然而，沟槽 302 的延伸应当在完全穿透衬底 112 之前停止，否则在很多情形中将可能丧失实施本发明的能力。沟槽 302 成形为使其自我封闭，在平行于衬底平面的平面上产生环形的截面。通过使用该环形沟槽 302，将留下半导体材料 122 的“岛”306，并且“岛”306 至少由衬底 112 的未触动部分 308 保持。这点上值得注意的是，虽然被称为“环形”的沟槽 302 显示为圆形，但这只是为了图释简便。本文使用的术语“环形的”或“环形”应当理解为不限于任何特定的或规则的形状，外周也不必具有与内周相同的形状。只要沟槽是封闭的形状以致在其中产生隔离的“岛”，该沟槽就可以视为如本文使用的环形沟槽或“环形”。换而言之，该术语意在包括封闭周界形状的任何组合，包括封闭多边形（规则或非规则）或者其他封闭的周界形状，举例来说，无论其形状是平滑的还是锯齿状的等。此外，该术语还意在包含特定实例所需或所要求的固定的或变化的宽度。

[0145] 图 4 是图 1 的指定区域 124 的上表面 116 在形成图 3 的侧视图所示的沟槽 302 之后的顶视图。在该图中，沟槽 302 的环形性质清楚可见。沟槽 302 具有封闭的内周界 312 和外周界 314 以及宽度 310，使沟槽 302 环绕在其中产生的半导体材料 122 的岛 306。

[0146] 图 5 显示作为后续处理结果的图 1 的部分 100 的简化剖面图。

[0147] 至少沟槽 302 被涂覆电介质或其他电绝缘材料 500，该材料能可选择地还覆盖理想厚度的一部分顶外表面 116。可选择地，如果材料在电绝缘的同时还要考虑热传导，则良好热导体的材料可以用作电绝缘材料 500。

[0148] 当与先有技术的内容进行对照时就能理解上述方法实现的优势。首先，通常而言，以均匀方式涂覆电介质材料，尤其当需要均匀厚度时极其困难。第二，当电介质需要涂覆到非平整表面时该问题将复杂化，并且当必须涂覆到诸如本文所述的通道的垂直壁时问题将进一步复杂化。因此，其他方法尝试形成孔洞，然后精确地用电介质涂覆孔洞壁再使其导电，这些方法在一定程度上都缺乏控制均匀性的任何有意义的能力。这些方法中存在的缺乏均匀性极大地影响电容和阻抗从而影响性能，尤其在所涉及的信号频率很高时，例如，超过约 0.3GHz 时更是如此。与此相反，使用本文所述的方法，可以实现对电容和电阻的精确控制，因为沟槽 302 的尺寸能精确控制到沟槽 302 自身的精确度。沟槽 302 的外周壁限定绝缘材料 500 的覆盖厚度和均匀性（从而限定最后的电容和阻抗），因为沟槽 302 的外周壁将其约束在一定范围内。因此，所需要的是保证沟槽 302 得到填充 -- 这是很低精确度和低成本的过程。因此，与先有技术不同，不需要涂覆电介质时的精确性。

[0149] 图 6 是图 1 的指定区域 124 的上表面 116 在图 5 的侧视图所示用电绝缘材料 500 填充沟槽 302 以及（可选）还局部覆盖一些顶外表面 116 之后的顶视图。

[0150] 图 7 是显示作为后续处理结果的图 1 的部分 100 的简化剖面图。

[0151] 一旦电绝缘材料 500 固化（通过硬化，固化或其他过程），通过将绝缘材料 500 的环 704 中的半导体材料的岛 306 去除到实现特定的理想实施例所必须的足够深度 502，作为实例，去除到与沟槽 302 的深度相似的深度（即，使其也延伸到衬底 112 中一段距离但最好不完全穿透衬底）而产生通道沟槽 702。实际上，如果通道沟槽 702 也延伸到其能达到的

足够的深度，如果在后述的处理中必要，在本实例的情况下为进入衬底 112 与沟槽 302 相同的距离，则通道沟槽 702 的深度 502 可以长于或短于沟槽 302 的深度。此外，界定岛 306 的环 704 的最内壁要求通过去除处理形成的通道沟槽 702 的外形和轮廓将是电介质。因此，该外形和轮廓通常不会受刻蚀工艺的影响，因此可以使用低精确性的刻蚀工艺去除半导体材料的岛 306，因为在宽度或深度方向上并不需要严格控制去除过程。当然，通过使用一种或多种其他合适的工艺，例如，激光融蚀，激光钻孔或其一些组合，所述去除可能会扩大，或者另外完成去除的目的。

[0152] 继续该实例的工艺处理，一旦产生通道沟槽 702，通道沟槽 702 的侧壁 706 以及通道沟槽 702 的底部 708 将全部是电绝缘的，因为侧壁 706 将是绝缘材料 500 而底部 708 将由衬底 112 限定。

[0153] 图 8 是图 1 的指定区域 124 的上表面 116 在如图 7 的侧视图所示在电绝缘材料 500 的环 704 中产生通道沟槽 702 之后的顶视图。

[0154] 图 9 显示作为后续处理结果的图 1 的部分 100 的简化剖面图。

[0155] 通过例如使用溅射，蒸发，电镀或其他用于涂覆金属的物理或化学淀积技术，或者如有需要通过这些技术的组合至少“金属化”通道沟槽侧壁表面 706 的纵向部分（即，沿其深度）而使通道沟槽 702 导电。换而言之，金属化可以涉及使用导电固体，导电环氧树脂或可回流材料（例如，像焊料的适当温度的导电液体）。该金属化处理可以并且通常将用于产生至少从通道底部 708 周围到上表面 116 的连续的导电连接，并且在很多情形中，如果相关器件是其中制作通道的芯片的一部分，则该导电连接将一路伸展到该相关器件。通过代表性实例的方式，图 9 显示通过该工艺过程形成的从激光器 104 的顶镜 106 上的接触点 904 延伸到通道沟槽 702 的底部 708 的电迹线 902。如图所示，通道沟槽 702 的侧壁 706 和底部 708 的整个表面都完全用金属覆盖。

[0156] 如上所述，因为绝缘环的宽度和长度可以严格控制，通过金属化形成的导体厚度也能严格控制，因此能实现相对于金属化表面的恒定电容。此外，绝缘材料 500 将接触点 904 与该绝缘材料 500 穿过的半导体材料 122 电隔离，因此，能解决半导体材料中可能引起接触点到其他器件或导体的电短路的缺陷。

[0157] 图 10 是图 1 的指定区域 124 的上表面 116，在如图 9 的侧视图所示在金属化通道沟槽 702 并产生通向器件接触点 904 的电迹线 902 之后的顶视图。

[0158] 图 11 到图 14 说明可能对一些实施例有用或者需要的附加的以及可选的处理。图 11 或图 12 所示的方法与图 13 或图 14 所示的方法无关。结果，取决于特定的实施例，可以分别使用图 11 和图 12 所示的方法或图 13 和图 14 所示的方法，或者能够以任何顺序一起使用两个方法。

[0159] 通过使用一个或两个这些可选方法能获得一些优势。首先，用材料填充空洞将增加机械强度并增加结构硬度从而降低潜在应力。第二，使用焊料，环氧树脂或其他键合材料能有助于芯片到另一元件的最后连接，尤其当该连接涉及芯片到另一芯片的混合时更是如此。第三，通过将材料插入空洞，能降低不需要的材料进入空洞的风险。最后，填充材料降低或消除通道沟槽内金属化部分损坏的可能性，尤其是如果没有金属化整个侧壁则更是如此。此外，通过改变绝缘体和金属的厚度能平衡从而匹配晶片的热膨胀系数（“CTE”）。举例来说，可以连同铜（17ppm 的 CTE）使用氧化物（1ppm 的 CTE）以匹配硅的 CTE(2.5ppm 的

CTE)。

[0160] 当然，因为这些方面是可选的，因此可以不用上述两个方法而仍使用本发明。然而为了完全理解，下文将参照图 11 到图 14 说明两个处理工艺。

[0161] 图 11 显示作为后续的可选处理的结果的图 1 的部分 100 的简化剖面图。

[0162] 一旦完成金属化，如果剩余的空洞 1100 将不为下述的用途而留空，则可以可选地用例如在该情形中是键合物质 1102 的一些材料局部或完全填充剩余的空洞 1100。取决于将要使用该变形的特定实施例，键合物质 1102 可以导电或者非导电，即，诸如可以通过例如化学镀或电镀技术涂覆或者用蒸发淀积或溅射淀积的焊料，金属，或合金的导电材料，或者像例如适当类型的胶水或环氧树脂或者例如二氧化硅的氧化物的非导电键合剂。

[0163] 图 12 是图 1 的指定区域 124 的上表面 116 在如图 11 的侧视图所示可选地将键合物质 1102 引入通道沟槽 702 的剩余空洞 1100 中之后的顶视图。

[0164] 图 13 显示作为后续的可选处理结果的图 1 的部分 100 的简化剖面图。

[0165] 两者取一或者另外附加，如果金属化没有完全填充空洞，则一旦金属化完成，如果存在任何剩余空洞 1100，则该剩余空洞 1100 可以可选地用例如简单的的精整物质 1302 局部或完全填充。取决于将要使用该变形的特定实施例，举例来说，精整物质 1302 可以是诸如最初用于填充沟槽 302 的绝缘材料 500 的绝缘体，诸如导电环氧树脂，导电固体或可回流材料的导体，或者可以使用保形涂层。此外，如果使用，则精整物质 1302 不需要单独引入到空洞 1100 中。如图 13 所示，如果是电绝缘材料并且使用了键合物质 1102，则可以在使用键合物质 1102 后将精整物质 1302 插入到任何这样的键合物质 1102 的顶部，并使其延伸到空洞 1100 之外从而覆盖并保护晶片外表面的一部分，和 / 或延伸到接触点 904 的迹线 902 的一部分 1304，或者，即使没有空洞，也能平面化该晶片。举例来说，精整物质 1302 可以是能平整化的氧化物，并从而平面化该晶片，以致整个表面可以用于键合到例如晶片或单个芯片的另一个元件。

[0166] 图 14 是图 1 的指定区域 124 的绝缘体上表面 116 在如图 13 的侧视图所示在键合物质 1102 的顶部可选地将精整物质 1302 添加到剩余空洞 1100 中，并且数量足以对迹线 902 的至少一部分 1304 提供覆盖和保护之后的顶视图。

[0167] 回到基础工艺过程，图 15 显示作为后续处理结果的图 1 的部分 100 的简化剖面图。

[0168] 一旦完成图 9 和图 10 所示的金属化方面（无论是否使用图 11 到图 14 所示的两个可选方面），将例如使用诸如刻蚀的化学工艺，诸如抛光的机械工艺，化学机械处理 (CMP) 或其一些组合至少在暴露底部金属化 1502 之前减薄衬底 112 的背面 118（即，不带器件的一面），从而在衬底 112 的背面 118 上产生电接触点 1504，该接触点 1504 电连接到与掺杂半导体材料 122（在该情形中是激光器 104 的底镜 110）电隔离的器件接触点 904，而不需要进行任何特殊的背面处理。

[0169] 或者，减薄可以进行到去除底部金属化 1502，或者暴露空洞 1100 本体（无论是否填充）。图 16 显示图 15 的一部分在将衬底减薄到去除底部金属化之后的简化剖面图。有利的是，如果至少使用了图 11 和图 12 的方法，则空洞 1100 被填充键合物质 1102。因此，如图 16 所示，将衬底 112 的背面 118 减薄到图 15 的底部金属化 1502 被去除将暴露键合物质 1102，同时留下金属接触点 1602 的“环缘”，该环缘仍能充当背面电接触点的一部分。因

此，如果键合物质 1102 是例如焊料的导电物质，则环缘 1602 和键合物质 1102 将一起充当接触点，而如果键合物质 1102 是不导电的，则其仍能用于将芯片键合到另一元件，同时环缘 1602 充当接触点并提供从背面 118 到器件接触点 904 的导电通路。

[0170] 或者，图 15 或图 16 的配置可以被减薄，使金属化或金属接触点突出到晶片底部之外，从而在如本文所述的单独的插柱和穿透方法或者连同粘结和融化方法中用作接触点。

[0171] 现在应当能理解，上述基本工艺以及遵循该基本工艺并基于该基本工艺的更复杂的替代工艺提供超过先有技术的进一步的优势，即不要求在晶片上制造器件（例如，三极管，二极管，激光器，光检测器等）之前先期制作通道。此外，该工艺也不要求通道只存在于芯片外围形成常规的导线焊盘的区域中。作为替代，当前的工艺更局域化，并能在足够低的温度下进行，以致可以在通道形成之前先在半导体中形成或嵌入电路，并且通道能设置在芯片外围之外的其他区域中。这样就可以使用芯片被另外制造的工艺，该工艺不需要包括在这些芯片的设计工艺中，并且如下文更详细的说明，使不同芯片上的器件之间的连接通道比通过使用导线焊盘完成的通道大大缩短。此外，因为该工艺有助于形成穿透晶片的通道，如下文更详细的说明，该工艺对芯片堆叠或者产生混合及匹配芯片“单元”非常有效。

[0172] 尤其是在沟槽宽度窄并且深度为例如 100 微米或更大的相对深时与用电绝缘材料填充沟槽相关联可能引起的一个问题是在电绝缘材料中出现针孔，气泡或其他缺陷的可能性。如果存在，则这些缺陷可能导致沟槽穿透其中的器件的掺杂半导体材料与其中的导体之间的不需要的导电通路。

[0173] 有利的是，如果这是一个潜在的或引起注意的问题，则图 17 到图 23 所示的替代变形能对该问题进行讨论。

[0174] 图 17 显示作为根据下述替代变形的处理结果的图 5 的部分 100 的简化剖面图。

[0175] 图 7 中形成通道沟槽 1700，但与图 7 不同，没有移除绝缘材料 500 的环 704 内的半导体材料 122 的整个岛 306。相反，通道沟槽 1700 小于图 7 的通道沟槽，以致保留半导体材料 122 的周界环体 1702。因为半导体材料 122 的周界环体 1702 以绝缘材料 500 和衬底 112 为界，因此与器件 104 的半导体材料电隔离。此外，因为总体半导体材料 122 的形成更为理想和均匀，沟槽 302 内的绝缘材料 500 中的任何缺陷都将由半导体材料 122 的周界环体 1702 与通道 1700 中的金属化相隔离。除此之外，该方法与结合图 7 所述的方法相同。因此，举例来说，通过进一步的刻蚀工艺或者通过例如激光钻孔的另一合适的工艺类似地将通道沟槽 1700 制作到深度 1704，延伸到衬底 112 内（但最好不要完全穿透）。一旦形成了通道沟槽 1700，通道沟槽 1700 的侧壁 1706 以及底部 1708 都将如上所述全部不导电，但侧壁 1706 将是由环形绝缘材料 704 环绕的被隔离的半导体材料 1702。

[0176] 图 18 是图 1 的指定区域 124 下方在如图 17 的侧视图所示在由电绝缘材料 704 为界的半导体材料 1702 环内形成通道沟槽 1700 之后的顶视图。

[0177] 图 19 显示作为以结合图 19 所述的方式的图 17 的替代变形的进一步金属化处理的结果的图 5 的部分 100 的简化剖面图。

[0178] 图 20 显示作为以结合图 11 所述的方式的图 17 的替代变形的进一步可选处理的结果的图 5 的部分 100 的简化剖面图。

[0179] 图 21 显示作为以结合图 13 所述的方式的图 17 的替代变形的进一步可选处理的结果的图 5 的部分 100 的简化剖面图。

[0180] 图 22 显示作为以结合图 15 所述的方式的图 17 的替代变形的减薄衬底以暴露底部金属化 1502 的结果的图 5 的部分 100 的简化剖面图。

[0181] 图 23 显示作为以结合图 16 所述的方式的图 17 的替代变形的减薄衬底以去除底部金属化 1502 并暴露键合物质 1102 结果的图 5 的部分 100 的简化剖面图。

[0182] 基于上述说明，可以形成具有双被隔离（即同轴）导体的其他替代变形。其优势在于双导体允许更大的接触点密度并能减少串扰。此外，通过双导体变形将能看到外导体与内导体电隔离以允许其在不同电压下工作；一个导体在工作时作为电磁干扰 (EMI) 屏蔽以保护免受信号噪音的影响，或者允许信号穿透该结构有差别地传播以实现更低噪音的数据传输。此外，对于单导体方法，只进行对环形沟槽的一个光刻限定的精确刻蚀。如下所示，中央材料的去除受到边界金属的控制，因此不受到光刻限定的步骤或刻蚀中固有的工艺变动的影响。因此，甚至该方法的重复性更高，并且工艺更可靠。

[0183] 下文参照图 24 到 29B 说明同轴变形的两个实例。这些变形适用于最外层导体能直接与半导体材料接触而没有负面影响的情况。替代的同轴变形的实例如下面的图 30A 和 30B 中所示。图 30A 和 30B 的替代双导体变形相似于图 17 到图 23 所示的替代变形并以其为基础进行改进，因此同样适用于解决相同的问题或对此进行讨论。

[0184] 首先，基本的双导体形成过程遵循结合图 1 到图 3 所述的方法。因为该变形明显地建立在上述内容之上，为了说明简便，将只讨论与该变形相关的附加的或不同的方面，其余部分可以从在先的讨论中了解。其后，根据该双导体替代变形的工艺过程如下。首先，如图 24 所示，至少如上所述地金属化图 1 的侧壁 304。注意，沟槽 302 的最下表面可以也可以不金属化，但是如下文明显的说明，这将不影响最后的结果。图 24 显示紧跟根据该变形的金属化之后图 3 的部分 100 的简化剖面图。

[0185] 金属化之后，至少沟槽 302 被填充电绝缘材料 500。该步骤的结果显示在图 25 中。

[0186] 再次，如图 26 所示，通过去除由金属化 2402 的环 2602 的内周界界定的半导体材料 122 的整个岛 2406 形成通道沟槽 2600。

[0187] 或者，如图 27 所示，在该方面可以采用与图 17 相似的方法（即，代替去除绝缘材料 500 的环 704 内的半导体材料 122 的整个岛 306，只去除内侧部分 2702，保留半导体材料 122 的周界环体 2704）。

[0188] 另外以及其后，该方法与先前所述的方法基本相同。举例来说，通过进一步的刻蚀工艺或通过例如激光钻孔或融蚀的另一合适的工艺将通道沟槽 2600，2702 制作到延伸到衬底 112 内的深度（但最好不完全穿透）。

[0189] 然后用导体 2802 填充通道沟槽 2600，2702，并且如上所述减薄衬底。在第一实例的双导体变形（图 28A）的情形中，减薄一直执行直到如图 28B 所示去除底部金属化并且在衬底 122 一侧暴露内导体 2802。在第二实例的双导体变形（图 29A）的情形中，衬底一直减薄到如图 29B 所示连同内导体一起暴露金属化的最下部分。注意，在图 28B 的变形中，一个导体由金属化 2804 的外环组成，而另一个导体由金属化 2806 的内环加上内导体 2802 组成，因为两者毗邻并因此互相短路，而在图 29B 的变形中，一个导体由金属化 2402 组成，而另一个导体由内导体 2802 组成。

[0190] 因此，在诸如图 28B 所示的双导体变形中，非常需要保证环 704 的深度与通道沟槽 2702 的深度都超过衬底最终要减薄到的那一点。换而言之，如果晶片的总体厚度为 500 微

米，而晶片衬底将要减薄 200 微米，则通道沟槽 2702 的深度至少是 300 微米加上可能存在的金属化的厚度，并且因此环 704 的原始深度也甚至可能需要比通道沟槽 2702 的深度更大。这样要求的原因是两个导体之间必须电隔离。以上原因也是一些实施例中对沟槽 302 的最低部分的涂覆发生故障但几乎不产生影响的原因，因为该涂覆层反正在减薄处理中都要被去除。

[0191] 基于上述说明应当认识到，与图 28B 或 29B 类似，可以只通过在金属化之前使沟槽侧壁不导电而产生另外的替代同轴变形。举例来说，这一点可以通过电介质溅射，等离子淀积，或通过预形成初始环形沟槽（即，在电子器件制造之前）以及使用热或蒸汽氧化技术对侧壁涂覆薄电介质覆盖层来完成。在硅晶片的情形中，该技术涉及将侧壁暴露到反应气体以使其氧化（在概念上等同于使铁生锈），从而在侧壁表面上形成薄二氧化硅覆盖层。总体而言，硅的氧化可以根据 Deal-Grove 模型在蒸汽环境中进行。该方法使氧化以高度可控并精确可重复的方式进行。可以使用类似工艺产生氮氧化硅或氮化硅覆盖。有利的是，通过该变形，因为所得氧化物不是淀积的而是热生长的，因此该氧化层均匀形成并从而不会引起涂覆液体，粘性，胶质或其他形式的电介质所固有问题。此外，该方法能在 12 英寸的硅晶片上以极其精确的误差容限产生高度均匀以及极其可控的电介质材料覆盖层并到达一毫米或更大的深度。此外，该工艺有平滑侧壁的效应，从而有助于产生更均匀的金属化。

[0192] 当然应该理解的是，由于二氧化硅，氮氧化硅或氮化硅的介电常数，该另一替代变形可能不适用于某些应用场合，或者由于与本文所述的主题原理无关的其他因素而无法对于其他场合实施。在其他方面，该方法与上文结合图 24 到 29B 所述的任何变形相关联地叙述的各个方面相同。

[0193] 为了完备，说明向图 28 和 29 的方法增加可选的附加热生长电介质或绝缘体 3002 方面的实例分别在图 30A 和 30B 中进行说明。还应当理解，在图 30B 的一些变形即只部分去除内岛而在通道沟槽周围留下半导体材料的环缘的变形中，可以使用热生长电介质的方法形成剩余环缘上的电介质覆盖 -- 但条件是该工艺的进行在器件形成之前，其后采用适当措施保证该工艺不会破坏已经形成在芯片中或芯片上的任何器件，或者该工艺在其上或其中的任何器件不受该工艺影响的芯片上进行。

[0194] 或者，所述局部去除可以是反向的局部去除，即从通道沟槽向内去除内岛，在通道沟槽内留下更小的岛。通过该变形，该更小的岛可以充当其上能建立接触点并连接到金属化或导体上的插柱。与此相似，局部去除可以是从深度透视方向的局部去除，留下能用作凸 / 凹连接器的凹部分的阱或凹陷，或者如果使其导电则能充当电接触点。

[0195] 有利的是，通过上述说明应当显而易见的是，如图 31 所示，仅通过采用导致图 28B 的方法但减薄到图 31 所示的程度（即，直到完全去除沟槽底部的金属化材料）还能构成三导体（即，三轴）变形。该三导体变形的优势在于其允许外金属化充当内金属化和 / 或导体与附近的器件承载半导体材料之间的屏蔽，允许外金属化与内导体之间的金属化充当两者之间的屏蔽或者充当第三导体。因此，相同的三导体变形就其自身就能提供多个替代优势。当然，应当理解，鉴于单导体，双导体和三导体变形之间的关系，关于使用任何一个方面（即，涂覆（热生长或涂覆），空洞填充，插柱和穿透接触点（以下说明）等）所述的所有选项通常可以互换地应用于所有方面。

[0196] 如上简述，在去除材料的中央岛之后存在的剩余空洞完全不必用任何物质填充。

此外，在本文所述的一些实施例中，不填充也有特殊的优势。

[0197] 图 32 显示芯片实施例的部分 100 的简化剖面图，（除了完全没有填充金属化后留下的空洞 3210 外与图 9 到图 16 的实施例相似），该部分 100 位于芯片 102 将要被混合到其上的电子芯片 3200 上方，以使将要电连接到激光器 104 的顶接触点 904 的电子芯片 3200 上的接触点焊盘 3202 处在空洞 3210 下方。焊料隆起或其他可软化可变形的导电材料 3204 设置在接触点焊盘 3202 上并且将用来通过毛细现象或者基于压力插入的变形实体地和电学地将两个芯片 102，3200 的该部分键合到一起。

[0198] 图 33 显示除了如图 32 所示没有填充金属化后留下的空洞 3310 外与图 23 的实施例相似的替代芯片实施例的一部分的简化剖面图，该部分位于芯片 102 将要被混合到其上的电子芯片 3300 上方，以使将要电连接到激光器 104 的顶接触点 904 的电子芯片 3300 上的接触点焊盘 3302 处在空洞 3310 下方。焊料隆起 3304 置于接触点焊盘 3302 上并且将用来实体地和电学地将两个芯片 3302，3300 的该部分键合到一起。

[0199] 在图 32 或图 33 的实施例中，通过不填充空洞 3210，3310，可以利用毛细现象将焊料 3204，3304 抽吸到空洞 3210，3310 中，或者利用压力使可变形材料 3204，3304 变形并进入空洞，从而 a) 保证良好的电连接，以及 b) 帮助芯片互相对准。

[0200] 图 34 和图 35 分别显示在芯片互相混合之后图 32 和图 33 的各自的剖面图。如图所示，焊料 3202 被向上抽吸到各自的空洞 3210，3310 中，同时芯片的接触点 3206，3306 相对处于其被混合到其上的各自的电子芯片 3200，3300 的接触点 3202，3302 的中央。

[0201] 如用于图 34 的实施例的图 36 所示（虽然该图对图 35 的实施例同样有效但没有显示），可以可选地用绝缘体或保形涂层 3600 进行涂覆。

[0202] 如上简述，与所用变形无关，上述环形沟槽（如果使用变形，也包括半导体材料的周界）可以为任意封闭形状。然而，作为上述说明的扩展还应当理解，虽然在多数实施例中为了易于实施以及电容或电阻或者两者的原因通道沟槽与环形沟槽将有相同的形状，但通道沟槽不必具有与环形沟槽相同的形状，环形沟槽的宽度也不必均匀。图 37a 到图 37h 显示说明这一点的环形沟槽截面的一些代表性实例。在图 37a 中，环形沟槽 3702 显示为三角形。结果，沟槽 3702 的宽度 3704 在三角形的点 3706 的位置大于边 3708。在图 37b 中，环形沟槽 3710 显示为矩形。结果，沟槽 3710 的宽度在角 3712 大于边 3714，并且长边 3716 比短边 3718 分隔得更远。在图 37c 中，环形沟槽 3720 显示为由两个不同的椭圆界定。结果，环形沟槽 3720 的宽度随位置变化。在图 37d 中，环形沟槽 3722 显示为正方形。结果，沟槽 3722 的宽度在角的位置大于边，但各边被均匀地相隔开。在图 37e 中，环形沟槽 3724 显示为外周界 3726 为正方形但内部周界 3728 为圆形。在图 37f 中，环形沟槽 3730 显示为外周界 3732 为圆形但内周界 3734 为正方形。在图 37g 中，环形沟槽 3736 为凹凸形（或肾形），其中外周界 3738 和内周界 3740 互成比例并且沟槽的宽度恒定。在图 37h 中，环形沟槽 3742 具有与图 37g 相似形状的外周界和六边形的内周界 3746。

[0203] 上述扩展同样应用于除了绝缘体环外还具有半导体材料环的变形，即，各个周界表面的形状可以与其他周界相同，或者对特殊应用的要求或需要而言，一个或多个周界的形状可以与一个或多个其他周界的形状不同。

[0204] 除了可从使用上述方法以最终在两个芯片之间形成连接本身获得的优势外，上述方法在芯片，小片或晶片堆叠的方面提供了相当大的优势，在芯片，小片或晶片已经被预处

理，例如，从芯片等已经具有其上形成的将要包含的晶体管，电容，二极管，开关，电阻等方面的任何功能器件的功能观点看已经被完全形成的情况下尤其如此。

[0205] 使用环形通道工艺形成通道提供以允许导电率并且在晶片熔合后几乎不需要或完全不需要后处理的方式堆叠晶片的方法。这一点在成本和生产率的基础上，尤其在两个晶片将要混合在一起或者晶片上要形成多个独立芯片的晶片水平上都高度有利。当把晶片叠到一起时，一个关键的认识是经混合的双晶片片（即，两个晶片叠到一起之后）比单个晶片片（即，即刻在混合之前的单个晶片）具有高得多的价值。与此相似，如果三个晶片片堆叠在一起则价值甚至更高。任何必须对一系列集成后的堆叠芯片进行的后处理都将增加很多风险，因为损坏将导致很高价值的叠加片报废。

[0206] 这样，因为所有通道处理和减薄都发生在器件堆叠之前，因此上述工艺提供好得多的方法。结果，将形成能够一片正好层叠在另一片顶部以进行连接（即混合）而不需要其他晶片处理的完全叠成的晶片片，通道已经在芯片上器件形成之后及混合之前完成。在用上述方法堆叠芯片时，虽然组合的价值越来越高，但附加另一层的步骤数通常只有一步，即－附加下一小片（除非必须减薄并且减薄未在混合之前进行）。这样能最小化由于芯片先堆叠然后形成电接触点的堆叠的先有技术中固有的后处理导致的昂贵部件生产率损失的风险。

[0207] 因此，与先有技术相反，在堆叠之前形成通道允许：

[0208] 1）减少或消除对堆叠片的后处理（导致更少的劳动量和更高的生产率），以及

[0209] 2）更大的对准误差容限（每块芯片只需要相对于紧接其下的一个芯片良好对准（与要求所有芯片共同相对于底部芯片对准的堆叠的先有技术相反））。

[0210] 图 38 以简化形式说明用于制备堆叠晶片的工艺的一般的整体形式。图 38A 以简化形式显示初始的完全形成的晶片以及具体显示器件 3802 和器件下的衬底 3804。该一般的工艺如下。首先，材料 3806 被淀积到晶片的器件一侧（图 38B）。然后，刻蚀材料 3806 和下面的用于接触点的位置以产生沟槽 3808（图 38C）。沟槽 3808 的壁 3810 用绝缘体 3812 绝缘以防止产生掺杂半导体材料与将要形成的接触点的潜在短路（图 38D）。

[0211] 或者，材料 3806 可以在淀积绝缘层 3812 期间“自动”产生。举例来说，通过去除材料 3806 的第一层淀积，刻蚀沟槽 3808，然后淀积 TEOS 在晶片上放置 TEOS（氧化物）。由于材料淀积的方法，将在晶片的顶部放置 2.5 微米并在沟槽的壁上放置 1.25 微米的材料。这样就提供一种获得厚的顶层的同时还覆盖沟槽壁的替代方法。换而言之，通过该替代方法，作为分离步骤的在晶片上淀积材料 3806 的步骤可以省略，或者取决于晶片的布局与其余步骤相结合地使用。

[0212] 然后将金属 3814 引入到沟槽中以提供用于导体镀覆的籽晶层（图 38E）。然后用作为导体的金属 3816 填充其余通道体（图 38F）。接着，例如通过化学或机械处理或其一些组合去除多余的金属（并且可选地去除一些材料 3806 和 / 或绝缘层 3812）（图 38G）。然后，刻蚀晶片以形成向原始的现存接触点位置 3824，3826 提供进入通道的开口 3820，3822（图 38H）。接着，涂覆金属 3828，3830 以使现存接触点位置 3824，3826 与新处理过程形成的接触点 3832，3834 互连（图 38I）。接着，减薄晶片背面 3826 以暴露处理过程形成的接触点 3832，3834 的另一端，并可选地去除沟槽 3808 底部的绝缘体 3812（图 38J）。然后，刻蚀晶片的背面 3836 以形成抬高的插柱 3838，3840，并且如果在先前步骤中没有去除沟槽 3808

底部的绝缘体 3812 则去除绝缘体 3812(图 38K)。或者,在一些实施例中,绝缘体 3812 可以部分去除,或者在一些情形中如果对电导率没有要求,例如如果是用于简单地对准或者形成非导电插柱型的接触点,则绝缘体 3812 完全不去除。最后,如果成为插柱的已暴露的填充材料是能氧化或者能以对其后形成连接不利的方式反应的类型,则可以在抬高的插柱 3838,3840 上涂覆可选的阻挡层 3842 以防止氧化或这样的其他负面反应。

[0213] 在还有其他的替代变形中,图 38J,图 38K 和图 38L 的步骤可以在金属 3828,3830 的顶部涂覆韧性材料(后文说明其用途)并对其进行保护之后进行。该变形减少晶片减薄后必须进行的步骤的数量。

[0214] 到这一点,已经形成一般的穿透芯片的连接,该连接能有助于基于芯片,小片或晶片的堆叠,从而形成一个或多个多晶片单元。

[0215] 图 39 到 41 总体说明实例芯片的各个部分,该芯片用上述工艺的不同变形进行处理以形成穿透芯片的连接,然后堆叠在一起以形成这样的单元。具体而言,图 3 显示使用基本方法变形互相连接的一系列堆叠芯片的对应部分 3900。图 40 显示一系列堆叠的双导体变形芯片的对应部分 4000。图 41 显示一系列堆叠的三导体变形芯片的对应部分 4100。通过上述说明应当理解,通过使用本文所述的工艺之一,可以从不需要以共面或者甚至完全重叠的方式进行组织但仍然可以在竖直方向上延伸的晶片元件形成堆叠和单元。

[0216] 注意,在图 39 到 41 的三个堆叠的每一个中已经添加了作为支座的可选的接触点焊盘 3902,4002,4102,用以保证合适的间隙和晶片之间的良好的电接触。

[0217] 取决于使用上述方法的特定应用,接触点的形成可以有多种方式。举例来说,可以用先有技术中的 C-4 焊料类型工艺使所述通道轻微突起,以使将要电连接的两点互相接触,并且焊料变为液态然后硬化,以使两片芯片能实体地和电学地结合。在其他变形中,可以使用一对接触点,其中该对接触点中的一个接触点是刚性接触点而另一个接触点相对于第一接触点呈韧性,并且使用本文所述的工艺连接该对接触点。在再一个变形中,一对接触点中的两个接触点都可以在其上具有韧性材料,然后使用本文所述的合适工艺或其他方法连接该对接触点。或者,可以使用先有技术的插柱和插座类型的方法。通过该方法,使将要连接的两个接触点具有互补形状,其中使插柱相对于插座的尺寸稍微过大或者使插座相对于插柱的尺寸稍微过小,以使两者在一起导致两者之间的静配合。

[0218] 在一些情形中,理想的是使用较厚的晶片 4202(图 42A)以保证处理强度。在晶片特别厚并且所要求通道的直径小于晶片理想厚度的约 1/20 到 1/30 的情况中,可以对一些变形使用替代工艺而适合于该较厚的晶片。形成这样的“背面到正面”通道的工艺在图 42B 到 42E 中以简化形式进行说明。首先,通道 4204 被刻蚀到器件承载晶片 4202 的背面中(图 42B)。然后,可以使用本文所述工艺之一(即,单导体,同轴,三轴等)或者通过类似于插入预成型插柱 4206 的其他工艺使通道导电(图 42C)。该方法可以导致背面具有韧性材料或者刚性插柱材料。然后,在导体 4206 上方从上(即,从正面或者器件一侧)向下刻蚀对应的通道 4208,一直刻到背面导体 4206 的底部终止处(图 42D)。接着,可选地保护正面器件,如果需要还保护通向器件的接触点,或者使用例如本文所述的方法进行再布线(未显示),并且以与背面所用基本相同的方式使通道导电(图 42E)。有利的是,对一些变形,背面导体底部的材料可以充当刻蚀阻挡层和/或用于从正面镀覆导体的籽晶层。这样能相对于用于在背面形成导体的方法减少处理步骤数。此外,对其他变形,如果需要在来自背面

通道的导体和来自正面通道的导体之间没有实体连接，则可以在两者之间留有适当数量的晶片，通过电容耦合进行连接。

[0219] 该方法对预先形成单个通道，然后在一个孔洞中淀积绝缘体和金属的传统的通道工艺，或者对前文所述用环形通道方法形成阻抗高度可控的通道的工艺都很有效。

[0220] 此外，还可以使用背面到正面的方法，该方法中在一面具有未完全填充的通道，以使该通道的未填充部分能充当接纳“插柱”的“插槽”4210（图 42F）（即，压力配合或静配合连接），从而提供对准和 / 或实体连接以及电连接。该种类型的压力配合或静配合方面在图 42F 中进行说明。

[0221] 在另一替代变形中，可以使用上述背面到正面的通道形成方法，以形成可用电容耦合在芯片之间发送数据的方式仅部分穿透芯片的连接。因为当接触点靠近时电容耦合有效，并且因为连接密度受到串扰的限制，因此本文所述方法的变形对于利用该种类型的连通形成芯片很理想。因为可以最小化接触点之间的距离并通过使用同轴或三轴插柱从而能提供屏蔽，这些方法充分允许最小化由于紧密连接引起的串扰。此外，电容接触点具有不需要各个部分之间的实际电接触点的优势。通过该方法，如图 43A 到 43D 所示，从芯片背面 4302 刻蚀通道 4304（图 43B），刻蚀方式是通道充分靠近芯片顶部 4302 的接触点从而能从该接触点实体去除，但是当填充以后，通道充分靠近以允许填充物和接触点之间所施加信号的良好的电容耦合。然后用金属柱，单导体，同轴或三轴导体 4306 填充通道 4304 以允许良好的电容耦合（图 43C）。通过这种方式，晶片能保持允许晶片处理的足够强度的整体厚度，同时各个连接具有合适的距离。该方法提供允许通过将一个晶片的背面堆叠到另一个晶片的正面进行堆叠的进一步的优势。通过这种方式，可以如图 43D 所示进行芯片 4308，4310 的多级堆叠。这与要求芯片面对面而非正面对背面的方法截然不同，因为这样的方法不容易做到允许进行芯片的多级堆叠（即，堆叠三个或更多芯片），因为第三个芯片势必在其他两个芯片之一的背面然后通过整个晶片连通，只允许稀疏的接触点密度以避免串扰的可能性。当然，通过本文所述的方法，可以使用同轴或三轴通道增强信号屏蔽以防止串扰。

[0222] 此外，如果例如两个通道并不连结（即，在从正面一侧形成的通道与背面一侧的插柱之间留有材料）而没有形成实际的背面到正面的连接，则可以通过压力配合连接使用电容耦合。在该情形中，正面一侧的通道将根据本文所述的变形之一独立形成，背面一侧的通道也是如此。

[0223] 此外，电容耦合可以存在于芯片表面的一个或多个接触点之间（无论是否通过通道方法或其它方法形成）。举例来说，对于堆叠方法，如果两个互补接触点虽然彼此靠近但芯片高度不允许其容易地实体接触，因为例如芯片或金属化或者其他形貌使两者之间保持分离，或者其中之一或两者由例如 TEOS，光刻胶或其他某些氧化物的绝缘体覆盖，则所述电容耦合可以是理想方法。

[0224] 如上所述，我们的方法的通用性将更加明显。有利的是，还可以形成更多其他变形，这些变形说明通过使用我们的方法可以获得的广大和多种可能性的范围。如图 44A 到 44I 所示，这样的变形之一是“预连接”变形，该变形与上述和其他方法不同之处在于在本文所述的任何处理开始之前（即环形通道形成之前）将要处理的晶片 4401 先被附贴到下方预形成的晶片 4402（本文称为“基础”晶片）上。在该变形中，可以使用任何基础连接形成工艺。该变形工艺的进行如下。

[0225] 首先，将初始晶片 4401 减薄到保证通道能完全穿透衬底所需的程度（图 44A）。该步骤是可选的，并且如果将要使用的特定刻蚀工艺能没有困难地穿透整个芯片则不需要进行。然后，对齐该初始晶片（图 44B），并使用键合材料，晶片熔合或者如果晶片很平整则通过共价键合将初始晶片附贴到基础晶片上 4402（图 44C）。接着，在初始晶片 4401 中基础晶片 4402 的焊盘上方形成向下延伸到基础晶片 4402 的环形通道 4404，以使该通道环绕基础晶片上的相关焊盘（图 44D）。然后用绝缘体 4406 填充环形通道 4404 以便隔离后续的导体淀积（图 44E）。然后，向下刻蚀掉中央插柱的全部或局部直到基础晶片 4402 上的相关焊盘，从而在基础晶片的焊盘上方形成空洞 4408（图 44F）。最后，金属化空洞 4408（图 44G），并可选地使用本文所述的方法之一用导体 4410 完全填充空洞（图 44H），或者如果金属化没有完全填充空洞 4408 中央则可用绝缘体 4412 进行填充（图 44I）。结果，金属填充形成与基础晶片 4402 焊盘的电连接，并有效地使基础晶片焊盘向上延伸而穿透初始晶片 4410 并实体地将两个芯片键合到一起。有利的是，通过使用该方法，半导体材料的中央插柱保护基础晶片的焊盘，因此没有绝缘体与基础晶片的焊盘发生反应。这与如果使用常规方法尝试获得相同的结果将发生的情况截然不同，因为这些常规方法使基础晶片焊盘暴露，因此将受到所涂覆绝缘体的污染。

[0226] 然而，在一些情形中，由于缺乏控制能力，压力配合连接方法将不合适。对这些情形，可以使用我们提出的称为“插柱和穿透”方法的可选替代方法。理想地，并且通常将会是插柱和穿透方法可连同“粘结和融化”工艺一起使用，这是由于两种方法各自提供的优势及其组合使用提供的其他优势。

[0227] 该方法涉及使用两个接触点的组合：刚性的“插柱”接触点和相对韧性（相对于插柱材料）的焊盘接触点，在一些情形中，两者之一或两者同时具有其下方的刚性文撑结构或支座。在简单概述中，两个接触点之一是诸如镍 (Ni)，铜 (Cu) 或钯 (Pd) 的刚性材料，或者诸如本文所述的其他合适的刚性合金。该接触点充当“插柱”。两个接触点的另一个是充分软于插柱的材料，当使两个接触点在压力下接触时（无论是从外部施加的力还是由于例如晶片的挠曲引起的力），插柱将穿透韧性材料（“插柱和穿透”部分），并加热到预定温度之上（粘结和融化工艺的粘结相），当冷却到该温度之下而两者中的任何之一都没有达到液态时，两者将“粘结”在一起。

[0228] 注意，如同本文所用，术语液态意在表示被讨论的金属或合金处于完全（或基本完全）液体形式的状态。当金属处于非液态或半液态状态时，正如本文所用，金属被充分软化以允许本文所述的附贴，但不是允许其像同一金属或合金处于纯液体或液态下一样流动的充分的液态。我们的工艺的多数变形在金属或合金处在非液态和非固态的状态下运行。换而言之，在金属或合金的相图上，我们的工艺变形在固相（完全固体）和液相（完全液体）温度之间运行，多数运行在两者之间的平衡点附近。对该差别的进一步理解可以参照例如图 33 到图 36 所示的将芯片连接到另一元件。在这些图中，如果材料 3304 是液态焊料（金属或合金），将会使芯片“浮”在熔化的焊料上，并且由于毛细现象将焊料向上抽吸到通道 3210，3310 中，通道 3210，3310 将在焊料球上自对准取中。在诸如本文所述的粘结和融化处理的多数变形中所用的非液态或半液态，金属或合金在粘结相和融化相中将要被驱动进入的状态是使金属或合金高度软化（即，有一些材料处于液态）但不充分液化到使芯片浮动或者使通道 3210，3310 自对准取中的状态。因此，必须施加一些力（无论是外部施加

的力或者没有外力施加时来自芯片重量的力）以使金属或合金进入通道 3210，3310。

[0229] 其后，使温度升高到“粘结”温度之上的另一个温度（粘结和融化工艺的融化相）的二次加热将引起材料彼此互相扩散（与进出液态（即，熔化和再固化）的焊料相对照）。

[0230] 粘结和融化集成工艺分为两个主要部分：“附贴”或“粘结”相以及“融化”相。粘结相在一对接触点之间形成相当均匀的电连接。将形成插柱和穿透连接与粘结工艺相结合使任何接触点上的任何表面氧化能更容易被突破。该非氧化禁止接触点方法允许更简单的融化工艺而不需要施加大压力。在不使用插柱和穿透以及粘结相的组合的情况下，融化处理将要求相当大的压力，从而允许接触点突破在粘结处理的高温部分或者在融化处理的早期阶段在刚性和韧性材料的表面形成的氧化物。通过在粘结相初始时刻越过氧化物“硬壳”，融化相能在基本上更低的压力下进行，在一些情形中不需要在芯片自重以外附加压力。

[0231] 在这点上，将介绍另一个术语惯例。应当理解，如本文所述，为了说明简略使用术语“子”和“母”以总体上表示所讨论晶片上的特定接触点是刚性的还是韧性的接触点，其中术语“母”与刚性接触点相关，术语“子”与韧性接触点相关。虽然本文说明方式相当一致，但重要的是注意术语“母”和“子”是随意应用的。各个晶片上的各个接触点可以是刚性的或韧性的接触点，只要其将要被连接到其上的另一晶片上的对应接触点是相反的类型即可。因此，给定的晶片表面可以唯一确定地具有一种或另一种接触点，或者在一些变形中，单个晶片一侧可以具有两种类型的混合。然而，在单个表面上的类型混合对某些应用可能会有问题，在这些使用混合接触点的应用中，单个表面上的类型混合将使处理过程复杂，除非不同类型并不在一个区域中互相混合而限制到分散区域中，以使大块区域只包含一种类型的接触点，允许在实行一定的处理步骤时能容易地保护包含其他类型接触点的区域。

[0232] 在所述工艺的附贴或粘结相中，“母”晶片上安装“子”芯片。母晶片保持在单个温度（即，母晶片在该附贴工艺中作为等温衬底被保持）。虽然将温度提高到室温之上能加速该工艺的这个相，但母晶片的等温温度可以低到与室温相同。然而，等温温度保持在子芯片上的韧性材料的熔点之下以及低于粘结或融化温度。因此，粘结工艺可以通过将各个小的子芯片加热到比母晶片更高的温度而进行，因此，当使两个芯片接触并形成插柱和穿透连接时，只有该芯片的界面到达或稍微超过适当的“粘结”温度。总体而言，对于本文讨论的主要材料，粘结温度约在 190℃到 320℃之间，而典型的名义上的粘结温度在大约 270℃。通过该种方式，母晶片上的其他芯片不会加热到超过其接触点到达所提高温度的温度点，超过该温度是可能改变接触点的性能，并使一些接触点比其他接触点在所升高温度下经受更长得多的时间，潜在地导致性能的非均一性的条件。

[0233] 举例来说，粘结或附贴处理可以通过将母晶片保持在韧性温度之下的等温温度，将子芯片叠到加热到韧性温度之下的母芯片上，进行两个芯片之间的接触并将子芯片温度快速升高到适当的粘结温度而进行。因此，一旦子芯片附贴到母晶片，在只施加例如小于 2g/ 接触点对最好小于 1g/ 接触点对的足够压力以允许各个部分之间的一些接触之后，对准各个部分（并对子芯片加热）的机器就放开子芯片。

[0234] 放开之后，子芯片上的覆盖 / 粘合层（如果韧性材料也执行覆盖 / 粘合层的功能则是韧性层）在下降的温度下软化程度降低，该下降的温度由该点的母芯片支配。举例来说，对于本文所述的基本材料，母芯片 / 晶片衬底可以保持在约 230℃到 250℃，子芯片在约 270℃的名义温度下叠到母芯片上，并且在接触之后快速升温到约 310℃到 330℃。相对于

快速升温接触的顺序（即，升温发生在与母晶片的接触之前还是之后）可以改变。注意，我们发现，通过首先使芯片进行接触然后升高温度，可以最小化韧性材料表面上的氧化物形成，从而允许更可重复的接触点。有利的是，通过使用韧性材料，每对接触点的压力量可以很低。虽然可以有更低的界限，但我们使用的所施加的压力为从每对接触点约 0.001g 到约 10g 的范围，最低压力是芯片自身质量的重力效应（即，其重量）。

[0235] 此外，如上所述，对于粘结工艺，如果为了突破任何表面氧化施加足够的压力，则可以使用低至室温的子晶片温度。通过这种方式，整个母晶片可以在任何粘结相开始之前先安装子芯片。即使使用这种方法，由于该工艺可能进行的速度，母晶片没有时间加热到任何实际程度。因此，第二子芯片附贴到母晶片上即使在第一芯片的横向或纵向 100 微米之内也不会软化第一芯片的覆盖 / 粘合层从而对其对准产生任何有意义或实质程度的影响。

[0236] 有利的是，粘结和融化处理通常都是非液态工艺。这意味着在粘结或融化工艺中所进行的工艺使韧性材料显著软化但不会完全变成液态。这是因为如果韧性材料真的变成液态则存在所得的液体会流动并短路相邻接触点的很大风险。通过保持材料为非液态，可以实现更大得多的接触点密度。然而，在一些变形中可以允许半液相状态（即，远少于全部的一些韧性材料可以大致成为液相）。然而，这些变形通常具有以下共同特征，即使用其他类型的约束机制，通过将液相韧性材料限制在限定区域，例如通过保证韧性材料涂覆到其上的焊盘在其外围由韧性材料无法容易互扩散进入的非金属物质环绕或覆盖以避免短路相邻接触点的可能性来防止液相韧性材料产生不利影响。

[0237] 在一些变形中，结合粘结和融化工艺的“粘结”相，可以是理想的做法是用粘合层（例如，Sn）覆盖韧性材料（例如，Au/Sn 合金）的顶部，该粘合层将在较低的温度熔化以帮助加快粘结时间以增加产量。此外，在一些变形中，可以是理想的做法是将母晶片保持在融化温度之下的最高可能温度的等温温度，因此如果芯片在无控制环境条件下处在该温度下的时间（即，安装整个晶片体积所需的时间）延长，则不会发生键合质量下降。虽然温度可以更高以加速处理，但我们通常使用 230℃。较低温度的影响是改变附贴的穿透相的温度和压强剖面。此外，为了加速处理，理想的是使粘结相的一系列处理（即，放置和加热）尽可能快地进行。要注意的另一方面是，在一些变形中，粘结相中花费的时间越长，融化相对于生产率的决定作用就越不关键等。举例来说，在一个极端情况下，在 FC150 上（对于硅 - 硅），我们使粘结相持续约 1 分钟，然后就不需要融化相。在图 45 中对此有总结。

[0238] 在另一极端情况下，在高体积的情形中，对准通常需要约 1 秒钟，融化相之前的粘结相将花费 2 到 4 秒钟。因此，在这些变形中，从粘结相到融化相的转移环境对产生良好的接触点可以是重要的条件。

[0239] 在这两个极端情况之间是工艺选项的连续区间，其中权衡存在于 1) 产量，2) 复杂性和 3) 融化处理的关键性之间。对于非常快速的粘结工艺而言，2 到 4 秒的改变芯片就可能支撑不牢，从而可能在融化相中需要还原环境，或者甚至需要在融化时施加更大的一定数量的压力。在谱线图的另一端，在高压和高温下进行的 1 分钟粘结处理，粘结自身就能相对良好地进行对芯片的初步“融化”。在该情形中，后续的“融化”处理可能只是与保证晶片一致性的方法相联系的接触点退火，并且可能不需要任何特定的环境（如果“粘结”时的芯片放置平整度足够则不需要压力）。该连续区间在图 46 中进行说明。

[0240] 粘结相的重要优势在于，因为电连接不是最终的并能容易地复原，因此就可以在

粘结处理完成之后但在融化处理开始之前进行芯片测试。这样就允许在混合的第一相之前和之后测试并识别坏的芯片（即，确定在混合到另一芯片之前正在处理的单个芯片是否受到混合处理的不良影响，或者是否在与其被附贴到其中的芯片的组合中失效）。此外，在切割后的子芯片被安装到未切割的母晶片上的情形中，可以在分割或切割母晶片之前进行测试。

[0241] 使用粘结相的另一重要优势在于，因为芯片没有很强地进行组合，如果后续测试中确定组合芯片之一失效则可以方便地拆开组合的芯片。两块芯片彼此分离可以通过使用加热或施压或者组合使用加热和施压实现。在单个被切割的子芯片安装到未分割或切割的母晶片上的情形下，如果子芯片有问题，则另一个“已知良好”的子芯片可以被附贴到母晶片上。如果特定的母晶片上的芯片是坏的，则可以注意不再附贴其他子芯片，并且能在晶片切割之后立即方便地将其识别出来，两种情形都将显著增加总产率。此外，如果母芯片没有功能，则可以省下移除的子芯片用于将来的母芯片附贴，再次提高生产率并潜在地减少成本。举例来说，假如子晶片的韧性接触点是金－锡或者是金－银－锡合金，并且韧性的覆盖层是锡。锡可以在低温下进行附贴，并且如果足够薄将不会像厚焊球那样发生扩散。如果子芯片测试为坏，则可以加热母晶片上的单个芯片并将其去除，然后附贴另一子芯片。一旦所有的子芯片都被附贴并且所有组合都测试为好，则可以一起融化整个母晶片。

[0242] 因此，粘结和融化方法允许人们只集成已知为好的芯片。此外，该方法能显著降低堆叠多芯片的风险，因为单个坏芯片不需要报废整个堆叠。对于昂贵的芯片或堆叠单元，这是其本身极有价值的优势。

[0243] 此外，粘结和融化相提供低压工艺的其他优势。对于 50 微米节距或更小的接触点，用于粘结和融化相的力通常都小于 2g/ 接触点对。在融化相，我们已经证明使用 0.8g 到 0.001g/ 接触点对。对于 400 接触点芯片我们使用 300g，并且对于 10000 接触点芯片我们也使用 300g，给出的范围为每接触点对 0.75g 到 0.03g ；对于更大数量的接触点，例如 900000，我们已经使用了 3Kg，给出 0.003g/ 接触点对。理想地，出于加速目的，该方法使用最小可能的力，并且在正常环境下完全不需要超过芯片自身重力（即，芯片重量）产生的力。

[0244] 将芯片附贴到一起的常规工艺需要每接触点对几克到几十克的附贴强度。这样将在各个半导体芯片上产生巨大的应力，经常引起损坏或破裂。因此，所述方法大大减少或避免产生常规方法中存在的应力水平。

[0245] 此外，更多常规方法与我们可能使用的小尺寸不兼容。典型的焊接工艺是液态工艺，并且与这样的小尺寸和节距不兼容，而且与每接触点几克的压力也不兼容。换而言之，在典型的 5g/ 接触点对下，1cm×1cm 的具有 10,000 接触点的芯片将需要 50Kg 进行附贴。与此相反，该工艺的融化部分期间的压力通常小于或等于附贴工艺中所用的压力。举例来说，使用本文所述的融化过程，在粘结相期间需要 300g 压力的 10,000 接触点芯片在该工艺的融化相期间只需要 9g。

[0246] 此外，几乎不使用到完全不使用压力使多重回流 / 多－高堆叠成为可能 ：为了形成多－高芯片的堆叠，芯片上的压力应当低到防止在融化其上芯片期间的破碎，生产率损失，堆叠中的下层芯片的未连接的可能性等，尤其是如果母晶片上的一些芯片可能比其他芯片接纳更高的子芯片堆叠时更是如此。如果融化过程期间需要一定压力施加在母晶片和子芯

片上，并且一些母芯片比其他芯片具有高得多的堆叠，则可能需要复杂的工具组合，从而保持每个芯片上的正确压力。与此相反，通过只要求很小或者不要求外压力的我们的方法就可以避免这一点，使多层高芯片更为可行，并允许双倍或更大高度的堆叠差别。

[0247] 本文所述方法的变形有另一优势，即融化过程完成之后的高强度。融化过程之后的接触点强度通常在每平方厘米几百千克，1000kg/cm2 为典型值。当然，作为结果，一旦完成了融化过程，返工的可能也就大大降低。

[0248] 韧性材料的代表性的非限制性实例包括金 - 锡 (Au/Sn) 和银 - 锡 (Ag/Sn)，以及其他本文说明的材料。在这点上应当注意，术语“插柱”是简单地表示刚性而使用的方便词语。并非意在以任何方式限制或要求尺寸，形状或几何数据。因此，如下文以及在“具体变形”部分中所述，“插柱”的意义可以更宽泛，涵义大于该物体很高的意思，或者具有足以完成本文所述目的任何截面形状。此外，“插柱”可以例如通过减薄晶片的背面而不减薄金属化或金属接触点形成为本文所述工艺的一部分，或者可以分开形成并在其后附接到或插入到晶片中。

[0249] 当涉及堆叠时，穿过晶片的给定电连接可以在一端具有刚性接触点而在另一端具有韧性接触点。在该情形中，本文为了简便，一旦晶片被指定为“母”或“子”，即使对于后续的堆叠层而言因为为了形成插柱和穿透连接所讨论的接触点现在是刚性接触点因此“子”晶片应当正确地指定为“母”晶片，原来的术语还是将一直保持。为了更清楚，连接到另一端的后续的“子”晶片将被称为“子晶片 2”。

[0250] 该方法的实例在图 47 和 48 中说明。在图 47A 和 48A 中显示两个各自的芯片 4706，4708，4806，4808 上的互补接触点 4702，4704，4802，4804。为了说明简便，在最接近接触点 4702，4704，4802，4804 的区域之外无论是电连接 4710，4810 还是如果存在的任何其他元件都不被显示。

[0251] 如图 47A 和 48A 所示，一个接触点 4704，4804 为刚性接触点，而另一接触点 4702，4802 为韧性接触点。图 47B 和 48B 各自显示在已经使其互相接触的地点的各自的接触点 4702，4704，4802，4804。通过在粘结相之前或粘结相期间施加压力，刚性接触点 4704，4804 穿进韧性接触点 4702，4802。图 47C 和 48C 显示两种材料已经互相扩散的融化相之后的接触点，在两者之间形成高强度的键合。

[0252] 此外，值得注意的是，韧性接触点的“宽度”可以“最小化”，即该韧性接触点具有与其将要连接到其上的接触点（在连接之前）大致相同或更窄的宽度，或者该韧性接触点可以是“扩展”接触点，即其扩展的宽度适当地超过所述最小宽度。在上述实例中，图 47 是涉及“最小”接触点的实例，图 48 是涉及扩展宽度的实例。

[0253] 总体而言，该实例有使韧性接触点的尺寸稍大于刚性接触点，即使用扩展接触点的优势。通过这样做，韧性接触点可以包围刚性接触点，并且可以减少集成过程中两个芯片之间的对准精度，因为在该情形中，刚性接触点只需要穿进韧性接触点区域内的某个位置。结果，可以适合于更大的对准偏移。通过考虑具有 12 微米直径圆形截面的韧性接触点与具有 10 微米到 6 微米之间的直径的刚性接触点的实例的方式这一点能得到最好的理解。对于具有 10 微米直径的刚性接触点，3 微米的偏移可能使刚性材料的边缘超过韧性材料的界限。对于具有 6 微米直径的刚性接触点，3 微米的偏移仍然适配在韧性接触点材料的 12 微米直径之内。通常，总体刚性接触点在其最宽点之间的距离将小于 40 微米，并且可以小于

25 微米，15 微米甚至 10 微米。此外，通过该方法，韧性材料至少应当与刚性材料一样宽，并最好宽出 20％或更多。此外，插柱高度可以大于或小于其宽度，但通常宽度大于高度。

[0254] 考虑到上述基本说明，例如为了附贴到其他组件或堆叠的目的，通过使用合适的刚性材料作为金属化或者导电材料之一以使其能用作刚性接触点，并且通过向金属化或导电材料的另一部分涂敷第二个更为韧性的材料以使其能充当韧性接触点，该方法可以扩展到上述各个变形。

[0255] 图 49 说明半导体芯片堆叠的一部分，与图 41 相似，各自具有根据上述实施例之一形成的穿透芯片的连接。为了说明简略的目的，穿透芯片的连接没有被显示为连接到其所穿透的各自的芯片上的任何器件，因为这样的连接的存在与否对于理解插柱和穿透方法并不必要。

[0256] 如图 49 所示，为了有助于各个芯片向其上和 / 或其下芯片的连接，可选的接触点 4902，4904 已经被添加到金属化 2402 和导体 2802 的顶部和底部。如上所述，可以直接使用金属化或金属接触点。在添加可选的接触点 4902，4904 的地方，取决于特定的实施例，接触点 4902，4904 可以是任何先有技术的类型，简单的常规接触点焊盘，如本文所述形成的非插柱和穿透接触点，或者本文所述的插柱和穿透接触点。

[0257] 因此，应当理解，通过使用图 49 的插柱和穿透方法，可以更方便地进行堆叠。图 50 说明用插柱和穿透方法堆叠的图 49 所示的芯片的简化堆叠的一部分。

[0258] 此外，可以形成上述实施例的一定的变形以有助于使用插柱和穿透接触方法。举例来说，在与图 15 相似（即，任何一个其中沟槽底部的金属化没有完全去除的实施例）但是不存在键合物质 1102 和精整物质 1302 的实施例中，可以将金属化 1502 用作刚性或韧性接触点之一，并且插入到空洞中的第二材料可以充当相反的接触点（即，如果金属化被用作“韧性”接触点则充当刚性接触点，或者如果金属化被用作“刚性”接触点则充当韧性接触点）。在这样的实施例中，如图 51 所示，金属化中的空洞可以由例如在该工艺中在合适点插入的预形成的插柱 5102 填充。或者，如果韧性材料被涂覆到将要接触另一个“刚性”材料以形成键合的一端，则金属化 1502 和第二材料可以是相同的材料。

[0259] 图 52 以简化形式说明被混合到另一个电子芯片 5200 之后的图 51 的芯片，出于实例的目的，电子芯片 5200 具有用于控制图 51 的芯片上所示的激光器 5104 的驱动和控制电路 5202。电子芯片还包含相对于图 51 的芯片所用的金属化材料 1504 呈刚性的插柱 5204。因此，作为将两个芯片在合适的条件下叠到一起的结果形成插柱和穿透连接 5206，从而将激光器 5104 电连接到电子芯片 5200 上的驱动和控制电路 5202。

[0260] 图 53 到图 71 说明基本接触点形成和混合方法的简化实例变形。为了说明简略，该方法的说明针对一对已经过预处理（即，包含器件及其相关的接触点和迹线）但没有切割为独立芯片的常规的芯片。如各个图中所示，标记为“a)”的芯片是将要具有从一个 IC 焊盘再布线到另一位置的接触点以便其后混合到母芯片的子芯片，母芯片在各图中标记为“b)”。注意，虽然处理过程被显示为平行发生，这只是为了理解的目的。实际上，任何一个处理都可以在另一个处理之前，两个处理可以在时间上重叠，或者可以同时发生。

[0261] 首先，我们从图 53a 的子晶片和图 53b 的母晶片开始。晶片分别是完全形成的芯片，每个芯片在其上都具有多个器件（未显示）。如图所示，子晶片上的接触点 5302，5304 的节距在 25 微米和 50 微米之间，当然同样的方法也可以用于节距小得多的接触点，使用当

前技术可以小到 2 微米到 7 微米之间。为了图释和理解的目的，母晶片上的接触点 5306，5308 比子晶片的接触点 5302，5304 的节距更大。接触点 5302，5304，5306，5308 是常规的铝 IC 焊盘，可以穿过芯片覆盖玻璃 5310，5312 到达该接触点。

[0262] 接着，在芯片上淀积厚电介质层 5402，5404（图 54a，图 54b）。然后，通过光刻图形，接触点上方形成通路将要穿过的区域被打开（图 55a，图 55b）。

[0263] 然后，刻蚀电介质并将其刻透以提供通向 IC 接触点焊盘的通路（图 56a，图 56b）。其后，剥离光刻胶（图 57a，图 57b）。

[0264] 或者，厚电介质层 5402，5404 可以是厚的光刻胶层（图 54a，图 54b）。在该情形中，厚层 5402，5404 将通过剥离光刻胶而去除（图 57a，图 57b）。

[0265] 接着，在晶片上淀积籽晶层以有助于其后的镀覆工艺（图 58a，图 58b）。

[0266] 然后，涂覆电介质层（图 59a，图 59b），并使用光刻图形限定和控制将要进行镀覆的位置（图 60a，图 60b）。

[0267] 其后，镀覆晶片，直到存在所需数量的金属（图 61a，图 61b）。

[0268] 然后去除电介质，留下“支座”或抬高的接触点（图 62a，图 62b）。

[0269] 顺便一提，总体而言，母晶片和子晶片都可以具有所述支座。在子晶片上，刚性结构的目的是为了提供支座以允许整体接触点适合于两个芯片的非平面性而能可靠地制作接触点，并且在一些情形中不需要这么做。在母晶片上，刚性结构的目的是作为支座以及能穿透到子晶片上的韧性材料中的插柱。此外，基座也可以用于允许顶部 IC 覆盖玻璃和 IC 焊盘之间的高度差，从而使一些接触点能设置在玻璃顶部而其他接触点能设置在焊盘顶部。

[0270] 回到所述工艺流程，进行进一步刻蚀从而去除不需要的籽晶层（图 63a，图 63b）。如图 63a 所示，通过在子晶片的一个接触点与新支座 / 接触点之间留下籽晶层材料，完成原始接触点的再布线。可选择地，可以在完成该处理之前或者处理完成之后设置附加的或替代的再布线层。此外，在刻蚀去除籽晶层之前在某些区域将再布线层镀覆得比其他区域更厚是一个理想的方法。

[0271] 接着，向子晶片上的接触点涂覆在该情形中为镍的阻挡层（图 64a），作用为防止金属扩散进入 IC 焊盘 5302，5304，5306，5308，或者防止金属渗透到芯片覆盖玻璃 5310，5312 之下而破坏单个芯片的阻挡层。可选择地，在该情形中为金的覆盖层 6402，6404 淀积在阻挡层的顶部，也用于防止连接工艺期间不希望有的扩散，尤其当该方法用于在涉及插柱和穿透接触的粘结和融化连接工艺中时更是如此。覆盖层也涂覆到母晶片上（图 64b）。到该点上，完成母晶片上的刚性接触点。

[0272] 再次，电介质 6502 被涂覆到子晶片上（图 65a），并通过光刻图形打开基座接触点 6606，6608 上方的区域 6602，6604（图 66a）。

[0273] 然后，在支座上建立韧性接触点 6702，6704（图 67a），并去除电介质，留下完全成型的韧性接触点（图 68a）。

[0274] 然后翻转子晶片，并将其与母晶片上的光刻图形对准，接触点上方形成通路将要穿过的区域被打开（图 69）。

[0275] 两个芯片然后在压力下叠到一起，使刚性接触点穿进韧性接触点（图 70）。

[0276] 最后，两个芯片经过融化相，留下永远互相附贴的两个芯片（图 71）。注意，作为该工艺的结果，芯片将分开小于 10 微米，标称在刚性插柱的顶部和另一晶片上该插柱被连接

到其上的接触点的顶部之间测量的分开距离小于 5 微米。出于这些目的，如果晶片完全平整，则该距离也是两个晶片之间的距离，如果不平整，则晶片的形貌可能使该距离变大或变小。

[0277] 图 72 到图 87 说明在将两个芯片混合在一起之前在子晶片（图 72a）和母晶片（图 72b）上形成接触点的替代的简化工艺的变形。和先前的实例一样从两个晶片开始。虽然 IC 接触点焊盘上方的覆盖玻璃开口可以在 4 微米的数量级，并且在一些情形中可以小到 1 微米或更小，但如图 72a 和 72b 所示，这样的开口在约 8 微米和 14 微米之间。有利的是，通过使用本文所述的一个或多个工艺，这些小尺寸开口也可以像大尺寸开口一样方便地进行处理。

[0278] 此外，如图所示，子晶片（图 72a）上的焊盘的间距通常有 25 微米到 50 微米的节距。然而，这里也是，本文所述的方法可以方便地用于名义上 7 微米节距甚至可以用于 2 微米节距或更小的接触点。

[0279] 该变形操作如下。首先向晶片涂覆厚电介质（图 73）。然后，形成光刻图形以限定接触点上方形成通路将要穿过的区域（图 74）。接着，刻蚀掉接触点上方的电介质（图 75a），从母晶片剥离掉光刻胶（图 76b），并形成再布线通路（图 77）。

[0280] 接触点上方的暴露区域和子晶片上的再布线路径用阻挡层金属化（图 78a），并向母晶片涂覆籽晶层（图 78b）。可选择地，可以向母晶片涂覆阻挡层以保护其 IC 焊盘（未显示）。

[0281] 然后从子晶片剥离光刻胶（图 79a）。

[0282] 形成新的光刻图形以限定将要建立接触点的区域（图 80）。

[0283] 通过淀积在该情形中为金－锡（Au/Sn）合金的合适材料在子晶片上形成韧性接触点，然后依次由锡（Sn）和金（Au）的离散层覆盖（图 81a），并且通过用铜镀覆该暴露的籽晶层在母晶片上形成刚性接触点（图 81b）。

[0284] 然后从子晶片和母晶片上剥离光刻胶（图 82）。

[0285] 然后，从母晶片上去除不需要的剩余的暴露籽晶层（图 83）。

[0286] 最后，向母晶片接触点涂覆覆盖层（可选地先涂覆阻挡层）以防止氧化（氧化该覆盖层）（图 84b）。

[0287] 与前述变形一样，然后对齐晶片（图 85），将晶片叠到一起并粘结（图 86），并且其后在某些点上进行融化（图 87）。

[0288] 在粗略概述地说明一些变形之后，下文将说明一个附加的变形，其中包括工艺中诸多步骤的进一步的细节。然而，应当理解，这些细节同样适用于先前的变形以及本文所述的其他变形。

[0289] 图 88 到图 91 以及图 95 到 102 以简化平行形式说明用于形成其后将成为子晶片背面上的刚性插柱的另两个实例变形方法。“子晶片”的指代是合适的，因为铝 IC 焊盘将成为韧性接触点并且将连接到另一“母”晶片上的刚性插柱，即使其背面接触点是“母型”接触点也是如此。

[0290] 此外，虽然对一些变形以平行的形式说明，但本文所述的处理不需要平行进行，并且可以代表同一晶片上或者不同晶片上不同时刻发生的不同的变形。

[0291] 该实例从图 88a 和图 88b 分别所示的晶片 8800，8802 开始，并涉及接触点再布线

的制备，即通道将不与晶片表面上的焊盘对齐（图88a到99a），第二实例没有接触点的再布线，所以通道将与焊盘对齐（图88b到99b）。此外，将要形成的两个通道在宽度上的相对差别是为了说明单个晶片或芯片上可以使用不同宽度的通道，并且通道宽度可以与芯片上的焊盘的宽度不同（即，可以是焊盘相同的宽度，比焊盘更宽或更窄的宽度）。再次注意，附图既不成比例也不必具有正确的比例。

[0292] 首先，向晶片8800，8802涂覆厚电介质层8902，8904，在该情形中，晶片是具有铝IC焊盘接触点8804，8806的硅晶片（图89a，图89b）。该厚电介质层用于保护芯片并充当其后过程中在电镀之后减薄顶表面时的阻挡区域。注意，在以下步骤中，如果通道a）没有通过电镀填充，或者b）经过填充并且填充方式是允许以减薄之外的其他方法（即，通过刻蚀或通过光刻剥离）去除通道金属填充处理期间在晶片表面淀积的多余材料，则该步骤可以是可选步骤。适用于厚电介质淀积的材料包括但不限于：例如TEOS，氧化物，氮化物，旋转涂覆玻璃，聚酰亚胺，BCB，其他聚合物或环氧树脂，厚光刻胶层等（如果使用光敏聚酰亚胺或厚光刻胶，则在一些变形中，下一步中不需要分离的光刻胶淀积步骤）。

[0293] 接着，涂敷光刻胶层并图形化以保护晶片免于刻蚀不希望被刻蚀的位置（图90）。该步骤限定将要形成的通道的位置。

[0294] 然后，在晶片上进行刻蚀（图91），在再布线的情形中（图91a）穿过电介质刻蚀到半导体和衬底中以形成通道9102，该通道进入晶片中再布线接触点将要存在的位置，以及在常规情形中（图91b），通道9104穿透电介质，铝IC焊盘接触点8806并进入晶片。这里要注意，正如以后的图中清楚所示，理想的深度是允许暴露由通过减薄晶片背面的过程形成的“插柱”的深度。通常，该深度约75微米。假设每平方厘米可能有几千甚至几百万的接触点，则该通道深度虽然不关键，但是这样的深度允许在后续处理步骤期间以晶片规模的方式处理整个子晶片，具有良好的生产率并且不需要晶片载体。或者，通道可以一路穿透晶片。在这些穿透晶片的变形中，以下说明的减薄并刻蚀背面以暴露通道中的金属化的步骤可以不必要。此外，虽然该实例中说明的通道具有单导体，通过直接将这些形成步骤结合到该工艺中，同样的方法也适用于同轴或三轴导体。

[0295] 在这点上值得强调的是通过使用一定的实施例中说明的工艺获得的属性和优势。从该方法中得到的属性和优势包括刻蚀和产生通道可以在混合（芯片-芯片，芯片-晶片或晶片-晶片）之前进行。换而言之，刻蚀和产生通道可以方便地在芯片，小片或晶片连接到另一元件之前进行。此外，该方法允许从事先制得的并可以使用的电子芯片的器件（即，有源）一侧刻蚀通道。该方法实际上可以用在芯片上没有电路直接位于不可牺牲的刻蚀通路上的任何位置。因此，使用该方法形成的通道可以根据需要与焊盘对齐或不对齐。此外，尤其在芯片的几乎没有或完全没有电路的区域中，通过使通道在焊盘上方，和/或在一些情况中使通道远小于焊盘，可以最小化IC上对电路的“真实状态”的损失。

[0296] 对于通道的形成，在一些情形中具有斜坡通道从而保证后续的材料淀积充分覆盖侧壁可能是理想的方法。在该情形中，斜坡可以是典型的相对于通道纵轴的垂直线约88度的名义斜坡（即，通道宽度将随深度增加稍许变窄）。图92显示一个斜坡通道实例的剖面照片。

[0297] 通常，使用75微米或更大深度及5微米或更大宽度的通道。图92的通道具有20微米的直径和约150微米的深度。图93是具有100微米深度和20微米直径的实例通道

（已经填充）的照片。小到 0.1 微米的宽度可以是足够的宽度，深度可以更浅（例如，浅至只有 5 微米的深度）。然而，使用小于 0.1 微米宽度的通道可能减小将要形成的最终键合的完整性。类似地，使用浅于 5 微米深度的通道可能要求晶片减薄到可能损坏其下方的电路（如果存在）的程度。当前，为了用商业上合理途径取得的设备获得充分的制造生产率，典型的范围是 75 到 150 微米的深度和 5 到 25 微米的宽度。当然，该范围之外的深度和宽度对特殊应用也是可能的。举例来说，虽然涉及当前预期大量商业制造的通道数量和密度，当前商业上可取得的设备目前并不具有允许在这些较大深度下的合格率的充分的一致性，但在一些情形中，通道可以深达 300 微米并完全穿透晶片。然而，可以预期，随着时间，这样的设备的进步将能减少或消除该限制，使本文所述的方法能适用于这样的深度，数量和密度而且几乎不需要或者完全不需要进行修改。

[0298] 可选择地，通道的底部可以形成为具有一个点。这是用于保证坚固的刚性插柱，刚性材料进入韧性材料的良好穿透性以及坚固的最终接触点（最大化刚性和韧性材料之间的表面接触）的方法。为了做到这一点，所使用的方法是，将刚性插柱制作为棱锥类形状（或者顶部为圆柱的的棱锥），其中插柱的底部与其下的接触点一样宽（最大化插柱到接触点的附贴强度），而顶部逐渐变细到远小于接触点，允许与将要获得的相对尺寸因子的匹配。该变形具有以下优势，即该变形将导致尖顶插柱的形成，从而在用于插柱和穿透连接时允许其穿透，与其后形成的棱锥类形状的刚性插柱相类似。图 94 是其中形成的具有尖顶通道的芯片的剖面照片。

[0299] 接着，剥离光刻胶（图 95），并向暴露的通道表面（未显示）涂覆电介质或绝缘层，以防止通道中的金属与半导体中的任何电路发生电短路。该层的厚度通常在约 2000 埃和 1 微米厚之间。然而，如果特殊应用涉及热膨胀系数的平衡或者降低通道的电容（这两者都重要或关键），该层可以更厚。可以使用的绝缘材料的实例包括 TEOS（氧化物），其他氧化物，氮化物，聚合物，CVD 金刚石等。

[0300] 然后在电介质上淀积金属阻挡层（图 96）。阻挡层用于防止金属迁移到绝缘体和半导体。本文所述的所有阻挡层材料都适用于该步骤，但出于该实例的目的，所说明的阻挡层是钨化钛 (TiW)。

[0301] 接着，如果在特定变形中需要镀覆金属，则涂覆电镀“籽晶”层（图 97）。籽晶层用作通道电镀的基础。因为是良好的电和热导体，因此铜籽晶层是优良的选择，当前在工业上盛行并且非常便于在标准半导体和封装线上使用。然而，如本文结合刚性材料和 / 或刚性材料的籽晶层所述的任何材料都能使用。如果用电镀之外的的其他方法填充通道，则籽晶层只覆盖通道自身，而非晶片的更大面积，或者可以不需要存在。举例来说，如果将要通过 CVD 或蒸发填充通道则不需要籽晶层。

[0302] 阻挡层和籽晶层的淀积通常通过溅射或者物理气相淀积（“PVD”），但也可以使用化学镀，因为对于一些实施例，化学镀将提供超过溅射或 PVD 的充分优势。

[0303] 然后用金属或其他导体（通常是完全）填充通道，以形成穿透晶片的电通道（图 98）。通常用于镀覆方法的填充材料是铜。然而，可以使用其他材料，包括本文所述的适合于作为刚性或韧性材料的任何其他材料。注意，如果只需要简单的电连接并且不需要良好的热导率或低电阻，通道不必用导体完全填充。在该情形中，通道的剩余部分可以可选地用诸如氧化物或环氧树脂的另一种材料填充。整个通道通常应该用某些类型的材料填充，因为

如果芯片封装或密封时空气进入通道中的空洞，则由于空气的膨胀收缩，运行时的温度循环可能导致芯片失效。完全用金属填充允许最低的电阻和最好的热传导的接触点。此外，当使用用金属完全填充的大直径通道时，金属可以帮助热量通过晶片传输。

[0304] 如图 98 所示，通过使用电镀工艺镀覆籽晶层而填充通道。可选择地，如果镀覆过程完成并且所镀覆材料的中央留有空洞，则可以用填充剂材料填充该空洞，诸如氧化物，其他金属，焊料，或者一些对该应用合适的其他材料。

[0305] 有利的是，如果通道用与母晶片的刚性材料相同的材料或者与子晶片的韧性材料相同的材料填充，则可以实现堆叠优势。或者，如果芯片上通道将要附贴到其上的配对接触点上有刚性材料，则通道可以用与韧性材料相同的材料填充。

[0306] 注意，如图 98b 所示，图中通道与焊盘对齐，用导体填充通道固有地允许使通道与焊盘接触。

[0307] 正如多数实施例所期望的，在特定晶片将要连接到另一晶片时，重要的是子晶片的阻挡层和通道填充材料的构成与母晶片的阻挡层和刚性材料遵循同一方针，以致当子芯片混合到母晶片时，所进行的工作方式与母晶片相同。

[0308] 回到所述工艺流程，作为先前步骤中镀覆的结果，大量导体淀积在晶片上面并需要去除。这可以通过研磨，抛光或化学机械处理（“CMP”）实现。该减薄向下进行到第一步中淀积的厚电介质中。所选择的用于作为第一步涂覆的电介质的实际厚度为所述研磨步骤提供误差容限。如果填充通道的导体不是通过电镀淀积，则该步骤可以不必要。如图所示，化学机械处理（“CMP”）则用于向下去除多余的镀覆材料和其下的籽晶层，到达并稍许进入表面电介质层（图 99）。

[0309] 接着，通过涂敷光刻胶再次使用光刻刻蚀工艺以帮助提供从晶片顶部到晶片的 IC 焊盘接触点 8804，8806 的通路（图 100），然后刻蚀暴露的电介质 10002（图 101）。如果唯一需要的接触是从焊盘到通道自身（图 101b），并且同一焊盘和母芯片的特定焊盘之间不需要接触，则特定的焊盘可以不经过该步骤（即，该焊盘可以仍然保留由光刻胶覆盖）。在替代的变形中，所进行的光刻可以使与 IC 接触点的连接与籽晶层的淀积同时进行（并能功能性地作为籽晶层的一部分），或者与镀覆或填充通道同时进行。在这样的变形中，该光刻步骤可以不必要。

[0310] 然后剥离光刻胶并清洁晶片，在子晶片内留下完全成型的插柱（图 102）。

[0311] 在这点上，假定晶片将被进一步制备用以混合到另一元件，诸如另一芯片，小片或晶片（即，该方法等同于混合的所有排列组合：芯片 - 芯片，芯片 - 小片，芯片 - 晶片，小片 - 小片，小片 - 芯片，小片 - 晶片和晶片 - 晶片）。图 103 到图 125 以简化平行形式说明该进一步的处理并且该进一步的处理从图 102 所示的子晶片开始。此外，为了理解的目的，该工艺还进一步说明在将要充当“母型”接触点元件的晶片上进行的处理。

[0312] 该过程进行如下。首先，除了 IC 接触点焊盘上方之外向母晶片涂覆电介质层（图 103b），子晶片上已经存在该电介质层（图 102a，图 102b）。

[0313] 接着，在子晶片上淀积阻挡层（图 104a），在再布线接触点的情形中，阻挡层的一部分将最终成为原始 IC 接触点和预形成的插柱之间的电连接。使用阻挡层的优势在于能防止韧性材料其后与 IC 焊盘或刚性或支座金属发生反应。

[0314] 如图所示，通过溅射在子晶片上淀积阻挡材料，例如列举 Ni/Au，Ti/Pd/Au 或 Ti/

Pt/Au 几种。此外，该阻挡层可以总体用作下隆起金属（“UBM”），并用于不需要去除籽晶层的再布线。该阻挡层通常使用溅射和 / 或蒸发工艺布施，或者可选地结合上层的电镀工艺使用化学镀。

[0315] 此外，如图所示，通过使用例如化学镀或淀积技术在母晶片上淀积籽晶层（图 104b）。如图所示，母晶片具有涂覆的 TiW+Cu，该 TiW+Cu 用作 UBM 和在母晶片上电镀刚性接触点的籽晶层。在顶部使用铜允许更容易地电镀铜和其后的刚性插柱形成。在一些实施例中，母晶片上的 UBM 可以同时作为刚性元件电镀的籽晶层和再布线，或者充当晶片之间的 RF 屏蔽（虽然用于该目的的图形化将在刻蚀步骤中而不是在该点的淀积过程中进行）。

[0316] 可选择地以及可替代地，阻挡层和籽晶层可以具有相同的组成。在该情形中，单个材料可以充当阻挡层和籽晶层。

[0317] 如图 104 所示，阻挡层布施在整个晶片上。这样做使后续的电镀步骤可以进行。然而，在这样的电镀之后，需要从不存在接触点的区域去除籽晶层和阻挡层，以使诸多接触点在一起不会发生电短路（除非出于其他与这里的情况无关的原因确切需要，即，阻挡层和籽晶层能充当各个点之间的电再布线材料）。

[0318] 如果后续材料可以用电镀之外的其他工艺布施，例如通过溅射或蒸发，则母晶片的步骤可以替代地包括在焊盘周围用光刻形成图形，布施阻挡层金属，布施后续的金属然后进行剥离处理。金属和阻挡层主要围绕在焊盘或需要再布线的区域周围的最终结果是相同的。

[0319] 然后在子晶片上进行光刻处理以暴露原始接触点上方的阻挡层材料（图 105a）。此外，如该情形中所示的用底切在母晶片上形成图形以提供具有例如尖顶的，棱锥形，圆锥形或蘑菇形的可选图形化的接触点（图 105b）。或者，母晶片上形成的图形可以形成一些其他的接触点形状，从而增加接触点的有效表面积，或者形成截面充分小于其最终要连接到的相应韧性接触点的接触点。通过这么做能增强穿透性，因为施加的力将分布在更小的面积上。

[0320] 所述步骤（图 105a，图 105b）限定进行后续金属布施的位置。如果后续金属通过电镀之外的其他方法淀积，则该步骤将在上述阻挡层和籽晶层淀积之前进行。这里假设使用电镀。再次注意，可以进行光刻的图形化以允许后续的电镀和 / 或籽晶层刻蚀（或者如果未使用电镀则是后续的剥离处理）以限定再布线层。

[0321] 接着，通过在被暴露的阻挡层的顶部淀积合适的金属使子晶片金属化（图 106）。取决于特定的实施例，一个或多个以下材料层可以布施在子晶片上：用于处理晶片非平整的支座层（如果需要），扩散或韧性层（发生变形并形成接触点），用于在粘结相期间帮助发挥粘结作用的覆盖层或粘合层（如果需要），和 / 或用于防止粘合 / 扩散层氧化的氧化阻挡层。

[0322] 此外，在母晶片上，通过光刻过程产生的空洞将通过镀覆（电镀或化学镀）光刻处理暴露的籽晶层进行填充，该籽晶层通过光刻过程暴露（图 106）。取决于特定的实施例，在该阶段也可以添加将要用于插柱和穿透连接中使用的插柱成型的刚性材料。

[0323] 图 107 更详细地说明母晶片上完全镀覆的棱锥形接触点的实例。

[0324] 图 108 显示母晶片接触点的替代变形的放大部分，在该情形中，成型的接触点与图 107 的接触点相似。对于该可选变形（适用于已成型或未成型接触点），在镀覆刚性插

柱的金属（金属化）之前，先向下刻蚀一点半导体焊盘 10802 的金属以在焊盘 10802 的边缘形成底切剖面图形 10804。当建立刚性材料 10902 时（图 109），一些刚性材料 10902 填充进底切 10804 中。该附加填充能充当锚柱以帮助在具有后续处理中施加的应力或者运行时由于热循环产生的应力的情况下保持刚性接触点就位。如图所示，刚性材料 10902 为镍 (Ni)。

[0325] 完成金属化和 / 或镀覆之后剥离光刻胶并暴露子晶片和母晶片上建立的接触点（图 110）。然而要注意，如果母接触点的阻挡层将被电镀，则该步骤可以可选地在金属化之后但在剥离光刻胶之前进行。

[0326] 接着，采用光刻工艺保护所建立的接触点或插柱，但允许分别从子晶片和母晶片去除不需要的阻挡层和籽晶层材料（图 111）。注意，该步骤也可以用于限定和 / 或再布线接触点。此外，如果没有电镀其他金属，则这些步骤的顺序可以稍许不同，因为可能已经使用了针对后继刻蚀的剥离。

[0327] 然而，因为该实例中的籽晶层和阻挡层材料被电镀，因此将使用刻蚀。因此，不需要的籽晶层和阻挡层材料被刻蚀掉（图 112）。在另一替代和可选的变形中，只刻蚀掉少量阻挡层和籽晶层，即只刻蚀掉必须的量以防止不希望发生的接触点的共同短缺，以致多数晶片的表面仍保留被覆盖，并因此可以用作 EMI 屏蔽以防止噪音或者堆叠芯片之间不需要的信号耦合，尤其是如果保留的阻挡层 / 屏蔽被附接到接地面则更是如此。

[0328] 然后剥离掉光刻胶（图 113）。

[0329] 在这点上，子晶片包含适用于与另一晶片形成插柱和穿透配合连接的功能性刚性插柱。

[0330] 然而，正如通过本文的说明将更明显的那样，在该情形中，具体而言，母晶片的处理将通过在接触点上韧性材料（相对子晶片插柱上的材料）的化学镀而继续（图 114b）。注意，虽然该步骤被说明为化学镀步骤，但该方法的变形也可以使用电镀步骤。在该变形中，所进行工艺的该一部分将作为剥离金属化步骤中所用的光刻胶和涂敷上述保护光刻胶的步骤之间的金属化步骤或者替代的电镀操作的一部分。然而，在任一情形中，阻挡层的淀积都是重要的，因为该阻挡层防止韧性材料和刚性材料互相混合并将韧性材料限制在刚性材料和子晶片上的 IC 焊盘之间。

[0331] 在这点上，母晶片现在具有用于与另一晶片形成插柱和穿透配合连接的功能性韧性插柱。

[0332] 然而，在该实例中，预定第三芯片将要层叠到子晶片的顶部，从而形成进入晶片的插柱。因此，需要进一步处理子晶片，该处理进行如下。

[0333] 首先，通过涂覆合适的可去除的保护材料保护子晶片的正面（即，器件和接触点承载面）以保护其在后续减薄中免受污染（图 115a）。该覆盖可以只由简单的光刻胶或电介质组成，或者可以由通过例如光刻胶，石蜡，聚合物，环氧树脂或其他粘合剂等的方法附贴到子晶片上的诸如玻璃片或另一个半导体晶片（“载体”晶片）的刚性元件组成。在一些变形中使用很厚的层（例如，数量级在子晶片减薄后厚度的至少 50％）。在其他变形中，可以使用刚性的载体晶片。在任一情形中，很厚的层可以向子晶片提供额外的强度，以使其在减薄时能进行处理而不破裂。

[0334] 接着，减薄子晶片的背面以从背面暴露通道填充材料（例如，先期形成的插柱），

通常减薄到子晶片约 74 微米厚，因为典型的通道约 75 微米深。如果通道延伸得更深，则需要的减薄更小。取决于特定的应用，减薄具体进行到插柱伸展到背侧晶片表面上方，或者在一些应用中，插柱将与背侧表面齐平（图 116a）。然而，在通道底部有尖端的位置，如果有尖端，则减薄最好不应向下减到足以去除底部尖端的一定的数量，当处理完成时理想的是棱锥形，圆锥形或蘑菇状的结构。

[0335] 在该情形中，因为需要另一个插柱和穿透连接，将在背面进行刻蚀以使插柱延伸到表面之上（图 117a）。该刻蚀步骤有两个目的。第一，去除通道周围的一些衬底，允许通道延伸到表面之外（从而允许其以和母晶片上的刚性插柱完全相同的形式工作）。第二，清洁接触点表面，允许后续工艺中金属的良好粘附。

[0336] 当然，对于没有穿透连接的子晶片而言，减薄和刻蚀步骤通常不必考虑使其更为理想的其他高度问题。

[0337] 通过在正面使用很厚层或载体的变形，减薄可以潜在地大大超过典型的 75 微米的完成厚度。实际上，对于那些变形，减薄导致低到约 10 微米的厚度。此外，如果粘结和融化工艺之后载体晶片将不被去除，则晶片可以减薄到约 5 微米。

[0338] 注意：在替代实施例中，减薄步骤可以在母晶片和子晶片之间的混合之后进行。在该变形中，事件的顺序是化学镀母接触点，粘结，融化，减薄子晶片，刻蚀子晶片背面从而使接触点延伸到背侧表面之上，向背面接触点涂覆阻挡层和覆盖层，同时在不必要时省略正面保护以及去除该保护。

[0339] 然后在插柱上淀积阻挡层和覆盖层（图 118）。该阻挡层和覆盖层对于保护通道材料很重要。该阻挡层（和阻挡层覆盖）进行与“实际”母晶片的刚性插柱顶部上淀积的阻挡层材料和阻挡层覆盖完全相同的功能。该阻挡层允许韧性材料钉在该新插柱上的阻挡层材料与后续的第二子晶片（即，“子晶片 2”）上的阻挡层之间。如图所示，阻挡层和覆盖层的淀积使用化学镀工艺。在该实例中，使用 1 微米的 Ni 和 0.3 微米的 Au。使用化学镀的优势在于在晶片的背面不需要任何光刻步骤，使处理更便于进行并和使用薄晶片兼容。该优势对于减薄到极限的晶片以及在通道形成工艺的原始电介质刻蚀，通道刻蚀和通道填充步骤中节约成本方面更有价值。再次，可以使用的具体材料包括本文所述的任何阻挡层材料。

[0340] 此外，该阻挡层不必通过化学镀淀积。取而代之，在一些变形中，如果在背面淀积籽晶层，以上述相似的方式镀覆然后刻蚀，则可以使用电镀。在其他变形中，可以使用图形化以及蒸发或溅射，或者其他类型的淀积工艺以涂覆这些阻挡层。虽然对薄晶片需要更多步骤，但这些替代方法仍具有还能够通过电镀工艺流程中的刻蚀籽晶层或者通过在淀积金属工艺流程中的剥离处理在晶片背面限定再布线层，屏蔽或接地平面的优势。然后从子晶片的正面去除保护层（图 119）。

[0341] 或者，如果作为保护层或者将载体晶片附贴到子晶片上的粘结剂布施的材料能承受粘结和融化工艺的温度，则该步骤可以延迟到融化工艺完成之后。这样就允许更多地减薄子晶片，同时仍可以在粘结工艺期间处理独立的芯片而不会打碎或损坏芯片。在该情形中，子芯片通常使其电路面朝上（即，背向母芯片）同时韧性材料在母芯片上。当然，考虑到母晶片 / 子晶片的只是随意的约定，相反的做法可能更好，或者在附贴良好的情形中或者其他变形中韧性材料可以在通道自身之中或者甚至在以后添加。

[0342] 在另一替代变形中，例如，如果不是为了在顶部堆叠第三芯片而形成所述通道，而

是为了使芯片与面向上而不是向下的电路混合，例如，如果子晶片上有光学器件，并且顶部载体晶片可以有内置的微透镜或者其他无源元件，或者如果子晶片和母晶片是 RF 器件并且要求两个电子电路不互相紧密相邻，则该步骤可以完全省略并且保护层被永久保留。再次，通常这样就要求母芯片上具有韧性材料。

[0343] 在这点上，假设上述母晶片和子晶片上的接触点将要互相配对，就可以连接各个芯片。连接工艺进行如下。

[0344] 首先，将子晶片翻转，并且母晶片和子晶片上将要连接的各个接触点互相对准（图 120）。对准步骤用于对准母晶片和子晶片。对准容差应该是大约 ± 焊盘的尺寸。利用超尺码的韧性接触点对准容差可以更大一点。总体而言，所进行的对准保证整个刚性接触点的顶部在某点处接触韧性接触点。举例来说，如果韧性接触点是边长 15 微米宽的正方形并且刚性接触点的顶部是边长 5 微米宽的正方形，而且如果完全取中心，则刚性接触点的边缘将会距离韧性接触点的边缘 5 微米，并且对准精度将是 ±5 微米。

[0345] 然后，使接触点在压力下叠到一起以形成插柱和穿透连接（图 121）。

[0346] 该堆叠方法的关键优势之一在于刚性材料穿进韧性材料中。这样就允许在两个晶片之间发生牢固的键合，因为两个接触点之间的表面积大于单个接触点自身的尺寸。此外，键合变得更强，因为使两部分拉开的失效类型需要插柱的水平表面发生分层以及插柱的垂直面发生剪切故障。注意，后者是很不常见的故障形式，所以总体失效的风险比任何单个故障发生的风险更小。

[0347] 实际上，突出量也很重要。通常，至少需要半微米的突出。虽然对一些实施例而言几乎不突出也能工作，但在低水平的突出量下强度会大大下降。实际上已经确定，对于总高度 8 微米的韧性材料，刚性材料通常要进入韧性材料延伸 2-3 微米；对于 10 微米的韧性材料，刚性材料通常要进入韧性材料延伸 5 微米。通常的“拇指规则”是要穿进 10％或更多的韧性接触点厚度，但使其穿进小于 90％的穿透韧性接触点的距离。

[0348] 另一关键优势在于插柱的穿进允许子芯片和母芯片相对于接触点节距的明显不平整性。举例来说，对于 20 微米节距的 12 微米宽的接触点，韧性材料的高度可以相当高，例如，高到其高度匹配节距。相似地，从接触点到接触点的平整度偏差可以和韧性接触点的厚度一样宽。举例来说，如果插柱具有 5 微米的高度并且韧性材料具有 8 微米的高度，则接触点到接触点的平整度偏差可以大到 8 微米。在该情形中，一些插柱将穿进完全穿透韧性材料的距离，而一些可能穿进得较少。

[0349] 回到工艺流程，在刚性接触点穿进韧性接触点之后或与此同时，可以进行粘结和融化工艺的粘结相。如图 121 所示，两个过程同时发生。在该工艺的粘结相期间实现两个晶片之间的电连接。有利的是，不必要中间环氧树脂或其他物质将芯片保持在一起或者将其充当电连接之间的阻挡层。

[0350] 可选择地，如果举例来说，潜在的返工不是工艺的一部分并且底部填充材料将不受粘结和融化工艺的负面影响，则在粘结相之前可以在两个芯片之间插入底层填料以填充两者之间的空洞。

[0351] 在这点上，母晶片和子晶片被进行连接并且可以进行测试（在一些情形下如果有一个失效则可以替换）。

[0352] 一旦确定需要在两者之间形成永久连接，就进行粘结和融化工艺的融化相（图

122) 以形成结合对（例如，混合单元）12202，12204。在融化过程中，母扩散 / 覆盖层，子氧化覆盖层以及子韧性材料都互相扩散到一起，构成总体接触点的最终组分。

[0353] 可选择地，如果没有预先完成并不需考虑温度问题，则可以在融化工艺之前将底部填充插入到芯片之间，或者该过程在融化工艺之后进行。使用底部填充的优势是减少空气进入两个芯片之间并其后由于温度循环破坏芯片或连接的可能性（因为粘结和融化工艺形成气密封闭）。

[0354] 一旦母晶片完成粘结过程（即，在芯片 - 晶片工艺中，对母晶片上的每一个良好位置重复对准和粘结过程，同时对已知的坏母芯片格点不进行该过程，在晶片 - 晶片工艺中，两个晶片被整体粘结在一起，如果进行可选的测试则坏芯片的位置被指出以在将来消除），然后整个母晶片经过融化过程，永远附贴所有子芯片。该过程可以在比粘结相高得多的温度下进行。此外，对每个芯片的时间是相同的，因为在每个晶片上同时进行，所以该过程在每个单独芯片上都能产生相当均匀的连接。

[0355] 融化相的温度通常是例如 320℃到 400℃，取决于所涉及的特定材料。

[0356] 有利的是，通过将粘结过程与融化过程相分离，进行粘结的设备不会由于必须加热或冷却每个单件而减慢速度。通过以可控方式在晶片水平进行该过程，所有接触点都能具有相似的最终组分。

[0357] 在粘结相，融化相或两者可以使用惰性或还原环境以有助于最小化或去除材料表面的氧化物，并有助于降低每个步骤所需的温度或压力。通常用诸如氮气，氩气或其他的惰性气体，或诸如混合气体 (forming-gas) 或甲酸的还原气体，或者一些具有氢气组分或其它还原气体的其他气氛。

[0358] 如上所述，过程并未完成，因为第三芯片将要结合到该新形成的单元上。如同连接母芯片和子芯片一样，该单元可以连接到另一芯片。因此，如图 123 所示，第二子晶片被叠到单元 12202，12204 上，并且其接触点与单元 12202，12204 的适当的接触点对准。

[0359] 有利的是，由于先前的工艺步骤，第一子芯片顶部的通道的暴露侧具有与原始刚性接触点的顶部相同的组分。因此，对于后续的“子”晶片，混合将以与前两个晶片所进行的相同的方式进行（即，对准，穿进，粘结（可选地测试）和融化，韧性材料被钉在各个阻挡层之间，并且通道上的插柱穿进韧性材料）。该工艺的重要优势在于，通道和基础混合设置为以相同的材料系统和相同的工艺流程运行，促进超越已有的常规的堆叠芯片对的堆叠重复性。

[0360] 结果，母晶片可以与一组芯片组装在一起，然后装另一个（子晶片 2），再另一个等，使用粘结，融化，粘结，融化的方法，或者在一些情形中使用粘结，粘结，粘结然后融化所有元件的方法根据需要以对每一层都同样的方式运行该工艺。

[0361] 因此，在第二子晶片上进行第二粘结相，以将其键合到该单元，并且一旦完成，该新形成的更大的单元可以可选地进一步测试，或者，如果第二子芯片是坏的则可以将其分离并替换（图 124）。

[0362] 最后，当需要在第二子芯片和单元之间建立永久连接时，再次进行粘结和融化工艺的融化相（图 125），以形成新的，更大的混合单元 12502，12504。

[0363] 该步骤之后，可以反复重复该过程从而允许集成多个其他芯片，例如集成到“子晶片 2”上，或者集成到晶片上存在的其他芯片上（未显示）。因为在每次粘结过程中形成电

连接，每个芯片只需要与其直接下方的一个芯片对准，所以所实现的另一个优势是不存在如所有芯片必须在穿透连接的尝试能够开始之前首先堆叠的其他堆叠技术中的对准误差的积累。

[0364] 此外，可以在各个相继的层次之后对各个更大的组合单元进行必要程度的测试（如果需要可以进行返工）。还有，该过程提供了特殊的优势和巨大的成本节省并且提高了产量，因为，如果芯片被多层堆叠，常规的技术可能要求在电测试进行之前完成整个构建的单元。因此，只有在已经形成昂贵的单元之后才能测试常规的部分，并且，如果是坏的也不可能返工，唯一的选择是报废整个高成本的单元。此外，应用常规的技术，在构建时损坏单元的风险或者例如如果失效发生在第一层芯片上这种浪费部件的风险会大大增加。

[0365] 与此相反，使用本文所述的方法之一，可以用小得多的风险形成多层堆叠的配置。再次，取决于特定的情形，如上所述，该方法的进行可以通过对准，粘结，融化，对准，粘结，融化的顺序根据需要重复多次。在粘结过程具有足够高的强度的条件下，例如＞＝ 500 接触点，则工艺可以替代地以对准，粘结，对准，粘结进行所需次数，并且只有在垂直堆叠所有芯片之后（并且如果使用测试选项则测试合格）才进行融化。当不同数量的芯片将要堆叠到不同位置时，该第二种方法可以进一步有效地使用。

[0366] 在这点上应该注意，通过使用插柱和穿透连接以及粘结和融化工艺，第二子晶片（和后续晶片）到所述单元的后续连接的进行可以不对先前形成的单元间连接产生负面影响。事实上，已经惊奇地发现，通过使用粘结，融化，粘结，融化的方法（无论是否进行插入其间的减薄），后续的融化步骤实际上都使先前连接的电阻降低。该现象之所以重要是因为常识通常认为后续的融化往往减弱或退化先前形成的连接（这对下文所述的“阱”连接尤其正确）。

[0367] 图 126 到图 139 以简略形式说明另一变形，为了避免冗长，该变形从图 103 的将要再布线的子晶片和对应的母晶片开始。然而，在该实例中，子晶片如图 77a 到图 104 的简化形式所示进行处理，但与先前实例相同，还包括形成有助于在顶部堆叠第二子晶片的插柱。

[0368] 从图 104 的晶片开始，该工艺的起始点是通过光刻在子晶片上限定再布线的区域（图 126）。然后，在子晶片上涂覆阻挡层以再布线接触点并向母晶片涂覆籽晶层（图 127）。然后剥离光刻胶（图 128）并使用新的光刻图形保护除原始接触点上方的区域之外的所有区域（图 129）。接着，金属化接触点（图 130），子晶片具有由离散的锡层和金覆盖层覆顶的金－锡 (Au/Sn) 合金，并且母晶片的接触点用铜镀覆。再次，剥离光刻胶（图 131）并通过刻蚀去除不需要的籽晶层（图 132）。最后，通过化学镀向母晶片的接触点镀覆 Ni/Au 的覆盖层（图 133）。

[0369] 然后，晶片互相对齐（图 134）。其后，可以将接触点叠到一起以形成插柱和穿透连接，可以进行粘结，可选的测试以及可以进行融化工艺以形成组合的混合单元（为了避免冗长这里没有显示上述过程，因为在本文其他地方已经说明）。

[0370] 现在，因为该实例还涉及在该子晶片顶部添加第二子晶片，因此该工艺进行如下。首先，减薄组合单元的子晶片的背面以暴露预先形成的背面接触点（图 135）。然后，刻蚀衬底从而将插柱抬高到衬底表面之上（图 136）。

[0371] 虽然这样将增加混合后的其他步骤即涉及减薄的步骤，但是如果对于特定的应用已经充分则该工艺可以在这里停止。这样做的优势在于没有更多的光刻图形化或材料淀

积，这些步骤都要求更多的接触劳动量并且是生产率损失风险的主要来源。或者，如果结合到另一元件的时间延迟，材料或其它因素使氧化成为问题，则将增加覆盖层（即，需要进一步的处理）。

[0372] 图 137 是图 135 和 136 所示的步骤完成之后实例接触点的照片。在图 137 中，插柱 13702，阻挡层 13704 和衬底 13706 清晰可见。

[0373] 假设氧化可能成为问题，则覆盖层被涂覆到插柱的抬高部分上（图 138），从而完成背面接触点形成工艺。

[0374] 与第一子晶片相同，通过该背面的接触点对准下一个子晶片（图 139），在该背面接触点上可以在粘结工艺等的同时或之前形成两者之间的插柱和穿透连接。

[0375] 总体而言，有很多材料适合于用作阻挡层。这样的材料包括但不限于：Ni，Cr，Ti/Pt，Ti/Pd/Pt，Ti/Pt/Au，Ti/Pd，Ti/Pd/Au，Ti/Pd/Pt/Au，TiW，Ta，TaN，Ti，TaW 和 W。

[0376] 籽晶层的合适材料包括但不限于：Ni，Cu，Al，Au，W，Pd 和 Pt。

[0377] 替代的合适材料包括但不限于：Ta/Cu，TaN/Cu，Ni/Au，Ni/Cu，Ti/Pd/Au，Ti/Pd/Cu，铬，能以平面方式（例如，通过蒸法或散布）布施的导电环氧树脂或其组合。

[0378] 然而应注意，芯片或芯片对上的所有阻挡层不必是完全相同的材料。

[0379] 总体而言，使用阻挡层的地方的材料应该具有以下特征：

[0380] i）应该与特定的焊盘材料兼容（典型的焊盘为铝，铜和金）；

[0381] ii）应该进行选择，如果晶片有共存的小（＜ 15μm）和大（＞ 50μm）IC 焊盘则使其能以对两者都良好的生产率置于晶片上；以及

[0382] iii）如果下隆起金属也用作刚性材料或者充当支座，则其应该满足上述条件，并且还能做成几个微米（＞ 3μm）高。

[0383] 此外，要求阻挡层材料与 IC 焊盘顶部和芯片顶部覆盖玻璃 / 钝化层上的淀积材料兼容。

[0384] 使用阻挡层还能提供一个或多个以下优势：

[0385] i）能够允许高生产率，并能增加混合接触点的可靠性；

[0386] ii）如果淀积在焊盘顶部和芯片顶部覆盖玻璃 / 钝化层上，则阻挡层其后可以用作：

[0387] 1）信号再布线材料

[0388] 2）两个芯片之间的电屏蔽以防止其间的串扰，和 / 或

[0389] 3）用于任何能通过电镀进行的后继步骤（例如，形成刚性插柱和涂覆韧性材料）的籽晶层；

[0390] iii）增加子材料的储存期限，因为阻挡层充当防止或延迟氧化的覆盖层；

[0391] iv）可以预图形化以充当再布线或屏蔽；

[0392] 在一些实施例中，上述替代材料可以提供一定的优势，因为：

[0393] i）人们相信 Ta 和 TaN 的阻挡能力超过 TiW，

[0394] ii）基于镍的工艺允许 UBM 和后续的刚性材料是同一种材料，从而简化工艺，

[0395] iii）不会使铜暴露的替代材料具有更长的储存期限，所以这些材料能够与一定的制造工艺更兼容，

[0396] iv）如果不需要后续电镀步骤（例如，对于在子晶片上淀积刚性或支座构件），则

任何上述材料都可以正好在焊盘和再布线或屏蔽区域上图形化，从而不需要进行后续的籽晶层和刻蚀步骤以限定这些区域。

[0397] 对于使用阻挡层，在很多变形中重要的是一定要保证：1）被认为会发生反应的适当的金属的确发生反应；2）这些相同的金属以反应后的最终组分正确的方式发生反应，3）堆叠中使用的其他金属（即，刚性和支座）不发生反应而避免污染金属，以及 4）阻挡层将允许多个高温循环，其温度达到并高于工艺的粘结部分的封装焊接条件（例如，在适当温度下的 Pb/Sn，或者通常在约 240℃到约 270℃附近工作的一些无铅焊料）以及通常在约 300℃到约 350℃的工艺的融化部分的温度。阻挡层通过防止出于键合的更好的完整性的目的应该保持分离的金属发生混合而保持附贴材料的完整性。

[0398] 通过实例并参照说明紧靠粘结相之前的子晶片接触点 14002 和母晶片接触点 14004 的图 140 显示了上述情况。如图所示，子晶片接触点的阻挡层 14006 是 Ti/Pd/Au，母晶片接触点的阻挡层 14008 是 Ni。母晶片上的“刚性”材料 14010 是铜，子晶片上的韧性材料 14012 是 Au/Sn。此外，每一个晶片上的覆盖层 14014，14016 都由金构成并用于防止每一侧各自的材料氧化和允许初始粘结工艺因为初始接触点中的两种金属由同一种材料构成而容易进行的双重目的。注意，实际上在多数变形中，覆盖层 14014，14016 通常将完全包覆其他材料，然而为了便于说明只在顶部进行显示。图 141 以简化形式显示融化过程完成之后的同一个接触点。在实现金属的最终组合之后，两个金覆盖层已经与 Au/Sn 层混合以形成 Au/Sn 合金 14102，而镍和 Ti/Pd/Au 充当阻挡层以防止 Au/Sn 分别与铜和 Ti/Pd/Au 顶部的焊盘混合。因此，融化的 Au/Sn 14102 被“困”在该两个阻挡层 14006，14008 之间，保持 Au/Sn 的组分即使在多次后续高温步骤之后仍然一致和均匀。

[0399] 与此相反，举例来说，如果没有镍阻挡层 14008，则 Au/Sns 14102 将直接与很厚的铜层 14010（在该实例的实际实施中铜层其将超过 Au/Sn 厚度的 60％）接触。结果，在高温下，Sn 将扩散进入铜，然后所得合金开始极大地改变性能。举例来说，铜的熔点为 1084℃。随着 Sn 最初扩散进入铜，刚性插柱的顶部将成为富锡混合物，其熔点要低得多（例如，97％的 Sn 和 3％的 Cu 的混合物的熔点在 230℃左右）。随着 Sn 进一步扩散进入铜，最后会具有比 Au/Sn 更低的熔点，并且铜插柱在粘结和融化工艺中不再充当刚性构件。同样重要的是，铜 14010 将从 Au/Sn14102 中过滤掉 Sn，导致使该合金变成韧性的温度升高。因此，不断变软的刚性构件尝试穿进不断变硬的韧性构件。这样将影响接触点强度，均一性并最终影响可用的接触点间距的密度。此外，该效应将与时俱增。取决于融化过程进行的时间长度，接触点的组分和性能可能变化很大。如果接触点经过多次融化循环，举例来说，如果芯片垂直堆叠多层高度则也会发生这样的情形。相对于堆叠层中最近融化的芯片，堆叠层中的底部芯片将具有很大不同和不一致的性能。通过使用阻挡层金属，Au/Sn 受到较大限制，并因此能在多个融化循环中保持相同的组分和特性。注意，即使有阻挡层例如在 Au/Sn 和 Ni 之间仍可能发生一些互扩散，但该扩散的速率远慢于 Cu 的情形，所以一直到例如 100 或更少的合理的大数量堆叠芯片该扩散都可以忽略。因此，无论特定实施例使用什么材料，阻挡层通常都应该是最终的结合合金的组分，从而避免或最小化该负面的互扩散。

[0400] 在常用插柱和穿透方法中，两个配对的接触点被显示为大而平的接触点，但这一点既不是对所有应用的要求也不一定是理想的配置。因为两点之间的电连接的质量（或其欠缺）直接影响连接的电阻，并且不良连接将降低生产率，因此要求最小化不良的连接。有

利的是，插柱和穿透方法可以（不必增加任一接触点的“占地面积”）有效地适合于减小形成高电阻连接的风险从而增加生产率。该方法涉及通过在韧性或穿透接触点上形成图形或剖面外形改进穿透性并增加接触点表面积。

[0401] 当相对尺寸使韧性接触点大于刚性接触点时，如果韧性接触点直接在 IC 接触点焊盘上，则韧性接触点几乎可以自动图形成型。通过在大于其上建立 IC 接触点焊盘的 IC 接触点焊盘的开口的区域中对韧性接触点的金属图形化，可以在接触点中心附近由于 IC 上的覆盖玻璃与 IC 焊盘自身之间的相对高度差形成自然下陷。图 142 说明这样成型的韧性接触点 14202。如图所示，韧性接触点 14202 形成为比 IC 接触点焊盘 14202 更宽。结果，覆盖玻璃 14206 相对于接触点焊盘 14204 的抬高自然引起韧性接触点 14202 中的下陷 14208。有利的是，该自然下陷 14208 使韧性接触点 14202 更适合于接纳刚性接触点 14210，并且如果刚性接触点 14210 足够接近该下陷的尺寸则由于各自的自然形状甚至能有助于对准。

[0402] 成型刚性接触点减少初始接触点面积，从而有效增加每单位接触点面积施加的力，提高穿透性，同时在深度方向上由成型的壁提供的表面积的增加保证实现电气和机械接触点的足够面积。

[0403] 为了说明的目的，以顶视图和沿横截线 A-A 的剖面图显示无数可能的母接触点成型图形的代表性的非限制性说明实例，图 143A 到 143H 以及 143W 说明圆形，六角形，十字形和正方形的接触点焊盘，图 143I 到 143P 说明例如棱锥形底立方体顶的倒截顶截面（图 143K，图 143L），单倒截顶棱锥形底的截面（图 143M，图 143N）或者阱中插柱（图 143O，图 143P）的复杂形状的接触点焊盘，以及在图 143Q 到图 143V 中只以侧视图显示的实例形状，应该理解，类似方法可以用于环形的或由“多级”棱锥的堆叠构成的或其它三维形状的接触点焊盘，或者用于上述两或三导体变形或者各种形状和实心几何截面的任何其他简单或复杂组合。

[0404] 其他替代诸如图 143V 所示可以在接触点的底部使用“侧翼”，该形式通过简单地提供附加的横向接触点面积增加表面积。

[0405] 此外，使用不对称或拉长的接触点（即，诸如图 143X 所示的在不同方向上的宽度不同从而吸收特定方向上的应力）是理想的形式。两者选一或者另外添加，可以共同使用诸如图 143Y 所示的这样的不对称或拉长的接触点的组合，以使其在零应力点周围对称，但因此而允许在任何多个方向上有方向性变化。因此，在一些方面中，图 143Y 的配置是图 143T 接触点的更精致的版本。

[0406] 此外，接触点成型图形可以包括诸如图 143J，图 143L，图 143N，图 143Q，图 143R，图 143S 和图 143U 所示的底切，底切将给予接触点附加的强度，因为其提供用于韧性材料“抓取”的区域。类似地，插柱可以图形化而具有更宽的面对表面积或总表面积以保证即使对非完美连接也有足够的接触点面积。此外，诸如图 143T 所示，给定的接触点自身可以由各个单个的部分电独立的多个接触点组成。或者，一些或者所有部分可以互相电连接。该变形提供用于更好的剪切强度的更大的表面积以及冗余效应，以致如果一个或多个副接触点误对准仍可以进行总体连接并具有加载所需电流的足够的接触点面积。

[0407] 还应注意，接触点焊盘的具体形状，或者所用成型图形的形状或配置本质上是不相关的，重要的方面是使用一些增加有效接触点表面积同时提供对于具体应用的键合适当的形状的成型图形而不是所用的特定接触点或成型图形的形状，所使用的成型图形需满足

这样的工程要求，即对于接触点的总电流要求可以通过最小可接受数量的接触点实现，并且所用的具体成型图形使表面积增加对相对于如果不使用该成型图形则将导致不良连接的可能性可能实现所要求的目标充分的数量。此外，虽然上文结合刚性 / 母接触点进行讨论，但也可以使用类似成型的韧性 / 子接触点。然而，在该实例中，接触点的配置将最典型地涉及母晶片上的刚性阱配置。

[0408] 图 144 是所成型的韧性接触点的替代实例的照片，该接触点的形状像顶部稍许成盘形或下凹的圆角金字塔基。

[0409] 图 145 是为穿透图 144 的韧性接触点设计成型的刚性接触点的照片。

[0410] 上文参照显示与图 47 相似的一对芯片 14600，14602 的一部分的图 146A 和 146B 简略地进行说明。然而，与图 47 的芯片不同，一个芯片 14602 具有经成型的刚性接触点 14604，与图 47 的未成型的刚性接触点相反。另一芯片 14600 具有与图 47 所示的韧性接触点类似的韧性接触点 14606。当两个接触点 14604，14606 叠到一起时，如图 146B 所示，将形成插柱和穿透配合。然而，与图 47 的接触点不同，这里的经成型的接触点 14604 的各个小插柱分别穿进韧性接触点 14606，从而使用相同数量的压力对于扩散连接提供比对于连接到韧性接触点 14606 的同样“占地面积”的非成型接触点可能得到的更大数量的表面对表面的接触点面积。此外，一些成型接触点的实施例提供在最小化与不完全连接相关的风险方面的进一步的优势。该独立的方面也显示在图 146B 中，从而即使不考虑两个接触点 14604，14606 之间的连接不理想（即，刚性接触点 14604 的谷 14610 附近存在间隙 14608），由刚性接触点 14604 上的成型一侧 14610 提供的附加接触点面积也表示该连接将是合格的。

[0411] 出于解释的目的用另一种方式说明，假设如果刚性接触点 14606 没有成型，则接触点面积将等于满足接触点的总电流要求可能的最小接触点面积。在该情形中，如果接触点的任何部分没有导致良好的连接，则该连接将可能不合格并可能在使用中导致早期失效或者完全不能用。与此相反，在该实例中，图 146 的刚性接触点被成型。如图 146A 和 146B 所示，假设所述成型增加接触点表面积至少两倍（可以容易实现的成型图形），如果只有一半总表面积形成良好连接，则该连接也还是能满足最小总电流要求。因此，如图 146B 的放大形式所示，虽然存在没有形成接触点的区域，但这些区域远小于形成良好连接所需的必须接触点面积的四分之一，所以该接触点对于使用仍合格。

[0412] 或者，成型接触点的形成可以通过连同一个或多个较大的韧性接触点使用多个小的刚性接触点以形成单个的全面连接。举例来说，可以使一个电连接由三组接触点对组成，其中每个单独的接触点对由多个刚性接触点和单个（或多个）韧性接触点组成。

[0413] 成型概念的另一变形涉及“阱”的形成，取决于特定实施例，阱的设计有助于或改进对准，限制韧性材料，或有助于形成良好的连接。如结合下列附图所示和所述，这些阱附贴变形向特定实施例提供进一步的好处和优势。

[0414] 图 147 到 152 说明用于实施对于母晶片 14702 和子晶片 14704 接触点对的阱附贴概念的一个变形工艺（图 147）。在该变形中，子晶片的覆盖玻璃开口用作模板，并使用例如聚酰亚胺，SU8，其他环氧树脂，玻璃和 / 或电介质制成永久的阱 14802（图 148a）。在母晶片 14702 上使用类似方法，但是阱 14804 不包括由覆盖玻璃界定的所有区域（图 148b）。韧性材料 14902 和（可选的）韧性覆盖材料 14904 然后被插入到子晶片 14704 的阱 14802 中，注意不要填充阱 14802 的整个深度（图 149a）。类似地，刚性材料 14908 从母晶片 14702 的

焊盘表面建立（图 149b）。然后去除母晶片 14702 上的阱 14804（图 150），但子晶片上的阱 14802 保持在原位。

[0415] 结果，在穿透过程以及在连接工艺的粘结（图 151）和融化（图 152）相期间，子晶片的阱 14802 将限制键合材料（例如，覆盖 14904 和韧性材料 14902）。阱还能建立深度限制，因为阱的高度使其在任何其他物体之前先碰到其他晶片或其上的某些表面。

[0416] 有利的是，通过该方法，阱能允许覆盖或覆盖层材料和 / 或韧性材料自身成为能使其进入半液相点或者甚至实际熔点，至少能到达足够柔软使其正常扩散的状态点的材料。这对于接触点的位置靠近在一起，并且通常发生在熔化期间的挠曲将引起材料为减少表面积而横向膨胀的情况很有效。对于无阱接触点的边缘之间的间距小于或等于韧性材料高度约 3 倍的接触点，这样的用途的预集成设计可以是理想的方法（例如，如果韧性材料是 8 微米高，而接触点边缘之间的间距小于或等于约 25 微米，则应该考虑该方法）。

[0417] 此外，如果使其太靠近其熔点，则一些材料会“湿润”晶片表面而不是仅仅展开，材料会沿表面攀爬。在韧性接触点的情形中，如果没有考虑到，这样的情况可能使相邻接触点之间发生电短路。有利的是，通过将这些材料保持在阱中，任何湿润攀爬将被表面张力抵消并且材料将被保持在阱中；防止其短路相邻的接触点。

[0418] 举例来说，如果要进行的连接后工艺可能使组合接触点熔化，则阱在一些实施例中还可能很关键。举例来说，如果接触点在用于形成刚性 - 韧性接触点的合适温度下形成，并且然后组合芯片需要焊接到封装中但焊接步骤所需的温度高于完成融化相时存在的接触点的熔点，则在工艺过程中接触点将完好无损，因为熔化的材料被阱包围，并在冷却时再附着。

[0419] 此外，阱的方法很适合于形成多重密集组合连接，因为阱的图形化使用半导体光刻技术而非常规的掩模印制或焊接技术。在替代的变形中，可以使用上述阱工艺的“相反”型工艺。在该变形中，所进行的工艺不用韧性材料填充阱。这些变形分别落入图 153 到图 156 所示的四个类型之一。

[0420] 类型 I（图 153）：通过该类型的阱连接，子晶片 15302 包含韧性材料 15303 而母晶片 15304 具有刚性阱 15305（半导体晶片中刻蚀时显示）。阱 15305 的壁简单地用例如 Au 的扩散层金属 15306 涂覆。为了连接两个晶片 15302，15304，子晶片 15302 上的韧性材料 15304 插入并配合到阱 15305 中以使其变形。通过在粘结相期间加温和加压使韧性材料 15303 和扩散层 15306 形成粘结连接。在融化相期间，子晶片 15302 的韧性材料 15303 和母晶片 15304 的扩散层 15306 互相扩散以形成金属键合。取决于具体的实施例，韧性材料可以稍大于阱或者至少包含更多体积的材料从而在粘结相期间造成两个晶片之间的强配合，并保证融化相完成之后没有空洞。注意该分类违背母 / 子惯例。

[0421] 类型 II（图 154）：该类型与类型 I 相似，但是阱或韧性“插柱”15403 形成使两者之间的对准自动或更容易的形状。注意该分类也违背母 / 子惯例。

[0422] 类型 III（图 155）：通过该类型，插柱 15406 是“刚性”材料而阱 15405 被涂覆规定厚度的韧性材料 15403。该类型像上述基本的成型韧性接触点方法，但比起覆盖玻璃和 IC 焊盘之间的高度差所自然形成的单纯缺口，韧性材料 15403 具有更显著下陷的剖面图形。再次，要求插柱 15406 和阱 15405 的尺寸经过选择，以使集成（即，完成粘结和融化工艺）之后没有空洞。

[0423] 类型 IV(图 156):通过该类型,阱 15605 被涂覆扩散层(类似于类型 I 和 II),并且插柱 15603 由刚性材料制成,但其外侧也涂覆韧性材料层。这样就使情况类似于类型 I 和 II,但如果刚性材料的材料成本小于韧性材料,例如刚性材料主要包含铜而韧性材料主要包含金,则子晶片的成本能够降低。

[0424] 有利的是,通过上述方法,阱可以使用例如电介质建立或者可以下陷(即,通过刻蚀到半导体中制成)。此外,阱可以是通道形成工艺的副产物。例如阱甚至可以是一部分没有完全填充的通道。图 157A 和 157B 分别是一组 15 微米直径延伸 135 微米深的通道 15702 和 25 微米直径延伸 155 微米深的通道 15704 的纵向剖面照片。图 158 是类似形成但没有一路填充到底部的通道 15802 的照片。结果,通过减薄晶片背面直到暴露通道底部将形成自然的阱。这样留下的阱可以用于类型 I 的阱。或者,可以在每个阱的嘴部刻蚀出喇叭口或锥角以获得类型 II 的阱。

[0425] 图 159 到 167 说明类型 II 的刚性阱附贴方法的另一变形。该刚性孔洞阱的版本再次从完全形成的晶片开始,具体地从其一个通过覆盖玻璃 15904 暴露的焊盘 15902 开始(图 159)。可选地,首先,在 IC 焊盘 15902 上淀积阻挡层 16002(图 160)。然后光刻胶图形暴露 IC 焊盘 15902 周围还包括一些覆盖玻璃 15904 的区域 16102(图 161)。通过将金属 16202 蒸发到由 IC 上的覆盖玻璃形成的凹陷中阱被自动形成(图 162)。这样使该图形化比用一些其他刚性阱孔洞工艺更容易。光刻胶 16204 的剥离也去除多余的不需要的金属,其后留下完全成型的刚性阱 16302(图 163)。

[0426] 如同其他类型 II 的变形,该变形违背母 / 子惯例,因为承载图 163 的晶片的对应结构的晶片 16402 没有前述意义上的刚性“插柱”,取而代之带有在相关部分涂覆韧性材料的覆盖层 16406 的支座 16404(图 164)。通过良好的配合和充分的表面积,本身为刚性形式的孔洞允许支座上韧性部分的穿进(图 164)。如图 165 所示,通过加热,韧性覆盖层湿润并附贴到插柱上。如图 166 所示,在粘结相期间,韧性覆盖层 16406 变成液相或者半液相并将填充图 165 的空洞 16502。要求这样做是因为由于热循环中的膨胀和收缩困在空洞中的空气可能使接触点潜在地不可靠。然后,当韧性覆盖层在粘结相期间或者在融化相开始时填充空洞时,融化相允许韧性覆盖层扩散,刚性覆盖层和韧性材料形成最终融化连接 16702(图 167)。

[0427] 使用图 143-20,图 143-2P 或图 146 的成型接触点可以形成其他替代的阱附贴变形。在该变形中,通过图形化刚性材料形成阱,因此该阱形成壁,在壁上如果存在则任何液相材料都能被阻止通过。因此,该方法允许用和不用刚性 - 韧性的范式使用各种工艺并允许很密集的连接,因为如果设计合理,则阱将包含任何液相材料或防止韧性材料的横向膨胀幅度太大,在任何情形中都允许高接触点密度下的高生产率。

[0428] 图 168 到图 170 说明阱附贴方法的另一变形,其中芯片通过分离的远程接触点互相附贴。该方法有利地可应用到至少以下三种情形中:

[0429] 1) 不希望在韧性材料上放置覆盖材料,因为覆盖材料可能对材料键合的方式产生负面影响;

[0430] 2) 希望在很低温度(或者,在一些情形中甚至是室温)下进行附贴以提高工艺速度,举例来说,如果晶片分别具有很平整的表面,则范德瓦尔斯力 (van der Waals force) 将能附贴芯片或者悬摆原子键可以形成允许由诸如氧化物,氮化物或其它电介质的绝缘体

进行连接的共价键（这样能避免或减少各个部分升温的等待时间，并潜在地减少主要设备的成本，因为具有温度性能的机器不再必要）；以及

[0431] 3）理想的是可以使附贴材料回流（转回液相），从而对于后续的融化过程自对准芯片而不使主要接触点完全转回液相，因为如上所述，这样将引起流动或攀爬并从而限制实际接触点的潜在密度（这样还允许使用更便宜的设备进行附贴，因为设备不必具有主要接触点的高节距必定需要的对准精度，而远程附贴接触点可以间接提供该精度水平。

[0432] 通过实例的方式，远程接触点 16802，16804 可以由例如铟的材料制成，铟在室温下很软，并因此能仅用将部件挤压到一起的压力进行附贴。或者，可以使用一些其他能不需要高温提供粘附性的低温材料，具体的材料并不非常重要，只要不对整体产生负面影响（即引入短路等）即可。举例来说，可以使用低温焊料（低于 250℃）。如果进入液相状态，表面张力可以将两个芯片对齐到一起，以使可以用例如常规的拾取定位机的更便宜的具有较低对准精度的设备进行附贴工艺。此外，远程接触点可以配置为如果非常平整则简单的共价键就能将芯片对准并保持到一起。

[0433] 在该工艺中，如图 168 到 170 所示，在初始的附贴相（预粘结相）期间使用分离的接触点连接器件。图 171A 和 171B 说明与图 168 到 170 相似的替代的远程接触点变形的顶视图。这些分离的接触点可以完全远离电接触点，例如在单个芯片的外围或其周围（图 171A），或者可以与实际电接触 16806 点穿插设置（图 168，图 171B）。此外，有利的是，本文所述的远程接触点与主要接触点的所有变形兼容，并且其高度和宽度远大于主要的电接触点，因为其节距不必紧密。最好，远程接触点应该足够高以使主要接触点在附贴工艺期间不必发生接触（图 169）。应该注意，该附贴或粘附工艺不必具有高强度。主要接触点的后续的融化过程能为所连接的芯片提供强度。图 170 显示融化过程之后的图 169 的晶片，其结果是主要接触点以高强度键合永久组合在一起。

[0434] 总体而言，和粘结相一样，融化相将在比该变形的附贴或粘附相所要求的更高的温度和 / 或压强下进行。

[0435] 再次，和在粘结和融化相期间可转回液相或半液相的材料一样，附贴接触点的压缩可能使其横向扩散和 / 或加热材料可能使其转回液相并使其散开，如果扩散到主要接触点则潜在地引起电短路。因此，一个有利的的选择是将本文所述的形成基于阱的电接触点的原理应用到远程接触点。通过该方式，可以在粘结或融化工艺中施加压力或升温期间允许这些远程接触点成为液相或者横向扩散而不污染或短路主要接触点。

[0436] 有利的是，远程接触点也可以配置为能够在键合实际接触点之前进行两个芯片的测试而与粘结和融化相中的连接无关，或者测试在该连接之前进行。如果所设计的芯片为了测试特定的单个芯片的组合是否正常工作的目的使远程接触点的位置也是允许发生芯片之间的连通的特殊焊盘的位置，则如果任何一个或者两个芯片都没有正常工作（即，无功能，或者有功能但在规范之外），就可以去除该芯片并附贴新的芯片。

[0437] 此外，通过合理设计，该预粘结，伪混合测试方法可以很有价值，因为无论连接将发生在晶片 - 晶片，芯片 - 晶片还是芯片 - 芯片的基础上该方法都可以结合在设计中。因此，对特定应用（即，晶片 - 晶片，芯片 - 晶片或者芯片 - 芯片）选择将要使用的连接类型可以部分成为测试能力的影响因素。举例来说，如果可以基于晶片进行测试，则可以基于晶片平行混合两个晶片上的所有芯片，并在分割或切割时将无功能的芯片打上标记进行返

工。或者，该方法可以在这样的情形中使用，即单个芯片来自一个或多个工厂，并且没有好方法在混合之前知道任何给定的芯片是否为已知的好芯片。

[0438] 在再一个替代的版本中，远程材料可以与主要接触点的材料相同（例如，刚性和韧性），只要远程接触点高于主要接触点以使其在初始附贴相中不允许主要接触点相碰即可。然后在融化过程期间，远程接触点比主要接触点更进一步受到压缩。有利的是，通过在远程和主要接触点上使用相同的材料能简化工艺处理。

[0439] 通过上述讨论，可以得到派生的变形，该派生的变形组合来自多轴穿透通道，阱附贴，成型接触点和远程附贴变形的概念并建立在该概念的基础上。

[0440] 第一组变形涉及复杂的接触点形状（即，常规的单方形或单圆点之外的其他接触点形状）。一个这样的实例涉及形成屏蔽接触点，在最简单的情形中，类似于正方形（图 172A）或圆形 17204（图 172B）截面的同轴或三轴穿透芯片连接，在更复杂情形中，形状为非规则的开口或封闭（图 172C）的几何图形 17206。

[0441] 在同轴或三轴接触点的情形中，内接触点将连接为携带信号，而外封闭圈将充当或者连接到接地面。当用于同轴通道 17302 时（图 173），保证接触点一路与另一芯片屏蔽。此外，或者两者取一，可以独立于通道自身使用同轴接触点 17402 以保证每个接触点自身得到屏蔽。这样就允许芯片之间的接触点被隔开但比不用同轴方法所能获得的间距更紧密。此外，每个接触点的外接触点圈可以连接到一起和 / 或连接到晶片上电隔离的金属以形成接地面，和 / 或芯片间的屏蔽 17502（图 175）。

[0442] 将接触点的外圈用作接地允许在芯片间进行屏蔽，因为信号传播的唯一区域穿过屏蔽层中很小的开口。对三轴连接也是一样，其中外接地面内可以存在不同的信号对。因此，这样的接触点尤其良好地适合于携带高速或 RF 信号的芯片。

[0443] 第二组变形以使用在两个芯片之间（或者在芯片与封装或电路板之间）进行气密密封以保护例如 I/O 焊盘的连接焊盘或其它可能存在于两个外部器件之间的器件（例如，光学器件）的接触点方法为中心。在该情形中，连接焊盘和 / 或光学器件预先存在或使其同时存在并且将夹在两个元件（例如，两个芯片，或一个芯片与封装或电路板）之间。在将要保护的区域之外的两个元件上形成环，并且该环被配置成使用韧性 / 刚性或者阱附贴工艺进行连接，以致当两个元件混合到一起时在其内的所有物体周围形成气密的金属密封。然后该气密封装可以承受多数任意环境，因为金属的非多孔特性使其不受多数环境条件的影响。

[0444] 我们方法的一些变形的关键优势在于，因为其使用韧性和刚性连接（与诸如成为液相的金属焊料的其他连接方法相对照），该连接可以呈现多种几何封闭形状的任何一种形状。这与液相材料截然相反，该材料往往会流动并通过表面张力再形成为可能的最小表面积（例如，立方体变成球体，棱角变圆等），并且虽然可以使用各种技术通过例如毛细作用使液相材料沿芯片的预定表面产生灯芯现象，但是当涉及复杂形状时仍没有方法可靠地保证材料适当分布在接触点周围以避免形成空洞或防止一些材料流出其指定区域并潜在地短路接触点。与此相反，通过我们的方法的变形，简单或复杂的形状都完全没有关系，因为该方法与形状无关因此对任何形状都相同，唯一的限制被约束在通过光刻限定形状和淀积合适金属的能力上。

[0445] 图 176 到图 179 说明前述的两个简单实例。具体而言，图 176 说明具有区域 17602

的相应的芯片表面，该区域中被夹在中间的器件（未显示）被用配对的刚性 17604 和韧性 17606 接触点进一步配置，该配对的刚性 17604 和韧性 17606 接触点环绕在器件区域 17602 的外围，并且当连接时如本文所述在该外围周围形成气密密封。图 177 说明取自连接后的图 176 中的同一个芯片的 A-A 线的侧剖面图。图 178 说明更复杂的配置，其中刚性 17802 和韧性 17804 接触点具有更复杂的形状，并且实际上在器件区域 17806，17808，17810 周围形成三个不同的气密密封腔。图 179 说明取自连接后的图 178 中的同一个芯片的 A-A 线的侧剖面图。

[0446] 在该点上，可以使用图 180 以及图 181A 和 181B 的表以表格的形式总结刚性 / 韧性接触点变形以及通道形成变形。

[0447] 图 180 是总结使用刚性 / 韧性接触点范式形成其他变形的不同方法的表格。该表格以栏的形式向下阅读，各个文字框表示工艺中的步骤，各个空框（或其部分）表示没有必须的操作。

[0448] 与此类似，图 181A，181B 和 182 是总结包括本文所述的形成通道变形的不同方法的表格。这些图表也以栏的形式向下阅读，各个文字框表示工艺中的步骤，各个空框（或其部分）表示没有必须的操作。图 181A 的底部在图 181B 的顶部继续。

[0449] 上述诸多实例已经参照在子晶片上淀积金属或镀覆子晶片的替代说明了本方法。为了帮助理解，图 183 到 192 将更详细地说明涉及在子晶片上淀积金属的特定实例的工艺流程。然后，图 196 到 205 关于相同的初始晶片说明镀覆子晶片的工艺流程。

[0450] 工艺从图 183 的各个子晶片和母晶片开始。使用例如 Hoechst AZ4903 或 Shipley STR1075 的 10 微米的光刻版在子晶片上进行光刻图形化（图 184）。然后在子晶片上淀积 200 埃的 Ti，3000 埃的 Pd 和 400 埃的 Au 作为阻挡层和再布线层，并在母晶片上淀积 1000 埃的 TiW 作为阻挡层和 3000 埃的铜作为籽晶层（图 185）。接着，向母晶片涂覆厚电介质 (7 微米厚）或光刻胶，假设 IC 焊盘宽 14 微米，在焊盘上留下 10 微米的开口（图 186）。接着，通过在子接触点上淀积 Au/Sn 层金属化子晶片，淀积高度在 IC 覆盖玻璃之上大约 6 到 8 微米（通常多比少好），然后依次以 400 埃的 Au 结束（图 187）。母晶片被金属化到 IC 覆盖玻璃之上 4.4 到 5 微米的高度（图 187）。然后从两个晶片剥离光刻胶（图 188）。接着，在母晶片上进行光刻图形化以形成 15 到 16 微米宽的开口用以准备阻挡层淀积（图 189）。或者，可以进行自对准籽晶刻蚀，刻蚀宽度为保证底切不影响隆起所必须的宽度。然后，淀积由顶部覆盖 3000 埃 Au 的 2 微米 Ni 组成的阻挡层（图 190）。然后，剥离光刻胶（图 191）。最后，刻蚀掉不需要的籽晶层（图 192）。该工艺步骤可以使用喷射刻蚀机作为自对准刻蚀进行因此不需要光刻，因为 Ni/Au 允许通过 Cu/Ti/W 刻蚀。如果不能进行自对准刻蚀，例如因为没有喷射刻蚀机，则可能需要另外的光刻图形化步骤（图 193，194，195）以保护将不被刻蚀的那些区域。然而，因为使用某些刻蚀方法，因此存在显著底切的可能，所以光刻应当保证保护性光刻胶足够宽以防止不需要的底切（图 193）。例如，我们对 50 微米节距的接触点进行这样的刻蚀，作为防范，保护区域是 IC 焊盘宽度的大约两倍，在该情形中为对于 14 微米焊盘的 27 微米。然而，使用喷射刻蚀机进行自对准刻蚀底切可以小于约 1 微米，因此用该方法可以保护小得多的区域。其后，可以进行连接两者所要求的切割，对准，粘结和融化过程。

[0451] 作为对照，镀覆情形的工艺流程在图 196 到图 205 中显示如下。再次，工艺从图

183 的晶片开始。首先，子晶片和母晶片各自具有 Ti0.1/W0.9 的阻挡层和 3000 埃的铜的再布线（子晶片）和籽晶（母晶片）层（图 196）。接着，如图 197 所示，在子晶片上进行光刻图形化以限制将要涂覆的阻挡层的区域，并向母晶片涂覆厚电介质（7 微米厚）或光刻胶，假定 IC 焊盘宽 14 微米，在焊盘上留下 10 微米的开口，如图 186 所示。然后子晶片被加上阻挡层（图 198），并在从子晶片剥离光刻胶时除去不想要的阻挡层金属（图 199）。接着，使用例如 Hoechst AZ4903 或 Shipley STR1075 的 10 微米光刻版在子晶片上进行光刻（图 200）。接着通过镀覆金属化子晶片和母晶片（图 201），母晶片上的镀覆高度在 IC 覆盖玻璃之上 4.4 到 5 微米，子晶片上的镀覆高度在 6 到 8 微米（如图 187）。此外，举例来说，取决于镀覆的复杂性，可以涂覆 400 埃的 Au 作为覆盖层。然后，剥离光刻胶（图 202）。接着，在母晶片上进行光刻图形化以准备附加阻挡层（图 203）。接着，在母晶片上淀积阻挡层（图 204）。再次，从母晶片剥离光刻胶（图 205）。然后，使用如图 192 的自对准刻蚀刻蚀掉多余的籽晶层。与上述淀积实例一样，如果没有喷射刻蚀机则需要附加的光刻掩模，刻蚀和剥离步骤，确保保护区域足够大以容许刻蚀底切。

[0452] 在这点上，可以进行将两者连接到一起需要的切割，对准，粘结和融化过程。

[0453] 基于上述说明，应该注意各个方法的优势和劣势，有助于对特定应用选择所使用的工艺类型。

[0454] 用于子晶片的淀积方法具有以下优势：没有籽晶层，没有作为一个掩模工艺的电镀，以及自动具有 Au/Sn 的组分精度。然而，该方法具有以下劣势：从步骤到步骤的厚度控制困难，如果淀积的定向性不好则可能出现金属“侧翼”，以及可能需要 Au 回收程序。

[0455] 用于子晶片的镀覆方法具有以下优势：成本更低并且不需要回收，因为可以使用常规的当前可获得的镀覆设备而能够得到主要设备商的支持。然而其具有所要求的组分精度是 +1.5％ /-2.5％并且潜在地需要附加的掩模步骤的缺点。

[0456] 对于母晶片，主要有三个工艺变形：

[0457] 1) 化学镀（在图 206a（芯片），206b（镀覆 6-8 微米的 Ni），206c（用 3000 埃的 Au 作为覆盖层）中进行说明）；

[0458] 2) 薄保护层铜电镀工艺（在图 207a（第一掩模），207b(4.5 微米的铜），207c（覆盖 3000 埃 Au 的覆盖层的 2 微米 Ni），207d（第二掩模），207e（刻蚀掉多余籽晶）中进行说明）；和

[0459] 3) 厚保护层铜电镀工艺（在图 208a（第一掩模），208b（电镀铜），208c（第二掩模，阻挡层和覆盖层），208d（第三掩模），208e（刻蚀掉多余籽晶）中进行说明）。

[0460] 各自附带的优势和劣势如下。化学镀方法的优势包括：没有分离的阻挡层淀积；没有籽晶层淀积；不需要籽晶刻蚀；和无掩模工艺。然而，镍的化学镀在可能影响生产率因此可能不适用于大量晶片生产的厚度或结节形成方面更难控制。薄电介质工艺的优势包括：使用更薄的 Ni 所以工艺更可控；铜在 IC 覆盖玻璃上引入更小的应力；使用铜更主流；以及电镀铜更可控。然而，Ni/Au 到蘑菇形侧壁上的穿透可能不一致，潜在地使一些铜暴露；蘑菇形对于粘结工艺并非最佳，并需要附加的工艺步骤（即，籽晶淀积，籽晶刻蚀等）。

[0461] 厚电介质淀积工艺的优势包括：更好的接触点或“隆起”形状，铜完全被阻挡层 / 覆盖层覆盖，更易控制均匀性和形状，更低的 Ni 结节形成，使其典型地成为在大量生产中具有最高生产率的工艺。然而，如果自对准籽晶刻蚀无效，则该方法潜在地需要额外的掩模

步骤，所以该方法可能需要喷射刻蚀机。

[0462] 继续讨论淀积和镀覆的变形，提供一些母接触点和子接触点的一些进一步的具体细节以提供对所述工艺的更深理解。

[0463] 图 209 说明在阻挡层淀积之前的具有 14 微米宽并分隔成 50 微米节距的接触点焊盘的母晶片接触点的实例和一些典型尺寸；

[0464] 图 210 说明阻挡层和覆盖层淀积之后的图 209 的接触点；

[0465] 图 211 说明具有 8 微米宽的分隔成 25 微米节距的接触点焊盘的母晶片接触点的典型尺寸；

[0466] 图 212 说明通过淀积形成的具有 14 微米宽并分隔成 50 微米节距的接触点焊盘的子晶片接触点的实例和一些典型尺寸；

[0467] 图 213 说明通过淀积形成的具有 8 微米宽并分隔成 25 微米节距的接触点焊盘的子晶片接触点的实例和一些典型尺寸；

[0468] 图 214 说明在进行自对准籽晶刻蚀之前的具有 14 微米宽并分隔成 50 微米节距的的接触点焊盘的镀覆型母晶片接触点的实例和一些典型尺寸；

[0469] 图 215 说明进行自对准籽晶刻蚀之后的图 214 的接触点。

[0470] 应当注意，结合图 212 到 215 呈现的 Au/Sn 的范围是更典型范围的代表。实际上，如果进行合适的温度调整（即，Au 含量越高温度越高，Sn 含量越低温度越低）则从约 $Au_{0.7}Sn_{0.3}$ 到 $Au_{0.9}Sn_{0.1}$ 的范围甚至更大的范围都可以使用。

[0471] 说明了多个穿透芯片的连接变形和涉及诸多芯片间连接的电气方面的应用之后将可以呈现具有涉及未填充内沟槽或空洞的实施例的优势的其他替代的可选变形，或者不确切地涉及芯片到芯片的信号传输的变形。

[0472] 具体而言，如果最内空洞保留不填充则可以形成替代的有利堆叠的变形。通过从环绕部分密封空洞但使空洞互相打开，这些空洞可以用于例如帮助冷却堆叠的芯片。

[0473] 通过该变形，一系列具有这样的通道的晶片在堆叠时使用的方式在这些晶片互相附贴到一起时使通道外围的材料保护结果的半导体晶片内的通道侧壁并形成连续邻接的气密和水密管道。堆叠的晶片片排列成使该管道穿过一些或所有堆叠层延伸。穿透芯片堆叠的管道的一端由具有冷凝区域的结构覆盖，并例如被进一步连接到嵌入在散热器中的管道。当填充合适的流体（以及如果必要则填充芯绳）时，各个管道可以充当热管，更有效地从 IC 堆叠中排除热量。可选地，被电隔离的金属可以连接到实际状态下未使用的芯片上的堆叠芯片中及之间的所述热管（像叶片或板）并由此向外延伸，从而进一步增加热传输能力。此外，这样的叶片或板可以由阻挡层或籽晶层形成，潜在地允许阻挡层或籽晶层担任多个角色，例如，充当屏蔽或接地面以及同时充当允许其担任多个角色的叶片。

[0474] 举例来说，如图 216 所示，该目标通过将内通道用作热管装置的一部分而完成。图 216 以简化形式说明芯片堆叠的一部分 21600，该芯片堆叠由一定数量的相同或不相同的单个被堆叠芯片 21602-1 到 21602-n+1 组成。在该实例中，各个内金属化 2402 连接到其上或者其下的金属化（通过使用诸如插柱和穿透连接的本文所述的工艺，或诸如晶片融化或共价键的一些其他方法）以将内层空洞彼此气密密封，从而在芯片内形成管道 21604。合适的流体 21606（以及如果必要则是芯绳 21608）以合适的压力包含在管道内以形成热管，该热管有助于将热量从其穿过的单个芯片 21602-1 到 21602-n+1 传输到例如散热器 21610 或

其它冷却装置。

[0475] 取决于特定的实施例，管道的一端可以与芯片内的掺杂半导体材料或衬底 21612 密封（即，管道不一路穿透），或者与不包含管道自身的一部分而只是充当阻挡或塞子的另一芯片的表面材料密封。此外，可以形成多个管道，各自具有不同的工作流体或者对各自的工作流体（无论是否相同）的不同的压力，以使其具有不同的汽化和凝结温度。通过该方法，可以获得更大的热管工作范围。此外，这些热管可以相对于芯片上的温度“热点”集合或分散在芯片周围。

[0476] 在一些变形中，如果存在，芯绳 21608 可以由例如多孔或毛细结构，烧结的粉末，开槽的管道，网格，碳纳米管结构，石墨或其它任何合适的芯绳材料制成。此外，工作流体可以是任何热管流体，只要不会腐蚀，降解或以其他方式负面影响其将要接触的表面（即，掺杂半导体，衬底，绝缘体，导体金属等）。典型的工作流体可以包括水，酒精，丙酮，或者在一些情形中为水银。此外，在一些变形中，可以使用在 1Atm(101.3KPa) 和 68° F(20℃）下为固体的材料，只要其能以合适方式汽化或升华以提供热管所需的对汽化热的必需传输。最后，应当注意，如果具有能插入到内通道中的合适尺寸则可以使用预成型（即预先制造的）的热管。

[0477] 有利的是，因为该方法将热管设置在更靠近热量产生的地方，因此这样的热管可以散布在整个芯片中，该方法能提高任何附加采用的冷却方法的效率。此外，应当理解，上述方法也可以用于在其中不需要电连接的芯片内形成热管。

[0478] 通常，需要将芯片互相电隔离以防止电串扰。此外，当利用本文所述的一种通道工艺方法（或其变形）竖直堆叠器件时，可能会有这样的应用，即需要将两个芯片与和两者都连通并可以介入三者或两者之间的交流的第三芯片连接到一起。从前述说明应当理解，虽然所述说明涉及一个或两个接触点，但是形成晶片间连接的工艺与总接触点的数量和其余芯片的配对的芯片接触点所在的位置（即，在一个或多个芯片上）无关。这样就表示，在一些情形中，单个子芯片可以跨越两个或多个母晶片芯片，或者“子晶片 2”芯片可以跨越两个子芯片或者母芯片和子芯片。因此，该跨越是增加“子晶片”或“子晶片 2”的工艺的直接应用，该工艺都相同，但子芯片将要连接到其上的整组连接并不都在同一芯片上具有配对。然而，在该变形的一定的情形中，两个基本芯片（即，单个芯片将要跨越的芯片）可以具有不同的高度。因此，需要处理这样的高度差。有利的是，本文的通道工艺的进一步的变形允许实现这一点。图 217A 和 217B 说明如何实现这一点的两个实例。图 217A 说明该变形的隔离方面，而图 217B 说明跨越连接方面。在两个情形中可以得到相同的屏蔽利益。在前述方法的结合中可以看到，在步骤 1 中，一个或多个具有通道的芯片被附贴到基础芯片上。在该情形中，通道（或连接到顶部芯片的另一个接触点插柱）被制作成在被附贴芯片上方延伸一定距离。取决于使用哪一种通道工艺变形，可以通过例如镀覆金属或通过去除衬底材料以暴露更多金属实现这一点。在该方法中，通道通常在芯片互相混合之前制成。在图 217B 的芯片的情形中，在步骤 2 中，晶片被涂覆一层不导电材料，诸如聚酰胺，BCB，另一聚合物，含氧或含氮电介质，或其他能淀积到晶片表面上的非导电材料。在图 217A 所示的情形中，该层的厚度由对两个垂直堆叠的芯片互相隔离的需要确定。因为信号强度随距离下降，电容耦合与距离成比例下降，并且 EMI 干涉与距离平方成比例下降，该厚度通常大于信号线的宽度（例如，＞ 5 微米），但在一些变形中可能大得多（例如，25 微米或更大）以获得更

好的隔离。如图 217B 所示，两个附贴的芯片可以具有不同高度。存在高度差的原因与本工艺无关，但可能是因为对它们的刻蚀或减薄不同，被制作在初始厚度不同的衬底上，或者因为打磨或抛光，取决于加工时的注意程度，打磨或抛光可能引起大到 100 微米或更多的高度差。在任何情形中，涂覆材料的添加为使其至少与附贴到基本芯片的最厚芯片的顶部一样高。如果不需要再布线层（下文结合步骤 4 讨论），则在图 217B 的一些变形中步骤 2 可以是可选步骤。在步骤 3 中，打磨或抛光晶片以暴露各个芯片上的通道或者被厚镀覆或者金属化的连接。在步骤 4（可选）中，为了促进连接的设置，图形化抛光 / 打磨晶片的表面并可以在该表面上淀积电再布线层（如果需要）。这样就通过将信号引导到需要去的将芯片连接到一起的位置允许将两个没有配对焊盘的芯片连接在一起。此外，在图 217B 的情形中，再布线允许下层中的两个芯片比步骤 5 中放置的顶部芯片上的配对连接分隔得更开。在图 217A 和图 217B 的步骤 5 中，使用例如韧性和刚性混合工艺通过一种混合方法变形将另一个芯片附贴到该结构上。然后可以重复步骤 2 到 5 的过程以添加后续的层次（当然，假设步骤 5 中附贴的芯片具有或者可以具有从表面向上延伸合适距离的插柱）。有利的是，步骤 5 中的芯片不必具有通道，除非该芯片必须连接到该结构顶部的附加层上。

[0479] 图 218A 和图 218B 说明用于完成图 217A 或 217B 的任务的替代变形方法。在该替代变形方法中，不采用图 217A 或 217B 的工艺在步骤 3 中减薄芯片，而是在平面化材料中刻蚀孔洞，该平面化材料在该实例中并且通常是聚酰亚胺。然后，使用步骤 4 的再布线层再引导电信号（如果需要）和制作与下层芯片的连接。接着，可以如图 218A 或图 218B 的步骤 5 进行混合。该程序比图 217A 或图 217B 的方法更复杂，因为需要在混合后制作电接触点。然而，如图 218B 的步骤 6 所示，该工艺比图 217B 更有利于使后续芯片同时连接到多个其他层次。用图 217B 的方法做同样的事要更困难，因为图 217B 的步骤 3 的抛光可能将所有插柱抛光到相同的高度，从而难以将上层子芯片向下附贴到最下层的子芯片上。

[0480] 如本文所述，堆叠可以形成为任何多个数量元件的高度。然而，取决于特定的实例，在一些情形中，在决定用粘结，融化，粘结，融化的方法还是粘结，粘结，粘结再总体融化的方法连接之外还需要考虑堆叠的效果和几何尺寸。举例来说，在如上所述的使用穿透通道连接的晶片规模堆叠工艺中，必须决定是否在为与母晶片连接而切割之前预减薄原始子晶片，或者是否应该先连接到母晶片（基于每个芯片或整个晶片）然后再减薄。其差别如下。粘结，融化，减薄，粘结，融化，减薄的方法的优势在于其能消除一些步骤，并且更重要的是，如果晶片在切割和连接之前减薄则该方法能避免可能降低生产率的处理很薄的晶片。其劣势在于需要更多对混合部分的接触劳动量 -- 相对于仅减薄子晶片减薄更昂贵的混合部分（降低生产率）。

[0481] 另一劣势存在于多个子芯片堆叠在母芯片上而且每个堆叠具有不同数量的芯片时。减薄的设置或顺序变得非常重要，因为需要对母晶片上的各层芯片进行分离的减薄步骤。结果，如果没有合理计划，将会出现一些堆叠无法添加其他芯片的情况，因为这些芯片将在相邻堆叠的高度之下，导致难以或无法减薄该芯片。

[0482] 相反，在连接前减薄的优势在于减薄总是可以进行，然而如上所述，其劣势在于增加与涉及薄晶片相关的风险。

[0483] 上文说明了诸多不同的替代的，可选的和互补的变形，下文将参照图 219 到 221 呈现上述应用的实例以说明在特定的应用即微处理器应用中能实现的附加优势。

[0484] 图 219 以简化形式说明常规的微处理器芯片 21900 的代表性实例并标识其各个组成元件，即算法逻辑单元 (ALU)，寄存器 (REG)，缓存器和其他逻辑 (BUFFER&LOGIC)，输入输出 (I/O)，一级高速缓存 (L1)，二级高速缓存 (L2)，存储控制器 (MEM CTL)，存储读写控制器 (R/W CTL)，随机访问存储器 (RAM)，只读存储器 (ROM) 和存储器解码电路 (RAM/ROM DECODE))，这些元件以常规的共面方式布局。如图所示，组成元件占据了可观数量的面积，并且任何给定组件与多数其他组件之间的距离相当大。

[0485] 图 220 以简化形式说明可以怎样通过使用上述方法从相同元件构成替代的微处理器，同时具有更小的占地面积，混合高速和低速技术并基本上减小元件之间的距离。具体而言，图 220A 显示替代微处理器 22000 的实例，该微处理器 22000 由图 219 的元件组成，通过使用本文所述的穿透芯片连接并堆叠芯片而具有经减少的占地面积。通过堆叠，元件形成为芯片单元 22002，22004，22006（侧视图）并分别显示在分解图形式的示意图 22008，22010，22012 中，从而减少由其组成副组件覆盖的总占地面积。此外，如各个侧视图 22008，22010，22012 所示，因为穿透芯片的连接，各个芯片单元 22002，22004，22006 的所有副组件之间的距离基本上被减小。此外，各个芯片单元 22002，22004，22006 内的芯片 - 芯片连接不需要在外围周围，而实际上几乎可以在副组件芯片上的任何位置。

[0486] 图 221 显示图 219 的芯片 21900 与图 220 的芯片 22000 的占地面积的直接比较。显而易见，虽然两者具有相同的尺寸和元件数量，但后者的占地面积基本上小于前者。

[0487] 如果芯片设计时考虑到堆叠的可能性则还可以实现进一步的优势。例如，在图 220 的实例中，可以设计处理单元 22006，11012 的不同的混合和匹配配置，因为各个副组件可以独立设计并且只需要与其他组件共用公共的界面。因此，人们可以设计多个不同速度的不同的 ALU，从而更方便地形成处理芯片单元的共同家族。类似地，可以设计用于处理芯片单元 22006 的不同尺寸的 L2 高速缓存，以允许家族内的价位差异或性能增强。该概念是下文所述的智能的有源封装的特殊情形。

[0488] 正如就在上文的讨论所示，本文所述的工艺和各个方面的其他派生物是有效形成不同于先前所用的种类的“封装”（图 222）的能力。

[0489] 当前，如图 222A 所示形成并封装复杂的集成电路芯片。通过前端工艺，低速功能，高速功能，I/O 和高速（即，核心模拟和数字）功能都形成在芯片上。接着，后端工艺向芯片附加分层的金属化，从而在诸多芯片上器件之间形成连接。最后，当芯片完成时被附贴到诸如引脚栅格阵列，球栅阵列，常规 IC 封装等的独立封装中。该方法具有诸多缺陷，包括因为所有器件都在同一个芯片上所以要求所有器件必须以任何芯片上器件必须的最高速度 / 最高成本的技术实施。结果，高成本的“实际资产”浪费在本来可以用较慢或较便宜的技术容易实施的低速和 / 或低成本器件上。

[0490] 然而，通过使用本文所述的各个方面，可以使用不同类型的封装以有利地帮助优化工艺成本，时间和化解低生产率的风险。举例来说，通过使用本文所述的各个方面，可以形成诸如图 222B 到 222F 所示的各个配置。

[0491] 图 222B 说明使用本文所述的各个方面可以实现的代表性实例配置，我们称之为无布线结构，因为其将布线工艺与芯片形成工艺分离，并允许两者同时进行。在该实例中，使用包含低速功能，I/O 和核心模拟和数字功能的前端工艺形成芯片（芯片 1）。使用后端工艺形成将在芯片 1 上互连器件的金属化层而形成第二芯片（芯片 2）。然后，例如使用本

文所述的方法通过晶片-晶片或共价键方法，晶片融化等将芯片1和芯片2混合到一起。然后该混合单元可以作为常规的芯片进行处理并以常规的方式连接到常规的封装，或者被进一步处理，例如如本文所示混合到另一个晶片，芯片或元件。

[0492] 图222C说明另一替代方法，我们称该方法为“芯片封装”方法，因为芯片互连是封装的一部分。该方法与图222B关于芯片1的方法相似，但是对于该方法，后端工艺在也将充当封装的晶片部分上进行，或者形成布线的后端工艺在一个晶片上进行，在另一个晶片上形成封装，然后如本文所述处理两个晶片，使其能混合到一起以形成该方法的“芯片2”。然后，该方法的芯片1和芯片2可以如本文所述进行处理并混合到一起。可选地或者可替代地，可以整体或部分进行将“芯片1”混合到“芯片2”所需的处理，作为将布线部分混合到封装部分必须的处理的一部分。有利的是，通过该方法和合理的设计计划，“芯片2”的设计可以对多个不同芯片1的设计通用，导致进一步潜在的成本和其他方面的节省。

[0493] 图222D显示另一替代方法，我们称该方法为“有源封装”方法，因为，通过该方法，“芯片2”的形成工艺将低速功能添加到封装“芯片2”上，与该方法中作为主“芯片1”的一部分相对。然后，芯片1和芯片2可以通过适用于特定应用的其他方法混合或连接到一起。这样能够减少低速/低成本器件使用高成本实际资产。这里也是一样，如果低速功能更为通用，则可以实现进一步的优势和节省。

[0494] 图222E说明另一替代方法。该方法与图222D类似，但是将I/O从“芯片1”的技术移到“芯片2”，以形成我们称为“带I/O的有源封装”的方法。结果，通过该方法，“芯片1”将简单地包含核心模拟和核心数字功能。这里也是，芯片可以互相混合或连接以实现各种可操作性。再次，I/O通常是低速和大尺寸的，所以通过该方法能实现基本上的节省。类似地，仔细的设计还能允许该方法的“芯片2”对多个“芯片1”的设计通用，从而再次提供超过图222A的常规方法的优势。

[0495] 图222F说明另一方法，这是所有方法中最复杂的方法。我们称该方法为“芯片上系统”或“系统堆叠”。通过该方法，只有核心数字功能处在适当速度/成本技术的“芯片1”上。“芯片2”被类似地形成，简单地具有适当速度/成本技术的核心模拟功能。还形成“芯片3”，“芯片3”只包括以其自己的合适技术实施的I/O功能。最后，形成基本上对应于图222D的“芯片2”的“芯片4”。有利的是，通过该方法，可以进行有效混合和匹配，因为在很多情形中，芯片1，芯片2，芯片3和芯片4的结构可以只考虑其将要附贴到其上的芯片进行设计。此外，显而易见，该方法允许各个芯片例如成为具有该功能的芯片家族的一员，所有芯片都共用公共的界面。

[0496] 因此，图222B到图222F的所有方法可以形成智能有源封装，设计者可以分解其设计，以使即使不是全部也是多数电路都使用最合适于其功能的技术。在一些情形中，这可以表示创建完全新颖的设计，而在其他情形中表示使用互相组合中的现有芯片，在两个情形中都使用本文所述变形的一个或多个方面。在这点上应当理解，这样的实例中代表的功能并非意在表示这些特定方面必须以所示方式分解，而只是为了阐释概念。举例来说，同样也可以形成包含一些模拟功能和一些数字功能的芯片，另一芯片也可以这样--与用于各个功能组的单个芯片相反--关键点在于将总体设计的各个部分与其合适的技术匹配的能力，以及通过我们的方法，实现与常规方法（图222A）类似的功能结果，或者实现由于先前图222A的常规方法固有的限制无法实现或受到成本限制的结果。

[0497] 结果，可以在一个芯片上设计低性能电路，并可用更高性能的技术设计高性能芯片。此外，该类型的方法的成本效率更高，因为通过将低速电路移“出芯片”而不需要高能信号驱动电路进行驱动而可以节省相当数量的高速技术的实际资产。图 223 中结合本文所述工艺的高级代表性实例显示无数可能性中的一些实例。

[0498] 在这点上，将详细进行对上述各个方面的一些部分的进一步讨论。当前，为了形成电子芯片，晶片需要经过两套工艺 -- 前端处理和后端处理。在前端处理中，形成包括晶体管和电阻的实际器件。在硅芯片的情形中，举例来说，前端处理涉及二氧化硅的生长，图形化以及掺杂注入或扩散以获得理想的电性能，生长或淀积栅电介质，以及生长或淀积绝缘材料以隔离相邻的器件。

[0499] 在后端处理中，前端处理期间形成的各个器件将进行互连以形成所需电路。举例来说，后端处理涉及淀积形成互连的金属迹线层以及淀积绝缘材料和将其刻蚀为理想图形。通常，金属层由铝或铜构成。所述绝缘材料通常是二氧化硅，硅酸盐玻璃或其他低介电常数的材料。通过在绝缘材料中刻蚀通道并在其中淀积钨进行金属层互连。

[0500] 当前，对于 12″ 晶片使用 90nm 工艺，前端和后端处理各自需要约 20 天完成并且是按顺序连续进行。结果，从开始到结束，制造单个晶片可能需要 40 多天的时间。

[0501] 有利的是，使用本文所述的工艺，对于最新的基于亚微米设计规则的芯片制造技术（例如，0.5μm，0.18μm，0.13μm，90nm，65nm，45nm 等），时间能减少到将近一半，因为上述方法能允许前端和后端工艺同时平行地进行以及甚至在不同和无关的工厂中进行。该过程的实现通过以常规方式在一个晶片（前端或“FE 晶片”）上进行前端处理，并且平行地以常规方式在另一晶片（后端或“BE 晶片”）上进行后端处理，就像两者是同一个晶片一样。通过该方式，相对于晶体管或其它器件承载部分，布线可以在便宜的工厂进行，并且各自将在约 20 天内完成。然后，通过减薄晶片并使用本文所述的通道工艺的变形之一在 FE 晶片的背面形成连接，可以在其上建立连接点。以相似的方式，可以对 BE 晶片使用本文叙述的工艺形成与 FE 晶片对应的互补的连接点组。然后，如果形成韧性和刚性相应连接（通常 FE 晶片是上述工艺的子晶片（即，承载韧性接触点））则通过使用例如粘结和融化方法，以及通过使用本文所述的远程附贴方法，共价或其它晶片表面键合方法（本身单独使用，结合穿透通道方法，和 / 或结合用于将两者锁定在一起并保持对准的简单填充的通道）或其一些组合 / 替代，两片晶片可以连接到一起。

[0502] 有利的是，通过该方法，金属层不必如由拓扑形状以及敏感度不断增加的晶体管施加的应力限制要求的在厚度或密度上有所限制。此外，通过将工艺分离到两个芯片中，布线可以更大并且能有更多层次，从而对于更快的跨芯片交流潜在地允许更大的芯片中连通性以及更低的寄生电阻。

[0503] 有利的是，因为我们的方法独立于形成特定的 FE 晶片或 BE 晶片所用的特定制造或互连技术或适用于这样的制造的设计规则，因此本文所述的工艺可以用于在纳米水平上将不同的技术组合到一起。换而言之，对于芯片设计规则适合于对特定的材料 (Si 晶片，GaAs 晶片，SiGe 晶片，Ge 晶片，InP 晶片，InAs 晶片，InSb 晶片，GaN 晶片，GaP 晶片，GaSb 晶片，MgO 晶片，CdTe 晶片，CdS 晶片等）保证器件或其互连不以不理想的方式互相重叠或相互作用，或者使用基于各种方法的高分辨率掩模或非掩模为了形成亚微米或亚纳米特征或限定器件之间的间隔，其互连或互连自身的几何形状，本文所述的各种方法都能够独立

于上述各个方面。因此，本文所述的优势允许芯片制造技术从例如 CMOS 和硅的当前技术转变到 SiGe，绝缘体上的硅 (SOI)，基于碳纳米管的互连，生物芯片，分子电子，或设计来提供更好的性能和 / 或减少功率要求的其它方法。

[0504] 图 224 到 231 以简化概述说明该方法。如图 224a 所示，其上形成晶体管和其他器件的前端工艺已经完成的 FE 晶片 22402 具有用光刻胶或其它可去除的保护性材料 22502 保护以提供支持的正面器件 (图 225)。然后根据需要减薄 FE 晶片 (FIG226a)，将其减薄到基于对组合 FE/BE 芯片所要求或理想的高度需要的几微米或更大的厚度 (即，去除一些或所有其下的衬底)。然后使用例如简单地从背面进行的本文所述的背面工艺或正面通道工艺从 FE 晶片的背面形成通道并进入该背面直至合适的器件连接位置点 (图 227a)。可选择地，另外，在每个芯片的外围形成一个或多个穿透通道 22702，该通道在器件一面被稍许扩口并且使用例如阱或反阱方法或者一面的压力配合连接而在背面具有例如韧性接触点。如果例如在两块晶片之间将使用共价连接方法或晶片表面连接方法，则这样的通道可以用于将 FE 和 BE 晶片芯片互相相对于对方横向“锁”在一起。此外，可以添加将要成为热管装置或非电交流装置 (两者将在下文详细说明) 的一部分的通道形式的用于芯片间连接的调整装置。然后使通道导电 (图 228)，在这点上，FE 晶片将准备好连接到 BE 晶片。

[0505] 与此同时，形成 BE 晶片并形成其金属化层 22404(图 224b)。对于其构成，可以不需要任何保护 / 支撑，因为半导体材料能满足该目的。然而，如果其也将要在实质上减薄，则可能必须涂覆可移除的支撑层。然后减薄 BE 晶片的正面 (图 226b)，并且另外，如果必须或要求完全穿透或者只是向下到达特定的内部金属层 (图 227b，图 228b)，则可以形成通道 (图 227b) 并金属化 (图 228b)。此外，根据特定的实施例，与该内部层的接触点可以是实体连接或非实体 (即，电容) 耦合。否则，如果使用插柱和穿透 / 粘结和融化方法则可以形成例如插柱的互补连接，或者形成阱，反阱或其它连接的互补连接。类似地并且可选地，可以向 BE 晶片添加互补锁定通道 22704(图 227b)，或者可以添加将成为热管装置或非电学交流装置的一部分的通道。此外，如果将要使用热管装置，则理想的是可以使用 BE 晶片金属化 (图 228b) 以密封热管的一端，尤其是如果因为可能形成的密封的强度与气密特性而使用韧性 / 刚性和粘结 / 融化方法则更是如此。

[0506] 然后 FE 晶片和 BE 晶片互相相对于对方对准 (图 229)，因此一旦两者叠在一起 (图 230) 并连接 (图 231)，其将形成独立的电子芯片的完全的晶片单元。

[0507] 图 233 到图 235 说明上述方法的进一步的变形。正如图 224 到图 231 的方法，替代的变形开始于分离的由衬底 23404 上的掺杂半导体器件 23202(即，晶体管，激光器，光检测器，电容，二极管等) 组成的 FE 晶片 (图 232A) 和包含金属化的未来器件间连接层的 BE 晶片 (图 232B)。然而，不同于图 224 到图 231 的方法，BE 晶片被翻转，对准并键合到 FE 晶片的顶部，并且这是在减薄衬底之前发生的 (图 233A)。或者，可以如图 233B 所示进行与图 233A 相同的方法，其中在附贴之前先减薄 BE 晶片。

[0508] 图 234 说明另一替代方法。在该实例中，减薄 BE 晶片以暴露图 232B 的原始芯片的最内层，并将该层附贴到 FE 晶片的顶部。

[0509] 图 235 说明进一步的增强或替代变形。作为图 231，图 232B，图 233B 或图 234 的方法的结果，附贴之后，暴露 BE 晶片另一面的金属。结果，又可以将另一芯片附贴到该金属以形成另一类型的芯片堆叠方法。

[0510] 在这点上应该注意，这些方法的进一步的优势在于，如果必须，则可以在 FE 晶片或 BE 晶片（或者可能两者）上进行连接的进一步的再布线。结果，通过对于特定的应用提供合适的连接位置，甚至可以形成更通用的 FE 和 BE 晶片。此外，在这点上，组合的 FE/BE 晶片或 FE/BE(FE 晶片或芯片）堆叠可以像使用完全常规的工艺形成的任何其他晶片一样进行处理，并且因此为了本文所述的主题目标可以相对于其他晶片成为母晶片或子晶片。

[0511] 此外，由于与导致干扰的串扰相关的问题，通过使用芯片 - 芯片的光连接，可以设计在芯片之间使用比有线连接更高得多的速度的通信的芯片单元。举例来说，通过在堆叠中的一个芯片上设置半导体激光器，并在堆叠中其配对的另一芯片上设置光检测器，可以在两者之间建立光连接而非有线连接。如果两者充分靠近，则甚至能最小化光串扰的可能性。图 236 以简化形式说明该方面，图中显示包括两个芯片 23602，23604 的芯片单元 23600 的一部分。一个芯片 23602 在其上具有激光器 23606，另一芯片 23604 在其上具有光检测器 23608，两者排列成由激光器 23606 发射的光信号被光检测器 23608 接收。此外，本文所述的技术即使两个芯片之间穿插一个或多个芯片也能促进芯片之间的光通信。举例来说，如图 237 所示，可以形成热管配置的变形，其中使光从激光器承载芯片 23602 到达光检测器承载芯片 23604，即使两者之间穿插两个其他芯片 23702，23704 也能做到这一点。为了这么做，使用了穿透芯片的方法，但内部空洞既没有用任何电导体填充也没有留下用作热管的开口，而是用例如光环氧树脂或其它载光材料的光传输介质 23706 填充空洞以形成光波导。通过该光波导，金属和 / 或绝缘体的作用为限制光，以使通道类似于光纤进行工作。此外，通过调整通道尺寸和外层金属或绝缘体的组分，该波导可以具有与单模光纤或多模光纤基本相同的性能。此外，对于具有硅“中央岛”的变形，如果中央岛被热氧化而没有去除，则氧化将使中央岛变成二氧化硅并将代替光纤“芯”。然后，通过将激光器设置在波导的一端并将光检测器设置在波导的另一端，就可以通过传输介质 23706 “穿过”穿插的芯片传送激光。

[0512] 详尽的接触点和材料替代

[0513] 正如现在应该理解的，图 238 以简化形式重申了由于粘结和融化工艺的特性而使接触点自身相当复杂的各个方面。结果，重要的是注意可以用于子晶片 23802 和母晶片 23804 的接触点组分的一些替代材料。

[0514] 总体而言，无论什么应用，图 238 的子晶片接触点 23802 都将具有图 239 所示的功能层。类似地，图 238 的母晶片接触点 23804 都将具有图 240 所示的功能层。值得注意的是，对于两个接触点 23802，23804，各个功能层都可以由一个或多个材料层组成，或者单个材料层能充当多个功能层。这一点通过诸如图 241 所示的一些具体子晶片接触点实例和诸如图 242 所示的一些具体母晶片接触点实例进行最佳说明。从这些图中将显而易见，任何特定的层次都可以由离散的材料，合金或超晶格材料组成。

[0515] 回到图 239，在非电变形的情形中，子接触点 23802 可以具有以下构成组分：

[0516] 阻挡层：Ti/W+Pd

[0517] 基座层：无

[0518] 扩散 / 韧性层：金 / 锡 (80/20)（在 1 和 12 微米之间）

[0519] 覆盖层 / 粘合层：金（＞ 500 埃，通常 1500 到 10000 埃）

[0520] 氧化阻挡层：覆盖层 / 粘合层也充当该层。

[0521] 注意，韧性层可以由支座层，扩散层，覆盖层和阻挡层的任何组合构成，这里，韧性层是扩散层和覆盖层的组合。

[0522] 类似地，对于母接触点（参照图 240），母接触点 23804 可以具有以下构成组分：

[0523] 阻挡层：对于 Cu/Al 焊盘为无

[0524] 刚性层：铜（＞ 2 微米）

[0525] 扩散阻挡层：镍 (5000 埃，通常 0.5 到 3 微米）

[0526] 覆盖层 / 扩散层：金（＞ 500 埃，通常 1500 到 10000 埃）

[0527] 相对于上文，下文将进一步说明可用于规定接触点层的非消耗性的替代材料。

[0528] 阻挡层（母或子）/ 扩散阻挡层（母）：该材料可以是例如，Ni，Cr，Ti/Pt，Ti/Pd/Pt，Ti/Pt/Au，Ti/Pd，Ti/Pd/Au，Ti/Pd/Pt/Au，TiW，Ta，TaN，Ti，TaW，W，或者如果 IC 焊盘由与支座层相同的材料制成则该层可以空缺。

[0529] 支座层（子）/ 刚性层（母）：Ni（如果阻挡层是 Ni 则尤其是），Cu（如果焊盘是 Cu 则尤其是），Al，Au，W，Pt，Pd，Co，或 Cr。如果是用溅射而非镀覆，则可以是熔点高于（通常高出＞ 50℃）韧性（扩散）材料的熔点的任何类型的金属。该层还可以由任何阻挡层材料制成。

[0530] 韧性（扩散）材料：低温熔化的金属，例如：锡，铟，铅，铋，铝，锌，镁或其它熔点小于 1000℃的材料，或者将其中两个或多个金属组合到一起的合金，或者将其中一个或多个技术与例如金，银，铜，钛组合到一起的合金，或其它类似材料。组合的实例包括：Au/Sn，Cu/Sn，Cu/Zn，Bi/Ag 等。注意：该选择的重要方面在于所选材料不需要在附贴工艺期间真正熔化，因为这将使工艺太慢，增加成本，并且可能引起蠕变或流动而使接触点短路并因此限制密度的问题。最终提供接触点强度的是韧性 / 刚性组合。通常包含混合 Au，Ag，Bi，Cd，Cu，Fe，In，Pb，Sn，Sb，或 Zn 中的一个或多个金属的混合物的合金是好的选择。主要条件是熔化温度应当小于或等于刚性插柱以及如果存在的支座层的熔点。虽然我们使用 100℃到 500℃之间的熔点差，但是通常韧性材料应当具有比刚性材料的熔点低至少 50℃的熔点。有利的是，韧性材料也可以由多种材料构成，以提供克服接触点的非平面性所需的适当高度。事实上，韧性材料可以建立在刚性材料的支座插柱的顶部。举例来说，在一种情形中，韧性材料可以由 5 微米高的 Au/Sn 构成。或者，在另一情形中，插柱可以由诸如 4 微米高的镍的刚性材料覆盖例如 1 到 1.5 微米的韧性材料薄层的堆叠构成。

[0531] 韧性覆盖材料（覆盖层 / 粘合层）：这些材料可以是在一定温度下变湿润的诸如锡，铟，铅或锌的低温金属（或合金）的材料。注意，该覆盖材料层通常比韧性材料层薄得多。举例来说，正常情况下将薄到 10 到 20 分之一左右。例如，如果韧性（加上任何支座）材料是 5 微米高，则韧性覆盖材料可以是 0.5 微米，并且通常在 0.1 微米到 1 微米的范围内（或者薄到韧性层厚度的约 50 到 5 分之一）。这样的覆盖层的一个良好实例是锡 (Sn)。这样的覆盖材料将具有低熔点并能在粘结温度下转变成液相。然而，由于该层很薄，所以不会引起相邻接触点之间的短路，因为没有足够的液体造成短路。与此同时，向刚性覆盖层的附贴过程将进行得更快，因为粘结相成为液态过程。总体而言，该所选择的覆盖层与韧性材料兼容，因此在融化之后结果的组合将适用于牢固的键合。对于锡的实例，这样的方法通常使用带有 Sn 覆盖层的 Au/Sn 接触点。

[0532] 韧性覆盖材料（氧化阻挡层）/ 刚性覆盖材料（扩散覆盖层）：如果粘合层用于“粘

结”工艺并且是例如锡或锌的容易氧化的材料，则应该用很薄的氧化阻挡层进行覆盖。否则，应该在粘结工艺期间使用反应气体或液体去除氧化，或者必须使用足够高的压力突破氧化，例如如果使用铟作为覆盖层则可能发生这样的现象。该覆盖层甚至可以是环氧树脂。对于多数材料而言，薄到覆盖层本身厚度的 10 分之一即将有效。再次注意，韧性覆盖可以是这样的较高熔点的材料，该材料只在韧性覆盖材料与刚性覆盖材料或者韧性材料接触并开始混合时成为低温合金（或者只成为键合剂）。例如如果两个覆盖层是可混合的环氧树脂的两个部分，或者如果氧化阻挡层是金而韧性材料是金 - 锡，则在附贴工艺期间锡互相混合到氧化层中将使该材料的熔点降低。总体而言，该层次可以是不容易氧化的任何金属 / 材料（例如，Au，Pt 等）。

[0533] 图 243A 到 243C 是使用上述变形在粘结和融化工艺中形成的实际接触点（母和子）的剖面的照片，图中显示不同层次的实例以及这些层次如何反应或不反应。

[0534] 图 243A 是在粘结和融化工艺的粘结相完成之后的一对连接母晶片和子晶片的接触点。如图所示，虽然两者之间存在良好连接，但该连接不是永久的，这一点可以由大面积的未连接材料证明。

[0535] 图 243B 是融化相完成之后的类似的一对接触点。这里，显然存在永久连接，这正是使用阻挡层的价值。注意，在图 143A 和图 243B 中，韧性材料大部分被困在阻挡层之间。

[0536] 图 243C 是也是在融化相之后的类似连接的一对接触点的照片。在该图中，虽然各个组分并不清晰可见，但能看出母晶片和子晶片的 IC 焊盘，并且其提供两者之间的相对尺寸关系的意义。

[0537] 连接相关的加工方法

[0538] 对在芯片，小片和晶片基础上的芯片互连说明了多种不同方法以及可以采用其诸多排列，改变和组合的各个细节之后，可以改变话题说明一定的不同类型的加工方法，该加工方法被设计为有利地用于辅助进行连接工艺。注意，这些加工方法对完成任何排列，改变或组合都不是必不可少的，但是确切地说都已得到开发使工艺容易进行并能用于例如“拾取和定位”的其他芯片相关的操作，尤其是用于需要同时对多个芯片进行这些操作的过程，并且甚至更有利的是用于芯片高度互不相同的情况中。

[0539] 为了说明的目的，下文将相关于粘结和融化工艺中的应用说明不同的加工方法的变形，因为理解该方法能免去说明更简单应用的需要，这是由于这些更简单的应用是该方法的子集或一般的变形。

[0540] 如本文所述，附贴工艺被分为两部分 :第一部分是将芯片轻度附着在一起 (“粘结”相)，第二部分是提供键合强度的“融化”相。粘结过程加热接触点并在轻度压力下保持其邻接，从而允许两个相应接触点上的材料互相扩散到对方中。

[0541] 在该工艺中，如果重力自身不足以提供所需压力，则可以施加少量压力以保证芯片不会在工艺处理期间移动，减少机械冲击的可能性或附贴中的非均匀性，两者中的任何一个因素都将导致接触点之间的粘合不充分，从而无法承受对晶片的处理。此外，如果任何局部加热引起韧性材料部分或完全成为液相（或者简单地比理想情况更为韧性而没有变成液相），则压力可以帮助实现所述保证并抵消压力或表面张力或其他可能以另外方式使两片分开的力，或者，在发生韧性材料过度软化的情形中，该压力可以防止各个部分单独或整体过度横向移动。因此，施加少量压力可以保证更大的融化工艺的温度和处理条件的范

围以明确制造容限和变化的原因。

[0542] 然而，在这些芯片上施加压力的问题之一在于，如果例如晶片的基本元件具有多个被附贴到其上的芯片，则该单个芯片可能不是共平面的并且甚至可能有显著的高度差。因此，如果简单地在芯片顶部放置平整的表面或板面，则所施加的压力可能会不均匀地施加。

[0543] 如下文所示，为处理前述问题提出的方法是在施力源与芯片之间使用一个能使不同的高度趋于一致或针对该高度差的原因的装置，从而允许所有芯片具有向其施加的同等压力。

[0544] 一个完成该目标的方法使用作为所述装置的基于一对一的与单个芯片匹配的一系列销或插柱。下文将说明该方法的两个不同的变形，但需要理解，可以通过例如结合来自每个变形或来自下述其他加工方法的各个方面提出其他的变形。

[0545] 图 244 到 247 说明实施基于销或柱的方法的加工方法的实例。

[0546] 00542 如图 244 和图 245 所示，该方法使用框架 24404 内的一套销或柱 24402。单个销或柱至少可以沿其长轴方向移动（如果平面性或倾斜成为潜在的问题则一些实施例还可以允许稍许程度的枢轴转动）。柱和销可以受限或释放。每个柱和销具有配置成接触各自的单个芯片的表面。

[0547] 取决于特定的实施例，任何特定的销或柱的表面可以是：平整面，将要向其施加压力的芯片的相反模型，或者一些其他适用于特定应用的形状。此外，销或柱自身在该表面或表面附近（以及沿其部分或全部长度）可以具有圆形或其它非圆形（即，椭圆形，四边形，六边形，八边形等）的封闭形状的截面。此外，该表面的周界和平面区域可以大于或小于其将要接触的特定芯片的周界或区域（即，其可以延伸到芯片的周界之外，或者可以完全或部分包含在芯片内），重要的方面在于该表面配置成向芯片施加力而不造成对芯片的损坏，尤其不造成芯片的破碎。

[0548] 使用时，使框架内的柱（在一些情形中为框架自身）在不受限制的情况下向下推进，一直下到各个柱与其各自的芯片适当接触（图 245）。一旦达到这样的情况，销被限制就位。结果，可以向框架或者在一些实施例中向销或柱施加合适水平的力。因为使工具向下推进，因此只在芯片上施加垂直力，以使力将通过销或柱均匀传递到各个芯片。

[0549] 然后，连接过程可以如本文所述或以其它方式继续。

[0550] 图 246 和图 247 说明类似于图 244 和图 245 的方法的替代的基于销或柱的方法，但是取代对每个芯片使用单个销或柱，该方法使用一组更小的销或柱以接触单个芯片。结果，通过该方法，一组内的单个销或柱可以用于针对单个芯片的非平面性或高度变化的原因。此外，取决于特定的实施例，如果该组配置为通过使至少一些销在芯片的上表面下方延伸而使其超出芯片的周界，则这些销能用于限制芯片横向移动。否则，该方法与每个芯片的销 / 柱的方法相同（即，使不受限制组的销 / 柱的表面 24606 与各自的芯片接触并受到限制，因此可以通过框架，组或销施加力）。此外，一组中的单个销 / 柱可以在其各自的表面附近具有圆形或非圆形截面。此外，如以下说明清楚所示，通过对销选择合适的形状，可以形成或消除一组中销 / 柱之间的间隔并能实现一定的优势。

[0551] 注意，单个销 / 柱或组（如果每个芯片有多个销 / 柱）需要足够宽以保证由其传输的任何压力不使芯片破损，并且这些销 / 柱或组应该放置成在工艺处理期间不破坏芯片

的边和角。

[0552] 在两种情形中，通过使用框架保持柱或销，一旦受到限制，柱或销只能在竖直方向上充分移动，允许该结构只施加竖直压力，同时符合附贴到晶片上的芯片的形貌。

[0553] 有利的是，如本文所述，当使用粘结和融化方法时，“粘结”步骤所需的力通常在每接触点 1 克或更小的数量级上，而对于融化过程，通常小于每接触点 0.001 克。结果，可以通过钳或其它锁定方法毫无困难而容易地将销或柱限制在框架内，具体的方法是设计选择的主题内容，但对于理解该加工方法及其应用并不重要。

[0554] 有利的是，在一些实施例中，任何一种上述加工方法都可以通过能向芯片施加真空而得到进一步加强。在每个芯片的销 / 柱加工方法的情形中，真空的施加可以通过设置穿透柱的通道 24412，24414 和柱表面上的开口 24406 而实现。或者，对于销 / 柱成组的方法，销 / 柱自身可以容纳抽取真空通过的通道。或者，通过选择销 / 柱的合适形状和间距，可以形成（在芯片边界之内）或消除（靠近芯片周界）相邻销之间的通道，从而允许通过这些空隙通道抽取真空。

[0555] 在任何加工方法实例中，对于这样的变形，可以向芯片施加真空，从而例如允许加工方法自身用于拾取 - 定位操作，或者允许真空进一步禁止芯片在例如粘结或融化工艺期间的非纵向（即，不需要）的移动。

[0556] 通过进一步的替代方法，可以将材料涂覆到销或柱的表面 24406，24606，这样将使该表面初始粘附到芯片，但该材料也经过选择，从而在操作完成时能从芯片“分离”。举例来说，可以在所述表面上使用的材料将在粘结或融化温度附近液化并流动，融化或汽化，但是不会损坏芯片，并且如果材料在芯片或芯片附贴的元件上留有残留，则该残留可以通过一些非破坏性的处理过程去除，或者如果没有有害影响则可以忽视。

[0557] 虽然销 / 柱方案只提供竖直运动，但该方法的一些实施例实际上并不将芯片保持在原位，并且在一些情形中无法保证所述力将被均匀施加到每个芯片或者芯片在例如粘结或融化工艺期间没有角度倾斜。因此，在一些情形中可能发生芯片移动，或者在单个芯片上或者在具有不同高度的芯片之间发生非均匀融化。

[0558] 在这样的情形中，可以使用图 248 和图 249 所示的替代加工方法，该方法涉及设置在刚性板 24804 和子芯片 24906 之间的海绵状的柔软的有适应性的并可变形的材料 24802，如图 249 所示，该材料将使其自身适应并调整到各个部分的高度，同时保持芯片上的压力并防止可能导致划伤，碎裂或损坏芯片的局部压力。该方法使用具有适合于特定应用的厚度（通常在 0.01″ 和 0.125″ 之间）的海绵状或可变形材料。这样的材料的非消耗性实例包括但不限于例如**Kalrez®** 7075，**Kapton ®**，或**Teflon ®**（都可以从 DuPont 获得商品）的高温聚合物，高温硅橡胶，由 Bergquist Company of Chanhassen，MN 商业销售的热衬垫，诸如 Zircar RS-100 的陶瓷纤维增强的氧化铝复合物（可以从 Zircar Refractory Composites，Inc. of Florida，NY10921 获得商品），诸如可以通过 McMaster-Carr Supply Company 获得商品的分类编号 390-2xM，390-4xM 和 390-8xM（其中 x 是用于表示宽度的 1，2 或 3）的例如氧化铝基陶瓷带的陶瓷带，诸如由 McMaster-Carr 商业销售，部件编号 87575K89 的陶瓷纤维条，由 McMaster-Carr 商业销售，部件编号 9323K21 的纤维玻璃纸，或其它材料。

[0559] 此外，取决于板片和芯片之间所用的特定材料，该材料可以对两个或多个压力施加和连接循环重复使用，或者可以严格作为一次性使用材料。

[0560] 与销 / 柱变形一样，如图 249 所示，在压力下使所述板向下放到芯片上，从而使可变形材料与该芯片一致，同时通过在其外围环绕芯片而限制芯片的横向移动。然后连接过程的进行与基于销 / 柱的加工方法相同。

[0561] 或者，有利的是，如果特定的应用对通过框架向销 / 柱施加力少有要求，则该配置也可以与基于销 / 柱的加工方法一起使用。在这样的配置中，基于销的加工方法被如上所述地应用。然而，如果所有销 / 柱的高度相等，则一旦使其与芯片接触，则销 / 柱的末端将反映与芯片相同的高度差。然而，通过在与芯片相对的销 / 柱的末端使用板片和材料配置，可以调整该高度差，并且方便地和均匀地施加合适的力。此外，通过该方法，特定材料将可能充分从芯片上实体移除，其不需要像必须使其直接与芯片接触的材料一样是抗高温材料。

[0562] 图 250 到图 254 说明使芯片与其将要连接的元件保持接触的另一个替代方法，该方法与图 248 和图 249 的板片变形相似并涉及由通过用另一种可硬化材料 25004 涂覆相对较薄但刚性的材料 205002 形成的主体 25000 构成的加工方法。该可硬化材料最好可以用液相或凝胶形式（例如环氧树脂）淀积并在其后硬化。

[0563] 然后将主体 25000 放置在芯片 24906 的阵列上以使可硬化材料 25004 粘附到每个芯片上，同时保持在同一水平的位置（图 251）。然后可硬化材料硬化以使整个主体变成刚性。（或者融化主体的刚性部分可以是有弹性的适应性材料，只要后续的可硬化材料保持足够厚度，以使其硬化时整个主体（即主体和可硬化材料）表现为像刚性主体一样）。

[0564] 一旦硬化，芯片可以移动到其将要连接的元件，并且如果必要，所述主体可以在附贴工艺（如果需要）期间用分离的并可移除的重量加重（图 252）。此外，因为可硬化材料附着到各个芯片并硬化，被附着的芯片除了整个主体自身自始至终的移动之外无法在任何方向上互相相对于对方移动（无论横向，纵向，或倾斜（俯仰和偏移））。结果，如果整个主体在附贴过程中保持在同一水平的位置，则芯片也将保持相似的取向。

[0565] 可选择地，底部填充 25302 的材料可以在主体和芯片将要附贴到其上的元件之间流动（图 253）。该底部填充 25302 可以用于填充芯片和其将要附贴到其上的元件之间的任何间隙。此外，因为芯片和主体之间的区域封闭，底部填充 25302 可以以可控制的方式流动（即不会流入不需要的位置）。

[0566] 一旦被连接以及如果使用重物或施加底部填充（如果进行）则在去除该重量之后，可以通过任何不会损坏芯片的例如化学工艺的合适工艺向下打磨或抛光芯片或者通过化学机械处理 (CMP) 去除整个（或大部分）所述主体（图 254）。通过去除该主体，然后整个芯片组件将可以具有新一层附贴的芯片，这些芯片好比现在将充当底层元件。

[0567] 类似地，该“主体”方法可以结合基于销 / 柱的加工方法一起使用以针对销 / 柱的高度差问题并允许通过直接施加到框架之外的其他方法施加力。在这样的情形中，使销 / 柱与芯片接触，然后使主体与和芯片相对的销 / 柱的端部接触并硬化。然后在所需要的工艺处理中如上所述地施加力。一旦芯片被附贴，销 / 柱 - 框架 - 总体主体的组合可以容易地从芯片移除，像普通的销 / 柱方法一样。然后，通过任何软化或移除可硬化材料的方便的处理过程或者通过在可硬化材料外侧点处简单地切割或剪除销，整个主体可以与销 / 柱 - 框架工具分离。

[0568] 此外，该特定组合方法的另一优势在于，在将多个芯片连接到一个或多个各自的下层元件的组装线方法，以及如上文相对于一定的变形所述被用作拾取和定位方法的一部

分的情况下允许一定的可重复性。

[0569] 最后，关于上述所有加工方法以及其他变形，其排列或组合，应当注意，如果因特定用途需要，则可以在该工艺的融化部分期间使例如形成气体的气体或甲酸或流体在所述框架和芯片之间流动。

[0570] 注意，在一些情形中，销/柱方法最好使用一些有弹性或海绵状的材料（即自身可以在芯片上施加过多的横向压力，使芯片在融化过程期间倾斜或移动，或者相关于融化工艺条件要求极其（商业上不实用的）严格的容限的材料）。

[0571] 在总结中重申，虽然本发明已经结合特定类型的芯片进行说明，这些芯片包括光学芯片（即承载例如一个或多个激光器，一个或多个光检测器或其组合的芯片），然而本文所述的方法同样可以用于在光学组件之外或代替光学组件还包括晶体管或其他电路组件的任何种类的掺杂半导体芯片中良好地形成“穿透芯片”的电连接。

[0572] 类似地，虽然一定的材料已经被识别为适合于用作“插柱和穿透”接触点的材料，但这些材料不应望文生义被视作唯一可以使用的材料，因为重要的方面在于两者之间的相对硬度以致两者之间发生形成连接的扩散，而不是所用的特定材料。因为在某种程度上，特定的材料配对将由诸如可获得性，成本，与所用的其他组件或者其他与本文所述内容无关的与制造相关的工艺的兼容性的各个因素确定，列举更多潜在无限的材料的配对并没有意义。相似地，在光学环氧树脂之外也存在一些光传输材料。然而选择将用于特定应用的特定材料的标准可能受到其他因素的影响或支配，这些因素与本文所述的主题无关。因此，应当理解，如特定应用所要求的可以插入到所述空洞中并传输激光的任何光传输介质（或多种介质）都应当视作合适的可用材料，不再具体列举其所有可能的替代。

[0573] 因此应当理解，本说明书（包括附图）只是一些说明性实施例的代表。为方便读者，上述说明集中于所有可能实施例中说明本发明的原理的代表性的实例。本说明书并非试图穷尽列举所有可能的变形。可能没有对本发明的特定部分呈现替代实施例，或者对于某个部分可能有其他未说明的替代实施例，这些都不应当视作放弃这些替代实施例。普通的熟练技术人员将可以理解，很多这些未说明的实施例包含本发明的相同的原理及其他等价的内容。

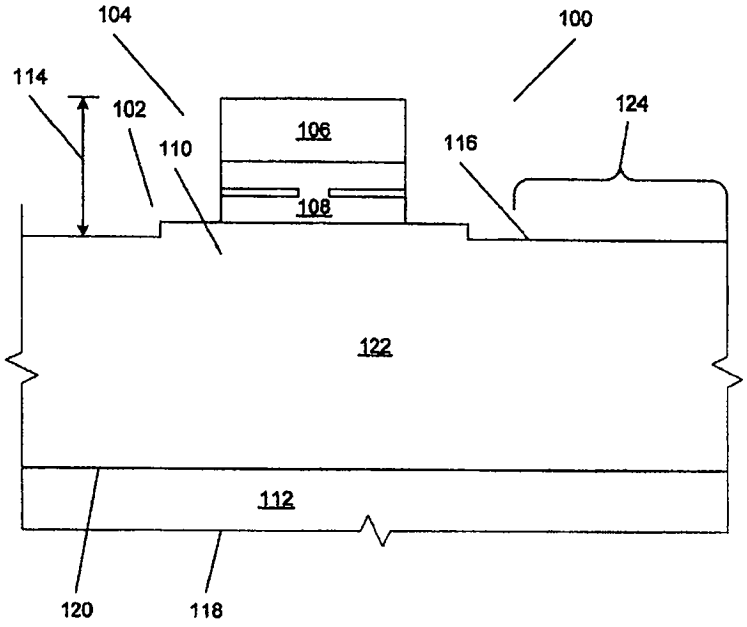


图 1

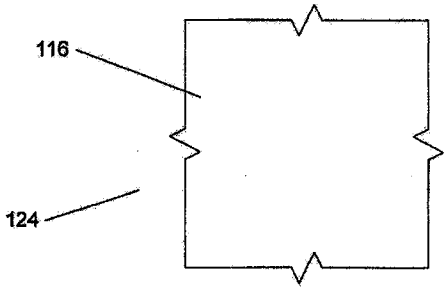


图 2

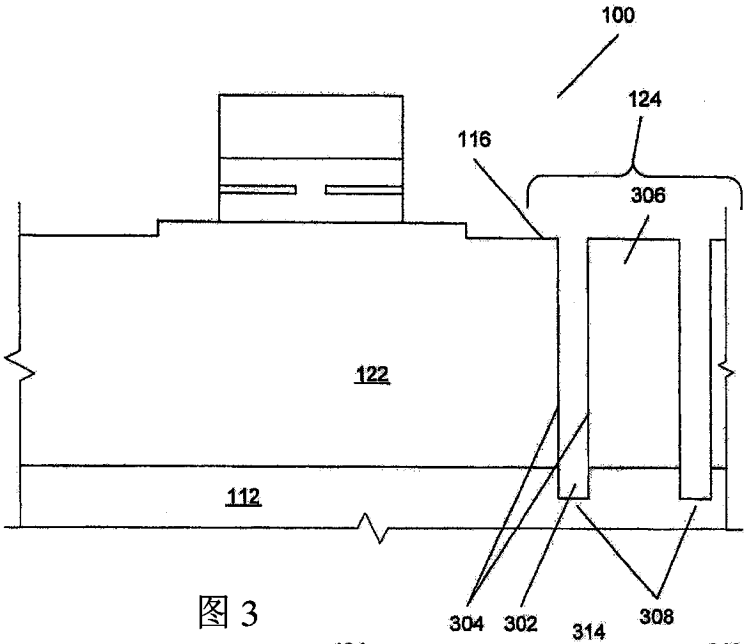

100
124
116
306
122
112
304
302
308

图 3

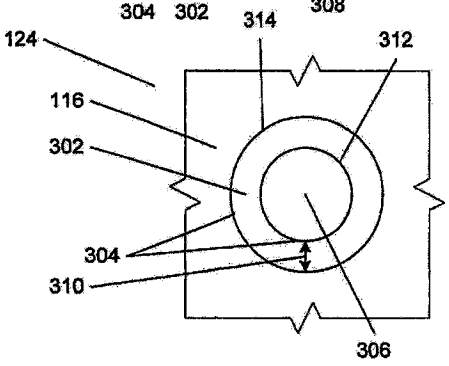

124
314
312
116
302
304
310
306

图 4

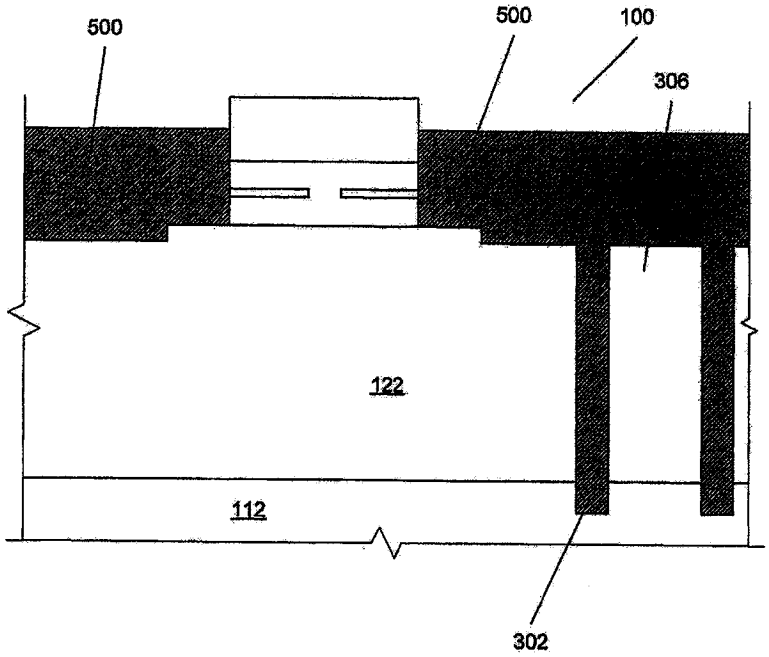


图 5

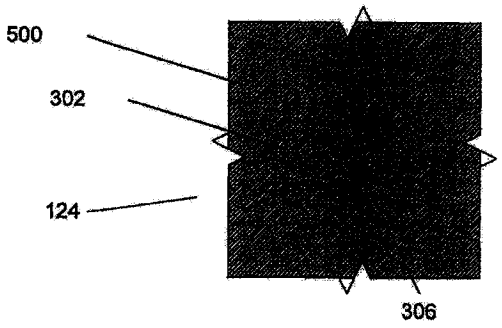


图 6

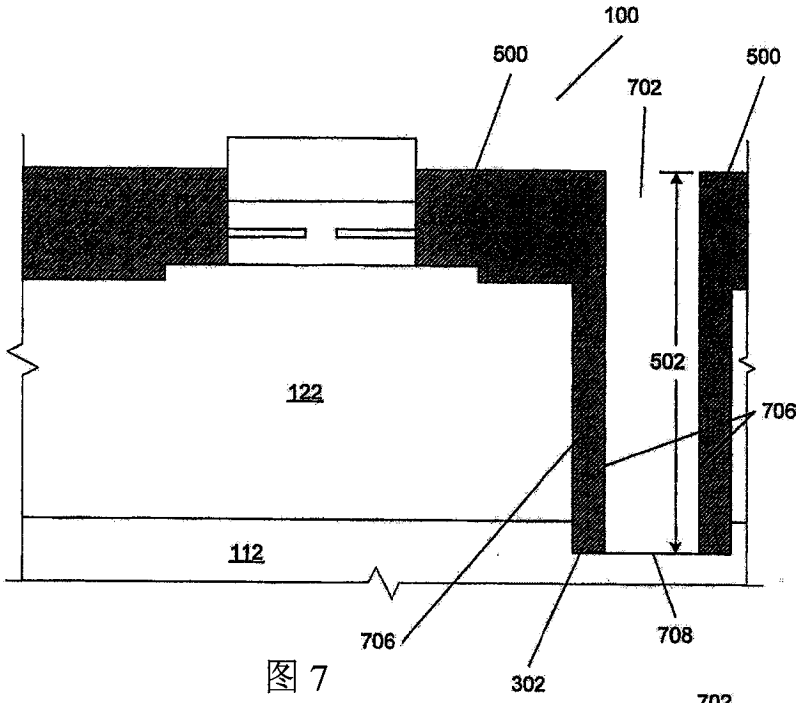

100
500
500
702
502
122
706
112
706
708
302

图 7

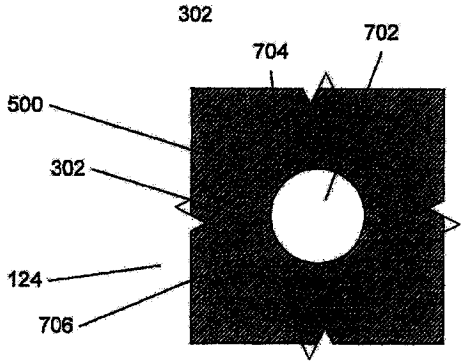

704
702
500
302
124
706

图 8

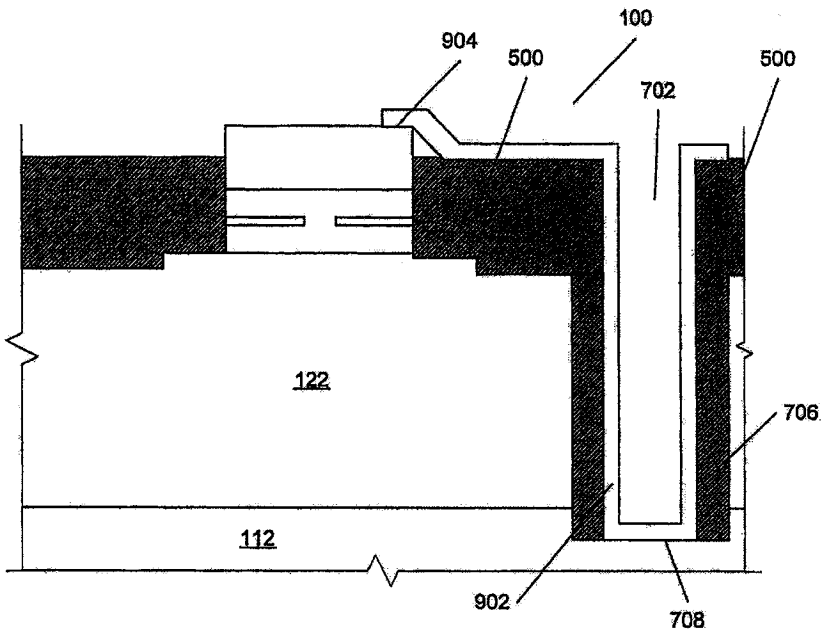


图 9

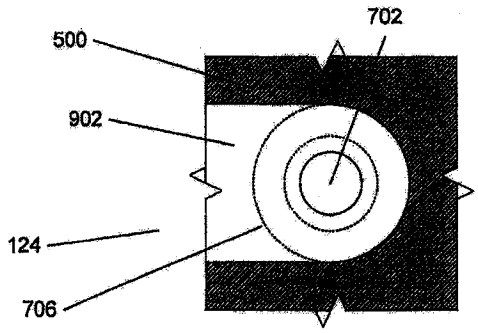


图 10

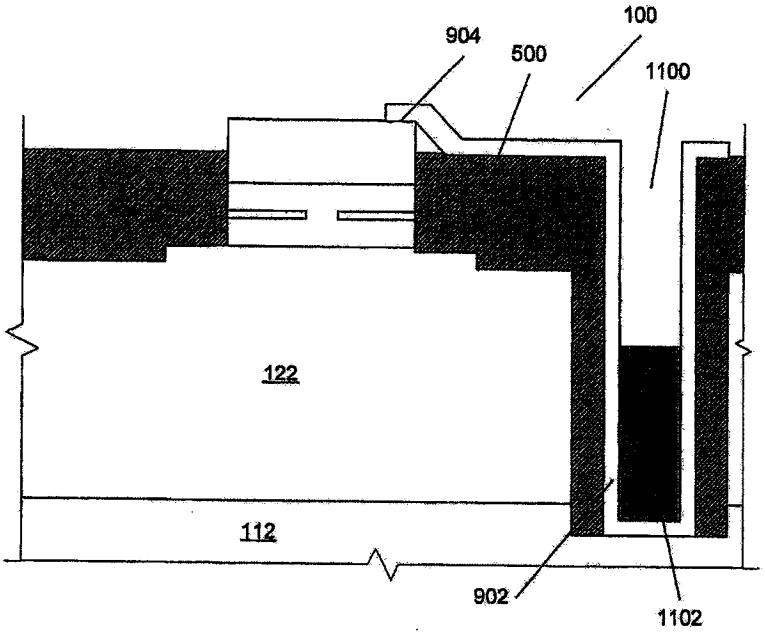


图 11

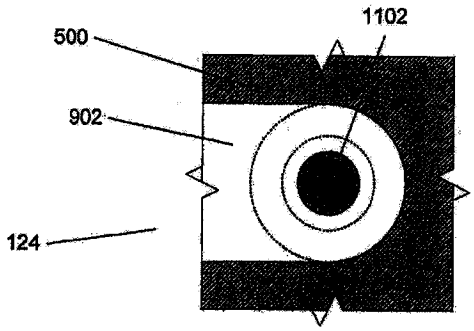


图 12

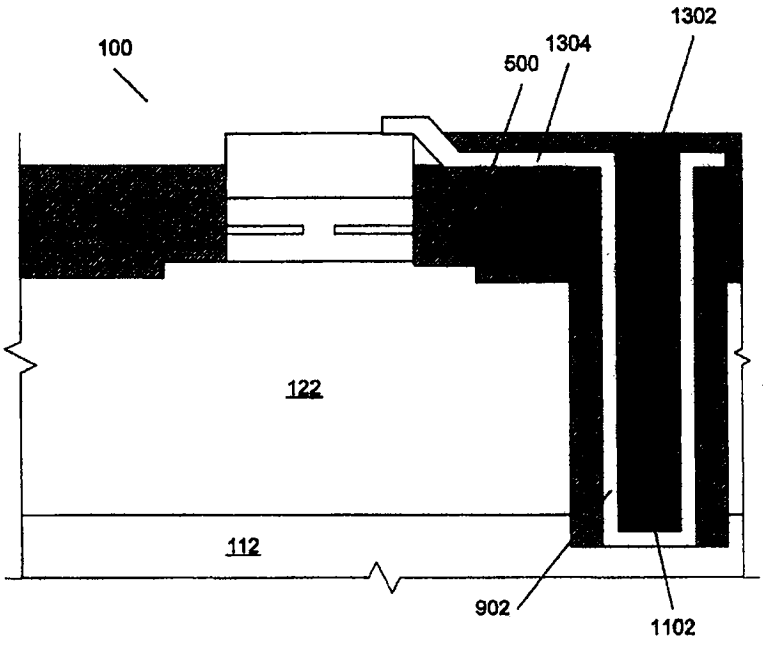


图 13

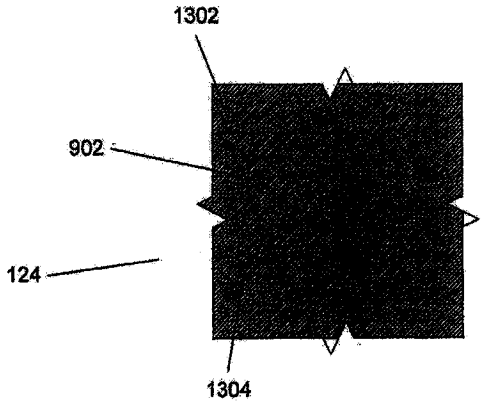


图 14

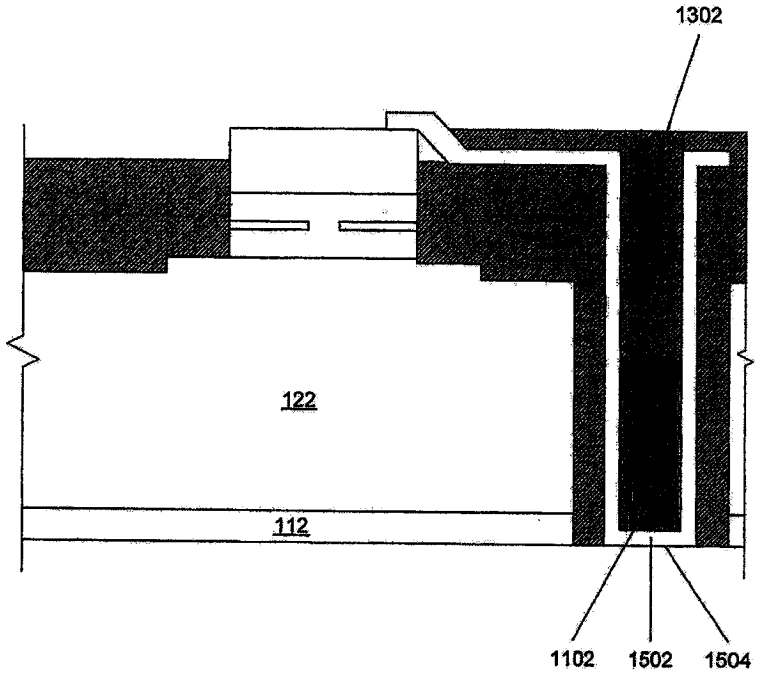


图 15

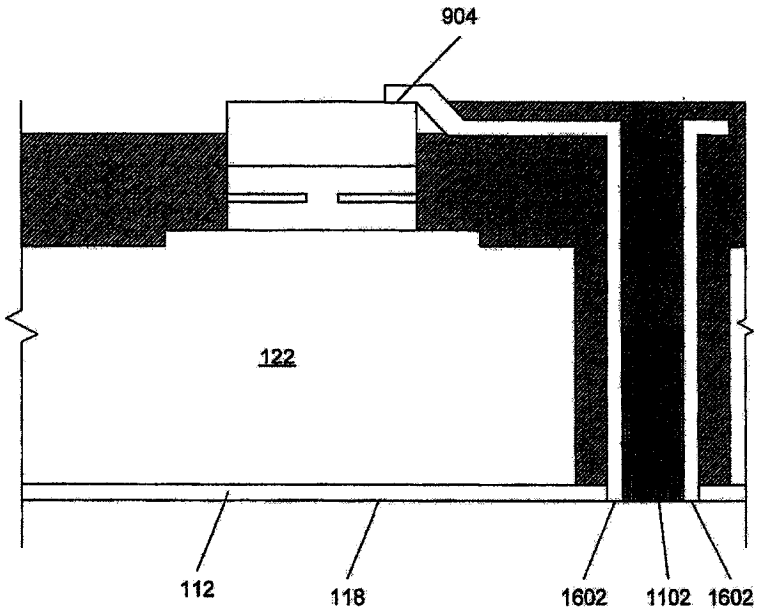

904
122
112
118
1602
1102
1602

图 16

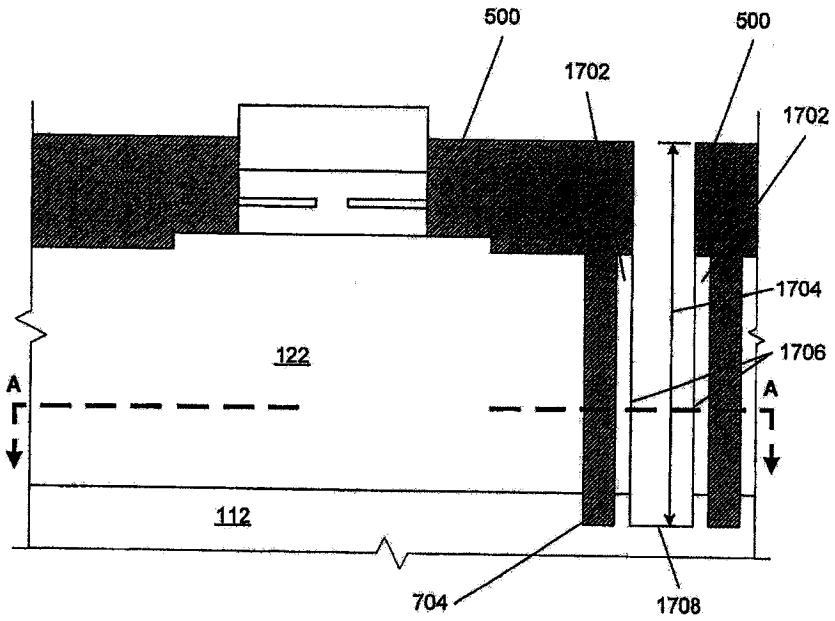

500
1702
500
1702
1704
1706
122
A
A
112
704
1708

图 17

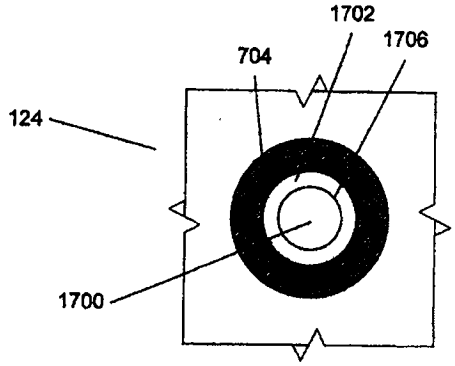


图 18

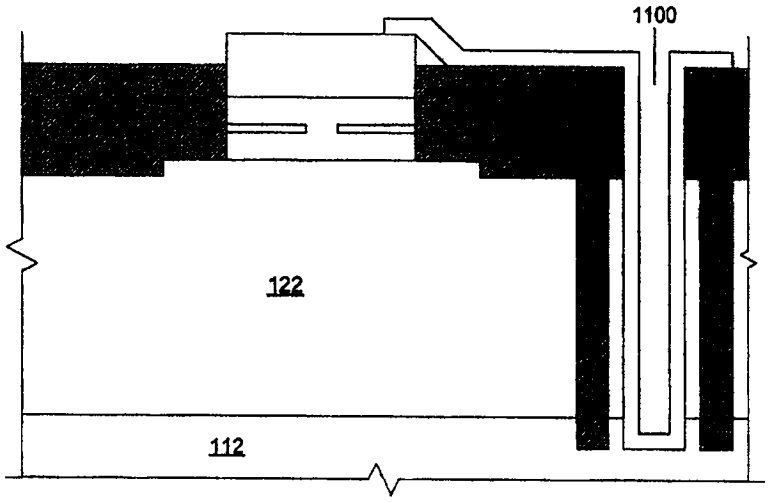


图 19

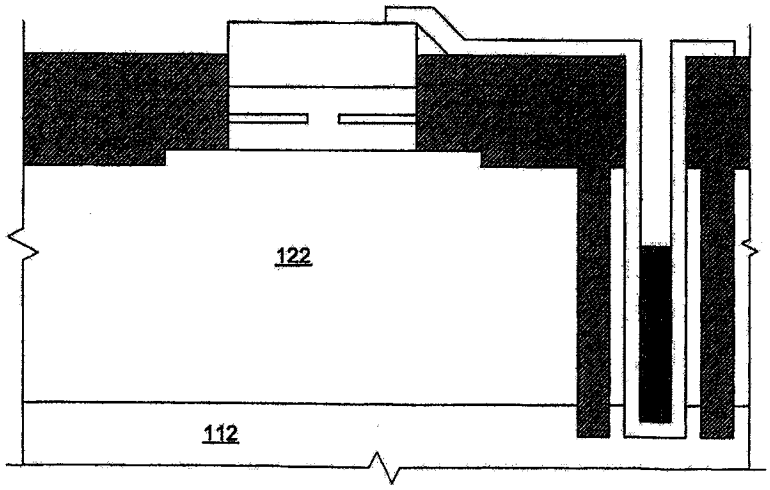


图 20

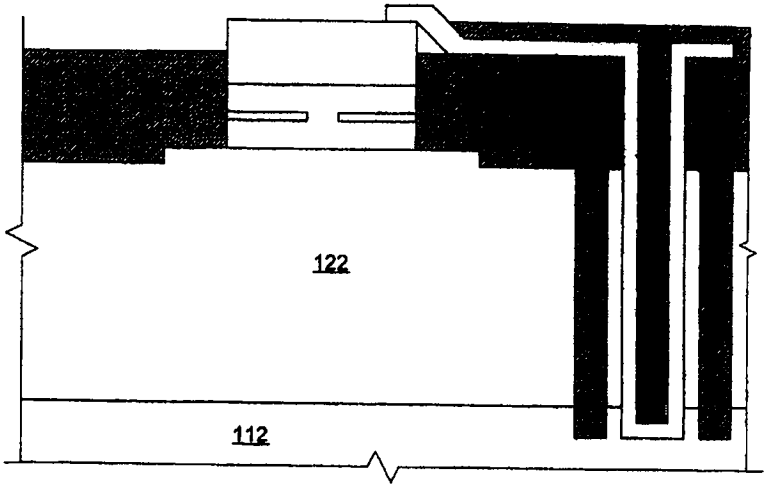


图 21

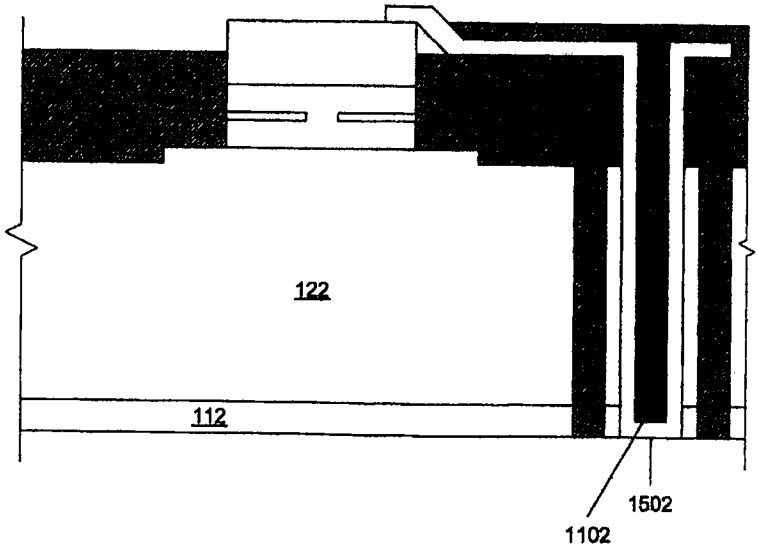


图 22

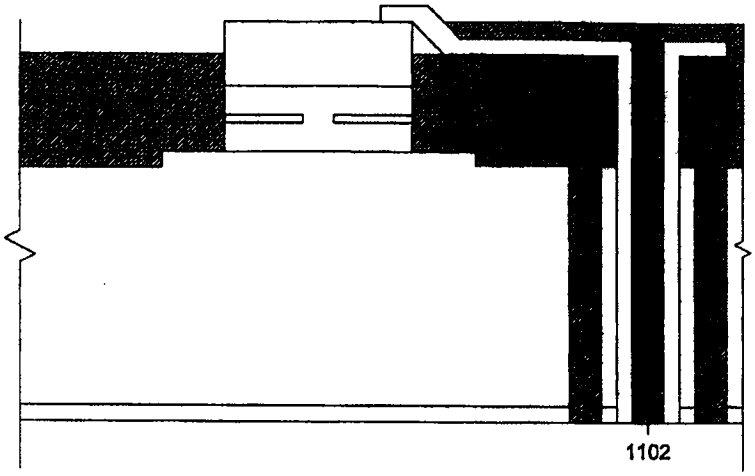


图 23

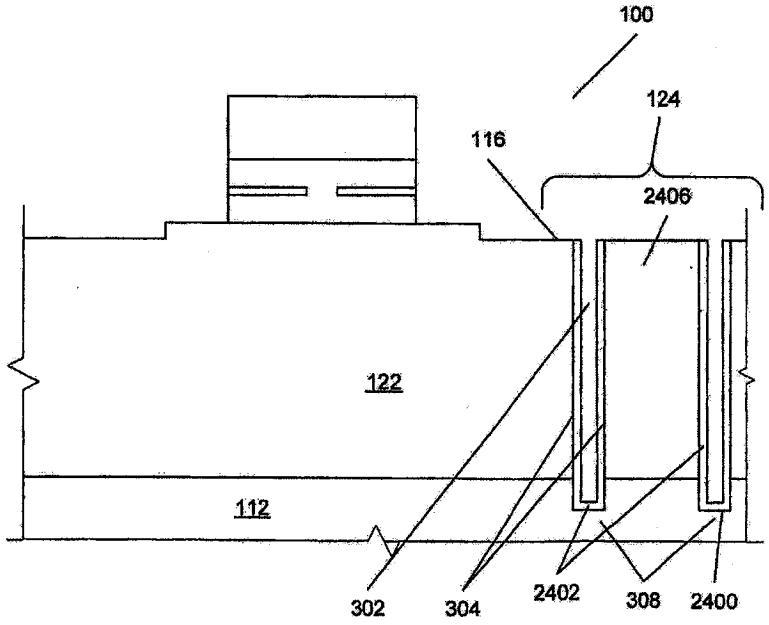

100
124
116
2406
122
112
302
304
2402
308
2400

图 24

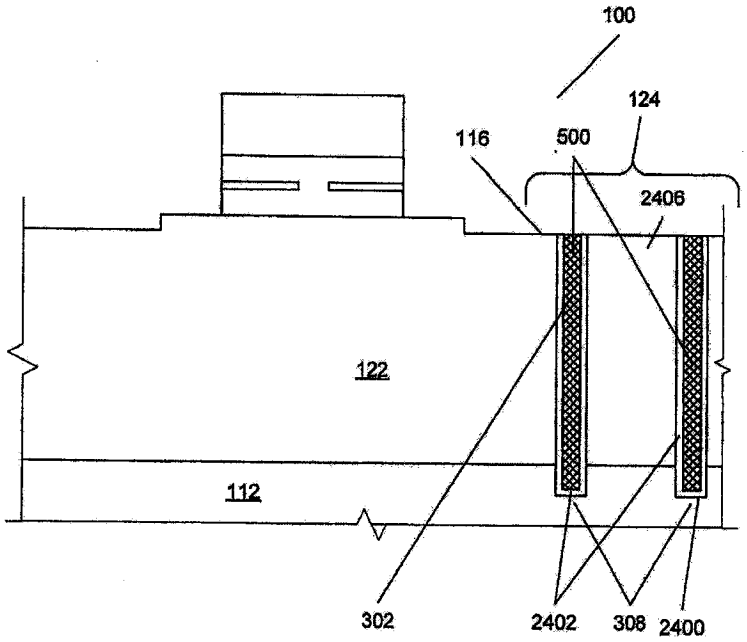

100
124
116
500
2406
122
112
302
2402
308
2400

图 25

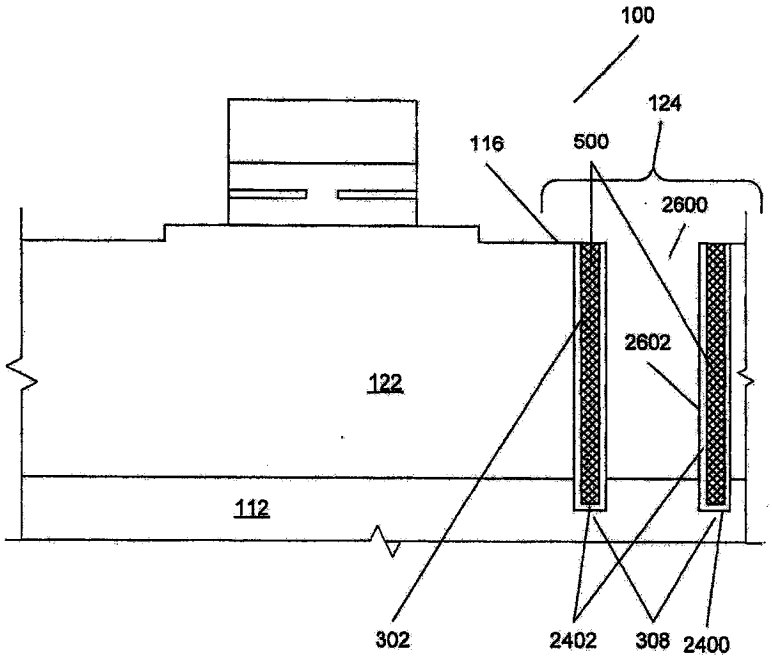


图 26

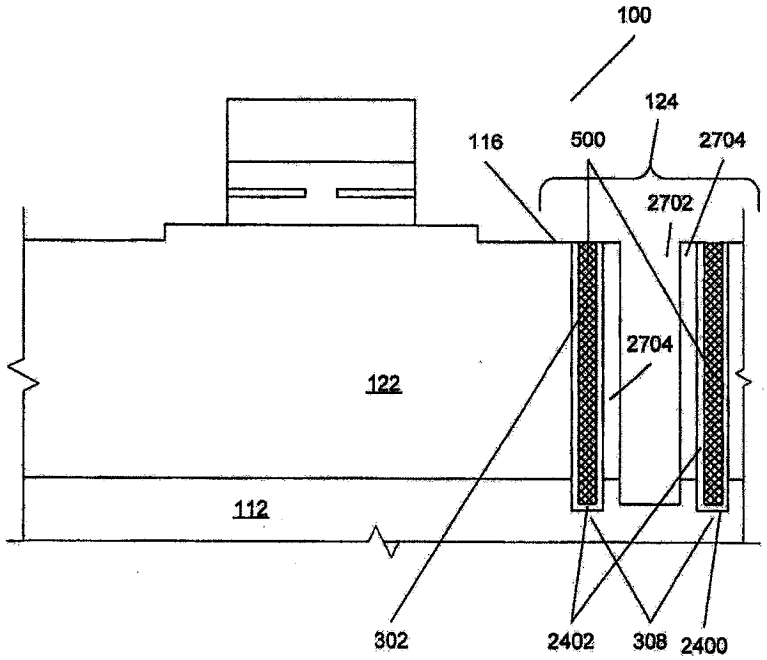

100
124
116
500
2704
2702
2704
122
112
302
2402
308
2400

图 27

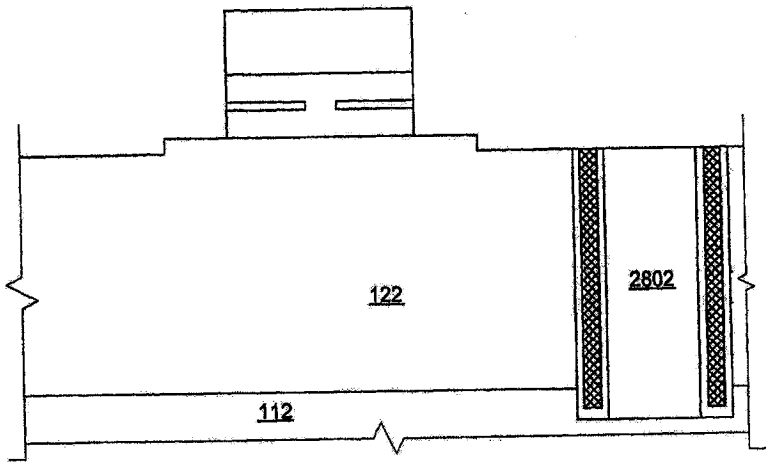

122
2802
112

图 28A

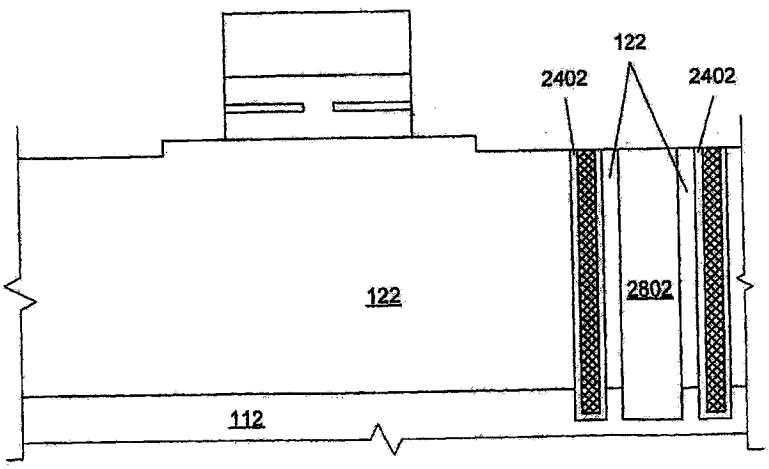


图 29A

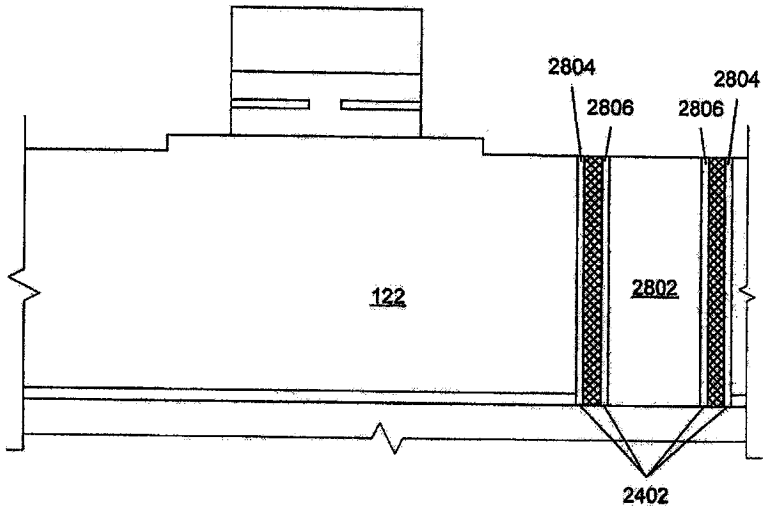


图 28B

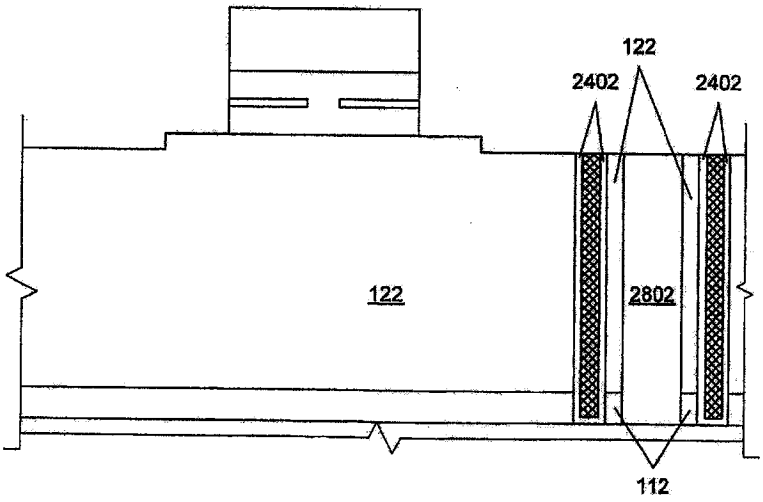


图 29B

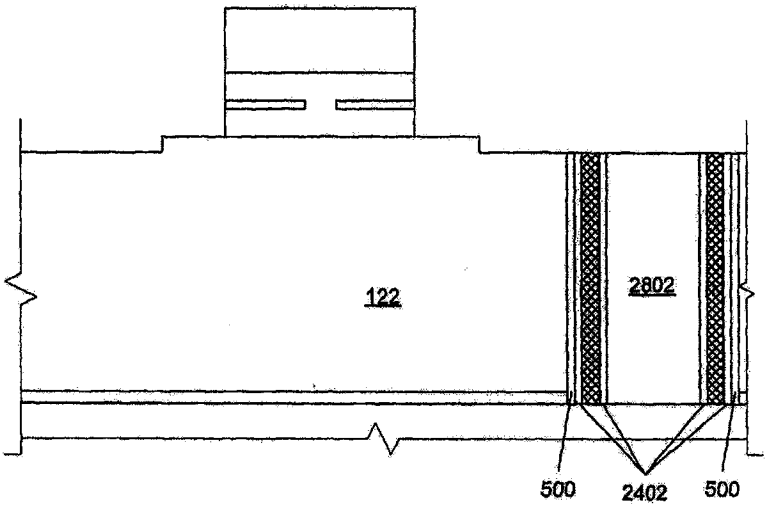


图 30A

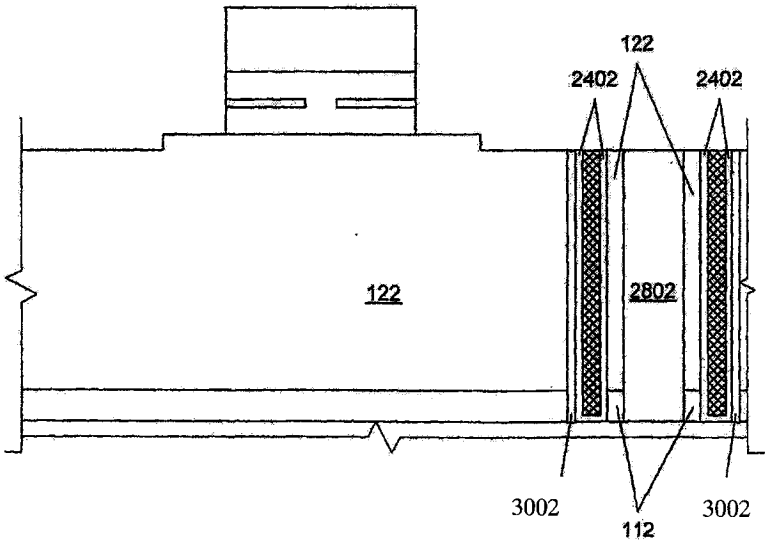

122
2402
2402
122
2802
3002
112
3002

图 30B

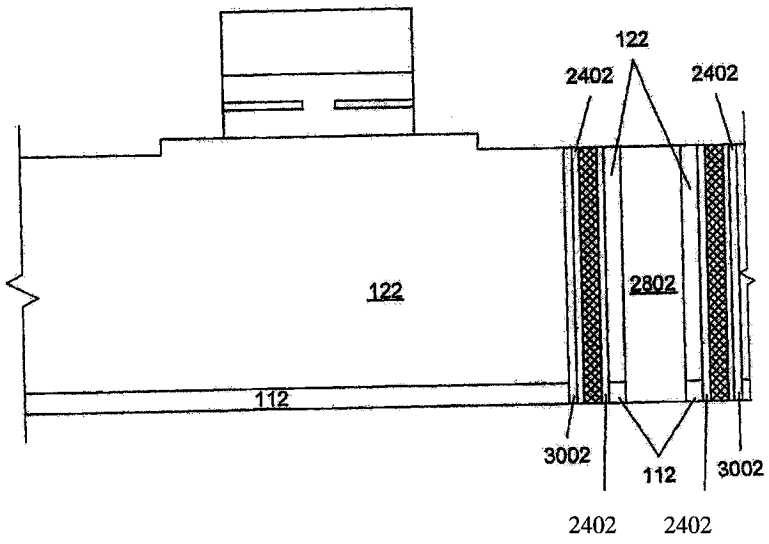

122
2402
2402
122
2802
112
3002
112
3002
2402
2402

图 31

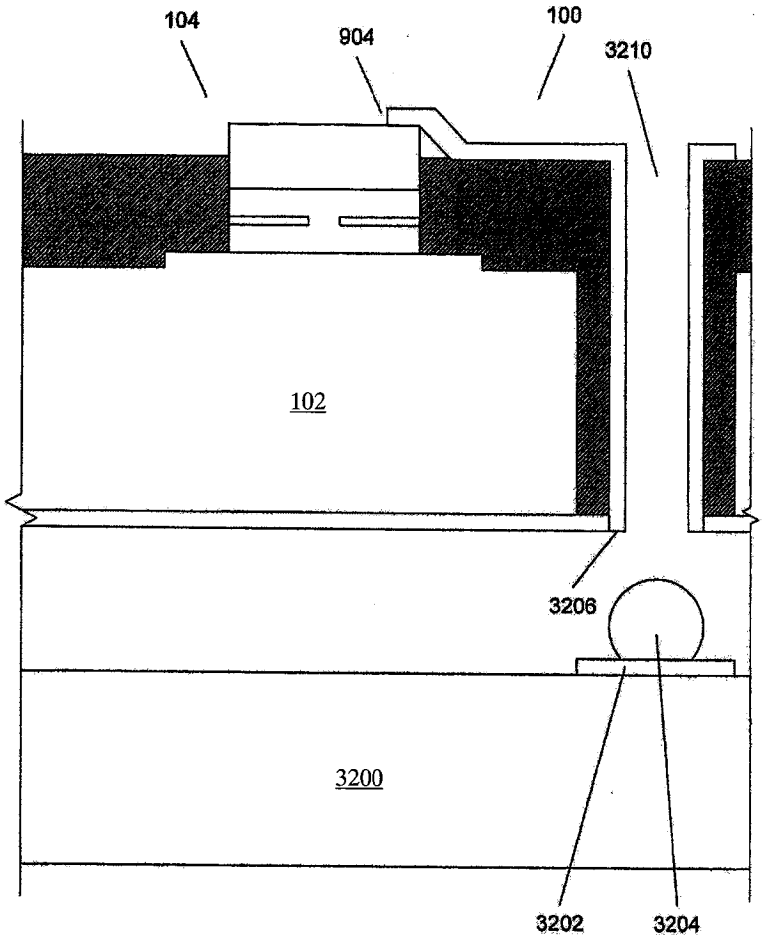


图 32

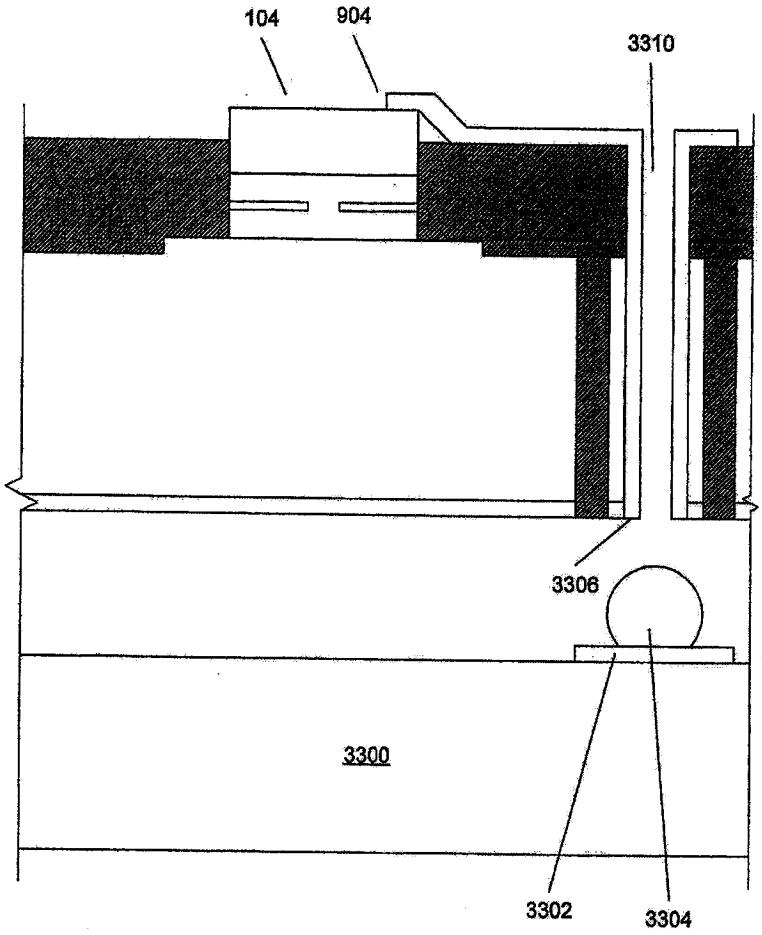


图 33

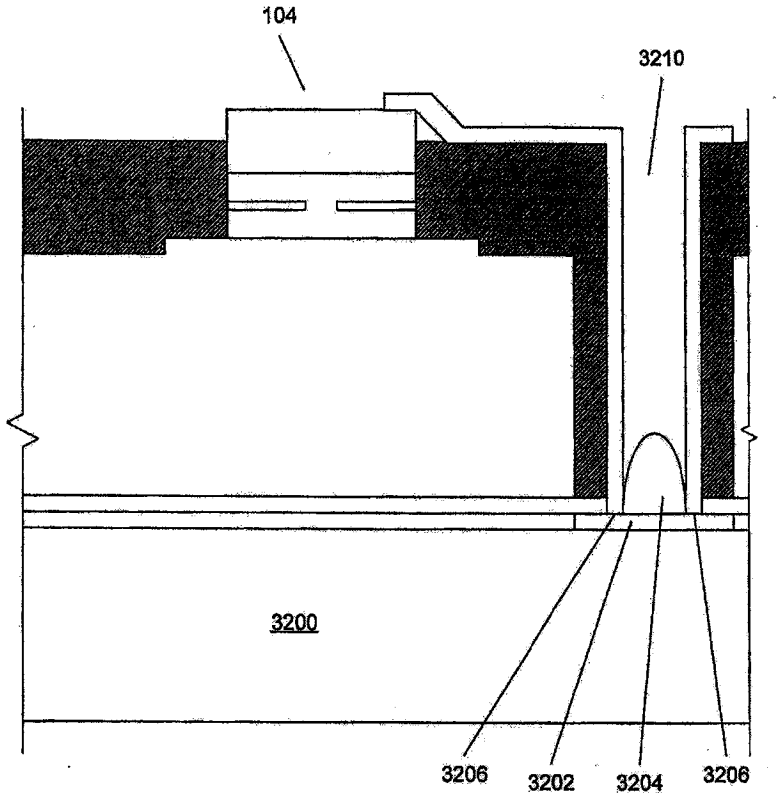


图 34

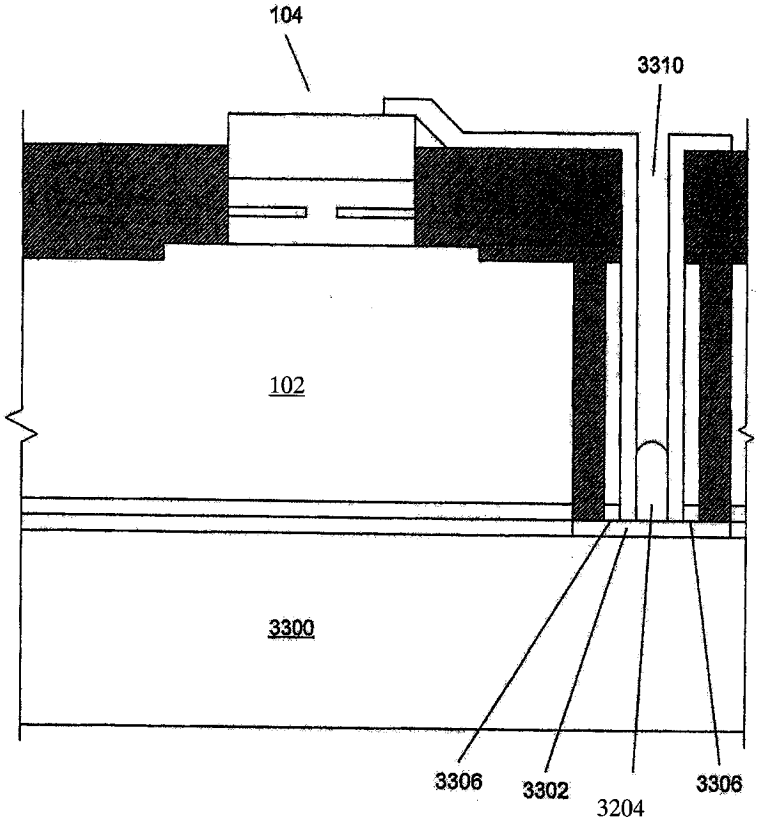


图 35

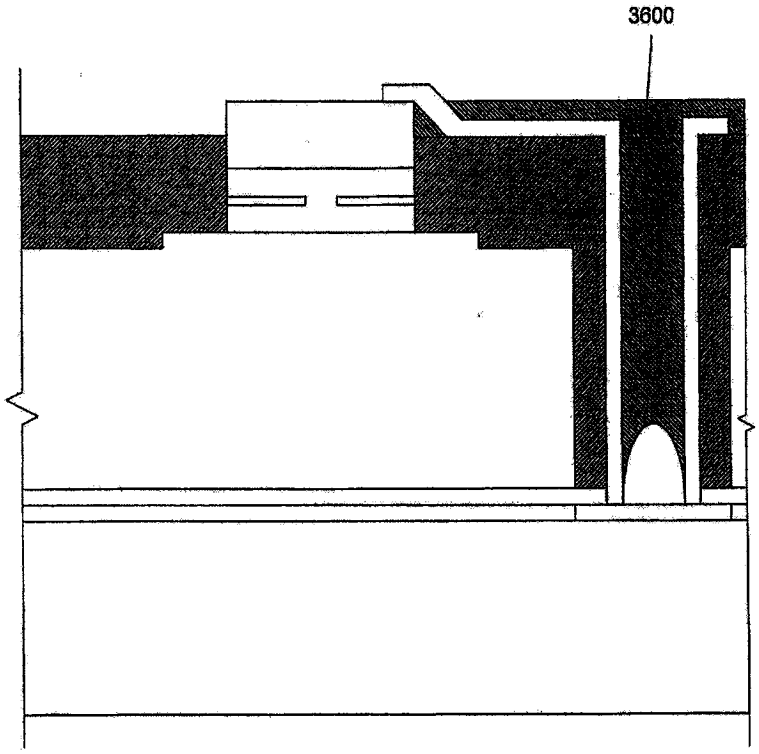


图 36

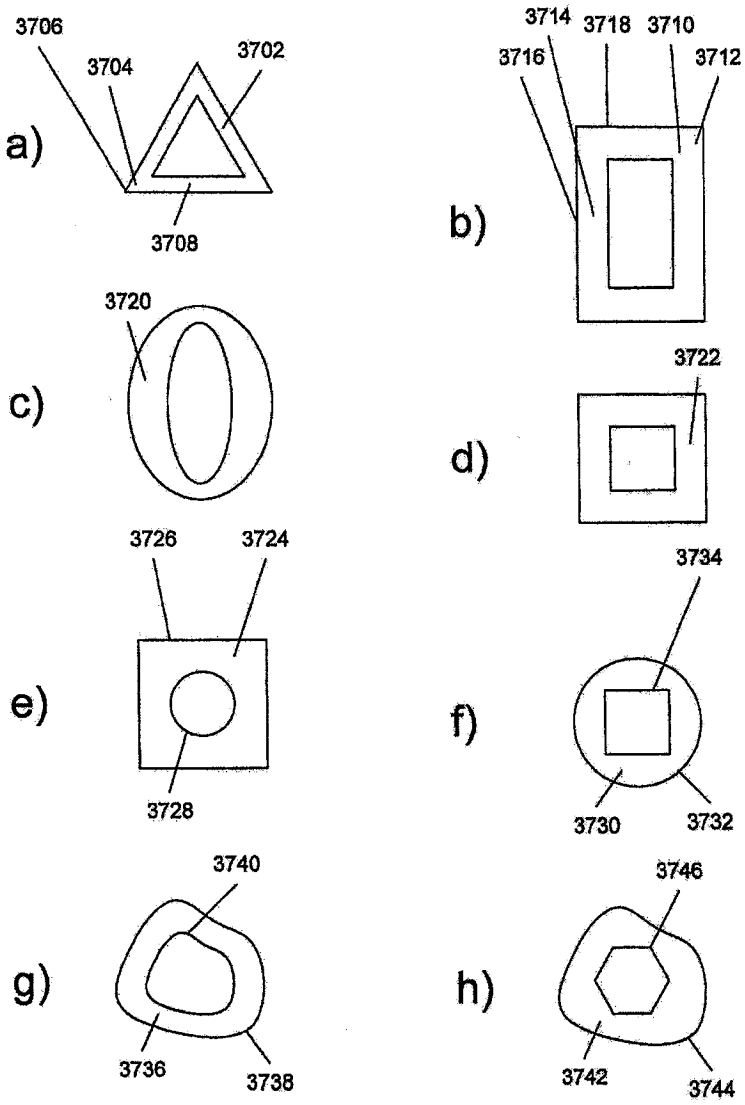

a)
3706
3704
3702
3708
b)
3714
3718
3710
3716
3712
c)
3720
d)
3722
e)
3726
3724
3728
f)
3734
3730
3732
g)
3740
3736
3738
h)
3746
3742
3744

图 37

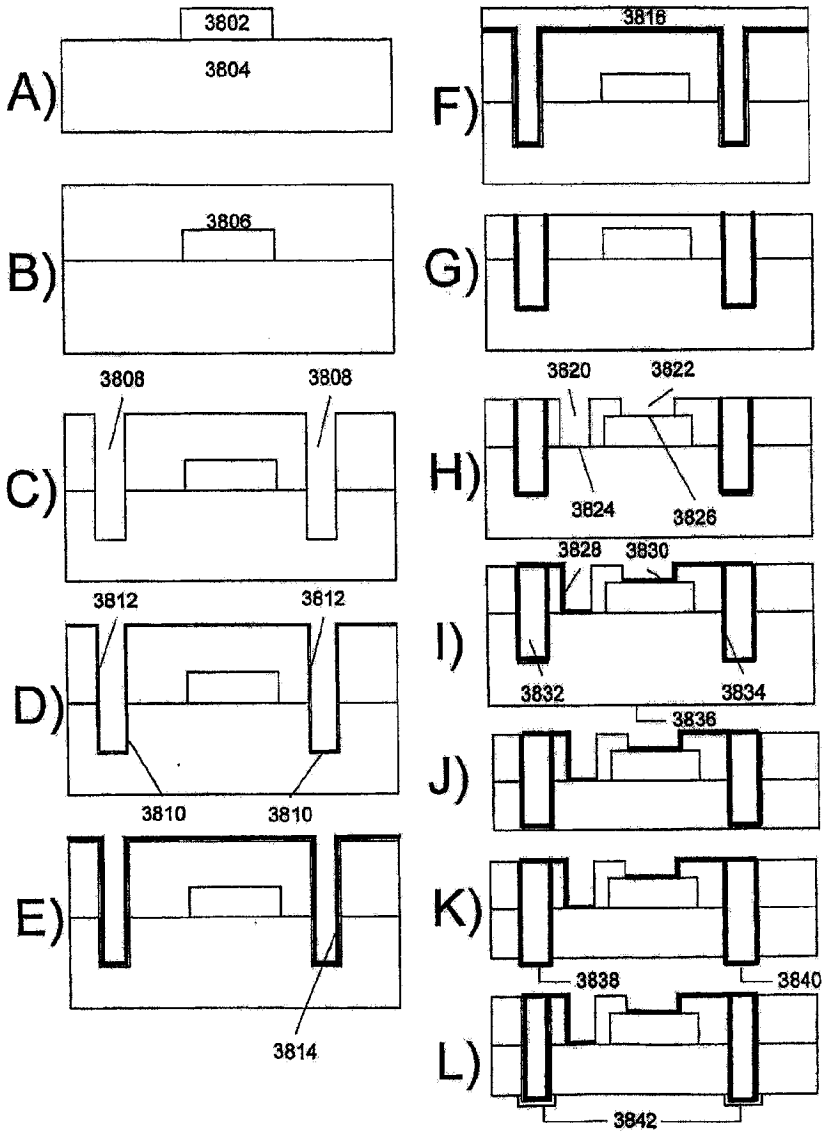

A)
3802
3804
B)
3806
C)
3808
3808
D)
3812
3812
3810
3810
E)
3814
F)
3816
G)
H)
3820
3822
3824
3826
I)
3828
3830
3832
3834
J)
3836
K)
3838
3840
L)
3842

图 38

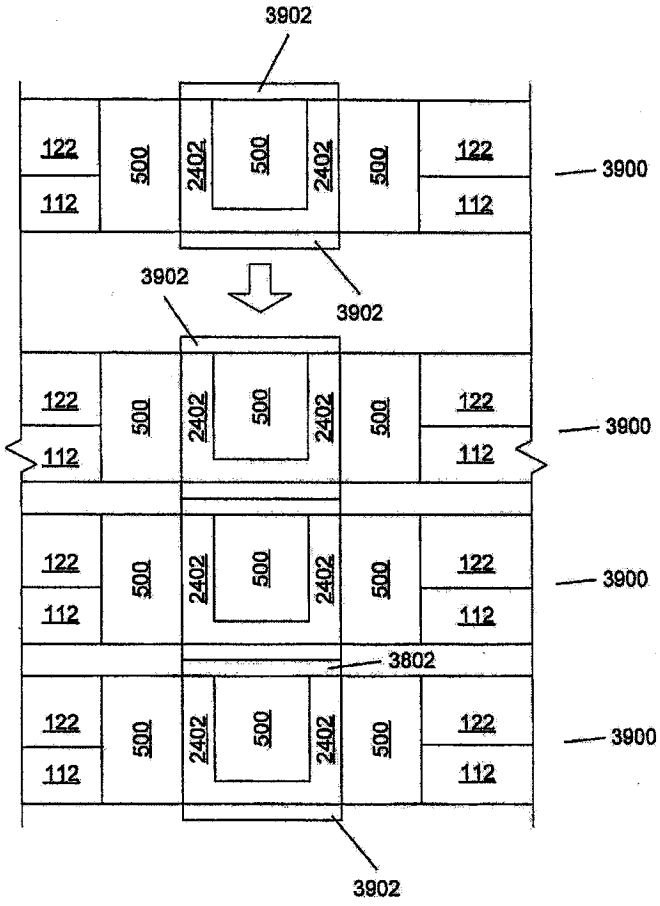


图 39

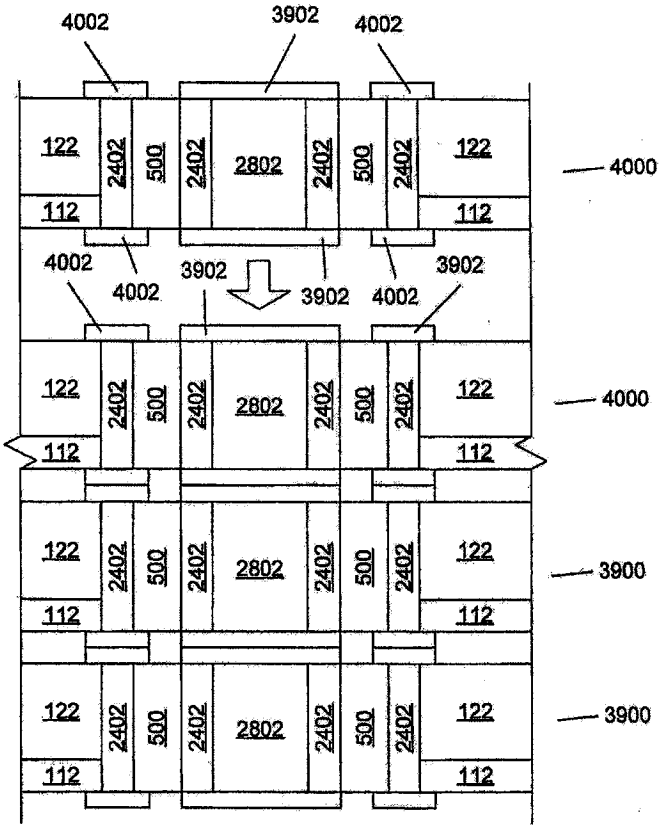

4002
3902
4002
122
2402
500
2402
2802
2402
500
2402
122
4000
112
112
4002
4002
3902
3902
4002
3902
122
2402
500
2402
2802
2402
500
2402
122
4000
112
112
122
2402
500
2402
2802
2402
500
2402
122
3900
112
112
122
2402
500
2402
2802
2402
500
2402
122
3900
112
112

图 40

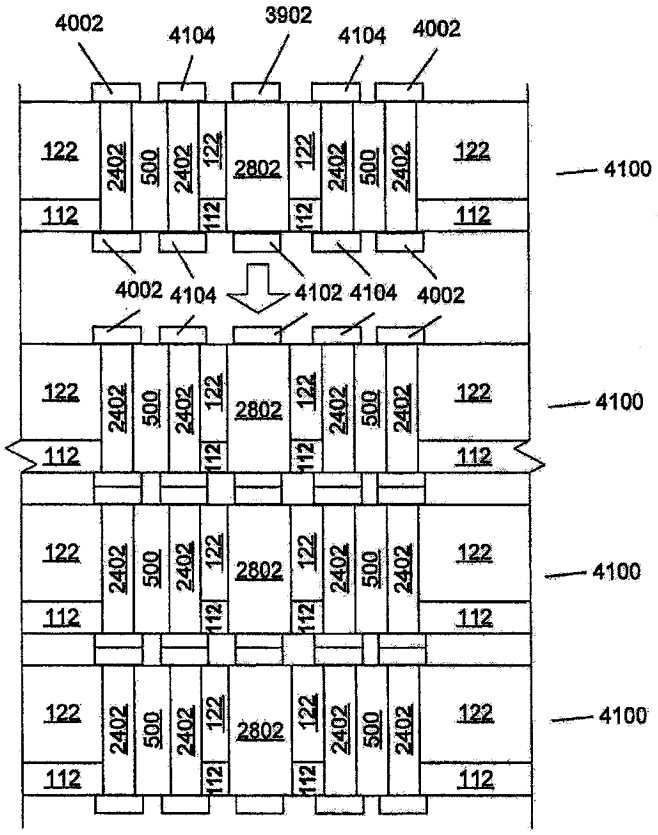

4002
4104
3902
4104
4002
122
2402
500
2402
122
2802
122
2402
500
2402
122
112
4100
4102

图 41

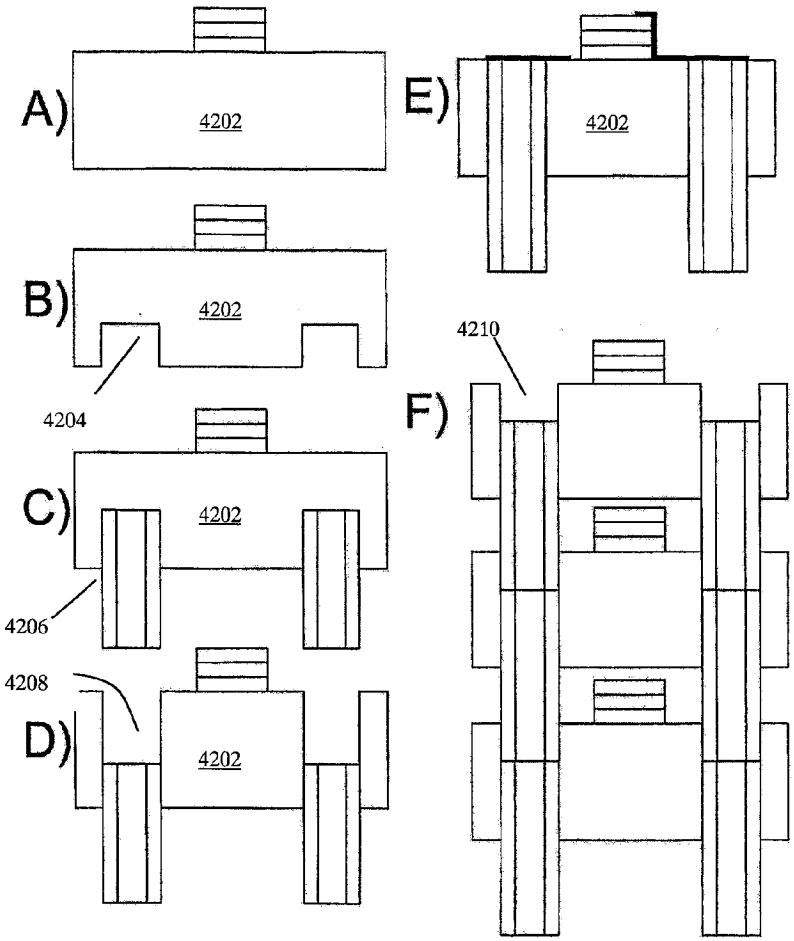


图 42

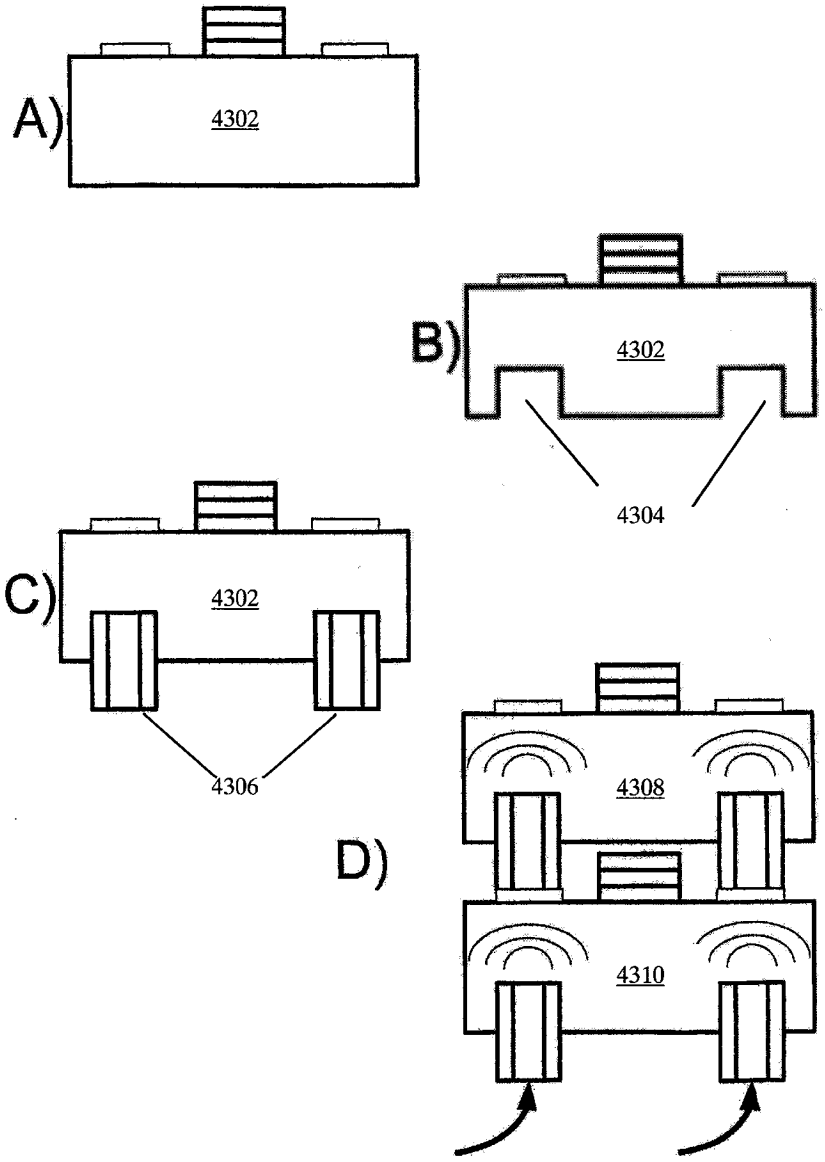


图 43

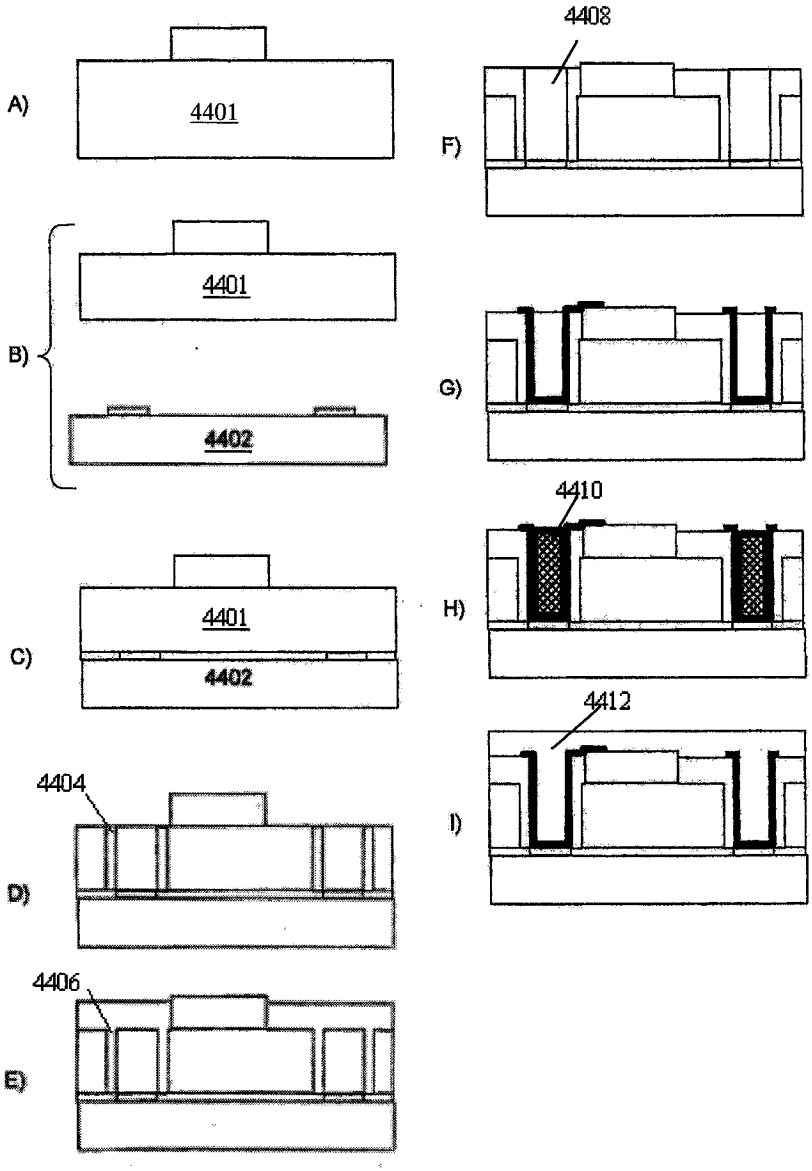
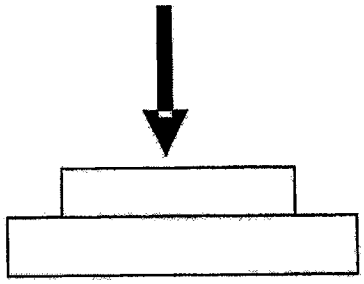


图 44

FC 150

300g压力（加热到360℃）



升温到360℃

子压力：300g
子温度：到360℃
母温度：升温XX到360℃
晶片尺寸：2″

粘结

对准时间：2分钟
压力/加热时间：1分钟
卸载时间：0.5分钟
总每芯片时间：3.5分钟

融化时间：N/A

XX=等温温度

图 45

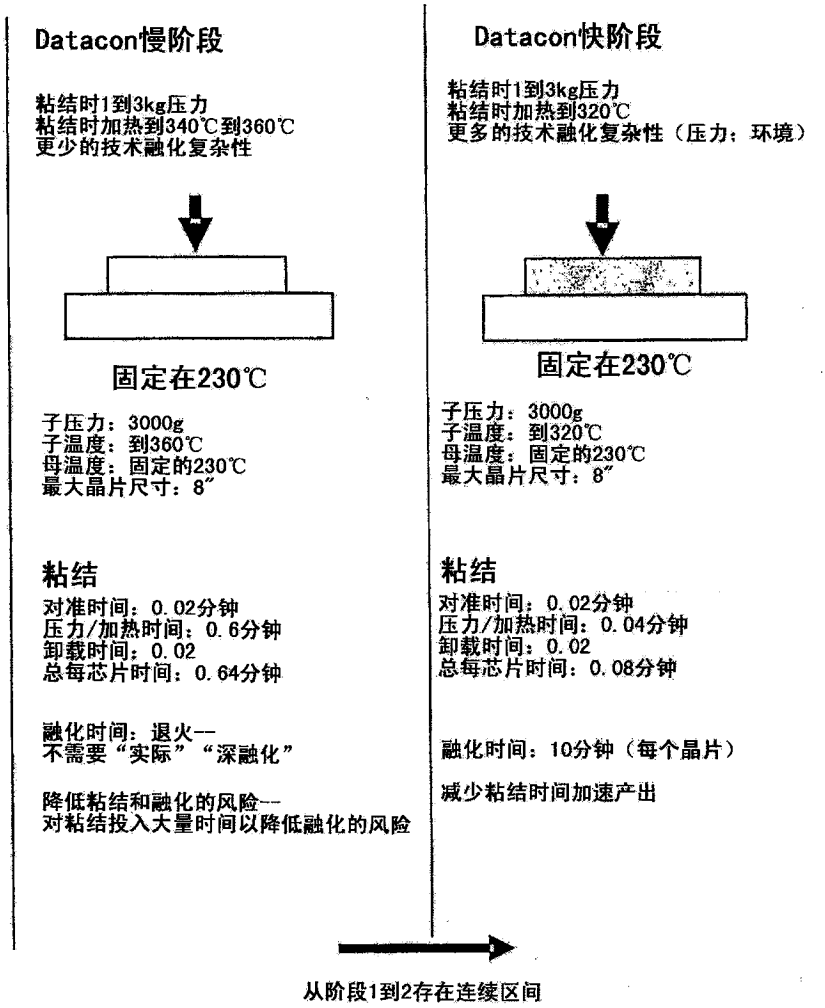

Datacon慢阶段
粘结时1到3kg压力
粘结时加热到340℃到360℃
更少的技术融化复杂性
固定在230℃
子压力：3000g
子温度：到360℃
母温度：固定的230℃
最大晶片尺寸：8″
粘结
对准时间：0.02分钟
压力/加热时间：0.6分钟
卸载时间：0.02
总每芯片时间：0.64分钟
融化时间：退火—
不需要“实际”“深融化”
降低粘结和融化的风险—
对粘结投入大量时间以降低融化的风险
Datacon快阶段
粘结时1到3kg压力
粘结时加热到320℃
更多的技术融化复杂性（压力；环境）
固定在230℃
子压力：3000g
子温度：到320℃
母温度：固定的230℃
最大晶片尺寸：8″
粘结
对准时间：0.02分钟
压力/加热时间：0.04分钟
卸载时间：0.02
总每芯片时间：0.08分钟
融化时间：10分钟（每个晶片）
减少粘结时间加速产出
从阶段1到2存在连续区间

图 46

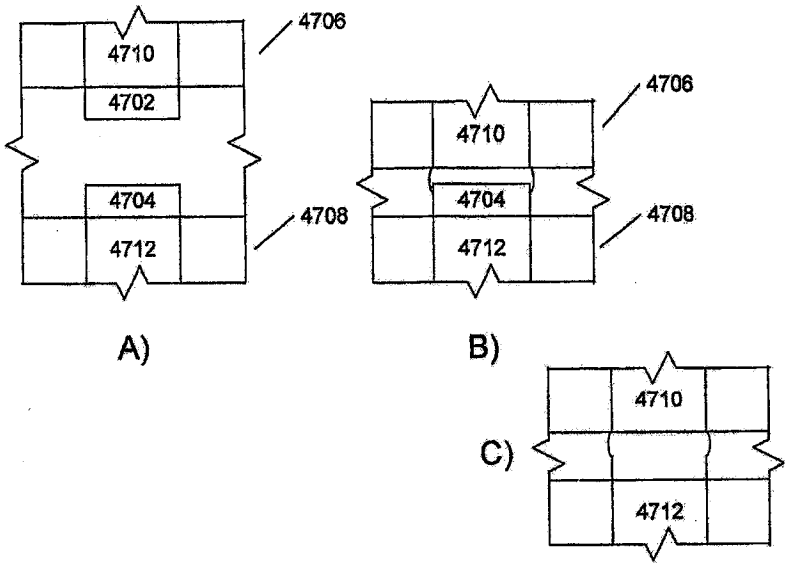

4706
4710
4702
4704
4712
4708
A)
4706
4710
4704
4712
4708
B)
4710
C)
4712

图 47

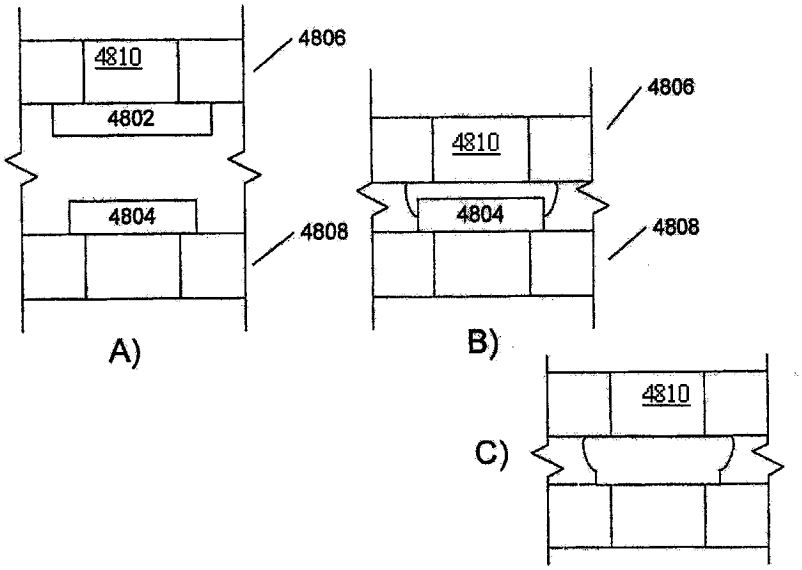

4806
4810
4802
4804
4808
A)
4806
4810
4804
4808
B)
4810
C)

图 48

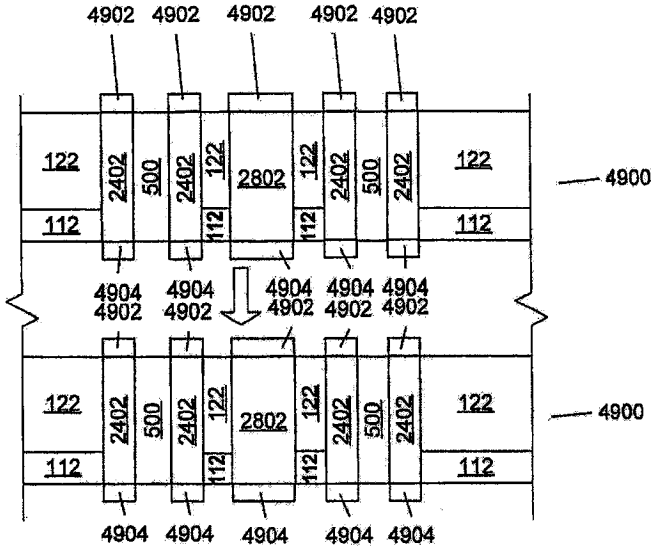

4902
4902
4902
4902
4902
122
2402
500
2402
122
2802
122
2402
500
2402
122
112
112
112
4900
4904
4902
4904
4902
4904
4902
4904
4902
4904
4902
4904
4904
4904
4904
4904

图 49

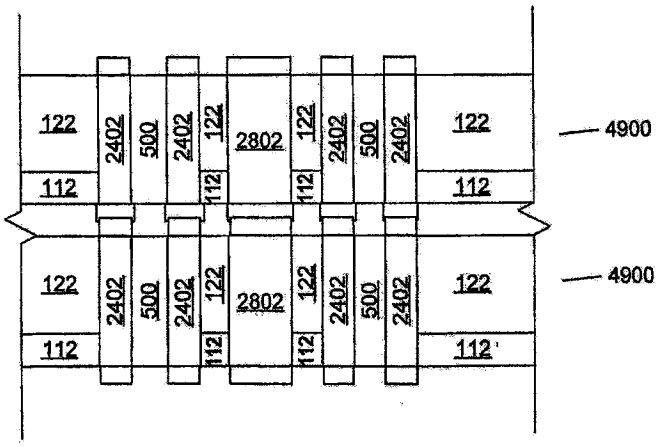

122
2402
500
2402
122
2802
122
2402
500
2402
122
112
112
112
4900

图 50

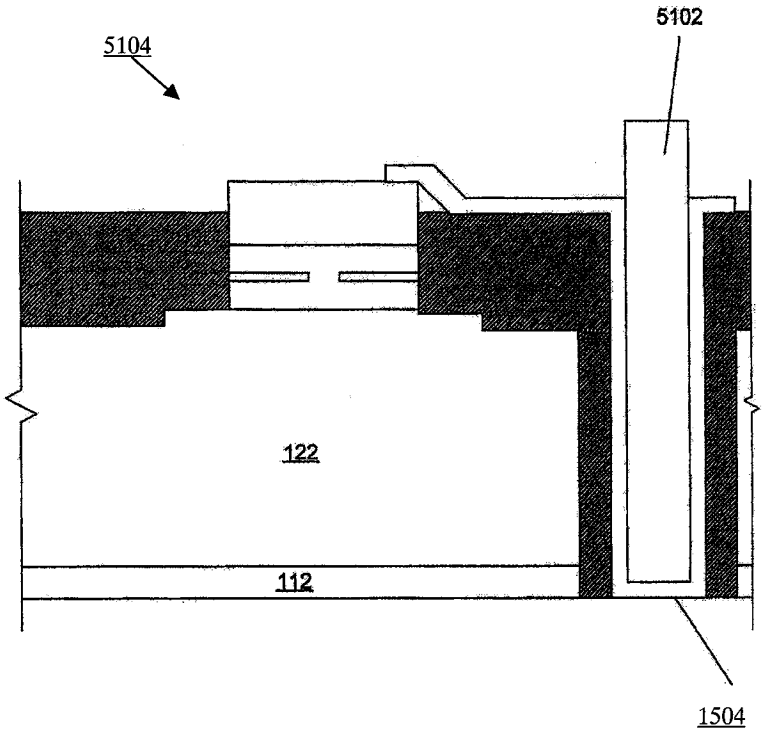


图 51

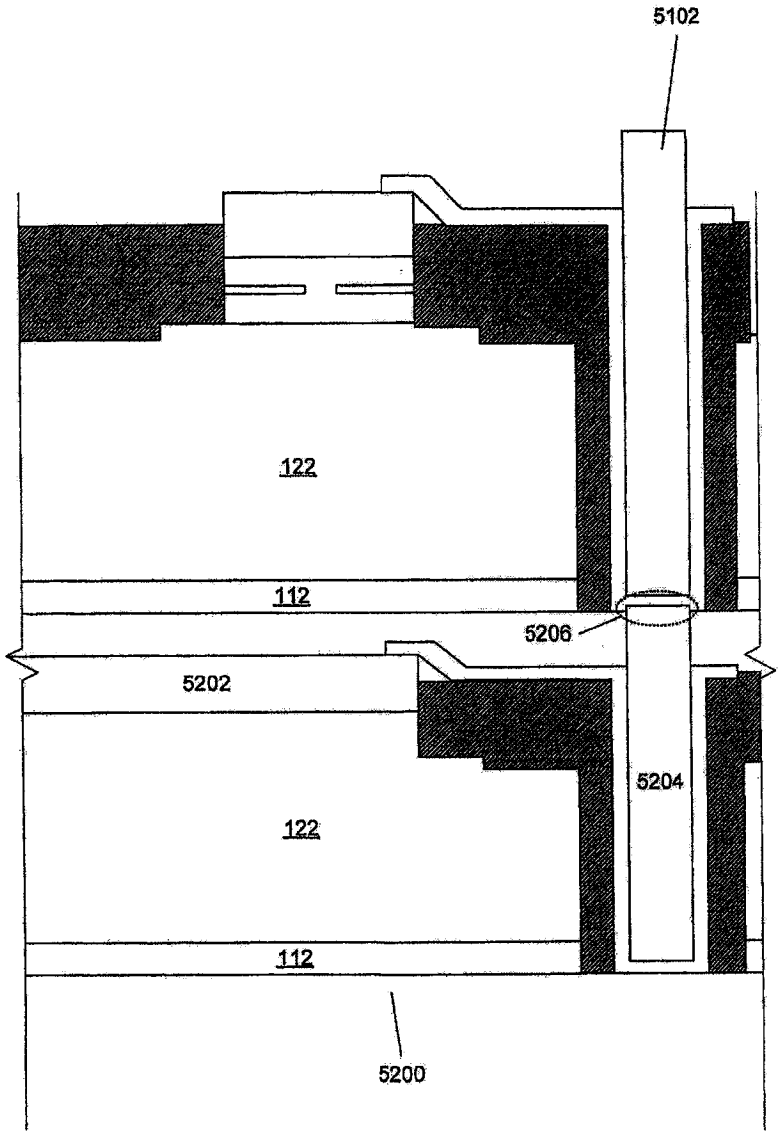

5102
122
112
5206
5202
5204
122
112
5200

图 52

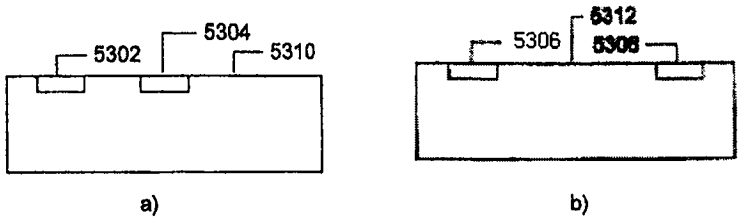

5302
5304
5310
a)
5306
5312
5308
b)

图 53

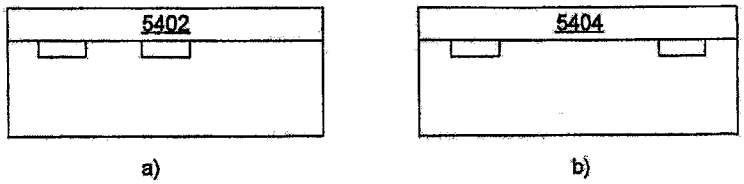


图 54

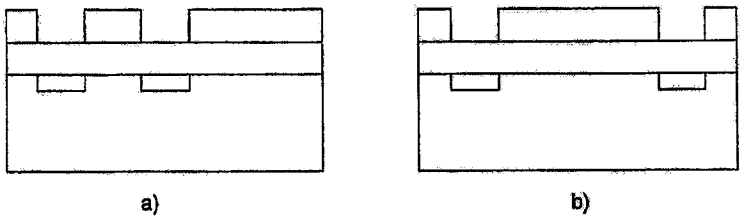


图 55

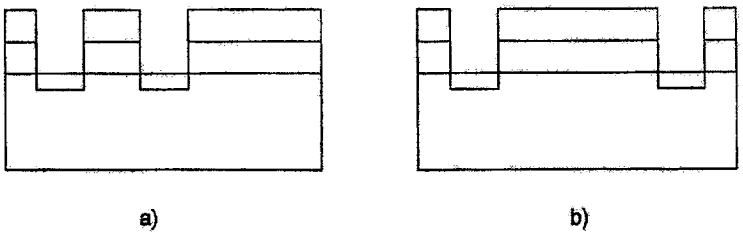


图 56

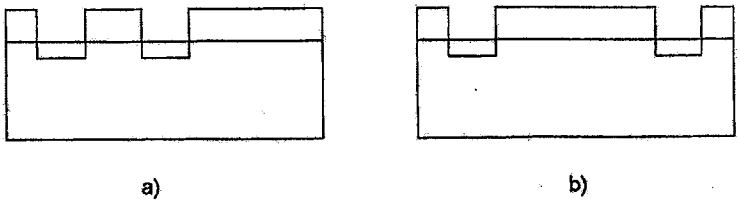


图 57

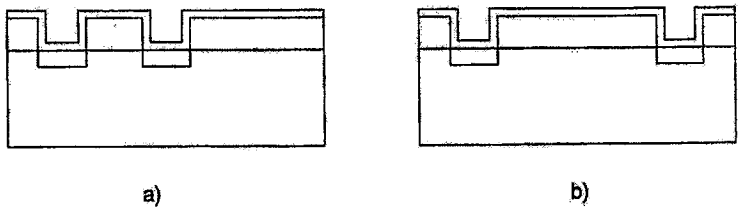


图 58

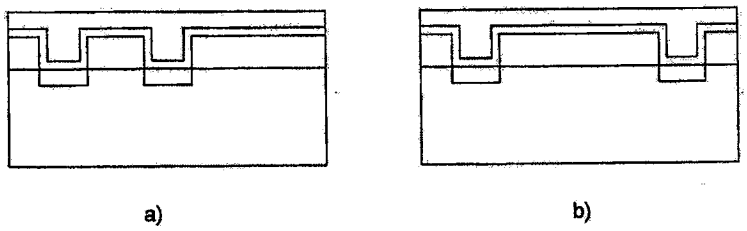


图 59

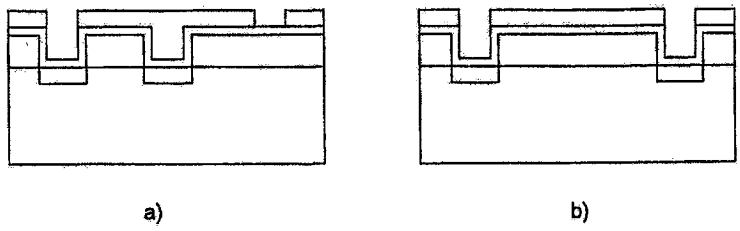


图 60

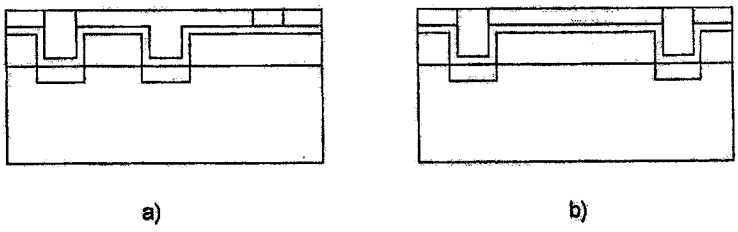


图 61

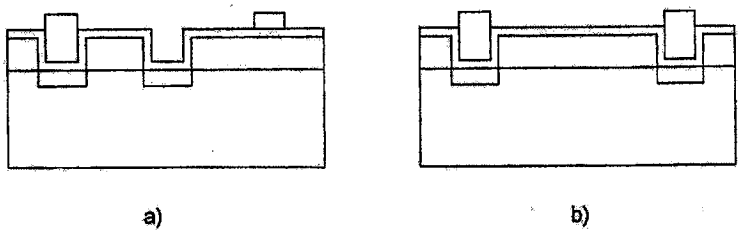


图 62

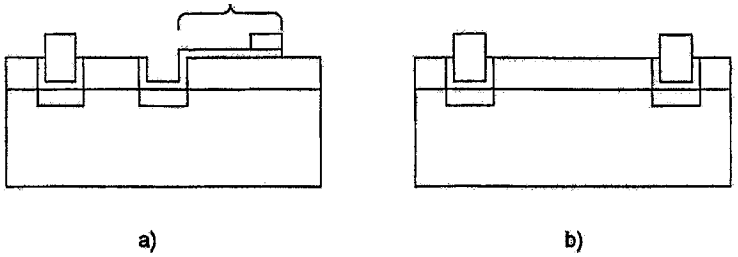


图 63

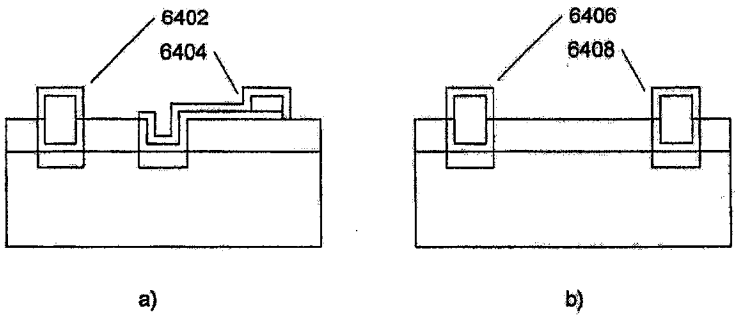


图 64

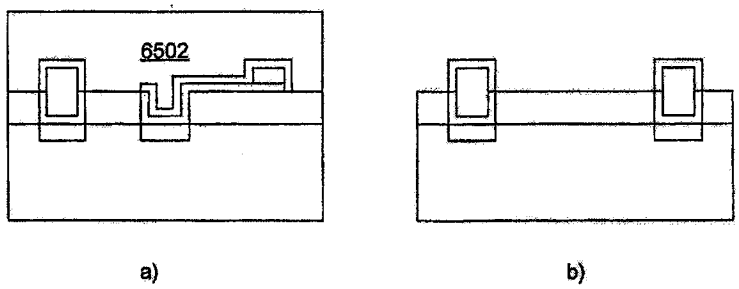


图 65

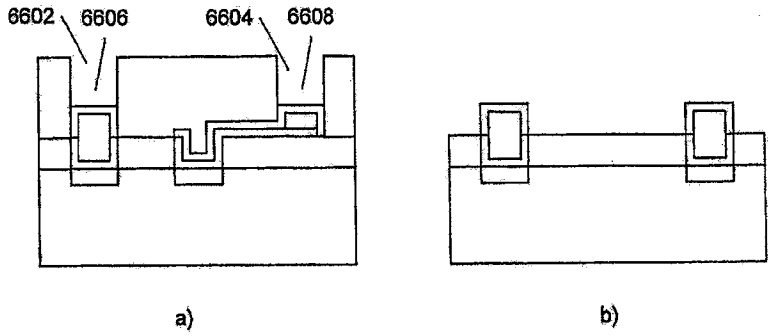


图 66

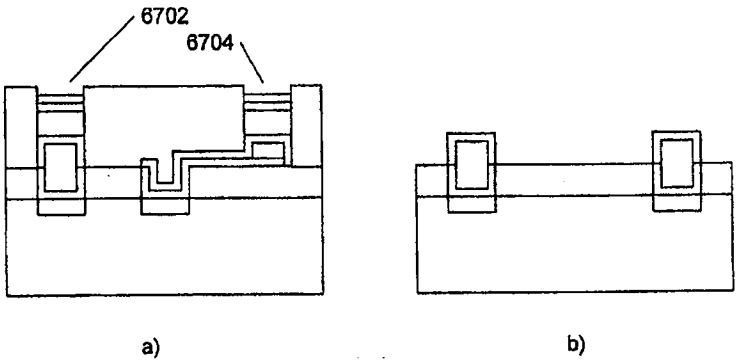


图 67

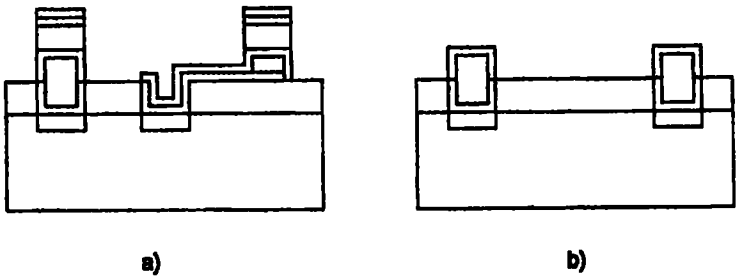


图 68

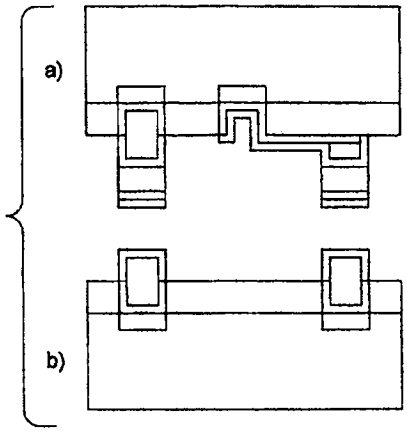


图 69

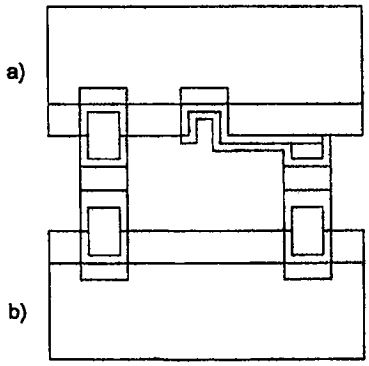


图 70

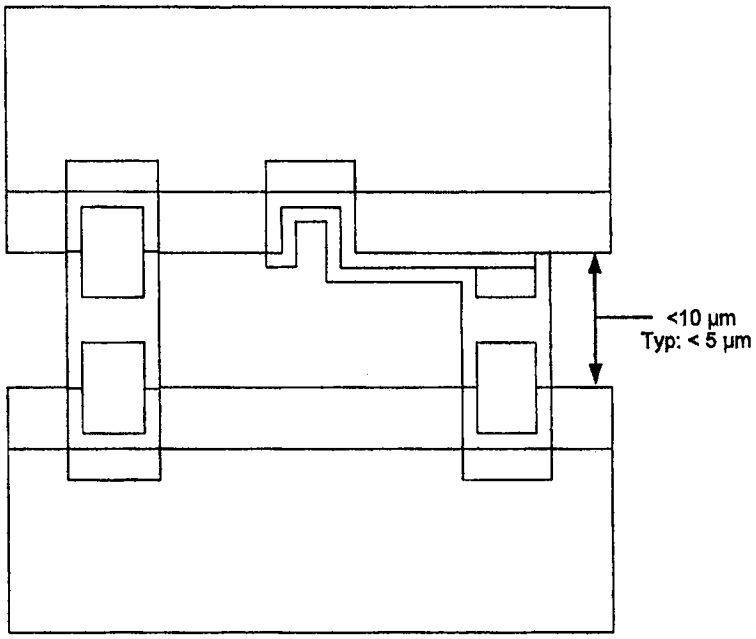


图 71

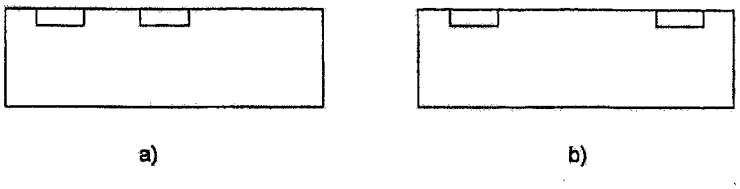


图 72

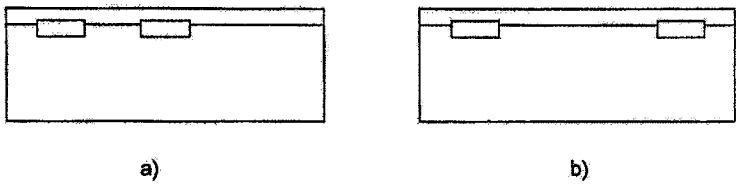


图 73

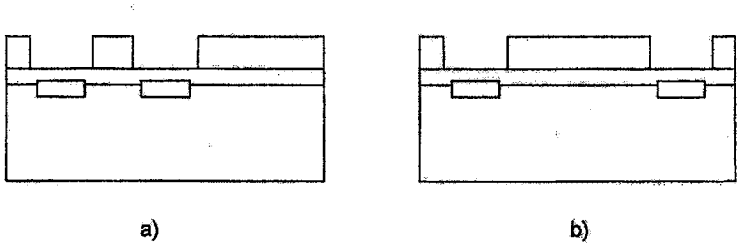


图 74

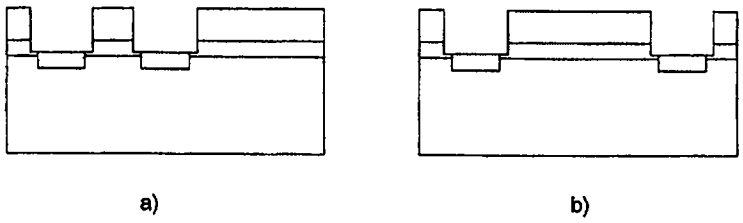


图 75

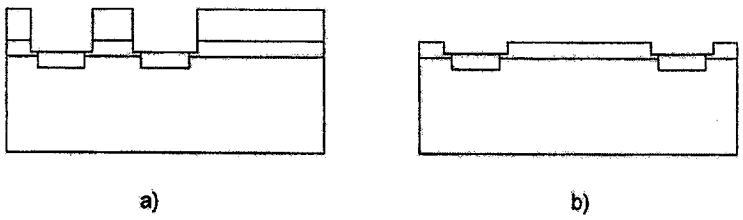


图 76

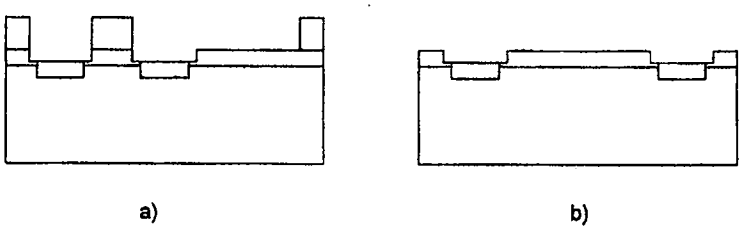


图 77

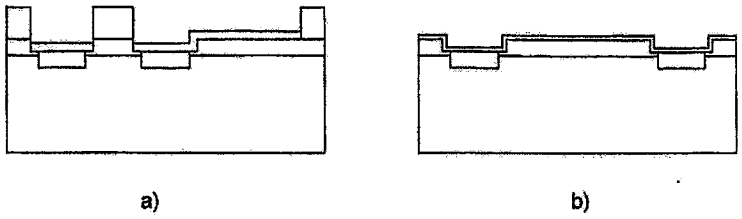


图 78

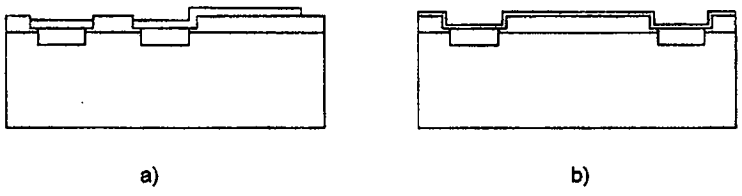


图 79

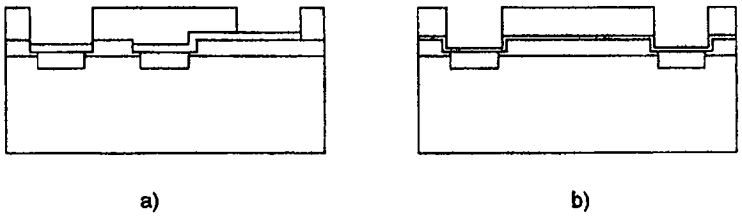


图 80

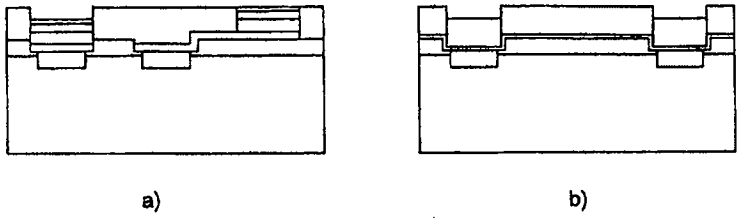


图 81

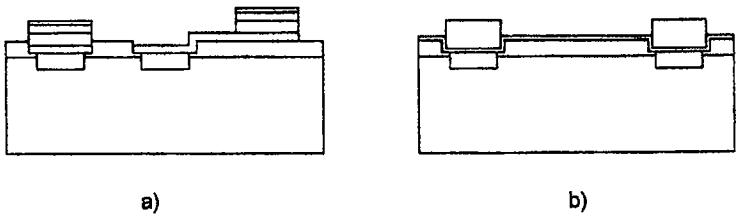


图 82

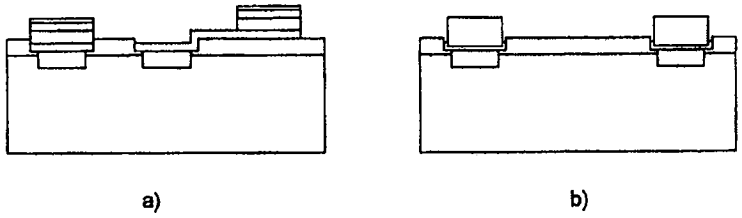


图 83

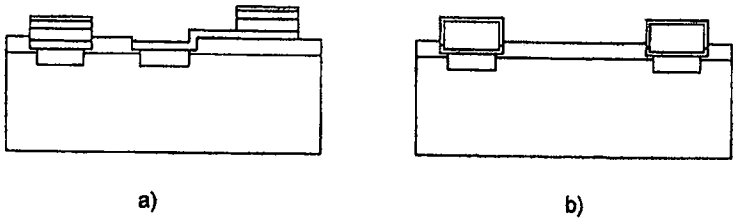


图 84

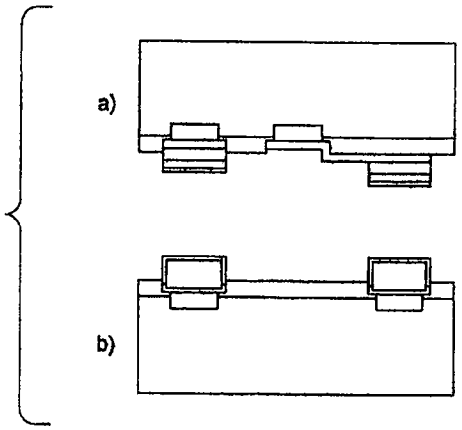


图 85

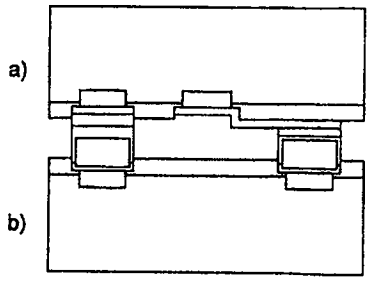


图 86

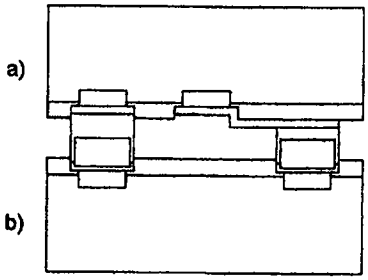


图 87

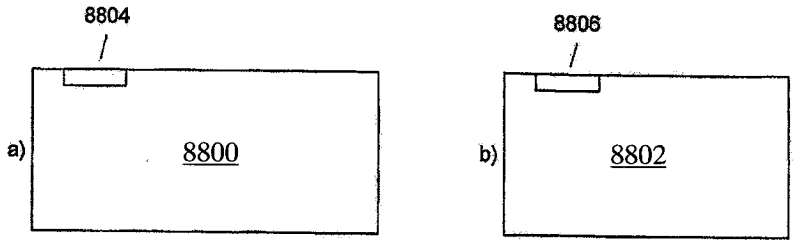


图 88

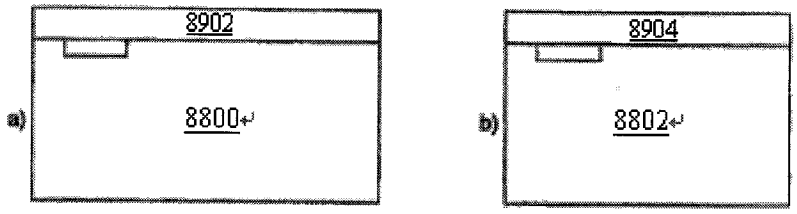


图 89

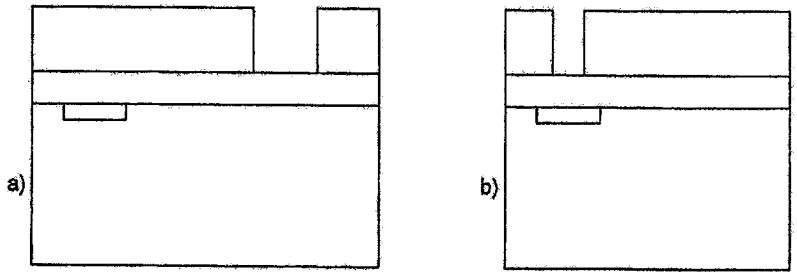
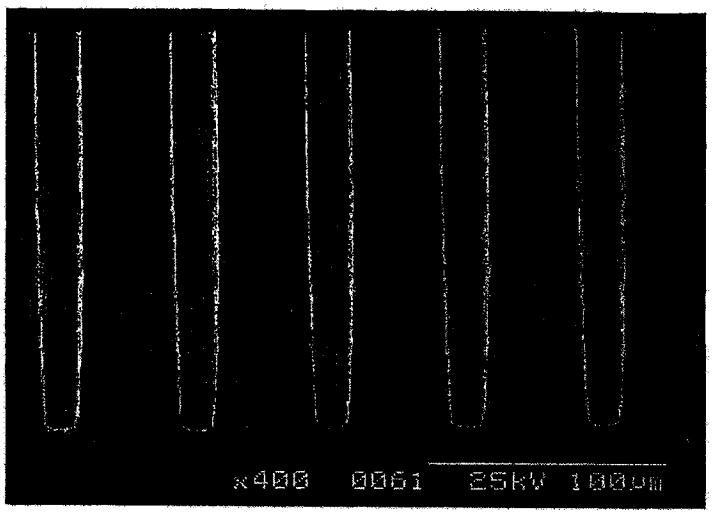
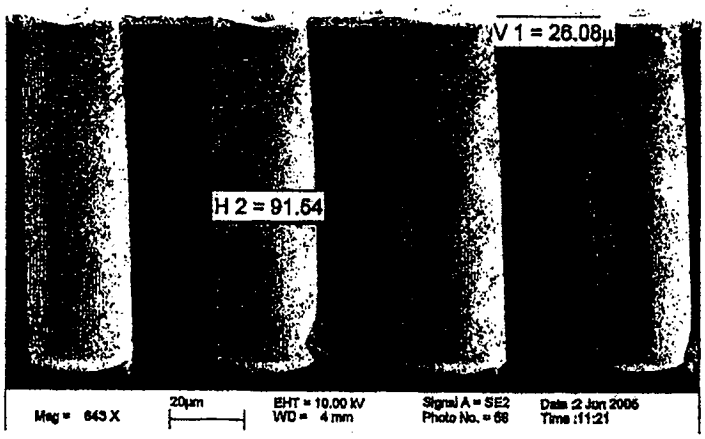


图 90



20μm直径
~150μm深

图 92



20µm直径
100µm深的经填充的通道

图 93

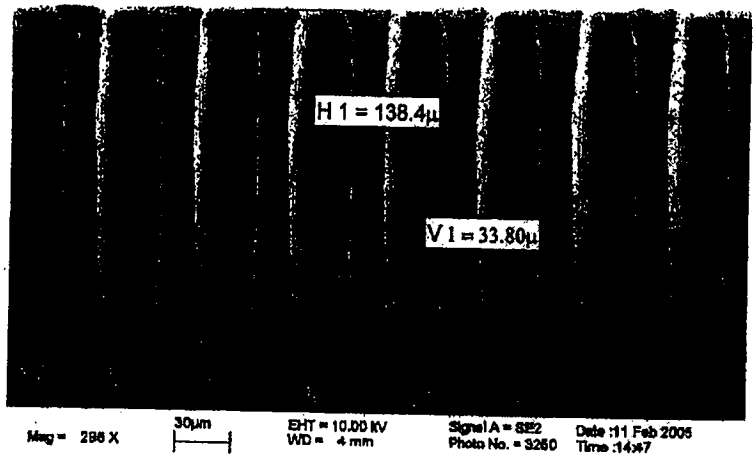


图 94

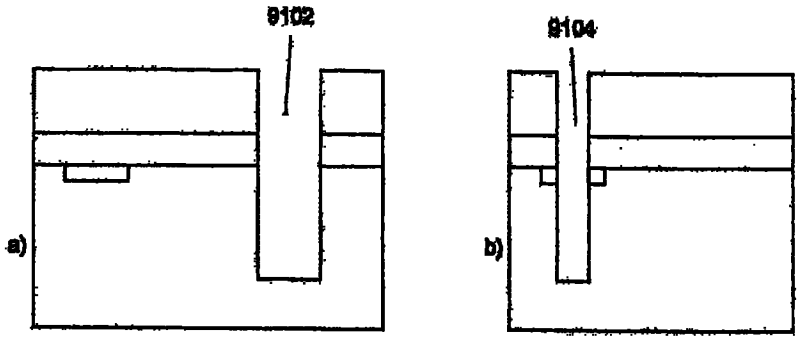


图 91

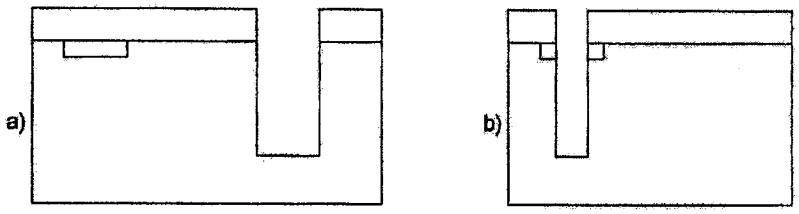


图 95

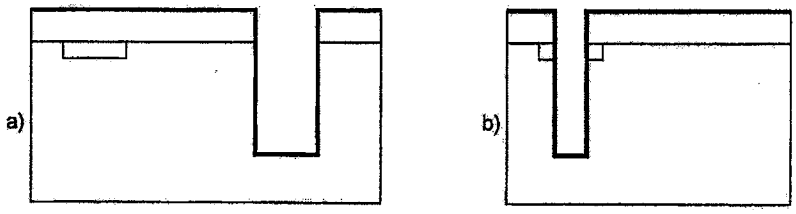


图 96

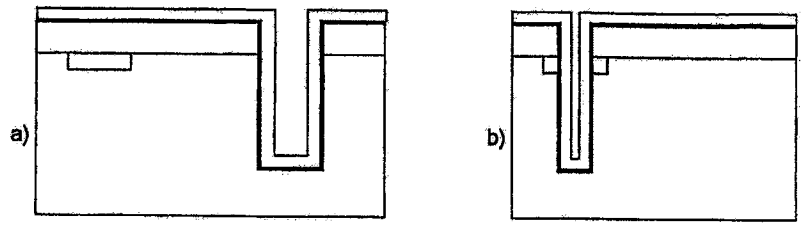


图 97

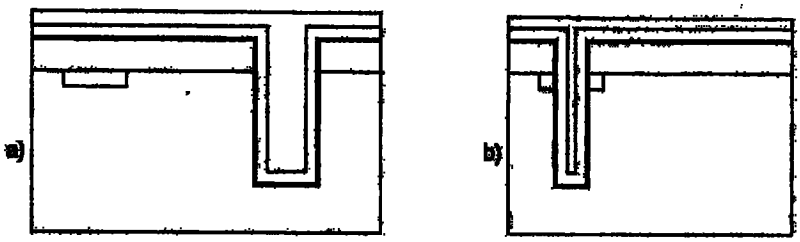


图 98

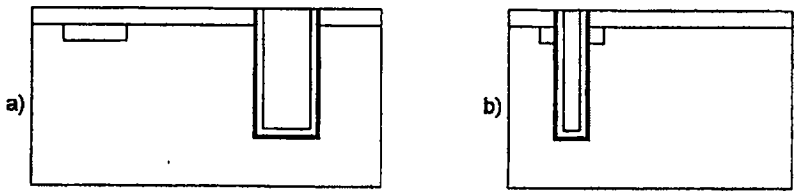


图 99

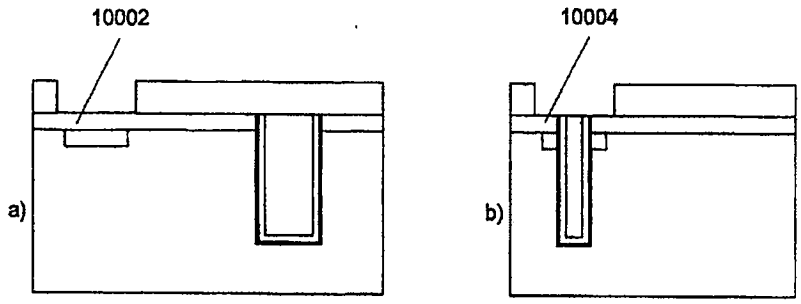


图 100

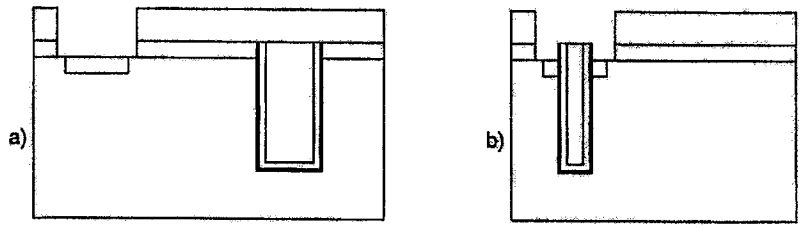


图 101

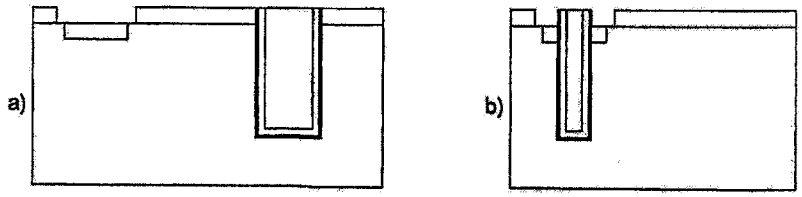


图 102

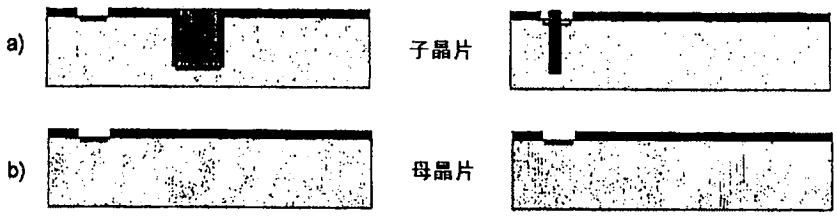


图 103

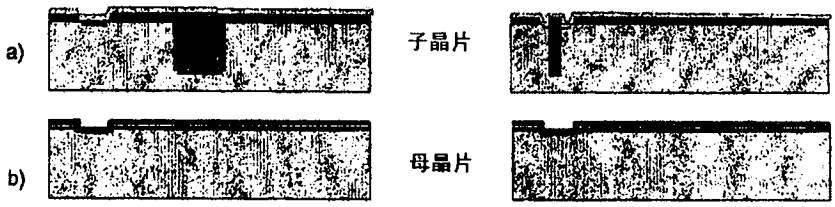


图 104

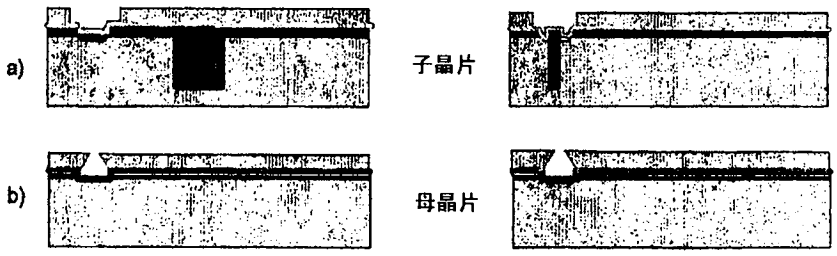


图 105

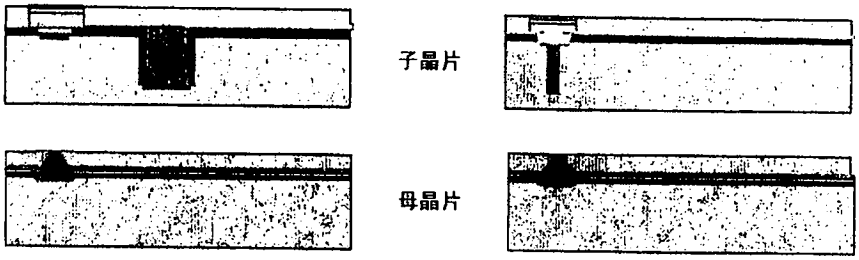


图 106

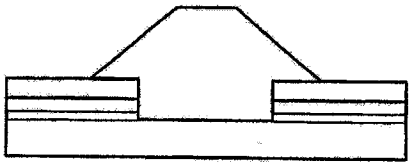


图 107

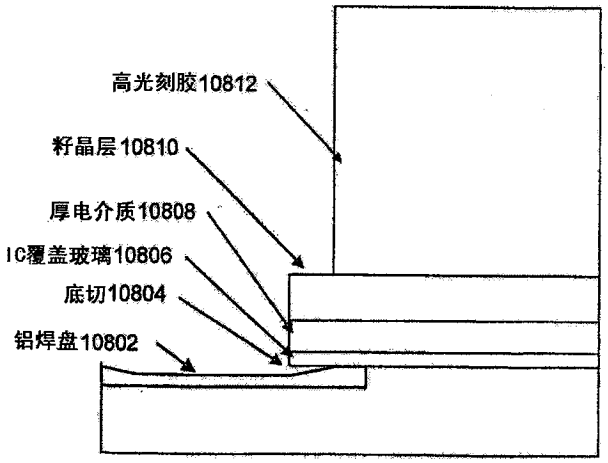


图 108

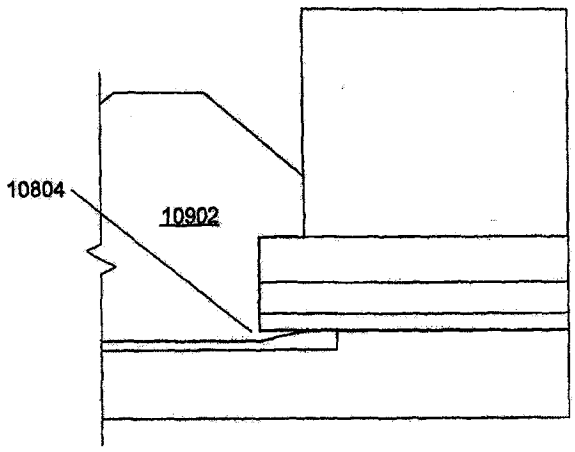


图 109

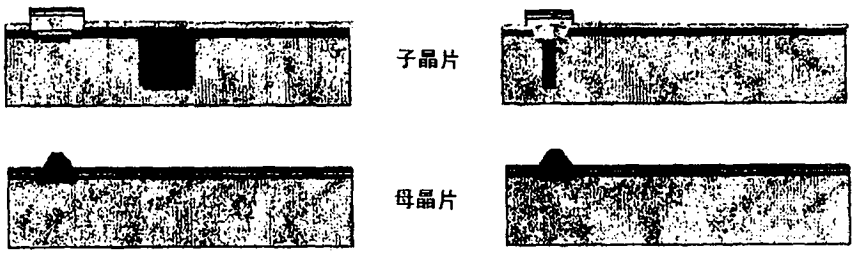


图 110

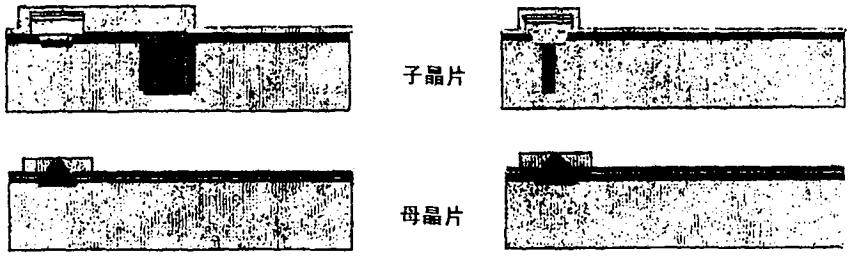


图 111

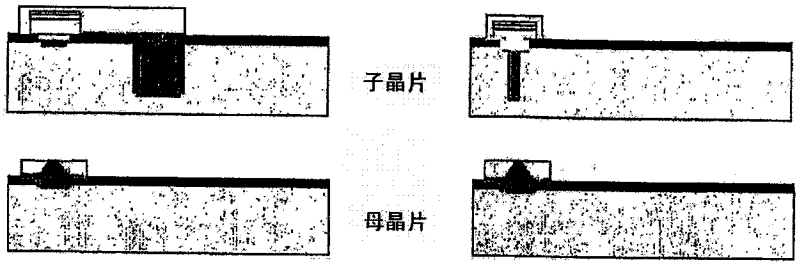


图 112

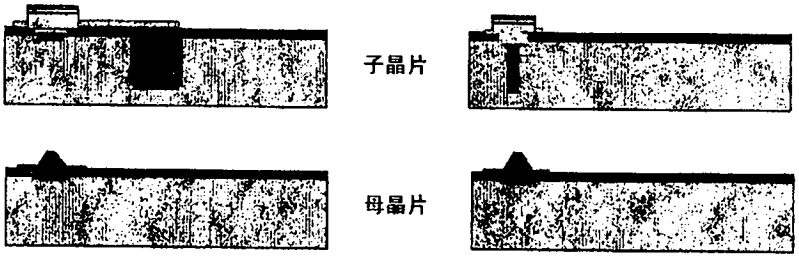


图 113

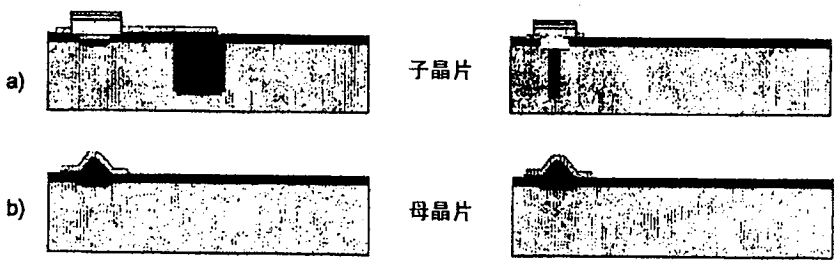


图 114

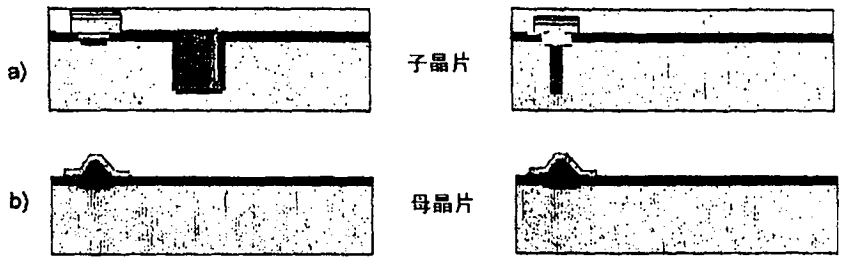


图 115

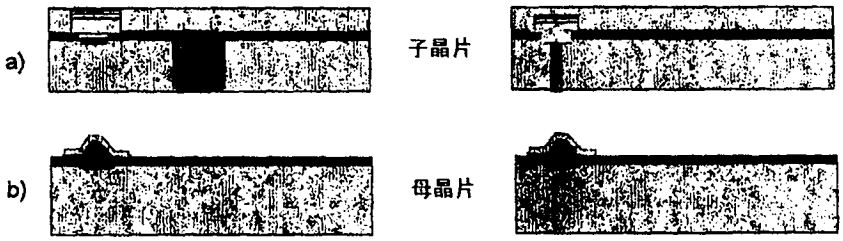


图 116

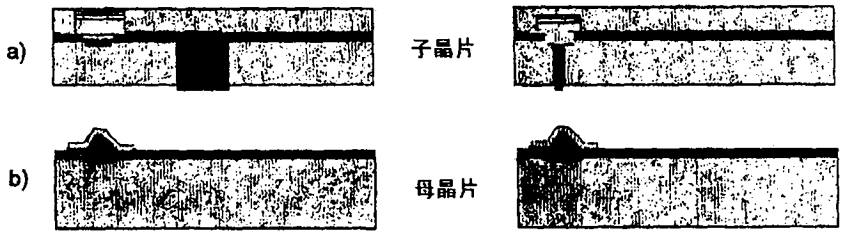


图 117

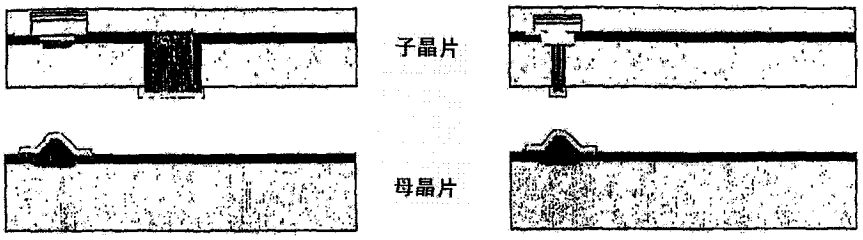


图 118

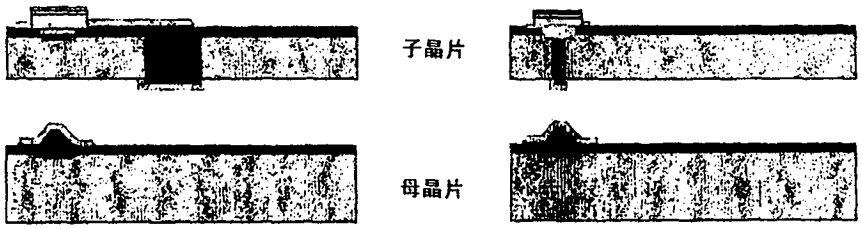


图 119

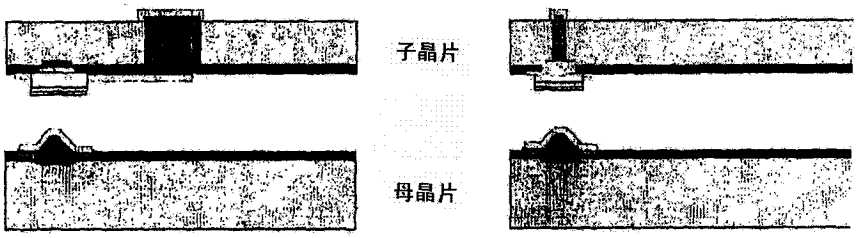


图 120

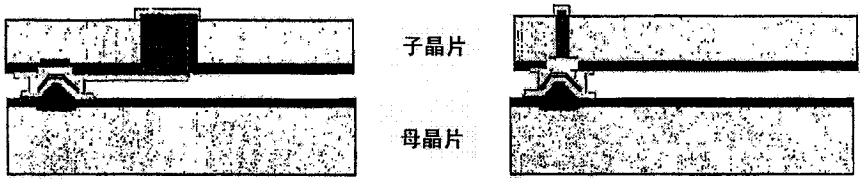


图 121

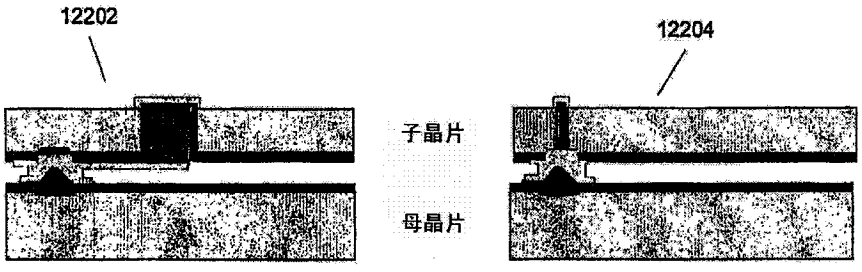


图 122

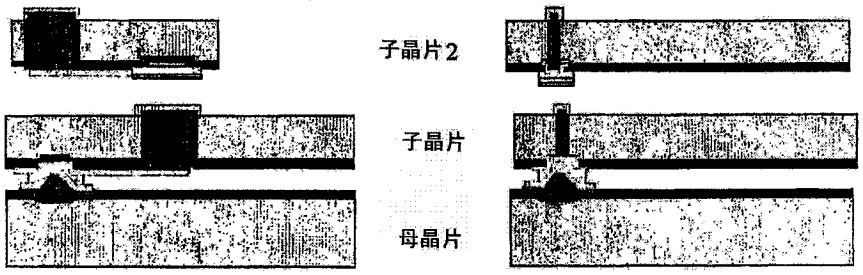


图 123

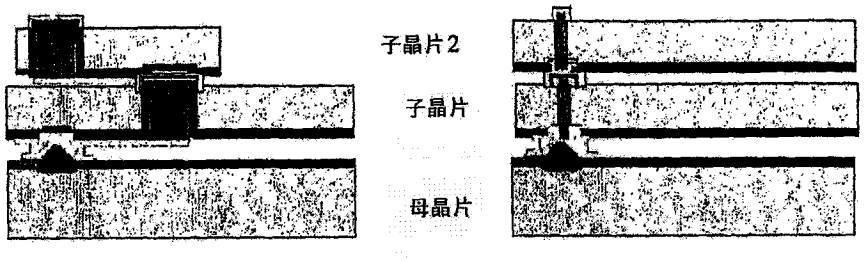


图 124

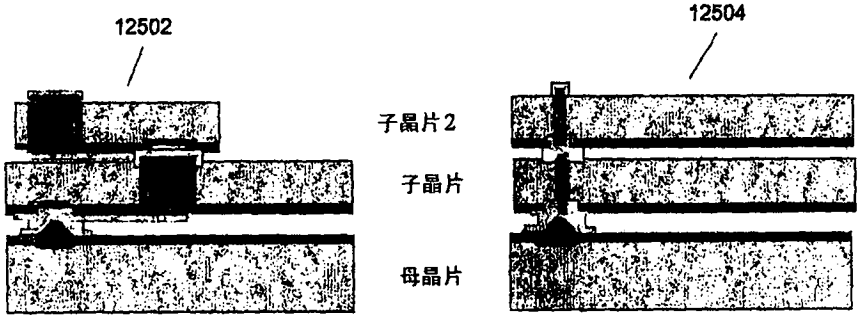


图 125

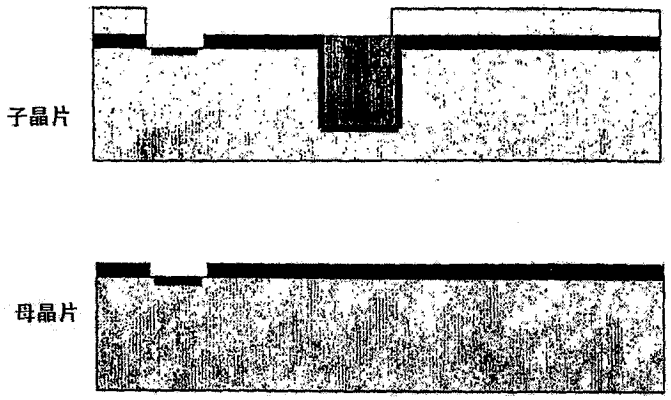


图 126

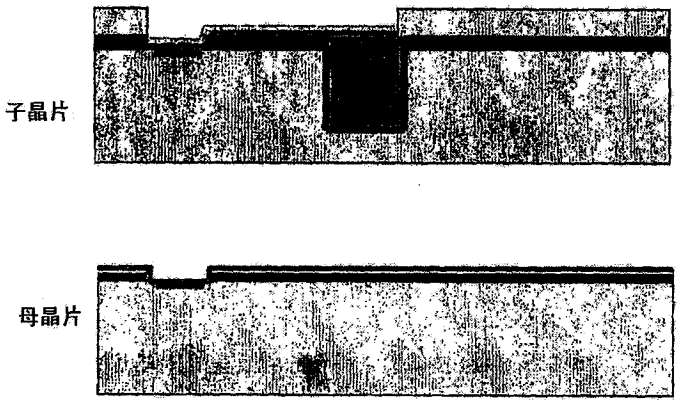


图 127

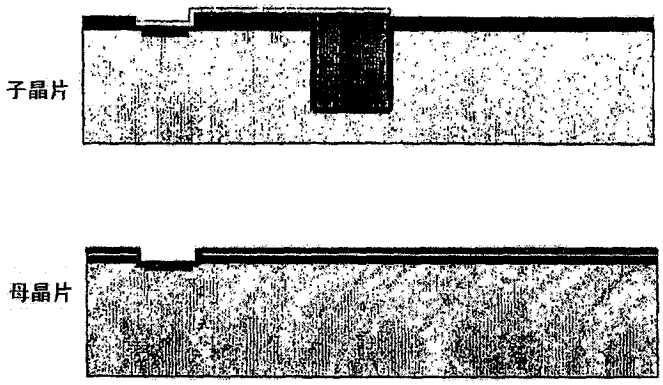


图 128

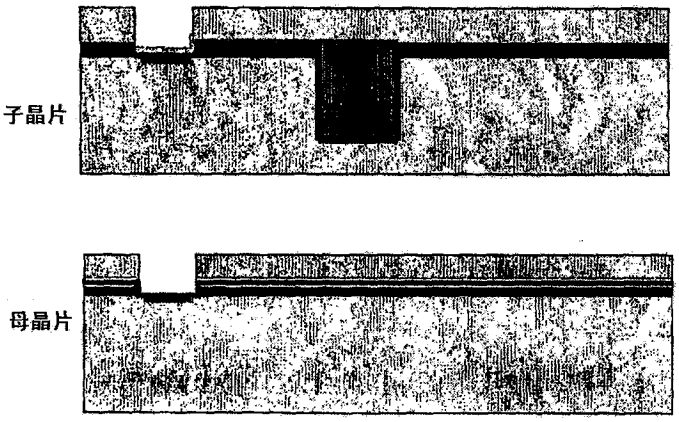


图 129

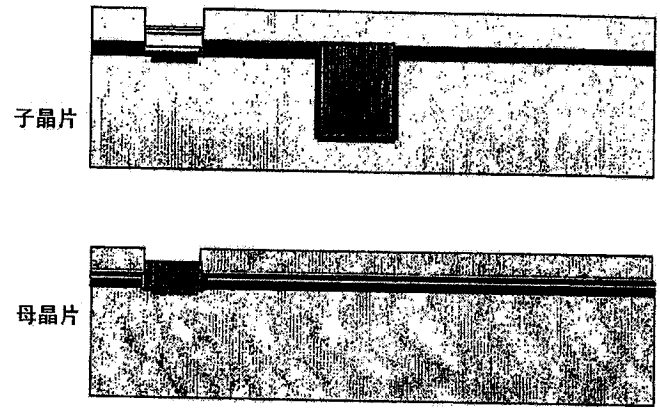


图 130

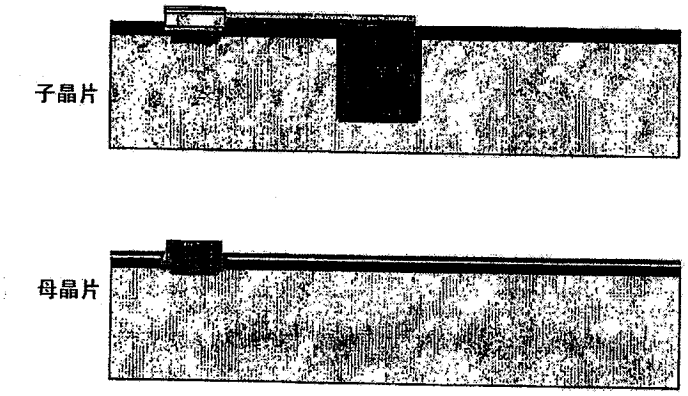


图 131

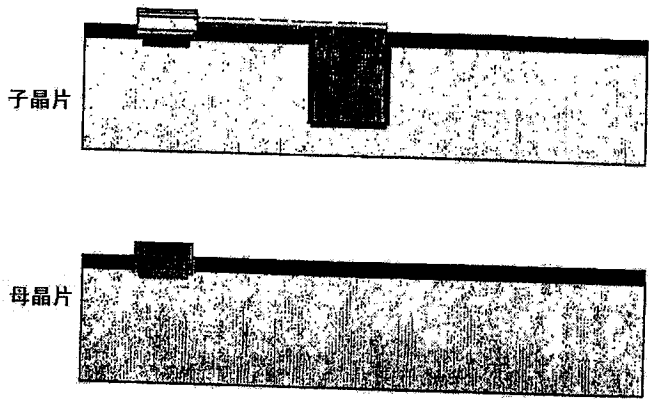


图 132

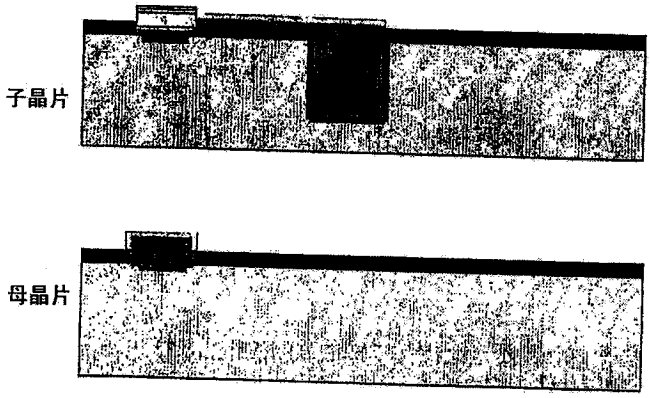


图 133

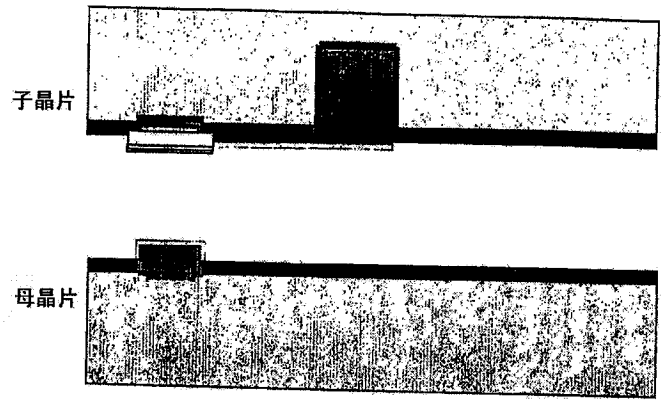


图 134

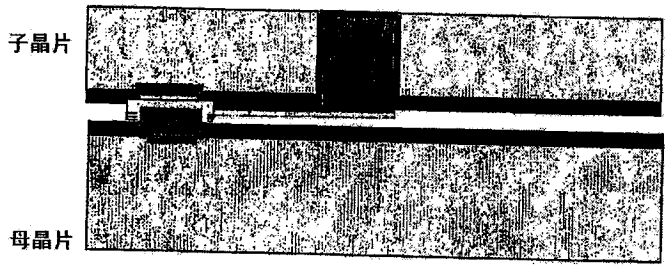


图 135

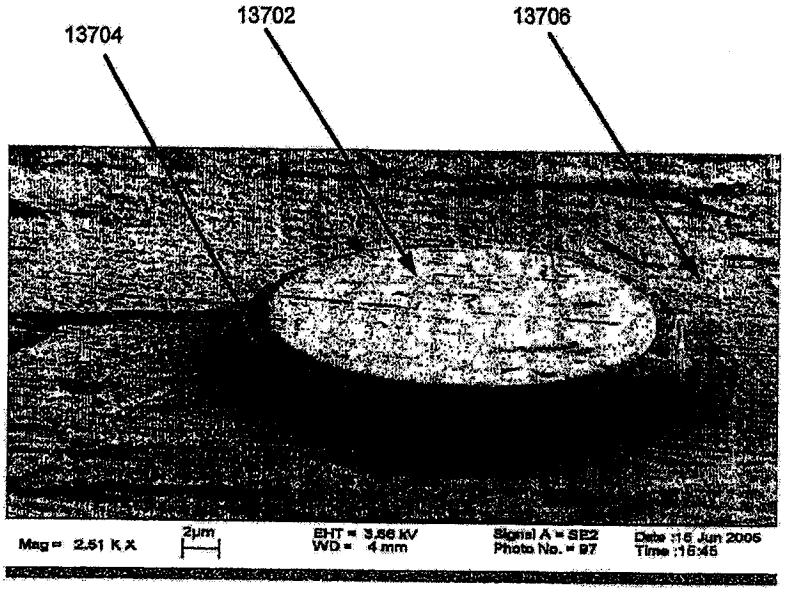


图 137

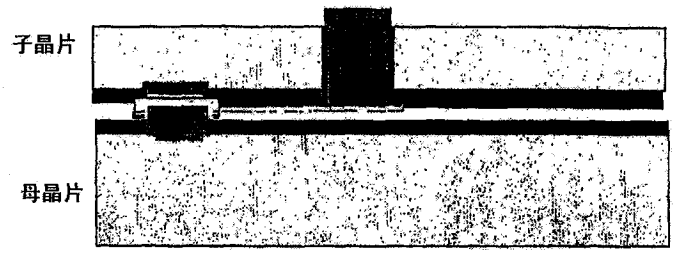


图 136

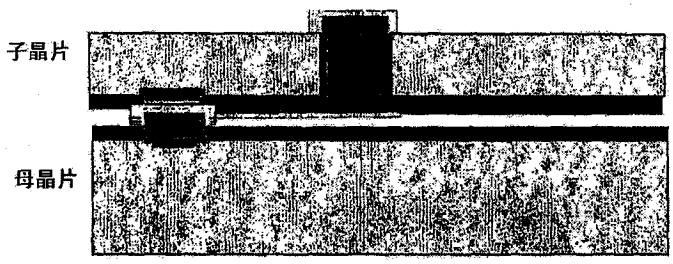


图 138

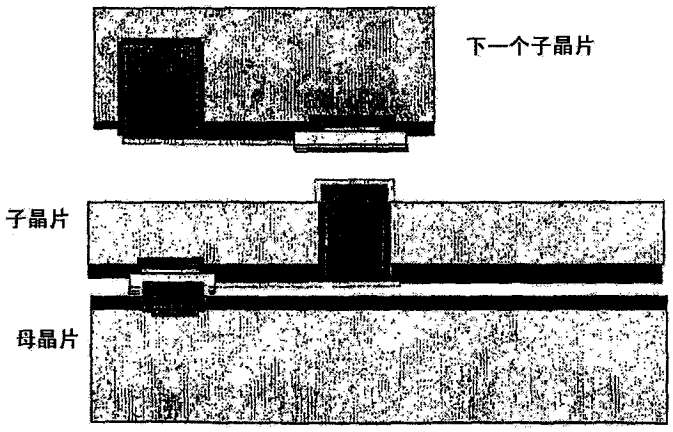


图 139

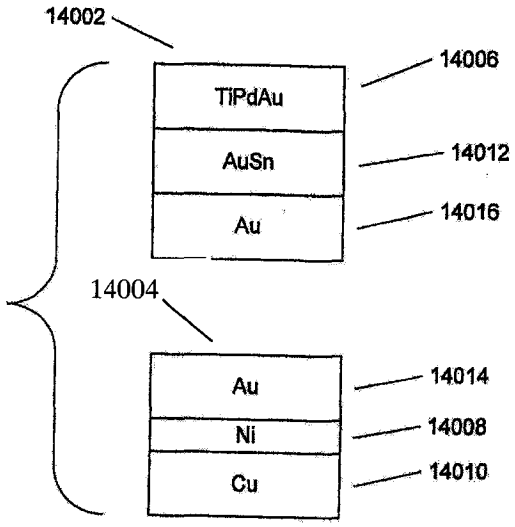


图 140

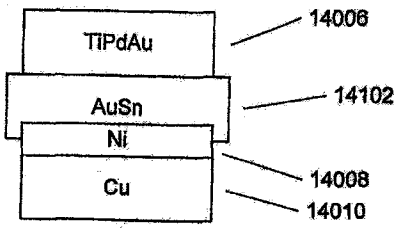


图 141

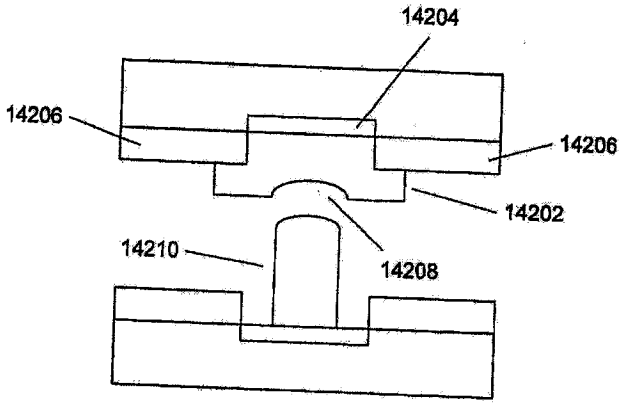


图 142

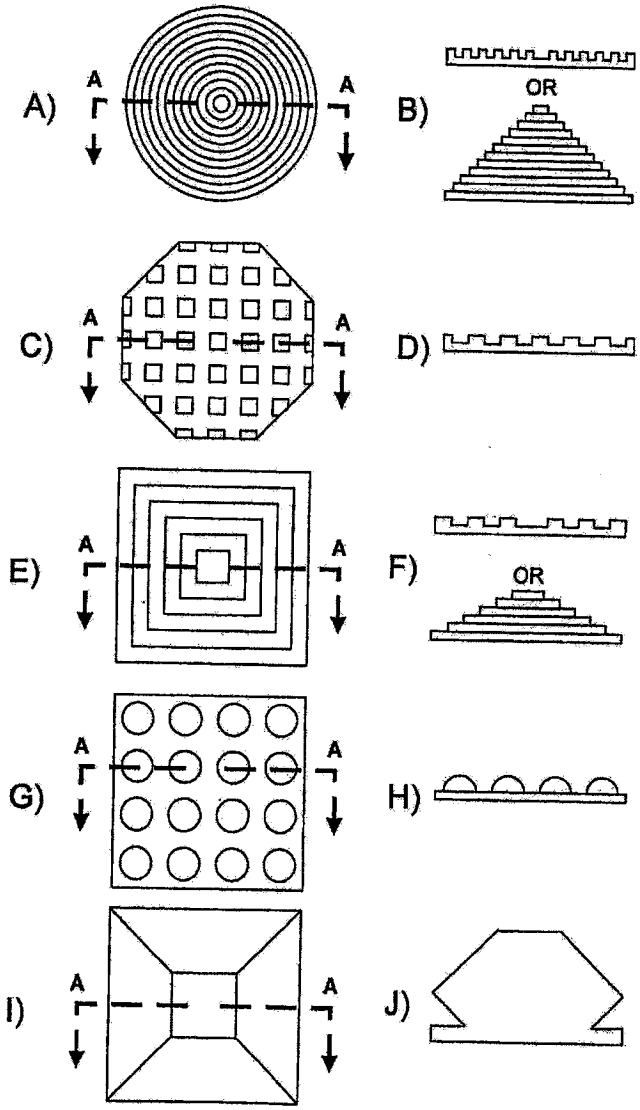


图 143-1

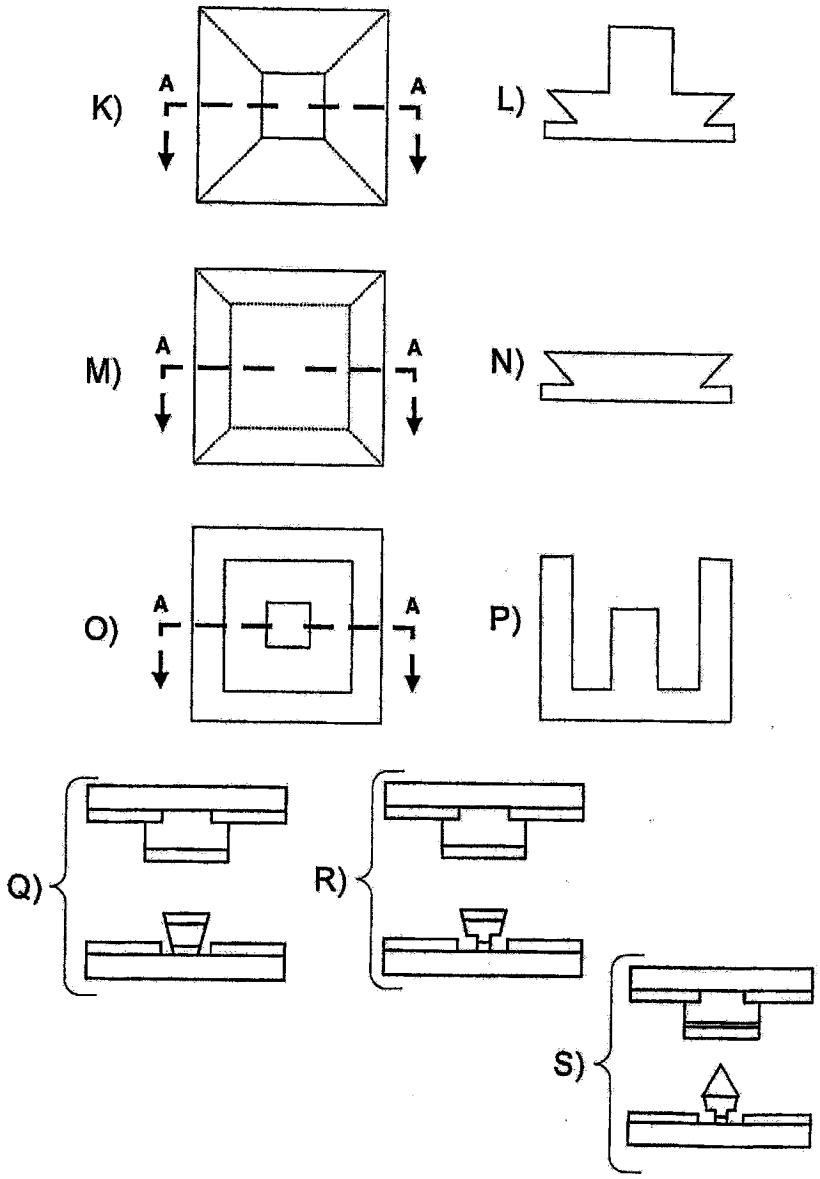


图 143-2

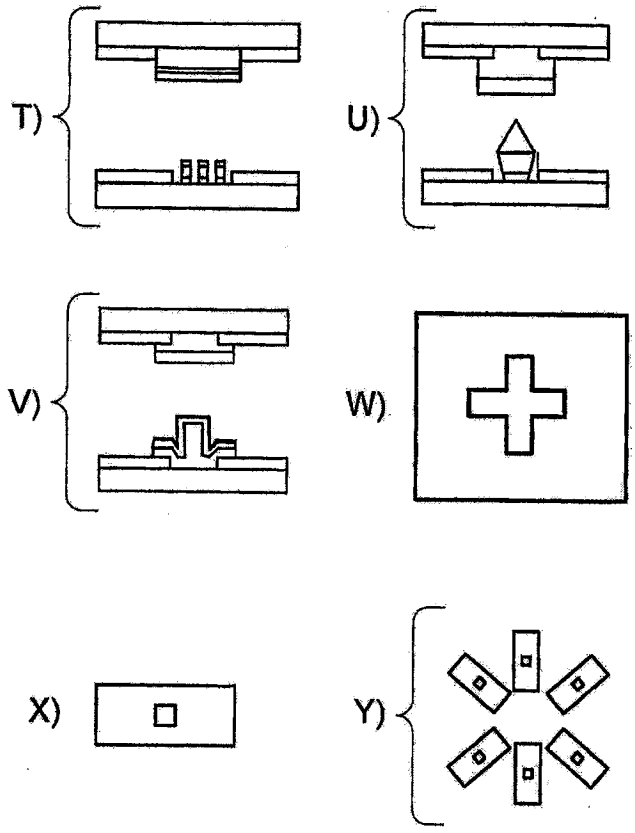


图 143-3

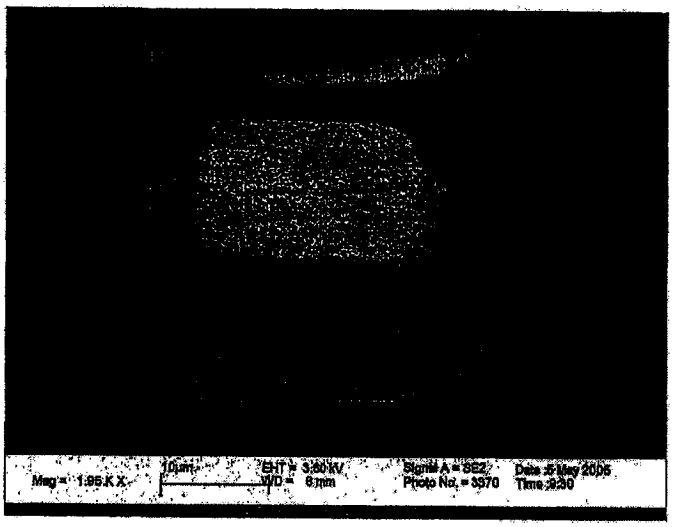

Mag = 1.95 K X
10µm
EHT = 3.00 kV
WD = 6 mm
Signal A = SE2
Photo No. = 3570
Date :5 May 2006
Time :9:30

图 144

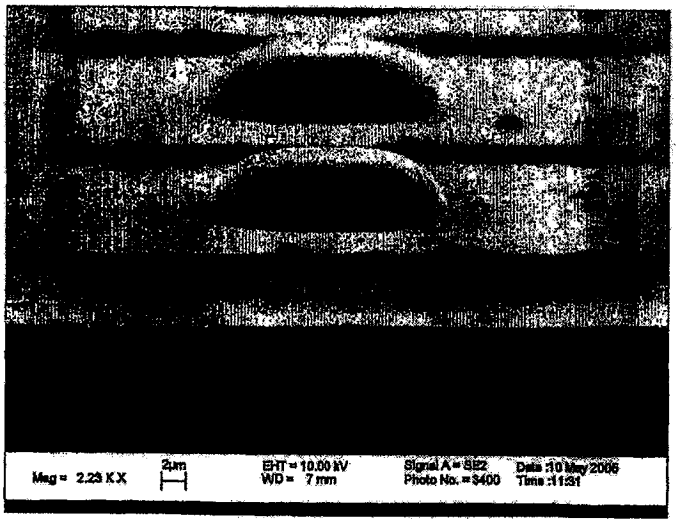

Mag = 2.23 K X
2µm
EHT = 10.00 kV
WD = 7 mm
Signal A = SE2
Photo No. = 3400
Date :10 May 2006
Time :11:31

图 145

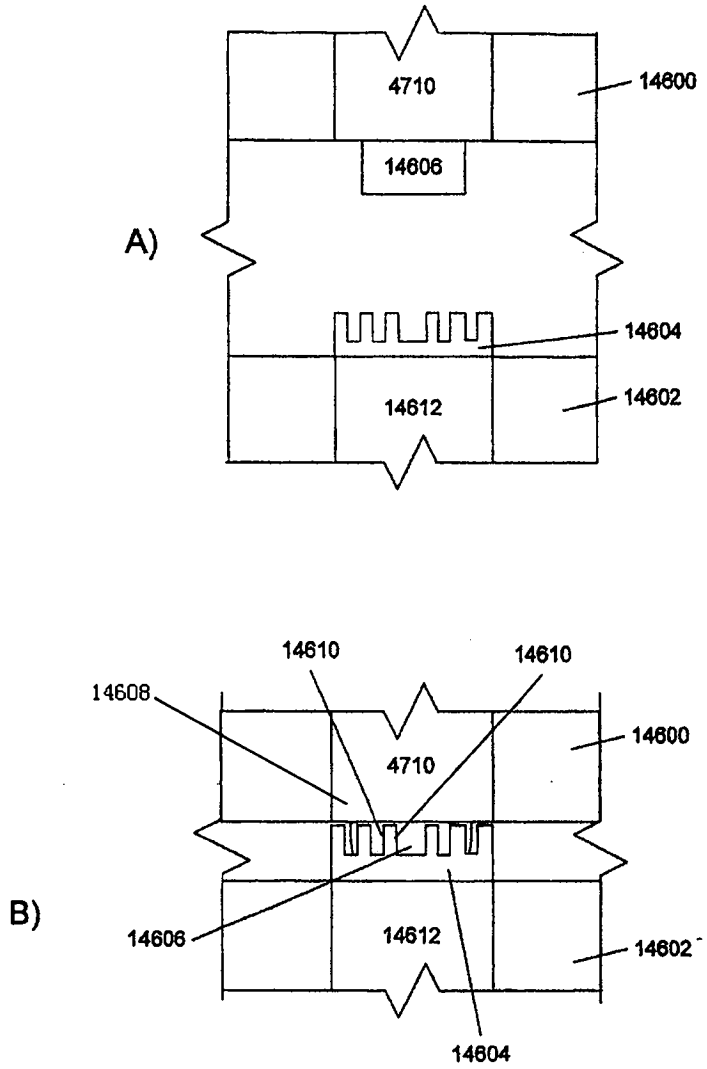


图 146

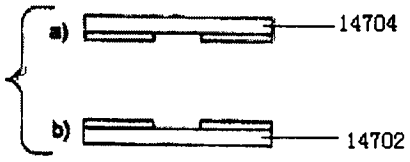


图 147

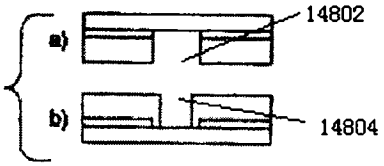


图 148

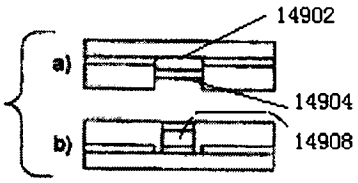


图 149

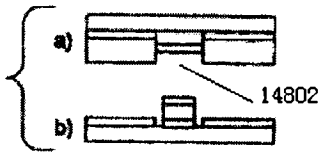


图 150

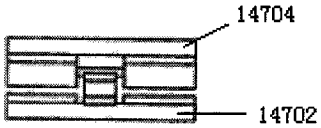


图 151

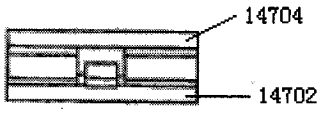


图 152

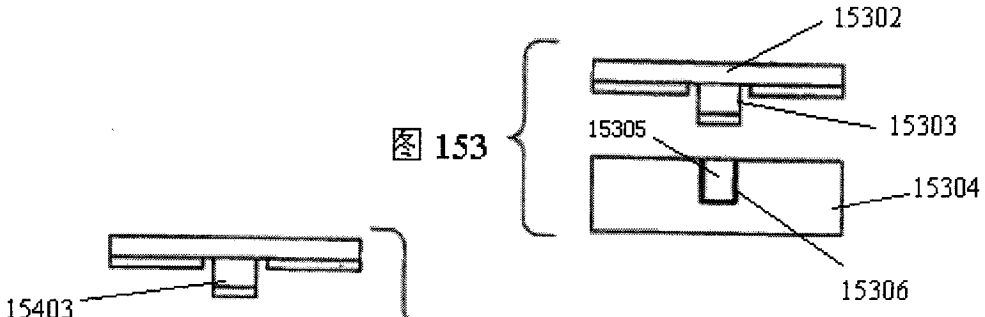


图 153

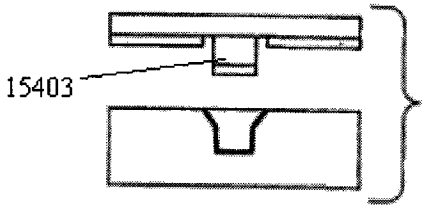


图 154

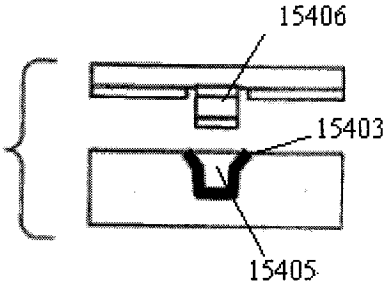


图 155

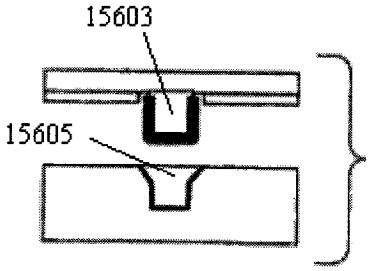


图 156

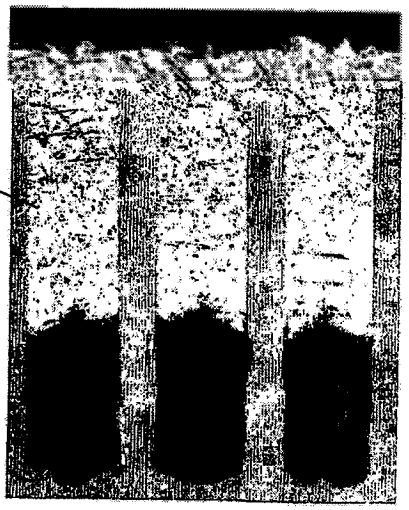


图 158

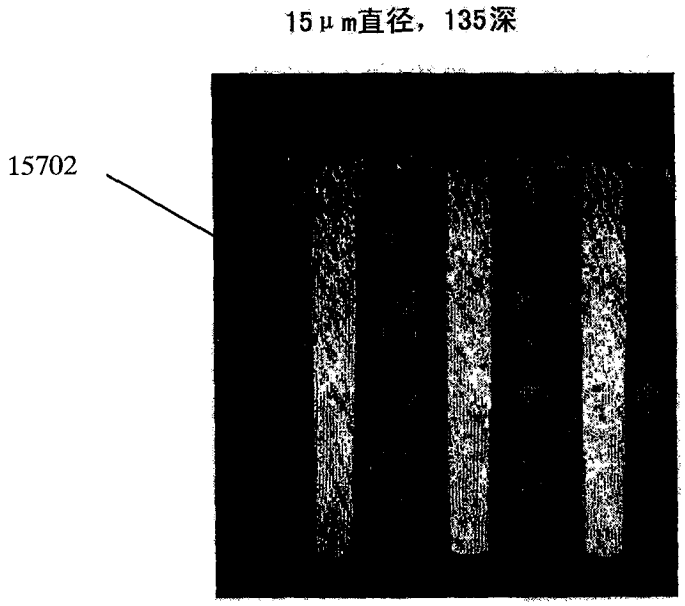


图 157A

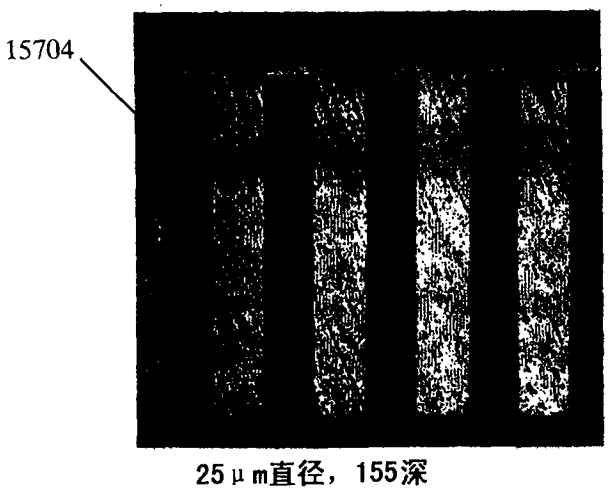


图 157B

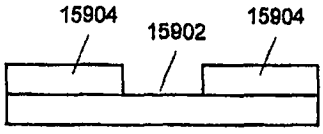


图 159

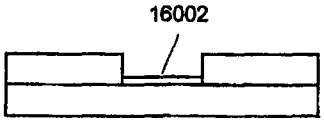


图 160

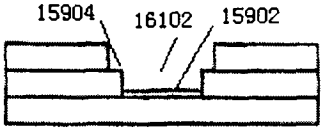


图 161

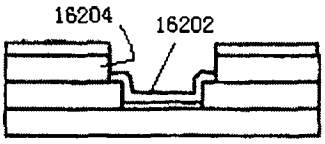


图 162

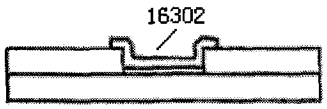


图 163

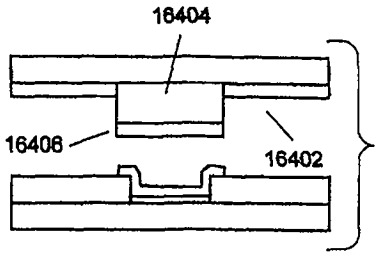


图 164

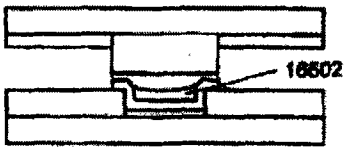


图 165

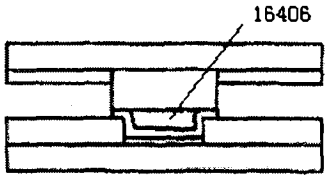


图 166

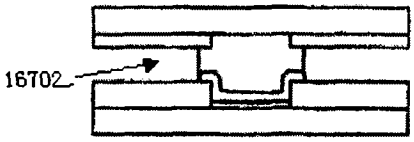


图 167

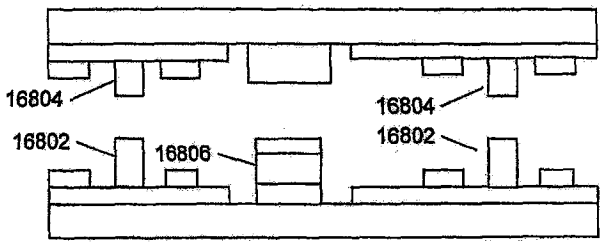


图 168

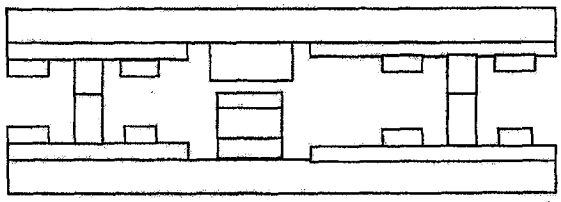


图 169

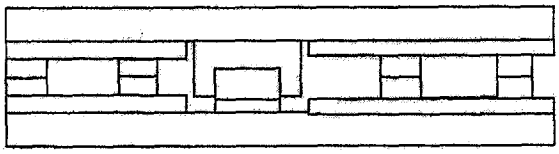


图 170

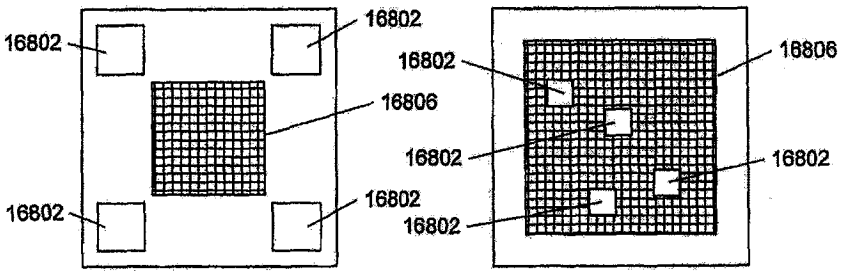


图 171A 图 171B

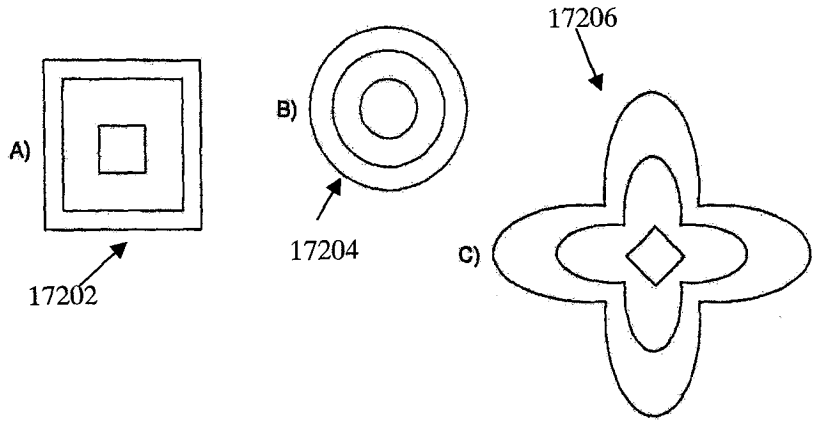


图 172

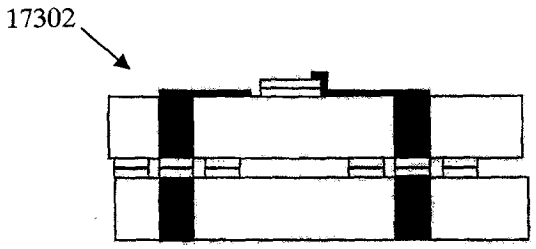


图 173

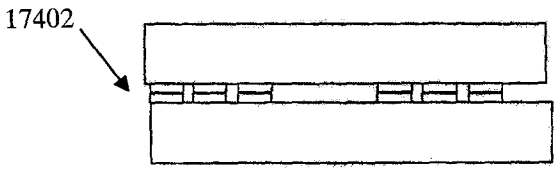


图 174



图 175

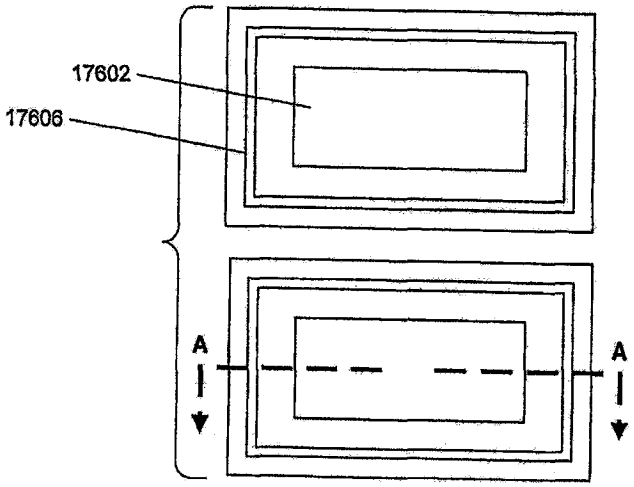


图 176

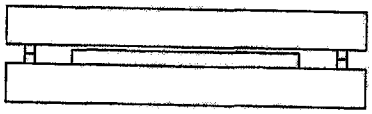


图 177

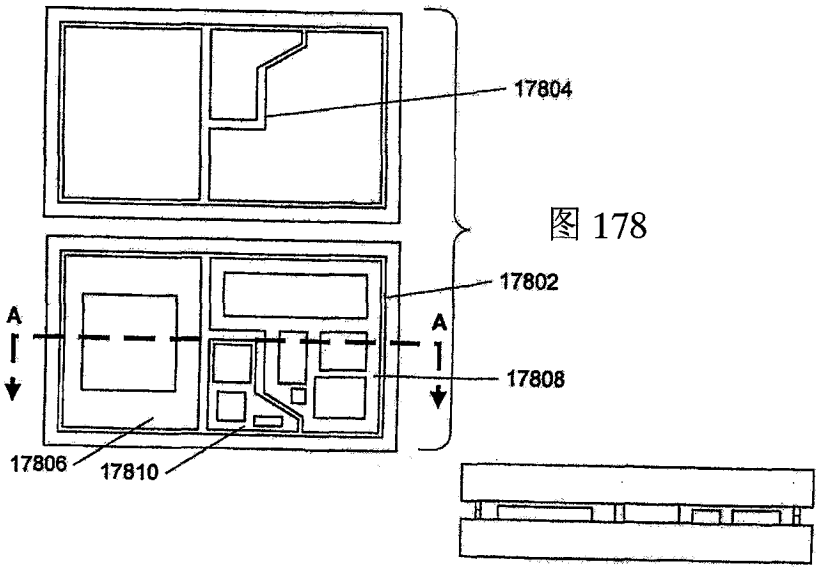


图 178

图 179

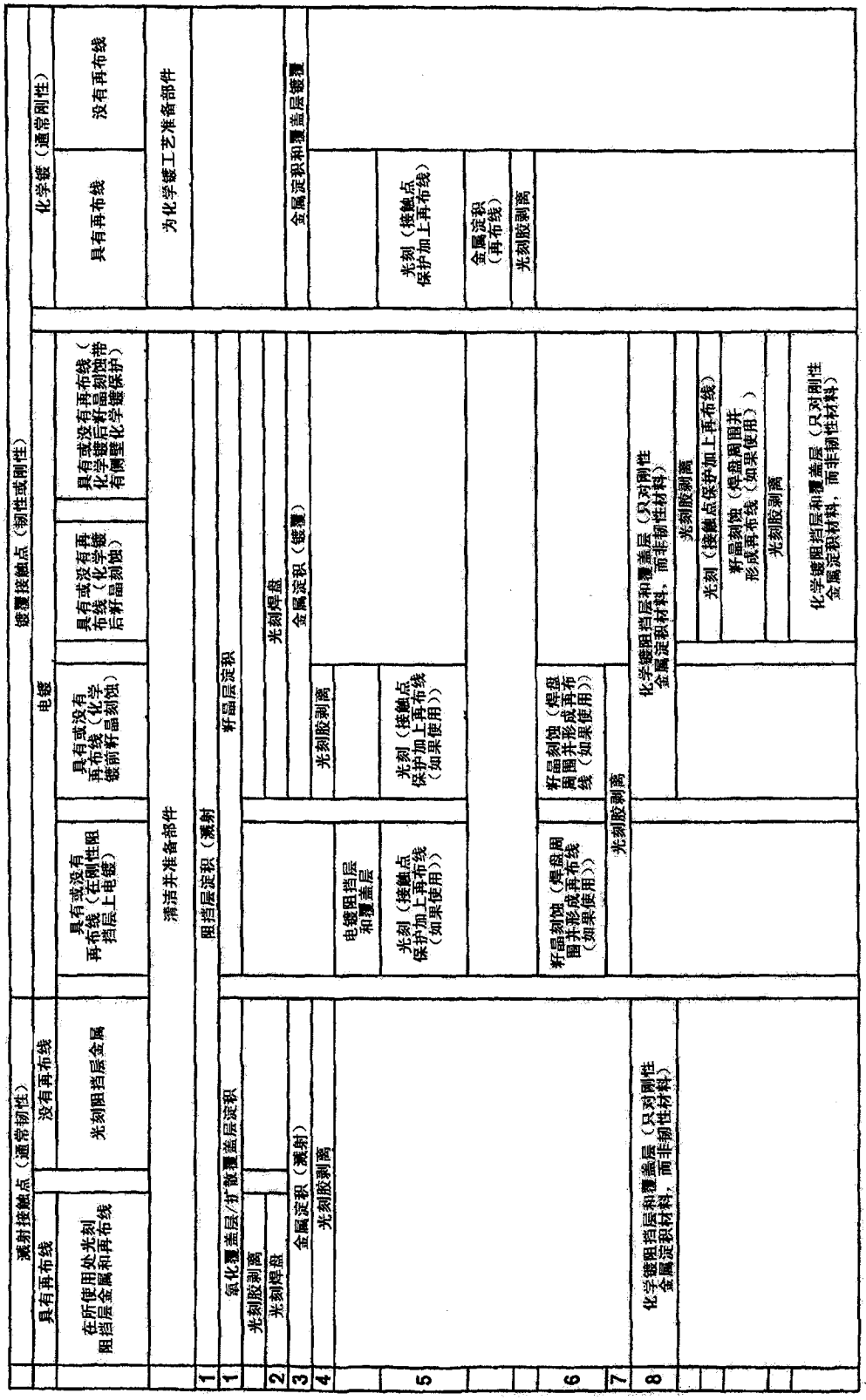

溅射接触点（通常韧性）
镀覆接触点（韧性或刚性）
具有再布线
没有再布线
电镀
化学镀（通常刚性）
在所使用处光刻阻挡层金属和再布线
光刻阻挡层金属
具有或没有再布线（在刚性阻挡层上电镀）
具有或没有再布线（化学镀前籽晶刻蚀）
具有或没有再布线（化学镀后籽晶刻蚀带有侧壁化学镀保护）
具有再布线
没有再布线
清洁并准备部件
为化学镀工艺准备部件
1 阻挡层淀积（溅射）
1 氧化覆盖层/扩散覆盖层淀积
光刻胶剥离
2 光刻焊盘
3 金属淀积（溅射）
4 光刻胶剥离
籽晶层淀积
光刻焊盘
金属淀积（镀覆）
光刻胶剥离
电镀阻挡层和覆盖层
光刻（接触点保护加上再布线（如果使用））
金属淀积和覆盖层镀覆
光刻（接触点保护加上再布线）
金属淀积（再布线）
光刻胶剥离
5
籽晶刻蚀（焊盘周围并形成再布线（如果使用））
光刻胶剥离
6
籽晶刻蚀（焊盘周围并形成再布线（如果使用））
7
化学镀阻挡层和覆盖层（只对刚性金属淀积材料，而非韧性材料）
8
化学镀阻挡层和覆盖层（只对刚性金属淀积材料，而非韧性材料）
光刻胶剥离
光刻（接触点保护加上再布线）
籽晶刻蚀（焊盘周围并形成再布线（如果使用））
光刻胶剥离
化学镀阻挡层和覆盖层（只对刚性金属淀积材料，而非韧性材料）

图 180

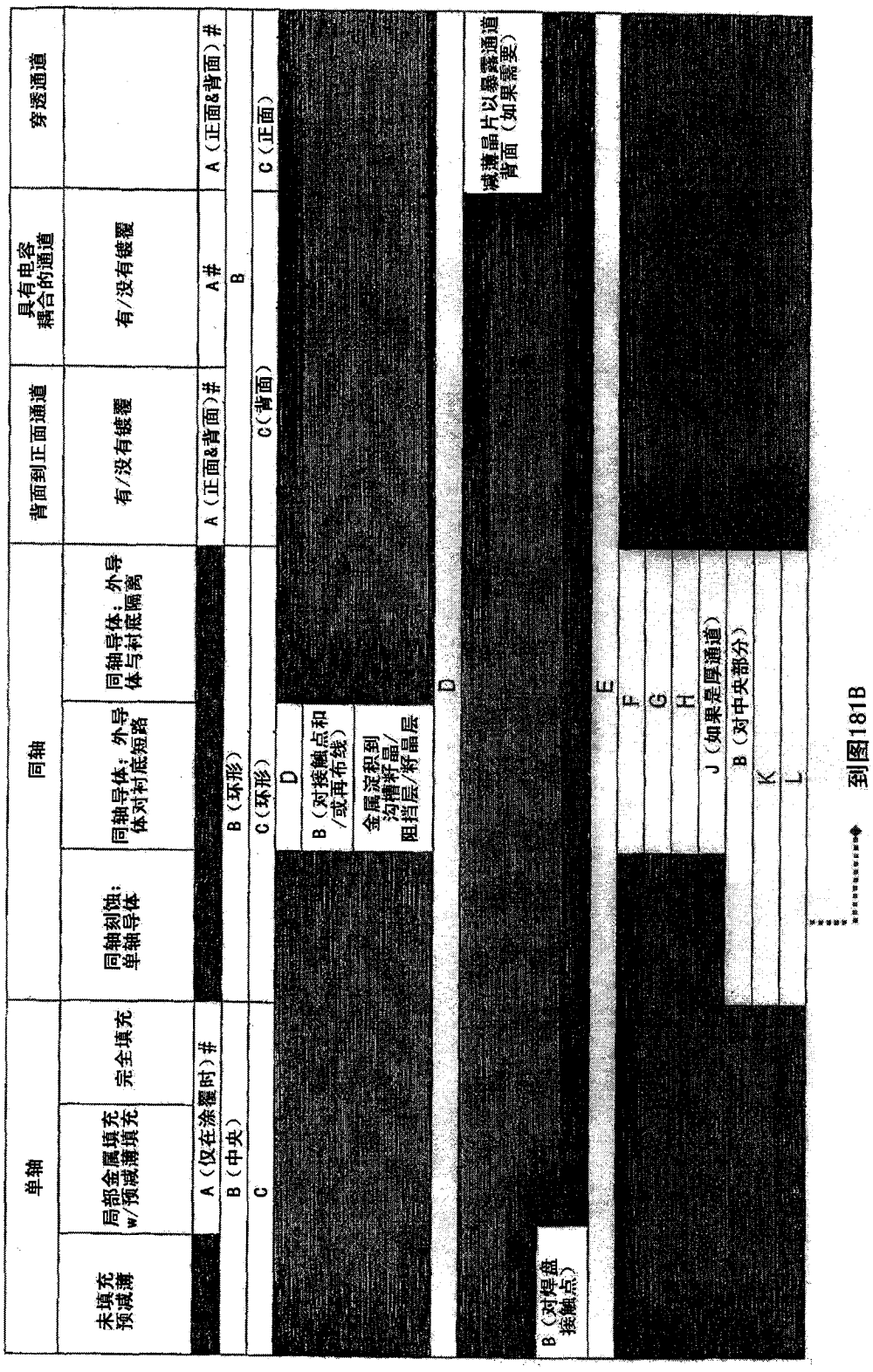

单轴
同轴
背面到正面通道
具有电容耦合的通道
穿透通道
未填充预减薄
局部金属填充w/预减薄填充
完全填充
同轴刻蚀：单轴导体
同轴导体：外导体对衬底短路
同轴导体：外导体与衬底隔离
有/没有镀覆
有/没有镀覆
A（仅在涂覆时）#
A（正面&背面）#
A #
A（正面&背面）#
B（中央）
B（环形）
B
C
C（环形）
C（背面）
C（正面）
D
B（对接触点和/或再布线）
金属淀积到沟槽籽晶/阻挡层/籽晶层
减薄晶片以暴露通道背面（如果需要）
B（对焊盘接触点）
E
F
G
H
J（如果是厚通道）
B（对中央部分）
K
L
到图181B

图 181A

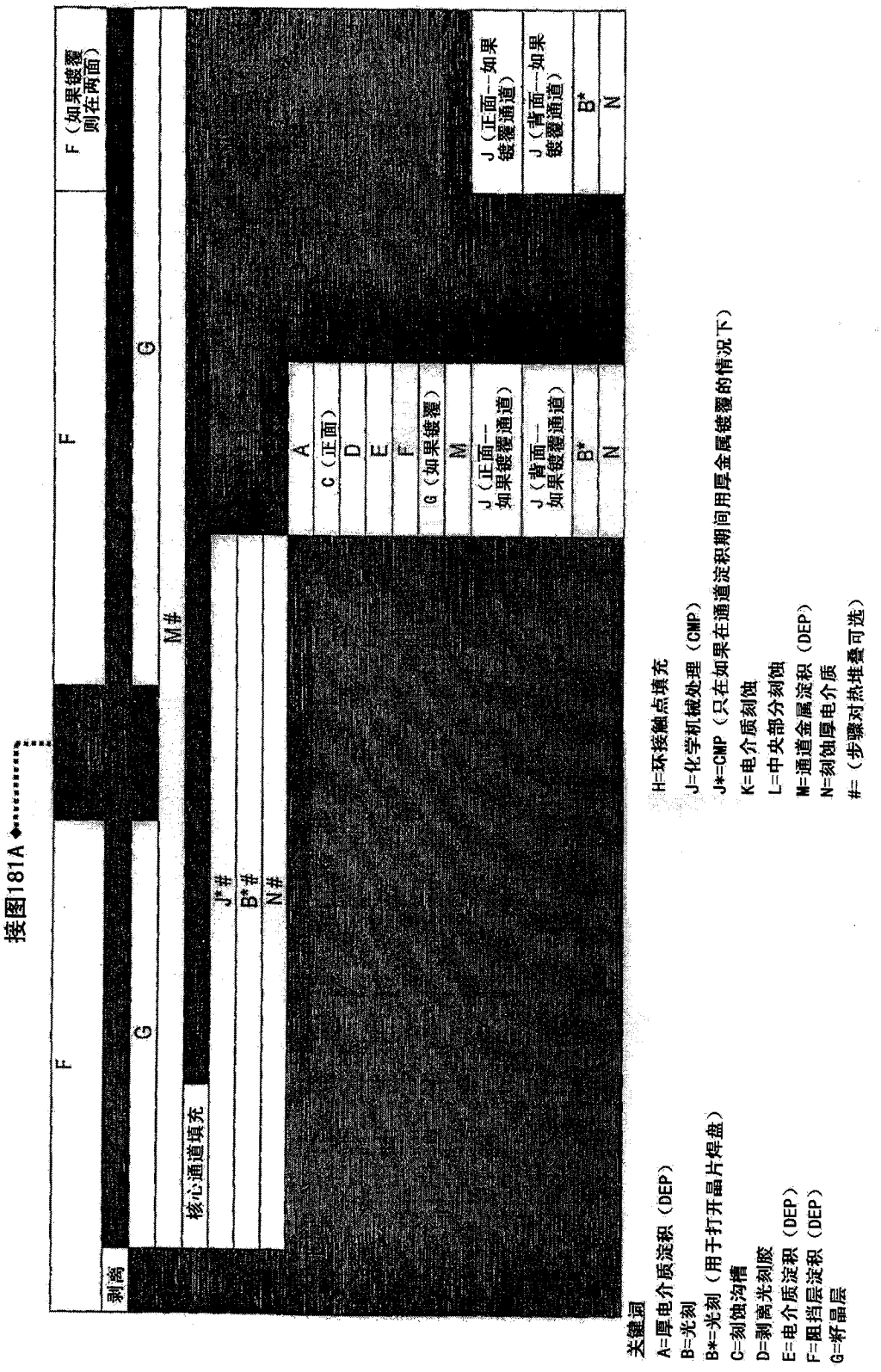

接图181A
剥离
F
G
F
G
F（如果镀覆则在两面）
M#
核心通道填充
J*#
B*#
N#
A
C（正面）
D
E
F
G（如果镀覆）
M
J（正面—如果镀覆通道）
J（背面—如果镀覆通道）
B*
N
J（正面—如果镀覆通道）
J（背面—如果镀覆通道）
B*
N
关键词
A=厚电介质淀积（DEP）
B=光刻
B*=光刻（用于打开晶片焊盘）
C=刻蚀沟槽
D=剥离光刻胶
E=电介质淀积（DEP）
F=阻挡层淀积（DEP）
G=籽晶层
H=环接触点填充
J=化学机械处理（CMP）
J*=CMP（只在如果在通道淀积期间用厚金属镀覆的情况下）
K=电介质刻蚀
L=中央部分刻蚀
M=通道金属淀积（DEP）
N=刻蚀厚电介质
#=（步骤对热堆叠可选）

图 181B

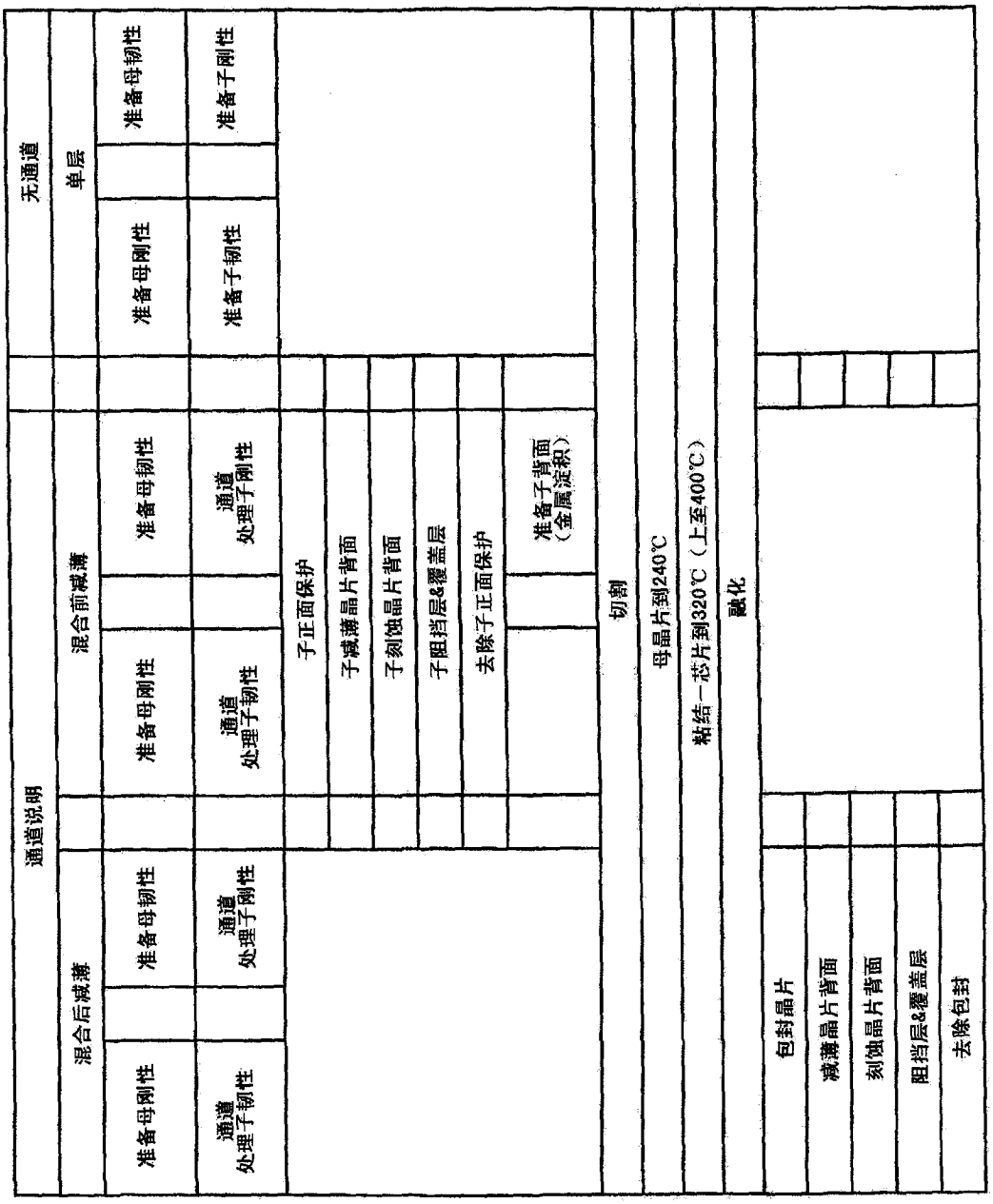

通道说明
混合后减薄
准备母刚性
通道处理子韧性
准备母韧性
通道处理子刚性
混合前减薄
准备母刚性
通道处理子韧性
准备母韧性
通道处理子刚性
无通道
单层
准备母刚性
准备子韧性
准备母韧性
准备子刚性
子正面保护
子减薄晶片背面
子刻蚀晶片背面
子阻挡层&覆盖层
去除子正面保护
准备子背面（金属淀积）
切割
母晶片到240℃
粘结一芯片到320℃（上至400℃）
融化
包封晶片
减薄晶片背面
刻蚀晶片背面
阻挡层&覆盖层
去除包封

图 182

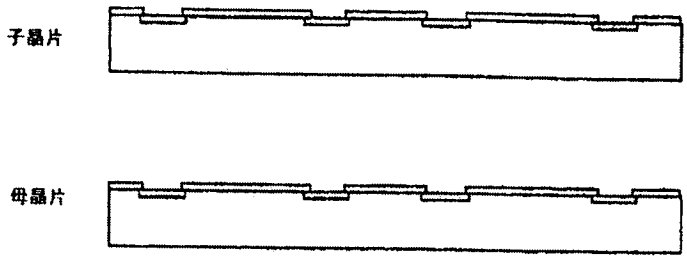


图 183

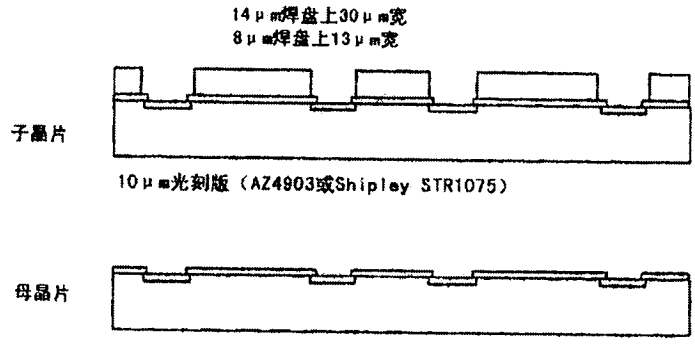


图 184

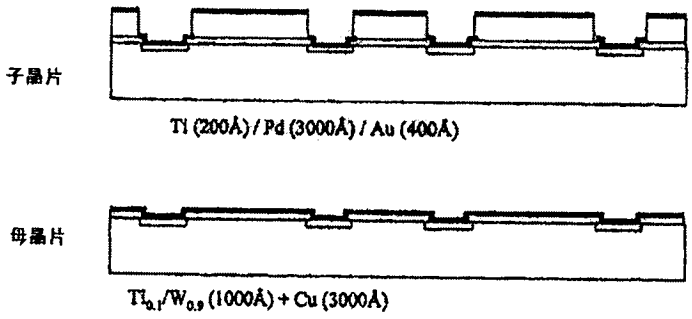


图 185

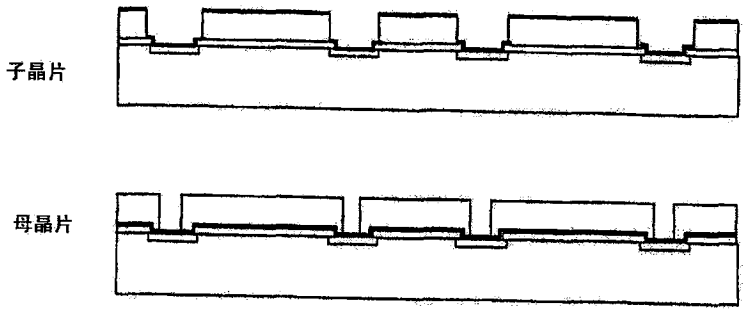


图 186

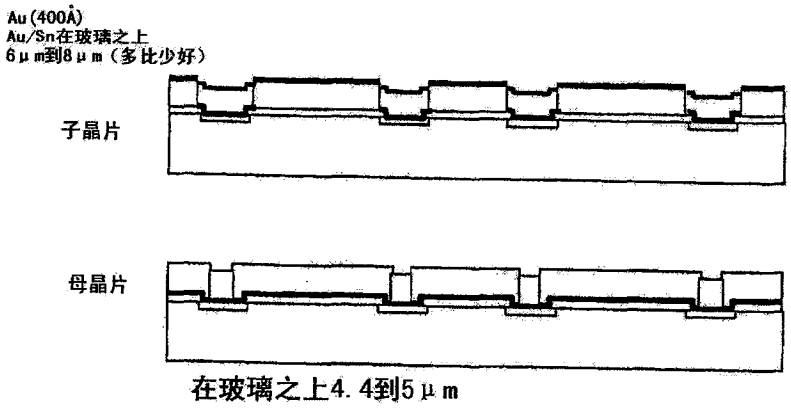


图 187

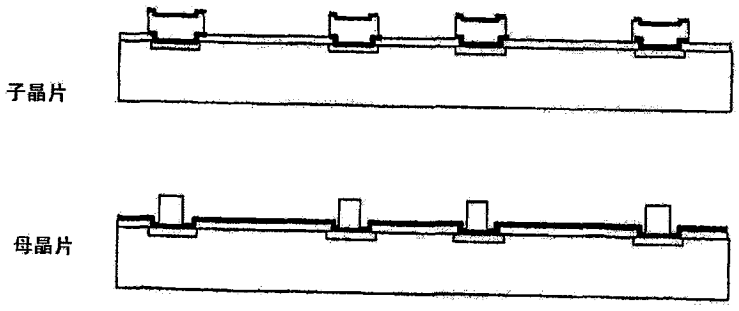


图 188

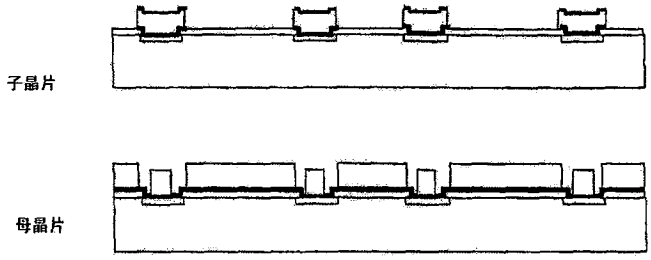


图 189

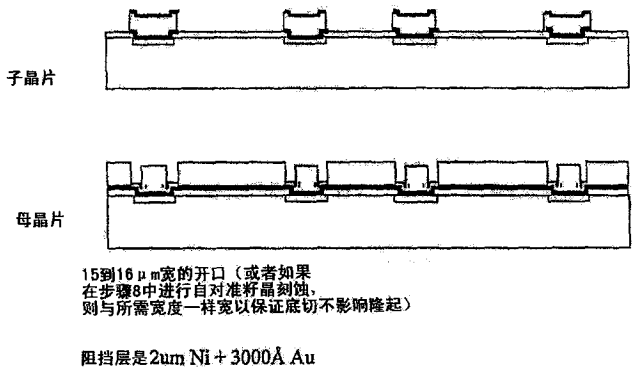


图 190

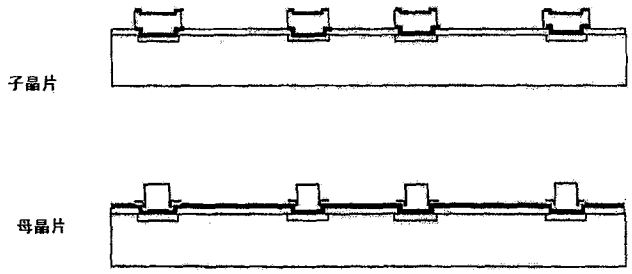


图 191

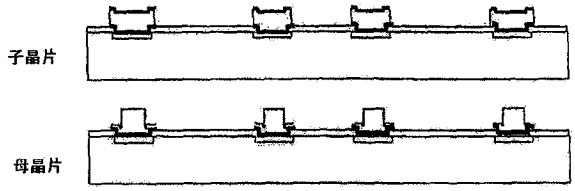


图 192

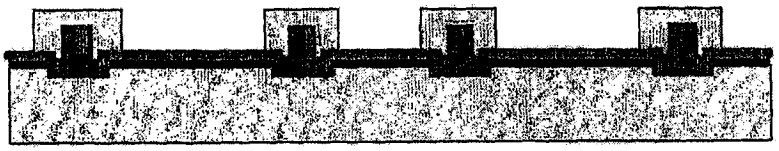


图 193

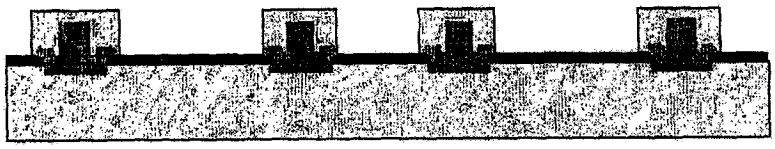


图 194

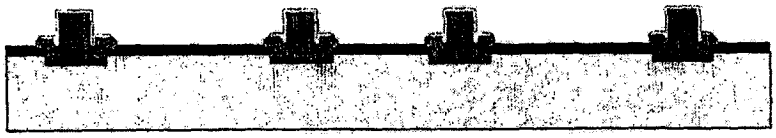


图 195

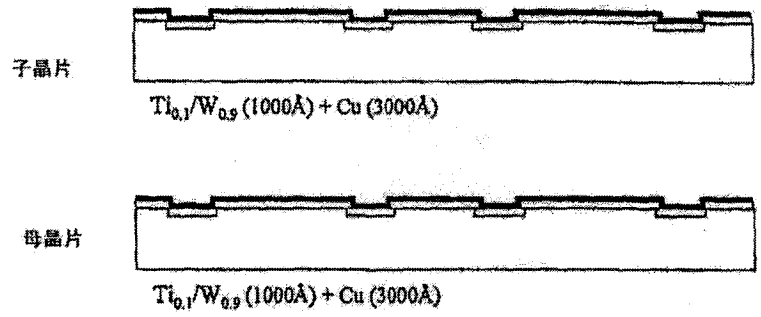


图 196

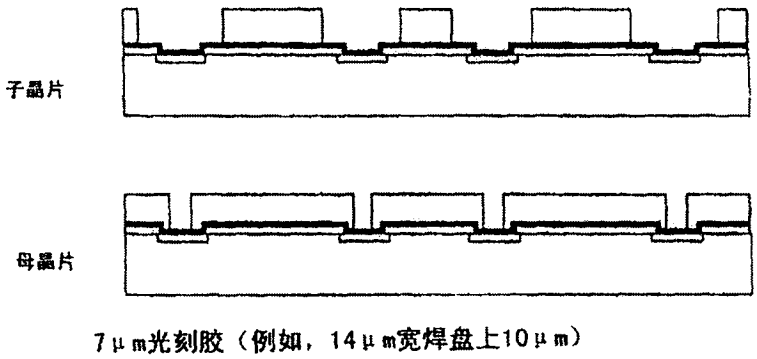


图 197

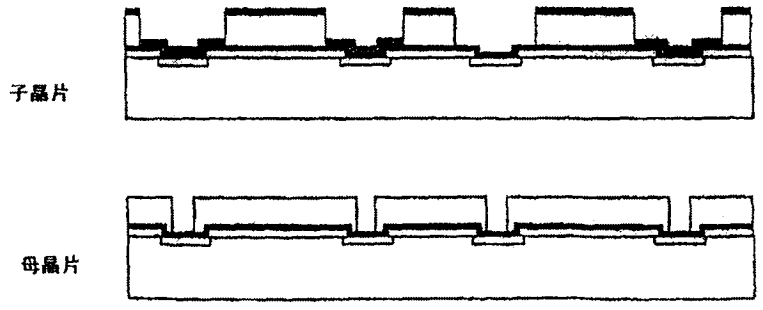


图 198

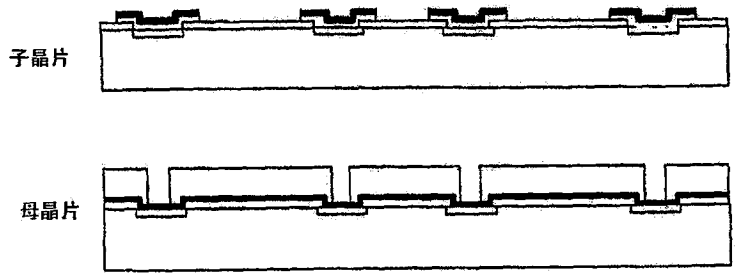


图 199

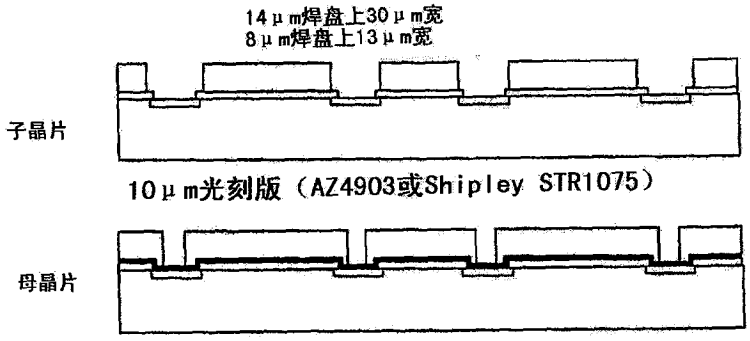


图 200

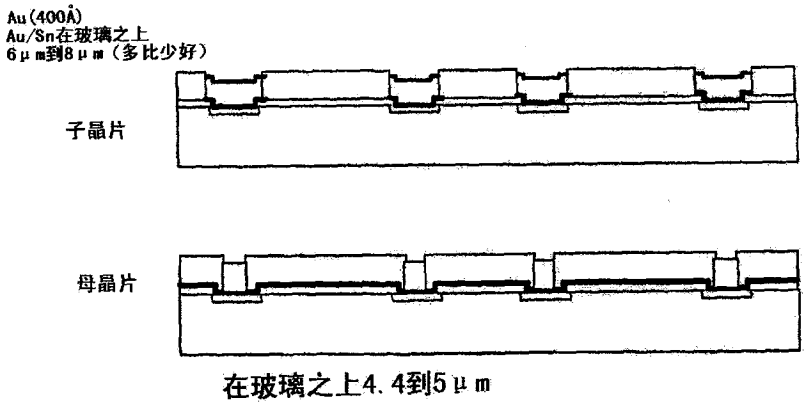


图 201

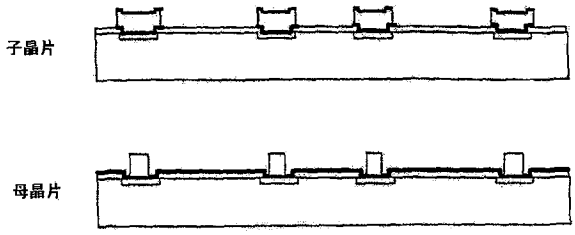


图 202

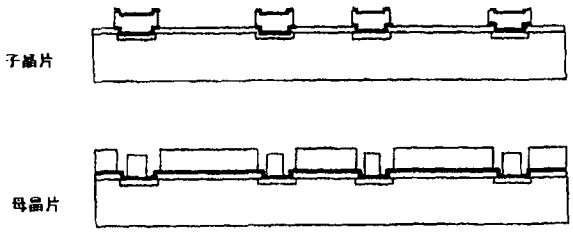


图 203

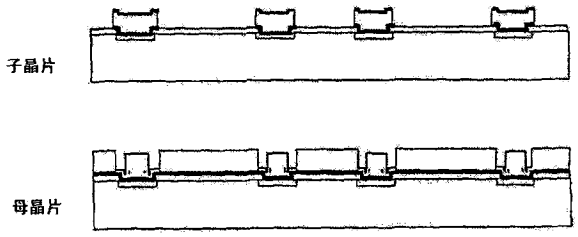


图 204

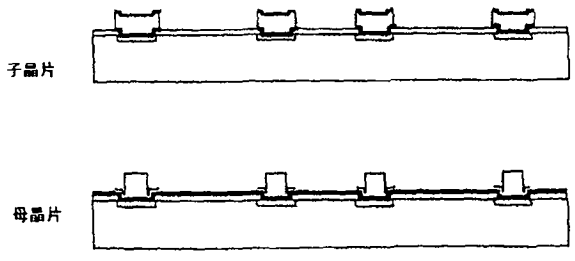


图 205

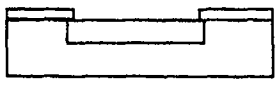


图 206a

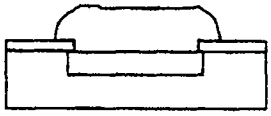


图 206b

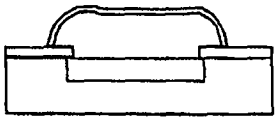


图 206c

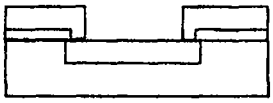


图 207a

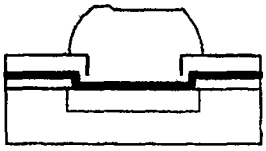


图 207b

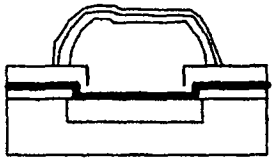


图 207c

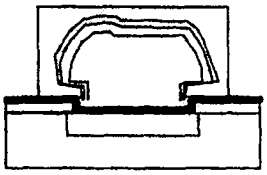


图 207d

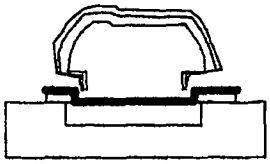


图 207e

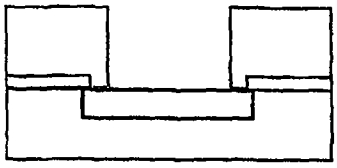


图 208a

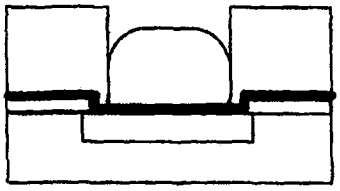


图 208b

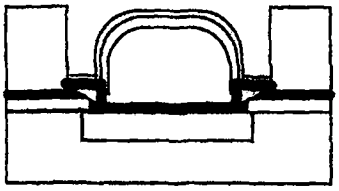


图 208c

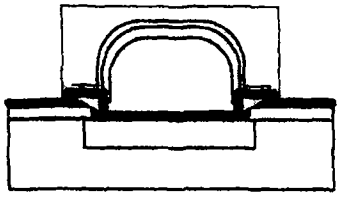


图 208d

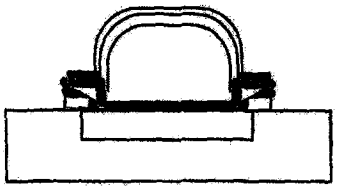


图 208e

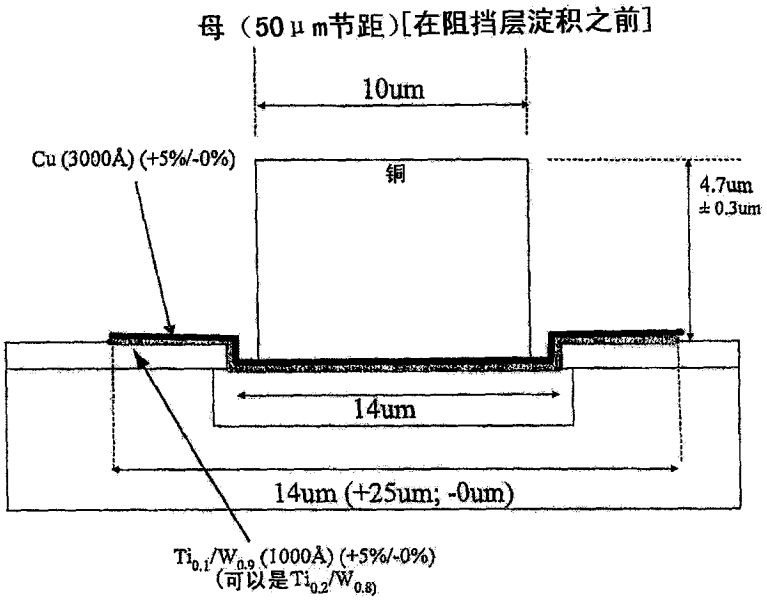


图 209

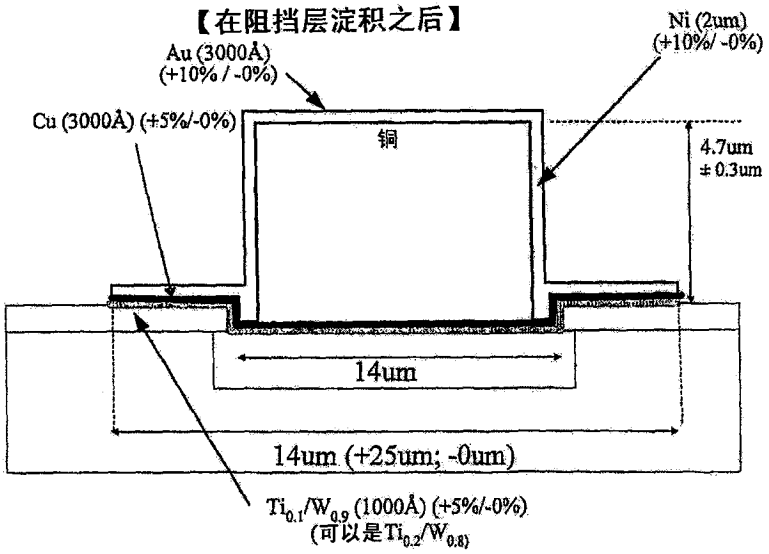

【在阻挡层淀积之后】
Au (3000Å)
(+10% / -0%)
Ni (2um)
(+10%/ -0%)
Cu (3000Å) (+5%/-0%)
铜
4.7um
± 0.3um
14um
14um (+25um; -0um)
$Ti_{0.1}/W_{0.9}$ (1000Å) (+5%/-0%)
(可以是$Ti_{0.2}/W_{0.8}$)

图 210

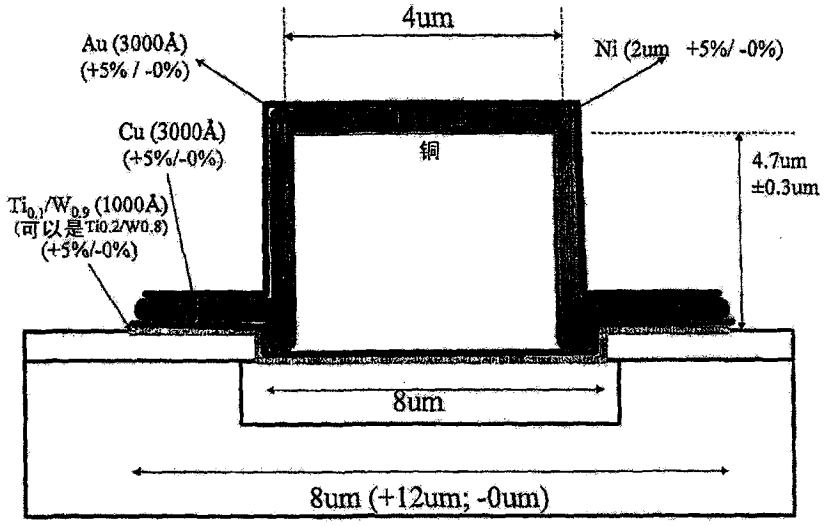

4um
Au (3000Å)
(+5% / -0%)
Ni (2um +5%/ -0%)
Cu (3000Å)
(+5%/-0%)
铜
4.7um
±0.3um
$Ti_{0.1}/W_{0.9}$ (1000Å)
(可以是Ti0.2/W0.8)
(+5%/-0%)
8um
8um (+12um; -0um)

图 211

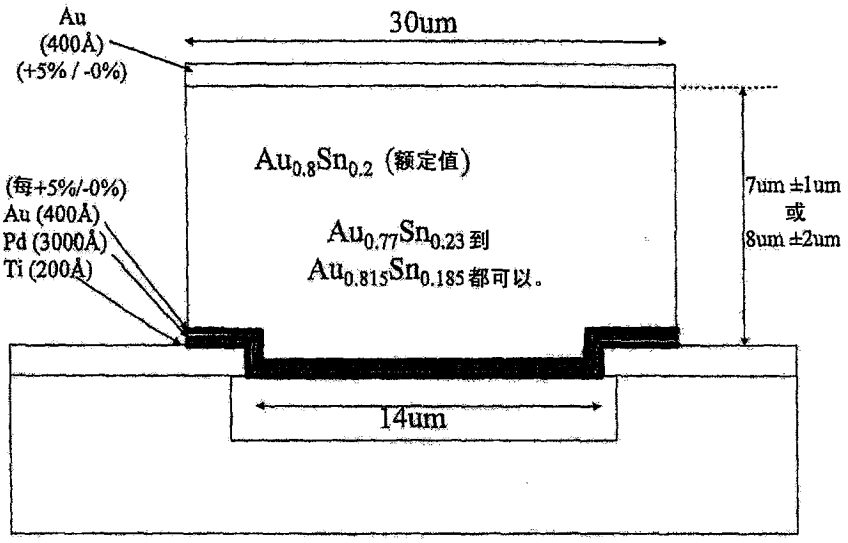

Au
(400Å)
(+5% / -0%)
30um
$Au_{0.8}Sn_{0.2}$ (额定值)
$Au_{0.77}Sn_{0.23}$ 到
$Au_{0.815}Sn_{0.185}$ 都可以。
7um ±1um
或
8um ±2um
(每+5%/-0%)
Au (400Å)
Pd (3000Å)
Ti (200Å)
14um

图 212

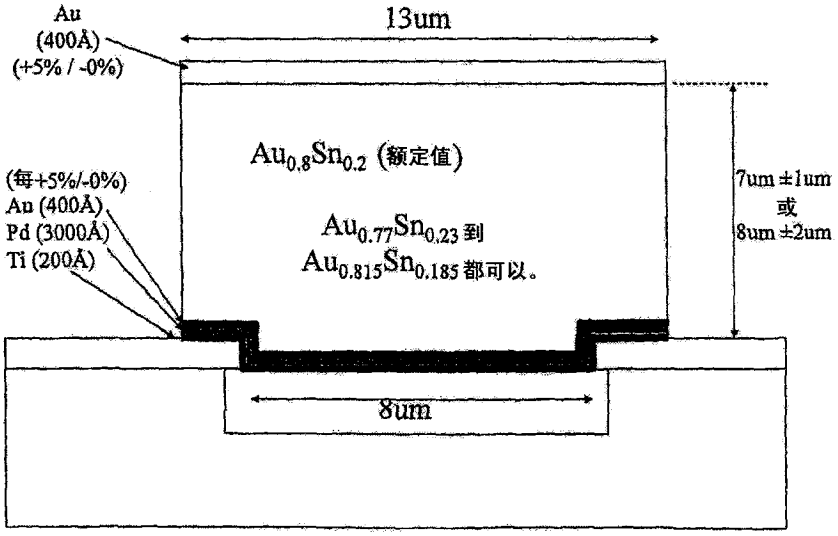

Au
(400Å)
(+5% / -0%)
13um
$Au_{0.8}Sn_{0.2}$ (额定值)
$Au_{0.77}Sn_{0.23}$ 到
$Au_{0.815}Sn_{0.185}$ 都可以。
7um ±1um
或
8um ±2um
(每+5%/-0%)
Au (400Å)
Pd (3000Å)
Ti (200Å)
8um

图 213

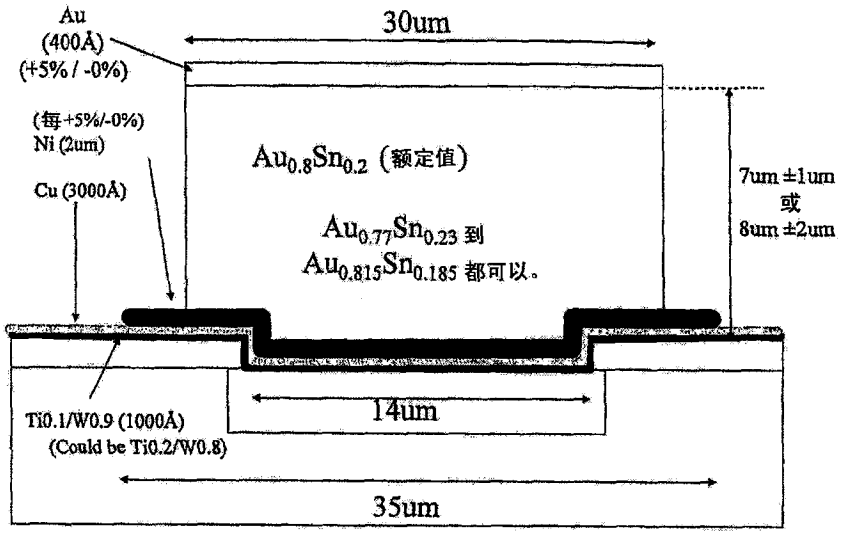

Au
(400Å)
(+5% / -0%)
30um
(每+5%/-0%)
Ni (2um)
Cu (3000Å)
$Au_{0.8}Sn_{0.2}$ (额定值)
$Au_{0.77}Sn_{0.23}$ 到
$Au_{0.815}Sn_{0.185}$ 都可以。
7um ±1um
或
8um ±2um
Ti0.1/W0.9 (1000Å)
(Could be Ti0.2/W0.8)
14um
35um

图 214

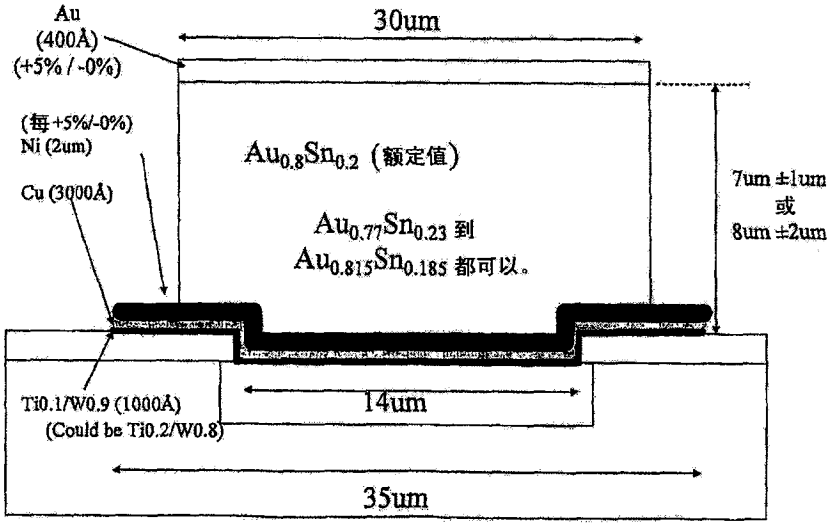

Au
(400Å)
(+5% / -0%)
30um
(每+5%/-0%)
Ni (2um)
Cu (3000Å)
$Au_{0.8}Sn_{0.2}$ (额定值)
$Au_{0.77}Sn_{0.23}$ 到
$Au_{0.815}Sn_{0.185}$ 都可以。
7um ±1um
或
8um ±2um
Ti0.1/W0.9 (1000Å)
(Could be Ti0.2/W0.8)
14um
35um

图 215

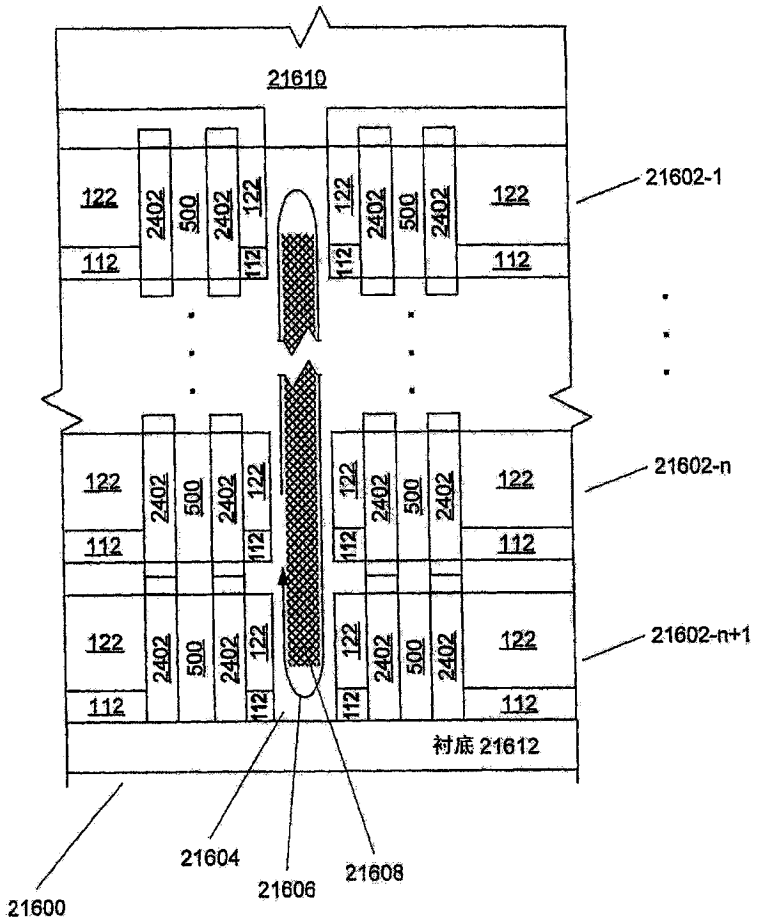

21610
122
2402
500
2402
122
112
21602-1
21602-n
21602-n+1
衬底 21612
21600
21604
21606
21608

图 216

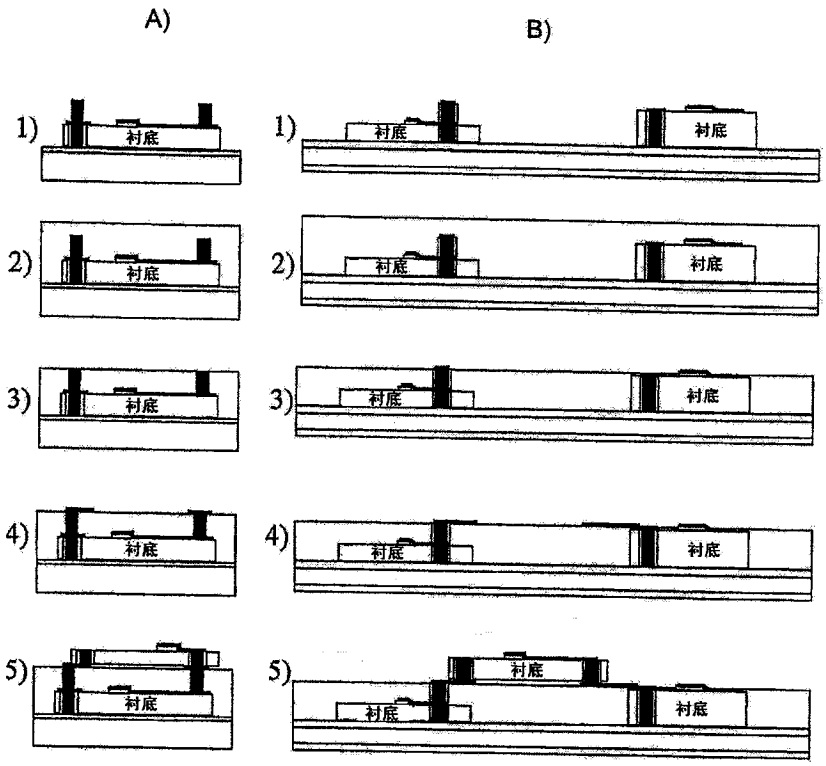


图 217

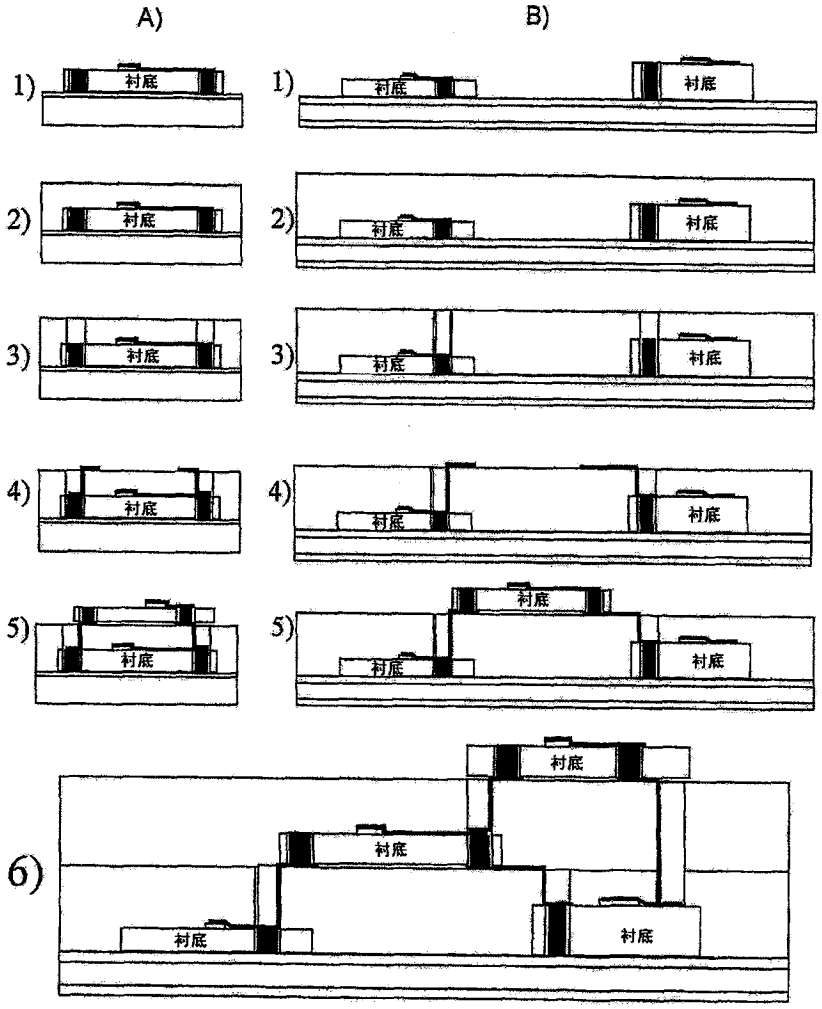


图 218

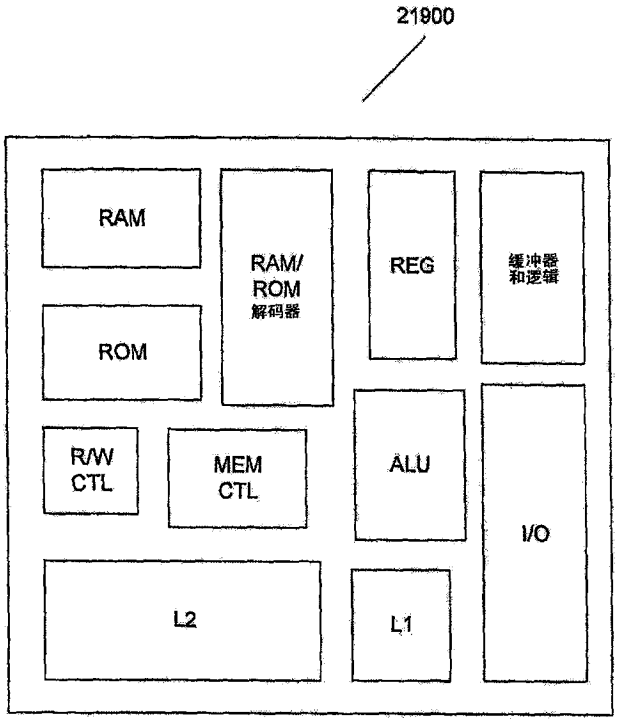


图 219

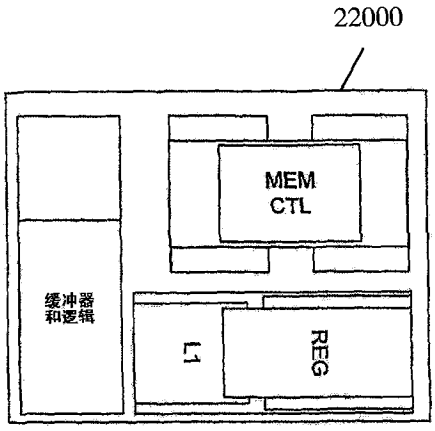


图 220A

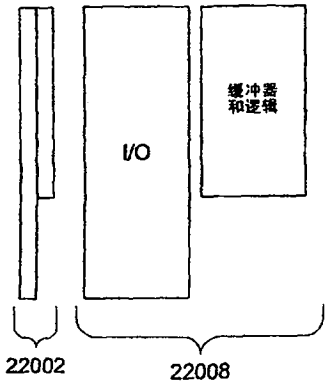


图 220B

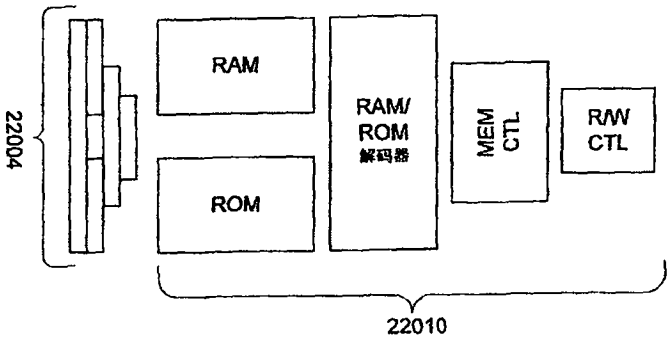

RAM
ROM
RAM/
ROM
解码器
MEM
CTL
R/W
CTL
22004
22010

图 220C

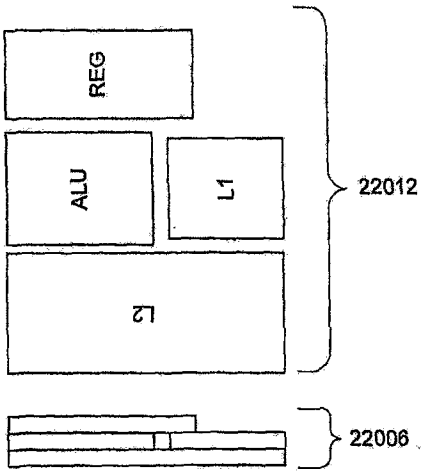

REG
ALU
L1
L2
22012
22006

图 220D

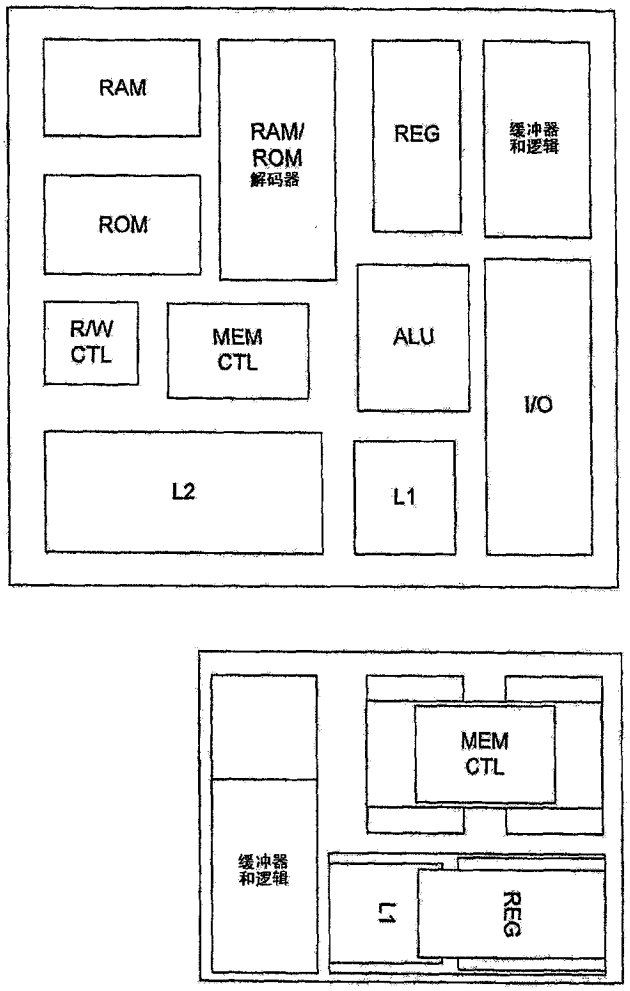

RAM
RAM/
ROM
解码器
REG
缓冲器
和逻辑
ROM
R/W
CTL
MEM
CTL
ALU
I/O
L2
L1
缓冲器
和逻辑
MEM
CTL
L1
REG

图 221

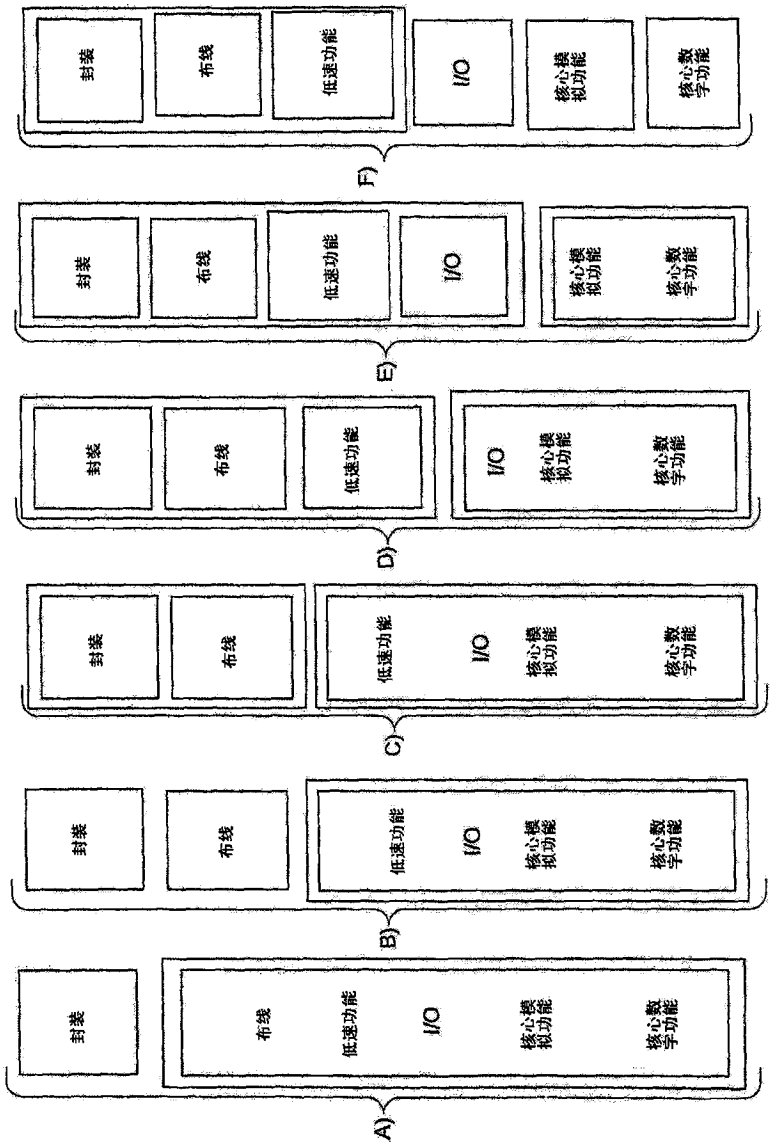


图 222

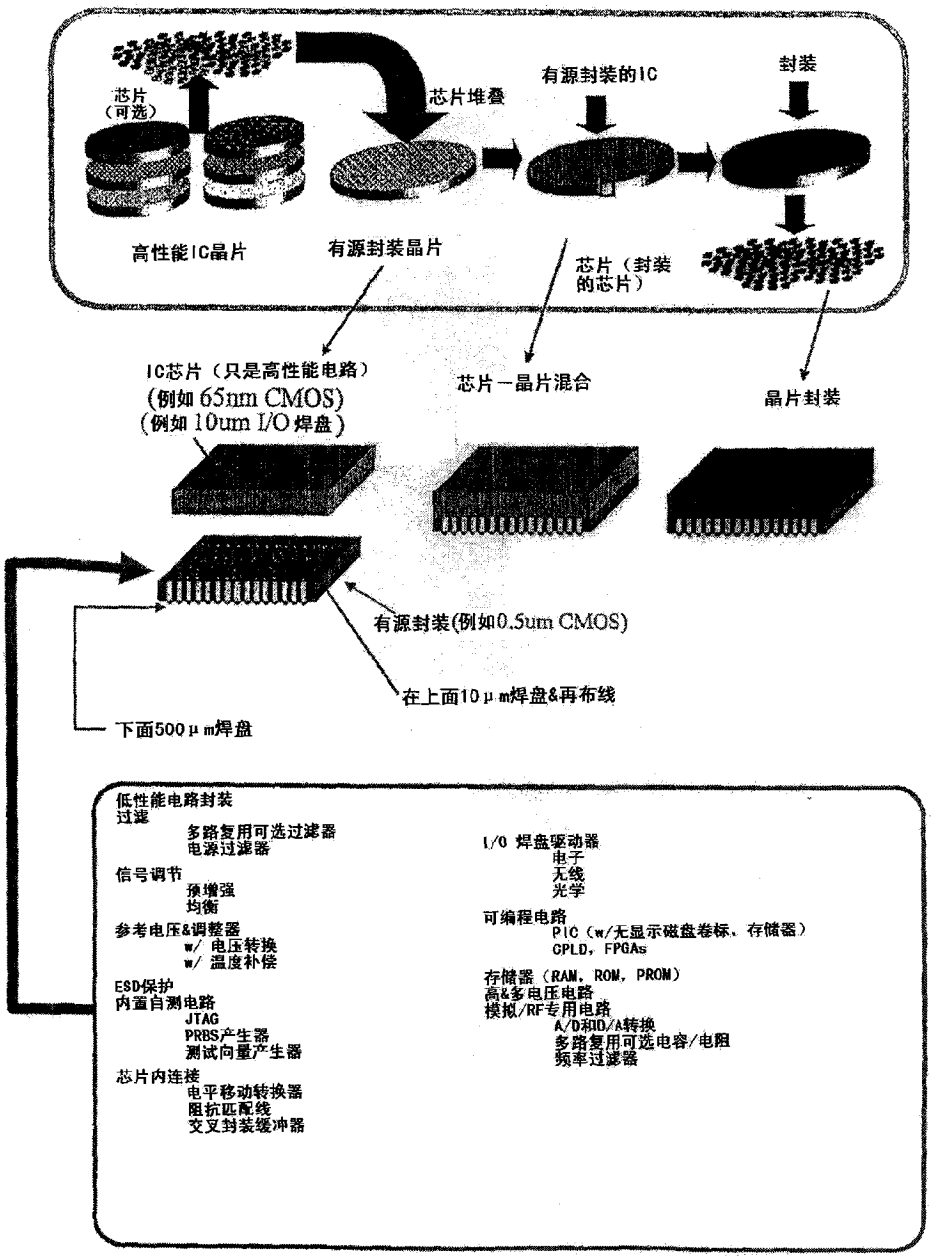
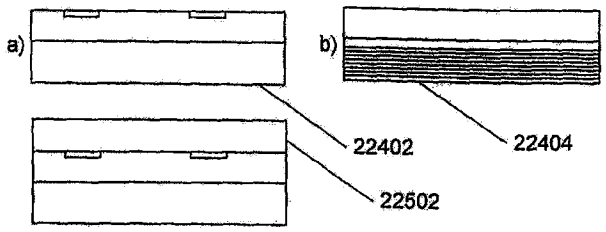

芯片
（可选）
芯片堆叠
有源封装的IC
封装
高性能IC晶片
有源封装晶片
芯片（封装
的芯片）
IC芯片（只是高性能电路）
(例如 65nm CMOS)
(例如 10um I/O 焊盘)
芯片－晶片混合
晶片封装
有源封装(例如0.5um CMOS)
在上面10μm焊盘&再布线
下面500μm焊盘
低性能电路封装
过滤
多路复用可选过滤器
电源过滤器
信号调节
预增强
均衡
参考电压&调整器
w/ 电压转换
w/ 温度补偿
ESD保护
内置自测电路
JTAG
PRBS产生器
测试向量产生器
芯片内连接
电平移动转换器
阻抗匹配线
交叉封装缓冲器
I/O 焊盘驱动器
电子
无线
光学
可编程电路
PIC（w/无显示磁盘卷标，存储器）
CPLD，FPGAs
存储器（RAM，ROM，PROM）
高&多电压电路
模拟/RF专用电路
A/D和D/A转换
多路复用可选电容/电阻
频率过滤器

图 223

图 224

图 225



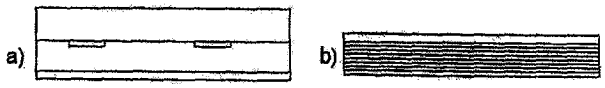


图 226

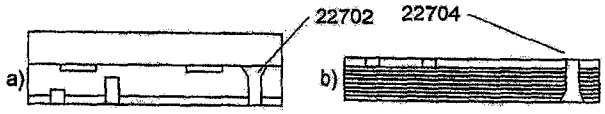


图 227

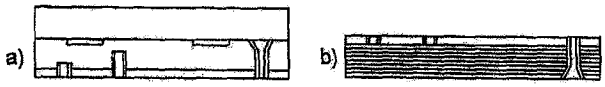


图 228

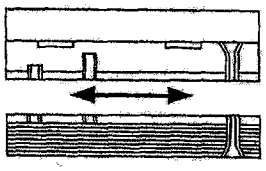


图 229

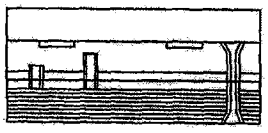


图 230

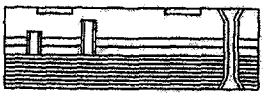


图 231



图 232

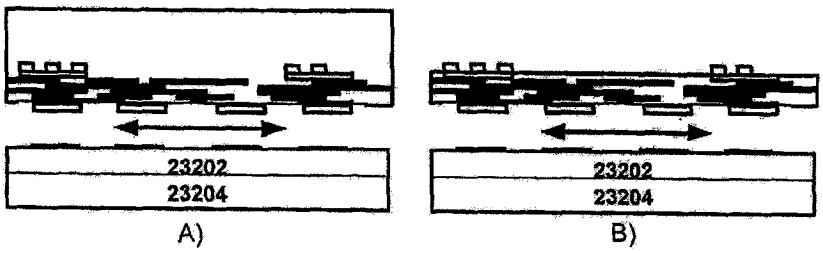


图 233

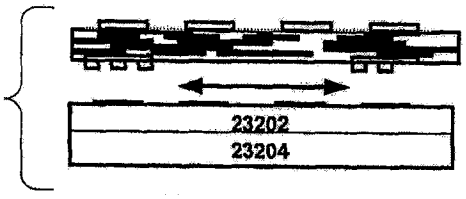


图 234

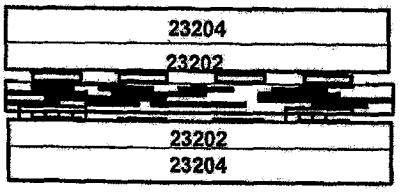


图 235

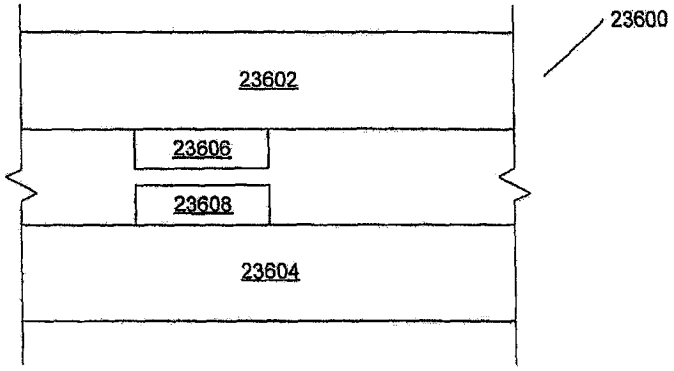


图 236

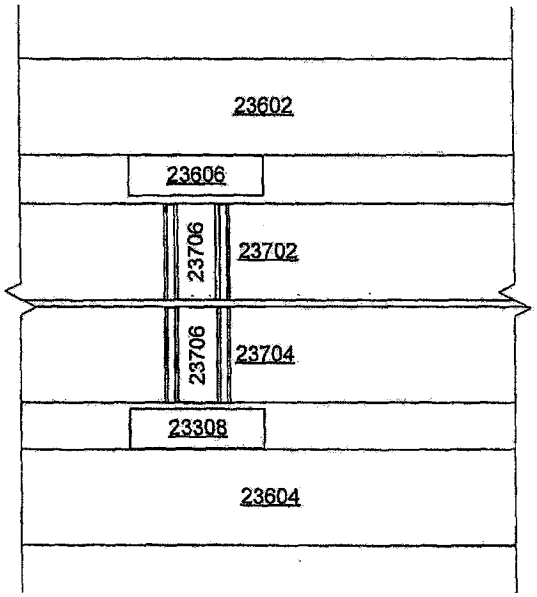


图 237

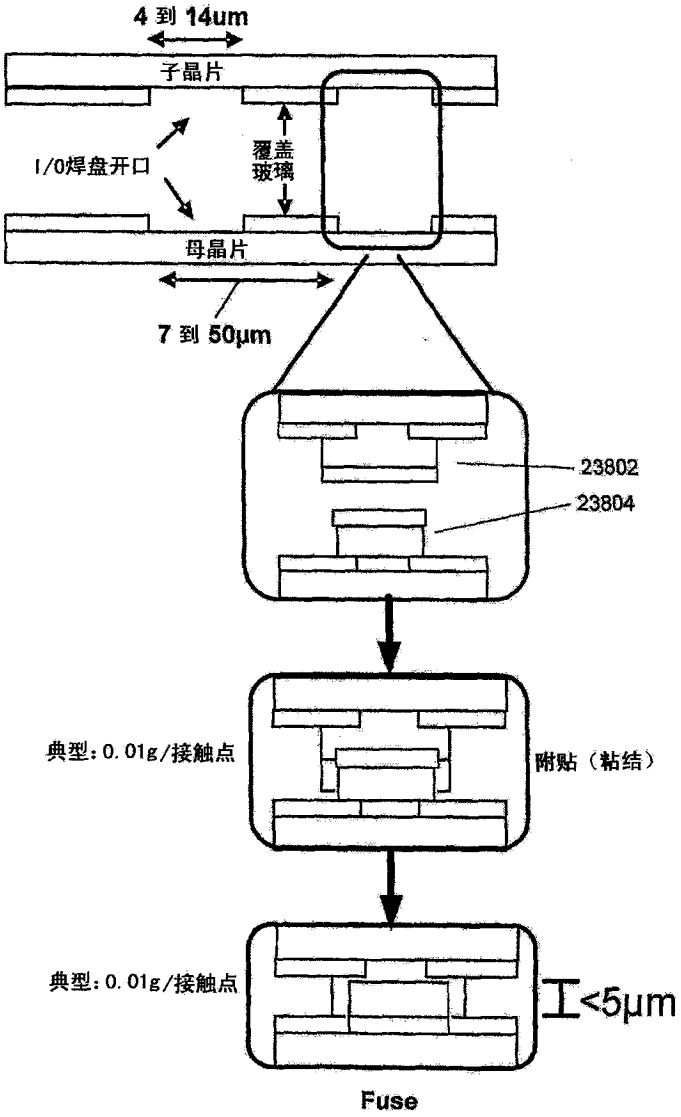

4 到 14um
子晶片
I/O焊盘开口
覆盖玻璃
母晶片
7 到 50μm
23802
23804
典型：0.01g/接触点
附贴（粘结）
典型：0.01g/接触点
<5μm
Fuse

图 238

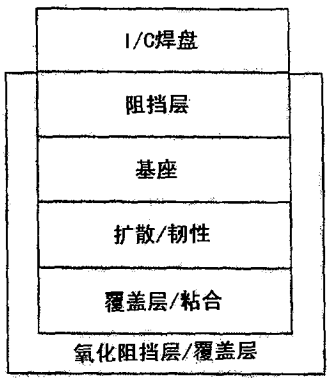


图 239

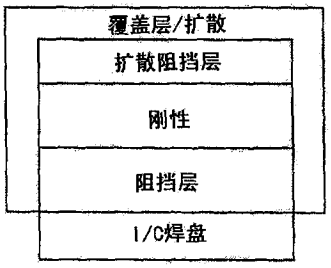


图 240

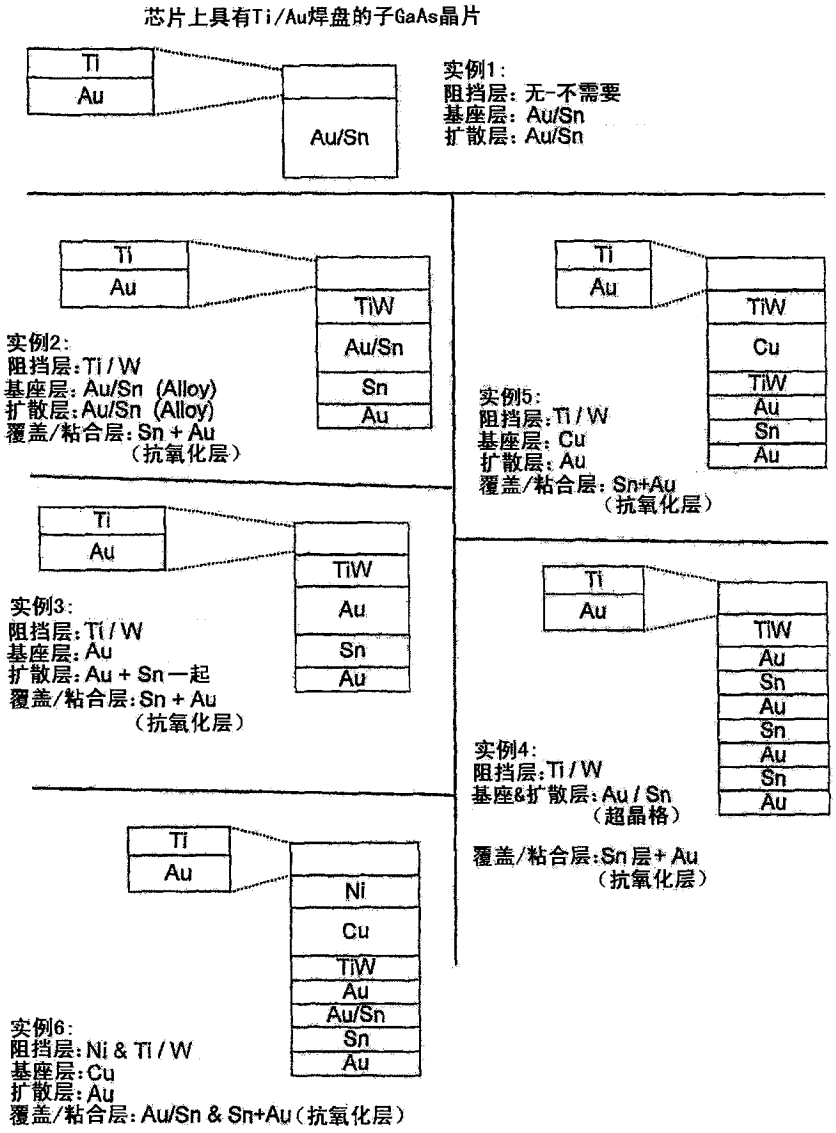

芯片上具有Ti/Au焊盘的子GaAs晶片
Ti
Au
Au/Sn
实例1:
阻挡层:无-不需要
基座层:Au/Sn
扩散层:Au/Sn
Ti
Au
TiW
Au/Sn
Sn
Au
实例2:
阻挡层:Ti/W
基座层:Au/Sn (Alloy)
扩散层:Au/Sn (Alloy)
覆盖/粘合层:Sn + Au
(抗氧化层)
Ti
Au
TiW
Cu
TiW
Au
Sn
Au
实例5:
阻挡层:Ti/W
基座层:Cu
扩散层:Au
覆盖/粘合层:Sn+Au
(抗氧化层)
Ti
Au
TiW
Au
Sn
Au
实例3:
阻挡层:Ti/W
基座层:Au
扩散层:Au + Sn一起
覆盖/粘合层:Sn + Au
(抗氧化层)
Ti
Au
TiW
Au
Sn
Au
Sn
Au
Sn
Au
实例4:
阻挡层:Ti/W
基座&扩散层:Au/Sn
(超晶格)
覆盖/粘合层:Sn层+Au
(抗氧化层)
Ti
Au
Ni
Cu
TiW
Au
Au/Sn
Sn
Au
实例6:
阻挡层:Ni & Ti/W
基座层:Cu
扩散层:Au
覆盖/粘合层:Au/Sn & Sn+Au(抗氧化层)

图 241

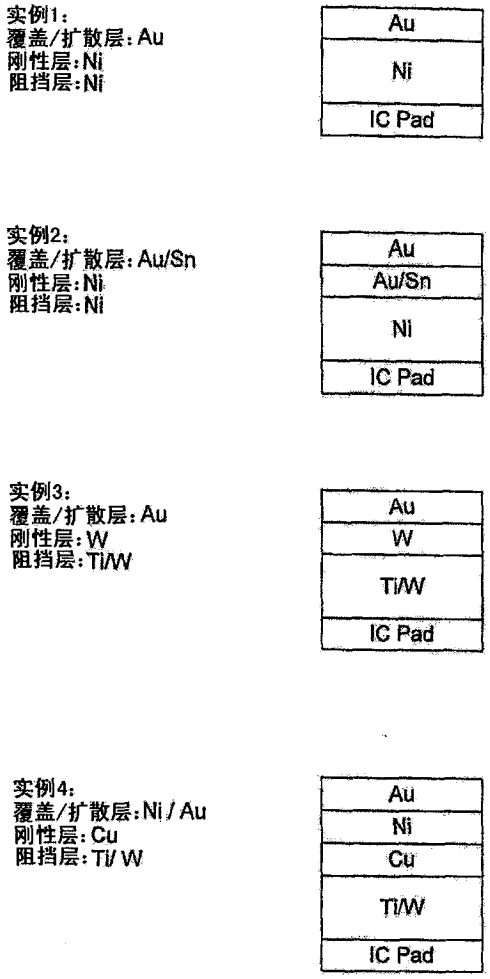

实例1：
覆盖/扩散层：Au
刚性层：Ni
阻挡层：Ni
Au
Ni
IC Pad
实例2：
覆盖/扩散层：Au/Sn
刚性层：Ni
阻挡层：Ni
Au
Au/Sn
Ni
IC Pad
实例3：
覆盖/扩散层：Au
刚性层：W
阻挡层：Ti/W
Au
W
Ti/W
IC Pad
实例4：
覆盖/扩散层：Ni / Au
刚性层：Cu
阻挡层：Ti/ W
Au
Ni
Cu
Ti/W
IC Pad

图 242

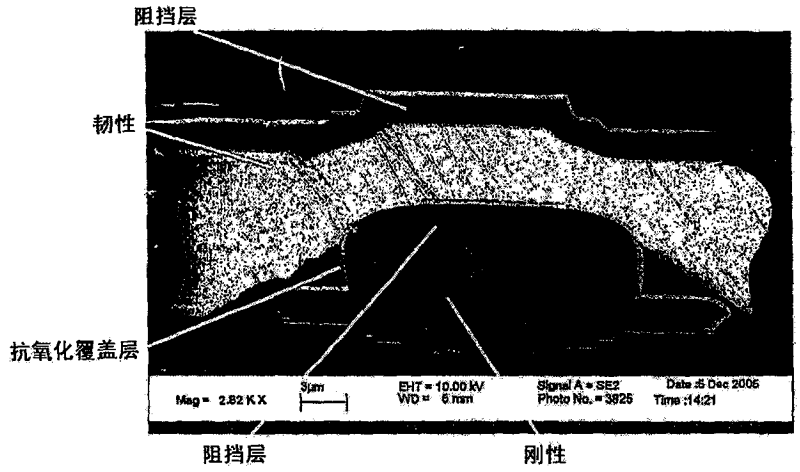

阻挡层
韧性
抗氧化覆盖层
Mag = 2.82 K X
5μm
EHT = 10.00 kV
WD = 6 mm
Signal A = SE2
Photo No. = 3825
Date :5 Dec 2005
Time :14:21
阻挡层
刚性

图 243A

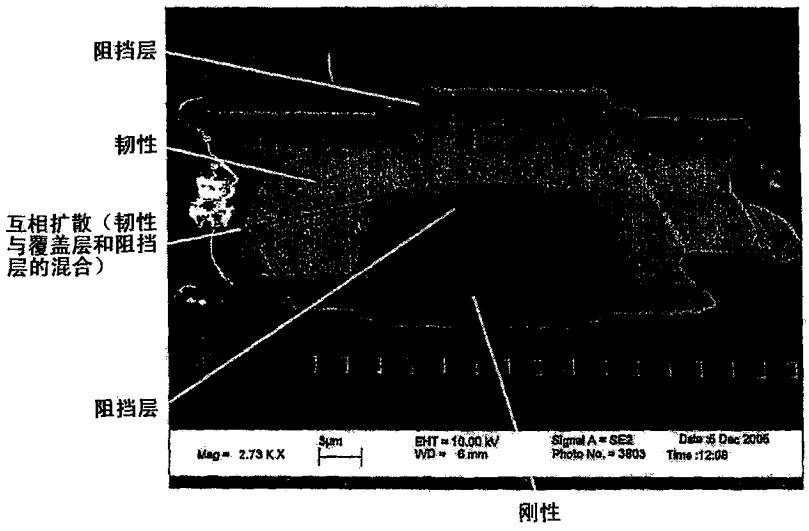

阻挡层
韧性
互相扩散（韧性与覆盖层和阻挡层的混合）
阻挡层
Mag = 2.73 K X
5μm
EHT = 10.00 kV
WD = 6 mm
Signal A = SE2
Photo No. = 3803
Date :5 Dec 2005
Time :12:08
刚性

图 243B

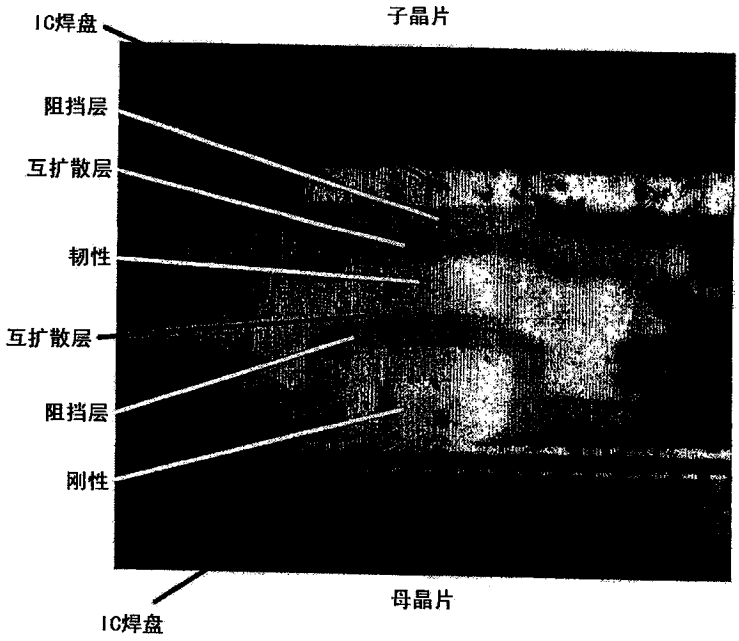


图 243C

图 244

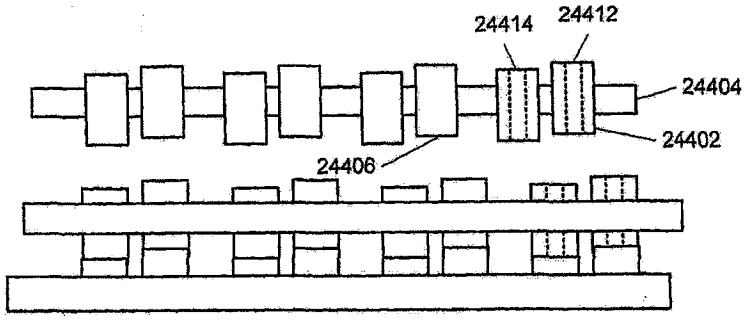


图 245

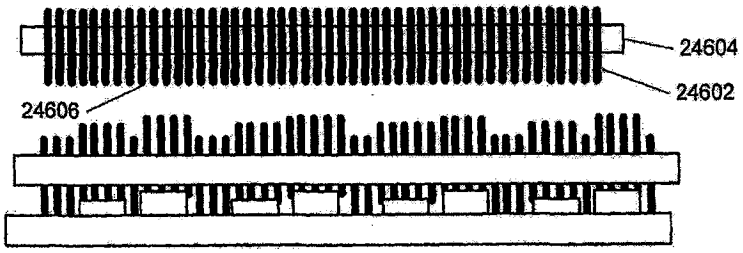


图 246

图 247

图 246 图 247

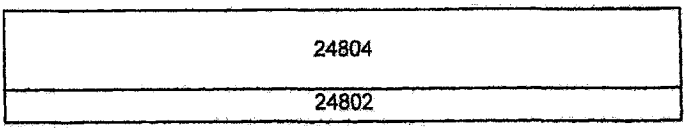


图 248

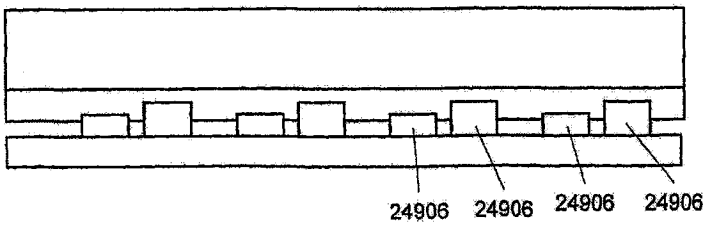


图 249

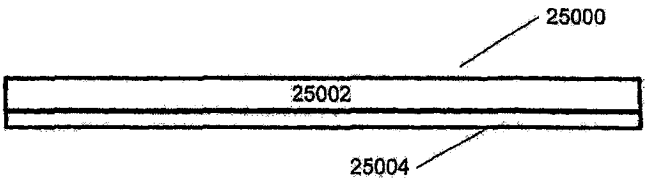


图 250

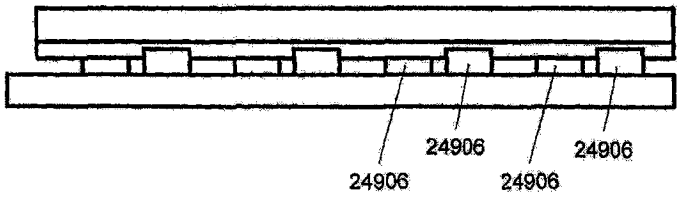


图 251

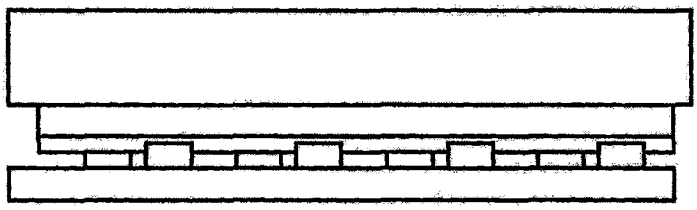


图 252

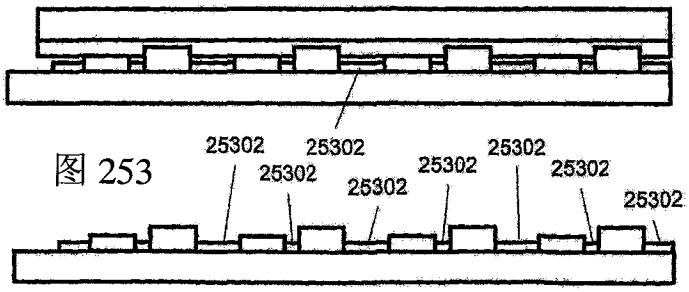


图 253

图 254