

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2011-129944
(P2011-129944A)

(43) 公開日 平成23年6月30日(2011.6.30)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 H	5 F 0 3 8
HO 1 L 21/822 (2006.01)	HO 1 L 27/06 3 1 1 B	5 F 0 4 8
HO 1 L 27/06 (2006.01)	HO 1 L 27/06 3 1 1 C	
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 0 2 F	
HO 1 L 27/088 (2006.01)		

審査請求 有 請求項の数 7 O L (全 24 頁)

(21) 出願番号	特願2011-24050 (P2011-24050)	(71) 出願人	000002185
(22) 出願日	平成23年2月7日 (2011.2.7)		ソニー株式会社
(62) 分割の表示	特願2008-310188 (P2008-310188) の分割	(74) 代理人	100094053
原出願日	平成20年12月4日 (2008.12.4)		弁理士 佐藤 隆久
		(72) 発明者	井本 努
			東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	小林 敏夫
			東京都港区港南1丁目7番1号 ソニー株式会社内
		Fターム(参考)	5F038 AR02 AR07 BH02 BH06 BH13 EZ12 EZ13 EZ15 EZ20 5F048 AA02 AC10 BA06 BB05 BB06 BE09 BF07 BF16 BF18 CC01 CC06 CC08 CC10 CC13

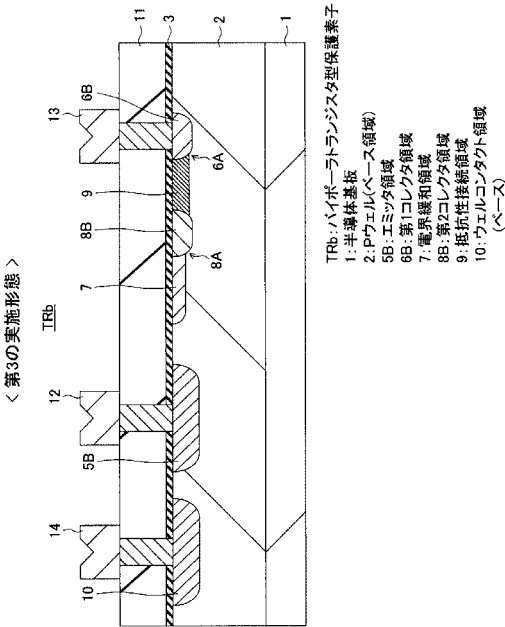
(54) 【発明の名称】 トランジスタ型保護素子および半導体集積回路

(57) 【要約】

【課題】 保護素子のターンオン電圧を決める制約を少なくする。

【解決手段】 半導体基板1、Pウェル2、エミッタ領域5B、第1コレクタ領域6B、第2コレクタ領域8Bおよび抵抗性接続領域9を有する。第1および第2コレクタ領域6B、8Bは、エミッタ領域5Bと所定の距離以上だけ離れ、お互いの間も互いに離れており、その間が抵抗性接続領域9によって接続されている。抵抗性接続領域9は薄膜抵抗層によって代替できる。

【選択図】 図13



【特許請求の範囲】

【請求項 1】

半導体基板と、
前記半導体基板に形成された第 1 導電型半導体からなるベース領域と、
前記ベース領域内に形成された第 2 導電型半導体からなるエミッタ領域と、
第 2 導電型半導体領域からそれぞれ形成され、前記エミッタ領域に対し、それぞれが所定の距離以上離れ、かつ、互いの間も離れた複数のコレクタ領域と、
前記複数のコレクタ領域間を所定の電気抵抗で接続する抵抗性接続部と、
を有するトランジスタ型保護素子。

【請求項 2】

前記抵抗性接続部は、前記複数のコレクタ領域の何れかに接合降伏が発生するバイアスの印加時に空乏化されない領域が残るように、冶金学的接合形状と濃度プロファイルが決められている第 2 導電型半導体領域である
請求項 1 に記載のトランジスタ型保護素子。

【請求項 3】

前記複数のコレクタ領域の冶金学的接合深さは、前記抵抗性接続部である前記第 2 導電型半導体領域の冶金学的接合深さより大きい
請求項 2 に記載のトランジスタ型保護素子。

【請求項 4】

前記複数のコレクタ領域のうち、前記エミッタ領域に最も近いコレクタ領域には、当該コレクタ領域から前記エミッタ領域の側に延在し、エミッタ領域とは離間した、前記抵抗性接続部より低濃度な第 2 導電型の電界緩和領域が形成されている
請求項 3 に記載のトランジスタ型保護素子。

【請求項 5】

前記抵抗性接続部は、前記複数のコレクタ領域の各々に対してコンタクト部を介して接続された、少なくとも 1 つの薄膜抵抗を含む
請求項 1 に記載のトランジスタ型保護素子。

【請求項 6】

前記ベース領域より高濃度な第 1 導電型半導体からなるコンタクト領域が、前記エミッタ領域の、前記複数のコレクタ領域が配置される側と反対側で前記ベース領域に接触して形成されている
請求項 3, 4 または 5 に記載のトランジスタ型保護素子。

【請求項 7】

第 1 の配線と第 2 の配線とに接続された回路と、
前記第 1 の配線と前記第 2 の配線との電位差が一定値以上となったときはオンして前記回路を保護するトランジスタ型保護素子と、
を同一の半導体基板に有し、
前記トランジスタ型保護素子は、

前記半導体基板に形成された第 1 導電型半導体からなるベース領域と、
前記ベース領域内に形成された第 2 導電型半導体からなるエミッタ領域と、
第 2 導電型半導体領域からそれぞれ形成され、前記エミッタ領域に対し、それぞれが所定の距離以上離れ、かつ、互いの間も離れた複数のコレクタ領域と、
前記複数のコレクタ領域間を所定の電気抵抗で接続する抵抗性接続部と、
を有する半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、接続される回路の配線に所定のレベル以上のノイズが重畳した場合にオンしてノイズを除去可能なトランジスタ型保護素子に関する。また、本発明は、当該トランジスタ型保護素子と保護対象の回路とを同一基板に集積化した半導体集積回路に関する。

【背景技術】

【0002】

半導体集積回路では、外部端子から侵入する静電気から内部回路を保護するために、静電気放電（ESD；Electrostatic Discharge）を行う保護回路を備えていることが一般的である。

【0003】

保護回路は、内部回路の電源供給線とGND線との間など、静電気が重畳しやすい配線間にESD保護素子を接続している。

ESD保護素子は、通常、内部回路を構成するMOSFETを使ったGGMOS（Gate-Grounded MOSFET）、または、サイリスタが用いられる。

GGMOSを用いた保護回路の例が、特許文献1に記載されている。また、サイリスタを用いた保護回路の例が、非特許文献1に記載されている。

【0004】

保護素子にサイリスタを用いることの利点は、オン抵抗が低いことである。そのためサイリスタは、耐圧の低い微細MOSFETの保護に適している。また、サイリスタは、電流経路の大きな断面積を確保できるため、大電流を流すことに適している。

【0005】

しかしながら、サイリスタはトリガ電圧が高いという欠点を持つ。トリガ電圧が高いと、サイリスタがターンオンする前に内部回路が破壊されてしまう。

【0006】

そのため、トリガ電圧を下げる工夫が種々提案されている。

例えば、非特許文献1には、PN接合の順方向電流を利用する技術の一例が開示されている。この技術を適用すると、トリガ電圧や保持電圧をダイオードの段数で制御できるため、保護素子の設計が容易である。

【0007】

ところが、非特許文献1に記載された技術では、ダイオードを常時順方向にバイアスするため、静的なリーク電流が大きい。このリーク電流はデバイス温度に敏感であり、デバイス温度の上昇に伴い急激に増加する。

また、非特許文献1に記載された技術では、低いトリガ電圧を得るためにダイオードの段数を減らすとリーク電流が増加する。そのため、この技術は、消費電力に対する制約が

【0008】

一方、GGMOSを用いた保護回路は、特許文献1の図1に記載のように、集積回路（IC）内を長く配線されて静電ノイズが重畳しやすい電源電圧線とGND線間に形成される。ここでは、内部回路のインバータと同じタイプのPMOSトランジスタとNMOSトランジスタとを、それぞれGGMOS構成として、VDD線とGND線間に直列接続している。

【0009】

特許文献1の図3および図14には、GGMOSFETの断面構造図が示されている。

特許文献1の記載によれば、ゲート電極からゲート長方向に向かってサイドウォールスペーサの外側に引き出された低濃度の半導体領域を有する。特許文献1では符号“（7b，8b）”により、低濃度の半導体領域を示している。低濃度の半導体領域は、その領域を非シリサイド領域とするために形成されている。

【0010】

特許文献1の記載によれば、低濃度の半導体領域を非シリサイド化すると、高濃度の半導体領域を非シリサイド化する場合に比べ、より高い拡散抵抗が得られる。この高い拡散抵抗によってキャリアパスを確保すると、LDD端部（低濃度の半導体領域の端部）からソース側に電流パスS1が発生する。そして、電流パスS1で流しきれない電流分を、高い不純物濃度のドレイン領域を起点とする新たな電流パスS2でソース側に流す。これにより電流を分散して当該GGMOSの静電破壊耐性を向上させる。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2002-9281号公報

【非特許文献】

【0012】

【非特許文献1】M. P. J. Mergens et. al., “Diode-Triggered SCR(DTSCR) for RF-ESD Protection of BICMOS SiGe HBTs and CMOS Ultra-Thin Gate Oxides”, in IEDM '03 Tech. Digest, pp.21.3.1-21.3.4, 2003.

【発明の概要】

10

【発明が解決しようとする課題】

【0013】

上記特許文献1に記載のMOSトランジスタ型保護素子では、自身が接合降伏を起こすときに抵抗層として機能するN型不純物領域（抵抗性降伏領域）が、ゲート電極とパターン上で重なっている。そのため、ドレイン耐圧に制約が多く、高耐圧化ができない。

より詳細には、特許文献1の構造では、ドレイン耐圧が、ソースとドレイン間のパンチスルー耐圧、ドレインとウェル間の接合耐圧、ゲートとドレイン間の絶縁膜耐圧の全てから制約を受ける。このため、保護対象である内部回路の耐圧に対して適切な大きさのドレイン耐圧をMOSトランジスタ型保護素子で設定することは非常に困難である。

【0014】

20

特許文献1に記載の保護素子は、2つの低濃度不純物領域と、その間の高濃度不純物領域の全体で、抵抗性降伏領域を形成する。しかし、高濃度不純物領域がシリサイド化されているため、その部分で抵抗値が多少なりともばらつく。また、ドレイン領域を含め高濃度不純物領域上はシリサイド化されているため、降伏箇所にシリサイドが近い。発熱箇所がシリサイド層に近い場合、この部分の破壊やシリサイドの抵抗値が変化するなどの不具合が発生する可能性が高い。

また、特許文献1のように高濃度不純物領域と低濃度不純物領域とを交互に4つ形成した場合、エリアペナルティが大きい。

【0015】

本発明は、保護素子のターンオン電圧（保護耐圧）を決める制約を少なくして、ターンオン電圧を自由に、保護対象となる回路に最適に設定可能なトランジスタ型保護素子を提供するためのものである。

30

また、本発明は、このようなトランジスタ型保護素子を保護対象となる回路と集積化してなる半導体集積回路を提供するためのものである。

【課題を解決するための手段】

【0016】

本発明に関わるトランジスタ型保護素子は、半導体基板と、半導体基板に形成された第1導電型半導体からなるベース領域と、ベース領域内に形成されるエミッタ領域、複数のコレクタ領域および抵抗性接続部とを有する。

前記エミッタ領域は、前記ベース領域内に形成された第2導電型半導体からなる。

40

前記複数のコレクタ領域は、第2導電型半導体領域からそれぞれ形成されている。前記複数のコレクタ領域は、エミッタ領域に対し、それぞれが所定の距離以上離れ、かつ、互いの間も離れている。

前記抵抗性接続部は、前記複数のコレクタ領域間を所定の電気抵抗で接続する。

【0017】

本発明では好適に、前記抵抗性接続部は、前記複数のコレクタ領域の何れかに接合降伏が発生するバイアスの印加時に空乏化されない領域が残るように、冶金学的接合形状と濃度プロファイルが決められている第2導電型半導体領域である。このように抵抗性接続部が第2導電型半導体領域の場合を以下、“好ましい形態1”と呼ぶ。

あるいは好適に、前記抵抗性接続部は、前記複数のコレクタ領域の各々に対してコンタ

50

クト部を介して接続された、少なくとも1つの薄膜抵抗を含む。この抵抗性接続部が薄膜抵抗を含む場合を以下、“好ましい形態2”と呼ぶ。

【0018】

上記構成によれば、エミッタ領域の電位（ベース領域を同電位としても可）を基準として、例えば、複数のコレクタ領域の1つに所定のバイアスを印加する。このバイアスを大きくしていくとすると、複数のコレクタ領域の各々とベース領域との間で、冶金学的接合位置から深さ方向の両側に空乏層が延びる。

好ましい形態1では、このときさらに、抵抗性接続部である第2導電型半導体領域とベース領域間でも、その冶金学的接合位置から深さ方向の両側に空乏層が延びる。そして、あるバイアスで複数のコレクタ領域の何れかに接合降伏が発生する。

10

【0019】

接合降伏が一旦発生すると、当該接合降伏が発生したコレクタ領域からエミッタ領域に電流が流れる。これによりベース領域の電位が上昇し、ベース領域とエミッタ領域間のPN接合を順バイアスする。以後は、エミッタ領域、ベース領域、複数のコレクタ領域をそれぞれ、エミッタ、ベース、コレクタとするバイポーラトランジスタがオンする。

バイポーラトランジスタがオンすると、エミッタとコレクタ間のインピーダンスが急激に低下するため、このインピーダンスが低下したベース領域表面側を電流が流れるようになる。

【0020】

好ましい形態1では、この最初に接合降伏が発生するときに、抵抗性接続部となる第2導電型半導体領域で空乏化されない領域が残るように、その冶金学的接合形状と濃度プロファイルが決められている。よって、以後、バイアスが大きくなる過程で、今までと同様に抵抗層として抵抗性降伏領域が機能する。

20

一方、好ましい形態2では薄膜抵抗を有するため、抵抗層として機能するか否かはバイアスの大きさに依存しない。つまり、好ましい形態2では薄膜抵抗が常に抵抗層として機能する。

【0021】

上記何れの形態でも、次の接合降伏が発生するときのキャリア通路が確保される。

このため好ましい形態1では、接合降伏の発生可能箇所が複数のコレクタ領域と、その間を接続する抵抗性接続部の第2導電型半導体領域との広い範囲に及ぶ。

30

一方、好ましい形態2では、接合降伏の発生可能箇所が複数のコレクタ領域に分散される。

【0022】

ここで最初に接合降伏（ここでは雪崩降伏を接合降伏の一例とする）が発生するコレクタ領域を、“第1降伏領域”と便宜的に呼ぶ。

第1降伏領域で雪崩降伏が発生すると、バイポーラ動作で注入されるエミッタ電流は、エミッタ領域により近い側のコレクタ領域に集められる。バイポーラ動作によってデバイス特性がスナップバックすると、コレクタ電圧が下がる。そのため、第1降伏領域（コレクタ）での雪崩降伏は弱まる。代わりに、エミッタ領域から注入された電子が、第1降伏領域以外の他のコレクタ領域（以下、第2降伏領域と呼ぶ）で加速されて雪崩降伏を起こす。そのため、当該第2降伏領域での雪崩降伏が強まる。

40

【0023】

電位はエミッタ領域を基準として決まるため、上記2段階の雪崩降伏に寄与する電流が、バラスト抵抗として機能する抵抗性接続部を通して流れる。そのため、その電流と抵抗値から計算される電圧降下分だけ第2降伏領域の電位が持ち上げられる。よって、電位が持ち上げられた第2降伏領域で再度、接合降伏が発生しやすくなる。結果として、第1降伏領域と第2降伏領域の両方で接合降伏が起きる。

コレクタ領域が3個以上の場合、上記雪崩降伏が強まるコレクタ領域が、次々に連鎖的に変化する。

このように接合降伏箇所が分散される結果として、電流による温度上昇箇所が広い範囲

50

に分布するようになる。

【0024】

バイポーラ動作によって保護素子にノイズ除去に有効な大きい電流が流れ始めるターンオン電圧は、複数のコレクタ領域の接合形状や濃度プロファイルで決まる。特に好ましい形態1では、さらに、抵抗性接続部としての第2導電型半導体の接合形状や濃度プロファイルによっても、上記ターンオン電圧が決まる。したがって、そのターンオン電圧に対する制約条件はできる限り少ないほうが汎用的で使いやすい保護素子可以实现できる。

各コレクタ領域のエミッタ側端が、エミッタ領域から所定の距離以上、離れている。よって、耐圧を確保しながらターンオン電圧を決める際に、当該耐圧による制約がなく、その分、自由にターンオン電圧を決める設計が可能である。

10

【0025】

このバイポーラトランジスタ型の保護素子は、集積回路にも適用される。

【発明の効果】

【0026】

本発明によれば、保護素子のターンオン電圧（保護耐圧）を決める制約を少なくして、ターンオン電圧を自由に、保護対象となる回路に最適に設定可能なトランジスタ型保護素子が提供される。

また、本発明によって、このようなトランジスタ型保護素子を保護対象となる回路と集積化してなる半導体集積回路が提供される。

【図面の簡単な説明】

20

【0027】

【図1】第1～第5の実施形態に関わる保護素子を用いた保護回路の適用例を示す回路ブロック図である。

【図2】第1の実施形態に関わるMOSトランジスタ型保護素子の断面構造図である。

【図3】第1の実施形態に関わるMOSトランジスタ型保護素子の動作説明図である。

【図4】第1の実施形態に関わるMOSトランジスタ型保護素子の製造途中までの断面図である。

【図5】図4に続く工程のMOSトランジスタ型保護素子の断面図である。

【図6】図5に続く工程のMOSトランジスタ型保護素子の断面図である。

【図7】図6に続く工程のMOSトランジスタ型保護素子の断面図である。

30

【図8】比較例のMOSトランジスタ型保護素子の断面図である。

【図9】比較例のMOSトランジスタ型保護素子で、スナップバックを示すドレイン電圧－電流特性のグラフである。

【図10】比較例のMOSトランジスタ型保護素子の動作説明図である。

【図11】第1の実施形態に関わるMOSトランジスタ型保護素子のドレイン電流とドレイン電圧との関係、ドレイン電流とドレインリーク電流との関係を示すグラフである。

【図12】第2の実施形態に関わるMOSトランジスタ型保護素子の断面構造図である。

【図13】第3の実施形態に関わるMOSトランジスタ型保護素子の断面構造図である。

【図14】第4の実施形態に関わるMOSトランジスタ型保護素子の断面構造図である。

【図15】第5の実施形態に関わるMOSトランジスタ型保護素子の断面構造図である。

40

【発明を実施するための形態】

【0028】

本発明の実施形態を、図面を参照して説明する。

以下、次の順で説明を行う。

1. 第1の実施形態（MOS型：電界緩和領域を有するドレイン構造…製造方法ならびに比較例との対比を含む）

2. 第2の実施形態（MOS型：第1の実施形態のドレイン構造から電界緩和領域を省略）

3. 第3の実施形態（バイポーラ型：第1の実施形態の構造からゲート電極を省略）

4. 第4の実施形態（MOS型：第1の実施形態の構造に、ソース側の低濃度領域を追加

50

)

5. 第5の実施形態(MOS型:抵抗性接続部を配線層により形成)

6. 変形例

【0029】

<1. 第1の実施の形態>

[保護回路の適用例]

図1(A)と図1(B)に、第1～第5の実施形態に関わる保護素子を用いた保護回路の適用例を示す。

【0030】

図1(A)と図1(B)に図解する保護回路(破線で囲む部分)は、内部回路を保護するための回路であり、本例では1つのNMOSトランジスタから構成されている。保護回路を構成するトランジスタはPMOSトランジスタでもよい。ただし、NMOSトランジスタは電流駆動能力が高いため、保護回路の保護素子として望ましい。

このようなMOSトランジスタ型の保護素子を符号“TRm”で表記している。

【0031】

なお、保護素子は内部回路を含む集積回路(IC)に外付けのディスクリート部品でもよいが、ここでは、保護回路と内部回路は共通の半導体基板に集積化されているものとする。よって、この図1(A)と図1(B)に示す構成は、本発明の「半導体集積回路」の一実施例に該当する。また、MOSトランジスタ型保護素子TRmは、本発明の「トランジスタ型保護素子」の一実施例に該当する。

【0032】

MOSトランジスタ型保護素子TRmは、そのドレインが電源電圧VDDの供給線に接続され、そのソースがGND線に接続されている。MOSトランジスタ型保護素子TRmのゲートはGND線に接続されている。このため、かかる接続形態のMOSトランジスタはGG(Gate-Grounded)MOSトランジスタと呼ばれる。

電源電圧VDDの供給線とGND線との間には内部回路が接続されている。このため内部回路は、電源電圧VDDで駆動される。

【0033】

図1(A)と図1(B)には、符号“I/O”により表記された不図示の入出力回路または入出力端子から、信号の入力線または出力線(以後、総称して信号線と呼ぶ)が内部回路に接続されている。

この信号線にも静電気等に起因したノイズが重畳されることがある。そのため、信号線と電源電圧VDDの供給線との間に、信号線側をアノードとする保護ダイオードD1が接続されている。また、信号線とGND線との間に、GND線側をアノードとする保護ダイオードD2が接続されている。

【0034】

なお、保護ダイオードD1, D2に代えて本発明が適用されたGGMOSトランジスタを追加してもよい。

【0035】

図1(A)は、電源端子に正電荷のサージが入った場合の保護回路の動作説明図である。

電源電圧VDDの供給線に、不図示の電源端子等から正電荷のサージが入ると、そのサージによって電源電圧VDDの供給線の電位が上昇する。電源電圧VDDの供給線の電位が内部回路の破壊電圧に達する前に、MOSトランジスタ型保護素子TRmがターンオンして導通状態に移行する。そのためサージが、MOSトランジスタ型保護素子TRmを通してGND線に逃げる。

【0036】

図1(B)は、I/O端子に正電荷のサージが入った場合の保護回路の動作説明図である。

I/O端子に正電荷のサージが入ると、保護ダイオードD1が順方向にバイアスされて

10

20

30

40

50

ターンオンし、サージを電源電圧VDDの供給線に流す。次に、電源電圧VDDの供給線が所定の電位に達するとMOSトランジスタ型保護素子TRmがターンオンして導通状態に移行する。そのためサージが、MOSトランジスタ型保護素子TRmを通してGND線に逃げる。内部回路の保護のためには、内部回路の入出力の耐圧を超える前に保護ダイオードD1がオンする必要がある。また、内部回路のトランジスタの（ドレイン）耐圧を超える前に、MOSトランジスタ型保護素子TRmがオンする必要がある。

これにより、内部回路は、高電圧による破壊を免れる。

【0037】

以上より、MOSトランジスタ型保護素子TRmは、以下の要件を備えている必要がある。

- (1) サージによって発生する高電圧や大電流で破壊されない静電破壊耐性を有している。
- (2) 内部回路の動作電圧より高く、内部回路の破壊電圧より低い電圧でターンオンする。
- (3) ターンオン後のインピーダンスが十分低い。
- (4) ターンオンしていないときのインピーダンスは十分高い。

【0038】

[素子構造]

図2は、第1の実施形態に関わるMOSトランジスタ型保護素子TRmの断面構造図である。

MOSトランジスタ型保護素子TRmは半導体基板1に形成されている。半導体基板1は、高濃度に不純物を導入されたP型シリコン（結晶方位面100の）の基板である。半導体基板1内の表面側に、所望のしきい値電圧や各部の耐圧が得られるように不純物を導入されたP型のウェル（以下、Pウェル）2が形成されている。

Pウェル2の表面には、半導体基板1の表面を熱酸化して得られたSiO₂よりなるゲート絶縁膜3が形成されている。

ゲート絶縁膜3の上に、N型またはP型の不純物がドーピングされたポリシリコンにより構成されたゲート電極4が形成されている。

【0039】

特に平面図を示さないが、ゲート電極4は細長いフィンガー部を有する。そのフィンガー部の幅方向の一方側がソース、他方側がドレインとなる。

より詳細には、ゲート電極4（厳密にはフィンガー部）の一方側のPウェル2部分に、高濃度にN型不純物が導入されてソース領域5が形成されている。ゲート電極4（フィンガー部）の他方側のPウェル2部分に、ソース領域5と同様に高濃度にN型不純物が導入されて第1ドレイン領域6と第2ドレイン領域8が互いに離れて形成されている。

【0040】

ここでソース領域5のエッジが、不純物の横方向拡散によってゲート電極4のエッジ下方にまで到達している。ゲート電極4とソース領域5は平面パターン上で一部重なっている。

これに対し、第1ドレイン領域6と第2ドレイン領域8は、それぞれ、ゲート電極4から所定の距離以上、離れて形成されている。そのため、第1ドレイン領域6と第2ドレイン領域8は、ゲート電極4と平面パターンで重なっていない。

【0041】

より詳細に、ゲート電極4と第1ドレイン領域6との間に電界緩和領域7、第2ドレイン領域8および抵抗性接続領域9が形成されている。

電界緩和領域7は、ソース領域5と同様にゲート電極4と平面パターンで一部重なるN型不純物領域である。電界緩和領域7は、その導入された不純物濃度が第1および第2ドレイン領域6、8のそれより十分低く、いわゆるLDD領域やエクステンションなどと同様に横方向の電界を緩和する目的で形成されている。電界緩和領域7は、後述するように動作時に深さ方向で全域が空乏化するとよい。そのため、この場合の電界緩和領域7では接合降伏が起きない。言い換えると、ソースとドレインの離間方向で電界緩和領域7が有する長さと、電界緩和領域7の不純物濃度は、ゲート端付近で接合降伏が起きないように

10

20

30

40

50

決められている。

【0042】

第2ドレイン領域8は、第1ドレイン領域6と電界緩和領域7の間に形成されている。

抵抗性接統領域9は、第1ドレイン領域6と第2ドレイン領域8との間に形成されている。

【0043】

抵抗性接統領域9の不純物濃度分布（濃度プロファイル）は、ピンチオフ電圧がドレイン降伏電圧より高くなるように定められる。

ここで“抵抗性接統領域9のピンチオフ電圧”とは、ドレインバイアスを変化させたときに、抵抗性接統領域9において空乏層が深さ方向で拡がり電気的中性領域が消滅（オフ）するときの、第1ドレイン領域6への印加電圧を言う。ここで言う“電気的中性領域の消滅（オフ）”は、第2ドレイン領域8の1箇所または複数個所で最初に生じた場合を意味する。

また、“ドレイン降伏電圧”とは、本例では第1ドレイン領域6または第2ドレイン領域8で、最初に接合降伏が生じるときの、ドレインバイアス電圧を言う。

【0044】

この要件は、「第1ドレイン領域6または第2ドレイン領域8に接合降伏が発生するときのドレインバイアス（例えば、ドレイン電圧）の印加時に抵抗性接統領域9に空乏化されない（電気的中性）領域が残る」とことと等価である。

電気的中性領域が残ると抵抗性接統領域9が適度なシート抵抗を有する抵抗層として機能する。

【0045】

ソースとドレインの離間方向における抵抗性接統領域9の長さや深さなどを含む冶金学的接合形状と濃度プロファイルは、電気的中性領域が残存した状態で抵抗性接統領域9が所定の抵抗値を持つように定める。

【0046】

ここで“所定の抵抗値”は、第1ドレイン領域6、第2ドレイン領域8の順で接合降伏が発生する場合、次のように、その上限が定義できる。

ドレイン印加電圧を上げていったときに、第1ドレイン領域6で接合降伏が発生し、第1ドレイン領域6の電位上昇が飽和した時点で抵抗性接統領域9に電気的中性領域が残る、所定の抵抗値を持つ。このときの所定の抵抗値が余りに高いと、さらにドレイン印加電圧を上げて、飽和しているが僅かに上昇した電位で次に接合降伏が起こる前に電気的中性領域が消滅することもある。すると以後、有効な電流経路が断たれるため、第2ドレイン領域8では接合降伏が生じない。このようなことがないように、所定の抵抗値の上限が抵抗性接統領域9の冶金学的接合形状と濃度プロファイルによって決められている。

【0047】

“所定の抵抗値”の下限は、第2ドレイン領域8、第1ドレイン領域6の順で接合降伏が発生する場合で、次のように規定される。

上記したように最初に第1ドレイン領域6に接合降伏が発生すると、ドレイン印加電圧を上げても、第1ドレイン領域6の電位は殆ど上がらず飽和する。これに対し、最初に第2ドレイン領域8に接合降伏が発生すると、直後のドレイン電流と抵抗性接統領域9の全長にわたる抵抗値とにより、抵抗性接統領域9に電圧降下が発生させる。正のノイズがドレイン側に印加される場合、各不純物領域の電位はソース側の電位が基準となる。そのため、抵抗性接統領域9に電圧降下が発生すると、ソース側の電位を基準に第1ドレイン領域6の電位が持ち上がる。このとき抵抗性接統領域9の“所定の抵抗値”が小さすぎると、電圧降下量も小さすぎて、第1ドレイン領域6の一部で接合降伏が発生するための電位まで第1ドレイン領域6の電位が上昇しない。

つまり、“所定の抵抗値”の下限は、先に第2ドレイン領域8で降伏が発生した後、第1ドレイン領域6で次の降伏を引き起こさせるに足る抵抗値以上である必要がある。

【0048】

なお、抵抗性接続領域 9 の抵抗値は、抵抗性接続領域 9 のシート抵抗と長さの積で決まる。これらの構造パラメータは、互いに従属する設計因子であり、抵抗性接続領域 9 の抵抗値の最適な値は一意に決まるものではない。

【0049】

さらに、抵抗性接続領域 9 の接合深さは、第 1 ドレイン領域 6 および第 2 ドレイン領域 8 の接合深さよりも浅くする。これにより、抵抗性接続領域 9 と第 1 ドレイン領域 6 との境界付近、抵抗性接続領域 9 と第 2 ドレイン領域 8 との境界付近に、それぞれ、冶金学的接合面の段差ができる。そのため、第 2 ドレイン領域 8 のソース側端の基板深部側と、第 1 ドレイン領域 6 のソース側端の基板深部側に、それぞれ、ドレイン領域のコーナー曲面が形成される。このコーナー曲面を、以下、“凸面部分”と呼ぶ。

10

【0050】

P ウェル 2 には、P 型不純物を高濃度に導入したウェルコンタクト領域 10 が形成されている。

P ウェル 2 表面を含む、半導体基板 1 の表面には、半導体基板 1 と上層配線（図示せず）との間の電氣的絶縁を図るための層間絶縁膜 11 が形成されている。

ソース領域 5、第 1 ドレイン領域 6、ウェルコンタクト領域 10 の上には、層間絶縁膜 11 を貫通する接続孔を通してそれぞれの N 型不純物領域（拡散層）との間にオーミック接触をなすソース電極 12、ドレイン電極 13、ウェル電極 14 が形成されている。

【0051】

[ESD 動作によるサージ除去]

20

図 2 の構造にサージが入ったときの各部の作用を、図 3 を用いて説明する。なお、ここでは、第 1 ドレイン領域 6、第 2 ドレイン領域 8 の順で接合降伏が発生する場合を一例として動作を説明する。

【0052】

サージ電流を、時間に対してランプ関数的に単調増加する電流源がトランジスタのドレインに接続された場合と等価とみなせる場合を考える。このような電流源接続と等価とみなせるサージ印加（実質的なドレインバイアスの印加）によって、オフ状態の MOS トランジスタ型保護素子 TRm のドレイン電極 13 に電流が流れ込む。このドレイン電流が増加すると、次第にドレイン電位が上昇する。

【0053】

30

ドレイン電位の上昇にともなって、まず電界緩和領域 7 が P ウェル 2 からの空乏層によって空乏化する。これにより、ゲート端にかかる電界が緩和され、ゲート端での接合降伏が回避される。

さらにドレイン電圧が増加すると、抵抗性接続領域 9 がある程度、空乏化する。抵抗性接続領域 9 のピンチオフ電圧がドレイン降伏電圧より高くなるように不純物濃度等を定めているため、抵抗性接続領域 9 に電氣的中性領域 9i が残る。図 3 では、符号“9v”により第 2 ドレイン領域 8 の基板深部側の空乏層を示している。

【0054】

なお、第 1 ドレイン領域 6 や第 2 ドレイン領域 8 の空乏化は、電界緩和領域 7 や抵抗性接続領域 9 に比べて程度が小さい。そのため、第 1 ドレイン領域 6 や第 2 ドレイン領域 8 の空乏化は言及しないし、図 3 でも図示していない。

40

【0055】

本動作例では、第 1 ドレイン領域 6 のコーナー曲面（凸面部分 6A）に電界が集中し、ここで最初の雪崩降伏（接合降伏）が起きるように不純物分布を定めた場合について説明する。

雪崩降伏によって生じた正孔電流は、パス P1 に沿ってウェル中を流れ、ウェル電極 14 から取り出される。このとき、P ウェル 2 中の抵抗成分に正孔電流が流れることによって、ウェル電位が上昇する。

【0056】

上昇したウェル電位によってソース領域 5 と P ウェル 2 間の PN 接合が順方向にバイア

50

スされる。そのため、ソース領域 5 から P ウェル 2 に電子が注入されてバイポーラ動作が始まり、ドレイン電圧が減少し、スナップバックが観察される。ドレイン電圧が下がるので、凸面部分 6 A での雪崩降伏による衝突電離は相対的に弱まる。

【0057】

一方、注入された電子電流は、ソース領域 5 から第 1 ドレイン領域 6 への最短経路であるパス P 2 に沿って流れ、第 2 ドレイン領域 8、抵抗性接続領域 9、第 1 ドレイン領域 6 を通って、ドレイン電極 13 から取り出される。これにより、抵抗性接続領域 9 内に電位勾配が生じる。これと同時に、パス P 2 を通ってきた電子が凸面部分 8 A の高電界に加速されて衝突電離を引き起こし、相対的に凸面部分 8 A での雪崩降伏が強まる。凸面部分 8 A で生成された正孔電流は、パス P 3 を通って主にソース領域 5 に流れ込み、一部はパス P 3 a を通ってウェル電極 14 から取り出される。

10

【0058】

さらにサージ電流が増加すると、パス P 2 を通る電流によって抵抗性接続領域 9 に生じる電圧降下によって、第 1 ドレイン領域 6 の電位が再度、上昇する。その結果、電界が集中する第 1 ドレイン領域 6 の凸面部分 6 A で雪崩降伏の臨界電界に達し、接合降伏（雪崩降伏）が凸面部分 6 A で再度、強まる。

【0059】

凸面部分 6 A で再度、強まった接合降伏で発生した正孔電流は、電位が高い抵抗性接続領域 9 を避けて、電位の低い P ウェル 2 に向かって下方向に流れ、パス P 1 a を通って、主にソース電極 12 から取り出される。その結果、P ウェル 2 の深い領域に、パス P 1 a に沿った電位勾配が発生する。その電位に、ソース領域 5 から注入された電子電流が引き込まれ、パス P 4 に沿った電子電流が形成される。

20

【0060】

この一連の過程において、最初の発熱は、最初の接合降伏が起きて電流と電界が集中する凸面部分 6 A の近傍に集中する。その後、パス P 2 で電子電流が増加すると、発熱の中心は凸面部分 8 A に移る。

しかし、凸面部分 8 A で破壊が起きる前に、第 1 ドレイン領域 6 の一部であり凸面部分 8 A から離れた凸面部分 6 A で再び、雪崩降伏が強まる。その結果、高電流領域の発熱領域は、凸面部分 8 A と凸面部分 6 A、および、電気的中性領域 9 i の 3 つの領域に分散される。

30

【0061】

さらに、パス P 4 を通って第 1 ドレイン領域 6 に流れ込む電子電流は、第 2 ドレイン領域 8 から広がる電位勾配によって、第 1 ドレイン領域 6 の底面に広がって流れるため、電流密度の集中が緩和される。

その結果、ESD サージの電力消費が、第 2 ドレイン領域 8 から第 1 ドレイン領域 6 の底面に渡る広い範囲に分散され、局所的な発熱が緩和され、より高いサージ電流まで素子の ESD 破壊を免れる。

【0062】

なお、最初の接合降伏が凸面部分 8 A で起きるように不純物濃度を定めた場合は、雪崩降伏によって生じた正孔電流は、パス P 3 a に沿ってウェル中を流れ、ウェル電極 14 から取り出される。このとき、P ウェル 2 中の抵抗成分に正孔電流が流れることによって、ウェル電位が上昇する。

40

その後は、『上昇したウェル電位によってソース領域 5 と P ウェル 2 間の PN 接合が順方向にバイアスされる。』の一文で始まる上述した記載と同様に動作する。

【0063】

〔製造方法〕

次に、MOS トランジスタ型保護素子 TRm の作製方法を、図 4 (A) ～図 7 ならびに図 2 を参照して説明する。

図 4 (A) の工程 1 において、高濃度 P 型シリコンからなる半導体基板 1 に、P ウェル 2 を形成するために、低濃度の P 型シリコン層をエピタキシャル成長する。半導体基板 1

50

の不純物濃度は、例えば $1\text{E}19[\text{cm}^{-3}]$ 以上とし、エピタキシャル成長層 1 E の不純物濃度は、例えば $1\text{E}15[\text{cm}^{-3}]$ 以下とする。

続いて、半導体基板 1 表面を熱酸化し、イオン注入のスルー膜として用いる犠牲酸化膜 2 1 を形成する。

続いて、犠牲酸化膜 2 1 を通して硼素(B)イオンを半導体基板 1 に注入し、活性化アニールを行って、P 型半導体からなる P ウェル 2 を形成する。硼素(B)イオンのドーズ量や注入エネルギーは、所望のドレイン耐圧や P ウェル 2 のシート抵抗、同一基板に形成する MOSFET のしきい値電圧が得られるように定める。

【0064】

次に、図 4 (B) の工程 2 において、犠牲酸化膜 2 1 を、弗酸系溶液を用いてエッチング除去した後、再度、半導体基板 1 表面を熱酸化してゲート絶縁膜 3 を形成する。ゲート絶縁膜 3 となるシリコン酸化膜の厚さは、同一基板に形成する MOSFET で、所望のゲート耐圧やしきい値電圧が得られるように定める。

続いて、熱 CVD 法を用いてゲート絶縁膜 3 の上にポリシリコン層（図示せず）を堆積し、燐(P)イオンをポリシリコン層に高濃度にイオン注入する。

続いて、レジスト（図示せず）を半導体基板全面に塗布した後、光学リソグラフィを行い、ゲートパターンをレジストに転写する。その後、レジストパターンをマスクに反応性イオンエッチングを行い、ポリシリコン層の不要部分を除去する。その後、アッシングによってレジストを除去し、ゲート電極 4 を得る。

【0065】

次に、図 5 (A) の工程 3 において、半導体基板 1 をレジスト PR 1 で被覆し、光学リソグラフィを行ってゲート電極 4 から第 1 ドレイン領域 6（図 2 参照）となる領域までを開口する。続いて、電界緩和領域 7 を形成するための燐(P)イオンを半導体基板 1 表面に注入する。燐(P)のドーズ量と注入エネルギーは、スルー膜とするゲート絶縁膜 3 の厚さと、所望のドレイン耐圧に応じて定めればよい。その後、アッシング等によってレジスト PR 1 を除去する。

【0066】

次に、図 5 (B) の工程 4 において、半導体基板 1 をレジスト PR 2 で被覆し、光学リソグラフィを行って第 2 ドレイン領域 8 から第 1 ドレイン領域 6（図 2 参照）となる領域までを開口する。続いて、抵抗性接続領域 9 を形成するための燐(P)イオンを半導体基板 1 表面に注入する。燐(P)ドーズ量と注入エネルギーは、抵抗性接続領域 9 のピンチオフ電圧がドレイン耐圧よりも高くなるように定められる。その後、アッシング等によりレジスト PR 2 を除去する。

【0067】

次に、図 6 (A) の工程 5 において、半導体基板 1 をレジスト PR 3 で被覆し、光学リソグラフィを行ってソース領域 5、第 1 ドレイン領域 6、第 2 ドレイン領域 8 の領域を開口する。続いて、砒素(As)イオンと燐(P)イオンを、順次、半導体基板 1 の表面に注入する。それぞれのイオンのドーズ量と注入エネルギーは、後で形成するソース電極やドレイン電極との間にオーミック接触を形成するに足る表面濃度と、抵抗性接続領域 9 よりも深い接合深さが得られるように定める。その後、レジスト PR 3 を除去する。

【0068】

次に、図 6 (B) の工程 6 において、半導体基板 1 をレジスト PR 4 で被覆し、光学リソグラフィを行ってウェルコンタクト領域 10 を形成する領域を開口する。続いて、硼素(B)イオン、または弗化硼素(BF₂)イオンを半導体基板 1 の表面に注入する。ドーズ量と注入エネルギーは、後で形成するウェル電極との間にオーミック接触を形成するに足る表面濃度を得られるように定める。その後、レジスト PR 4 を除去する。

【0069】

次に、図 7 の工程 7 において、基板に熱処理を行い、これまでの工程でイオン注入された不純物原子を活性化する。

続いて、基板表面にプラズマ CVD 法により SiO₂ を厚く堆積し、CMP を用いて表

10

20

30

40

50

面を平坦化し、これにより層間絶縁膜 11 を得る。

続いて、基板全面にレジスト膜（図示せず）を形成し、光学リソグラフィを行って、ソース領域 5、第 1 ドレイン領域 6、およびウェルコンタクト領域 10 に対して設ける接続孔のパターンをレジスト膜に転写する。その後、反応性イオンエッチングを行って、各部への接続孔を形成する。

【0070】

次に、工程 8 において、接続孔にタングステンなどの金属をスパッタリングや CVD 法によって埋め込み、さらにその上部に、アルミニウムによる配線層を形成する。これにより、図 2 に示すように、ソース電極 12、ドレイン電極 13、および、ウェル電極 14 を得る。

10

【0071】

以上の方法によって、第 1 の実施形態に関わる MOS トランジスタ型保護素子 TRm が得られる。

【0072】

なお、ここでは、N チャネル型 GG MOS として用いることができる MOS トランジスタ型保護素子 TRm の製造方法を説明した。

しかしながら、P チャネル型保護素子も、各工程で導入する不純物の導電型を上記説明と反対にすることにより、同様の手順によって作製できる。

また、開始基板は、高濃度 P 型基板である必要はなく、高抵抗 P 型基板や N 型基板でもよい。

20

【0073】

なお、第 1 の実施形態および他の実施形態において、半導体基板 1 というとき、シリコンその他の半導体材料製の基板に限らない。例えば、半導体または半導体以外の材料からなる基板を支持基板として、その基板に半導体層が形成されている場合も、本発明では“半導体基板”の範疇に属するものと定義する。したがって、基板と絶縁分離された SOI 層を有する SOI 基板、その他、薄膜トランジスタを形成するための基板を半導体基板としてよい。

【0074】

次に、第 1 の実施形態で、第 2 ドレイン領域 8 をゲート電極 4 から所定距離だけ離れた利点と、「抵抗性接続領域 9」に関する利点を説明する。

30

【0075】

例えば特許文献 1 のように、自身が接合降伏を起こすときに抵抗層として機能する N 型不純物領域が、ゲート電極 4 とパターン上で重なるような場合、ドレイン耐圧に制約が多く、高耐圧化ができない。つまり、特許文献 1 の構造では、ドレイン耐圧が、ソースとドレイン間のパンチスルー耐圧、ドレインとウェル間の接合耐圧、ゲートとドレイン間の絶縁膜耐圧の全てから制約を受ける。このため、内部回路（図 1）の耐圧に対して適切な大きさのドレイン耐圧を、MOS トランジスタ型保護素子で設定することは非常に困難である。

【0076】

これに対し、第 1 の実施形態によれば、第 2 ドレイン領域 8 が、ゲート電極 4 直下のウェル領域部分から離れているため、ドレイン間耐圧の設定の自由度が高い。よって、内部回路の耐圧が大きい場合でも、それを上回る ESD 保護耐圧が設定可能である。

40

【0077】

また、シリサイド層がないため、シリサイド形成時の加熱によって不純物濃度が低下するなどのバラツキ要因が少ない。特に、抵抗性接続領域 9 は、第 1 ドレイン領域 6、第 2 ドレイン領域 8 および P ウェル 2 の濃度プロファイルに対して、第 1 ドレイン領域 6 または第 2 ドレイン領域 8 が最初に降伏した時以後の所定の抵抗値に最適範囲が存在する。そのため、抵抗性接続領域 9 を形成後に、当該抵抗性接続領域 9 および隣接する他のドレイン領域でシリサイド化加熱などのプロセスで不純物が吸い出され、あるいは加熱自身で濃度プロファイルが大きく変化することは極力避ける必要がある。

50

【0078】

特許文献1は、2つの低濃度不純物領域と、その間の高濃度不純物領域の全体で、ドレイン領域を形成する。しかし、高濃度不純物領域がシリサイド化されているため、その部分で抵抗値が多少なりともばらつく。また、ドレイン領域を含め高濃度不純物領域上はシリサイド化されているため、降伏箇所がシリサイドに近い。発熱箇所がシリサイド層に近い場合、この部分の破壊やシリサイドの抵抗値が変化するなどの不具合が発生する可能性が高い。

【0079】

第1の実施形態のMOSトランジスタ型保護素子TRMでは、そのような不具合が生じるシリサイド層が形成されていない。

10

【0080】

つぎに、一般的なDE-MOSFETに対する利点を説明する。最初にDE-MOSFETについて詳細に説明し、本実施形態に関わるトランジスタ構造との差異が、どのような利点をもたらすかをシミュレーションにより明らかにする。

【0081】

[比較例1 (DE-MOSFET)]

図8は、ドレイン耐圧を高めるための電界緩和領域を備えたドレイン拡張型MOSトランジスタ(DE-MOSFET)の断面構造図である。

【0082】

図8に示す構造は、半導体基板101にPウェル102が形成されている。半導体基板101（厳密にはPウェル102）の表面に、ゲート絶縁膜103が熱酸化等により形成されている。Pウェル102は、図2のPウェル2と同様、所定のしきい値電圧やウェルのシート抵抗などが得られるように不純物分布を定められている。

20

ゲート絶縁膜103上にゲート電極104が形成されている。ゲート電極104を構成するフィンガー部の幅方向の一方側がソース側であり、他方側がドレイン側である。

【0083】

ゲート電極104の一方端と一部重なるように、Pウェル102内にソース領域105が形成されている。また、ゲート電極104の他方端から離れたPウェル102内に、ドレイン領域106が形成されている。ソース領域105とドレイン領域106は、N型不純物が高濃度の導入されている。

30

ドレイン領域106とゲート電極104直下のウェル領域部分との間に、ドレイン領域106より低濃度なN型の電界緩和領域107が形成されている。電界緩和領域107は、その一方端部がゲート電極104の端部と重なっている。電界緩和領域107は、一般に、いわゆるLDD領域やエクステンション領域と同様に、動作時に深さ方向の全長が空乏化する。そのため、接合降伏が生じるドレインバイアス（例えば、ドレイン電圧）の印加時に電界緩和領域107に電気的中性領域が残ることはない。

Pウェル102には、高濃度なP型のウェルコンタクト領域110が形成されている。このウェルコンタクト領域110、ソース領域105、ドレイン領域106にそれぞれプラグ等を介して接続するウェル電極114、ソース電極112、ドレイン電極113が層間絶縁膜111上の配線として形成されている。

40

【0084】

ここで、電界緩和領域107は、ドレイン耐圧を増加させるために設けられている。ドレインとゲート間の電界の大部分を電界緩和領域107が担うことによってゲート端に生じる電界が緩和され、ゲート端の破壊を引き起こすドレイン電圧が引き上げられる。

電界緩和領域107で十分な電圧を担うために、電界緩和領域107の濃度は十分低く、長さは十分長く設計される。

その結果、ドレイン耐圧は、ほぼドレイン領域106とPウェル102との接合耐圧で決定される。

【0085】

[TLP測定]

50

図 8 に示す構造の D E - M O S F E T で G G M O S を構成し、これに対して T L P (Transmission Line Pulsing) 測定を行った。

図 9 に、比較例の D E - M O S F E T の T L P 測定の結果を示す。

【 0 0 8 6 】

図 9 に示す曲線 C 1 は、図 8 のドレイン電極 1 1 3 に電圧パルスを与え、所定の時間（たとえば 100 [ns]）経った時点の過渡的なドレイン電圧値とドレイン電流値の関係を、入力パルスの電圧振幅を順次増やししながら測定したものである。

曲線 C 1 において、ドレイン電圧を上げていくと、前述した最初の接合降伏により 2 4 [V] 付近から急激にドレイン電流が 0.4 [A] 程度流れ始め、瞬時にドレイン電圧がピーク値の 1 / 4 程度に低下する。このドレイン電圧が逆戻りする現象を“スナップバック（現象）”と呼ぶ。そして、スナップバック後は、その後のパルス印加ごとにパルス波高値の増加を反映して、ドレイン電圧もドレイン電流も徐々に増加する。

【 0 0 8 7 】

図 9 に示す曲線 C 2 は、曲線 C 1 を求める際のドレイン電流測定と交互に行うドレインリーク電流測定の結果を示すものである。より詳細に、曲線 C 2 の各点は、直前に測定した曲線 C 1 の点のドレイン電流を縦軸とし、その曲線 C 1 の点を測定した直後に測定したドレインリーク電流を横軸にして電流値をプロットしたものである。

曲線 C 2 が示すとおり、測定した保護素子（D E - M O S F E T）のドレインリーク電流は、最初のスナップバックの後、測定回数の増加に伴って順次増加している。これは、ドレイン接合破壊が、スナップバックごとに進行していることを示唆している。

【 0 0 8 8 】

上記のリーク発生の想定原因を、図 1 0 を用いて説明する。

図 1 0 は、図 8 の D E - M O S F E T にスナップバックを起こさせた直後の状況を表した図である。

【 0 0 8 9 】

まず、ソース電極 1 1 2 とウェル電極 1 1 4 とゲート電極 1 0 4 を接地した状態で、ドレイン電極 1 1 3 に流し込む電流を増加させる。すると、ドレイン電圧が上昇し、電界緩和領域 1 0 7 の空乏化が進行し、ドレイン電圧がドレイン降伏電圧に達する前に、全領域で空乏化する。これにより、ゲート端に集中する電界が緩和され、ゲート端での破壊発生が回避され、電界緩和領域の役割が果たされる。

【 0 0 9 0 】

さらにドレイン印加電圧を大きくしてドレイン電流をより多く流すと、電界はドレイン領域 1 0 6 の基板深部側の曲率を持つ接合部分である凸面部分 1 0 6 A で最大となる。そして、ドレイン電圧がドレイン降伏電圧に達すると、ウェーハの断面では凸面部分 1 0 6 A、ウェーハの平面ではドレイン領域 1 0 6 のどこか限られた箇所で雪崩降伏が始まる。雪崩降伏が始まる箇所は、通常、スポット状であるため“ホットスポット”と呼ばれる。

雪崩降伏によって発生した正孔と電子の対のうち、電子はドレイン領域 1 0 6 に流れ込み、正孔はパス P 5 を通ってウェルコンタクト領域 1 1 0 からウェル電極 1 1 1 に流れ込む。このとき、正孔電流が、P ウェル 1 0 2 の抵抗によって P ウェル 1 0 2 の電位を上昇させるため、ソース領域 1 0 5 と P ウェル 1 0 2 の間の P N 接合が順方向にバイアスされる。

【 0 0 9 1 】

さらにドレイン印加電圧を大きくしてドレイン電流をより多く流すと、ドレイン電圧が上昇し、衝突電離による正孔電流が増加する。そのため、やがて基板電位が P N 接合のターンオン電圧に達し、ソース領域 1 0 5 から P ウェル 1 0 2 に電子が注入される。

【 0 0 9 2 】

この電子電流は、拡散と正孔電流が作る電位勾配とによってパス P 6 を経由して、凸面部分 1 0 6 A の領域からドレイン領域 1 0 6 に流れる。ソースと基板間の P N 接合がターンオンすることで、ドレインとソース間のインピーダンスが下がり、ドレイン電圧は減少に転じ、スナップバックが観察される。ドレイン電圧が下がるので、上記ホットスポット

10

20

30

40

50

以外の点では雪崩降伏が起き得ず、降伏電流は、ウェーハ平面上で上記ホットスポットに集中して流れる。

【0093】

このように、スナップバック直後は、電界と電子電流密度がドレイン領域の凸面部分106A付近に集中するため、サージの電氣的エネルギーが、この領域付近で集中的に消費され、発熱する。

この発熱集中によって半導体基板1中の結晶欠陥が増殖し、図9に示すリーク電流の増加が起きると考えられる。このようなリーク電流は、特に、ドレイン耐圧の高いMOSFETで顕著に発生することから、中高耐圧半導体集積回路において特に問題となる。

【0094】

図11(A)と図11(B)に、本実施形態の保護素子(図2参照)に対するTLP測定結果の一例を示す。図11(A)と図11(B)は、ドレイン電流に対する、ドレイン電圧とドレインリーク電流の関係を分けて示す。

この図のように、図9に示した比較例の保護素子とほぼ同じゲート幅でありながら、接合リークが発生するドレイン電流は、比較例の場合の0.4[A]から0.55[A]以上に伸びている。

【0095】

以上の結果を踏まえ、本実施形態における動作を、比較例と対比して箇条書きにして述べると、以下の如くである。

【0096】

(1)サージが保護素子のドレインに入力される。このとき保護素子の振る舞いは、あるモデルによれば、電流が時間とともに単調増加する電流源が、あたかも保護素子のドレインに接続されている場合と等価とみなしてよい。

(2)ドレインに入力されたサージに起因した電流によってドレイン電位が上昇し、ある電圧で、ドレイン幅のどこか弱い1点、即ちホットスポットから雪崩降伏が起きる。

(3)その降伏点で生成した正孔は、正孔電流として基板を通過して基板コンタクトに流れ、基板電位を持ち上げる。

(4)正孔電流がある程度になると、基板電位がPN接合のターンオン電圧に達し、ソース領域から基板に電子が注入される。電子電流は、基板バイアスに対して指数的に増加するため、ソースとドレイン間のインピーダンスが急激に下がる。

(5)インピーダンスが下がった結果、上記降伏点近傍の電位が下がる。

【0097】

(5-1)比較例の場合：

このとき、比較例では、降伏点がシリサイドと近接してほぼ同電位であるため、降伏点の電位が下がることによってシリサイド領域全体の電位が、ドレイン全幅にわたって、ドレイン降伏電圧以下まで低下する。その結果、すでに降伏している点以外の領域では、接合降伏が起きなくなり、降伏電流は最初に降伏した1点(上記ホットスポット)に集中して流れる。そのため、ここでは局所的な電流密度が極めて高くなる。

さらに、比較例では、発熱(消費電力密度)がドレイン領域の短部に集中する。その結果、この発熱集中箇所では基板のシリコンが熱的に損傷を受け、ソフトリークの原因となる結晶欠陥が発生する。

【0098】

(5-2)本実施形態の場合：

一方、本実施形態の構造でも、一旦は、降伏点の電位が下降し、そこに降伏電流が集中して流れる。

しかし、本実施形態の構造では、降伏電流密度が高くなったときの発熱箇所が、第2ドレイン領域8から第1ドレイン領域6の底面までの広い領域に分布する。このため、比較例では破壊が起こる電流を入力しても、発熱集中による損傷を受けにくくなる。

降伏点(第2ドレイン領域8の先端)と第1ドレイン領域6との間に抵抗性接続領域9が存在する。抵抗性接続領域9は、バラスト抵抗として機能する。そのため、降伏電流が

10

20

30

40

50

増えると、抵抗性接続領域 9 での電圧降下も増加し、第 1 ドレイン領域 6 の電位が上昇に転じる。

その結果、ドレイン電圧が再度、ドレイン降伏電圧以上の電圧を回復するため、別の箇所でも、接合降伏が始まり、最終的には、ゲート幅全幅にわたって接合降伏ようになる。

これにより、ゲート幅辺りの電流密度が下がり、サージ電流の 1 点集中が回避される。

【0099】

(6) これらの結果、本実施形態では、ソフトリークの原因となる結晶欠陥が発生せず、しかも高い I_{t2} (2 次降伏電流、破壊電流) が得られる。

【0100】

以上を纏めると、本実施形態では、まず、1 点で接合降伏が始まっても、発熱集中の分散によって、その 1 点での熱的損傷を免れる。そこでがんばって耐えているうちに、サージ電流が増加し、ドレイン電圧が再度持ち上がる。すると、別の点でもドレイン降伏電圧に達し、接合降伏が始まる。

さらにサージ電流が増えると、最終的にドレイン全幅にわたって接合降伏が起きる。

このような過程によって、ソフトリークの原因となるドレイン端の局所的な結晶欠陥の発生を免れ、さらにサージ電流が増加しても発熱集中が分散しているために、より高い電流 (I_{t2}) まで素子全体の破壊を免れることが可能となる。

【0101】

< 2. 第 2 の実施の形態 >

図 12 は、第 2 の実施形態に関わる MOS トランジスタ型保護素子 TRm の断面図である。

図 12 に示す構造は、図 2 の構造から電界緩和領域 7 を取り除いた構造である。

【0102】

図 12 に示す MOS トランジスタ型保護素子は、第 1 の実施形態と同様に、最初の接合降伏が凸面部分 8A または凸面部分 6A で発生するときに、抵抗性接続領域 9 がバラスト抵抗として機能する。このためドレイン電圧が抵抗性接続領域 9 の電圧降下によって逆に上昇する作用が得られる。その結果、ソフトリークの原因となるドレイン端の局所的な結晶欠陥の発生を免れ、さらにサージ電流が増加しても発熱集中が分散しているために、より高い電流 (I_{t2}) まで素子全体の破壊を免れることが可能となる。

また、第 1 ドレイン領域 6 と第 2 ドレイン領域 8 のそれぞれがゲート電極 4 下方のウェル領域部分から所定距離だけ離れているので、ドレインとゲート間の耐圧の制約なしに、保護素子の耐圧を設定することができる。

【0103】

< 3. 第 3 の実施の形態 >

上記した第 1 の実施形態の動作から明らかなように、MOS トランジスタ型保護素子 TRm は本質的にはバイポーラトランジスタ動作を行うため、ゲート電極 4 は不要である。

【0104】

図 13 に、第 3 の実施形態に関わるバイポーラトランジスタ型保護素子の断面図を示す。

図 13 に示す構造は、図 2 の構造からゲート電極 4 とゲート絶縁膜 3 を取り除いた構造である。

図 13 に示すバイポーラトランジスタ型保護素子 TRb は、図 1 の MOS トランジスタ型保護素子 TRm に置き換えて用いることができる。

【0105】

図 13 においては、ソース領域 5 に代えて“エミッタ領域 5B”の名称を用いている。第 1 ドレイン領域 6 に代えて“第 1 コレクタ領域 6B”の名称を用いている。第 2 ドレイン領域 8 に代えて“第 2 コレクタ領域 8B”の名称を用いている。また、P ウェル 2 が“ベース領域”として機能し、ウェルコンタクト領域 10 が“ベースコンタクト領域”として機能する。

10

20

30

40

50

製造方法、材料その他の構造パラメータは、第 1 の実施形態と同様にできる。

【0106】

図 1 3 に示すバイポーラトランジスタ型保護素子 T R b は、第 2 の実施形態で要約した第 1 の実施形態と同様な効果を得ることができる。ゲート電極がないので、さらに制約が緩和されて、自由に保護素子としての耐圧を決めることができる。

【0107】

< 4. 第 4 の実施の形態 >

図 1 4 は、第 4 の実施形態に関わる M O S トランジスタ型保護素子 T R m の断面図である。

図 1 4 に示す構造は、図 2 の構造のソース領域 5 とゲート電極 4 との間に、電界緩和領域 7 と同一工程で形成される低濃度領域 7 a を追加した構造である。

追加された低濃度領域 7 a のチャンネル長方向の長さによって、スナップバックカーブのオン抵抗を所望の値に調整することができる。その他、第 2 の実施形態で要約した第 1 の実施形態と同様な効果が、本第 4 の実施形態でも得られる。

【0108】

< 5. 第 5 の実施の形態 >

図 1 5 は、第 5 の実施形態に関わる M O S トランジスタ型保護素子 T R m の断面図である。

第 5 の実施形態では、図 1 5 (A) に示すように、層間絶縁膜 1 1 内に、第 1 ドレイン領域 6 と第 2 ドレイン領域 8 にそれぞれ接続する 2 つのプラグ 1 1 A を形成している。2 つのプラグ 1 1 A 上に接触する薄膜抵抗層 9 F を層間絶縁膜 1 1 上に形成している。図 1 5 (A) においてはドレイン電極 1 3 を薄膜抵抗層 9 F の上に形成している。薄膜抵抗層 9 F は、たとえば、ドーピングされたポリシリコンや W S i 2 などの材料から形成し得る。

薄膜抵抗層 9 F は、「抵抗性接続部」に含まれ、第 1 ドレイン領域 6 と第 2 ドレイン領域 8 を所定の電気抵抗で接続する部材の一例である。

【0109】

ただし、ドレイン電極 1 3 の加工時に薄膜抵抗層 9 F がダメージを受けやすい場合、例えば図 1 5 (B 2) に示すように、絶縁膜 1 5 を薄膜抵抗層 9 F 上に成膜してよい。薄膜抵抗層 9 F を開口する開口部を絶縁膜 1 5 に形成し、この開口部を介してドレイン電極 1 3 と薄膜抵抗層 9 F を接続している。

あるいは、薄膜抵抗層 9 F による段切れの懸念がない場合、図 1 5 (B 1) に示すように、ドレイン電極 1 3 を覆って薄膜抵抗層 9 F を形成してもよい。この場合、プラグ 1 1 A の形成は必須ではない。

【0110】

薄膜抵抗層 9 F は、最初に接合降伏が生じた後、次の箇所に接合降伏が発生可能に電流を流すパラスト抵抗として機能することは、第 1 ～第 4 の他の実施形態と同様である。

【0111】

上述した第 1 ～第 5 の実施形態においては、排他的でない限り、つまり、1 つの実施形態と他の実施形態の適用が同時に行えないことが明らかな場合を除くと、自由に組み合わせ

て実施できる。

例えば、第 5 の実施形態が開示する薄膜抵抗層 9 F の利用は、第 1 の実施形態との組み合わせに限らず、第 2 ～第 4 の実施形態の何れに対しても組み合わせることができる。

また、これらの第 1 ～第 5 の実施形態とその組み合わせによる実施形態は、以下に述べる種々の変形が可能である。なお、以下の変形例同士も任意に組み合わせることができる。

【0112】

< 変形例 1 >

第 1 ～第 5 の実施形態に関わるトランジスタ型保護素子の構造的特徴は、複数のドレイン領域と、当該複数のドレイン領域間を所定の電氣的抵抗で接続する抵抗性接続部とを有

10

20

30

40

50

することである。第1～第5の実施形態では、2つのドレイン領域間を、抵抗性接続部（半導体領域または薄膜抵抗）によって接続する場合を例示する。ドレイン領域は3つ以上でもよく、その場合、隣接する2つのドレイン領域それぞれを1つの抵抗性接続部で接続してよい。あるいは、3つ以上の任意の数のドレイン領域を1つの抵抗性接続部で接続してもよい。したがって、全てのドレイン領域を1つの抵抗性接続部で接続してもよい。

【0113】

ソース（またはエミッタ）から最も遠い側にドレインバイアスを印加することが望ましい。平面パターンにおける2次元的な配置によっては、複数のドレイン領域がソースからの距離を等しく配置してもよい。その場合、複数のドレイン領域のどのドレイン領域にドレインバイアスを印加するかは任意である。

10

【0114】

<変形例2>

第1～第4の実施形態に関わる抵抗性接続領域9の不純物濃度は全長に渡って均一である必要はなく、部分的に濃度や接合深さが変調されていてもよい。

また、ドレイン電極13と第1ドレイン領域6との界面に、 CoSi_2 などの材料からシリサイドを形成し、接触抵抗を下げてよい。ただし、この場合は、シリサイド層は、第1ドレイン領域の周縁部から $0.1[\mu\text{m}]$ 以上内側に形成することが望ましい。

【0115】

<変形例3>

第1～第5の実施形態において、半導体基板1をP型の高濃度半導体基板としてもよい。その場合、Pウェル2を低濃度のエピタキシャル成長層で形成するとよい。Pウェル2には、所望のシート抵抗やMOSFETのしきい値電圧が得られるように不純物が追加されてもよい。このような構造でもESD耐性の向上を得ることができる。

20

また、特に図示しないが、半導体基板1とPウェル2をともに低濃度とし、かつ、Pウェル2の所定の深さに、高濃度のP型埋め込み層を設けてもよい。

【0116】

<その他の変形例>

上述した第1～第5の実施形態およびそれらの組み合わせ、ならびに、変形例1～3では、各部の不純物の導電型を入れ替えて作製した逆導電型のトランジスタや保護素子でも同様の効果を得ることができる。逆導電型のトランジスタや保護素子は、上記の製造方法の説明において各工程で導入する不純物の導電型を逆にすることにより、同様の手順によって作製できる。

30

【0117】

低電圧MOSFET(ML)の動作電圧（電源電圧）は、 $1.2[\text{V}]$ 、 $1.8[\text{V}]$ 、 $3.3[\text{V}]$ 、 $5[\text{V}]$ などのいずれでも良く、高耐圧MOSFET(MH)は、その定電圧の動作電圧より高い耐圧を有する。

【0118】

本発明の技術思想は、プレーナ型MOSFETだけでなく、LDMOSや、DMOS、VMOS、UMOSなどの縦型MOSFET構造などにも適用できる。

本発明の技術思想は、基板構造として低濃度P型エピタキシャル層を有する高濃度P型基板に限定されるものではなく、高抵抗P型基板やN型基板、SOI基板などにも適用できる。

40

本発明の技術思想は、素子の材料としてSiに限定されるものではない。Siに代えて、SiGe、SiC、Geなどの他の半導体材料、ダイヤモンドなどのIV族半導体、GaAsやInPをはじめとするIII-V族半導体、ZnSeやZnSをはじめとするII-VI族半導体などでもよい。

本発明の技術思想は、半導体集積回路に限定されるものではない。当該技術思想は、ディスプレイ半導体素子にも適用される。半導体集積回路は、ロジックIC、メモリIC、撮像デバイスなど、用途は任意である。

【0119】

50

上述した第1～第5の実施形態、および、変形例1～3に関わる保護素子によれば、ESDサージが印加されることにより発生する接合降伏を、複数の箇所に分散して、あるいは、ある広がりのある領域で広く発生させる。これにより、サージ電流によって引き起こされる発熱の集中を緩和し、これによりスナップバック時の発熱集中による保護素子の破壊を免れることができる。また、高いドレイン耐圧を維持しつつ、低電圧保護素子に匹敵する高い静電破壊耐性電流を得ることができる。

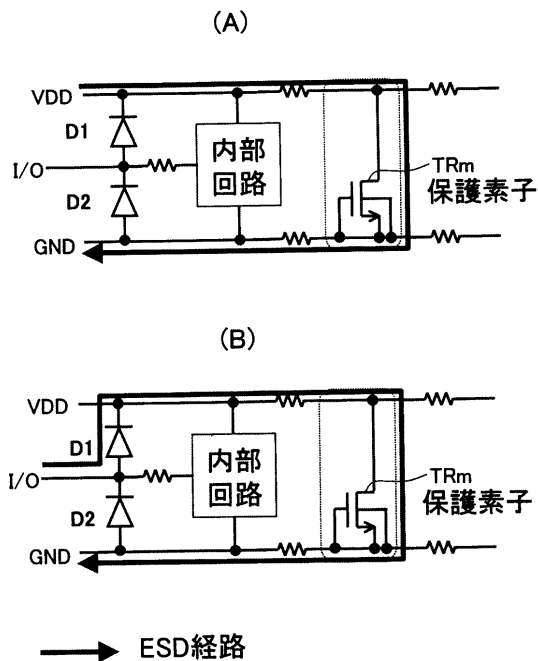
【符号の説明】

【0120】

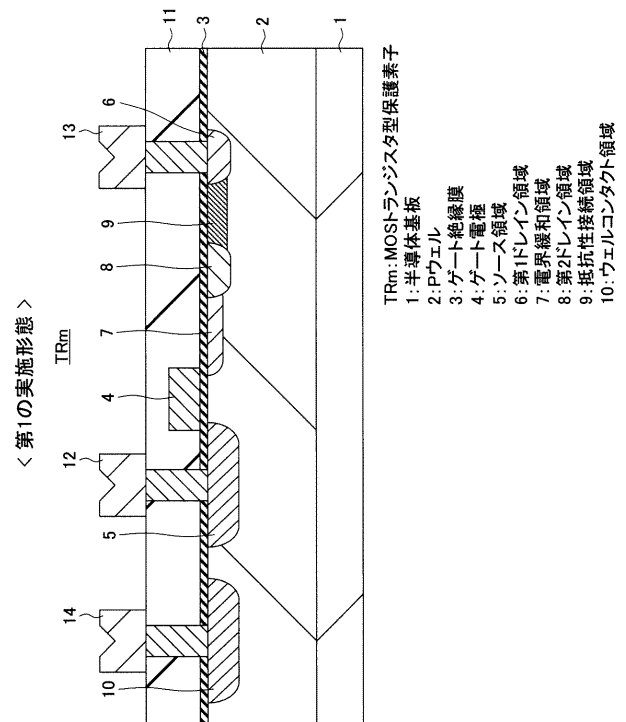
1…半導体基板、1E…エピタキシャル成長層、2…Pウェル、3…ゲート絶縁膜、4…ゲート電極、5…ソース領域、6…第1ドレイン領域、6A…凸面部分、7…電界緩和領域、7a…低濃度領域、8…第2ドレイン領域、8A…凸面部分、9…抵抗性接続領域、9F…薄膜抵抗層、10…ウェルコンタクト領域、TRm…MOSトランジスタ型保護素子、TRb…バイポーラトランジスタ型保護素子

10

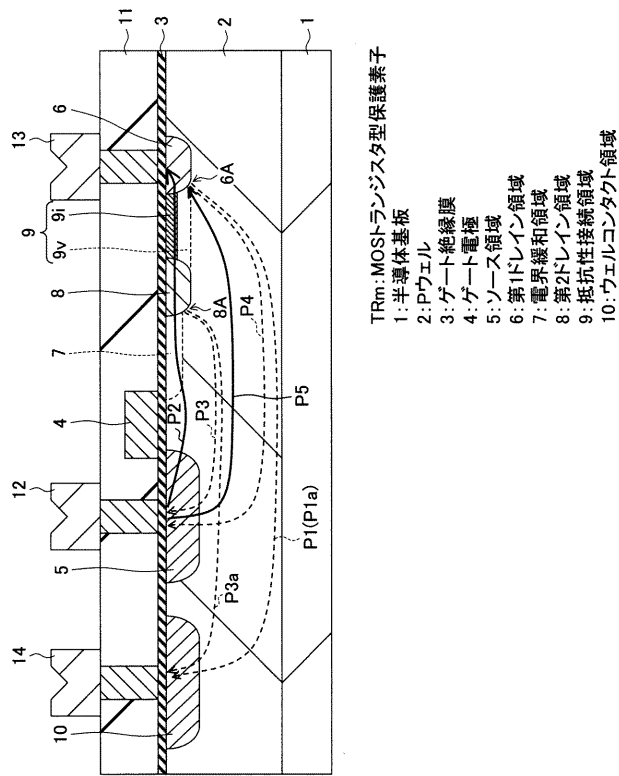
【図1】



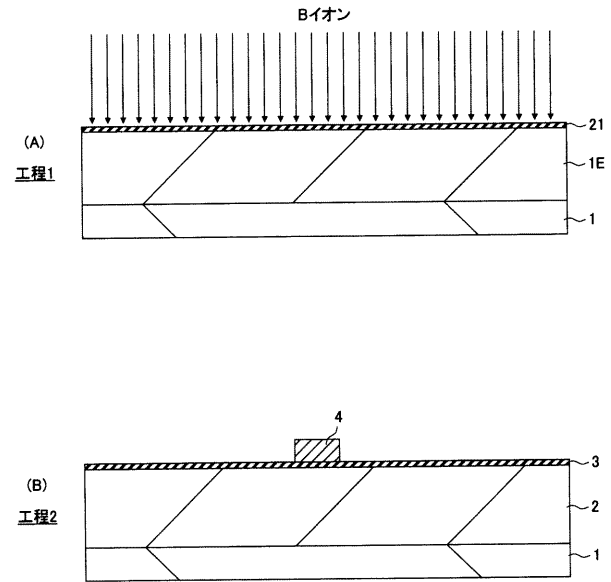
【図2】



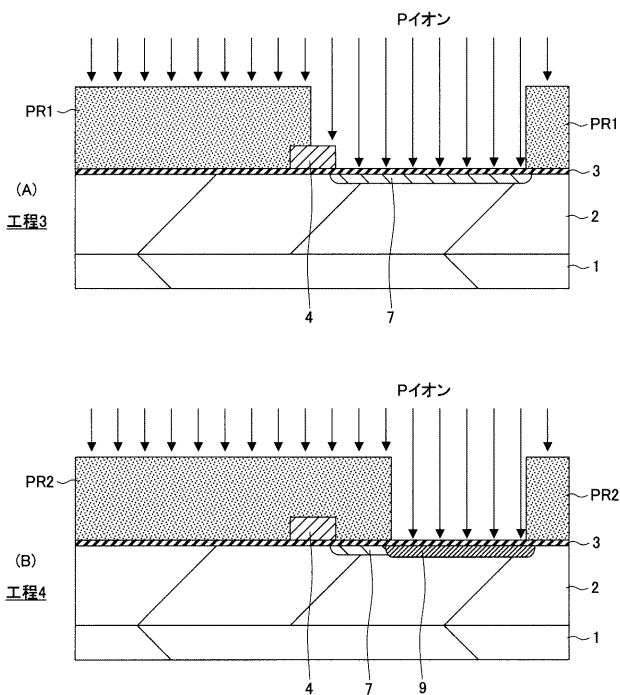
【図 3】



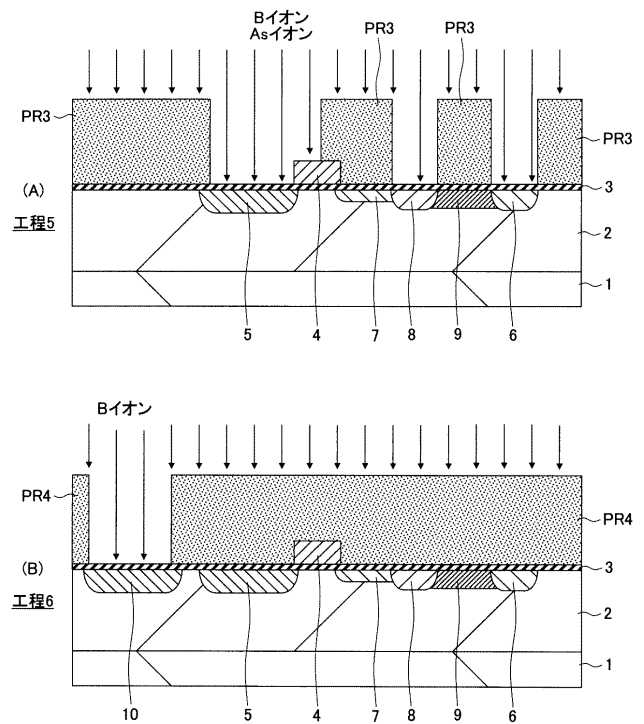
【図 4】



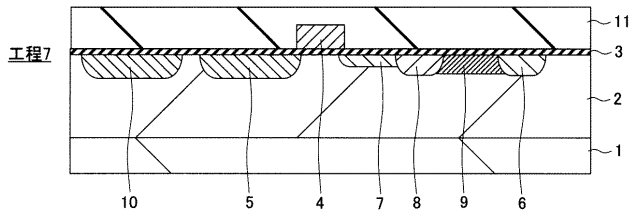
【図 5】



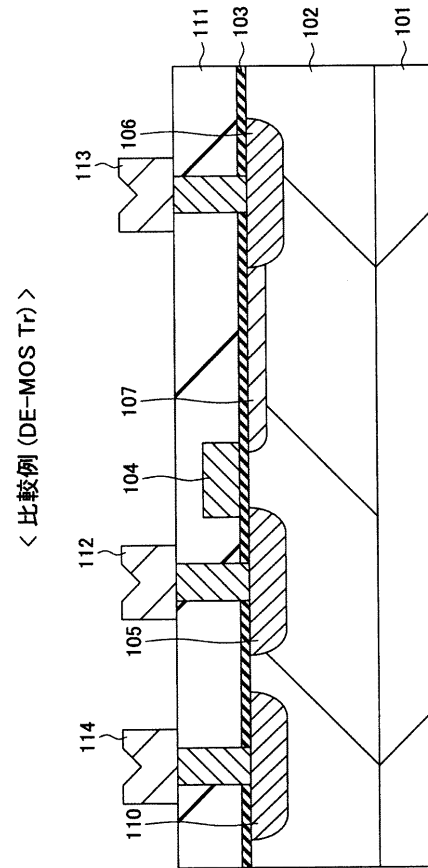
【図 6】



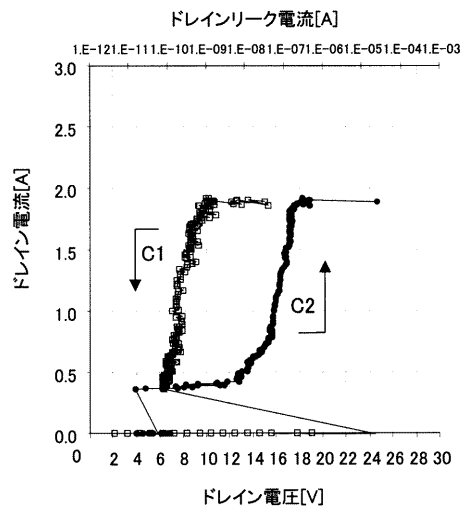
【図 7】



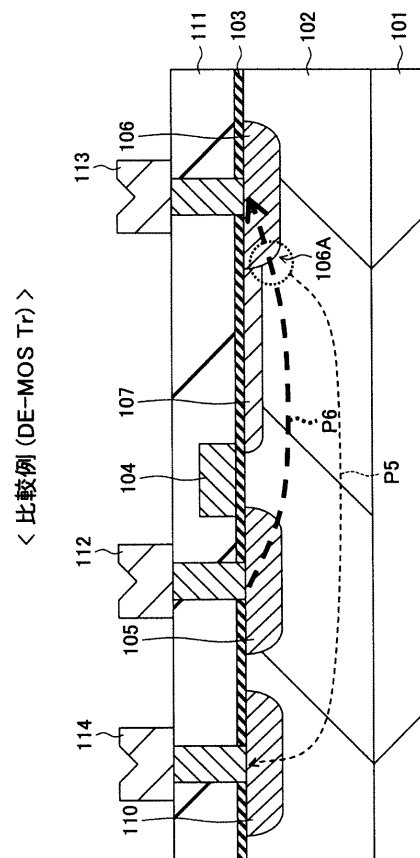
【図 8】



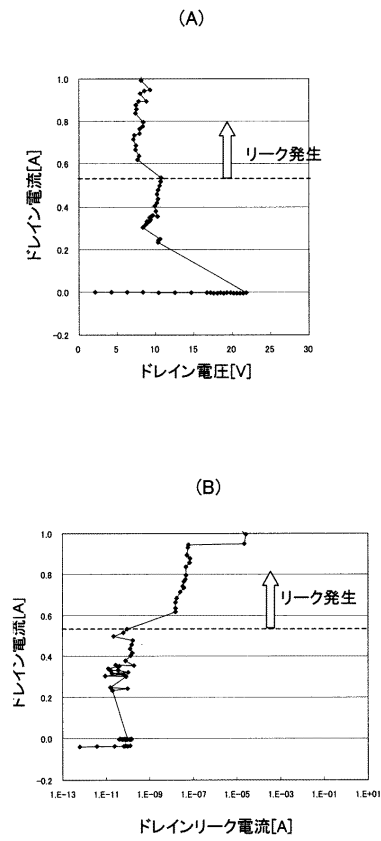
【図 9】



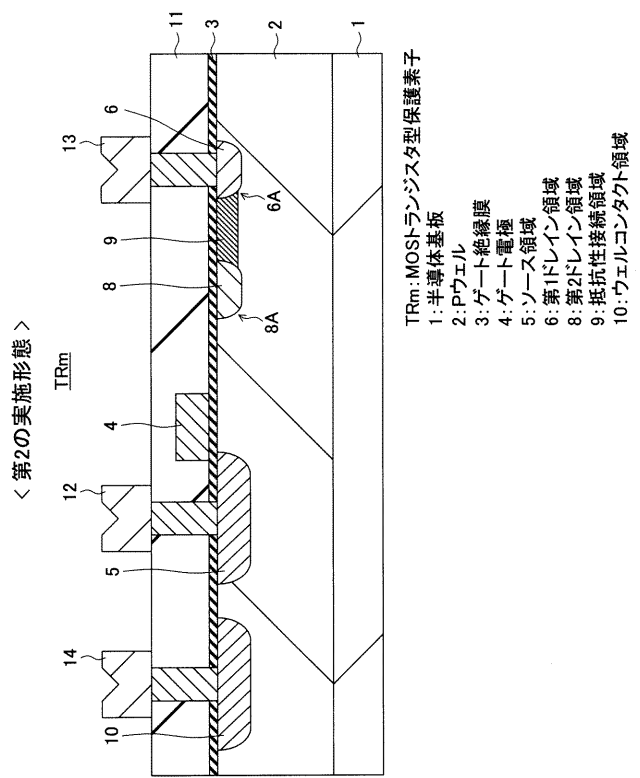
【図 10】



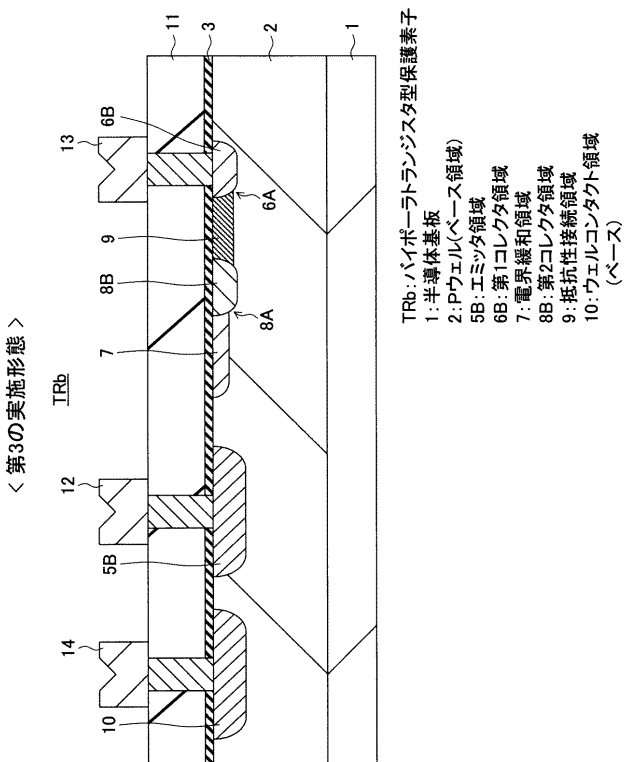
【図 1 1】



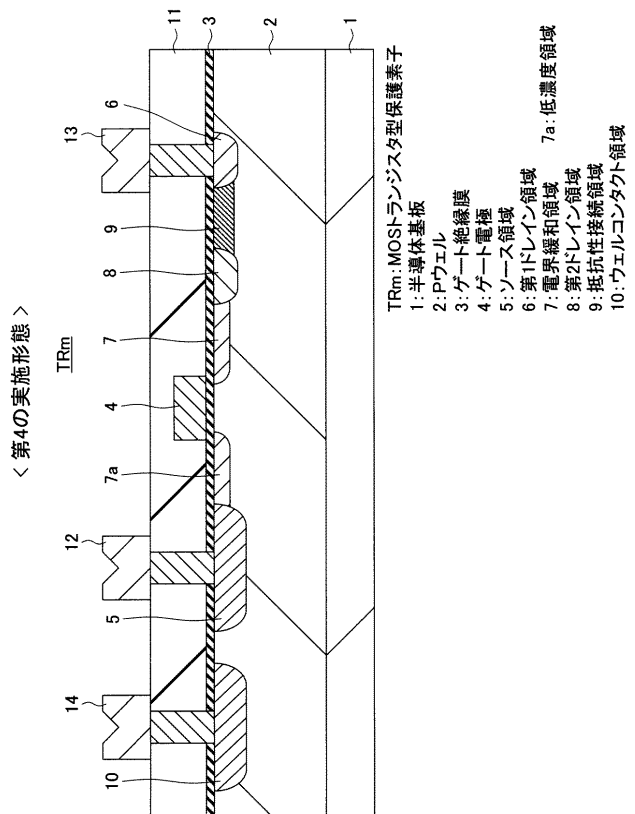
【図 1 2】



【図 1 3】



【図 1 4】



【図 15】

