

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4239111号

(P4239111)

(45) 発行日 平成21年3月18日 (2009. 3. 18)

(24) 登録日 平成21年1月9日 (2009. 1. 9)

(51) Int. Cl.

F I

H02M 3/155 (2006.01)

H02M 3/155 U

H02M 3/28 (2006.01)

H02M 3/28 U

H02M 7/12 (2006.01)

H02M 3/28 L

H02M 7/12 Q

請求項の数 2 (全 12 頁)

(21) 出願番号 特願2007-157936 (P2007-157936)
 (22) 出願日 平成19年6月14日 (2007. 6. 14)
 (65) 公開番号 特開2008-312355 (P2008-312355A)
 (43) 公開日 平成20年12月25日 (2008. 12. 25)
 審査請求日 平成20年1月18日 (2008. 1. 18)

(73) 特許権者 000106276
 サンケン電気株式会社
 埼玉県新座市北野3丁目6番3号
 (74) 代理人 100082049
 弁理士 清水 敬一
 (72) 発明者 佐藤 真
 埼玉県川越市下赤坂大野原677番地 サ
 ンケン電気株式会社内
 (72) 発明者 佐藤 充孝
 埼玉県川越市下赤坂大野原677番地 サ
 ンケン電気株式会社内

審査官 安池 一貴

最終頁に続く

(54) 【発明の名称】 AC-DCコンバータ

(57) 【特許請求の範囲】

【請求項1】

交流電源からの交流電圧を整流する整流回路と、

該整流回路の出力端子に接続されるリアクトル、該リアクトルに直列に接続される昇圧用スイッチング素子及び前記リアクトルに直列に接続されかつ前記昇圧用スイッチング素子に並列に接続されるコンデンサを備え、前記昇圧用スイッチング素子のオン・オフ動作により、前記リアクトルを通じて前記整流回路の出力電圧を昇圧する昇圧チョッパ回路と

、
 該昇圧チョッパ回路のリアクトルに直列に接続されるトランスの1次巻線及び少なくとも1つの主スイッチング素子を有し、該主スイッチング素子のオン・オフ動作により前記トランスの2次巻線から整流平滑回路を介して直流電圧を取り出す直流-直流変換回路とを備えるAC-DCコンバータにおいて、

前記直流-直流変換回路の主スイッチング素子のオン・オフ動作により前記トランスのいずれかの巻線に発生する電圧を検出して、該電圧の極性が一方側のとき、出力信号を発生する巻線電圧検出回路と、

該巻線電圧検出回路の出力信号から三角波信号の出力電圧を生成する三角波発生回路と

、
 該三角波発生回路の出力電圧と前記昇圧チョッパ回路の出力電圧とを比較して、前記三角波発生回路の出力電圧が前記昇圧チョッパ回路の出力電圧を超えたとき、前記昇圧チョッパ回路の昇圧用スイッチング素子に駆動信号を付与するPWM回路とを更に備え、

10

20

該PWM回路は、軽負荷時の前記主スイッチング素子のオン期間中に、前記三角波発生回路の出力電圧が前記昇圧チョッパ回路の出力電圧に達せず、前記昇圧用スイッチング素子をオフ状態に保持することを特徴とするAC-DCコンバータ。

【請求項2】

前記巻線電圧検出回路に接続される補助巻線を前記トランスに設け、前記PWM回路が出力信号を発生するとき、前記昇圧用スイッチング素子をオフからオンに切り換え、前記トランスの補助巻線に発生する電圧の極性が反転したとき、前記昇圧用スイッチング素子をオンからオフに切り換える請求項1に記載のAC-DCコンバータ。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、交流入力電圧の変動に対して昇圧チョッパ回路の出力電圧の変動を抑制しつつ、交流電圧に対する入力力率を改善し、且つ軽負荷時での消費電力を低減できるAC-DCコンバータに関する。

【背景技術】

【0002】

交流電源からの交流電圧を整流する整流回路と、整流回路の出力電圧からスイッチング素子のオン・オフ動作によりトランス及び整流平滑回路を介して直流電圧を取り出す直流-直流変換回路との間に昇圧チョッパ回路を接続して入力力率を改善するAC-DCコンバータは、従来から広く使用されている。例えば、図6に示す従来のAC-DCコンバータは、交流電源(1)からの交流入力電圧(E_A)を整流するダイオードブリッジ型の整流回路(2)と、整流回路(2)の出力端子に接続されて昇圧用スイッチング素子としての昇圧用MOS-FET(5)のオン・オフ動作により整流回路(2)の整流出力電圧(V_{RF})を昇圧する昇圧チョッパ回路(3)と、昇圧チョッパ回路(3)の昇圧コンデンサ(7)に接続されて主スイッチング素子としての主MOS-FET(9)のオン・オフ動作によりトランス(8)及び整流平滑回路(11)を介して負荷(14)に電圧(E_o)の直流出力を供給する直流-直流変換回路(10)とを備える。

20

【0003】

昇圧チョッパ回路(3)は、一端が整流回路(2)の出力端子の一方に接続されたリアクトル(4)と、リアクトル(4)の他端と整流回路(2)の出力端子の他方との間に接続された昇圧用MOS-FET(5)と、アノードがリアクトル(4)及び昇圧用MOS-FET(5)の接続点に接続された整流ダイオード(6)と、整流ダイオード(6)のカソードと整流回路(2)の出力端子の他方との間に接続された昇圧コンデンサ(7)と、昇圧用MOS-FET(5)のソースに直列接続されて昇圧用MOS-FET(5)に流れる昇圧用電流(I_{Q1})を電圧(V_{DT})として検出する電流検出用抵抗(17)とを備え、チョッパ制御回路(50)から昇圧用MOS-FET(5)のゲートに付与される第1の駆動信号(V_{G1})により昇圧用MOS-FET(5)がオン・オフ動作されて整流回路(2)の整流出力電圧(V_{RF})よりも高い直流電圧(V_{CH})が昇圧コンデンサ(7)の両端に発生する。昇圧用MOS-FET(5)のドレイン-ソース間には、寄生ダイオード(5a)が接続される。

30

【0004】

40

チョッパ制御回路(50)は、昇圧コンデンサ(7)から出力される直流電圧(V_{CH})と図示しない基準電圧との誤差信号(V_{ER})を出力する出力電圧検出回路(51)と、出力電圧検出回路(51)の誤差信号(V_{ER})の立ち上がり又は立ち下がり遅延する位相補償回路(52)と、整流回路(2)の整流出力電圧(V_{RF})を検出して交流入力電圧(E_A)の瞬時値に対応する入力電圧信号(V_{RV})を出力する入力電圧検出回路(53)と、位相補償回路(52)の出力信号(V_{PC})と入力電圧検出回路(53)の入力電圧信号(V_{RV})との乗算信号(V_{MX})を出力する乗算器(54)と、電流検出用抵抗(17)の電圧(V_{DT})を検出して入力電流信号(V_{CU})を出力する電流検出回路(55)と、非反転入力端子(+)に入力される電流検出回路(55)の入力電流信号(V_{CU})の電圧が反転入力端子(-)に入力される乗算器(54)の乗算信号(V_{MX})の電圧に達したときに高電圧(H)レベルの出力信号(V_{CP})を発生するコンパレータ(56)と、一定周期のパルス信号(V_{OS})を発生する発振

50

器(57)と、発振器(57)のパルス信号(V_{OS})が入力されたときに、高電圧(H)レベルの第1の駆動信号(V_{G1})を発生して、コンパレータ(56)から高電圧(H)レベルの出力信号(V_{CP})が入力されるまで、第1の駆動信号(V_{G1})の高電圧(H)レベルを保持し、コンパレータ(56)から高電圧(H)レベルの出力信号(V_{CP})が入力されたときに、第1の駆動信号(V_{G1})を高電圧(H)レベルから低電圧(L)レベルに切り換え、再び発振器(57)のパルス信号(V_{OS})が入力されたときに第1の駆動信号(V_{G1})を低電圧(L)レベルから高電圧(H)レベルに切り換える駆動回路(58)とを備える。

【0005】

直流－直流変換回路(10)は、昇圧チョッパ回路(3)の昇圧コンデンサ(7)に直列に接続されたトランス(8)の1次巻線(8a)及び主MOS-FET(9)と、主MOS-FET(9)に並列に接続された電圧共振用コンデンサ(18)と、トランス(8)の2次巻線(8b)と負荷(14)との間に接続された出力整流ダイオード(12)及び出力平滑コンデンサ(13)から成る整流平滑回路(11)と、整流平滑回路(11)から負荷(14)に印加される直流出力電圧(E_o)と図示しない基準電圧との誤差増幅信号(V_{E2})を出力する誤差増幅器(15)と、誤差増幅器(15)の誤差増幅信号(V_{E2})の電圧レベルに応じたパルス幅の第2の駆動信号(V_{G2})を発生する主制御回路(16)とを備え、主MOS-FET(9)がオンのときに、トランス(8)の1次巻線(8a)に巻線電流(I_{Q2})を流してトランス(8)にエネルギーを蓄積し、主MOS-FET(9)をオンからオフに切り換えたときに、トランス(8)の2次巻線(8b)から整流平滑回路(11)の出力整流ダイオード(12)を介して出力平滑コンデンサ(13)にエネルギーを供給して、負荷(14)に略一定の電圧(E_o)の直流出力を供給する。また、図示しないトランス(8)の励磁インダクタンスと電圧共振用コンデンサ(18)との共振作用により、主MOS-FET(9)をオンからオフに切り換えたとき、ドレイン－ソース間に発生する電圧の立ち上がりを正弦波状にしてゼロ電圧スイッチング(ZVS)を行う。主MOS-FET(9)のドレイン－ソース間には、寄生ダイオード(9a)が接続される。

【0006】

図6のAC－DCコンバータでは、昇圧チョッパ回路(3)の昇圧用MOS-FET(5)をチョッパ制御回路(50)から出力される第1の駆動信号(V_{G1})でオン・オフ動作させることにより、交流電源(1)からの交流入力電圧(E_A)の瞬時値が低いときは、昇圧用MOS-FET(5)に流れる昇圧用電流(I_{Q1})が小さくなり、交流入力電圧(E_A)の瞬時値が高いときは、昇圧用MOS-FET(5)に流れる昇圧用電流(I_{Q1})が大きくなるので、交流入力電流(I_A)の通流期間(導通角)が拡張され、図7の実線に示すように、交流入力電流(I_A)の波形が交流入力電圧(E_A)の波形と略相似形となる。これにより、交流入力電圧(E_A)と交流入力電流(I_A)とが同相となるので、入力力率が略1となり、力率が改善される。コンデンサ入力型の整流回路を使用する際に、交流電源(1)からコンデンサ入力型の整流回路に流れる交流入力電流(I_{AO})を図7の点線で示す。

【0007】

しかしながら、図6に示す従来のAC－DCコンバータでは、チョッパ制御回路(50)の構成が複雑となり、昇圧用MOS-FET(5)のオン時にリアクトル(4)及び昇圧用MOS-FET(5)に大きな昇圧用電流(I_{Q1})が流れるため、リアクトル(4)が大型になると共に、昇圧用MOS-FET(5)で発生する電力損失が大きくなる欠点があった。

【0008】

そこで、例えば、整流器、昇圧チョッパ回路及びDC－DCコンバータにより構成されるAC－DCコンバータに、PWM回路、ワンショットマルチバイブレータ、パルス合成回路及び比較回路を設けたAC－DCコンバータが下記の特許文献1に開示されている。このAC－DCコンバータは、PWM回路が出力する第1のパルス信号と、ワンショットマルチバイブレータが発生する遅延パルスにより、パルス合成回路は、第1のパルス信号のパルス幅より遅延パルスのパルス幅だけ狭いパルス幅の第2のパルス信号を発生する。比較回路は、昇圧チョッパ回路により昇圧される電圧を基準電圧と比較し、昇圧チョッパ回路の出力電圧が基準電圧より低くなると、遅延パルスの発生を停止する。即ち、PWM回路で生成されるDC－DCコンバータのオンパルス信号と、ワンショットマルチバイブ

レータで発生する所定幅の遅延パルス信号とをパルス合成回路で合成し、ワンショットマルチバイブレータで発生する所定のパルス幅だけ狭いオンパルス信号で昇圧チョッパ回路内の第2のスイッチングトランジスタをオンする。このAC-DCコンバータでは、PWM回路、ワンショットマルチバイブレータ、パルス合成回路及び比較回路を設ける程度で昇圧チョッパ回路の制御回路を構成できるので、図6に示すAC-DCコンバータのチョッパ制御回路(50)よりも構成を簡略化することができる。また、ワンショットマルチバイブレータで発生する所定のパルス幅だけ狭いオンパルス信号で第2のスイッチングトランジスタをオンして、軽負荷時での昇圧チョッパ回路の出力電圧の上昇を抑制することができる。

【0009】

【特許文献1】特開平7-135774号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

ところで、特許文献1のAC-DCコンバータでは、DC-DCコンバータ内の第1のスイッチングトランジスタのオンパルス信号に対して、ワンショットマルチバイブレータで発生する所定のパルス幅だけ狭いオンパルス信号で昇圧チョッパ回路内の第2のスイッチングトランジスタをオンするため、第1のスイッチングトランジスタのオンパルス幅の変動に追従して第2のスイッチングトランジスタのオンパルス幅が変化する。このため、昇圧チョッパ回路の出力電圧の変動に対しては、出力電圧の安定化は行われず、交流電源からの入力電圧の変動に対して昇圧チョッパ回路の出力電圧が変動する欠点があった。昇圧チョッパ回路の出力電圧の変動が大きいと、昇圧チョッパ回路の出力電圧の変動分だけDC-DCコンバータ内の第1のスイッチングトランジスタのオン・オフ期間の制御範囲が拡張されるため、第1のスイッチングトランジスタで発生する電力損失が増加すると共に、トランスが大型化する等の問題が生ずる。また、軽負荷時で昇圧チョッパ回路の出力電圧が比較回路内の基準電圧より低くなると、比較回路の出力信号によりワンショットマルチバイブレータの遅延パルスの発生を停止して、第1のスイッチングトランジスタと第2のスイッチングトランジスタを略同時に駆動するため、軽負荷時も昇圧チョッパ回路が継続して動作し、軽負荷時での消費電力が増大する欠点があった。

【0011】

そこで、本発明では、簡素な回路構成で交流入力電圧の変動に対して昇圧チョッパ回路の出力電圧の変動を抑制しつつ、交流電圧に対する入力力率を改善し、且つ軽負荷時での消費電力を低減できるAC-DCコンバータを提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明によるAC-DCコンバータは、交流電源(1)からの交流電圧(E_A)を整流する整流回路(2)と、整流回路(2)の出力端子に接続されるリアクトル(4)、該リアクトル(4)に直列に接続される昇圧用スイッチング素子(5)及びリアクトル(4)に直列に接続されかつ昇圧用スイッチング素子(5)に並列に接続されるコンデンサ(7)を備え、昇圧用スイッチング素子(5)のオン・オフ動作により、リアクトル(4)を通じて前記整流回路(2)の出力電圧を昇圧する昇圧チョッパ回路(3)と、昇圧チョッパ回路(3)のリアクトル(4)に直列に接続されるトランス(8)の1次巻線(8a)及び少なくとも1つの主スイッチング素子(9)を有し、主スイッチング素子(9)のオン・オフ動作によりトランス(8)の2次巻線(8b)から整流平滑回路(11)を介して直流電圧(E_o)を取り出す直流-直流変換回路(10)とを備える。

直流-直流変換回路(10)の主スイッチング素子(9)のオン・オフ動作によりトランス(8)のいずれかの巻線に発生する電圧(V_N)を検出して、電圧(V_N)の極性が一方側のとき、出力信号(V_{CP1})を発生する巻線電圧検出回路(21)と、巻線電圧検出回路(21)の出力信号(V_{CP1})から三角波信号の出力電圧(V_{RC})を生成する三角波発生回路(23)と、三角波発生回路(23)の出力電圧(V_{RC})と昇圧チョッパ回路(3)の出力電圧(V_{CH})とを比較して、三角波発生回路(23)の出力電圧(V_{RC})が昇圧チョッパ回路(3)の出力電圧(V_{CH})を超えたとき、昇圧チョッパ

10

20

30

40

50

回路(3)の昇圧用スイッチング素子(5)に駆動信号(V_{G1})を付与するPWM回路(27)とを更に備え、PWM回路(27)は、軽負荷時の主スイッチング素子(9)のオン期間中に、三角波発生回路(23)の出力電圧(V_{RC})が昇圧チョッパ回路(3)の出力電圧(V_{CH})に達せず、昇圧用スイッチング素子(5)をオフ状態に保持する。

【0013】

三角波発生回路(23)にて巻線電圧検出回路(21)の出力信号(V_{CP1})から三角波信号を生成し、三角波信号の電圧(V_{RC})をPWM回路(27)にて昇圧チョッパ回路(3)の出力電圧(V_{CH})と比較すると、昇圧チョッパ回路(3)の出力電圧(V_{CH})が高いとき、PWM回路(27)から出力される駆動信号(V_{G1})のオンパルス幅が狭くなり、昇圧用スイッチング素子(5)のオン期間が短縮されるため、昇圧チョッパ回路(3)の出力電圧(V_{CH})が低下する。逆に、昇圧チョッパ回路(3)の出力電圧(V_{CH})が低いとき、PWM回路(27)から出力される駆動信号(V_{G1})のオンパルス幅が広くなり、昇圧用スイッチング素子(5)のオン期間が延長されるため、昇圧チョッパ回路(3)の出力電圧(V_{CH})が上昇する。このように、昇圧チョッパ回路(3)の出力電圧(V_{CH})に応じて昇圧用スイッチング素子(5)のオン期間を制御することにより、昇圧チョッパ回路(3)の出力電圧(V_{CH})を略一定に保持して、交流入力電圧(E_A)の変動に対する昇圧チョッパ回路(3)の出力電圧(V_{CH})の変動を抑制できる。また、交流電源(1)からの交流入力電圧(E_A)が十分に高いときに、昇圧チョッパ回路(3)の昇圧用スイッチング素子(5)をオンすると、交流電源(1)から整流回路(2)、リアクトル(4)及び昇圧用スイッチング素子(5)を通り整流回路(2)に交流入力電流(I_A)が流れてリアクトル(4)にエネルギーが蓄積される。昇圧用スイッチング素子(5)をオンからオフに切り換えると、リアクトル(4)からコンデンサ(7)にエネルギーが供給されると共に、交流電源(1)から整流回路(2)、リアクトル(4)及びコンデンサ(7)を通り整流回路(2)に交流入力電流(I_A)が流れる。交流電源(1)からの交流入力電圧(E_A)が低いときも、昇圧用スイッチング素子(5)のオン時に、交流電源(1)から整流回路(2)、リアクトル(4)及び昇圧用スイッチング素子(5)を通り整流回路(2)に交流入力電流(I_A)が流れてリアクトル(4)にエネルギーが蓄積され、昇圧用スイッチング素子(5)のオンからオフへの切替時に、リアクトル(4)からコンデンサ(7)にエネルギーが供給されると共に、交流電源(1)から整流回路(2)、リアクトル(4)及びコンデンサ(7)を通り整流回路(2)に交流入力電流(I_A)が流れる。このように、正弦波状の交流入力電圧(E_A)の全周期に亘りAC-DCコンバータの交流入力電流(I_A)が常に昇圧チョッパ回路(3)を通して連続的に流れるため、入力力率を1に近づけて、力率を改善することができる。更に、負荷(14)が軽くなると、主スイッチング素子(9)のオン期間が短くなり、トランス(8)のいずれかの巻線に発生する電圧(V_N)が一方側にある期間が短縮されるため、巻線電圧検出回路(21)の出力信号(V_{CP1})のパルス幅が狭くなる。これにより、主スイッチング素子(9)のオン期間中に三角波発生回路(23)の三角波信号(V_{RC})の電圧が昇圧チョッパ回路(3)の出力電圧(V_{CH})に達しないため、昇圧チョッパ回路(3)の昇圧用スイッチング素子(5)は駆動されない。したがって、軽負荷時は昇圧チョッパ回路(3)が動作を停止するため、負荷(14)の待機時等の軽負荷時での消費電力を低減できる。

【発明の効果】

【0014】

本発明では、交流入力電圧の変動に対して昇圧チョッパ回路の出力電圧の変動を抑制しつつ、交流電圧に対する入力力率を改善できるので、直流-直流変換回路の主スイッチング素子での電力損失及びトランスの大型化を抑制すると共に、交流電源に発生する電圧歪み及び電圧歪みによる高調波ノイズの発生を抑制することができる。また、負荷待機時等の軽負荷時は、昇圧チョッパ回路の動作が停止するので、軽負荷時での消費電力を低減することができる。

【発明を実施するための最良の形態】

【0015】

以下、本発明によるAC-DCコンバータの実施の形態を図1～図5について説明する。但し、図1～図5では、図6及び図7に示す箇所と実質的に同一の部分には同一の符号を付し、その説明を省略する。

【0016】

本実施の形態のAC-DCコンバータは、図1に示すように、図6に示すトランス(8)の1次巻線(8a)と逆極性で電磁結合する補助巻線(8c)と、補助巻線(8c)に接続されたチョップ制御回路(50)とを備え、チョップ制御回路(50)は、直流-直流変換回路(10)の主MOS-FET(9)のオン・オフ動作によりトランス(8)の補助巻線(8c)に発生する電圧(V_N)を検出し、補助巻線(8c)の電圧(V_N)の極性が負側(一方側)のときに高電圧(H)レベルの出力信号(V_{CP1})を発生する巻線電圧検出回路(21)と、巻線電圧検出回路(21)の出力信号(V_{CP1})から直線状に上昇する三角波信号(V_{RC})を生成する三角波発生回路(23)と、昇圧チョップ回路(3)の出力電圧を分圧する分圧抵抗(28,29)と、三角波発生回路(23)の出力電圧(V_{RC})と分圧抵抗(28,29)の分圧電圧(V_{CH})とを比較し、三角波発生回路(23)の出力電圧(V_{RC})が分圧抵抗(28,29)の分圧電圧(V_{CH})を超えたときにANDゲート(34)の一方の入力端子に高電圧(H)レベルの出力信号(V_{CP2})を付与するPWM(パルス幅変調)回路(27)と、昇圧チョップ回路(3)の昇圧用MOS-FET(5)に流れる昇圧用電流(I_{Q1})が所定値を超えて電流検出用抵抗(17)の検出電圧(V_{OC})が基準電圧(V_{REF})に達したとき、ANDゲート(34)の他方の入力端子に図3に示す低電圧(L)レベルの出力信号(V_{CP3})を付与する過電流検出回路(31)と、PWM回路(27)の出力信号(V_{CP2})と過電流検出回路(31)の出力信号(V_{CP3})との論理積信号を図2及び図3に示す第1の駆動信号(V_{G1})として昇圧用MOS-FET(5)のゲートに付与するANDゲート(34)とを有する。整流回路(2)、昇圧チョップ回路(3)及び直流-直流変換回路(10)の構成と作用は、図6に示す従来のAC-DCコンバータと略同一である。

【0017】

巻線電圧検出回路(21)は、反転入力端子(-)に入力されるトランス(8)の補助巻線(8c)に発生する電圧(V_N)と非反転入力端子(+)に入力される一次側の接地電位とを比較して、トランス(8)の補助巻線(8c)の電圧(V_N)が負極性のときに図2及び図3に示す高電圧(H)レベルの矩形信号(V_{CP1})を発生する極性検出用コンパレータ(22)を有する。三角波発生回路(23)は、一端が極性検出用コンパレータ(22)の出力端子に接続された積分用抵抗(25)と、積分用抵抗(25)の他端と一次側の接地端子との間に接続された積分用コンデンサ(24)と、積分用抵抗(25)と並列に接続された放電用ダイオード(26)とを有し、巻線電圧検出回路(21)から出力される矩形信号(V_{CP1})を積分用抵抗(25)及び積分用コンデンサ(24)で構成される積分回路により積分して図2及び図3に示す一次関数として直線状に上昇する三角波信号(V_{RC})を積分用コンデンサ(24)から発生する。非反転入力端子(+)に入力される三角波発生回路(23)の出力電圧(V_{RC})と反転入力端子(-)に入力される分圧抵抗(28,29)の分圧電圧(V_{CH})とを比較するPWM回路(27)は、三角波発生回路(23)の出力電圧(V_{RC})が分圧抵抗(28,29)の分圧電圧(V_{CH})よりも高いとき、図2及び図3に示す高電圧(H)レベルの出力信号(V_{CP2})を発生し、三角波発生回路(23)の出力電圧(V_{RC})が分圧抵抗(28,29)の分圧電圧(V_{CH})よりも低いとき、図2及び図3に示す低電圧(L)レベルの出力信号(V_{CP2})を発生するPWMコンパレータ(30)を有する。過電流検出回路(31)は、昇圧用MOS-FET(5)に流れる昇圧用電流(I_{Q1})の制限値を規定する基準電圧(V_{REF})を発生する基準電源(32)と、反転入力端子(-)に入力される電流検出用抵抗(17)の検出電圧(V_{OC})が非反転入力端子(+)に入力される基準電源(32)の基準電圧(V_{REF})に達したときに低電圧(L)レベルの出力信号(V_{CP3})を発生する過電流検出用コンパレータ(33)とを有する。

【0018】

図1に示すAC-DCコンバータの動作の際に、時刻 t_1 にて昇圧チョップ回路(3)の昇圧用MOS-FET(5)がオフのときに直流-直流変換回路(10)の主MOS-FET(9)をオンに切り換えると、交流電源(1)から整流回路(2)、リアクトル(4)、整流ダイオード(6)、トランス(8)の1次巻線(8a)及び主MOS-FET(9)を通り整流回路(2)に図2に示す巻線電流(I_{Q2})が流れ、トランス(8)にエネルギーが蓄積される。このとき、図2に示すように、トランス(8)の補助巻線(8c)に負極性の電圧(V_N)が誘起され、補助巻線(8c)に発生する電圧(V_N)が巻線電圧検出回路(21)を構成する極性検出用コンパレータ(22)の反転入力端子(-)に入力される。巻線電圧検出回路(21)の極性検出用コンパレータ(22)は、非反転入力端

子(+)の一次側の接地電位と比較して高電圧(H)レベルの矩形信号(V_{CP1})を三角波発生回路(23)に付与し、三角波発生回路(23)は、積分用抵抗(25)及び積分用コンデンサ(24)により極性検出用コンパレータ(22)からの矩形信号(V_{CP1})を積分して、図2に示すように、直線状に上昇する三角波信号(V_{RC})を積分用コンデンサ(24)から発生する。

【0019】

三角波発生回路(23)の三角波信号(V_{RC})は、PWMコンパレータ(30)の非反転入力端子(+)に入力され、PWMコンパレータ(30)は、非反転入力端子(+)に入力される三角波発生回路(23)の三角波信号(V_{RC})の電圧と反転入力端子(-)に入力される分圧抵抗(28,29)の分圧電圧(V_{CH})とを比較する。図2に示すように、三角波発生回路(23)の三角波信号(V_{RC})の電圧が時刻 t_2 にて昇圧チョッパ回路(3)の出力電圧(V_{CH})を超えると、PWM回路(27)のPWMコンパレータ(30)は、図2に示すように高電圧(H)レベルの出力信号(V_{CP2})を発生してANDゲート(34)の一方の入力端子に付与する。一方、昇圧チョッパ回路(3)の昇圧用MOS-FET(5)はオフ状態で昇圧用電流(I_{Q1})が流れず、電流検出用抵抗(17)の検出電圧(V_{OC})は、基準電源(32)の基準電圧(V_{REF})以下の0Vであるから、図2に示すように過電流検出回路(31)内の過電流検出用コンパレータ(33)は、高電圧(H)レベルの出力信号(V_{CP3})を発生し、ANDゲート(34)の他方の入力端子に付与する。このように、時刻 t_2 にてANDゲート(34)から昇圧チョッパ回路(3)の昇圧用MOS-FET(5)のゲートに高電圧(H)レベルの第1の駆動信号(V_{G1})が付与され、昇圧用MOS-FET(5)がオフからオンに切り換えられる。これにより、交流電源(1)から整流回路(2)、リアクトル(4)及び昇圧用MOS-FET(5)を通り整流回路(2)に昇圧用電流(I_{Q1})が流れ、図2に示す電流検出用抵抗(17)の検出電圧(V_{OC})が直線状に上昇する。

【0020】

直流-直流変換回路(10)の主MOS-FET(9)を時刻 t_3 にてオンからオフに切り換えると、図2に示すように、主MOS-FET(9)に流れる巻線電流(I_{Q2})が略0となり、トランス(8)に蓄積されたエネルギーが放出されて、トランス(8)の2次巻線(8b)から整流平滑回路(11)の出力整流ダイオード(12)及び出力平滑コンデンサ(13)を介して負荷(14)に直流出力電流(I_O)が流れる。このとき、トランス(8)の補助巻線(8c)に発生する電圧(V_N)が負極性から正極性に反転して巻線電圧検出回路(21)から出力される矩形信号(V_{CP1})が高電圧(H)レベルから低電圧(L)レベルとなり、三角波発生回路(23)の三角波信号(V_{RC})の電圧が略0Vまで低下して分圧抵抗(28,29)の分圧電圧(V_{CH})以下となるため、PWM回路(27)のPWMコンパレータ(30)の出力信号(V_{CP2})が高電圧(H)レベルから低電圧(L)レベルとなる。一方、図2に示すように、電流検出用抵抗(17)の検出電圧(V_{OC})は基準電源(32)の基準電圧(V_{REF})以下であるから、過電流検出回路(31)内の過電流検出用コンパレータ(33)の出力信号(V_{CP3})は高電圧(H)レベルを保持する。これにより、ANDゲート(34)から昇圧チョッパ回路(3)の昇圧用MOS-FET(5)のゲートに付与される第1の駆動信号(V_{G1})が高電圧(H)レベルから低電圧(L)レベルとなり、昇圧用MOS-FET(5)がオンからオフに切り換えられる。

【0021】

時刻 t_4 直前の時刻にトランス(8)に蓄積されたエネルギーの放出が完了すると、トランス(8)の各巻線(8a~8c)にリング電圧が発生し、主MOS-FET(9)のドレインソース間の図2に示す電圧(V_{Q2})が正弦波状に振動すると共に、トランス(8)の補助巻線(8c)に発生する電圧(V_N)が正弦波状に振動する。時刻 t_4 から時刻 t_5 までの期間中、トランス(8)の補助巻線(8c)に発生する電圧(V_N)が正側から負側に反転すると、巻線電圧検出回路(21)の極性検出用コンパレータ(22)から高電圧(H)レベルの矩形信号(V_{CP1})が出力され、三角波発生回路(23)の三角波信号(V_{RC})の電圧が略0Vから直線状に上昇するが、三角波発生回路(23)の三角波信号(V_{RC})の電圧が時刻 t_5 で分圧抵抗(28,29)の分圧電圧(V_{CH})に達しないため、PWM回路(27)のPWMコンパレータ(30)の出力信号(V_{CP2})は低電圧(L)レベルを保持する。一方、図2に示すように、電流検出用抵抗(17)の検出電圧(V_{OC})は略0Vであるから、過電流検出回路(31)内の過電流検出用コンパレータ(33)の出力信号(V_{CP3})は高電圧(H)レベルを保持する。これにより、ANDゲート(34)から昇圧チョッパ回路(3)

の昇圧用MOS-FET(5)のゲートに付与される第1の駆動信号(V_{G1})が低電圧(L)レベルを保持するため、昇圧用MOS-FET(5)はオフ状態を保持する。

【0022】

図1に示す構成において、負荷(14)が軽い場合は、直流-直流変換回路(10)の誤差増幅器(15)から出力される誤差信号(V_{E2})の電圧レベルが高くなり、主制御回路(16)から主MOS-FET(9)のゲートに付与される第2の駆動信号(V_{G2})のオンパルス幅が狭くなるため、主MOS-FET(9)のオン期間が短くなる。これにより、トランス(8)の補助巻線(8c)に発生する電圧(V_N)が負側にある期間が短縮され、巻線電圧検出回路(21)の極性検出用コンパレータ(22)から出力される高電圧(H)レベルの矩形信号(V_{CP1})のパルス幅が狭められて、主MOS-FET(9)のオン期間中に三角波発生回路(23)の三角波信号(V_{RC})の電圧が分圧抵抗(28,29)の分圧電圧(V_{CH})に達しないため、昇圧チョッパ回路(3)の昇圧用MOS-FET(5)はオフ状態を保持する。これにより、軽負荷時は昇圧チョッパ回路(3)の動作が停止するが、交流電源(1)から整流回路(2)、リアクトル(4)、整流ダイオード(6)及び昇圧コンデンサ(7)を通り整流回路(2)に流れる交流入力電流(I_A)は極めて小さいため、交流入力電流(I_A)に含まれる高調波電流により発生するノイズの電圧レベルは殆ど無視できる程度に小さくなる。したがって、軽負荷時に昇圧用MOS-FET(5)をオフ状態にして昇圧チョッパ回路(3)の動作を停止させることにより、負荷(14)の待機時等での消費電力を低減することができる。

【0023】

また、図1に示す構成において、負荷(14)が重い場合は、直流-直流変換回路(10)の主MOS-FET(9)のオン期間中に交流電源(1)から整流回路(2)、リアクトル(4)、整流ダイオード(6)、トランス(8)の1次巻線(8a)及び主MOS-FET(9)を通り整流回路(2)に流れる図3に示す巻線電流(I_{Q2})が増加する。これにより、時刻 t_2 にて昇圧チョッパ回路(3)の昇圧用MOS-FET(5)がオンしたときに交流電源(1)から整流回路(2)、リアクトル(4)及び昇圧用MOS-FET(5)を通り整流回路(2)に流れる図3に示す昇圧用電流(I_{Q1})も増加し、電流検出用抵抗(17)の検出電圧(V_{OC})が時刻 t_6 にて基準電源(32)の基準電圧(V_{REF})に達すると、過電流検出回路(31)内の過電流検出用コンパレータ(33)の出力信号(V_{CP3})が高電圧(H)レベルから低電圧(L)レベルとなり、ANDゲート(34)から昇圧チョッパ回路(3)の昇圧用MOS-FET(5)のゲートに付与される第1の駆動信号(V_{G1})が高電圧(H)レベルから低電圧(L)レベルとなるため、昇圧用MOS-FET(5)がオンからオフに切り換えられる。したがって、重負荷時には、直流-直流変換回路(10)の主MOS-FET(9)がオンからオフとなる時刻 t_3 よりも前の時刻 t_6 にて昇圧チョッパ回路(3)の昇圧用MOS-FET(5)を強制的にオンからオフに切り換えて、昇圧チョッパ回路(3)の出力電圧を低下させるため、昇圧チョッパ回路(3)を構成する昇圧用MOS-FET(5)及びリアクトル(4)に流れる過電流を抑制することができる。このように、負荷(14)に供給する電力が増加しても、昇圧チョッパ回路(3)の昇圧用MOS-FET(5)にて発生する電力損失は図5に示すように一定又は略一定となるので、小型の昇圧用MOS-FET(5)を使用することができる。

【0024】

本実施の形態では、三角波発生回路(23)にて巻線電圧検出回路(21)の矩形信号(V_{CP1})を積分して三角波信号(V_{RC})を生成し、三角波信号(V_{RC})の電圧をPWM回路(27)のPWMコンパレータ(30)にて分圧抵抗(28,29)の分圧電圧(V_{CH})と比較する。この場合、分圧抵抗(28,29)の分圧電圧(V_{CH})が比較的高いときは、PWMコンパレータ(30)の出力信号(V_{CP2})のパルス幅が狭くなるため、ANDゲート(34)から出力される第1の駆動信号(V_{G1})のオンパルス幅が狭くなり、昇圧用MOS-FET(5)のオン期間が短縮されるため、昇圧チョッパ回路(3)の出力電圧が低下する。逆に、分圧抵抗(28,29)の分圧電圧(V_{CH})が比較的低いときは、PWMコンパレータ(30)の出力信号(V_{CP2})のパルス幅が広がるため、ANDゲート(34)から出力される第1の駆動信号(V_{G1})のオンパルス幅が広くなり、昇圧用MOS-FET(5)のオン期間が延長されるため、昇圧チョッパ回路(3)の出力電圧が上昇する。このように、昇圧チョッパ回路(3)の出力電圧に応じて昇圧用MOS-FET(5)のオン期間

10

20

30

40

50

を制御することにより、昇圧チョッパ回路(3)の出力電圧を略一定に保持して、交流入力電圧(E_A)の変動に対して昇圧チョッパ回路(3)の出力電圧の変動を抑制することができる。

【0025】

また、交流電源(1)からの交流入力電圧(E_A)が十分に高いときに、昇圧チョッパ回路(3)の昇圧用MOS-FET(5)をオンすると、交流電源(1)から整流回路(2)、リアクトル(4)及び昇圧用MOS-FET(5)を通り整流回路(2)に交流入力電流(I_A)が流れ、リアクトル(4)にエネルギーが蓄積される。次に、昇圧用MOS-FET(5)をオンからオフに切り換えると、リアクトル(4)から整流ダイオード(6)を介して昇圧コンデンサ(7)にエネルギーが供給されると共に、交流電源(1)から整流回路(2)、リアクトル(4)、整流ダイオード(6)及び昇圧コンデンサ(7)を通り整流回路(2)に交流入力電流(I_A)が流れる。交流電源(1)からの交流入力電圧(E_A)が低いときも、昇圧用MOS-FET(5)のオン時に、交流電源(1)から整流回路(2)、リアクトル(4)及び昇圧用MOS-FET(5)を通り整流回路(2)に交流入力電流(I_A)が流れてリアクトル(4)にエネルギーが蓄積され、昇圧用MOS-FET(5)のオンからオフへの切換時に、リアクトル(4)から整流ダイオード(6)を介して昇圧コンデンサ(7)にエネルギーが供給されると共に、交流電源(1)から整流回路(2)、リアクトル(4)、整流ダイオード(6)及び昇圧コンデンサ(7)を通り整流回路(2)に交流入力電流(I_A)が流れる。このように、正弦波状の交流入力電圧(E_A)の全周期に亘って図4の実線で示すAC-DCコンバータの交流入力電流(I_A)が常に昇圧チョッパ回路(3)を介して連続的に流れ、整流回路(2)の導通角が拡張されるため、入力力率を1に近づけて力率を改善することができ、交流電源(1)に発生する電圧歪み及び電圧歪みによる高調波ノイズの発生を抑制することができる。

【0026】

更に、本実施の形態では、直流-直流変換回路(10)の主MOS-FET(9)のオン時に、トランス(8)にエネルギーを蓄積し、主MOS-FET(9)のオフ時にトランス(8)の2次側へエネルギーを放出するが、トランス(8)のエネルギー放出の完了後に各巻線(8a~8c)に発生するリング電圧により、トランス(8)の補助巻線(8c)に発生する電圧(V_N)の極性が短い期間で反転する場合は、三角波発生回路(23)の三角波信号(V_{RC})の電圧が分圧抵抗(28,29)の分圧電圧(V_{CH})に達しないため、昇圧チョッパ回路(3)の昇圧用MOS-FET(5)はオンせず、昇圧チョッパ回路(3)の誤動作を防止して、全ての負荷状態で昇圧チョッパ回路(3)を安定して動作させることができる。

【0027】

本発明の実施態様は前記の実施の形態に限定されず、種々の変更が可能である。例えば、上記の実施の形態では、トランス(3)の補助巻線(8c)に発生する電圧(V_N)を巻線電圧検出回路(21)で検出したが、補助巻線(8c)以外の他の巻線(2次巻線(8b)又は3次巻線)に発生する電圧を巻線電圧検出回路(21)で検出してもよい。また、上記の実施の形態では、フライバック型の直流-直流変換回路(10)を使用した。また、上記の実施の形態では、昇圧用スイッチング素子(5)及び主スイッチング素子(9)としてMOS-FETを使用した。また、接合型バイポーラトランジスタ又は絶縁ゲート型バイポーラトランジスタ(IGBT)等の他のスイッチング素子を使用してもよい。

【産業上の利用可能性】

【0028】

本発明は、直流-直流変換回路の動作に同期して力率改善用の昇圧チョッパ回路が駆動されるAC-DCコンバータに良好に適用できる。

【図面の簡単な説明】

【0029】

【図1】 本発明によるAC-DCコンバータの実施の形態を示す電気回路図

【図2】 通常負荷時の図1の各部の電圧及び電流を示す波形図

【図3】 重負荷時の図1の各部の電圧及び電流を示す波形図

10

20

30

40

50

【図4】図1の交流入力電圧及び交流入力電流を示す波形図

【図5】負荷供給電力に対する昇圧用スイッチング素子損失の従来方式との比較を示すグラフ

【図6】従来のAC-DCコンバータを示す電気回路図

【図7】図6の交流入力電圧及び交流入力電流を示す波形図

【符号の説明】

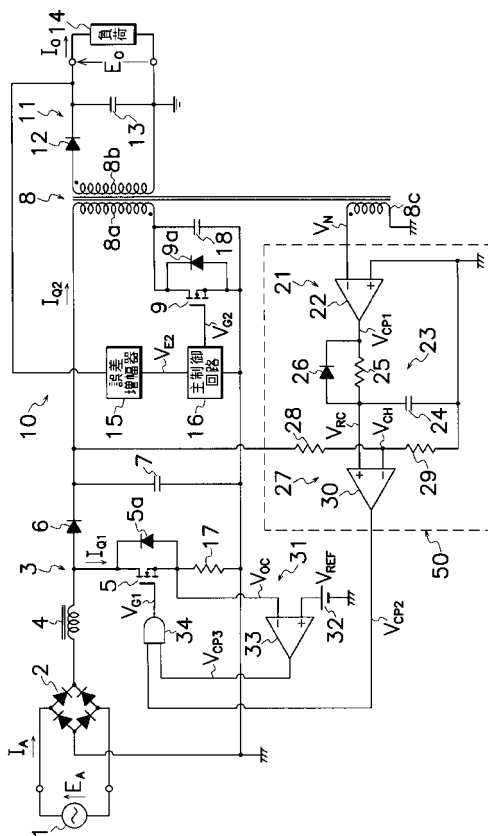
【0030】

(1)・・・交流電源、(2)・・・整流回路、(3)・・・昇圧チョップ回路、(4)・・・リアクトル、(5)・・・昇圧用MOS-FET(昇圧用スイッチング素子)、(6)・・・整流ダイオード、(7)・・・昇圧コンデンサ、(8)・・・トランス、(8a)・・・1次巻線、(8b)・・・2次巻線、(8c)・・・補助巻線、(9)・・・主MOS-FET(主スイッチング素子)、(10)・・・直流-直流変換回路、(11)・・・整流平滑回路、(12)・・・出力整流ダイオード、(13)・・・出力平滑コンデンサ、(14)・・・負荷、(15)・・・誤差増幅器、(16)・・・主制御回路、(17)・・・電流検出用抵抗、(18)・・・電圧共振用コンデンサ、(21)・・・巻線電圧検出回路、(22)・・・極性検出用コンパレータ、(23)・・・三角波発生回路、(24)・・・積分用コンデンサ、(25)・・・積分用抵抗、(26)・・・放電用ダイオード、(27)・・・PWM回路、(28,29)・・・分圧抵抗、(30)・・・PWMコンパレータ、(31)・・・過電流検出回路、(32)・・・基準電源、(33)・・・過電流検出用コンパレータ、(34)・・・ANDゲート、(50)・・・チョップ制御回路、(51)・・・出力電圧検出回路、(52)・・・位相補償回路、(53)・・・入力電圧検出回路、(54)・・・乗算器、(55)・・・電流検出回路、(56)・・・コンパレータ、(57)・・・発振器、(58)・・・駆動回路、

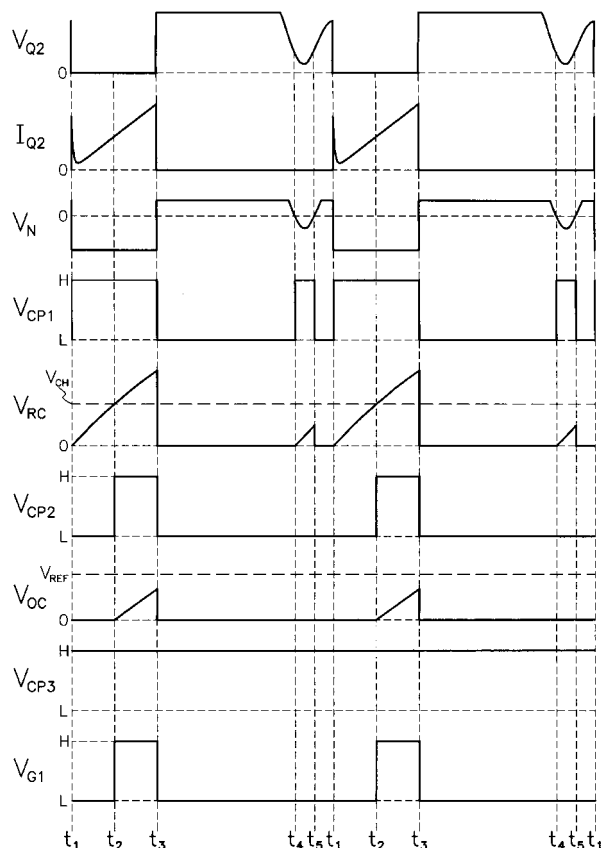
10

20

【図1】



【図2】



フロントページの続き

- (56)参考文献 特開平10-210748 (JP, A)
特開平03-007066 (JP, A)
特開2003-199346 (JP, A)
特表平11-502100 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H02M 3/155
H02M 3/28
H02M 7/12