



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년11월08일
(11) 등록번호 10-1080966
(24) 등록일자 2011년11월01일

(51) Int. Cl.

H04N 7/015 (2006.01)

(21) 출원번호 10-2004-0096358

(22) 출원일자 2004년11월23일

심사청구일자 2009년11월23일

(65) 공개번호 10-2006-0057266

(43) 공개일자 2006년05월26일

(56) 선행기술조사문헌

KR1020020093928 A

KR1020020080992 A

KR1020040083248 A

전체 청구항 수 : 총 8 항

(73) 특허권자

엘지전자 주식회사

서울특별시 영등포구 여의도동 20번지

(72) 발명자

최인환

서울특별시 금천구 시흥4동 173번지 16호

강경원

서울특별시 서대문구 창천동 4-70 101호

(74) 대리인

김용인, 심창섭

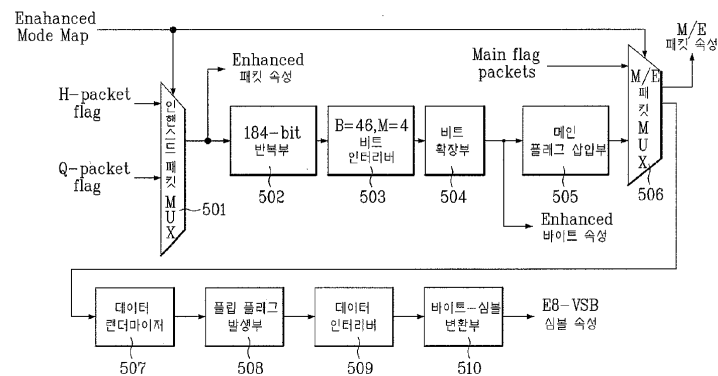
심사관 : 조남진

(54) 방송 신호 송수신 장치 및 방법

(57) 요약

본 발명은 서로 다른 부호율로 부호화되는 복수의 인헨스드(Enhanced) 데이터와 메인 데이터를 다중화하여 송신하는 장치 및 방법과 상기 송신된 방송 신호를 수신하고, 수신된 방송 신호로부터 메인 데이터, 복수의 인헨스드 데이터를 구분하여 복조하기 위한 장치 및 방법에 관한 것이다. 특히 본 발명은 인헨스드 데이터를 생성하기 위해 랜더마이즈, 콘볼루션 부호화, 인터리빙, 트렐리스 부호화하는 방법 및 장치를 제안하고, 이를 수신하여 디코딩 및 디랜더마이즈하여 데이터를 복원하는 방법 및 장치를 제안한다. 인헨스드 데이터를 방송 신호에 포함시켜 송수신함으로써 복호 신뢰도를 향상시킬 수 있다.

대표도



특허청구의 범위

청구항 1

인헨스드 데이터를 랜더마이즈 하는 단계;
 상기 랜더마이즈 된 인헨스드 데이터를 콘볼루션 부호화하는 단계;
 상기 콘볼루션 부호화된 인헨스드 데이터를 인터리빙 하는 단계; 및
 상기 인터리빙 된 인헨스드 데이터를 트렐리스 부호화하는 단계;
 를 포함하는 방송 신호 송신 방법.

청구항 2

인헨스드 데이터를 랜더마이즈 하는 랜더마이저;
 상기 랜더마이즈 된 인헨스드 데이터를 콘볼루션 부호화하는 콘볼루션 부호기;
 상기 콘볼루션 부호화된 인헨스드 데이터를 인터리빙 하는 인터리버; 및
 상기 인터리빙 된 인헨스드 데이터를 트렐리스 부호화하는 트렐리스 부호기;를 포함하는 방송 신호 송신 장치.

청구항 3

서로 다른 $1/X$ 부호율과 $1/Y$ 부호율 중 하나에 의해 부호화된 인헨스드 데이터를 포함하는 방송 신호를 수신하는 튜너;
 상기 수신된 방송 신호에 포함되어 있는 상기 인헨스드 데이터를 디코딩 하는 디코더; 및
 상기 디코딩된 인헨스드 데이터를 디랜더마이즈 하는 디랜더마이저;를 포함하고,
 상기 인헨스드 데이터는,
 원본 인헨스드 데이터를 랜더마이즈 하는 단계;
 상기 랜더마이즈 된 원본 인헨스드 데이터를 콘볼루션 부호화하는 단계;
 상기 콘볼루션 부호화된 원본 인헨스드 데이터를 인터리빙 하는 단계; 및
 상기 인터리빙 된 원본 인헨스드 데이터를 트렐리스 부호화하는 단계;를 포함하는 단계에 따라 처리된 방송 신호 수신 장치.

청구항 4

제 3 항에 있어서, 상기 수신된 방송 신호는
 세그먼트 동기 데이터와 필드 동기 데이터를 더 포함하는 방송 신호 수신 장치.

청구항 5

제 3 항에 있어서, 상기 X 의 값은 2이고, 상기 Y 의 값은 4인 방송 신호 수신 장치.

청구항 6

튜너에 의해 서로 다른 $1/X$ 부호율과 $1/Y$ 부호율 중 하나에 의해 부호화된 인헨스드 데이터를 포함하는 방송 신호를 수신하는 단계;
 디코더에 의해 상기 수신된 방송 신호에 포함되어 있는 상기 인헨스드 데이터를 디코딩 하는 단계; 및
 디랜더마이저에 의해 상기 디코딩된 인헨스드 데이터를 디랜더마이즈 하는 단계;를 포함하고,
 상기 인헨스드 데이터는,

원본 인헨스드 데이터를 랜더마이즈 하는 단계;

상기 랜더마이즈 된 원본 인헨스드 데이터를 콘볼루션 부호화하는 단계;

상기 콘볼루션 부호화된 원본 인헨스드 데이터를 인터리빙 하는 단계; 및

상기 인터리빙 된 원본 인헨스드 데이터를 트렐리스 부호화하는 단계;를 포함하는 단계에 따라 처리된 방송 신호 수신 방법.

청구항 7

제 6 항에 있어서, 상기 수신된 방송 신호는

세그먼트 동기 데이터와 필드 동기 데이터를 더 포함하는 방송 신호 수신 방법.

청구항 8

제 6 항에 있어서, 상기 X의 값은 2이고, 상기 Y의 값은 4인 방송 신호 수신 방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0023] 본 발명은 서로 다른 부호율로 부호화되는 복수의 인헨스드(Enhanced) 데이터를 수신할 수 있는 인헨스드 8-VSB 수신 시스템에 관한 것으로, 특히 수신된 E8-VSB 데이터로부터 메인 데이터, 복수의 인헨스드 데이터를 구분하여 복조하기 위한 장치 및 방법에 관한 것이다.

[0024] 미국에서는 지상파 디지털 방송을 위해 ATSC(Advanced Television Systems Committee) 8VSB(Vestigial

Sideband) 전송 방식을 1995년 표준으로 채택하여 1998년 하반기부터 방송을 하고 있으며, 한국에서도 미국 방식과 동일한 ATSC 8VSB 전송 방식을 표준으로 채택하여 현재 방송을 실시중이다.

[0025] 이러한 ATSC 8VSB 전송방식은 기본적으로 고화질 영상을 목표로 규격이 수립되었다. 그러나 화질저하를 수반하지만 보다 안정된 수신이 가능한 시스템이나, 내용의 특성상 영상 신호보다 더욱 더 안정된 수신이 요구되는 데이터 통신이 가능한 시스템의 전송 규격이 요구되어졌다. 뿐만 아니라 이러한 추가적인 전송 규격은 기존의 ATSC 8VSB 신호를 수신하는 시스템에 악영향을 끼치는 않는 범위에서 규정하게 되며, 또한 새로운 규격의 수신기에서도 기존의 ATSC 8VSB 신호와 새로운 규격의 Enhanced 8-VSB 신호(이하 E8-VSB) 모두를 수신할 수 있도록 규정하게 된다.

[0026] 따라서 E8-VSB 시스템은 기존의 8VSB 시스템을 그대로 수용하면서 새로운 서비스를 추가하고, 새로 추가된 서비스는 기존 서비스보다 향상된 수신이 이루어지도록 한다. 또한 기존의 서비스 역시 추가되는 서비스의 영향을 받아 보다 안정된 수신 성능을 보이도록 한다.

발명이 이루고자 하는 기술적 과제

[0027] 본 발명의 목적은 메인 데이터, 및 서로 다른 부호율로 부호화된 복수의 인헨스드 데이터가 다중화되어 전송되면 이를 수신하는 E8-VSB 수신 시스템을 제공하는 것이다.

[0028] 본 발명의 다른 목적은 다중화되어 수신된 메인 데이터, 및 서로 다른 부호율로 부호화된 복수의 인헨스드 데이터를 구분하여 복호하기 위한 장치 및 방법을 제공하는 것이다.

[0029] 본 발명의 또 다른 목적은 다중화되어 수신된 메인 데이터, 및 서로 다른 부호율로 부호화된 복수의 인헨스드 데이터를 구분할 수 있도록 데이터 속성 정보를 생성하는 장치 및 방법을 제공하는 것이다.

발명의 구성 및 작용

[0030] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 방송 신호 수신 장치는, E8-VSB 변조된 RF 신호가 안테나를 통해 수신되면 튜닝에 의해 원하는 채널의 RF 신호만을 선택한 후 IF 신호로 변환하여 출력하는 튜너; 상기 튜너로부터 출력된 IF 신호를 기저대역 신호로 변환하여 출력하는 복조부; 상기 복조부의 출력 또는 채널 등화기의 출력으로부터 프레임 복구를 수행하여 프레임 내의 필드 동기 신호와 세그먼트 동기 신호를 검출하고, 검출된 동기 신호를 이용하여 복조된 신호 또는 채널 등화된 신호로부터 메인 데이터, 제1 인헨스드 데이터(즉, 1/2 부호율로 부호화된 인헨스드 데이터), 제2 인헨스드 데이터(즉, 1/4 부호율로 부호화된 인헨스드 데이터)의 다중화 정보를 포함하는 인헨스드 모드 맵 정보를 추출하여 복호하는 맵 정보 복구부; 상기 동기 신호와 맵 정보 복구부에서 검출된 인헨스드 모드 맵 정보에 따라 메인/인헨스드(M/E) 패킷 속성 정보, 인헨스드 바이트 속성 정보, 인헨스드 패킷 속성 정보, 및 E8-VSB 심볼 속성 정보를 포함하는 E8-VSB 데이터 속성 정보를 생성하는 데이터 속성 발생부; 상기 동기 신호와 E8-VSB 데이터 속성 정보를 입력받아 상기 복조된 신호에 포함된 채널 왜곡을 보상하는 채널 등화부; 그리고 상기 동기 신호와 E8-VSB 데이터 속성 정보를 이용하여 상기 채널 등화부에서 등화된 신호로부터 메인 데이터와 1/2, 1/4 인헨스드 데이터를 각각 복호하는 채널 복호부를 포함하여 구성되는 것을 특징으로 한다.

[0031] 본 발명에 따른 E8-VSB 데이터 속성 발생 장치는 상기 인헨스드 모드 맵 정보를 이용하여 입력되는 패킷이 1/2 인헨스드 패킷인지, 아니면 1/4 인헨스드 패킷인지를 판별하고 이를 알려주는 속성 정보를 패킷 단위로 생성하는 인헨스드 패킷 속성 생성부; 상기 인헨스드 패킷 속성 생성부의 속성 정보를 이용하여 입력되는 인헨스드 패킷의 각 바이트가 1/2 인헨스드 규칙에 의해 확장된 것인지, 아니면 1/4 인헨스드 규칙에 의해 확장된 것인지를 알려주는 속성 정보를 바이트 단위로 생성하는 인헨스드 바이트 속성 생성부; 상기 인헨스드 바이트 속성 생성부의 속성 정보와 인헨스드 모드 맵 정보를 이용하여 데이터 디인터리빙 후에 구성되는 패킷이 메인 패킷인지, 아니면 인헨스드 패킷인지를 알려주는 속성 정보를 패킷 단위로 생성하고, 또한 한 패킷의 각 바이트에 해당하는 속성 정보를 바이트 단위로 생성하는 M/E 패킷 속성 생성부; 및 상기 M/E 패킷 속성 생성부의 한 패킷의 각 바이트에 해당하는 속성 정보를 이용하여 각 심볼의 속성을 알려주는 속성 정보를 심볼 단위로 생성하는 E8-VSB 심볼 속성 생성부를 포함하여 구성되는 것을 특징으로 한다.

[0032] 본 발명의 제1 실시예에 따른 방송 신호 수신 장치는, 복조된 신호로부터 메인 데이터, 1/2 인헨스드 데이터, 1/4 인헨스드 데이터의 다중화 정보를 포함하는 인헨스드 모드 맵 정보를 복구하여 메인/인헨스드(M/E) 패킷 속성 정보, 인헨스드 바이트 속성 정보, 인헨스드 패킷 속성 정보, 및 E8-VSB 심볼 속성 정보를 생성하여 출력하는 데이터 속성 발생부; 상기 E8-VSB 심볼 속성 정보에 따라 상기 채널 등화된 E8-VSB 심볼에 대해 비터비

복호, 심볼-바이트 변환, 및 디인터리빙을 수행하고, 이어 상기 M/E 패킷 속성 정보에 따라 상기 디인터리빙된 데이터에 대해 RS 복호, 및 디랜더마이징을 순차적으로 수행하여 MPEG 패킷을 출력하는 메인 데이터 복호부; 상기 M/E 패킷 속성 정보에 따라 상기 메인 데이터 복호부에서 디랜더마이징되어 출력되는 패킷 중 메인 패킷은 제거하고, 인헨스드 패킷으로부터 MPEG 헤더를 제거한 후 상기 인헨스드 바이트 속성 정보에 따라 MPEG 헤더가 제거된 인헨스드 패킷 내 각 바이트에서 의미있는 비트들로만 인헨스드 바이트를 재구성하여 출력하는 데이터 재구성부; 및 상기 재구성된 인헨스드 패킷에 대해 디인터리빙과 RS 복호를 순차적으로 수행한 후 상기 인헨스드 패킷 속성 정보에 따라 RS 복호된 패킷을 1/2, 1/4 인헨스드 패킷으로 분리하고 분리된 164 바이트의 패킷들을 188 바이트의 MPEG 패킷들로 동기를 맞추어 출력하는 인헨스드 데이터 출력부로 구성되는 것을 특징으로 한다.

[0033] 본 발명의 제2 실시예에 따른 방송 신호 수신 장치는, 복조된 신호로부터 메인 데이터, 1/2 인헨스드 데이터, 1/4 인헨스드 데이터의 다중화 정보를 포함하는 인헨스드 모드 맵 정보를 복구하여 메인/인헨스드(M/E) 패킷 속성 정보, 인헨스드 바이트 속성 정보, 인헨스드 패킷 속성 정보, 및 E8-VSB 심볼 속성 정보를 생성하여 출력하는 데이터 속성 발생부; 상기 채널 등화된 E8-VSB 심볼에 대해 비터비 복호, 심볼-바이트 변환, 디인터리빙, RS 복호, 및 디랜더마이징을 순차적으로 수행하여 MPEG 패킷을 출력하는 메인 데이터 복호부; 상기 E8-VSB 심볼 속성 정보에 따라 상기 채널 등화된 E8-VSB 심볼에 대해 비터비 복호, 심볼-바이트 변환, 디인터리빙, RS 패리티 제거, 및 디랜더마이징을 순차적으로 수행하여 출력하는 인헨스드 데이터 처리부; 상기 M/E 패킷 속성 정보에 따라 상기 인헨스드 데이터 처리부에서 디랜더마이징되어 출력되는 패킷 중 메인 패킷은 제거하고, 인헨스드 패킷으로부터 MPEG 헤더를 제거한 후 상기 인헨스드 바이트 속성 정보에 따라 MPEG 헤더가 제거된 인헨스드 패킷 내 각 바이트에서 의미있는 비트들로만 인헨스드 바이트를 재구성하여 출력하는 데이터 재구성부; 및 상기 재구성된 인헨스드 패킷에 대해 디인터리빙과 RS 복호를 순차적으로 수행한 후 상기 인헨스드 패킷 속성 정보에 따라 RS 복호된 패킷을 1/2, 1/4 인헨스드 패킷으로 분리하고 분리된 164 바이트의 패킷들을 188 바이트의 MPEG 패킷들로 동기를 맞추어 출력하는 인헨스드 데이터 출력부로 구성되는 것을 특징으로 한다.

[0034] 본 발명의 제3 실시예에 따른 방송 신호 수신 장치는, 복조된 신호로부터 메인 데이터, 1/2 인헨스드 데이터, 1/4 인헨스드 데이터의 다중화 정보를 포함하는 인헨스드 모드 맵 정보를 복구하여 메인/인헨스드(M/E) 패킷 속성 정보, 인헨스드 바이트 속성 정보, 인헨스드 패킷 속성 정보, 및 E8-VSB 심볼 속성 정보를 생성하여 출력하는 데이터 속성 발생부; 상기 E8-VSB 심볼 속성 정보에 따라 상기 채널 등화된 E8-VSB 심볼에 대해 비터비 복호, 심볼-바이트 변환, 및 디인터리빙, RS 복호, 및 디랜더마이징을 순차적으로 수행하여 MPEG 패킷을 출력하는 메인 데이터 복호부; 상기 메인 데이터 복호부에서 디인터리빙되어 출력되는 패킷으로부터 RS 패리티를 제거하고 디랜더마이징을 수행한 후, 상기 M/E 패킷 속성 정보와 인헨스드 바이트 속성 정보에 따라 디랜더마이징된 패킷 중 메인 패킷은 제거하고, 인헨스드 패킷에서는 MPEG 헤더를 제거한 후 각 바이트에서 의미있는 비트들로만 인헨스드 바이트를 재구성하여 출력하는 데이터 재구성부; 및 상기 재구성된 인헨스드 패킷에 대해 디인터리빙과 RS 복호를 순차적으로 수행한 후 상기 인헨스드 패킷 속성 정보에 따라 RS 복호된 패킷을 1/2, 1/4 인헨스드 패킷으로 분리하고 분리된 164 바이트의 패킷들을 188 바이트의 MPEG 패킷들로 동기를 맞추어 출력하는 인헨스드 데이터 출력부로 구성되는 것을 특징으로 한다.

[0035] 본 발명은 상기된 E8-VSB 데이터 속성 발생 장치와 제1 내지 제3 실시예의 방송 신호 수신 장치를 방법으로 구현하는 것을 특징으로 한다.

[0036] 본 발명의 다른 목적, 특징 및 잇점들은 첨부한 도면을 참조한 실시예들의 상세한 설명을 통해 명백해질 것이다.

[0037] 이하, 첨부된 도면을 참조하여 본 발명의 실시예의 구성과 그 작용을 설명하며, 도면에 도시되고 또 이것에 의해서 설명되는 본 발명의 구성과 작용은 적어도 하나의 실시예로서 설명되는 것이며, 이것에 의해서 상기한 본 발명의 기술적 사상과 그 핵심 구성 및 작용이 제한되지는 않는다.

[0038] 먼저, 상기된 E8-VSB 규격에 맞는 송신기 및 수신기의 전체적인 구조는 본 출원인에 의해 제안된 바 있으며, 도 1에 E8-VSB 송신 시스템의 구성 블록도를, 도 3에 E8-VSB 수신 시스템의 구성 블록도를 보이고 있다.

[0039] 즉, E8-VSB 송신 시스템에서는 인헨스드 데이터를 통하여 최근 널리 사용되는 MPEG-4 영상이나 각종 부가 데이터(예: 프로그램 실행 파일, 주식 정보 등)를 전송할 수 있으며, 또한 기존의 MPEG-2 영상 및 돌비 음향 데이터를 전송할 수도 있다.

[0040] 이하, 설명의 편의를 위해 기존의 MPEG-2 영상을 메인 데이터 또는 메인 심볼이라 정의한다. 이때, 상기 인헨스

드 데이터는 메인 데이터에 비해서 추가의 오류 정정 부호화를 하게 된다. 그리고 인헨스드 데이터(또는 인헨스드 심볼) 중 1/2 인헨스드 데이터 및 1/4 인헨스드 데이터는 메인 데이터에 비해서 각각 1/2 부호율 및 1/4 부호율로 각각 부호화가 추가로 이루어지는 데이터를 의미한다. 따라서, 이러한 인헨스드 데이터는 메인 데이터에 비해서 채널에서 발생하는 잡음 및 다중 경로로 인한 간섭에 훨씬 우수한 수신 성능을 발휘하며, 특히 1/4 부호율로 부호화된 1/4 인헨스드 데이터는 1/2 부호율로 부호화된 1/2 인헨스드 데이터에 비해서 더 우수한 성능을 가진다.

[0041] 도 1을 참조하여 E8-VSB 송신 시스템을 개략적으로 설명하면 다음과 같다.

[0042] 도 1에서, 메인 및 인헨스드 다중화 패킷 처리부(111)는 1/2 인헨스드 데이터와 1/4 인헨스드 데이터를 입력받아 E8-VSB 전처리를 수행한 후, E8-VSB 전처리 과정을 거친 인헨스드 데이터와 메인 데이터를 188 바이트 패킷 단위(이를 세그먼트 단위라고도 함)로 다중화한다.

[0043] 도 2는 상기 메인 및 인헨스드 다중화 패킷 처리부(111)의 상세 블록도이다. 즉, 제1 MPEG 패킷 변환기(201)는 188바이트 단위의 패킷으로 입력되는 1/2 인헨스드 데이터를 데이터 변경없이 164바이트 단위로 나누어 인헨스드 다중화기(203)로 출력하고, 제2 MPEG 패킷 변환기(202)는 188바이트 단위의 패킷으로 입력되는 1/4 인헨스드 데이터를 데이터 변경없이 164바이트 단위로 나누어 인헨스드 다중화기(203)로 출력한다.

[0044] 상기 다중화기(203)는 상기 제1, 제2 MPEG 패킷 변환기(201, 202)에서 출력되는 164바이트 단위의 1/2 인헨스드 데이터와 1/4 인헨스드 데이터를 필드 동기 세그먼트 내의 인헨스드 모드 맵 정보에 따라 164 바이트 단위의 패킷으로 다중화하여 인헨스드 리드-솔로몬 부호기(204)로 출력한다. 여기서 한 개의 VSB 데이터 필드에 다중화되는 1/2 인헨스드 데이터 패킷(즉, 164 바이트)과 1/4 인헨스드 데이터 패킷(즉, 164 바이트)의 수를 각각 H와 Q라고 정의한다. 그리고 E8-VSB 수신 시스템에서 164 바이트 단위의 인헨스드 패킷을 역다중화하기 위해서는 현재 패킷이 1/2 인헨스드 데이터인지, 1/4 인헨스드 데이터인지를 알려주는 속성이 필요하다.

[0045] 상기 인헨스드 리드-솔로몬 부호기(204)는 상기 인헨스드 다중화기(203)에서 다중화된 인헨스드 데이터에 대해 20바이트의 패리티 부호를 첨가함으로써, 164바이트 단위의 인헨스드 데이터를 184바이트 단위의 패킷으로 변환하여 인헨스드 데이터 인터리버(205)로 출력한다. 상기 인헨스드 데이터 인터리버(205)는 버스트 잡음에 대한 성능을 높이기 위하여 상기 인헨스드 리드-솔로몬 부호기(204)에서 출력되는 인헨스드 데이터의 순서를 바꾸어 바이트 확장부(Byte Expander)(206)로 출력한다. 상기 바이트 확장부(206)는 상기 데이터 인터리버(205)에서 출력되는 1/2 인헨스드 데이터 또는 1/4 인헨스드 데이터에 해당하는 널 비트를 삽입하여 패킷을 확장한다.

[0046] 즉 상기 바이트 확장부(206)는 1 바이트의 1/2 인헨스드 데이터가 입력되면 각 비트 사이마다 미리 정한 널 비트를 삽입하여 2 바이트로 확장하고, 1 바이트의 1/4 인헨스드 데이터가 입력되면 각 비트를 두 번 반복하고 각 비트 사이마다 미리 정한 널 비트를 삽입하여 4 바이트로 확장한다. 이러한 널 비트는 나중에 E8-VSB 심볼 처리부(116)의 길쌈 부호기에 의해 패리티 비트로 치환된다. 그리고 E8-VSB 수신 시스템에서 상기 널 비트와 중복된 비트를 제거하고 의미있는 비트들로만 구성된 바이트를 출력하기 위해서는 1/2 인헨스드 데이터와 1/4 인헨스드 데이터를 구분할 수 있는 인헨스드 바이트 속성 정보가 필요하다.

[0047] 상기 바이트 확장부(206)에서 확장된 데이터는 MPEG 헤더 삽입기(MPEG header adder)(207)로 출력된다.

[0048] 상기 MPEG 헤더 삽입기(207)는 상기 바이트 확장부(206)에서 널 비트가 삽입된 인헨스드 데이터의 184 바이트 단위마다 앞쪽에 4바이트의 Null MPEG 헤더를 삽입하여 188 바이트 단위의 MPEG 호환 패킷을 만든 후 M/E(Main/Enhanced) 다중화기(208)로 출력한다. 즉, 4바이트의 메인 바이트와 184 바이트의 인헨스드 바이트로 이루어진 188 바이트의 패킷이 되는 것이다.

[0049] 그러므로 E8-VSB 수신 시스템에서는 이 패킷의 헤더와 인헨스드 데이터 부분을 구분할 필요가 있고, 이를 위해 M/E 속성 정보가 필요하다.

[0050] 상기 M/E 다중화기(208)는 188 바이트 단위로 입력되는 메인 MPEG 데이터와 MPEG 헤더 삽입기(207)로부터 188 바이트 단위로 입력되는 인헨스드 패킷을 필드 동기 세그먼트 내의 인헨스드 모드 맵 정보에 따라 다중화한다. 마찬가지로 E8-VSB 수신 시스템에서는 다중화된 188 바이트 단위의 메인 패킷과 인헨스드 패킷을 역다중화기 위해 현재 수신된 패킷이 메인 패킷인지, 인헨스드 패킷인지를 구별하기 위한 M/E 패킷 속성 정보가 필요하다.

[0051] 그리고, 상기 인헨스드 다중화기(203)에서 1/2 인헨스드 데이터와 1/4 인헨스드 데이터가 다중화되는 다중화 정보와 M/E 다중화기(208)에서 메인 데이터와 인헨스드 데이터가 다중화되는 다중화 정보를 인헨스드 모드 맵 정보(또는 E8-VSB 맵 정보)라 부르며, 인헨스드 모드 맵 정보는 실제 데이터(즉 메인 데이터와 인헨스드 데이터)

와 함께 수신측으로 전송된다.

- [0052] 전술한 바와 같이, 상기 메인 및 인헨스드 다중화 패킷 처리기(111)에서 다중화되어 출력되는 188 바이트 단위의 MPEG 데이터는 ATSC 랜덤마이저(112)로 출력된다.
- [0053] 상기 ATSC 랜덤마이저(112)는 입력받은 188 바이트의 MPEG 데이터에서 MPEG 동기 바이트를 제외한 187 바이트의 데이터에 대해 랜더마이징 과정을 수행하고 ATSC 리드-솔로몬(RS) 부호기(113)로 출력한다.
- [0054] 상기 ATSC RS 부호기(113)는 187 바이트의 데이터에 대해 20 바이트의 패리티를 추가하여 ATSC 바이트 인터리버(114)로 출력한다. 상기 ATSC 바이트 인터리버(114)는 바이트 단위로 입력 데이터에 대해 인터리빙을 수행한 후 바이트-심볼 변환부(115)로 출력한다. 상기 바이트-심볼 변환부(115)는 바이트 단위로 입력되는 데이터를 심볼 단위로 변환하고 12-way 인터리빙을 수행하여 E8-VSB 심볼 처리기(116)로 출력한다. 즉 한 바이트가 2비트씩 4 심볼로 변환된다.
- [0055] 상기 E8-VSB 심볼 처리기(116)는 심볼 단위의 인헨스드 데이터에 대해서만 콘볼루션 부호화를 수행하고, 심볼 단위의 데이터에 12-way 디인터리빙을 수행하고 바이트 단위의 데이터로 변환한 후 ATSC 바이트 디인터리버(117)로 출력한다.
- [0056] 상기 ATSC 바이트 디인터리버(117)는 바이트 단위의 입력 데이터에 대해 인터리빙의 역과정으로 디인터리빙을 수행하여 ATSC RS 패리티 제거기(118)로 출력한다. 상기 ATSC RS 패리티 제거기(118)는 역인터리빙된 데이터로부터 상기 ATSC RS 부호기(113)에서 첨가된 20 바이트의 패리티를 제거하여 8VSB 송신부(100)로 출력한다.
- [0057] 상기 8VSB 송신부(100)는 종래의 ATSC 8VSB 송신 시스템의 구성과 동일한 구조로서, ATSC 랜더마이저(101, 생략 가능), ATSC 리드 솔로몬 부호기(102), ATSC 바이트 인터리버(103), 트렐리스 부호기(104), 다중화기(105), 파일럿 삽입기(106), VSB 변조기(107), RF 변환기(108)로 구성된다.
- [0058] 즉, 상기 ATSC RS 패리티 제거기(118)에서 패리티가 제거된 데이터가 ATSC 리드 솔로몬 부호기(102), 및 ATSC 바이트 인터리버(103)를 거치면서 상기 데이터 내에 20 바이트의 패리티 부호를 첨가하는 리드 솔로몬 부호화, 및 데이터의 순서를 바꾸는 데이터 인터리빙이 수행된다. 그리고 인터리빙된 데이터는 트렐리스 부호기(104)에서 트렐리스 부호화된 후 다중화기(105)로 입력된다.
- [0059] 상기 다중화기(105)는 트렐리스 부호화된 심볼열과 필드 동기 신호, 세그먼트 동기 신호, 그리고 인헨스드 모드 맵 정보를 다중화하고, 파일럿 삽입기(106)는 여기에 파일럿 신호를 삽입하여 VSB 변조기(107)로 출력한다. 상기 VSB 변조기(107)는 파일럿 신호가 삽입된 신호를 중간 주파수 대역의 8VSB 신호로 변조하여 RF 변환기(108)로 출력한다. 상기 RF 변환기(108)는 VSB 변조된 신호를 RF 대역 신호로 변환한 후 안테나를 통해 전송한다. 여기서 상기 인헨스드 모드 맵 정보는 필드 동기 구간에 삽입되는데, 다중화 규칙과 인헨스드 데이터의 전송 패킷 수에 관련된 메인/인헨스드 데이터 다중화 정보를 포함하고 있다.
- [0060] 이때 상기 ATSC 랜더마이저(112), ATSC RS 부호기(113), ATSC 바이트 인터리버(114), 및 바이트-심볼 변환부(115)를 채널 부호부라 하기도 한다.
- [0061] 도 3은 상기된 E8-VSB 송신 시스템에서 전송되는 메인 데이터 및 인헨스드 데이터를 수신하는 E8-VSB 수신 시스템의 일 실시예를 나타낸 개략도로서, 본 출원인에 의해 기 출원된 바 있다(국내 출원 번호 P03-83688호).
- [0062] 즉, E8-VSB 변조된 RF 신호가 안테나를 통해 수신되면 튜너(301)는 튜닝에 의해 원하는 채널의 RF 신호만을 선택한 후 IF 신호로 변환하여 복조부(302)로 출력한다. 상기 복조부(302)는 IF 신호에 대해 자동 게인 제어(AGC), A/D 변환, 반송파 복구, 타이밍 복구 등과 같은 VSB 복조를 수행하여 채널 등화부(303)와 맵 정보 복구부(304)로 출력한다.
- [0063] 상기 맵 정보 복구부(304)는 전송된 현재 필드의 인헨스드 모드 맵 정보를 복구하여 상기 채널 등화부(303)와 채널 복호기(Decoder)(305)로 제공한다. 또한 상기 맵 정보 복구부(304)는 현재 필드의 인헨스드 모드 맵 정보에 의하여 VSB 신호의 각 심볼들 하나 하나의 속성을 지시하는 심볼 속성 정보를 발생하여 채널 등화부(303)와 채널 복호기(305)로 제공한다.
- [0064] 상기 채널 등화부(303)는 후단의 채널 복호기(305)의 결정값과 맵 정보 복구부(304)의 심볼 속성 정보를 입력받아 상기 복조부(302)에서 VSB 복조된 신호에 포함된 채널 왜곡을 보상한 후 채널 복호기(305)로 출력한다. 상기 채널 복호기(305)는 현재 수신된 E8-VSB 신호의 다중화 정보를 알려주는 E8-VSB 맵 정보와 E8-VSB 심볼 속성 정보를 이용하여 해당하는 모드로 등화된 신호를 복호한다. 이렇게 함으로써 E8-VSB 수신 시스템에서는 메인 VSB

스트림(Main MPEG packets)과 인헨스드 VSB 스트림인 1/2 인헨스드 스트림(Enhanced 1/2 MPEG packets)과 1/4 인헨스드 스트림(Enhanced 1/4 MPEG packets)을 모두 수신할 수 있다. 여기서 모드는 기존 ATSC 8VSB 데이터인 메인 데이터, 1/2 인헨스드 데이터, 1/4 인헨스드 데이터가 한 필드 내에 다중화되어 있는 양과 방법에 대한 것을 의미한다.

- [0065] 도 4는 본 발명의 다른 실시예에 따른 E8-VSB 수신 시스템의 개략도로서, 상기된 도 3과 마찬가지로, E8-VSB 변조된 RF 신호가 안테나를 통해 수신되면 튜너(401)는 튜닝에 의해 원하는 채널의 RF 신호만을 선택한 후 IF 신호로 변환하여 복조부(402)로 출력한다. 상기 복조부(402)는 IF 신호에 대해 AGC, A/D 변환, 반송파 복구, 타이밍 복구 등과 같은 VSB 복조를 수행하여 프레임 동기 복구부(403), 맵 정보 복구부(404), 및 채널 등화부(406)로 출력한다.
- [0066] 상기 프레임 동기 복구부(403)는 상기 복조부(402)의 출력 및/또는 채널 등화부(406)의 출력으로부터 VSB 데이터 프레임 내 필드 동기 신호와 세그먼트 동기 신호를 검출하여 맵 정보 복구부(404), 데이터 속성 발생부(405), 채널 등화부(406), 및 채널 복호기(407)로 출력한다.
- [0067] 상기 맵 정보 복구부(404)는 상기 복조부(402)의 출력 및/또는 채널 등화부(406)의 출력으로부터 전송된 현재 필드의 인헨스드 모드 맵 정보를 복구하여 상기 E8-VSB 데이터 속성 발생부(Data attribute generator)(405)로 제공한다. 상기 인헨스드 모드 맵 정보에는 메인 데이터와 1/2 인헨스드 데이터 그리고, 1/4 인헨스드 데이터를 어떻게 다중화하였는지에 대한 정보를 포함하고 있다.
- [0068] 상기 E8-VSB 데이터 속성 발생부(405)는 필드 동기 신호와 현재 필드의 인헨스드 모드 맵 정보에 의하여 E8-VSB 신호의 각 데이터 하나 하나의 속성을 지시하는 현재 E8-VSB 데이터의 속성 정보를 발생한다. 상기 E8-VSB 데이터는 심볼 단위, 바이트 단위, 패킷 단위로 나누어지고, 이에 따라 각각의 속성이 필요하다.
- [0069] 이때 상기 E8-VSB 데이터 속성 발생부(405)는 현재 VSB 심볼의 속성 정보를 채널 등화부(406)와 채널 복호기(407)로 제공함으로써, 상기 채널 등화부(406)는 향상된 등화를 수행하고, 채널 복호기(407)는 현재 수신된 모드에 적합한 채널 복호를 할 수 있다.
- [0070] 즉 상기 채널 등화부(406)는 후단의 채널 복호기(407)의 결정값과 E8-VSB 데이터 속성 발생부(405)의 심볼 속성 정보를 입력받아 상기 복조부(402)에서 VSB 복조된 신호에 포함된 채널 왜곡을 보상한 후 채널 복호기(407)로 출력한다.
- [0071] 그리고 상기 채널 복호기(407)는 현재 수신된 E8-VSB 신호의 다중화 정보를 알려주는 E8-VSB 심볼 속성 정보를 이용하여 해당하는 모드로 채널 등화된 신호를 복호한다(Main MPEG packets, Enhanced 1/2 MPEG packets, Enhanced 1/4 MPEG packets).
- [0072] 본 발명에 따른 E8-VSB 데이터 속성 발생부(405)에서는 E8-VSB 심볼 속성 정보, 메인/인헨스드(M/E) 패킷 속성 정보, 인헨스드 바이트 속성 정보, 인헨스드 패킷 속성 정보 등을 발생한다.
- [0073] 이는 채널 복호기에서 E8-VSB 신호를 복호하고 역다중화하기 위해 상기된 네가지 속성 정보가 필요하기 때문이다.
- [0074] 즉 상기 인헨스드 패킷 속성 정보는 인헨스드 패킷의 역다중화를 위해 현재 입력되는 패킷이 1/2 인헨스드 패킷인지, 아니면 1/4 인헨스드 패킷인지를 알려주는 속성 정보이다.
- [0075] 상기 인헨스드 바이트 속성 정보는 널 비트 제거를 위해 입력되는 인헨스드 패킷의 각 바이트가 1/2 인헨스드 규칙에 의해 확장된 것인지, 아니면 1/4 인헨스드 규칙에 의해 확장된 것인지에 대해 알려주는 속성 정보이다.
- [0076] 상기 메인/인헨스드(M/E) 패킷 속성 정보는 데이터 디인터리빙 후에 구성되는 패킷이 메인 패킷인지, 아니면 인헨스드 패킷인지를 알려주는 속성 정보이다.
- [0077] 상기 E8-VSB 심볼 속성 정보는 상기 채널 복호기 내 비터비 복호기에 입력되는 E8-VSB 심볼에 대한 속성을 알려주는 정보이다. 즉 상기 E8-VSB 심볼 속성 정보에는 입력된 심볼이 메인 심볼인지 아니면 인헨스드 심볼인지에 대한 정보, 인헨스드 심볼의 경우 1/2 인헨스드 심볼인지 아니면 1/4 인헨스드 심볼인지에 대한 정보, 1/4 인헨스드 심볼의 경우 인접하는 심볼과 같은 극성을 가지는지에 대한 정보, 그리고 메인 심볼의 경우 극성의 반전을 일으키는지에 대한 정보가 포함되어 있다.
- [0078] 도 5a는 본 발명에 따른 E8-VSB 데이터 속성 발생 장치의 상세 블록도로서, 크게 송신부의 메인 및 인헨스드 다중화 패킷 처리부에 대응하는 부분과 채널 부호부에 대응하는 부분으로 구성된다.

- [0079] 상기 메인 및 인헨스드 다중화 패킷 처리부에 대응하는 부분은 인헨스드 패킷 다중화기(501), 184비트 반복부(502), 비트 인터리버(503), 비트 확장부(504), 메인 플래그 삽입부(505), 및 M/E 패킷 다중화기(506)를 포함하여 구성되며, 인헨스드 패킷 속성 정보, 인헨스드 바이트 속성 정보, 및 M/E 패킷 속성 정보, 한 패킷의 각 바이트에 대한 속성 정보를 발생한다.
- [0080] 상기 채널 부호부에 대응하는 부분은 데이터 랜덤마이저(507), 플립 플래그(Flip Flag) 발생부(508), 데이터 인터리버(509), 및 바이트-심볼 변환부(510)를 포함하여 구성되며, E8-VSB 심볼 속성 정보를 발생한다.
- [0081] 도 5b는 본 발명의 데이터 속성 발생의 설명의 돕기 위해 상기된 도 1, 도 2의 E8-VSB 송신 시스템의 메인 및 인헨스드 다중화 패킷 처리부와 채널 부호부의 상세 블록도를 다시 도시한 것이다.
- [0082] 즉 도 5b의 인헨스드 패킷 다중화기(203)는 1/2 인헨스드 패킷과 1/4 인헨스드 패킷을 인헨스드 모드 맵 정보에 의해 164 바이트 단위의 패킷으로 다중화한다. 그러므로 E8-VSB 수신 시스템에서는 상기 다중화된 164 바이트 단위의 인헨스드 패킷을 역다중화하기 위해 현재 패킷이 1/2 인헨스드 패킷인지 아니면 1/4 인헨스드 패킷인지를 알려주는 속성이 필요하다.
- [0083] 따라서 도 5a의 인헨스드 패킷 다중화기(501)는 인헨스드 모드 맵 정보를 입력받아 채널 복호기로 입력된 패킷이 1/2 인헨스드 패킷임을 나타내면 H-패킷 플래그를 선택하고, 1/4 인헨스드 패킷임을 나타내면 Q-패킷 플래그를 선택하여 인헨스드 패킷 속성 정보로서 출력한다. 이것을 패킷 단위의 H/Q 플래그라 부른다.
- [0084] 그리고 도 5b의 인헨스드 RS 부호기(204)에 해당하는 것은 도 5a의 184 비트 반복기(502)이다. 즉 인헨스드 RS 부호기(204)는 164 바이트의 패킷을 입력받아 20 바이트의 패리티 바이트를 추가하여 184 바이트의 패킷을 생성한 후 인헨스드 데이터 인터리버(205)로 출력한다. 인헨스드 RS 부호기(204)로 입력되는 하나의 164 바이트 패킷은 이 패킷이 1/2 인헨스드 패킷인지 1/4 인헨스드 패킷인지를 나타내는 하나의 속성을 가지고 있다. 그리고 이 속성은 인헨스드 RS 부호기(204)에서 RS 부호를 수행하고 얻은 184 바이트의 패킷에 동일하게 유효하다. 그러므로 인헨스드 RS 부호기(204)를 위한 속성 발생기인 184비트 반복기(502)는 인헨스드 패킷 다중화기(501)에서 입력받은 인헨스드 패킷 속성 정보(1 비트)를 184 바이트에 해당하는 속성인 184 비트로 반복하여 비트 인터리버(503)로 출력함으로써, 구현이 가능하다. 즉, 184비트 반복기(502)에서 패킷 단위의 H/Q 플래그가 바이트 단위의 H/Q 플래그 184개로 변환되는 것이다.
- [0085] 도 5b의 인헨스드 데이터 인터리버(205)에 대응하는 속성 발생기의 부분은 도 5a의 비트 인터리버(503)이다. 즉 상기 인헨스드 데이터 인터리버(205)는 하나의 바이트를 입력받아 인터리빙한 후 하나의 바이트를 출력하는 것이다. 그러므로 하나의 바이트가 각각 속성(1/2 인헨스드 바이트인지, 아니면 1/4 인헨스드 바이트인지)을 갖기에 속성 발생기를 위해서는 인헨스드 데이터 인터리버(205)와 동일한 구성의 비트 인터리버(503)가 필요하다. 단, 데이터 바이트 입출력이 아닌 속성을 나타내기 위한 한 비트 단위의 인터리버로 구현이 가능하다. 즉 184비트 반복기(502)에서 출력된 H/Q 플래그가 비트 인터리버(503)에 의해서 인터리빙된다.
- [0086] 그리고 상기 도 5b의 인헨스드 데이터 인터리버(205)의 출력은 바이트 확장부(206)로 입력된다. 상기 바이트 확장부(206)에서는 도6, 도7에서와 같이 입력되는 한 바이트를 그 속성에 따라 두 개 혹은 네 개로 확장하여 출력한다. 즉 1/2 인헨스드 바이트이면 도 6의 (b)와 같이 2바이트로 확장하고, 1/4 인헨스드 바이트이면 도 7의 (b)와 같이 4바이트로 확장한다.
- [0087] 그러므로 E8-VSB 수신 시스템에서는 이와 반대로 확장된 바이트를 입력받아 의미없는 널 비트와 중복되는 비트들을 제거하여 의미있는 비트들로만 구성되는 바이트를 출력하여야 한다. 이때 1/2 인헨스드 바이트와 1/4 인헨스드 바이트를 구분하기 위해서 인헨스드 바이트 속성 정보가 필요하다. 본 발명에서는 도 5a의 비트 확장부(504)에서 인헨스드 바이트 속성 정보를 출력한다. 즉 상기 비트 확장부(504)에 입력되는 것은 한 바이트의 속성을 나타내는 한 비트이다. 그러므로 상기 비트 확장부(504)는 입력이 1/2 인헨스드 바이트이면 1/2 인헨스드 바이트에 해당하는 속성을 두 비트로 확장하여 출력한다. 또한 입력이 1/4 인헨스드 바이트이면 1/4 인헨스드 바이트에 해당하는 속성을 네 비트로 확장하여 출력한다. 즉 비트 인터리버(503)에서 출력된 H/Q 플래그가 1/2 인헨스드 바이트이면 2배로 반복되고 1/4 인헨스드 바이트이면 4배로 반복된다.
- [0088] 상기 도 5b의 바이트 확장부(206)를 통해 확장된 인헨스드 바이트들은 184 바이트 단위의 패킷으로 나누어 MPEG 헤더 삽입부(207)로 입력된다. 상기 MPEG 헤더 삽입부(207)는 184바이트 단위의 입력 패킷 앞에 4바이트의 널(Nul1) MPEG 헤더를 추가하여 188 바이트의 MPEG 호환 패킷을 출력한다.
- [0089] 다시 말해서, MPEG 헤더 삽입부(207)에서 출력되는 패킷은 4바이트의 메인 바이트와 184바이트의 인헨스드 바이트

트로 이루어진 188바이트의 패킷이 되는 것이다. 그러므로 E8-VSB 수신 시스템에서는 이 패킷의 헤더와 인헨스드 데이터 부분을 구분할 필요가 있고, 메인 데이터와 인헨스드 데이터를 구분하기 위해서는 별도의 속성 비트가 필요하다. 이를 M/E 플래그라 부르며 이것으로 메인 데이터와 인헨스드 데이터를 구분한다. 따라서 메인 플래그 삽입부(505)의 출력은 2-비트로 구성된 속성 정보를 출력하는데, 한 비트는 M/E 플래그이고 다른 한 비트는 H/Q 플래그이다.

[0090] 따라서 상기 메인 플래그 삽입부(505)는 4바이트의 MPEG 헤더의 속성을 지시하는 4개의 M 플래그를 출력하고, 다음에 비트 확장부(504)에서 입력받은 184개의 인헨스드 바이트 속성 정보 H/Q 플래그에 인헨스드 데이터임을 지시하는 184개의 E 플래그를 추가하여 출력한다. 즉 도 5b의 MPEG 헤더 삽입부(207)에서 출력되는 바이트 단위로 도 5a의 메인 플래그 삽입부(505)에서는 2비트의 속성 정보(M/E 플래그, H/Q 플래그)가 출력된다. 이때 메인 데이터인 경우에는 인헨스드 속성 정보가 의미를 갖지 않으므로 임의의 H/Q 플래그를 출력해도 무방하다.

[0091] 그리고 도 5b의 메인/인헨스드 패킷 다중화기(208)에서는 메인 MPEG 패킷과 인헨스드 MPEG 패킷을 인헨스드 모드 맵 정보에 의해 다중화하여 출력한다. 그러므로 E8-VSB 수신 시스템에서는 상기 다중화된 MPEG 패킷을 역다중화하기 위해서 현재 수신된 패킷이 메인 패킷인지 아니면 인헨스드 패킷인지를 구별하기 위한 M/E 패킷 속성 정보가 필요하다. 즉 MPEG 헤더 삽입부(207)에서 출력되는 188바이트의 MPEG 호환 패킷은 비록 앞의 4바이트의 MPEG 헤더가 메인 데이터이지만 패킷 전체로는 인헨스드 패킷으로 간주된다.

[0092] 따라서 도 5a의 M/E 패킷 다중화기(506)에서는 인헨스드 모드 맵 정보에 의해 메인 패킷과 인헨스드 패킷이 다중화된 방법대로 M/E 패킷 속성 정보를 발생한다. 또한 메인 패킷의 순서에는 188개의 2비트 플래그(M/E 플래그, H/Q 플래그)로 이루어진 속성 패킷을 데이터 랜덤라이저(507)로 출력하며, 인헨스드 패킷의 순서에는 메인 플래그 삽입부(505)에서 출력된 2비트의 속성 패킷을 입력받아 그대로 상기 데이터 랜덤라이저(507)로 출력한다. 이때에도 상기 메인 플래그 삽입부(505)에서 설명한 것과 마찬가지로 메인 패킷의 경우 인헨스드 속성 정보가 의미를 갖지 않으므로 M/E 플래그로 메인 데이터임을 나타내고, H/Q 플래그는 임의의 값을 출력해도 무방하다.

[0093] 즉, 상기 M/E 플래그는 인헨스드 패킷 내에서 앞의 4바이트의 메인 데이터와 그 뒤의 184 바이트의 인헨스드 데이터를 구분하는 정보이고, M/E 패킷 속성 정보는 188바이트 단위의 메인 패킷과 인헨스드 패킷을 구분하는 정보이다.

[0094] 한편 도 5b의 ATSC 데이터 랜덤라이저(112)는 입력받은 188 바이트의 MPEG 데이터에서 MPEG 동기 바이트를 제외한 187 바이트의 데이터에 대해 랜덤마이징 과정을 수행하고 ATSC RS 부호기(113)로 출력한다. 이때 상기 ATSC 데이터 랜덤라이저(112)의 입력 중 한 바이트의 속성이 1/4 인헨스드 바이트라면, 도 7의 (b)와 같이 바이트 확장부(206)에서 네 바이트로 확장된 결과이고, 같은 비트가 반복되는 형식으로 확장된 것이다. 그러나 상기 ATSC 데이터 랜덤라이저(112)를 통과하면 반복된 비트들의 값이 동일하다고 말할 수 없게 된다.

[0095] 도 8에서 하나의 1/4 인헨스드 바이트에 대해 랜덤마이징 바이트와 XOR을 수행하여 얻은 결과 바이트를 보인다. 1/4 인헨스드 바이트에는 b1 비트가 두 번 반복되어 있고, b0 비트가 두 번 반복되어 있다. 이때 랜덤마이징 바이트의 r7 비트가 r5 비트와 같다면, 랜덤마이징된 바이트의 q1과 q1' 역시 같은 부호를 가질 것이다. 하지만 r7 비트와 r5 비트가 다르다면 q1 비트와 q1' 비트가 서로 다른 부호를 가지게 된다. 그러므로 1/4 인헨스드 바이트가 랜덤라이저로 입력되면 이 바이트에 포함된 비트들이 반복되는 비트 간에 서로 같은 부호로 랜덤마이징되는지에 대한 정보가 필요하다. 따라서 도 5a의 데이터 랜덤라이저(507)에서는 M/E 패킷 다중화기(506)에서 출력한 M/E 플래그와 H/Q 플래그를 입력받아 플립 플래그 발생부(509)로 출력함과 동시에, 현재 바이트가 1/4 인헨스드 바이트인 경우, 반복된 하나의 바이트에 들어있는 의미있는 두 쌍의 비트들이 같은 부호로 랜덤마이징되는지에 대한 속성 정보(PNEQ Flag)를 상기 플립 플래그 발생부(509)로 출력한다. 여기서 상기 M/E 플래그는 수신된 바이트가 메인 바이트인지 인헨스드 바이트인지를 나타내는 속성 정보이고, H/Q 플래그는 1/2 인헨스드 바이트인지 1/4 인헨스드 바이트인지를 나타내는 인헨스드 바이트 속성 정보이다.

[0096] 따라서 도 5a의 데이터 랜덤라이저(507)에서는 바이트당 1비트의 M/E 플래그, 1비트의 H/Q 플래그, 그리고 2비트의 PNEQ 플래그로 구성되는 총 4비트의 속성 정보를 상기 플립 플래그 발생부(509)로 출력한다. 즉 상기 PNEQ 플래그는 도 8에서 보인 바와 같이 하나의 바이트에 PNEQ Flag1과 PNEQ Flag0의 두 비트에 해당하는 정보를 포함한다.

[0097] 이때 상기 도 5b의 ATSC 데이터 랜덤라이저(112)를 거친 187 바이트의 데이터는 ATSC RS 부호기(113)로 입력된다. 상기 ATSC RS 부호기(113)에서는 187바이트의 데이터에 20바이트의 패리티를 추가하여 ATSC 데이터 인터리

버(114)로 출력한다. 이때 상기 ATSC RS 부호기(113)로 입력되는 패킷이 인헨스드 패킷이라면 상기 도 1의 E8-VSB 심볼 처리기(116)에서 데이터를 변화시키고 다시 계산된 RS 패리티로 바꾸기 때문에, E8-VSB 심볼 단위에서 다음에 오는 인헨스드 심볼의 극성을 반전시키는 요인이 된다. 그러므로 도 5a의 플립 플래그(Flip Flag) 발생부(508)에서는 상기 데이터 렌더마이저(507)에서 출력하는 187 바이트 패킷의 각 바이트에 해당하는 1비트의 M/E 플래그, 1비트의 H/Q 플래그, 2비트의 PNEQ 플래그를 입력받아 데이터 인터리버(509)로 출력하고, 이 속성 정보에 20바이트의 RS 패리티가 메인 바이트임을 알리는 20비트의 M/E 플래그를 추가한다. 이때 20바이트의 RS 패리티 구간에서는 H/Q 플래그나 PNEQ 플래그는 의미를 갖지 아니므로 임의의 값을 출력해도 무방하다. 또한, 상기 플립 플래그 발생부(508)는 입력된 패킷이 인헨스드 패킷인 경우 패리티 20바이트가 심볼의 극성을 바꿀 수 있으므로 이의 시점을 알려주는 Flip 플래그를 상기 데이터 인터리버(509)로 출력한다.

[0098] 즉 도 5a의 플립 플래그 발생부(509)에서는 Flip 플래그 1 비트를 추가하여 바이트당 총 4가지 종류(또는 총 5 비트)의 속성 정보를 출력한다. 그런데 Flip 시점은 항상 인헨스드 패킷에 더해진 ATSC RS 패리티 바이트 구간이므로 메인 데이터의 속성을 가진다. 그리고 H/Q 플래그는 메인 데이터 구간에서는 의미가 없으므로 Flip 플래그와 H/Q 플래그는 비트를 공유할 수 있다. 즉 1비트에 대해서 M/E 플래그가 메인 바이트임을 가리키면 Flip 플래그로 사용하고, 인헨스드 바이트이면 H/Q 플래그로 사용할 수 있다.

[0099] 그리고 도 5b의 ATSC 데이터 인터리버(114)는 도 5a의 데이터 인터리버(509)와 대응된다. 이때 도 5b의 ATSC 데이터 인터리버(114)가 바이트 단위의 데이터를 입력받아 바이트 단위의 데이터를 출력한다. 이에 반해 도 5a의 데이터 인터리버(509)는 하나의 바이트에 해당하는 네 가지 종류의 속성 정보(M/E 플래그, H/Q 플래그, PNEQ 플래그, Flip 플래그)들을 플립 플래그 발생부(508)로부터 입력받아 인터리빙을 수행한 후 그 속성 정보들을 출력한다.

[0100] 이때 상기 도 5b의 ATSC 데이터 인터리버(114)에서 인터리빙된 데이터 바이트들은 바이트-심볼 변환기(115)를 통해서 한 바이트가 2비트씩 네 심볼로 나뉘어 12-way 심볼 인터리빙된 후, E8-VSB 심볼 처리기(116)로 입력된다. 그러므로 이에 대응하는 도 5a의 바이트-심볼 변환부(510)는 데이터 인터리버(509)로부터 바이트 당 네 가지 종류의 속성 정보를 입력받아 심볼로 나누고 12-way 심볼 인터리빙을 수행한 후, 최종 E8-VSB 심볼 속성 정보를 출력한다. 즉 상기 바이트-심볼 변환부(510)로 입력되는 속성 정보는 매 바이트마다 M/E 플래그, H/Q 플래그, PNEQ 플래그, Flip 플래그의 네 가지이고, 이 중에서 PNEQ 플래그는 도 8에서 보인 바와 같이 하나의 바이트에 PNEQ Flag1과 PNEQ Flag0의 두 비트에 해당하는 정보를 포함한다.

[0101] 상기 바이트-심볼 변환부(510)에서 출력하는 하나의 바이트 단위의 속성에 대해 변환된 네 심볼의 속성은 바이트 속성을 그대로 이어받아 모두 같은 M/E 플래그, H/Q 플래그, Flip 플래그를 가지고, PNEQ 플래그는 바이트 내에서 자신의 심볼의 위치에 해당하는 PNEQ 플래그에 대한 속성을 갖는다. 즉, 도 8의 렌더마이징 결과에 대한 바이트가 심볼3, 심볼2, 심볼1, 심볼0으로 변환될 때, 심볼3과 심볼1의 PNEQ 플래그는 PNEQ Flag1의 값을 가지고, 심볼2와 심볼0의 PNEQ 플래그는 PNEQ Flag0의 값을 가진다.

[0102] 이와 같이 상기된 도 5a의 E8-VSB 데이터 속성 장치에서는 인헨스드 패킷 속성 정보와 M/E 패킷 속성 정보, E8-VSB 심볼 속성 정보, 그리고 인헨스드 바이트 속성 정보를 함께 E8-VSB 수신 시스템을 위한 E8-VSB 데이터 속성 정보라 한다.

[0103] 상기된 E8-VSB 데이터 속성 장치에서 발생하는 E8-VSB 데이터 속성 정보는 채널 등화부와 채널 복호기로 출력된다. 즉 상기 E8-VSB 데이터 속성 발생 장치의 인헨스드 패킷 다중화기(501)에서 출력되는 인헨스드 패킷 속성 정보, 비트 확장부(504)에서 출력되는 인헨스드 바이트 속성 정보, M/E 패킷 다중화기(506)에서 출력되는 M/E 패킷 속성 정보, 그리고 바이트-심볼 변환부(510)에서 출력되는 E8-VSB 심볼 속성 정보가 채널 등화부와 채널 복호기로 입력된다.

[0104] 도 9는 본 발명의 제1 실시예에 따른 E8-VSB 수신 시스템의 채널 복호 장치의 구성 블록도로서, 메인 데이터 외에 인헨스드 데이터를 수신하기 위해서 별도의 데이터 경로가 존재한다.

[0105] 도 9를 보면, 등화된 심볼을 입력받아 메인 데이터(Main MPEG packets)를 복호하는 메인 데이터 복호부(600)와, 인헨스드 데이터를 분리하여 복호한 후 다시 1/2 인헨스드 데이터(1/2 인헨스드 MPEG packets)와 1/4 인헨스드 데이터(1/4 인헨스드 MPEG packets)로 분리하는 인헨스드 데이터 복호부(650)로 구성된다.

[0106] 즉, 상기 메인 데이터 복호부(600)의 기본 구성은 기존의 8VSB 채널 복호기와 거의 동일하다. 그리고 상기 메인 데이터 복호부(600)로 입력된 심볼이 메인 심볼인 경우 E8-VSB 데이터 속성 발생장치에서 E8-VSB 데이터 속성 정보를 통해 메인 심볼이라고 알려주기 때문에 상기 메인 데이터 복호부(600)는 기존의 8VSB 채널 복호기 방식

의 경로를 따라 메인 심볼을 수신할 수 있다.

- [0107] 그런데 E8-VSB 심볼의 경우에는 메인 데이터와 인헨스드 데이터가 다중화되어 있으므로, 이로 인해 채널 복호 장치에 몇 가지 변화가 생긴다. 즉 비터비 복호기에서 입력된 심볼의 속성을 기준으로 각 속성에 맞는 비터비 복호를 수행해야 하고, RS 복호기와 디랜더마이저에서 패킷의 속성에 맞게 동작해야 하며, 인헨스드 데이터를 위한 별개의 데이터 경로가 존재해야 한다는 것이다.
- [0108] 이를 위해 상기 메인 데이터 복호부(600)는 E8-VSB 비터비 복호기(decoder)(601), 심볼-바이트 변환부(602), 데이터 바이트 디인터리버(603), RS 복호기(604), 및 데이터 디랜더마이저(605)가 순차적으로 구성된다.
- [0109] 상기 인헨스드 데이터 복호부(650)는 인헨스드 데이터를 복호하기 위한 데이터 경로로서, 상기 데이터 디랜더마이저(605)의 출력을 입력받는 메인 패킷 제거부(651), MPEG 헤더 제거부(652), 널 비트 제거부(653), 인헨스드 데이터 디인터리버(654), 인헨스드 RS 복호기(655), 인헨스드 패킷 역다중화부(656), 및 두 개의 164-to-188 패킷 변환부(657, 658)가 순차적으로 구성된다.
- [0110] 즉, 도 9의 E8-VSB 수신 시스템의 채널 복호 장치에서는 메인 데이터와 1/2 인헨스드 데이터, 1/4 인헨스드 데이터를 모두 복호하고 역다중화할 수 있다.
- [0111] 이때 상기 E8-VSB 데이터 속성 발생 장치에서 발생된 M/E 패킷 속성 정보는 RS 복호기(604), 데이터 디랜더마이저(605), 및 메인 패킷 제거부(651)로 입력되어, 상기 RS 복호기(604)와 데이터 디랜더마이저(605), 그리고 메인 패킷 제거부(651)에서 현재 패킷이 메인 패킷인지 인헨스드 패킷인지 구분할 수 있게 한다.
- [0112] 상기 인헨스드 패킷 속성 정보는 인헨스드 패킷 역다중화부(656)로 입력되어, 상기 인헨스드 패킷 역다중화부(656)에서 현재 인헨스드 패킷이 1/2 인헨스드 패킷인지 1/4 인헨스드 패킷인지 구분하여 역다중화할 수 있게 한다.
- [0113] 상기 인헨스드 바이트 속성 정보는 널 비트 제거부(654)로 입력되어, 상기 널 비트 제거부(654)에서 입력되는 바이트가 1/2 인헨스드 바이트인지 1/4 인헨스드 바이트인지 구분하고 의미없는 비트를 제거하여 의미있는 비트들로만 구성된 인헨스드 바이트를 구성할 수 있도록 한다.
- [0114] 상기 E8-VSB 심볼 속성 정보는 E8-VSB 비터비 복호기(601)로 입력되어, 상기 E8-VSB 비터비 복호기(601)에서 입력되는 심볼을 복호할 수 있도록 한다. 상기 E8-VSB 심볼 속성 정보는 매 심볼마다 메인 심볼인지 인헨스드 심볼인지를 알려주는 속성 정보(M/E 플래그), 인헨스드 심볼의 경우 1/2 인헨스드 심볼인지 1/4 인헨스드 심볼인지를 알려주는 속성 정보(H/Q 플래그), 현재 심볼 다음에 오는 인헨스드 심볼의 극성이 바뀔 수 있는지를 알려주는 속성 정보(Flip 플래그), 1/4 인헨스드 심볼의 경우 반복된 심볼간에 부호가 같은지를 알려주는 속성 정보(PNEQ Flag)를 포함한다.
- [0115] 이와 같이 구성된 본 발명의 제1 실시예에 따른 채널 복호 장치의 동작을 보면 다음과 같다. 이때 상기 채널 복호 장치가 적용되는 E8-VSB 수신 시스템은 상기된 도 4를 이용하는 것을 실시예로 한다.
- [0116] 즉 채널 등화부(406)에서 등화된 E8-VSB 심볼과 E8-VSB 데이터 속성 발생부(405)에서 도 5a와 같이 발생한 E8-VSB 심볼 속성 정보가 동기되어 E8-VSB 비터비 복호기(601)로 입력된다.
- [0117] 이때, 상기 E8-VSB 비터비 복호기(601)로 입력되는 등화된 심볼에는 메인 심볼과 인헨스드 심볼이 섞여 있으므로, 상기 E8-VSB 비터비 복호기(601)는 E8-VSB 심볼 속성 정보에 의해 메인 심볼과 인헨스드 심볼을 구분하고 구분된 심볼 속성에 맞게 비터비 디코딩을 수행한다. 이때 상기 E8-VSB 비터비 복호기(601)에서 비터비 복호 과정 중에 결정(decision)된 값은 상기 채널 등화부(406)로 피드백된다.
- [0118] 그리고 상기 E8-VSB 비터비 복호기(602)에서 비터비 복호가 이루어진 심볼은 심볼-바이트 변환부(602)로 입력되어 12-way 디인터리빙이 수행된 후 바이트 단위로 변환된다. 변환된 바이트 단위의 데이터는 데이터 바이트 디인터리버(603)로 입력되어 디인터리빙이 수행된 후 패킷 단위로 출력된다. 상기 데이터 바이트 디인터리버(603)에서 출력되는 패킷 데이터는 RS 복호기(604)로 입력된다.
- [0119] 상기 RS 복호기(604)에서는 디인터리빙된 데이터로 구성되는 207 바이트 단위의 패킷과 M/E 패킷 속성 정보를 입력받아, 현재 패킷이 메인 패킷이면 RS 복호를 수행하고, 인헨스드 패킷이면 RS 패리티 바이트를 제거한 후 187 바이트의 데이터 패킷을 데이터 디랜더마이저(605)로 출력한다. 즉 현재 패킷이 메인 패킷인지, 인헨스드 패킷인지는 M/E 속성 정보를 통해 알 수 있다.
- [0120] 상기 데이터 디랜더마이저(605)는 187 바이트 단위의 데이터 패킷에 대해 디랜더마이징을 수행한 후 MPEG 동기

바이트를 추가하여 188바이트의 MPEG 패킷(Main MPEG packets)을 출력한다.

- [0121] 이때 상기 데이터 디랜더마이저(605)는 인헨스드 패킷인 경우 디랜더마이징된 데이터에 대해 E8-VSB 송신 시스템에서 부가된 MPEG 헤더 대신에 널 패킷 PID를 가지는 헤더를 대체하여 출력할 수 있다. 이렇게 하는 이유는 수신된 MPEG 헤더 데이터에 전송 과정에서 에러가 발생할 수 있는데, 인헨스드 패킷의 헤더 값은 이미 알고 있기 때문이다. 그러므로 E8-VSB 수신 시스템에서 전송한 바와 같이 헤더 값을 대체하면 에러를 없앨 수 있다.
- [0122] 이를 위해 상기 데이터 디랜더마이저(605)는 E8-VSB 데이터 속성 발생 장치에서 M/E 패킷 속성 정보를 입력받아 메인 패킷과 인헨스드 패킷을 구분한다.
- [0123] 그리고 상기 데이터 디랜더마이저(605)에서 출력되는 188바이트 단위의 MPEG 패킷은 E8-VSB 송신 시스템에서 전송한 메인 패킷과 인헨스드 패킷으로 이루어지는데, 상기 인헨스드 패킷의 경우 널 MPEG 헤더를 가지므로 MPEG 디코더에서 무시되고 메인 패킷에 대한 처리만 이루어질 수 있다.
- [0124] 또한 인헨스드 패킷의 올바른 복호를 위해서 상기 데이터 디랜더마이저(605)에서 출력되는 188바이트 단위의 MPEG 패킷은 인헨스드 데이터 복호부(650)의 메인 패킷 제거부(651)로도 입력된다.
- [0125] 상기 메인 패킷 제거부(651)에서는 M/E 패킷 속성 정보를 이용하여 입력된 188바이트 단위의 MPEG 패킷에서 메인 패킷을 제거하고, 인헨스드 패킷만을 선택하여 MPEG 헤더 제거부(652)로 출력한다. 상기 MPEG 헤더 제거부(652)는 입력되는 188바이트 단위의 인헨스드 패킷 중 가장 앞에 위치하는 4바이트의 헤더를 제거하고 184바이트 단위의 데이터 패킷을 널 비트 제거부(653)로 출력한다.
- [0126] 상기 널 비트 제거부(653)는 인헨스드 바이트 속성 정보를 이용하여 상기 MPEG 헤더 제거부(652)에서 출력되는 바이트가 1/2 인헨스드 바이트인지 또는 1/4 인헨스드 바이트인지를 구분한다. 이어 구분된 인헨스드 바이트에 따라 도6, 도7과 같이 의미없는 비트를 제거하여 의미있는 비트만으로 구성된 데이터 바이트를 인헨스드 데이터 디인터리버(654)로 출력한다. 즉 1/2 인헨스드 바이트인 경우에는 널 비트를 제거하여 2바이트를 한 바이트로 출력한다. 또한 1/4 인헨스드 바이트인 경우에는 반복된 비트와 널 비트를 제거하여 4바이트를 한 바이트로 출력한다.
- [0127] 상기 인헨스드 데이터 디인터리버(654)는 상기 널 비트가 제거된 바이트에 대해 바이트 단위로 디인터리빙을 수행한 후 184 바이트 단위의 패킷으로 구성하여 인헨스드 RS 복호기(655)로 출력한다.
- [0128] 상기 인헨스드 RS 복호기(655)는 184바이트 단위의 데이터 패킷에 대해 인헨스드 RS 복호를 한 후, 164 바이트 단위의 인헨스드 패킷을 인헨스드 패킷 역다중화부(656)로 출력한다.
- [0129] 상기 인헨스드 패킷 역다중화부(656)는 인헨스드 패킷 속성 정보를 이용하여 상기 인헨스드 RS 복호된 데이터를 164 바이트 단위의 1/2 인헨스드 데이터 패킷과 1/4 인헨스드 데이터 패킷으로 분리한다. 상기 분리된 1/2 인헨스드 데이터 패킷은 제1 패킷 변환부(657)로 출력되고, 1/4 인헨스드 데이터 패킷은 제2 패킷 변환부(658)로 출력된다.
- [0130] 상기 제1 패킷 변환부(657)는 164바이트 단위의 패킷으로 입력되는 1/2 인헨스드 데이터 패킷을 데이터에 포함된 MPEG 동기 바이트를 이용하여 동기를 맞추고 데이터 변경없이 188바이트 단위의 1/2 인헨스드 데이터 패킷으로 나누어 출력한다(1/2 Enhanced MPEG packets). 상기 제2 패킷 변환부(658)는 164바이트 단위의 패킷으로 입력되는 1/4 인헨스드 데이터 패킷을 데이터에 포함된 MPEG 동기 바이트를 이용하여 동기를 맞추고 데이터 변경없이 188바이트 단위의 1/4 인헨스드 데이터 패킷으로 출력한다(1/4 Enhanced MPEG packets).
- [0131] 도 10은 본 발명의 제2 실시예에 따른 E8-VSB 수신 시스템의 채널 복호 장치의 구성 블록도로서, 메인 데이터와 인헨스드 데이터의 채널 복호 과정을 처음부터 분리하여 독립적으로 채널 복호를 수행하는 점이 상기된 제1 실시예와 다르다.
- [0132] 즉 도 10의 채널 복호 장치는 메인 데이터 전용 복호부(700)와 인헨스드 데이터 전용 복호부(750)로 구성된다.
- [0133] 이때 상기 메인 데이터 전용 복호부(700)는 기존 ATSC 8VSB 수신기에서 사용하는 채널 복호기와 동일하며, 등화되어 입력되는 심볼을 모두 메인 심볼인 것으로 간주하고 채널 복호를 수행한다.
- [0134] 즉 상기 메인 데이터 전용 복호부(700)는 등화된 심볼로부터 메인 데이터를 복호하기 위한 데이터 경로로서, 메인 전용 비터비 복호기(701), 심볼-바이트 변환부(702), 데이터 바이트 디인터리버(703), RS 복호기(704), 및 데이터 디랜더마이저(705)가 순차적으로 구성되어, 채널 복호된 메인 MPEG 패킷(Main MPEG packets)을 출력한다.

- [0135] 상기 인헨스드 데이터 전용 복호부(750)는 등화된 심볼로부터 인헨스드 데이터를 복호하기 위한 데이터 경로로서, 인헨스드 전용 비터비 복호기(751), 심볼-바이트 변환부(752), 데이터 바이트 디인터리버(753), RS 패리티 제거부(754), 데이터 디랜더마이저(755), 메인 패킷 제거부(756), MPEG 헤더 제거부(757), 널 비트 제거부(758), 인헨스드 데이터 디인터리버(759), 인헨스드 RS 복호기(760), 인헨스드 패킷 역다중화부(761), 및 두 개의 164-to-188 패킷 변환부(762,763)가 순차적으로 구성되어, 채널 복호된 1/2 인헨스드 MPGE 패킷 데이터(Enhanced 1/2 MPEG packets)와 1/4 인헨스드 MPEG 패킷 데이터(Enhanced 1/4 MPEG packets)를 출력한다.
- [0136] 이때 상기 인헨스드 데이터 전용 복호부(750)는 상기된 도 5a의 E8-VSB 데이터 속성 발생 장치에서 발생된 인헨스드 패킷 속성 정보, 인헨스드 바이트 속성 정보, M/E 패킷 속성 정보, 그리고 E8-VSB 심볼 속성 정보를 입력 받는다.
- [0137] 즉 상기 M/E 패킷 속성 정보는 메인 패킷 제거부(756)로 입력되어, 메인 패킷 제거부(756)에서 현재 패킷이 메인 패킷인지 인헨스드 패킷인지 구분할 수 있게 한다.
- [0138] 상기 인헨스드 패킷 속성 정보는 인헨스드 패킷 역다중화부(761)로 입력되어, 상기 인헨스드 패킷 역다중화부(761)에서 현재 인헨스드 패킷이 1/2 인헨스드 패킷인지 1/4 인헨스드 패킷인지 구분하여 역다중화할 수 있게 한다.
- [0139] 상기 인헨스드 바이트 속성 정보는 널 비트 제거부(758)로 입력되어, 상기 널 비트 제거부(758)에서 입력되는 바이트가 1/2 인헨스드 바이트인지 1/4 인헨스드 바이트인지 구분하고 의미없는 비트를 제거하여 의미있는 비트들로만 구성된 인헨스드 바이트를 구성할 수 있도록 한다.
- [0140] 상기 E8-VSB 심볼 속성 정보는 인헨스드 전용 비터비 복호기(751)로 입력되어, 상기 인헨스드 전용 비터비 복호기(751)에서 입력되는 심볼을 심볼 속성에 맞게 복호할 수 있도록 한다.
- [0141] 상기와 같이 구성된 인헨스드 데이터 전용 복호부(750)는 등화된 E8-VSB 심볼과 그 심볼의 속성 정보를 입력받아 인헨스드 심볼만을 복호한다. 즉 메인 심볼은 복호하지 않고 인헨스드 심볼만을 복호하면 메인 심볼이 인헨스드 심볼에 주는 성능 저하를 최소화할 수 있으므로, 인헨스드 심볼의 복호 성능을 최대화할 수 있다.
- [0142] 이때 상기 인헨스드 전용 비터비 복호기(751)의 출력 이후의 처리 과정은 상기된 제1 실시예와 거의 동일하므로 상세 설명을 생략한다. 단지 RS 복호기 대신에 RS 패리티 제거부(754)를 사용한다는 점이 상기된 제1 실시예와 다르다. 이것은 인헨스드 전용 데이터 복호기(751)에서는 메인 패킷을 복호하지 않기 때문이다.
- [0143] 그리고 제2 실시예에서도 데이터 디랜더마이저(755)는 디랜더마이징된 데이터에 대해 E8-VSB 송신 시스템에서 부가된 MPEG 헤더 대신에 널 패킷 PID를 가지는 헤더를 대체하여 출력할 수 있다.
- [0144] 한편 도 10의 인헨스드 데이터 전용 복호기(750)의 구조에서 E8-VSB 심볼은 2비트로 구성이 되는데, 인헨스드 심볼의 경우 상위 비트에만 유의미한 정보가 있다. 그러므로 심볼-바이트 변환부(752)에서 바이트를 구성할 때 하위 비트는 포함시키지 않고 바이트를 구성할 수 있다. 즉, 8비트의 바이트가 아니라 4비트의 바이트를 출력하는 것이다. 이것은 데이터 바이트 디인터리버(753)를 구현하는 데 필요한 메모리의 크기를 절반으로 줄일 수 있다는 것을 의미한다. 이 경우에 데이터 디랜더마이저(755)의 동작은 도 8의 랜더마이징 바이트 중에서 r7, r5, r3, r1 만을 사용하여 데이터 디랜더마이징을 수행한다.
- [0145] 또한 상기 심볼-바이트 변환부(752)에서 이미 널 비트(심볼을 구성하는 하위 비트)가 제거되었기 때문에, 널 비트 제거부(758)에서는 입력된 바이트가 1/2 인헨스드 바이트인 경우에는 두 개의 입력을 모아서 1개의 유의미한 1/2 인헨스드 바이트를 구성하고, 1/4 인헨스드 바이트의 경우에는 반복된 비트 중 하나를 제거하고 이러한 것을 4개 모아서 유의미한 1/4 인헨스드 바이트를 구성한다.
- [0146] 도 11은 본 발명의 제3 실시예에 따른 E8-VSB 수신 시스템의 채널 복호 장치의 구성 블록도로서, 등화된 심볼을 입력받아 채널 복호를 수행하는 메인 데이터 복호부(800)와, 인헨스드 데이터를 분리하여 복호한 후 다시 1/2 인헨스드 데이터와 1/4 인헨스드 데이터로 분리하는 인헨스드 데이터 복호부(850)로 구성된다.
- [0147] 상기 메인 데이터 복호부(800)는 E8-VSB 비터비 복호기(801), 심볼-바이트 변환부(802), 데이터 바이트 디인터리버(803), RS 복호기(804), 및 데이터 디랜더마이저(805)가 순차적으로 구성되어, 채널 복호된 MPEG 패킷을 출력한다.
- [0148] 상기 인헨스드 데이터 복호부(850)는 상기 데이터 바이트 디인터리버(803)의 출력을 입력받는 RS 패리티 제거부(851), 데이터 디랜더마이저(852), 널 비트 제거부(853), 인헨스드 데이터 디인터리버(854), 인헨스드 RS 복호

기(855), 인헨스드 패킷 역다중화부(856), 및 두 개의 164-to-188 패킷 변환부(857,858)가 순차적으로 구성되어, 채널 복호된 1/2 인헨스드 MPGE 패킷 데이터(Enhanced 1/2 MPEG packets)와 1/4 인헨스드 MPEG 패킷 데이터(Enhanced 1/4 MPEG packets)를 출력한다.

- [0149] 이와 같이 구성된 본 발명의 제3 실시예의 채널 복호 장치가 상기된 제1 실시예와 다른 점은 인헨스드 데이터 복호부(850)는 데이터 바이트 디인터리버(803)의 출력을 입력받아 인헨스드 데이터를 복호하는 것이다. 그리고 널 비트 제거부(853)에서 M/E 패킷 속성 정보를 이용하여 메인 패킷을 제거하고 또한, 인헨스드 바이트 속성 정보를 이용하여 인헨스드 패킷 내 바이트에서 의미없는 비트를 제거하여 의미있는 비트만으로 인헨스드 데이터를 구성하는 것이다.
- [0150] 이때 상기 메인 및 인헨스드 데이터 복호부(800,850)는 상기된 도 5a의 E8-VSB 데이터 속성 발생 장치에서 발생된 인헨스드 패킷 속성 정보, 인헨스드 바이트 속성 정보, M/E 패킷 속성 정보, 그리고 E8-VSB 심볼 속성 정보를 입력받는다.
- [0151] 즉 상기 M/E 패킷 속성 정보와 인헨스드 바이트 속성 정보는 널 비트 제거부(853)로 입력되어, 상기 널 비트 제거부(853)에서 현재 패킷이 메인 패킷인지 인헨스드 패킷인지 구분하여 메인 패킷을 제거할 수 있게 한다. 그리고 인헨스드 패킷 내 바이트가 1/2 인헨스드 바이트인지 1/4 인헨스드 바이트인지 구분하여 의미없는 비트를 제거하고 의미있는 비트들만으로 구성된 인헨스드 바이트를 구성할 수 있도록 한다.
- [0152] 상기 인헨스드 패킷 속성 정보는 인헨스드 패킷 역다중화부(856)로 입력되어, 상기 인헨스드 패킷 역다중화부(856)에서 현재 인헨스드 패킷이 1/2 인헨스드 패킷인지 1/4 인헨스드 패킷인지 구분하여 역다중화할 수 있게 한다.
- [0153] 상기 E8-VSB 심볼 속성 정보는 E8-VSB 비터비 복호기(801)로 입력되어, 상기 E8-VSB 비터비 복호기(801)에서 입력되는 심볼을 E8-VSB 심볼 속성에 맞게 비터비 복호할 수 있도록 한다.
- [0154] 상기 E8-VSB 비터비 복호기(801)에서 비터비 복호 과정 중에 결정(decision)된 값은 상기 채널 등화부(406)로 피드백된다.
- [0155] 그리고 상기 E8-VSB 비터비 복호기(802)에서 비터비 복호가 이루어진 심볼은 심볼-바이트 변환부(802)로 입력되어 12-way 디인터리빙이 수행된 후 바이트 단위로 변환된다. 변환된 바이트 단위의 데이터는 데이터 바이트 디인터리버(803)로 입력되어 디인터리빙이 수행된 후 패킷 단위로 출력된다.
- [0156] 상기 데이터 바이트 디인터리버(803)에서 출력되는 패킷 데이터는 RS 복호기(804)와 인헨스드 데이터 복호부(850)의 RS 패리티 제거부(851)로 입력된다.
- [0157] 상기 RS 복호기(804)는 상기 데이터 바이트 디인터리버(803)에서 출력되는 데이터 패킷에 대해 RS 복호를 수행하여 187 바이트의 데이터 패킷을 데이터 디랜더마이저(805)로 출력한다. 상기 데이터 디랜더마이저(805)는 187 바이트 단위의 데이터 패킷에 대해 디랜더마이징을 수행한 후 MPEG 동기 바이트를 추가하여 188바이트의 MPEG 패킷(Main MPEG packets)을 출력한다. 상기 데이터 디랜더마이저(805)에서 출력되는 MPEG 패킷에는 메인 패킷과 인헨스드 패킷이 포함되어 있지만, 상기 인헨스드 패킷의 경우 널 MPEG 헤더를 가지므로 메인 데이터용 MPEG 디코더에서 무시된다.
- [0158] 한편 상기 인헨스드 데이터 복호부(850)의 RS 패리티 제거부(851)는 상기 데이터 바이트 디인터리버(803)에서 출력되는 207 바이트 단위의 패킷 데이터에서 RS 패리티 바이트를 제거한 후 187바이트 단위의 데이터 패킷을 데이터 디랜더마이저(852)로 출력한다.
- [0159] 상기 데이터 디랜더마이저(852)는 187바이트 단위의 데이터 패킷에 대해 디랜더마이징을 수행한 후 MPEG 동기 바이트를 추가하여 188바이트의 데이터 패킷을 널 비트 제거부(853)로 출력한다.
- [0160] 상기 널 비트 제거부(853)는 상기 M/E 패킷 속성 정보를 이용하여 데이터 디랜더마이저(852)에서 출력되는 188 바이트 단위의 데이터 패킷이 메인 패킷인지, 인헨스드 패킷인지를 구분하여, 메인 패킷이면 버린다. 그리고 인헨스드 패킷이면 메인 데이터에 해당하는 맨 앞의 4 바이트의 데이터를 버리고, 나머지 184 바이트의 데이터에 대해서 인헨스드 바이트 속성 정보를 이용하여 상기 인헨스드 패킷 내 바이트가 1/2 인헨스드 바이트인지 1/4 인헨스드 바이트인지 구분하여 도6 또는 도7과 같이 그에 해당하는 의미없는 비트를 제거하고 의미있는 비트들로 재구성한 후 인헨스드 데이터 디인터리버(854)로 출력한다.
- [0161] 이후의 과정은 상기된 제1 실시예와 동일하므로 상세 설명을 생략한다.

[0162] 한편, 본 발명에서 사용되는 용어(terminology)들은 본 발명에서의 기능을 고려하여 정의 내려진 용어들로써 이는 당분야에 종사하는 기술자의 의도 또는 관례 등에 따라 달라질 수 있으므로 그 정의는 본 발명의 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0163] 본 발명을 상술한 실시예에 한정되지 않으며, 첨부된 청구범위에서 알 수 있는 바와 같이 본 발명이 속한 분야의 통상의 지식을 가진 자에 의해 변형이 가능하고 이러한 변형은 본 발명의 범위에 속한다.

발명의 효과

[0164] 상기에서 설명한 본 발명에 따른 E8-VSB 수신 시스템, 데이터 속성 발생 장치 및 방법 그리고 채널 복호 장치 및 방법의 효과를 설명하면 다음과 같다.

[0165] 첫째, 기존의 ATSC 8VSB 시스템과 호환 가능한 새로운 E8-VSB 수신 시스템의 채널 복호 장치에서 메인 데이터와 1/2 인헨스드 데이터 그리고 1/4 인헨스드 데이터를 모두 복호할 수 있다.

[0166] 둘째, E8-VSB 데이터 속성 발생 장치에서 E8-VSB 데이터에 대한 속성 정보를 생성함으로써, 채널 복호 장치에서 메인 데이터와 1/2 인헨스드 데이터 그리고 1/4 인헨스드 데이터를 구분할 수 있도록 한다. 또한 속성 정보를 채널 등화에 이용함으로써, 등화기의 성능을 향상시킬 수 있다. 이로 인해 E8-VSB 수신 시스템의 성능을 향상시킬 수 있다.

[0167] 이때 상기 E8-VSB 데이터 속성 발생 장치는 메인 패킷과 인헨스드 패킷을 구분할 수 있도록 하는 M/E 패킷 속성 정보, 및 인헨스드 패킷이 1/2 인헨스드 패킷인지 1/4 인헨스드 패킷인지를 구분할 수 있도록 하는 인헨스드 패킷 속성 정보를 생성한다. 또한 인헨스드 패킷 내 바이트가 1/2 인헨스드 바이트인지 1/4 인헨스드 바이트인지를 구분할 수 있도록 하는 인헨스드 바이트 속성 정보, 및 심볼 단위로 데이터 속성을 구분할 수 있도록 하는 E8-VSB 심볼 속성 정보를 생성한다. 상기 E8-VSB 심볼 속성 정보는 매 심볼마다 메인 심볼인지 인헨스드 심볼인지를 알려주는 속성 정보, 인헨스드 심볼의 경우 1/2 인헨스드 심볼인지 1/4 인헨스드 심볼인지를 알려주는 속성 정보, 현재 심볼 다음에 오는 인헨스드 심볼의 극성이 바뀔 수 있는지를 알려주는 속성 정보, 및 1/4 인헨스드 심볼의 경우 반복된 심볼 간에 부호가 같은지를 알려주는 속성 정보를 포함한다.

[0168] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

[0169] 따라서, 본 발명의 기술적 범위는 실시예에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정해져야 한다.

도면의 간단한 설명

[0001] 도 1은 본 발명에 따른 E8-VSB 송신 시스템을 나타낸 구성 블록도

[0002] 도 2는 도 1의 메인 및 인헨스드 다중화 패킷 처리기의 상세 블록도

[0003] 도 3은 본 발명의 일 실시예에 따른 E8-VSB 수신 시스템을 나타낸 구성 블록도

[0004] 도 4는 본 발명의 다른 실시예에 따른 E8-VSB 수신 시스템을 나타낸 구성 블록도

[0005] 도 5a는 본 발명에 따른 E8-VSB 데이터 속성 발생 장치의 일 실시예를 나타낸 구성 블록도

[0006] 도 5b는 도 5a의 E8-VSB 데이터 속성 발생의 이해를 돕기 위한 E8-VSB 송신 시스템의 관련 블록도

[0007] 도 6의 (a),(b)는 본 발명에 따른 1/2 인헨스드 데이터의 바이트 확장 및 제거 예를 보인 도면

[0008] 도 7의 (a),(b)는 본 발명에 따른 1/4 인헨스드 데이터의 바이트 확장 및 제거 예를 보인 도면

[0009] 도 8은 본 발명에 따른 E8-VSB 데이터 속성 정보 중 하나의 1/4 인헨스드 바이트를 위한 PNEQ 플래그 생성 과정을 설명한 도면

[0010] 도 9는 본 발명의 제1 실시예에 따른 E8-VSB 채널 복호 장치의 구성 블록도

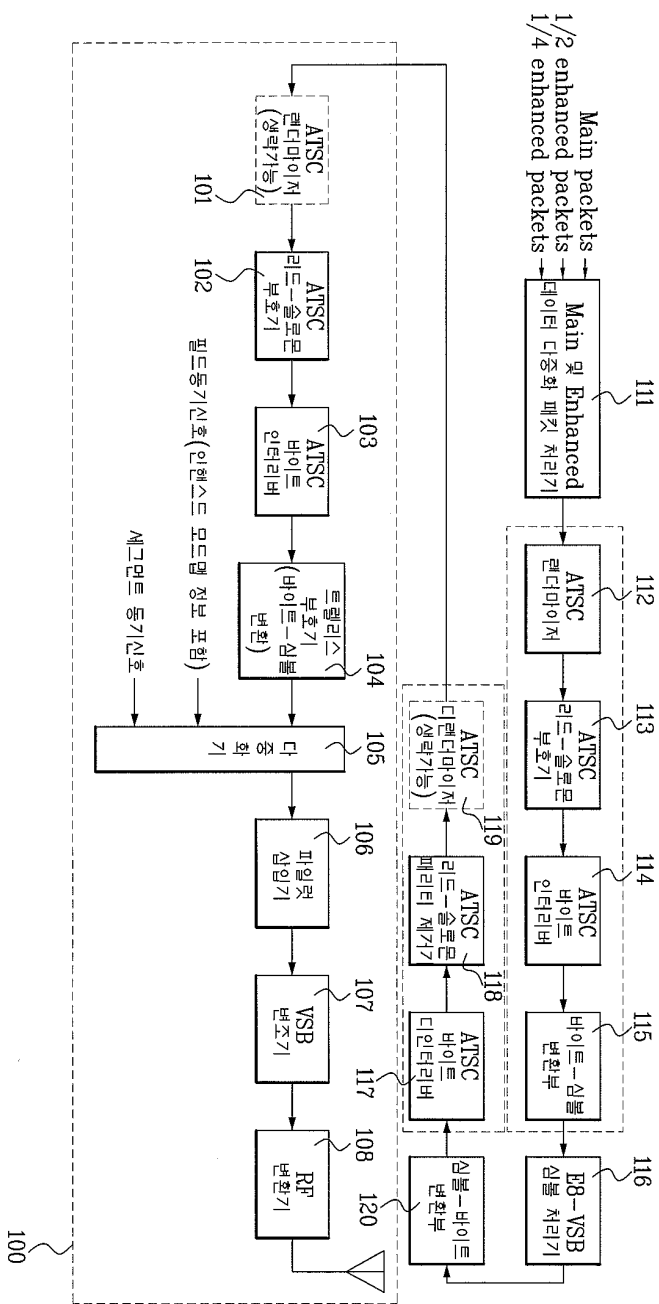
[0011] 도 10은 본 발명의 제2 실시예에 따른 E8-VSB 채널 복호 장치의 구성 블록도

[0012] 도 11은 본 발명의 제3 실시예에 따른 E8-VSB 채널 복호 장치의 구성 블록도

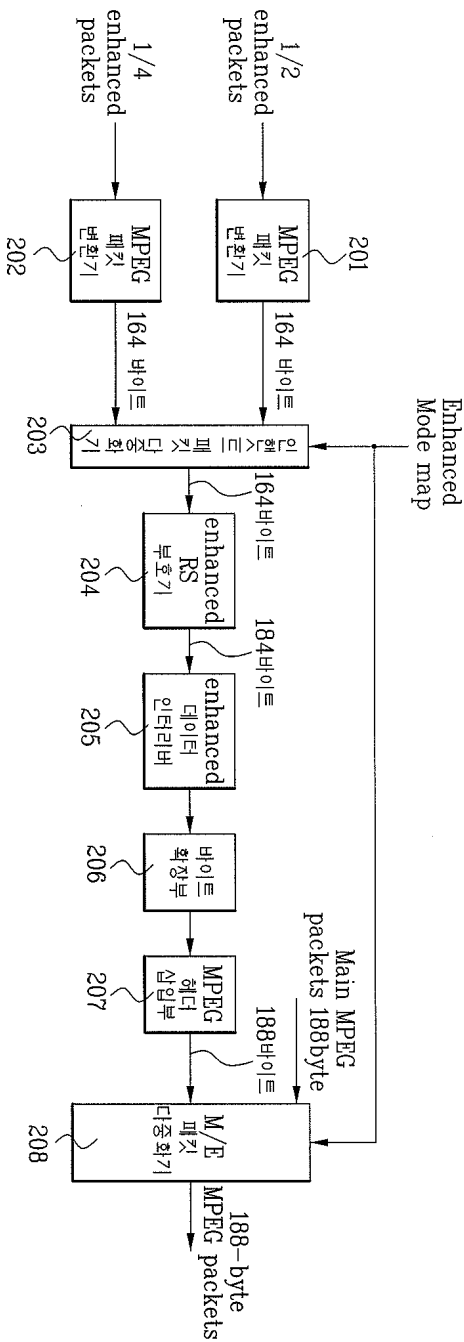
[0013]	도면의 주요부분에 대한 부호의 설명	
[0014]	401 : 튜너	402 : 복조부
[0015]	403 : 프레임 동기 복구부	404 : 맵 정보 복구부
[0016]	405 : 데이터 속성 발생부	406 : 채널 등화부
[0017]	407 : 채널 복호부	501 : 인핸스드 패킷 다중화기
[0018]	502 : 비트 반복부	503 : 비트 인터리버
[0019]	504 : 비트 확장부	505 : 메인 플래그 삽입부
[0020]	506 : M/E 패킷 다중화기	507 : 데이터 랜더마이저
[0021]	508 : 플립 플래그 발생부	509 : 데이터 인터리버
[0022]	510 : 바이트-심볼 변환부	

도면

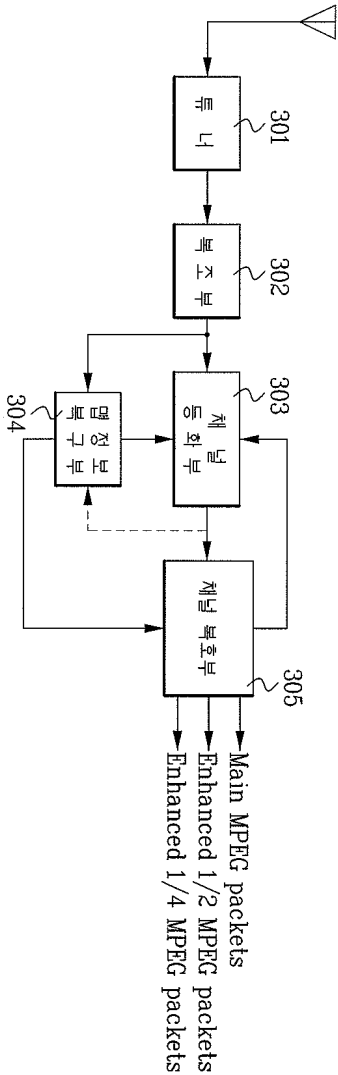
도면1



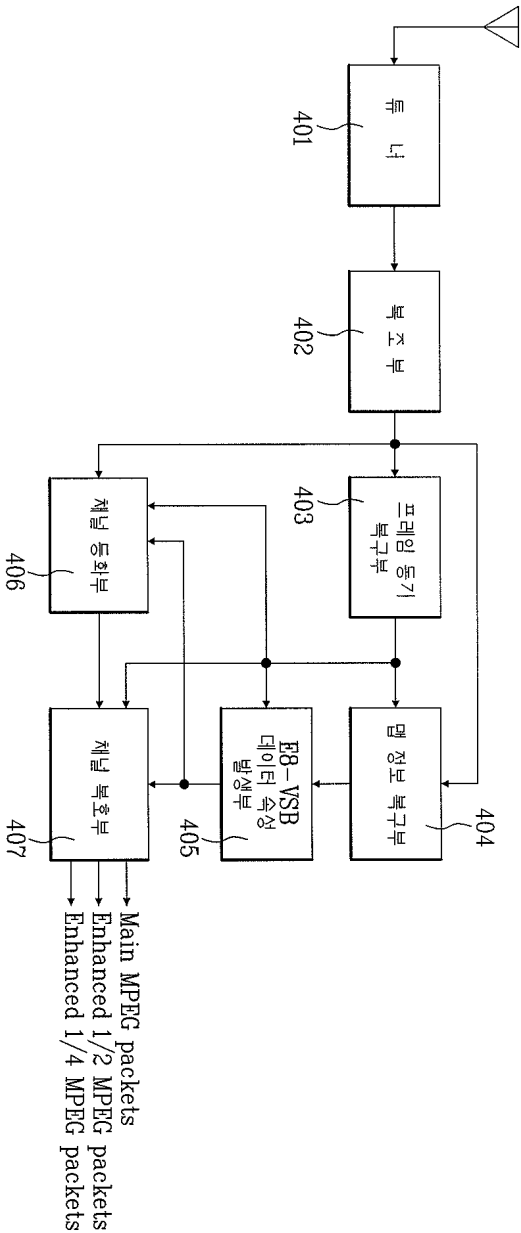
도면2

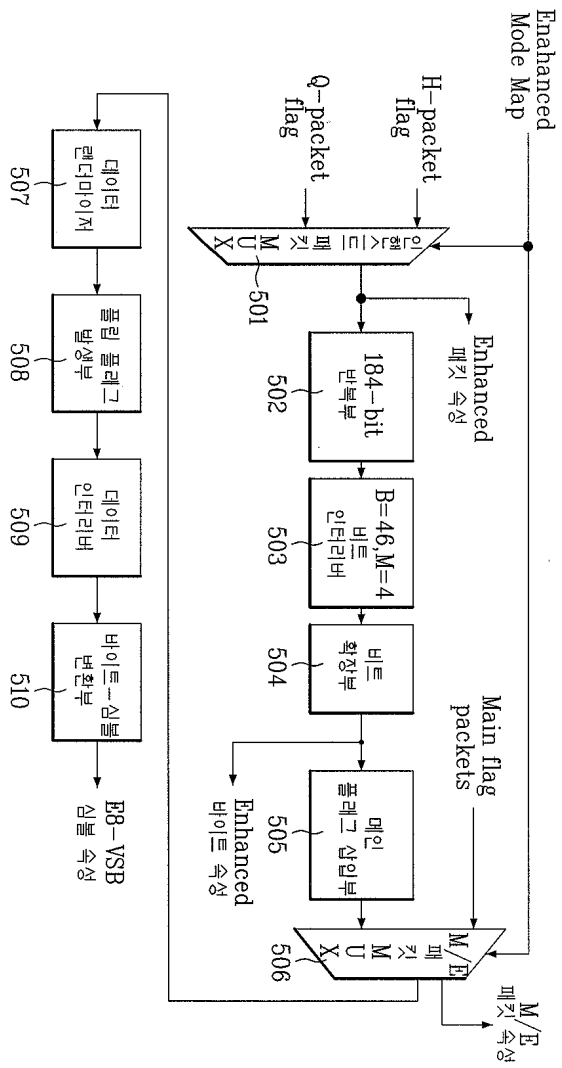


도면3



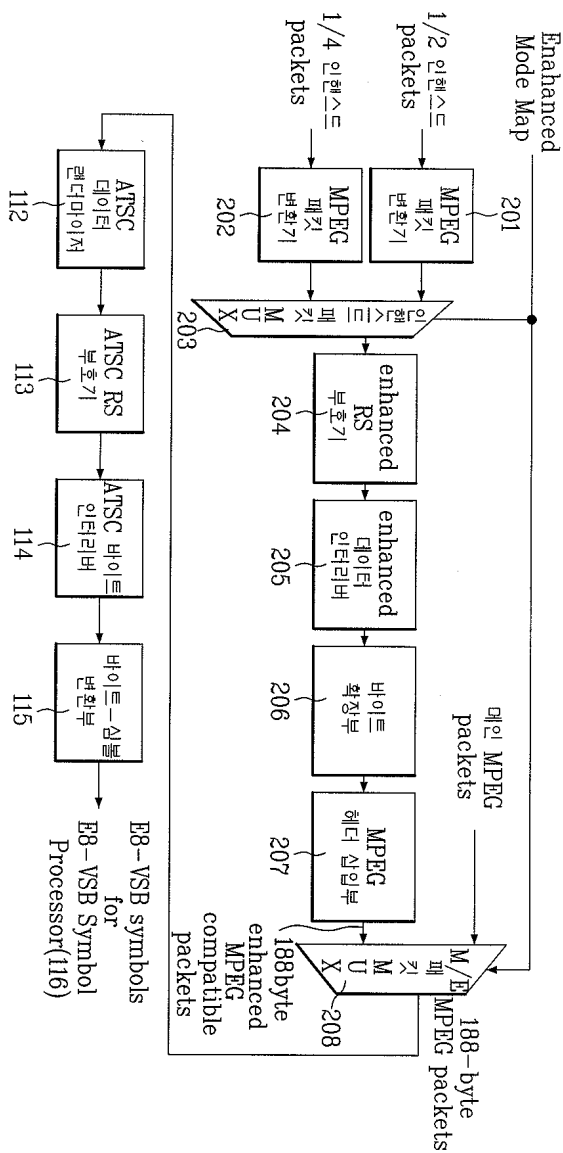
도면4



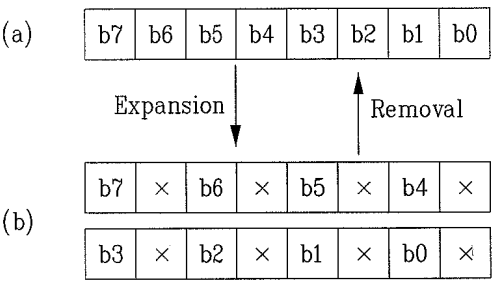


도면5a

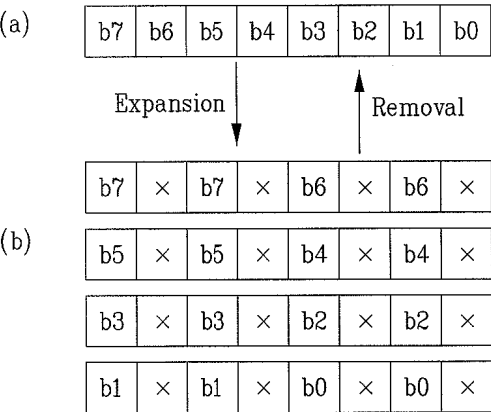
도면5b



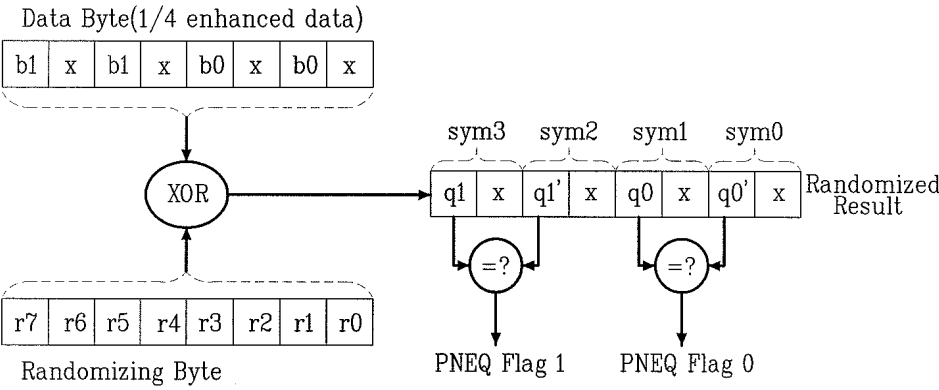
도면6



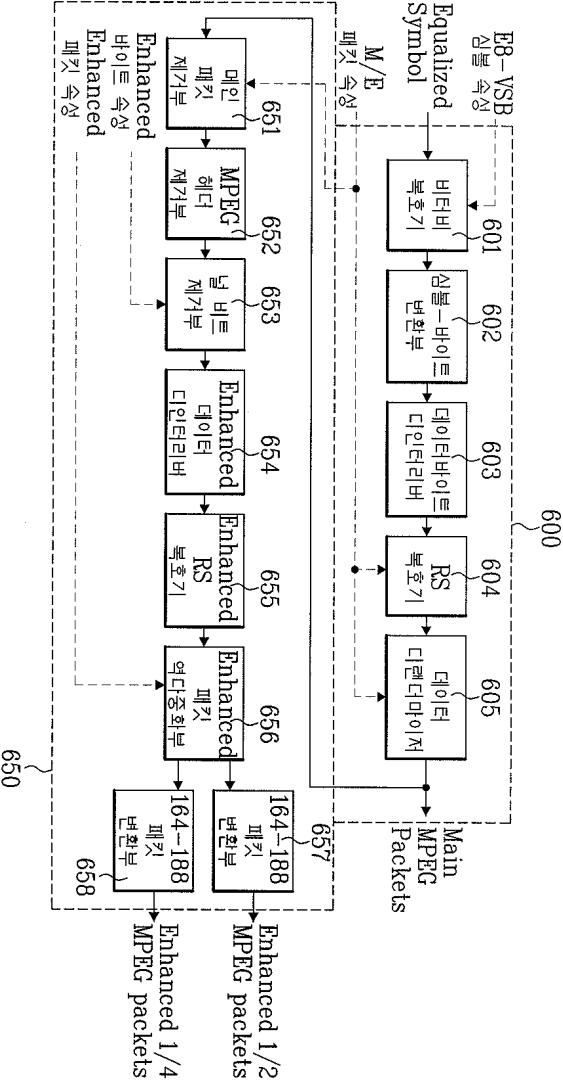
도면7



도면8



도면9



도면10

