



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0122549
 (43) 공개일자 2012년11월07일

(51) 국제특허분류(Int. Cl.)
G11C 29/04 (2006.01)

(21) 출원번호 10-2011-0040776
 (22) 출원일자 2011년04월29일
 심사청구일자 2011년04월29일

(71) 출원인
에스케이하이닉스 주식회사
 경기도 이천시 부발읍 경충대로 2091

(72) 발명자
김생환
 경기도 수원시 영통구 영통동 965-2 신원아파트
 643-604

(74) 대리인
특허법인 신성

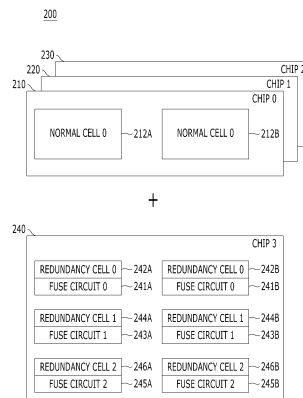
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **반도체 메모리 장치 및 그의 리페어 방법**

(57) 요약

스택 패키지 구조를 가지는 반도체 메모리 장치에 관한 것으로, 다수의 메모리 셀을 포함하는 제1 내지 제3 메모리 칩; 제1 내지 제3 메모리 칩에 각각 포함된 다수의 메모리 셀 중에서 결함이 발생한 임의의 메모리 셀들을 리페어하기 위한 제1 내지 제3 퓨즈회로와, 메모리 칩 별로 결함이 발생한 임의의 메모리 셀들을 대체하기 위한 다수의 제1 내지 제3 리던던시 메모리 셀을 포함하는 제1 리페어 칩을 구비하는 반도체 메모리 장치가 제공된다.

대표도 - 도3



특허청구의 범위

청구항 1

다수의 메모리 셀을 포함하는 적어도 하나 이상의 제1 반도체 칩; 및

상기 적어도 하나 이상의 제1 반도체 칩에 포함된 상기 다수의 메모리 셀 중에서 결함이 발생한 임의의 메모리 셀들을 리페어하기 위한 퓨즈회로를 포함하는 제2 반도체 칩

을 구비하는 반도체 메모리 장치.

청구항 2

제1항에 있어서,

상기 적어도 하나 이상의 제1 반도체 칩과 상기 제2 반도체 칩은 수직으로 스택되는 반도체 메모리 장치.

청구항 3

제2항에 있어서,

상기 적어도 하나 이상의 제1 반도체 칩은 상기 결함이 발생한 임의의 메모리 셀들을 대체하기 위한 다수의 리던던시 메모리 셀을 더 포함하는 반도체 메모리 장치.

청구항 4

제2항에 있어서,

상기 제2 반도체 칩은 상기 적어도 하나 이상의 제1 반도체 칩에 대응하여 상기 결함이 발생한 임의의 메모리 셀들을 대체하기 위한 다수의 리던던시 메모리 셀을 더 포함하는 반도체 메모리 장치.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제2 반도체 칩은 상기 적어도 하나 이상의 제1 반도체 칩을 제어하기 위한 마스터 칩이고,

상기 적어도 하나 이상의 제1 반도체 칩은 상기 제2 반도체 칩의 제어를 받는 슬레이브 칩인 반도체 메모리 장치.

청구항 6

다수의 메모리 셀과 상기 다수의 메모리 셀 중 결함이 발생한 메모리 셀들을 리페어하기 위한 퓨즈회로가 서로 다른 반도체 칩에 분리되어 배치된 반도체 메모리 장치의 리페어 방법에 있어서,

다수의 제1 반도체 칩 각각에 포함된 상기 다수의 메모리 셀을 테스트하는 단계; 및

상기 다수의 제1 반도체 칩의 통합된 테스트 결과에 따라 제2 반도체 칩에 포함된 상기 퓨즈회로를 프로그램하는 단계

를 포함하는 반도체 메모리 장치의 리페어 방법.

청구항 7

제6항에 있어서,
상기 통합된 테스트 결과를 기억하는 단계를 더 포함하는 반도체 메모리 장치의 리페어 방법.

청구항 8

제6항 또는 제7항에 있어서,
상기 테스트하는 단계는 웨이퍼 레벨의 테스트를 실시하는 반도체 메모리 장치의 리페어 방법.

청구항 9

제6항 또는 제7항에 있어서,
상기 퓨즈회로를 프로그램하는 단계 이후에 상기 다수의 제1 반도체 칩과 제2 반도체 칩을 수직으로 스택하는 단계를 더 포함하는 반도체 메모리 장치의 리페어 방법.

청구항 10

다수의 메모리 셀과 상기 다수의 메모리 셀 중 결함이 발생한 메모리 셀들을 리페어하기 위한 퓨즈회로가 서로 다른 반도체 칩에 분리되어 배치된 반도체 메모리 장치의 리페어 방법에 있어서,
상기 다수의 메모리 셀을 각각 포함하는 다수의 제1 반도체 칩을 수직으로 스택하는 단계;
스택된 상기 다수의 제1 반도체 칩 각각에 포함된 상기 다수의 메모리 셀을 테스트하는 단계; 및
상기 다수의 제1 반도체 칩의 통합된 테스트 결과에 따라 제2 반도체 칩에 포함된 상기 퓨즈회로를 프로그램하는 단계를 포함하는 반도체 메모리 장치의 리페어 방법.

청구항 11

제10항에 있어서,
상기 통합된 테스트 결과를 기억하는 단계를 더 포함하는 반도체 메모리 장치의 리페어 방법.

청구항 12

제10항 또는 제11항에 있어서,
상기 퓨즈회로를 프로그램하는 단계 이후에 상기 스택된 다수의 제1 메모리 칩과 제2 반도체 칩을 수직으로 스택하는 단계를 더 포함하는 반도체 메모리 장치의 리페어 방법.

명세서

기술분야

본 발명은 반도체 설계 기술에 관한 것으로, 더욱 상세하게는 반도체 메모리 장치 및 그의 리페어 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 최근, 디램(Dynamic Random Access Memory, DRAM)을 비롯한 반도체 메모리 장치는 다수의 메모리 칩이 수직으로 스택된 구조를 채택하고 있다. 이와 같은 반도체 메모리 장치를 3D(three dimensional) 스택 패키지 반도체 메모리 장치라고도 하며, 이와 같이 스택 패키지 구조를 채택함에 따라 반도체 메모리 장치의 고집적화, 소형화, 대용량화, 그리고 고대역폭의 인터페이스가 가능해진다.
- [0003] 한편, 스택된 다수의 메모리 칩은 각각 셀 트랜지스터(cell transistor)와 셀 커패시터(cell capacitor)로 구성된 수많은 메모리 셀(memory cell)을 포함한다. 이러한 수많은 메모리 셀 중에는 결함이 있는 메모리 셀(이하 '결함 셀'이라 칭함)들이 포함될 수 있으며, 이러한 경우 반도체 메모리 장치의 수율을 떨어뜨리게 된다. 여기서, 임의의 메모리 셀에 결함이 발생하는 이유는 반도체 메모리 장치가 고집적화, 소형화, 대용량화, 저전력화 등이 실현됨에 따라 그에 비례하여 회로 선폰의 감소, 공정 단계 및 복잡도 증가 등의 요인이 뒤따르기 때문이다.
- [0004] 그래서, 메모리 칩마다 별도의 메모리 셀을 구비하여 결함 셀을 대체함으로써 반도체 메모리 장치의 수율을 높이는 방법을 통상적으로 사용하고 있다. 다시 말해, 결함 셀을 교체하기 위하여 미리 여분의 메모리 셀(이하 '리던던시 셀'이라 칭함)을 만들어 두었다가 테스트 후에 결함 셀을 리던던시 셀로 리페어(repair)하게 된다.
- [0005] 도 1에는 종래기술에 따른 반도체 메모리 장치의 블록 구성도가 도시되어 있다.
- [0006] 도 1을 참조하면, 반도체 메모리 장치(100)는 수직으로 스택된 제1 내지 제4 메모리 칩(110, 120, 130, 140)을 구비한다. 제1 내지 제4 메모리 칩(110, 120, 130, 140)은 스택 순서에 따라 역할이 구분된다. 예컨대, 최하위에 스택되어 외부와 접속되는 제4 메모리 칩(140)이 마스터 칩으로써의 역할을 수행하고, 제4 메모리 칩(140)의 상부에 차례로 스택되는 나머지 제1 내지 제3 메모리 칩(110, 120, 130)이 마스터 칩의 제어에 따라 예정된 동작을 수행하는 슬레이브 칩으로써의 역할을 수행한다.
- [0007] 한편, 제1 내지 제4 메모리 칩(110, 120, 130, 140)의 내부 구성은 모두 동일하기 때문에, 이하에서는 제1 메모리 칩(110)에 대해서만 설명하기로 한다.
- [0008] 제1 메모리 칩(110)은 데이터를 저장하기 위한 다수의 제1 메모리 셀(112A, 112B)과, 다수의 제1 메모리 셀(112A, 112B) 중에서 결함 셀을 대체하기 위한 다수의 제1 리던던시 셀(114A, 114B)과, 결함 셀의 어드레스를 리던던시 셀로 전환하기 위한 어드레스 프로그램이 이루어지는 제1 퓨즈회로(116A, 116B)를 포함한다. 여기서, 제1 퓨즈회로(116A, 116B)는 다수의 퓨즈를 포함하며, 퓨즈 커팅(cutting) 공정에 의해 어드레스 프로그램이 이루어진다.
- [0009] 이하, 상기와 같은 구성을 가지는 종래기술에 따른 반도체 메모리 장치의 리페어 방법을 도 2를 참조하여 설명한다.
- [0010] 도 2에는 종래기술에 따른 반도체 메모리 장치의 리페어 방법을 설명하기 위한 흐름도가 도시되어 있다.
- [0011] 도 2를 참조하면, 일단 웨이퍼 레벨의 제1 내지 제4 메모리 칩(110, 120, 130, 140)이 제조된 상태에서, 제1 내지 제4 메모리 칩(110, 120, 130, 140)의 결함 여부를 테스트한다(S10). 예컨대, 제1 메모리 칩(110)에 포함된 다수의 제1 메모리 셀(112A, 112B)에 데이터를 저장한 다음 저장된 데이터를 다시 불러오는 과정을 통해 다수의 제1 메모리 셀(112A, 112B)의 결함 여부를 테스트하게 된다.
- [0012] 그리고, 상기의 테스트 결과에 따라 메모리 칩 별로 결함 셀들의 어드레스를 기억한다(S20).
- [0013] 이러한 상태에서, 메모리 칩 별로 기억된 어드레스에 기초하여 제1 메모리 칩(110)의 제1 퓨즈회로(116A, 116B)에 포함된 퓨즈를 어드레스 프로그램한다(S30). 예컨대, 레이저 등을 이용하여 퓨즈 커팅(cutting) 공정을 실시함으로써 어드레스 프로그램이 이루어질 수 있다. 이렇게 퓨즈 커팅(cutting) 공정을 통해 어드레스 프로그램이 이루어지면, 다수의 제1 메모리 셀(112A, 112B)에 존재하는 결함 셀들이 다수의 제1 리던던시 셀(114A, 114B)로 대체되기 위한 환경이 구축된다. 이에 따라, 실제 동작시 다수의 제1 메모리 셀(112A, 112B)에 존재하는 결함 셀들을 대신하여 다수의 제1 리던던시 셀(114A, 114B)이 이용되게 된다.
- [0014] 이어서, 제1 메모리 칩(110)에 포함된 퓨즈를 프로그램하는 방법과 동일하게 제2 내지 제4 메모리 칩(120, 130, 140)에 포함된 퓨즈를 순서대로 프로그램한다(S40, S50, S60).
- [0015] 이후, 제1 내지 제4 메모리 칩(110, 120, 130, 140)을 수직으로 스택하게 되면, 반도체 메모리 장치(100)가 제

조 완료된다.

[0016] 그러나, 종래기술에 따른 반도체 메모리 장치(100)는 제1 내지 제4 메모리 칩(110, 120, 130, 140)에 포함된 퓨즈를 어드레스 프로그램하는 과정이 메모리 칩 별로 실시되고 있기 때문에, 그에 대응하는 만큼의 공정 비용 및 공정 시간이 소비되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0017] 본 발명은 리페어 과정이 간소화된 반도체 메모리 장치 및 그의 리페어 방법을 제공하는데 그 목적이 있다.

과제의 해결 수단

[0018] 본 발명의 일 측면에 따르면, 본 발명은 다수의 메모리 셀을 포함하는 적어도 하나 이상의 제1 반도체 칩; 및 적어도 하나 이상의 제1 반도체 칩에 포함된 다수의 메모리 셀 중에서 결함이 발생한 임의의 메모리 셀들을 리페어하기 위한 퓨즈회로를 포함하는 제2 반도체 칩을 구비되며, 적어도 하나 이상의 제1 반도체 칩과 제2 반도체 칩이 수직으로 스택되는 구조를 가진다. 한편, 본 발명은 적어도 하나 이상의 제1 반도체 칩이 상기 결함이 발생한 임의의 메모리 셀들을 대체하기 위한 다수의 리던던시 메모리 셀을 더 포함하거나, 또는 제2 반도체 칩이 상기 적어도 하나 이상의 제1 반도체 칩에 대응하여 결함이 발생한 임의의 메모리 셀들을 대체하기 위한 다수의 리던던시 메모리 셀을 더 포함할 수 있다.

[0019] 본 발명의 다른 측면에 따르면, 본 발명은 다수의 메모리 셀과 다수의 메모리 셀 중 결함이 발생한 메모리 셀들을 리페어하기 위한 퓨즈회로가 서로 다른 반도체 칩에 분리되어 배치된 반도체 메모리 장치의 리페어 방법에 있어서, 다수의 제1 반도체 칩 각각에 포함된 다수의 메모리 셀을 테스트하는 단계; 및 다수의 제1 반도체 칩의 통합된 테스트 결과에 따라 제2 반도체 칩에 포함된 퓨즈회로를 프로그램하는 단계를 포함한다.

[0020] 본 발명의 또 다른 측면에 따르면, 본 발명은 다수의 메모리 셀과 다수의 메모리 셀 중 결함이 발생한 메모리 셀들을 리페어하기 위한 퓨즈회로가 서로 다른 반도체 칩에 분리되어 배치된 반도체 메모리 장치의 리페어 방법에 있어서, 다수의 메모리 셀을 각각 포함하는 다수의 제1 반도체 칩을 수직으로 스택하는 단계; 스택된 다수의 제1 반도체 칩 각각에 포함된 다수의 메모리 셀을 테스트하는 단계; 및 다수의 제1 반도체 칩의 통합된 테스트 결과에 따라 제2 반도체 칩에 포함된 퓨즈회로를 프로그램하는 단계를 포함한다.

발명의 효과

[0021] 본 발명은 스택된 다수의 반도체 칩 중 하나의 반도체 칩에만 퓨즈회로 - 다른 반도체 칩에 포함된 결함이 있는 메모리 셀을 리페어 함 - 를 구비하고 있다. 따라서, 어드레스 프로그램 과정을 퓨즈회로를 포함하는 하나의 반도체 칩에 대해서만 실시하면 되므로, 공정 간소화로 인해 공정 비용 및 공정 시간을 절약할 수 있는 효과가 있다.

도면의 간단한 설명

[0022] 도 1은 종래기술에 따른 반도체 메모리 장치의 블록 구성도.

도 2는 종래기술에 따른 반도체 메모리 장치의 리페어 방법을 설명하기 위한 흐름도.

도 3은 본 발명의 제1 실시예에 따른 반도체 메모리 장치의 블록 구성도.

도 4는 본 발명의 제2 실시예에 따른 반도체 메모리 장치의 블록 구성도.

도 5는 도 3 및 도 4에 도시된 반도체 메모리 장치에 적용될 수 있는 리페어 방법의 일예를 보인 흐름도.

도 6은 도 3 및 도 4에 도시된 반도체 메모리 장치에 적용될 수 있는 리페어 방법의 다른 예를 보인 흐름도.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- [0024] 본 발명의 실시예에 따른 반도체 메모리 장치는 4 개의 반도체 칩이 스택되는 것을 예로 들어 설명한다.
- [0025] 또한, 본 발명의 실시예에서는 메모리 셀을 포함하는 반도체 칩을 메모리 칩이라고 칭하고, 퓨즈회로를 포함하는 반도체 칩을 리페어 칩이라고 칭하기로 한다.
- [0026] 도 3에는 본 발명의 제1 실시예에 따른 반도체 메모리 장치가 도시되어 있고, 도 4에는 본 발명의 제2 실시예에 따른 반도체 메모리 장치가 도시되어 있다.
- [0027] 먼저, 도 3을 참조하면, 반도체 메모리 장치(200)에는 제1 내지 제3 메모리 칩(210, 220, 230)과, 하나의 리페어 칩(240)이 구비되며, 제1 내지 제3 메모리 칩(210, 220, 230)과 리페어 칩(240)이 수직으로 스택된 3D(three dimensional) 스택 패키지 구조를 가진다. 여기서, 리페어 칩(240)은 최상위 또는 최하위에 스택되어 제1 내지 제3 메모리 칩(210, 220, 230)을 제어하기 위한 마스터 칩으로써의 역할을 수행하며, 제1 내지 제3 메모리 칩(210, 220, 230)은 리페어 칩(240)의 하부 또는 상부에 차례로 스택되어 리페어 칩(240)의 제어를 받는 슬레이브 칩으로써의 역할을 수행한다.
- [0028] 여기서, 제1 메모리 칩(210)은 다수의 메모리 셀(212A, 212B)을 포함한다. 물론 도면에는 잘 도시되지 않았지만, 제2 메모리 칩(220)에도 다수의 메모리 셀(222A, 222B)을 포함하며, 제3 메모리 칩(230)에도 다수의 메모리 셀(232A, 232B)을 포함한다. 예컨대, 다수의 메모리 셀(212A, 212B)(222A, 222B)(232A, 232B)은 각각 셀 트랜지스터(cell transistor)와 셀 커패시터(cell capacitor)로 구성되며, 각각 대응하는 데이터가 저장된다.
- [0029] 그리고, 리페어 칩(240)은 제1 메모리 칩(210)에 포함된 다수의 메모리 셀(212A, 212B) 중 결함이 발생한 임의의 메모리 셀(이하 '결함 셀'이라 칭함)들을 리페어하기 위한 제1 퓨즈회로(241A, 241B)와, 제1 메모리 칩(210)에 포함된 결함 셀들을 대체하기 위한 다수의 제1 리던던시 메모리 셀(이하 '제1 리던던시 셀'이라 칭함)(242A, 242B)과, 제2 메모리 칩(220)에 포함된 다수의 메모리 셀(222A, 222B) 중 결함 셀들을 리페어하기 위한 제2 퓨즈회로(243A, 243B)와, 제2 메모리 칩(220)에 포함된 결함 셀들을 대체하기 위한 다수의 제2 리던던시 메모리 셀(이하 '제2 리던던시 셀'이라 칭함)(244A, 244B)과, 제3 메모리 칩(230)에 포함된 다수의 메모리 셀(232A, 232B) 중 결함 셀들을 리페어하기 위한 제3 퓨즈회로(245A, 245B)와, 제3 메모리 칩(230)에 포함된 결함 셀들을 대체하기 위한 다수의 제3 리던던시 메모리 셀(이하 '제3 리던던시 셀'이라 칭함)(246A, 246B)을 포함한다.
- [0030] 한편, 본 발명의 제1 실시예에서는 제1 내지 제3 리던던시 셀(242A, 242B)(244A, 244B)(246A, 246B)이 리페어 칩(240)에 구비되는 것을 예로 들어 설명하였지만, 반드시 이에 한정되는 것은 아니며, 제1 내지 제3 리던던시 셀(242A, 242B)(244A, 244B)(246A, 246B)이 각각의 메모리 칩(210, 220, 230)에 포함될 수도 있다. 이는 도 4에 도시되어 있다. 도 4를 참조하면, 제1 리던던시 셀(314A, 314B)이 제1 메모리 칩(310)에 포함되고 있음을 알 수 있다. 물론 도면에는 잘 도시되지 않았지만, 제2 리던던시 셀(324A, 324B)은 제2 메모리 칩(320)에 포함되며, 제3 리던던시 셀(334A, 334B)은 제3 메모리 칩(330)에 포함된다. 참고로, 도 4에서 설명되지 않은 구성요소들은 도 3의 그것들과 대응되므로, 자세한 설명은 생략하도록 한다.
- [0031] 이하, 상기와 같은 구성을 가지는 본 발명의 제1 및 제2 실시예에 따른 반도체 메모리 장치(200, 300)의 리페어 방법을 도 5 및 도 6을 참조하여 설명한다.
- [0032] 이때, 본 발명의 제1 및 제2 실시예에 따른 반도체 메모리 장치(200, 300)의 리페어 방법은 동일한 과정을 통해 실시되므로, 설명의 편의상 본 발명의 제1 실시예에 따른 반도체 메모리 장치(200)만을 예로 들어 설명하기로 한다.
- [0033] 먼저, 도 5에는 반도체 메모리 장치(200)에 적용될 수 있는 리페어 방법의 일예를 보인 흐름도가 도시되어 있다.
- [0034] 도 5를 참조하면, 제1 내지 제3 메모리 칩(210, 220, 230)을 각각 웨이퍼 레벨의 테스트를 실시한다(S110). 다시 말해, 제1 메모리 칩(210)에 포함된 다수의 메모리 셀(212A, 212B)의 결함 여부를 테스트하고, 제2 메모리

칩(220)에 포함된 다수의 메모리 셀(222A, 222B)의 결합 여부를 테스트하며, 제3 메모리 칩(230)에 포함된 다수의 메모리 셀(232A, 232B)의 결합 여부를 테스트한다.

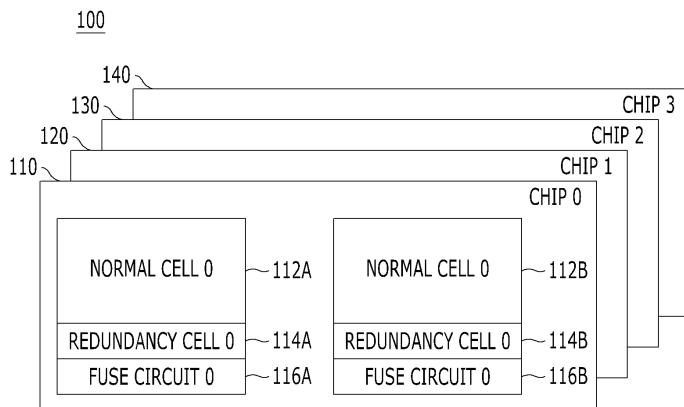
- [0035] 그리고, 상기의 테스트 결과에 따라 메모리 칩 별로 발생한 결합 셀들의 어드레스를 기억한다(S120).
- [0036] 이러한 상태에서, 메모리 칩 별로 기억된 결합 셀들의 어드레스에 기초하여 리페어 칩(240)에 포함된 제1 내지 제3 퓨즈회로(241A, 241B)(243A, 243B)(254A, 245B)를 한꺼번에 프로그램한다(S130). 이는 메모리 칩 별로 발생한 결합 셀의 어드레스를 제1 내지 제3 리던던시 셀(242A, 242B)(244A, 244B)(246A, 246B)로 전환하기 위한 어드레스 프로그램을 말한다. 예컨대, 제1 메모리 칩(210)에 포함된 결합 셀들의 어드레스에 기초하여 제1 퓨즈회로(241A, 241B)에 포함된 퓨즈들을 커팅(cutting)하고, 제2 메모리 칩(220)에 포함된 결합 셀들의 어드레스에 기초하여 제2 퓨즈회로(243A, 243B)에 포함된 퓨즈들을 커팅(cutting)하고, 제3 메모리 칩(230)에 포함된 결합 셀들의 어드레스에 기초하여 제3 퓨즈회로(245A, 245B)에 포함된 퓨즈들을 커팅(cutting)한다. 이때, 제1 내지 제3 퓨즈회로(241A, 241B)(243A, 243B)(254A, 245B)는 하나의 리페어 칩(240)에 모두 포함되어 있기 때문에, 한꺼번에 프로그램이 가능하게 된다.
- [0037] 이후, 제1 내지 제3 메모리 칩(210, 220, 230)과 리페어 칩(240)을 수직으로 스택하고 패키지 공정을 수행하면, 반도체 메모리 장치(200)가 제작 완료된다(S140). 참고로, 반도체 메모리 장치(200)의 노말 동작시 메모리 칩 별로 발생한 결합 셀이 리드/라이트 동작에 관여하는 경우 제1 내지 제3 퓨즈회로(241A, 241B)(243A, 243B)(254A, 245B)에 의해 결합 셀을 대신하여 제1 내지 제3 리던던시 셀(242A, 242B)(244A, 244B)(246A, 246B)이 이용되게 된다.
- [0038] 다음, 도 6에는 반도체 메모리 장치(200)에 적용될 수 있는 리페어 방법의 다른 예를 보인 흐름도가 도시되어 있다.
- [0039] 도 6을 참조하면, 제1 내지 제3 메모리 칩(210, 220, 230)을 수직으로 스택한 상태에서(S210), 스택된 제1 내지 제3 메모리 칩(210, 220, 230)을 메모리 칩 별로 테스트한다(S220). 즉, 제1 메모리 칩(210)에 포함된 다수의 메모리 셀(212A, 212B)의 결합 여부를 테스트하고, 제2 메모리 칩(220)에 포함된 다수의 메모리 셀(222A, 222B)의 결합 여부를 테스트하며, 제3 메모리 칩(230)에 포함된 다수의 메모리 셀(232A, 232B)의 결합 여부를 테스트한다.
- [0040] 그리고, 상기의 테스트 결과에 따라 메모리 칩 별로 발생한 결합 셀들의 어드레스를 기억한다(S230).
- [0041] 그런 다음, 메모리 칩 별로 기억된 결합 셀들의 어드레스에 기초하여 리페어 칩(240)에 포함된 제1 내지 제3 퓨즈회로(241A, 241B)(243A, 243B)(254A, 245B)를 한꺼번에 프로그램한다(S240). 이는 메모리 칩 별로 발생한 결합 셀의 어드레스를 제1 내지 제3 리던던시 셀(242A, 242B)(244A, 244B)(246A, 246B)로 전환하기 위한 어드레스 프로그램을 말한다. 예컨대, 제1 메모리 칩(210)에 포함된 결합 셀들의 어드레스에 기초하여 제1 퓨즈회로(241A, 241B)에 포함된 퓨즈들을 커팅(cutting)하고, 제2 메모리 칩(220)에 포함된 결합 셀들의 어드레스에 기초하여 제2 퓨즈회로(243A, 243B)에 포함된 퓨즈들을 커팅(cutting)하고, 제3 메모리 칩(230)에 포함된 결합 셀들의 어드레스에 기초하여 제3 퓨즈회로(245A, 245B)에 포함된 퓨즈들을 커팅(cutting)한다. 이때, 제1 내지 제3 퓨즈회로(241A, 241B)(243A, 243B)(254A, 245B)는 하나의 리페어 칩(240)에 모두 포함되어 있기 때문에, 한꺼번에 프로그램이 가능하게 된다.
- [0042] 이후, 스택된 제1 내지 제3 메모리 칩(210, 220, 230)과 리페어 칩(240)을 수직으로 스택하고 패키지 공정을 수행하면, 반도체 메모리 장치(200)가 제작 완료된다(S250). 참고로, 반도체 메모리 장치(200)의 노말 동작시 메모리 칩 별로 발생한 결합 셀이 리드/라이트 동작에 관여하는 경우 제1 내지 제3 퓨즈회로(241A, 241B)(243A, 243B)(254A, 245B)에 의해 결합 셀을 대신하여 제1 내지 제3 리던던시 셀(242A, 242B)(244A, 244B)(246A, 246B)이 이용되게 된다.
- [0043] 이와 같은 본 발명의 실시예에 따르면, 다수의 메모리 셀과 그 다수의 메모리 셀 중 결합 셀들을 리페어하기 위한 퓨즈회로가 서로 다른 칩에 분리되어 배치됨에 따라 어드레스 프로그램 과정을 퓨즈회로를 포함하는 칩에 대해서만 실시하면 되므로, 공정 간소화로 인해 공정 비용 및 공정 시간을 절약할 수 있는 이점이 있다.
- [0044] 본 발명의 기술 사상은 상기 실시예에 따라 구체적으로 기술되었으나, 이상에서 설명한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 여러 가지 치환, 변형 및 변경으로 다양한 실시예가 가능함을 이해할 수 있을 것이다.

부호의 설명

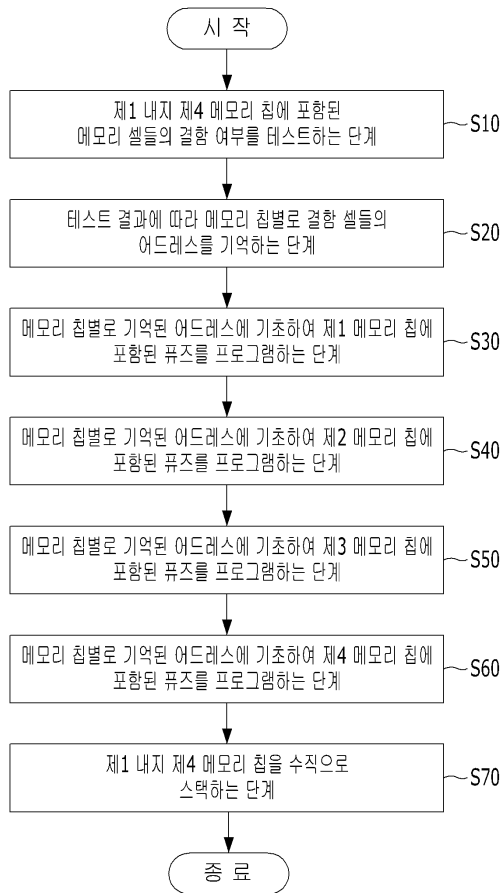
- [0045]
- | | |
|------------------------|------------------------|
| 200 : 반도체 메모리 장치 | 210 : 제1 메모리 칩 |
| 212A, 212B : 다수의 메모리 셀 | 220 : 제2 메모리 칩 |
| 222A, 222B : 다수의 메모리 셀 | 230 : 제3 메모리 칩 |
| 232A, 232B : 다수의 메모리 셀 | 240 : 리페어 칩 |
| 241A, 241B : 제1 퓨즈회로 | 242A, 242B : 제1 리던던시 셀 |
| 243A, 243B : 제2 퓨즈회로 | 244A, 244B : 제2 리던던시 셀 |
| 245A, 245B : 제3 퓨즈회로 | 246A, 246B : 제3 리던던시 셀 |

도면

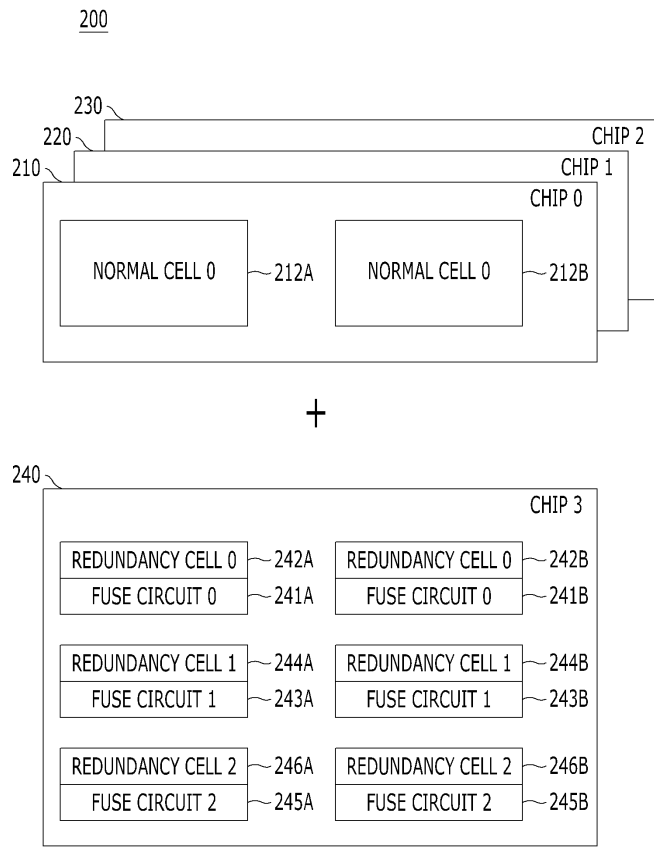
도면1



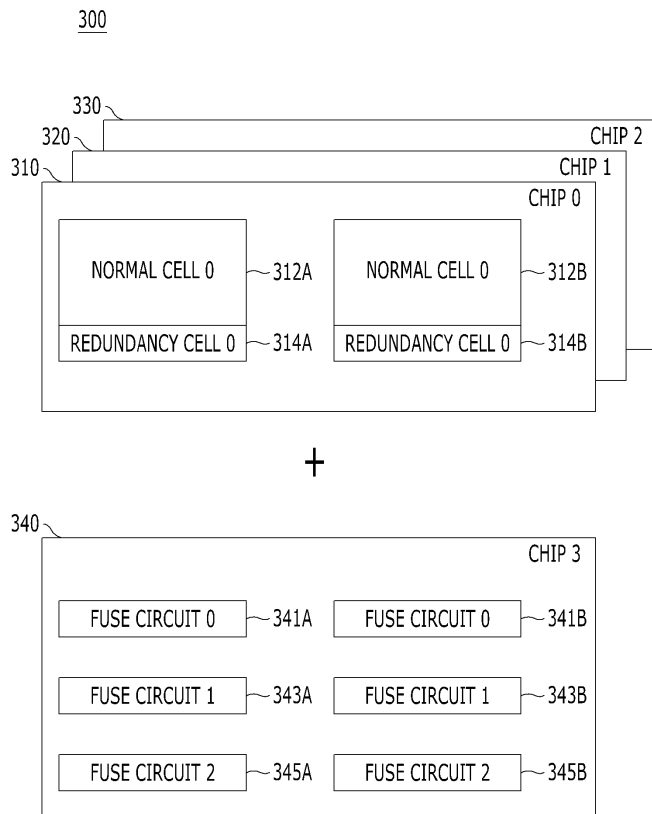
도면2



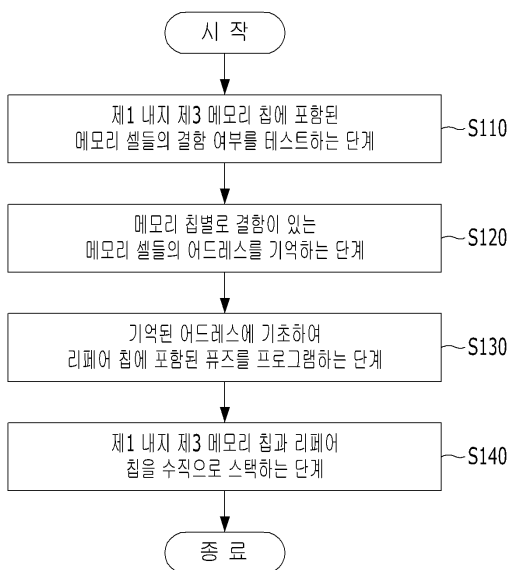
도면3



도면4



도면5



도면6

