(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0021919
(43) 공개일자 2025년02월14일

(51) 국제특허분류(Int. Cl.)
H01L 21/66 (2006.01) *H01L 21/265* (2006.01)
H10D 48/00 (2025.01)
(52) CPC특허분류
H01L 22/10 (2013.01)
H01L 21/26506 (2013.01)
(21) 출원번호 10-2023-0103169
(22) 출원일자 2023년08월07일
심사청구일자 2023년08월07일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김경록
울산광역시 울주군 언양읍 유니스트길 50 (반연리, 울산과학기술원)
송유빈
울산광역시 울주군 언양읍 유니스트길 50 (반연리, 울산과학기술원)
(뒷면에 계속)
(74) 대리인
특허법인더웨이브, 특허법인 수

전체 청구항 수 : 총 6 항

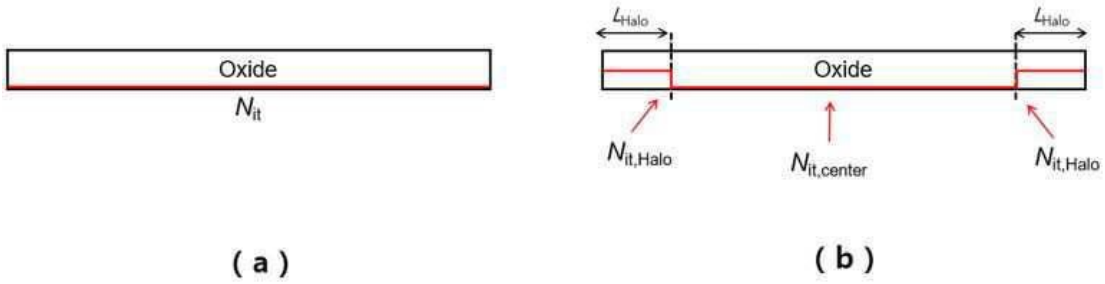
(54) 발명의 명칭 **할로 이온주입공정에 의한 불균일한 계면트랩 밀도 분포 모델을 이용한 노이즈 예측방법**

(57) 요 약

본 발명은 반도체 소자의 계면트랩(Interface trap)에 의해 발생하는 노이즈 예측의 정확성을 높이기 위한 것으로서, 반도체 소자의 공정 중에 발생하는 불균일한 계면트랩(Interface trap) 밀도 분포를 고려하는 불균일한 계면트랩 밀도 분포 모델을 이용한 노이즈 예측방법에 관한 것이다.

본 발명에 따른 할로 이온주입공정에 의한 불균일한 계면트랩 밀도 분포 모델을 이용한 노이즈 예측방법은, 반도체 소자의 노이즈 예측 방법으로서, 할로 이온주입공정(Halo Ion-Implantation process)이 적용된 계면트랩(interface trap) 영역에 대해 그렇지 않은 계면트랩 영역과는 다른 계면트랩 밀도 분포를 적용한 모델을 이용하는 것을 특징으로 한다.

대 표 도



(a) (b)

(52) CPC특허분류
H10D 30/022 (2025.01)
(72) 발명자
류민우
울산광역시 울주군 언양읍 유니스트길 50 (반연리, 울산과학기술원)
안상효
울산광역시 울주군 언양읍 유니스트길 50 (반연리, 울산과학기술원)
김민재
울산광역시 울주군 언양읍 유니스트길 50 (반연리, 울산과학기술원)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711193300
과제번호 2021-0-02092-003
부처명 과학기술정보통신부
과제관리(전문)기관명 정보통신기획평가원
연구사업명 ICT첨단유망기술육성
연구과제명 트랜지스터-안테나 융합소자 기반 다중-픽셀 플라즈모닉THz 검출기 모듈 및 보안용 검색 시제품 개발
기 여 율 50.00/100
과제수행기관명 (주)엘라이트
연구기간 2023.01.01 ~ 2023.12.31
이 발명을 지원한 국가연구개발사업
과제고유번호 1711191144
과제번호 2022R1C1C2008564
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 개인기초연구(과기정통부)
연구과제명 칩 간 무선 통신을 위한 단일형 집적의 상보형금속산화막반도체기반 테라헤르츠 송수신기 개발
기 여 율 50.00/100
과제수행기관명 울산과학기술원
연구기간 2023.03.01 ~ 2024.02.29

명 세 서

청구범위

청구항 1

반도체 소자의 노이즈 예측 방법으로서,

할로 이온주입공정(Halo Ion-Implantation process)이 적용된 계면트랩(interface trap) 영역에 대해 그렇지 않은 계면트랩 영역과는 다른 계면트랩 밀도 분포를 적용한 모델을 이용하는 것을 특징으로 하는 할로 이온주입공정에 의한 불균일한 계면트랩 밀도 분포 모델을 이용한 노이즈 예측방법.

청구항 2

제 1 항에 있어서,

상기 모델은,

상기 할로 이온주입공정(Halo Ion-Implantation process)이 적용된 계면트랩(interface trap) 영역에 대해 그렇지 않은 계면트랩 영역 보다 높은 계면트랩 밀도 분포를 적용하는 것을 특징으로 하는 할로 이온주입공정에 의한 불균일한 계면트랩 밀도 분포 모델을 이용한 노이즈 예측방법.

청구항 3

제 2 항에 있어서,

상기 할로 이온주입공정(Halo Ion-Implantation process)이 적용된 계면트랩(interface trap) 영역에 대해 적용되는 높은 계면트랩 밀도 분포는,

상기 반도체 소자의 게이트 길이가 짧을수록 더 높은 계면트랩 밀도 분포를 적용하는 것을 특징으로 하는 할로 이온주입공정에 의한 불균일한 계면트랩 밀도 분포 모델을 이용한 노이즈 예측방법.

청구항 4

제 2 항에 있어서,

상기 할로 이온주입공정(Halo Ion-Implantation process)이 적용된 계면트랩(interface trap) 영역에 대해 적용되는 높은 계면트랩 밀도 분포는,

상기 할로 이온주입공정의 방식에 따라 달라지는 것을 특징으로 하는 할로 이온주입공정에 의한 불균일한 계면트랩 밀도 분포 모델을 이용한 노이즈 예측방법.

청구항 5

제 2 항에 있어서,

상기 할로 이온주입공정(Halo Ion-Implantation process)이 적용된 계면트랩(interface trap) 영역에 대해 적용되는 높은 계면트랩 밀도 분포는,

상기 반도체 소자의 유형에 따라 달라지는 것을 특징으로 하는 할로 이온주입공정에 의한 불균일한 계면트랩 밀도 분포 모델을 이용한 노이즈 예측방법.

청구항 6

제 1 항에 있어서,

상기 할로 이온주입공정(Halo Ion-Implantation process)이 적용된 계면트랩(interface trap) 영역은,

상기 반도체 소자의 에지(edge) 영역인 것을 특징으로 하는 할로 이온주입공정에 의한 불균일한 계면트랩 밀도 분포 모델을 이용한 노이즈 예측방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 소자의 계면트랩(Interface trap)에 의해 발생하는 노이즈 예측의 정확성을 높이기 위한 것으로서, 상세하게는 반도체 소자의 공정 중에 발생하는 불균일한 계면트랩(Interface trap) 밀도 분포를 고려하는 불균일한 계면트랩 밀도 분포 모델을 이용한 노이즈 예측방법에 관한 것이다.

배 경 기 술

[0002] 반도체 기술의 발전에 따라 반도체 칩(Chip) 내의 트랜지스터(Transistor)의 개수는 지속적으로 증가하고 있으며, 이에 따라 트랜지스터의 물리적 크기도 줄어들고 있다. 그에 따라 반도체의 동작 시 중요한 기능을 하는 채널(Channel)의 길이도 함께 짧아지고 있으며, 이로 인해 숏-채널 효과(Short Channel Effect)의 문제점들이 발생하고 있다.

[0003] 대표적인 것이 펀치 스루(Punch Through) 현상으로서, 이에 대해 설명하고 있는 것이 도 1 이다. 도 1에서와 같이, 기판(Substrate) 상에 형성된 소스(Source) 단자와 드레인(Drain) 단자에 동작전압이 인가되면, 소스와 드레인의 각 정션(Junction)에 결핍영역(Depletion region)이 생성되고, 드레인 단자에 인가되는 전압이 상승하면 이와 비례해 결핍영역이 더 넓게 퍼지게 된다. 이때, 채널(Channel)의 길이가 충분하다면 아무리 결핍영역의 폭이 넓어져도 가운데에 채널을 충분히 형성할 수 있으며, 게이트(Gate) 전압에 의해 통제되는 채널의 온전한 기능으로 반도체 내 트랜지스터가 정상적으로 동작한다.

[0004] 그런데, 소스-드레인 사이의 거리가 충분하지 않으면, 두 결핍영역이 서로 닿게 되어 유효채널이 매우 짧게 형성되거나 거의 형성되지 못하게 되며, 이러한 상황에서는 게이트 전압이 인가되지 않아도 소스에서 드레인 쪽으로 결핍영역을 통해 전류가 흐르게 된다. 이러한 전류는 게이트 전압이 통제할 수 없는 전류로서, 트랜지스터의 On/Off 에 기여하지 못하는 누설전류(Leakage current)가 되는데, 이를 펀치 스루(Punch Through) 현상이라고 한다.

[0005] 이러한 펀치 스루(Punch Through) 현상을 방지하기 위한 방법 중 하나가 할로 이온주입공정(Halo Ion-Implantation process) 이다.

[0006] 할로 이온주입공정은 소스와 드레인 단자의 하부에 단자의 농도보다 더 높은 농도의 불순물로 이온주입을 하여 결핍영역의 형성을 어느 정도 방지하는 것이다. 일예로, nMOSFET인 경우, p+ 도핑을 하고, pMOSFET인 경우에는 n+로 도핑하기 위해 불순물 도즈를 가장 높게 책정해 이온주입을 하게 되며, 이온주입의 위치는 LDD(Lightly Doped Drain)의 하부에 수행한다.

[0007] 한편, 할로 이온주입공정 등과 같은 반도체 제조 공정 중에 발생할 수 있는 계면트랩(Interface trap)은 그 생성을 예측하거나 특정 하기가 어렵기 때문에 기존에는 그 분포를 고려하지 않거나 균일한(Uniform) 것으로 고려하는 것이 일반적이었다.

[0008] 그러나, 반도체 소자의 채널 길이가 짧아져 숏-채널(Short Channel) 소자가 되는 경우에는, 할로 이온주입공정과 같은 공정 중에 발생할 수 있는 계면트랩(Interface trap)의 영향도 무시할 수 없는 수준이 되며, 따라서 그 분포를 고려하지 않을 경우에는 발생하는 노이즈 특성을 정확히 예측할 수 없다.

[0009] 계면트랩(Interface trap)의 경우, 반도체 소자의 구동 시에 발생하는 계면트랩(Interface trap)에 관한 연구는 활발하게 이루어지고 있는 반면, 공정 시 발생하는 계면트랩(Interface trap)에 대해서는 공정에 따라 그 양이 달라지기 때문에 정확한 값을 예측하기 어렵다. 따라서, 반도체 소자의 구동 시 발생하는 계면트랩(Interface trap)을 모사하는 방식이 대부분이고, 공정 중에 발생할 수 있는 계면트랩(Interface trap)에 관한 연구는 미비한 상태이다.

[0010] 반도체 소자의 $Si-SiO_2$ 계면의 상태(Interface trap)에 따라 결정되는 플리커 노이즈(Flicker noise)는 소자 뿐만 아니라 회로 전체에도 영향을 주기 때문에 그 특성을 정확히 예측해야 하나, 기존의 방식으로는 할로 이온주입공정과 같은 공정 중 발생할 수 있는 계면트랩(Interface trap)은 상술한 바와 같이 균일한 분포로 고려되거나 무시되고 있는 실정이다.

[0011] 따라서, 반도체 소자의 제조 공정 상에서 발생할 수 있는 계면트랩 밀도(Interface trap density)의 분포를 제대로 반영하여, 숏-채널(Short Channel) 소자의 노이즈 특성을 정확히 예측할 수 있는 방법이 요구되고 있다.

선행기술문헌

특허문헌

[0012] (특허문헌 0001) 한국등록특허 제10-0441699호 (2004.07.27.)

발명의 내용

해결하려는 과제

[0013] 본 발명은 할로 이온주입공정(Halo Ion-Implantation process) 중 발생할 수 있는 불균일한 계면트랩 밀도 분포(Non-uniform Interface trap density distribution)를 제대로 모델링 할 수 있는 할로 이온주입공정에 의한 불균일한 계면트랩 밀도 분포 모델을 이용한 노이즈 예측방법을 제공하는 것을 목적으로 한다.

[0014] 본 발명은 할로 이온주입공정 중 발생할 수 있는 불균일한 계면트랩 밀도 분포를 반영한 모델링을 통해 반도체 소자의 $Si-SiO_2$ 계면의 상태에 따라 발생할 수 있는 플리커 노이즈(Flicker noise)를 정확히 예측할 수 있는 할로 이온주입공정에 의한 불균일한 계면트랩 밀도 분포 모델을 이용한 노이즈 예측방법을 제공하는 것을 다른 목적으로 한다.

[0015] 또한, 본 발명은 반도체 소자의 $Si-SiO_2$ 계면의 상태에 따라 발생하는 플리커 노이즈의 정확한 예측을 가능하게 하여, 단일 소자 뿐만 아니라 소자를 포함한 회로 전체의 신뢰성 특성을 평가할 수 있는 할로 이온주입공정에 의한 불균일한 계면트랩 밀도 분포 모델을 이용한 노이즈 예측방법을 제공하는 것을 또다른 목적으로 한다.

과제의 해결 수단

[0016] 상기와 같은 목적을 달성하기 위해 제공되는 본 발명의 할로 이온주입공정에 의한 불균일한 계면트랩 밀도 분포 모델을 이용한 노이즈 예측방법은, 반도체 소자의 노이즈 예측 방법으로서, 할로 이온주입공정(Halo Ion-Implantation process)이 적용된 계면트랩(interface trap) 영역에 대해 그렇지 않은 계면트랩 영역과는 다른 계면트랩 밀도 분포를 적용한 모델을 이용할 수 있다.

[0017] 이때, 상기 모델은, 상기 할로 이온주입공정(Halo Ion-Implantation process)이 적용된 계면트랩(interface trap) 영역에 대해 그렇지 않은 계면트랩 영역 보다 높은 계면트랩 밀도 분포를 적용할 수 있다.

[0018] 또한, 상기 할로 이온주입공정(Halo Ion-Implantation process)이 적용된 계면트랩(interface trap) 영역에 대해 적용되는 높은 계면트랩 밀도 분포는, 상기 반도체 소자의 게이트 길이가 짧을수록 더 높은 계면트랩 밀도 분포를 적용할 수 있다.

[0019] 또한, 상기 할로 이온주입공정(Halo Ion-Implantation process)이 적용된 계면트랩(interface trap) 영역에 대해 적용되는 높은 계면트랩 밀도 분포는, 상기 할로 이온주입공정의 방식에 따라 달라질 수 있다.

[0020] 또한, 상기 할로 이온주입공정(Halo Ion-Implantation process)이 적용된 계면트랩(interface trap) 영역에 대해 적용되는 높은 계면트랩 밀도 분포는, 상기 반도체 소자의 유형에 따라 달라질 수 있다.

[0021] 한편, 상기 할로 이온주입공정(Halo Ion-Implantation process)이 적용된 계면트랩(interface trap) 영역은, 상기 반도체 소자의 에지(edge) 영역일 수 있다.

발명의 효과

[0022] 본 발명의 할로 이온주입공정에 의한 불균일한 계면트랩 밀도 분포 모델을 이용한 노이즈 예측방법에 의하면, 할로 이온주입공정(Halo Ion-Implantation process) 중 발생할 수 있는 불균일한 계면트랩 밀도 분포(Non-uniform Interface trap density distribution)를 제대로 모델링 할 수 있다.

[0023] 또한, 본 발명의 할로 이온주입공정에 의한 불균일한 계면트랩 밀도 분포 모델을 이용한 노이즈 예측방법에 의하면, 할로 이온주입공정 중 발생할 수 있는 불균일한 계면트랩 밀도 분포를 반영한 모델링을 통해 반도체 소자의 $Si-SiO_2$ 계면의 상태에 따라 발생할 수 있는 플리커 노이즈(Flicker noise)를 정확히 예측할 수 있다.

[0024] 또한, 본 발명의 할로 이온주입공정에 의한 불균일한 계면트랩 밀도 분포 모델을 이용한 노이즈 예측방법에 의

하면, 반도체 소자의 $Si-SiO_2$ 계면의 상태에 따라 발생하는 플리커 노이즈의 정확한 예측을 가능하게 하여, 단일 소자 뿐만 아니라 소자를 포함한 회로 전체의 신뢰성 특성을 평가할 수 있다.

도면의 간단한 설명

[0025] 도 1은 숏-채널(short channel) 반도체 소자의 경우 발생하는 펀치 스루(Punch through) 현상을 설명하기 위한 도면이다.

도 2는 할로 이온주입공정(Halo Ion-Implantation process)을 이용하여 펀치 스루(Punch through) 현상을 억제하는 것을 설명하기 위한 도면이다.

도 3은 종래의 계면트랩 밀도 분포(Interface trap density distribution)를 균일한(Uniform) 분포로 고려하는 경우와, 본 발명에 의한 불균일한(Non-uniform) 계면트랩 밀도 분포를 적용한 경우를 설명하기 위한 도면이다.

도 4는 반도체 소자의 길이를 줄여가며 계면트랩(Interface trap)을 측정한 것으로서, 할로 이온주입공정에 의해 발생하는 계면트랩 영역의 비율이 증가할수록 계면트랩(Interface trap)이 커지는 현상을 설명하기 위한 도면이다.

도 5는 주파수에 따른 노이즈 특성을 시뮬레이션한 것으로서, 본 발명의 불균일한 계면트랩 밀도 분포 모델을 적용하여 더욱 정확한 소자의 노이즈 특성을 예측할 수 있음을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하, 본 발명의 실시를 위한 구체적인 실시예를 첨부된 도면들을 참조하여 설명한다.

[0027] 본 발명을 설명함에 있어서 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되지 않을 수 있다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소도 제 1 구성요소로 명명될 수 있다.

[0028] 어떤 구성요소가 다른 구성요소에 연결되어 있다거나 접속되어 있다고 언급되는 경우는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해될 수 있다.

[0029] 본 명세서에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.

[0030] 본 명세서에서, 포함하다 또는 구비하다 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것으로서, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해될 수 있다.

[0031] 또한, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다. 본 명세서에서, 도면에서의 동일한 참조번호들은 달리 지시하지 않는 한 동일한 구성 부분을 나타낸다.

[0032] 이하, 첨부된 도면을 참조하여 본 발명의 일 실시예에 따른 할로 이온주입공정에 의한 불균일한(Non-uniform) 계면트랩 밀도 분포(Interface trap density distribution)의 모델링 방법 및 이를 이용한 노이즈 예측방법에 대해 상세히 설명한다.

[0034] 반도체 제조 공정 시 발생하는 계면트랩(Interface trap)의 경우, 그 생성을 예측하거나 특정 하기가 어렵기 때문에 기존에는 그 분포를 고려하지 않거나 균일한(Uniform)한 형태로 고려하는 것이 일반적이었다.

[0035] 그러나, 반도체 소자의 에지(edge) 부근에 진행되는 공정인 할로 이온주입공정(Halo Ion-Implantation process)의 경우에는 불균일한(Non-uniform) 계면트랩 밀도 분포(Interface trap density distribution)가 발생하며, 계면트랩 밀도 분포가 클수록 더 큰 노이즈를 발생시키기 때문에 이를 정확히 모사해야 할 필요성이 있다.

[0036] 따라서, 본 발명에서는 숏-채널(short channel) 소자에서 불균일한 계면트랩 밀도 분포에 의한 영향이 두드러지

는 현상을 모사하기 위해 불균일한 계면트랩 밀도 분포(Non-uniform Interface trap density distribution) 모델을 제안하고, 이를 통해 소자의 노이즈 특성을 정확히 예측할 수 있도록 하는 것을 특징으로 한다.

[0037] 먼저, 도 2를 참조하여 할로 이온주입공정(Halo Ion-Implantation process)을 이용한 펀치 스루(Punch through) 현상의 방지 방법에 대해 설명한다. 도 2는 할로 이온주입공정을 이용하여 펀치 스루(Punch through) 현상을 억제하는 것을 설명하기 위한 도면이다.

[0038] 여기서, 도 2(a)는 펀치 스루(Punch through) 현상을 방지하기 위한 할로 이온주입공정으로 인해 게이트(Gate)의 유전체에 L_{Halo} 길이의 손상이 발생한 상태를 나타낸 것이고, 도 2(b)는 할로 이온주입공정에 의해 펀치 스루(Punch through) 현상이 억제된 상태를 나타낸 것이다.

[0039] 즉, L_{Halo} 는 할로 이온주입공정에 의해 발생하는 계면트랩을 의미하는 것으로서, 도 2(a)와 같이 소자의 에지(Edge) 부근에 진행되는 할로 이온주입공정의 경우 불균일한 계면트랩 밀도 분포가 발생하게 되고, 이러한 계면트랩이 클수록 반도체 소자에 더 큰 노이즈를 발생시키기 때문에 이를 정확히 모사해야 할 필요성이 있다.

[0040] 따라서, 본 발명은 숏-채널(short channel) 소자의 경우 불균일한 계면트랩 밀도 분포에 의한 영향이 두드러지는 현상을 모사하기 위해 불균일한 계면트랩 밀도 분포(Non-uniform Interface trap density distribution)를 갖는 모델링 방법을 제시한다.

[0042] 도 3은 본 발명에 의한 불균일한 계면트랩 밀도 분포(Non-uniform Interface trap density distribution)를 갖는 모델링 방법을 설명하기 위한 도면이다.

[0043] 도 3은 종래의 계면트랩 밀도 분포(Interface trap density distribution)를 균일한(Uniform) 것으로 상정하는 경우와, 본 발명에 의한 불균일한 계면트랩 밀도 분포(Non-uniform Interface trap density distribution) 모델을 적용한 경우를 설명하기 위한 도면으로서, 도 3(a)에서의 적색 라인은 종래의 균일한 계면트랩 밀도 분포 모델을 나타낸 것이며, 도 3(b)는 본 발명의 불균일한 계면트랩 밀도 분포 모델을 나타낸 것이다.

[0044] 여기서, Oxide 는 기판 산화물을 의미하고, N_{it} 는 계면트랩 밀도를 의미한다. 또한, $N_{it,Halo}$ 는 할로 이온주입공정(Halo Ion-Implantation process)에 의해 발생하는 계면트랩 밀도를 의미하고, L_{Halo} 는 할로 이온주입공정에 의해 발생하는 계면트랩 밀도의 영역을 의미한다. 그리고, $N_{it,Center}$ 는 종래의 균일한 계면트랩 밀도 분포가 적용되는 채널(Channel) 가운데 영역의 계면트랩 밀도를 의미한다.

[0045] 도 3에서 알 수 있는 바와 같이, 본 발명에서는 할로 이온주입공정이 적용된 영역에 대해 그렇지 않은 영역 보다 높은 계면트랩 밀도 분포를 적용한다. 또한, 이때 적용되는 높은 계면트랩 밀도는 할로 이온주입공정의 방식이나, 반도체 소자의 유형에 따라 달라질 수 있다.

[0046] 본 발명에서, 소자의 에지(edge) 부근에 대해 불균일한 계면트랩 밀도 분포를 갖는 모델을 사용하는 이유는 다음과 같다.

[0047] 반도체 소자의 플리커 노이즈(Flicker noise)는 Si-SiO2 계면 상태에 의해 결정되는데, 숏-채널(short channel) 소자의 경우 할로 이온주입공정에 의해 발생한 에지(edge) 부근의 계면트랩(Interface trap)이 전체 채널 길이에서 차지하는 비율이 증가하여 노이즈 발생의 주된 원인이 된다.

[0048] 그러나, 상술한 바와 같이 종래에는 공정 중 발생할 수 있는 계면트랩 밀도(N_{it})의 분포를 균일한(Uniform) 것으로 고려하거나 고려하지 않기 때문에, 숏-채널 소자의 계면트랩에 의해 발생하는 영향을 정확히 모사할 수 없었다.

[0049] 반면, 본 발명은 할로 이온주입공정 중 산화물 에지(Oxide edge) 부근에서 발생할 수 있는 계면트랩 분포에 대해 불균일한 계면트랩 밀도(Non-uniform Interface trap density) 분포 모델을 사용함으로써, 숏-채널 소자일 때 발생할 수 있는 영향을 모사할 수 있으며, 또한 소자에 대한 정확한 노이즈 특성의 예측이 가능하다.

[0051] 한편, 본 발명에서는 반도체 소자의 게이트 길이가 작아질수록 할로 이온주입공정에 의해 발생하는 계면트랩(Interface trap) 영역에 대해 더 높은 계면트랩 밀도 분포를 적용할 수 있는데, 이에 대해 도 4를 참조하여 설명한다.

[0052] 도 4는 반도체 소자의 길이를 줄여가며 계면트랩(Interface trap)을 측정한 것으로서, 할로 이온주입공정에 의해 발생하는 계면트랩 영역의 비율이 증가할수록 계면트랩 밀도가 커지는 현상을 설명하기 위한 도면이다. 여기서, L_G 는 소자의 게이트 길이(Gate length) 이고, N_{it} 는 계면트랩 밀도를 나타낸다.

[0053] 도 4 에서 알 수 있는 바와 같이, 할로 이온주입공정에 의해 발생하는 계면트랩(Interface trap)의 영역인 L_{Halo} 비율의 증가로 인해 게이트 길이(L_G)가 작아질수록 계면트랩 밀도(N_{it})가 커지는 결과를 확인할 수 있으며, 따라서 소자의 길이가 감소함에 따라 계면트랩 밀도가 커지는 불균일한 계면트랩 밀도 분포를 보임을 알 수 있다.

[0054] 따라서, 본 발명에서는 반도체 소자의 게이트 길이(L_G)가 작아질수록 할로 이온주입공정에 의해 발생하는 계면트랩(Interface trap) 영역에 대해 더 높은 계면트랩 밀도 분포를 적용할 수 있다.

[0056] 다음, 도 5는 주파수에 따른 노이즈 특성을 시뮬레이션한 것으로서, 본 발명의 불균일한 계면트랩 밀도 분포 모델을 적용하여 더욱 정확한 소자의 노이즈 특성을 예측할 수 있음을 설명하기 위한 도면이다.

[0057] 도 5 에서, 가로축은 반도체 소자에 대한 전력 스펙트럼 밀도(Power spectrum density) 측정 시 주파수(Frequency) 이고, 세로축은 계면트랩에 의해 발생하는 반도체 소자의 전력 스펙트럼 밀도(Power spectrum density)(S_{ID}/I_D^2) 로서, 전력 스펙트럼 밀도(S_{ID}/I_D^2)는 반도체 소자의 노이즈 특성 평가 시 일반적으로 사용되는 측정 지표이다.

[0058] 한편, 검정색 점선은 종래의 균일한(Uniform) 계면트랩 밀도(N_{it})의 분포로 전력 스펙트럼 밀도를 시뮬레이션 한 결과이고, 빨강색 실선은 본 발명의 불균일한(Non-uniform) 계면트랩 밀도 분포 모델을 적용해 전력 스펙트럼 밀도를 시뮬레이션 한 결과이다.

[0059] 도 5에서 알 수 있는 바와 같이, 게이트 길이(L_G)가 길다고 볼 수 있는 L_G = 500 nm 인 소자(Long channel)의 경우 균일한(Uniform) 분포와 불균일한(Non-uniform) 분포 간의 차이가 발생하지 않지만, 게이트 길이(L_G)가 짧은 L_G = 30 nm 인 소자(Short channel)의 경우 균일한(Uniform) 분포와 불균일한(Non-uniform) 분포 간의 전력 스펙트럼 밀도(Power spectrum density) 차이가 253% 의 큰 차이를 보임을 알 수 있다.

[0060] 따라서, 본 발명의 불균일한 계면트랩 밀도 분포 모델을 적용해 정확히 모사함으로써, 소자의 길이가 짧은 숏-채널(Short channel) 소자의 전력 스펙트럼 밀도(Power spectrum density)를 더 정확히 예측할 수 있으며, 이로써 소자에 대한 정확한 노이즈 특성의 예측이 가능하다.

[0062] 이상에서 같이, 본 발명의 할로 이온주입공정에 의한 불균일한 계면트랩 밀도 분포 모델을 이용한 노이즈 예측 방법에 의하면, 할로 이온주입공정(Halo Ion-Implantation process) 중 발생할 수 있는 불균일한 계면트랩 밀도 분포(Non-uniform Interface trap density distribution)를 제대로 모델링 할 수 있으며, 이를 통해 반도체 소자의 $Si-SiO_2$ 계면의 상태에 따라 발생할 수 있는 플리커 노이즈(Flicker noise)를 정확히 예측할 수 있다. 또한, 반도체 소자의 $Si-SiO_2$ 계면의 상태에 따라 발생하는 플리커 노이즈의 정확한 예측을 가능하게 하여, 단일 소자 뿐만 아니라 소자를 포함한 회로 전체의 신뢰성 특성을 평가할 수 있다.

[0064] 본 발명의 기술 분야에서 통상의 지식을 가진 자는 여기에 개시된 실시예들과 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들, 프로세서들, 수단들, 회로들 및 알고리즘 단계들이 전자 하드웨어, (편의를 위해, 여기에서 소프트웨어로 지칭되는) 다양한 형태들의 프로그램 또는 설계 코드 또는 이들 모두의 결합에 의해 구현될 수 있다는 것을 이해할 것이다. 하드웨어 및 소프트웨어의 이러한 상호 호환성을 명확하게 설명하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들 및 단계들이 이들의 기능과 관련하여 위에서 일반적으로 설명되었다. 이러한 기능이 하드웨어 또는 소프트웨어로서 구현되는지 여부는 특정한 애플리케이션 및 전체 시스템에 대하여 부과되는 설계 제약들에 따라 좌우된다. 본 발명의 기술 분야에서 통상의 지식을 가진 자는 각각의 특정한 애플리케이션에 대하여 다양한 방식들로 설명된 기능을 구현할 수 있으나, 이러한 구현 결정들은 본 발명의 범위를 벗어나는 것으로 해석되어서는 안 될 것이다.

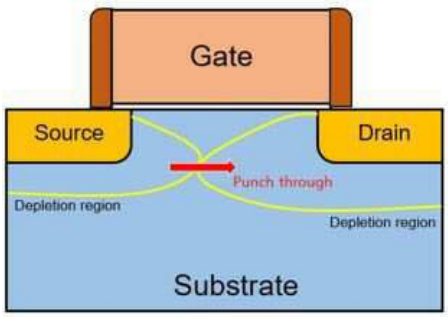
[0065] 여기서 제시된 다양한 실시예들은 방법, 장치, 또는 표준 프로그래밍 및/또는 엔지니어링 기술을 사용한 제조 물품(article)으로 구현될 수 있다. 용어 제조 물품은 임의의 컴퓨터-판독가능 저장장치로부터 액세스 가능한 컴퓨터 프로그램, 캐리어, 또는 매체(media)를 포함한다. 예를 들어, 컴퓨터-판독가능 저장매체는 자기 저장 장치(예를 들면, 하드 디스크, 플로피 디스크, 자기 스트립, 등), 광학 디스크(예를 들면, CD, DVD, 등), 스마트 카드, 및 플래쉬 메모리 장치(예를 들면, EEPROM, 카드, 스틱, 키 드라이브, 등)를 포함하지만, 이들로 제한되는 것은 아니다. 또한, 여기서 제시되는 다양한 저장 매체는 정보를 저장하기 위한 하나 이상의 장치 및/또는 다른 기계-판독가능한 매체를 포함한다.

[0066] 제시된 프로세스들에 있는 단계들의 특정한 순서 또는 계층 구조는 예시적인 접근들의 일례임을 이해하도록 한다. 설계 우선순위들에 기반하여, 본 발명의 범위 내에서 프로세스들에 있는 단계들의 특정한 순서 또는 계층 구조가 재배열될 수 있다는 것을 이해하도록 한다. 첨부된 방법 청구항들은 샘플 순서로 다양한 단계들의 엘리먼트들을 제공하지만 제시된 특정한 순서 또는 계층 구조에 한정되는 것을 의미하지는 않는다.

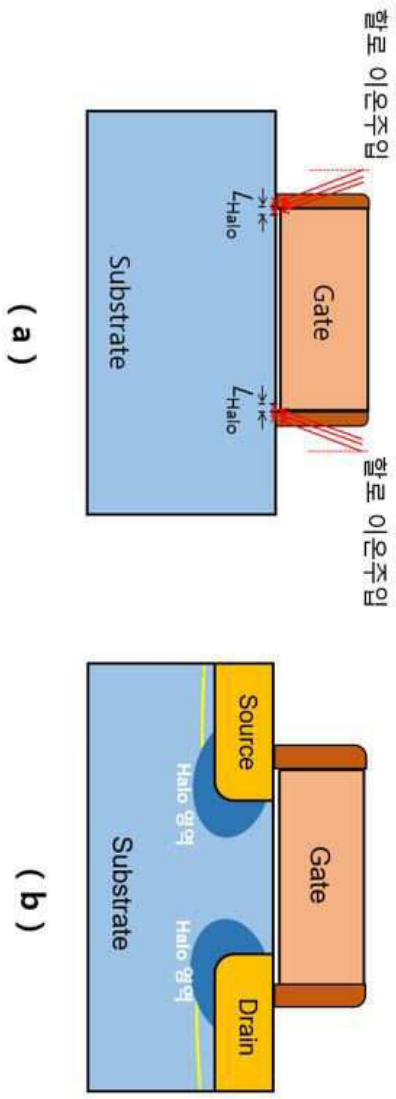
[0067] 제시된 실시예들에 대한 설명은 임의의 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 이용하거나 또는 실시할 수 있도록 제공된다. 이러한 실시예들에 대한 다양한 변형들은 본 발명의 기술 분야에서 통상의 지식을 가진 자에게 명백할 것이며, 여기에 정의된 일반적인 원리들은 본 발명의 범위를 벗어남이 없이 다른 실시예들에 적용될 수 있다. 그리하여, 본 발명은 여기에 제시된 실시예들로 한정되는 것이 아니라, 여기에 제시된 원리들 및 신규한 특징들과 일관되는 최광의의 범위에서 해석되어야 할 것이다.

도면

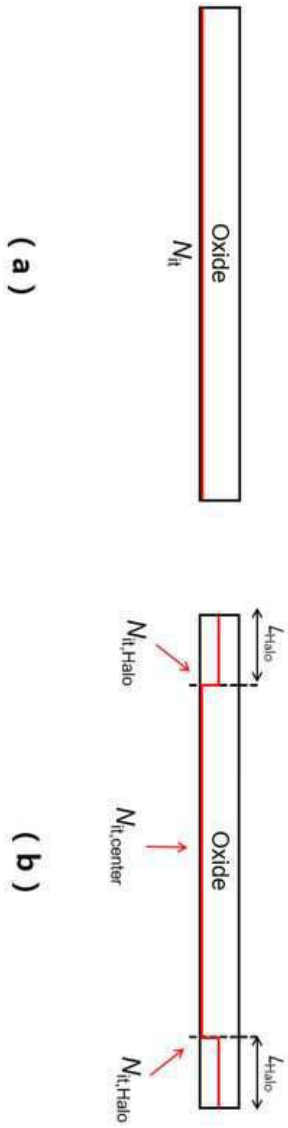
도면1



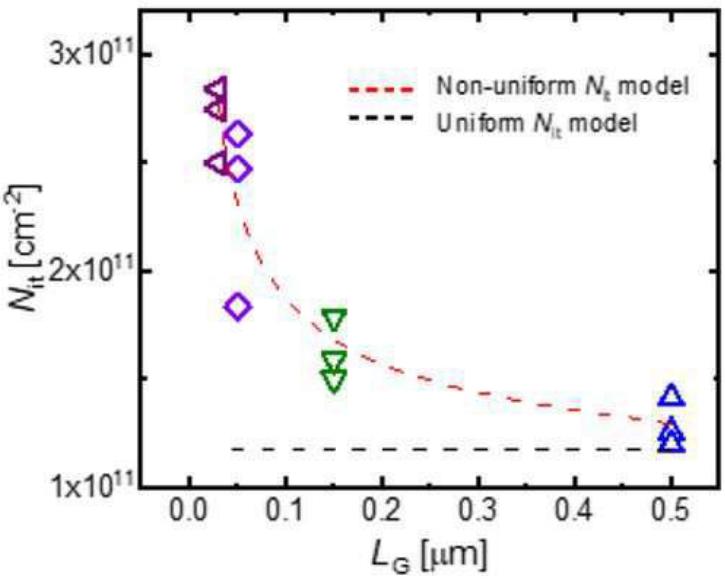
도면2


할로 이온주입
Gate
Substrate
L_{Halo}
L_{Halo}
할로 이온주입
(a)
Source
Gate
Drain
Substrate
Halo 영역
Halo 영역
(b)

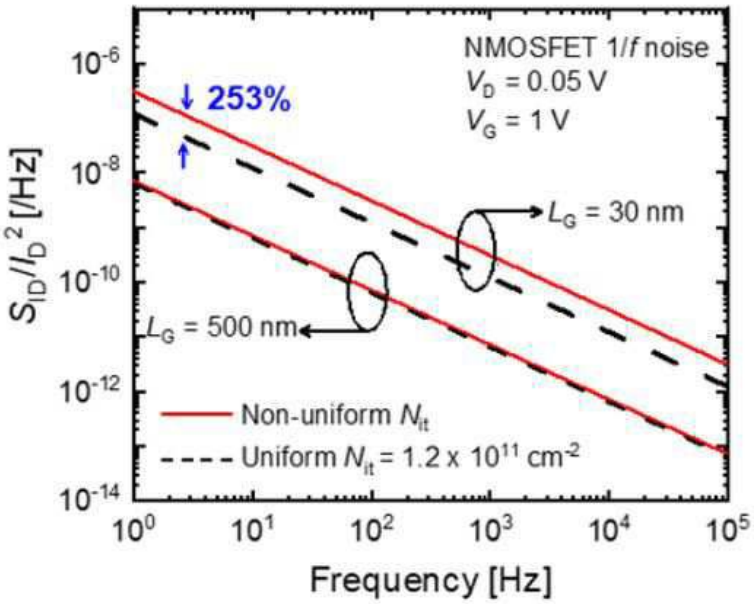
도면3


(a)
N_{it}
Oxide
(b)
$N_{it,Halo}$
L_{Halo}
$N_{it,center}$
Oxide
$N_{it,Halo}$
L_{Halo}

도면4


3x10^11
2x10^11
1x10^11
N_{it} [cm^{-2}]
0.0
0.1
0.2
0.3
0.4
0.5
L_G [μm]
Non-uniform N_{it} model
Uniform N_{it} model

도면5


NMOSFET 1/f noise
V_D = 0.05 V
V_G = 1 V
↓ 253%
↑
L_G = 30 nm
L_G = 500 nm
Non-uniform N_{it}
Uniform N_{it} = 1.2 x 10^{11} cm^{-2}
S_{ID}/I_D^2 [/Hz]
Frequency [Hz]
10^{-6}
10^{-8}
10^{-10}
10^{-12}
10^{-14}
10^0
10^1
10^2
10^3
10^4
10^5