

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7364355号
(P7364355)

(45)発行日 令和5年10月18日(2023.10.18)

(24)登録日 令和5年10月10日(2023.10.10)

(51)国際特許分類		F I		
G 0 1 R	19/165 (2006.01)	G 0 1 R	19/165	K
G 0 5 F	3/26 (2006.01)	G 0 5 F	3/26	
G 0 5 F	3/30 (2006.01)	G 0 5 F	3/30	
G 0 6 F	1/3206(2019.01)	G 0 6 F	1/3206	

請求項の数 5 (全15頁)

(21)出願番号	特願2019-85629(P2019-85629)	(73)特許権者	000191238 日清紡マイクロデバイス株式会社 東京都中央区日本橋横山町3-10
(22)出願日	平成31年4月26日(2019.4.26)	(74)代理人	110002000 弁理士法人栄光事務所
(65)公開番号	特開2020-180932(P2020-180932 A)	(72)発明者	宮島 一之 埼玉県ふじみ野市福岡二丁目1番1号 新日本無線株式会社川越製作所内
(43)公開日	令和2年11月5日(2020.11.5)	審査官	越川 康弘
審査請求日	令和4年4月8日(2022.4.8)		

最終頁に続く

(54)【発明の名称】 電圧検出回路

(57)【特許請求の範囲】

【請求項1】

電圧入力端に印加された入力電圧を分圧する第1の抵抗及び第2の抵抗と、
前記第1の抵抗と前記第2の抵抗との間に互いにベースが接続され、バンドギャップ回路を構成する第1のトランジスタ及び第2のトランジスタと、を有し、
前記第1のトランジスタのコレクタに第1カレントミラー回路の入力部の一方が接続され、前記第1カレントミラー回路の入力部の他方が前記電圧入力端に接続され、
前記第2のトランジスタのコレクタに第2カレントミラー回路の入力部の一方が接続され、前記第2カレントミラー回路の入力部の他方が前記電圧入力端に接続され、
前記第1カレントミラー回路の出力部に第3カレントミラー回路の入力部の一方が接続され、前記第3カレントミラー回路の入力部の他方が接地され、
前記第1のトランジスタのエミッタが第3の抵抗及び第4の抵抗を介して接地され、前記第2のトランジスタのエミッタが前記第3の抵抗と前記第4の抵抗の接続ノードに接続されて前記第4の抵抗を介して接地された差動入力回路部と、
前記第2カレントミラー回路の第1出力部と前記第3カレントミラー回路の第1出力部とが互いに接続された接続ノードに設けられる検出出力端と、を有し、
前記入力電圧の変化に伴い、前記第2カレントミラー回路及び前記第3カレントミラー回路の第1出力部の電圧が変化することによって、前記入力電圧が所定の電圧値以上、又は所定の電圧値以下になったことを検出する電圧検出回路であって、
前記第2カレントミラー回路の第1出力部に並列に設けられた第2カレントミラー回路

10

20

の第 2 出力部と、

前記第 3 カレントミラー回路の第 1 出力部に並列に設けられた第 3 カレントミラー回路の第 2 出力部と、

前記第 1 の抵抗と前記第 2 の抵抗との間に設けられ、前記第 1 の抵抗及び前記第 2 の抵抗に流れる電流を制限することにより、前記第 1 及び第 2 のトランジスタのベース電圧を所定値以下にクランプするクランプ回路を構成する電流制限素子と、

前記第 2 カレントミラー回路の第 2 出力部と前記第 3 カレントミラー回路の第 2 出力部とが互いに接続された接続ノードにゲートが接続され、ソースが接地され、ドレインが第 5 の抵抗を介して前記電圧入力端に接続された第 1 の MOSFET を有し、前記入力電圧の変化に伴う前記第 2 カレントミラー回路及び前記第 3 カレントミラー回路の第 2 出力部の電圧の変化によって、前記クランプ回路の動作を制御するクランプ制御素子と、を有する、

10

電圧検出回路。

【請求項 2】

請求項 1 に記載の電圧検出回路であって、

前記電流制限素子は、前記第 1 の抵抗にドレインが接続され、ソースが前記第 1 のトランジスタ及び前記第 2 のトランジスタのベースと前記第 2 の抵抗とに接続され、ゲートが前記第 1 の MOSFET のドレインと前記第 5 の抵抗とに接続された第 2 の MOSFET を有し、

前記第 1 の MOSFET は、前記入力電圧の変化に応じて前記第 2 の MOSFET のゲート電圧を制御し、前記第 2 の MOSFET は、ゲート電圧に応じてドレイン電流が変化し、前記第 1 の抵抗及び前記第 2 の抵抗に流れる電流を制限するものであり、前記検出出力端の出力電圧が反転する第 1 の電圧値よりも大きい第 2 の電圧値以上の電圧において前記クランプ回路を動作させる、

20

電圧検出回路。

【請求項 3】

請求項 1 又は 2 に記載の電圧検出回路であって、

前記第 3 カレントミラー回路の第 1 出力部及び第 2 出力部は、それぞれ MOSFET により構成され、2 つの MOSFET のゲート幅の比は、 $1 : N$ ($N > 1$) である、

電圧検出回路。

30

【請求項 4】

請求項 1 に記載の電圧検出回路であって、

前記電圧入力端と前記第 1 カレントミラー回路及び前記第 2 カレントミラー回路の入力部の他方との間に設けられ、前記第 1 カレントミラー回路の入力部の他方及び前記第 2 カレントミラー回路の入力部の他方である電源入力部を分離する電源分離素子を、さらに有する、

電圧検出回路。

【請求項 5】

請求項 4 に記載の電圧検出回路であって、

前記クランプ制御素子は、前記第 2 カレントミラー回路の第 2 出力部と前記第 3 カレントミラー回路の第 2 出力部との接続ノードにゲートが接続され、ソースが接地され、ドレインが第 5 の抵抗を介して前記電圧入力端に接続された第 1 の MOSFET を有し、

40

前記電流制限素子は、前記第 1 の抵抗にドレインが接続され、ソースが前記第 1 及び第 2 のトランジスタのベースと前記第 2 の抵抗とに接続され、ゲートが前記第 1 の MOSFET のドレインと前記第 5 の抵抗とに接続された第 2 の MOSFET を有し、

前記電源分離素子は、前記電圧入力端にドレインが接続され、ソースが前記第 1 カレントミラー回路及び前記第 2 カレントミラー回路の入力部の他方に接続され、ゲートが前記第 2 の MOSFET のゲートと共に前記第 1 の MOSFET のドレイン及び前記第 5 の抵抗に接続された第 3 の MOSFET を有する、

電圧検出回路。

50

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、電圧検出回路に関する。

【背景技術】**【0002】**

半導体集積回路等を含む各種装置の回路において、電力源の電源電圧等を入力電圧とし、対象の回路が安定動作しない低電圧状態又は高電圧状態を検出する電圧検出回路が用いられている。この種の電圧検出回路として、例えば、低電圧誤動作防止回路（U V L O（Under Voltage Lock Out）回路）では、コンパレータ等を用いて入力電圧が所定電圧よりも低い低電圧状態を検出し、対象の回路の動作をオフする機能を有している。

10

【0003】

U V L O回路に用いる電圧検出回路としては、例えば特許文献1に開示されているように、バンドギャップ回路を有する電圧検出回路が知られている。特許文献1の電圧検出回路では、バンドギャップ回路を構成する接合面積が互いに異なる2つのトランジスタにおいて、入力電圧に応じてそれぞれのトランジスタを流れる電流に差異が生じることを利用している。この従来例において、電源電圧が所定電圧を超えたときにバンドギャップの出力が得られ、この出力によって出力端子の論理が反転することにより、所定電圧に対して電源電圧が上昇又は降下したことが検出される。この構成により、基準電圧を生成する安定化電源及び入力電圧を基準電圧と比較するコンパレータを設ける必要がなく、所定電圧に対する電圧検出を行うことが可能となっている。

20

【先行技術文献】**【特許文献】****【0004】**

【文献】特開平1 - 274071号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

上記特許文献1のような従来例の電圧検出回路では、電源電圧が上昇するとバンドギャップ回路を構成する2つのトランジスタのコレクタに流れる電流が増加するため、電圧上昇に伴って消費電力が増加していく。このような電圧検出回路をU V L O回路に用いた場合、通常動作時の電源電圧は低電圧状態を検出する検知電圧よりもかなり大きい電圧範囲にあるため、通常動作時に電圧検出回路による消費電力が大きくなるという課題がある。近年では、電池駆動の装置などにおいて、電圧検出回路の更なる低消費電力化が求められている。

30

【0006】

本発明は、消費電力を低減することが可能な電圧検出回路を提供することを目的とする。

【課題を解決するための手段】**【0007】**

本発明は、電圧入力端に印加された入力電圧を分圧する第1の抵抗及び第2の抵抗と、前記第1の抵抗と前記第2の抵抗との間に互いにベースが接続され、バンドギャップ回路を構成する第1のトランジスタ及び第2のトランジスタと、を有し、前記第1のトランジスタのコレクタに第1カレントミラー回路の入力部の一方が接続され、前記第1カレントミラー回路の入力部の他方が前記電圧入力端に接続され、前記第2のトランジスタのコレクタに第2カレントミラー回路の入力部の一方が接続され、前記第2カレントミラー回路の入力部の他方が前記電圧入力端に接続され、前記第1カレントミラー回路の出力部に第3カレントミラー回路の入力部の一方が接続され、前記第3カレントミラー回路の入力部の他方が接地され、前記第1のトランジスタのエミッタが第3の抵抗及び第4の抵抗を介して接地され、前記第2のトランジスタのエミッタが前記第3の抵抗と前記第4の抵抗の接続ノードに接続されて前記第4の抵抗を介して接地された差動入力回路部と、前記第2

40

50

カレントミラー回路の第1出力部と前記第3カレントミラー回路の第1出力部とが互いに接続された接続ノードに設けられる検出出力端と、を有し、前記入力電圧の変化に伴い、前記第2カレントミラー回路及び前記第3カレントミラー回路の第1出力部の電圧が変化することによって、前記入力電圧が所定の電圧値以上、又は所定の電圧値以下になったことを検出する電圧検出回路であって、前記第2カレントミラー回路の第1出力部に並列に設けられた第2カレントミラー回路の第2出力部と、前記第3カレントミラー回路の第1出力部に並列に設けられた第3カレントミラー回路の第2出力部と、前記第1の抵抗と前記第2の抵抗との間に設けられ、前記第1の抵抗及び前記第2の抵抗に流れる電流を制限することにより、前記第1及び第2のトランジスタのベース電圧を所定値以下にクランプするクランプ回路を構成する電流制限素子と、前記第2カレントミラー回路の第2出力部と前記第3カレントミラー回路の第2出力部とが互いに接続された接続ノードにゲートが接続され、ソースが接地され、ドレインが第5の抵抗を介して前記電圧入力端に接続された第1のMOSFETを有し、前記入力電圧の変化に伴う前記第2カレントミラー回路及び前記第3カレントミラー回路の第2出力部の電圧の変化によって、前記クランプ回路の動作を制御するクランプ制御素子と、を有する、電圧検出回路を提供する。

10

【0008】

また、本発明は、上記の電圧検出回路であって、前記電流制限素子は、前記第1の抵抗にドレインが接続され、ソースが前記第1のトランジスタ及び前記第2のトランジスタのベースと前記第2の抵抗とに接続され、ゲートが前記第1のMOSFETのドレインと前記第5の抵抗とに接続された第2のMOSFETを有し、前記第1のMOSFETは、前記入力電圧の変化に応じて前記第2のMOSFETのゲート電圧を制御し、前記第2のMOSFETは、ゲート電圧に応じてドレイン電流が変化し、前記第1の抵抗及び前記第2の抵抗に流れる電流を制限するものであり、前記検出出力端の出力電圧が反転する第1の電圧値よりも大きい第2の電圧値以上の電圧において前記クランプ回路を動作させる、電圧検出回路を提供する。

20

【0009】

また、本発明は、上記の電圧検出回路であって、前記第3カレントミラー回路の第1出力部及び第2出力部は、それぞれMOSFETにより構成され、2つのMOSFETのゲート幅の比は、 $1:N$ ($N>1$)である、電圧検出回路を提供する。

【0010】

また、本発明は、上記の電圧検出回路であって、前記電圧入力端と前記第1カレントミラー回路及び前記第2カレントミラー回路の入力部の他方との間に設けられ、前記第1カレントミラー回路の入力部の他方及び前記第2カレントミラー回路の入力部の他方である電源入力部を分離する電源分離素子を、さらに有する、電圧検出回路を提供する。

30

【0011】

また、本発明は、上記の電圧検出回路であって、前記クランプ制御素子は、前記第2カレントミラー回路の第2出力部と前記第3カレントミラー回路の第2出力部との接続ノードにゲートが接続され、ソースが接地され、ドレインが第5の抵抗を介して前記電圧入力端に接続された第1のMOSFETを有し、前記電流制限素子は、前記第1の抵抗にドレインが接続され、ソースが前記第1及び第2のトランジスタのベースと前記第2の抵抗とに接続され、ゲートが前記第1のMOSFETのドレインと前記第5の抵抗とに接続された第2のMOSFETを有し、前記電源分離素子は、前記電圧入力端にドレインが接続され、ソースが前記第1カレントミラー回路及び前記第2カレントミラー回路の入力部の他方に接続され、ゲートが前記第2のMOSFETのゲートと共に前記第1のMOSFETのドレイン及び前記第5の抵抗に接続された第3のMOSFETを有する、電圧検出回路を提供する。

40

【発明の効果】

【0012】

本発明によれば、消費電力を低減することが可能な電圧検出回路を提供できる。

【図面の簡単な説明】

50

【 0 0 1 3 】

【 図 1 】 第 1 の実施形態の電圧検出回路の構成を示す図である。

【 図 2 】 図 1 の回路における動作特性の一例を示す特性図である。

【 図 3 】 第 2 の実施形態の電圧検出回路の構成を示す図である。

【 図 4 】 U V L O 回路の基本的な構成を示す図である。

【 図 5 】 図 4 の回路における動作特性の一例を示す特性図である。

【 発明を実施するための形態 】

【 0 0 1 4 】

以下、本発明に係る電圧検出回路を具体的に開示した実施形態（以下、「本実施形態」という）について、図面を参照して詳細に説明する。

10

【 0 0 1 5 】

（本実施形態に至る背景）

まず、電圧検出回路における消費電力の課題について説明する。

【 0 0 1 6 】

ここでは、電圧検出回路の一例として、電源電圧の立ち上がり（0 V 付近から所定電圧以上への上昇）、又は電源電圧の低下（通常動作可能な電圧から所定電圧未満への降下）を検出する U V L O 回路に適用した場合の構成を想定する。

【 0 0 1 7 】

U V L O 回路では、電源電圧の立ち上がり時又は低下時において、温度の影響を受けずに常に一定の検知電圧を検出することが望ましい。一方で、このような U V L O 回路は、電源電圧の立ち上がりを検出するため、基準電圧の生成回路が十分な出力電圧を出力できていない状態でも、正常に動作する必要がある。このため、他の回路から温度変動の小さい参照電圧を受けて、その参照電圧と検出する電源電圧とを比較する構成を取れないことがある。従って、U V L O 回路は、バンドギャップ回路を応用したコンパレータを使用する構成が用いられることが多い。

20

【 0 0 1 8 】

図 4 は、U V L O 回路の基本的な構成を示す図である。U V L O 回路は、バンドギャップ回路を構成する第 1 のトランジスタ Q 1 及び第 2 のトランジスタ Q 2 を有し、コンパレータの機能を持つ回路である。第 1 及び第 2 のトランジスタ Q 1、Q 2 は、N P N 型のトランジスタにより構成され、互いにベースが接続されている。第 1 のトランジスタ Q 1 と第 2 のトランジスタ Q 2 のエミッタ面積比は、例えば M : 1 (M > 1) となっている。第 1 のトランジスタ Q 1 のコレクタには、P M O S 型のトランジスタ M 1、M 2 による第 1 カレントミラー回路が接続され、第 2 のトランジスタ Q 2 のコレクタには、P M O S 型のトランジスタ M 3、M 4 による第 2 カレントミラー回路が接続される。

30

【 0 0 1 9 】

U V L O 回路の入力端（電圧入力端）V I N には、トランジスタ M 1、M 2、M 3、M 4 のソースが接続され、入力端 V I N に供給される電源電圧の入力電圧 V i n が印加される。また、入力端 V I N には、分圧用の抵抗 R 1、R 2 が接続され、抵抗 R 1、R 2 の接続ノードに第 1 及び第 2 のトランジスタ Q 1、Q 2 のベースが接続され、入力電圧 V i n に比例する電圧がトランジスタ Q 1、Q 2 のベースに印加される。

40

【 0 0 2 0 】

第 1 のトランジスタ Q 1 のエミッタには抵抗 R 3、R 4 が接続され、抵抗 R 3、R 4 の接続ノードに第 2 のトランジスタ Q 2 のエミッタが接続され、抵抗 R 4 の他端が接地される。さらに、抵抗 R 2 の両端にツェナーダイオード D Z 1 が接続されている。

【 0 0 2 1 】

トランジスタ M 1、M 2 による第 1 カレントミラー回路には、さらに N M O S 型のトランジスタ M 6、M 7 による第 3 カレントミラー回路が接続され、トランジスタ M 6、M 7 のソースが接地される。そして、トランジスタ M 4 のドレインとトランジスタ M 7 のドレインとが接続され、トランジスタ M 4、M 7 の接続ノードに U V L O 回路の出力端（検出出力端）O U T _ U V L O が接続される。

50

【 0 0 2 2 】

上記構成において、第 1 のトランジスタ Q 1 と第 2 のトランジスタ Q 2 のコレクタ電流は、それぞれカレントミラー回路を介してトランジスタ M 4 とトランジスタ M 7 のドレインにおいて合わせられる。電源電圧（入力端 V I N の入力電圧）の変動に伴い、第 1 及び第 2 のトランジスタ Q 1、Q 2 のベース電圧が変化し、このベース電圧の変化によってトランジスタ Q 1、Q 2 のコレクタ電流の比が変化する。入力端 V I N の入力電圧 V i n が所定電圧より低い場合、第 1 のトランジスタ Q 1 のコレクタ電流の方が第 2 のトランジスタ Q 2 よりも多く流れる状態となる。このとき、トランジスタ M 4 とトランジスタ M 7 のドレイン電流がトランジスタ M 7 側に引き込まれ、出力端 O U T _ U V L O の出力電圧が L o w レベルとなる。

10

【 0 0 2 3 】

ここで、第 1 及び第 2 のトランジスタ Q 1、Q 2 のコレクタ電流が等しくなった時に、U V L O 回路の出力端 O U T _ U V L O の出力電圧が L o w レベルから H i g h レベルに切り替わるように設定する。このときの入力端 V I N の入力電圧、すなわち U V L O 回路の解除電圧 V r i n は、以下の (1) 式で表される。

【 0 0 2 4 】

【数 1】

$$V_{rin} = \frac{R1 + R2}{R2} \left(V_{beq2} + 2 \cdot \frac{R4}{R3} \cdot VT \cdot \ln(M) \right) \quad \dots (1)$$

20

【 0 0 2 5 】

上式において、V b e q 2 ... Q 2 のベース - エミッタ間電位差、V T ... V T = k T / q で表され、k : ボルツマン定数、T : 温度、q : 電荷素量であり、温度 T a = 2 7 のとき V T = 0 . 0 2 6 V である。また、M ... Q 1 と Q 2 のエミッタ面積比 (Q 1 : Q 2 = M : 1 (M > 1)) である。

【 0 0 2 6 】

このとき、抵抗 R 3、R 4 の抵抗比を調整して、U V L O 回路の解除電圧 V r i n の温度変化量 (V r i n の温度微分値) を、トランジスタ Q 2 のベース - エミッタ間電圧 V b e q 2 の 1 次温度係数 (例えば約 - 2 m V /) と等しくする。これにより、U V L O 回路の出力が切り替わる解除電圧 (検知電圧) V r i n の温度変化を小さく抑え、ほぼ一定の温度特性として他の回路からの参照電圧の供給を不要とする。

30

【 0 0 2 7 】

図 4 に示した回路構成では、電源電圧が高いときに電圧検出回路の消費電力、すなわちバンドギャップ回路のトランジスタ Q 1、Q 2 等における消費電流が増加する課題がある。U V L O 回路の温度特性をフラットにした場合、出力電圧が切り替わる時 (解除電圧となった時) のトランジスタ Q 1、Q 2 のベース電圧は例えば約 1 . 2 5 V 程度になる。U V L O 回路の入力電圧が解除電圧より高くなり、トランジスタ Q 1、Q 2 のベース電圧が上昇すると、トランジスタ Q 1、Q 2 のコレクタ電流の合計値が大きくなる。例えばトランジスタ Q 1、Q 2 のベース電圧が 3 V の場合には、コレクタ電流の合計値は、出力電圧が切り替わる時の約 4 倍の値になる。U V L O 回路の解除電圧が低い場合、或いは通常動作時の電源電圧が高い場合など、通常動作時の入力電圧 V i n と解除電圧 V r i n との差が大きい場合には、U V L O 回路の消費電流はさらに増大する。

40

【 0 0 2 8 】

図 5 は、図 4 の回路における動作特性の一例を示す特性図である。図 5 の例では、U V L O 回路の解除電圧 V r i n を 2 . 7 V、通常動作時の電源電圧 (通常動作電圧) V o p を 1 2 ~ 1 4 V とした場合の入力電圧 V i n に対するトランジスタ Q 2 のコレクタ電流 I c Q 2 を示している。

50

【 0 0 2 9 】

例えば、車載機器の電源 I C の場合、通常動作電圧は 1 2 ~ 1 4 V 程度であるが、エンジンスタート時等の大電力消費時のバッテリー電圧低下を考慮して、3 V 程度の電源電圧で動作する必要がある。このため、U V L O 回路は 3 V 以下で電源電圧の立ち上がりを検出する必要があり、例えば解除電圧を 2 . 7 V に設定して電圧検出を行う。この場合、解除電圧の検出時と通常動作時との電圧差が大きく、通常電圧で動作しているときの U V L O 回路の消費電力を押し上げる一因となっていた。

【 0 0 3 0 】

このような電圧検出回路の消費電力特性を改善するために、トランジスタ Q 1、Q 2 のベース電圧が必要以上に高く上がりすぎないように、クランプ回路を設ける必要がある。しかし、クランプ回路についても外部のバンドギャップ回路等が立ち上がっていなければ、温度に対して安定したクランプ電圧を得ることが難しい。図 4 の回路構成では、クランプ回路としてツェナーダイオードを使用しているが、このクランプ回路によるクランプ電圧 V b は 5 V 前後となる。このため、U V L O 回路の解除電圧と比較してクランプ電圧が 2 倍程度高くなり、消費電流の増加は避けられない状況である。

10

【 0 0 3 1 】

本実施形態では、上記事情に鑑み、U V L O 回路における消費電流の増加を抑制し、消費電力を低減することが可能な電圧検出回路の構成例を示す。本実施形態の構成により、U V L O 回路を搭載したスイッチング電源、複合電源 I C 等の回路の消費電力を低減する。

【 0 0 3 2 】

以下の実施形態では、本発明に係る電圧検出回路として、U V L O 回路に適用した電圧検出回路の構成及び動作の一例を説明する。

20

【 0 0 3 3 】

(第 1 の実施形態)

図 1 は、第 1 の実施形態の電圧検出回路の構成を示す図である。本実施形態の電圧検出回路は、U V L O 回路を構成するものである。電圧検出回路は、バンドギャップ回路を構成する第 1 のトランジスタ Q 1 及び第 2 のトランジスタ Q 2 を有する。第 1 及び第 2 のトランジスタ Q 1、Q 2 は、N P N 型のトランジスタにより構成され、互いにベースが接続されている。第 1 のトランジスタ Q 1 と第 2 のトランジスタ Q 2 のエミッタ面積比は、例えば M : 1 となっている。一例として、M = 4 程度に設定する。第 1 のトランジスタ Q 1 のコレクタには、P M O S 型のトランジスタ (M O S F E T) M 1、M 2 による第 1 カレントミラー回路 1 1 (第 1 カレントミラー回路の入力部の一方) が接続される。また、第 2 のトランジスタ Q 2 のコレクタには、P M O S 型のトランジスタ (M O S F E T) M 3、M 4 による第 2 カレントミラー回路 1 2 (第 2 カレントミラー回路の入力部の一方) が接続される。

30

【 0 0 3 4 】

電圧検出回路の入力端 (電圧入力端) V I N には、トランジスタ M 1、M 2、M 3、M 4 のソース (第 1、第 2 カレントミラー回路の入力部の他方) が接続され、入力端 V I N に供給される電源電圧の入力電圧 V i n が印加される。また、入力端 V I N には、分圧用の抵抗である第 1 の抵抗 R 1 が接続され、抵抗 R 1 と第 1 及び第 2 のトランジスタ Q 1、Q 2 のベースとの間に、ベース電圧を制限するクランプ回路を構成する N M O S 型のトランジスタ M 1 0 (第 2 の M O S F E T) が設けられる。トランジスタ M 1 0 のドレインは抵抗 R 1 に接続され、ソースはトランジスタ Q 1、Q 2 のベースと第 2 の抵抗 R 2 とに接続され、抵抗 R 2 の他端が接地される。トランジスタ M 1 0 のゲートは、抵抗 R 5 を介して入力端 V I N と接続され、抵抗 R 5 によってプルアップされる。

40

【 0 0 3 5 】

トランジスタ M 1 0 のゲートとグランドとの間には、N M O S 型のトランジスタ M 9 (第 1 の M O S F E T) が設けられ、トランジスタ M 9 のドレインはトランジスタ M 1 0 のゲート及び抵抗 R 5 に接続され、トランジスタ M 9 のソースが接地される。第 1 及び第 2 のトランジスタ Q 1、Q 2 のベースには、入力端 V I N から抵抗 R 1、トランジスタ M 1

50

0 を介して、入力電圧 V_{in} に応じた電圧が印加される。入力電圧 V_{in} の上昇に伴い、トランジスタ M_9 においてドレイン電流が流れると、トランジスタ M_{10} のゲート電圧が引き下げられ、その結果、トランジスタ Q_1 、 Q_2 のベース電圧も引き下げられる。

【0036】

第1のトランジスタ Q_1 のエミッタには第3の抵抗 R_3 、第4の抵抗 R_4 が接続され、抵抗 R_3 、 R_4 の接続ノードに第2のトランジスタ Q_2 のエミッタが接続され、抵抗 R_4 の他端が接地される。このように、第1及び第2のトランジスタ Q_1 、 Q_2 によるバンドギャップ回路は、上記の抵抗 R_3 、 R_4 の接続構成による差動入力回路部を有する。抵抗 R_3 、 R_4 は、 $UVLO$ 回路の出力が切り替わる解除電圧 V_{rin} がほぼ一定の温度特性となるように、抵抗比を調整して設定する。

10

【0037】

トランジスタ M_1 、 M_2 による第1カレントミラー回路の出力部には、さらに $NMOS$ 型のトランジスタ M_6 、 M_7 による第3カレントミラー回路13が接続され、トランジスタ M_6 、 M_7 のソース（第3カレントミラー回路の入力部の他方）が接地される。そして、トランジスタ M_4 のドレイン（第2カレントミラー回路の第1出力部）とトランジスタ M_7 のドレイン（第3カレントミラー回路の第1出力部）とが互いに接続され、トランジスタ M_4 、 M_7 の接続ノードに電圧検出回路の出力端（検出出力端） OUT_UVLO が接続される。

【0038】

また、トランジスタ M_4 と並列に、第2カレントミラー回路12の第2出力部として、トランジスタ M_4 と同じ $PMOS$ 型のトランジスタ M_5 が設けられる。また、トランジスタ M_6 と並列に、第3カレントミラー回路13の第2出力部として、トランジスタ M_6 と同じ $NMOS$ 型のトランジスタ M_8 が設けられる。そして、トランジスタ M_5 のドレインとトランジスタ M_8 のドレインとが互いに接続され、この接続ノードにトランジスタ M_9 のゲートが接続される。ここで、トランジスタ M_6 とトランジスタ M_8 のゲート幅の比は、例えば $1:N$ ($N > 1$) となっている。一例として、 $N = 1.5 \sim 2.0$ 程度に設定し、トランジスタ M_6 のドレイン電流よりもトランジスタ M_8 のドレイン電流が多くなるように、ゲート幅の比を決定しておく。

20

【0039】

上記構成により、電圧入力端 V_{IN} に供給される入力電圧 V_{in} の変化により、第2カレントミラー回路12及び第3カレントミラー回路13の第1出力部の電圧が変化することで、入力電圧 V_{in} が所定の電圧値以上、又は所定の電圧値以下になったことを検出する。すなわち、 $UVLO$ 回路の解除電圧 V_{rin} 以上への入力電圧 V_{in} の立ち上がり、又は解除電圧 V_{rin} 以下への入力電圧 V_{in} の低下を検出する。

30

【0040】

上記構成において、第1のトランジスタ Q_1 と第2のトランジスタ Q_2 のコレクタ電流は、それぞれカレントミラー回路を介してトランジスタ M_4 とトランジスタ M_7 のドレインにおいて合わせられる。電源電圧（入力端 V_{IN} の入力電圧）の変動に伴い、第1及び第2のトランジスタ Q_1 、 Q_2 のベース電圧が変化し、このベース電圧の変化によってトランジスタ Q_1 、 Q_2 のコレクタ電流の比が変化する。入力端 V_{IN} の入力電圧 V_{in} が所定電圧より低い場合、第1のトランジスタ Q_1 のコレクタ電流の方が第2のトランジスタ Q_2 よりも多く流れる状態となる。このとき、トランジスタ M_4 とトランジスタ M_7 のドレイン電流がトランジスタ M_7 側に引き込まれ、出力端 OUT_UVLO の出力電圧が Low レベルとなる。

40

【0041】

そして、入力端 V_{IN} の入力電圧 V_{in} が $0V$ から立ち上がる場合を想定する。入力電圧 V_{in} の上昇に比例して、トランジスタ Q_1 、 Q_2 のベース電圧も増加する。このベース電圧が約 $0.6V$ 程度に達すると、トランジスタ Q_1 、 Q_2 のコレクタ電流が流れ始める。第2のトランジスタ Q_2 に対して第1のトランジスタ Q_1 のエミッタ面積は M 倍であるため、ベース電圧が低い場合には、第1のトランジスタ Q_1 のコレクタ電流は第2のト

50

ランジスタQ2のコレクタ電流に対して多く流れる。ここで、第1のランジスタQ1のエミッタに抵抗R3があるため、ベース電圧の増加に伴いコレクタ電流の差は減少していく。第2のランジスタQ2のコレクタ電流が大きくなるに連れて、ランジスタM4のドレイン電流が増加する。第1のランジスタQ1のコレクタ電流と第2のランジスタQ2のコレクタ電流とが同じになった時に、出力端OUT_UVLOの出力電圧がLowレベルからHighレベルに切り替わり、入力端VINの入力電圧Vinの立ち上がりを検出する。このときの入力電圧VinがUVLO回路の解除電圧Vrinとなる。

【0042】

この出力電圧の切り替え時点において、ランジスタM8のドレイン電流がランジスタM6のドレイン電流よりもN倍になるように設定されている。このため、ランジスタM5のソースする電流よりもランジスタM8のシンクする電流の方が多く、ランジスタM9のゲート電圧はLowレベルであり、ランジスタM9はOFF状態になっている。このときのランジスタM10のゲート電圧は入力端VINの入力電圧Vinに等しい。ここで、第1のMOSFETであるランジスタM9は、第2のMOSFETであるランジスタM10のゲート電圧を制御し、クランプ回路の動作を切り替えるクランプ制御素子として機能する。また、第2のMOSFETであるランジスタM10は、ゲート電圧に応じてドレイン電流が変化し、第1の抵抗R1及び第2の抵抗R2に流れる電流を制限する電流制限素子として機能する。これにより、第1及び第2のランジスタのベース電圧を制限するクランプ回路が構成される。

【0043】

入力端VINの入力電圧Vinがさらに上昇すると、第1のランジスタQ1のコレクタ電流は第2のランジスタQ2のコレクタ電流より少なくなり、ランジスタM5のソースする電流が増加する。やがて、ランジスタM9のゲート電圧はHighレベルに切り替わり、ランジスタM9のドレイン電流が流れ始める。これにより、ランジスタM10のゲート電圧が引き下げられ、ランジスタM10のドレイン電流が減少し、第1及び第2のランジスタQ1、Q2のベース電圧が引き下げられる。こうした一連のフィードバックの作用により、入力端VINの入力電圧Vinが所定の第2の電圧値以上になると、第1及び第2のランジスタQ1、Q2のベース電圧は一定値に収束する。結果として、第1及び第2のランジスタQ1、Q2のベース電圧が抑えられるため、そのコレクタ電流の増加も抑えられ、UVLO回路を含む電圧検出回路全体の消費電流も所定値以上には増加しない。

【0044】

上記のように第1及び第2のランジスタQ1、Q2のベース電圧が一定値に収束する時、すなわちベース電圧にクランプがかかり始める時の電源電圧（入力端VINの入力電圧）をクランプ電圧Vcinとする。クランプ電圧Vcinは、ランジスタQ1、Q2のベース電流が抵抗R1、R2に流れる電流に比べて無視できるほど小さい場合、以下の(2)式で近似される。

【0045】

【数2】

$$V_{cin} \cong \frac{R1 + R2}{R2} \left(V_{beq2} + \frac{R4}{R3} \cdot (1 + N) \cdot VT \cdot \ln(M \cdot N) \right) \quad \dots (2)$$

【0046】

上式において、Vbeq2...Q2のベース - エミッタ間電位差、VT...VT = kT/qで表され、k：ボルツマン定数、T：温度、q：電荷素量であり、温度Ta = 27 のときVT = 0.026Vである。また、M...Q1とQ2のエミッタ面積比（Q1：Q2 = M：1（M > 1））、N...M6とM8のゲート幅の比（M6：M8 = 1：N（N > 1））で

10

20

30

40

50

ある。トランジスタM6、M8のゲート幅の比Nは、例えば $N = 1.5 \sim 2.0$ 程度であり、カレントミラー回路の特性ばらつき、温度特性等を考慮し、クランプ電圧 V_{cin} が解除電圧 V_{rin} よりも常に高い電圧となるように設定する。

【0047】

図2は、図1の回路における動作特性の一例を示す特性図である。図2の例では、UVLO回路の解除電圧 V_{rin} を2.7V、通常動作時の電源電圧(通常動作電圧) V_{op} を12~14Vとした場合の入力電圧 V_{in} に対するトランジスタQ2のコレクタ電流 I_{cQ2} を示している。

【0048】

入力電圧 V_{in} が0Vから立ち上がり、解除電圧 V_{rin} を超えて出力電圧がLowレベルからHighレベルに切り替わる。そして、入力電圧 V_{in} がクランプ電圧 V_{cin} に達すると、トランジスタQ1、Q2のベース電圧が所定値以下になるように制御されてベース電圧の上昇が抑えられ、コレクタ電流 I_{cQ2} の増加も抑制される。電源電圧の入力電圧 V_{in} が通常動作電圧 V_{op} の12~14Vとなる状態においても、コレクタ電流 I_{cQ2} は多く流れることなく、UVLO回路の消費電流を低減できる。

【0049】

本実施形態の構成では、UVLO回路以外からトランジスタQ1とQ2のベース電圧の上昇を抑えるクランプ回路の参照電圧を必要としないため、電源電圧が立ち上がる際の小さい電圧においても安定して回路を動作させることができる。また、クランプ回路となるトランジスタM10によるクランプ電圧 V_{cin} を決めるための素子は、トランジスタM5、M6及びM8であり、UVLO回路の出力を反転させるトランジスタM4、M6及びM7と同種のトランジスタで構成される。これらのトランジスタは、UVLO回路の解除電圧 V_{rin} の検出を行うNPN型トランジスタQ1、Q2のベース-エミッタ間電圧 V_{be} の電圧差を利用している。このとき、各トランジスタの特性ばらつきは同じ傾向を示すことになる。したがって、素子の特性のばらつきに関わらず、トランジスタQ1、Q2のベース電圧のクランプを開始するクランプ電圧 V_{cin} を、確実にUVLO回路の解除電圧 V_{rin} (出力端OUT_UVLOの出力電圧が切り替わる時の入力電圧)よりも高い電圧に設定できる。

【0050】

(第2の実施形態)

図3は、第2の実施形態の電圧検出回路の構成を示す図である。第2の実施形態は、図1に示した第1の実施形態における一部の構成を変更した例である。ここでは、第1の実施形態と異なる部分を中心に説明し、同様の構成及び動作については説明を省略する。

【0051】

第2の実施形態の電圧検出回路は、カレントミラー回路を構成するトランジスタM1、M2のソース、及びトランジスタM3、M4、M5のソース、すなわちカレントミラー回路の電源入力部は、入力端VINと分離されて直接接続されない。入力端VINとトランジスタM1、M2、M3、M4、M5のソースとの間には、NMOS型のトランジスタM11(第3のMOSFET)が設けられ、トランジスタM11のドレインが入力端VINに接続され、ソースがトランジスタM1~M5のソースと接続される。トランジスタM11のゲートは、トランジスタM10のゲートと共に抵抗R5を介して入力端VINに接続される。第3のMOSFETであるトランジスタM11は、電圧入力端と第1カレントミラー回路及び第2カレントミラー回路の電源入力部とを分離する電源分離素子として機能する。その他の構成は第1の実施形態と同様である。

【0052】

上記構成において、入力電圧 V_{in} の上昇に伴ってトランジスタQ1、Q2のベース電圧が上昇する際、入力電圧 V_{in} がクランプ電圧 V_{cin} を超えると、トランジスタQ1、Q2のベース電圧は所定値以下になるように制御される。このとき、トランジスタM1、M2、及びトランジスタM3、M4、M5のソース電圧も同様に、トランジスタM11によって所定値以下になるように制御され、ソース電圧の上昇が抑えられる。

【 0 0 5 3 】

図 1 に示した第 1 の実施形態では、入力端 V_{IN} に高い電圧が印加される場合、トランジスタ Q_1 、 Q_2 及びトランジスタ $M_1 \sim M_{10}$ もその高電圧に耐える高い耐圧の素子が必要となる。これに対し、第 2 の実施形態では、トランジスタ Q_1 、 Q_2 、トランジスタ M_1 、 M_2 、及びトランジスタ M_3 、 M_4 、 M_5 の各素子に印加される電圧、すなわち $UVLO$ 回路の電源電圧は所定値以下に制御される。このため、素子レイアウトサイズが小さい低い耐圧の素子が使用可能であり、 $UVLO$ 回路のレイアウト面積の縮小が可能となる。

【 0 0 5 4 】

なお、電圧検出回路の入力部に他の電圧制限素子又は回路を追加して設け、入力端 V_{IN} に印加される入力電圧 V_{in} が通常動作時の電圧範囲を超えないようにクランプし、入力電圧 V_{in} を所定値以下に制限する構成としてもよい。

10

【 0 0 5 5 】

上述したように、本実施形態の電圧検出回路は、 $UVLO$ 回路におけるカレントミラー回路に第 2 出力部（トランジスタ M_5 、 M_8 ）を設け、第 2 出力部の出力電流によって $UVLO$ 回路の入力部の分圧抵抗 R_1 、 R_2 に挿入された電流制限素子（トランジスタ M_{10} ）の電流を制御する。これにより、 $UVLO$ 回路の入力部の第 1 及び第 2 のトランジスタ Q_1 、 Q_2 のベース電圧が所定値以上に上がらないように制御する。

【 0 0 5 6 】

また、第 2 の実施形態の構成では、入力端 V_{IN} に印加される電圧検出を行う部分である分圧抵抗 R_1 、 R_2 への入力電圧と、 $UVLO$ 回路の電源電圧（カレントミラー回路の電源電圧）とを分離し、 $UVLO$ 回路の電源電圧についても第 2 出力部の出力電流によって制御する。

20

【 0 0 5 7 】

このような構成により、通常動作時の入力電圧に対してバンドギャップ回路を構成する第 1 及び第 2 のトランジスタ Q_1 、 Q_2 のベース電圧を所定値以下に抑制し、 $UVLO$ 回路の消費電流を抑制でき、回路全体の消費電力を低減することができる。このとき、自身の回路内における第 2 出力部のトランジスタ M_5 、 M_8 を流れる電流によって第 1 及び第 2 のトランジスタ Q_1 、 Q_2 のベース電圧を抑制しているため、素子の特性のばらつきの影響を受けることがない。例えば、素子の特性によって $UVLO$ 回路の解除電圧（検知電圧） V_{rin} が変動する場合、解除電圧 V_{rin} に連動してクランプ電圧 V_{cin} も変動する。このため、常に適切に解除電圧 V_{rin} の検出と、消費電流の抑制とを実現できる。また、 $UVLO$ 回路の電源電圧を所定値以下に抑制することにより、低い耐圧の素子によって電圧検出回路を構成可能となり、回路面積を縮小でき、電圧検出回路を搭載する装置の小型化を図れる。

30

【 0 0 5 8 】

本実施形態では、電圧検出回路において、第 2 カレントミラー回路 1 2 の第 1 出力部（トランジスタ M_4 ）に並列に設けられた第 2 出力部（トランジスタ M_5 ）と、第 3 カレントミラー回路 1 3 の第 1 出力部（トランジスタ M_7 ）に並列に設けられた第 2 出力部（トランジスタ M_8 ）とを有する。また、第 1 の抵抗 R_1 と第 2 の抵抗 R_2 との間に、第 1 の抵抗 R_1 及び第 2 の抵抗 R_2 に流れる電流を制限することにより、第 1 及び第 2 のトランジスタ Q_1 、 Q_2 のベース電圧を所定値以下にクランプするクランプ回路を構成する電流制限素子（トランジスタ M_{10} ）を有する。また、第 2 カレントミラー回路 1 2 の第 2 出力部と第 3 カレントミラー回路 1 3 の第 2 出力部とが互いに接続された接続ノードに、入力電圧の変化に伴う第 2 カレントミラー回路 1 2 及び第 3 カレントミラー回路 1 3 の第 2 出力部の電圧の変化によって、クランプ回路の動作を制御するクランプ制御素子（トランジスタ M_9 ）を有する。

40

【 0 0 5 9 】

また、クランプ制御素子は、第 2 カレントミラー回路 1 2 の第 2 出力部と第 3 カレントミラー回路 1 3 の第 2 出力部との接続ノードにゲートが接続され、ソースが接地され、ド

50

レインが第5の抵抗R5を介して電圧入力端VINに接続された第1のMOSFET(トランジスタM9)を有する。また、電流制限素子は、第1の抵抗R1にドレインが接続され、ソースが第1及び第2のトランジスタQ1、Q2のベースと第2の抵抗R2とに接続され、ゲートが第1のMOSFETのドレインと第5の抵抗R5とに接続された第2のMOSFET(トランジスタM10)を有する。第1のMOSFETは、入力電圧の変化に応じて第2のMOSFETのゲート電圧を制御し、第2のMOSFETは、ゲート電圧に応じてドレイン電流が変化し、第1の抵抗R1及び第2の抵抗R2に流れる電流を制限するものである。検出出力端OUT_UVLOの出力電圧が反転する第1の電圧値(UVLO回路の解除電圧Vrin)よりも大きい第2の電圧値(クランプ電圧Vcin)以上の電圧において、クランプ回路を動作させる。このとき、第3カレントミラー回路13の入力部(トランジスタM6)及び第1出力部(トランジスタM7)と、第2出力部(トランジスタM8)とのゲート幅の比は、1:N(N>1)である。

10

【0060】

上記構成において、電圧入力端VINの入力電圧Vinが0Vから上昇していき、解除電圧Vrinに達するとトランジスタM4のドレイン電流の方がトランジスタM7より大きくなり、検出出力端OUT_UVLOの出力電圧が反転することによって、入力電圧の立ち上がりを検出する。この時点では、トランジスタM5、M6、M7のドレイン電流よりトランジスタM8の方が大きくなっている。そして、入力電圧Vinがさらに上昇してクランプ電圧Vcinに達すると、トランジスタM5のドレイン電流の方がトランジスタM8より大きくなり、第1のMOSFET(トランジスタM9)がオンして第2のMOSFET(トランジスタM10)のドレイン電流を制限し、結果として第1及び第2のトランジスタQ1、Q2のベース電圧が所定値以下に抑制される。これにより、第1の抵抗R1及び第2の抵抗R2に流れる電流が制限され、消費電流が低減される。

20

【0061】

また、電圧検出回路において、電圧入力端VINと第1カレントミラー回路11及び第2カレントミラー回路12の電源入力部との間に、第1カレントミラー回路11及び第2カレントミラー回路12の電源入力部を分離する電源分離素子(トランジスタM11)をさらに有する。電源分離素子は、電圧入力端VINにドレインが接続され、ソースが第1カレントミラー回路11及び第2カレントミラー回路12の電源入力部に接続され、ゲートが第2のMOSFETのゲートと共に第1のMOSFETのドレイン及び第5の抵抗R5に接続された第3のMOSFET(トランジスタM11)を有する。これにより、電源分離素子によって電圧入力端VINと第1カレントミラー回路11及び第2カレントミラー回路12の電源入力部とを分離し、第1カレントミラー回路11及び第2カレントミラー回路12に印加される電源電圧が所定値以下に抑制される。このため、低い耐圧の素子によって電圧検出回路を構成可能となる。

30

【0062】

以上、図面を参照しながら各種の実施形態について説明したが、本発明はかかる例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例又は修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。また、本発明の趣旨を逸脱しない範囲において、上記実施形態における各構成要素を任意に組み合わせてもよい。

40

【産業上の利用可能性】

【0063】

本発明は、電圧検出回路における消費電力を低減することが可能となる効果を有し、例えばUVLO回路等において所定電圧を検出する電圧検出回路に有用である。

【符号の説明】

【0064】

Q1、Q2：トランジスタ(NPN型)

M1、M2、M3、M4、M5：トランジスタ(PMOS型)

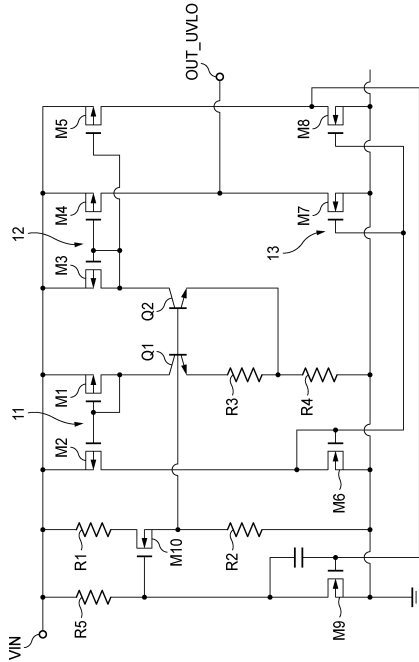
M6、M7、M8、M9、M10、M11：トランジスタ(NMOS型)

50

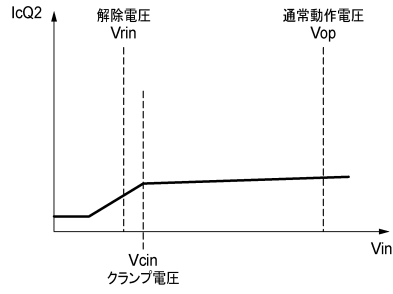
- R 1、R 2、R 3、R 4、R 5 : 抵抗
- V I N : 入力端 (電圧入力端)
- O U T _ U V L O : 出力端 (検出出力端)
- 1 1 : 第 1 カレントミラー回路
- 1 2 : 第 2 カレントミラー回路
- 1 3 : 第 3 カレントミラー回路

【 図 面 】

【 図 1 】



【 図 2 】



10

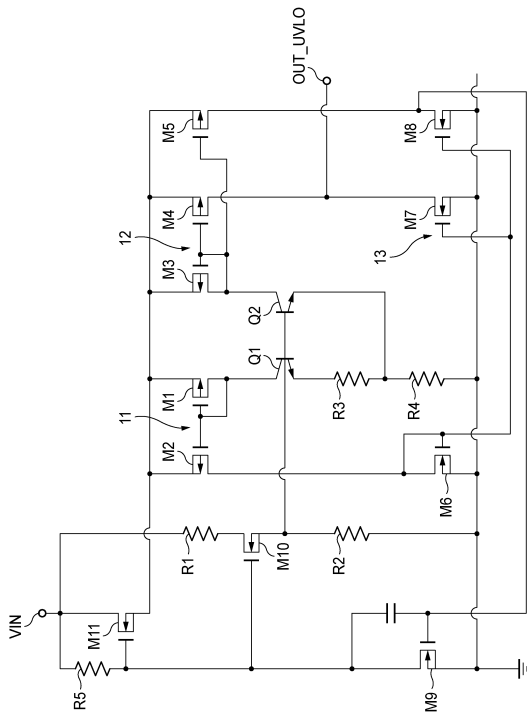
20

30

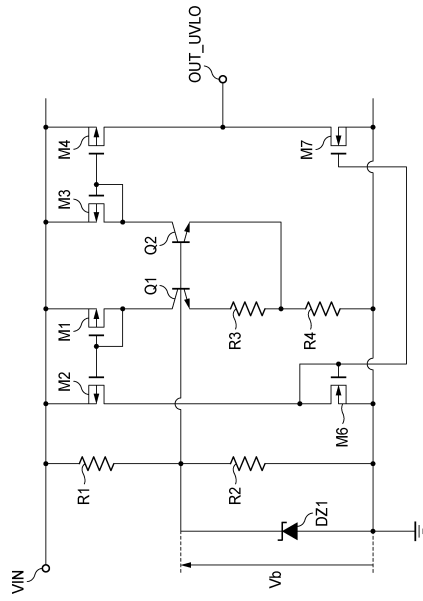
40

50

【 図 3 】



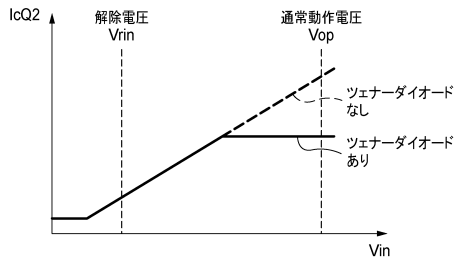
【 図 4 】



10

20

【 図 5 】



30

40

50

フロントページの続き

- (56)参考文献 中国特許出願公開第105021862(CN,A)
中国特許出願公開第106855586(CN,A)
国際公開第2012/083781(WO,A1)
特開2007-133533(JP,A)
特開2000-065872(JP,A)

- (58)調査した分野 (Int.Cl., DB名)
G01R 19/165
G05F 3/26
G05F 3/30
G06F 1/3206