

【特許請求の範囲】**【請求項 1】**

第 1 導電型の第 1 の半導体領域と前記第 1 の半導体領域内に形成された第 2 導電型の第 2 の半導体領域を少なくとも有し、前記第 2 の半導体領域に第 1 の電位が供給され、前記第 1 の半導体領域に第 2 の電位が供給された第 1 のトランジスタと、前記第 2 の電位を発生する電位発生回路とを具備し、

前記電位発生回路は、第 1 の電源から供給された第 1 の電源電位と、第 2 の電源から供給されるとともに前記第 1 の電源電位以上に設定された第 2 の電源電位が供給された二端子を有し、

前記第 2 の電源電位が所定の電位以上の場合、前記第 2 の電源電位を出力し、前記第 2 の電源電位が前記所定の電位よりも低くなると、前記第 1 の電源電位を出力することによって、前記所定の電位以上となる電位を発生することを特徴とする半導体装置。 10

【請求項 2】

前記第 1 のトランジスタは、P チャネルトランジスタであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記所定の電位は、ほぼ前記第 1 の電源電位と同じであることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記電位発生回路は、

ソースが、前記第 2 の電源電位が供給された第 1 の端子に接続し、ドレインが前記第 2 の電位を出力する出力端子に接続した第 2 のトランジスタと、

ソース及びゲートが、前記第 1 の電源電位が供給された第 2 の端子に接続し、ドレインが前記出力端子に接続した第 3 のトランジスタと、

入力端子が前記第 1 の端子に接続し、出力端子が前記第 2 のトランジスタのゲートに接続したインバータ回路と、

を有することを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置。 20

【請求項 5】

前記電位発生回路は、前記第 2 の電源電位が、前記所定の電位以上の場合、前記第 2 のトランジスタをオン状態にし、前記所定の電位よりも低くなると、前記第 2 のトランジスタをオフ状態にして、前記第 3 のトランジスタをオン状態にすることによって、前記所定の電位以上となる電位を発生することを特徴とする請求項 4 に記載の半導体装置。 30

【請求項 6】

前記電位発生回路は、

ソースが、前記第 2 の電源電位が供給された第 1 の端子に接続し、ドレインが前記第 2 の電位を出力する出力端子に接続した第 2 のトランジスタと、

ソース及びゲートが、前記第 1 の電源電位が供給された第 2 の端子に接続し、ドレインが前記出力端子に接続した第 3 のトランジスタと、

入力端子が前記第 1 の端子に接続し、出力端子が前記第 2 のトランジスタのゲートに接続した比較回路とを有し、 40

前記比較回路は、差動増幅回路を有し、前記差動増幅回路の入力端子には、ソース及びゲートが前記第 1 の電源電位に接続された、第 4 のトランジスタのドレインの電位と、第 2 の電源電位とが供給されていることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置。

【請求項 7】

前記電位発生回路は、前記第 2 の電源電位が、前記所定の電位以上場合は、前記第 2 のトランジスタをオン状態にし、前記所定の電位よりも低くなると、前記前記第 3 のトランジスタをオン状態にすると同時に、前記第 2 のトランジスタをオフ状態にすることによって、前記所定の電位以上となる電位を発生することを特徴とする請求項 6 に記載の半導体装置。 50

【請求項 8】

前記第 2 のトランジスタは、P チャンネルトランジスタであり、前記第 3 及び第 4 のトランジスタは、N チャンネルトランジスタであることを特徴とする請求項 4 乃至 7 のいずれか一項に記載の半導体装置。

【請求項 9】

前記第 3 のトランジスタは、前記第 2 のトランジスタよりも閾値が低いことを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

前記第 4 のトランジスタの閾値は、前記第 3 のトランジスタの閾値とほぼ同じであることを特徴とする請求項 9 に記載の半導体装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係り、特にウェル電圧を印加する P チャンネルトランジスタを有する半導体装置に関する。

【0002】

【従来の技術】

半導体記憶装置では、メモリセルを制御する制御回路がメモリセルの周辺に形成されている。この制御回路は、トランジスタやダイオードなどの素子によって構成されており、例えば、図 4 (a) に示すような P チャンネルトランジスタ 40 がある。P チャンネルトランジスタ 40 は、基板に形成されたウェル内に形成されており、ゲート電圧 V_G 、ソース電圧 V_S 、ドレイン電圧 V_D の他に、ウェル電圧 V_B が供給されている。ソース電圧 V_S は、第 1 の電源から供給されており、電源電位 V_{cc} である。また、ウェル電圧 V_B は、半導体記憶装置内のチャージポンプ回路による第 2 の電源から供給されており、通常、ソース電圧以上に設定された昇圧電位 V_{pp} に保障されている。すなわち、 $V_B = V_{pp} > V_S = V_{cc}$ である。

20

【0003】

また、P チャンネルトランジスタ 40 は、図 4 (b) に示すように、N 型ウェル（または半導体基板）の第 1 の半導体領域 51 と、第 1 の半導体領域 51 内に形成された P 型の第 2 の半導体領域 52、53 と、第 1 の半導体領域 51 上にゲート絶縁膜を介して形成されたゲート電極 54 からなる。ゲート電極 54、第 2 の半導体領域 52、53、第 1 の半導体領域 51 には、それぞれ、ゲート電圧 V_G 、ソース電圧 V_S 、ドレイン電圧 V_D 、ウェル電圧 V_B が供給されている。

30

【0004】

P - ch の MOS トランジスタと N - ch の MOS トランジスタを直列接続して、両者の接続点を出力端とする CMOS 回路に関した文献として、出力側からの逆流電流を阻止して非所望の電流が流れない回路について記載した特許文献 1 がある。

【0005】

【特許文献 1】

特開平 7 - 131332 号公報（図 1）

40

【0006】

【発明が解決しようとする課題】

このような P チャンネルトランジスタ 40 において、通常、ウェル電圧 V_B がソース電圧 V_S 以上となるよう保障した場合でも、動作セル量が多く、大電流が流れると、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がり、ウェル電圧 V_B がソース電圧 V_S よりも低くなってしまうことがある。また、ノイズが発生した場合にも、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がり、ウェル電圧 V_B がソース電圧 V_S よりも低くなってしまうことがある。ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がり、ウェル電圧 V_B がソース電圧 V_S よりも、ソースとウェルの PN 接合の閾値以上低くなると、順方向バイアスされて ON 状態になり、図 4 (b) 内の矢印に示すように、基板に大量のキャ

50

リアが発生し、基板、ソース、ウェル等からなる寄生トランジスタがラッチアップしたり、大電流が流れることによって、素子に悪影響を及ぼすという問題があった。

【 0 0 0 7 】

本発明は、上記した問題点を解決すべくなされたもので、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がった場合でも、ソースとウェルの P N 接合が順方向バイアスされて O N 状態になることを抑止し、素子に悪影響を及ぼすことを防ぐことが可能な半導体装置を提供することを目的とする。

【 0 0 0 8 】

【課題を解決するための手段】

上記した目的を達成するための本発明の半導体装置の一形態は、第 1 導電型の第 1 の半導体領域と前記第 1 の半導体領域内に形成された第 2 導電型の第 2 の半導体領域を少なくとも有し、前記第 2 の半導体領域に第 1 の電位が供給され、前記第 1 の半導体領域に第 2 の電位が供給された第 1 のトランジスタと、前記第 2 の電位を発生する電位発生回路とを具備し、

前記電位発生回路は、第 1 の電源から供給された第 1 の電源電位と、第 2 の電源から供給されるとともに前記第 1 の電源電位以上に設定された第 2 の電源電位が供給された二端子を有し、

前記第 2 の電源電位が所定の電位以上の場合は、前記第 2 の電源電位を出力し、前記第 2 の電源電位が前記所定の電位よりも低くなると、前記第 1 の電源電位を出力することによって、前記所定の電位以上となる電位を発生することを特徴としている。

【 0 0 0 9 】

上記した本発明の一形態によれば、第 1 のトランジスタを構成している第 1 の半導体領域の電圧を供給している昇圧電位 V_{pp} の電位が下がった場合でも、第 2 の半導体領域と第 1 の半導体領域の P N 接合が順方向バイアスされて O N 状態になることを抑止し、素子に悪影響を及ぼすことを防ぐことができる。

【 0 0 1 0 】

【発明の実施の形態】

以下、図面を参照して、本発明の実施の形態について詳細に説明する。

【 0 0 1 1 】

(第 1 の実施の形態)

図 1 及び図 2 に本発明の第 1 の実施の形態に係る半導体装置を示す。

例えば、半導体記憶装置では、メモリセルを制御する制御回路がメモリセルの周辺に形成されている。この制御回路は、トランジスタやダイオードなどの素子によって構成されており、例えば、図 1 (a) に示すような P チャネルトランジスタ 1 0 がある。P チャネルトランジスタ 1 0 は、例えば基板に形成されたウェル内に形成されており、ゲート電圧 V_G 、ソース電圧 V_S 、ドレイン電圧 V_D の他に、ウェル電圧 (バックゲート電圧) V_B が供給されている。ウェル電圧に限定されず、基板電圧であってもよい。

【 0 0 1 2 】

また、P チャネルトランジスタ 1 0 は、図 1 (b) に示すように、N 型ウェル (または半導体基板) の第 1 の半導体領域 1 1 と、第 1 の半導体領域 1 1 内に形成された P 型の第 2 の半導体領域 1 2 , 1 3 と、第 1 の半導体領域 1 1 上にゲート絶縁膜を介して形成されたゲート電極 1 4 からなる。ゲート電極 1 4 , 第 2 の半導体領域 1 2 , 1 3 , 第 1 の半導体領域 1 1 には、それぞれ、ゲート電圧 V_G , ソース電圧 V_S , ドレイン電圧 V_D , ウェル電圧 V_B が供給されている。

【 0 0 1 3 】

図 1 に示した所定の P チャネルトランジスタ 1 0 のウェル電圧 V_B に供給される電位は、図 2 に示したウェル電圧発生回路によって、調整された昇圧電位 V_{pp}' が供給されている。図 2 に示したウェル電圧発生回路には、半導体記憶装置内のチャージポンプ回路 (図示しない) による第 2 の電源から供給されている昇圧電位 V_{pp} を供給する端子 A と、第 1 の電源から供給されている電源電位 V_{cc} を供給する端子 B が設けられ、調整された昇

圧電位 V_{pp} が出力端子から出力されている。

【0014】

端子 A と端子 B の間には、電位切り替え回路として、Pチャネルトランジスタ 21 と Nチャネルトランジスタ 22 が直列に接続されている。端子 A 側には、Pチャネルトランジスタ 21 のソースが接続され、Pチャネルトランジスタ 21 のゲートは、インバータ回路 23 の出力に接続されている。インバータ回路 23 の入力、端子 A に接続されている。また、Pチャネルトランジスタ 21 のバックゲートとドレインが接続されている。インバータ回路 23 は、CMOS 回路で構成され、第 1 の電源電位 V_{cc} 及び基準電位 V_{ss} (例えば、接地電位) に接続されている。

【0015】

また、端子 B 側には、Nチャネルトランジスタ 22 のソースが接続されている。Nチャネルトランジスタ 22 のソースとゲートは接続されており、ダイオード接続されている。Nチャネルトランジスタ 22 のウェル電圧は、基準電位 V_{ss} であり、例えば、接地電位となっている。接続された Pチャネルトランジスタ 21 及び Nチャネルトランジスタ 22 のドレイン電圧が、所定の Pチャネルトランジスタ 10 のウェルに印加されるウェル電圧 V_B となる。Nチャネルトランジスタ 22 の閾値 V_{thn} は、Pチャネルトランジスタ 21 の閾値 V_{thp} よりも低く、Nチャネルトランジスタ 22 の閾値 V_{thn} は、例えば、約 $0.2V \sim 0.3V$ であり、Pチャネルトランジスタ 21 の閾値 V_{thp} は、例えば、約 $0.6V$ である。ウェル電圧発生回路を構成する Pチャネルトランジスタ 21 及び Nチャネルトランジスタ 22 は、ウェル電圧を発生するために設けられており、電流量が比較的に少ないため、低消費型の素子で構成することができる。

【0016】

続いて、図 2 に示したウェル電圧発生回路の動作について説明する。端子 A の電圧 V_{pp} が、端子 B の電圧 V_{cc} 以上、すなわち、 $V_{pp} > V_{cc}$ である場合は、Pチャネルトランジスタ 21 が ON し、Nチャネルトランジスタ 22 が OFF するため、ウェル電位 V_B は、端子 A に印加された昇圧電位 V_{pp} である。すなわち、 $V_B = V_{pp}$ である。例えば、動作セル量が多く、大電流が流れた場合やノイズが発生した場合に、端子 A に印加されている昇圧電位 V_{pp} が低くなることがある。端子 A に印加されている電圧が低くなると、Pチャネルトランジスタ 21 が OFF する。続いて、閾値が低い Nチャネルトランジスタ 22 が ON するため、ウェル電圧 V_B は、 $V_B = V_{cc} - V_{thn}$ となり、ほぼ電源電位 V_{cc} である。Nチャネルトランジスタ 22 は、閾値の低いトランジスタで構成しているため、ウェルとソースの PN 接合が順方向バイアスされて ON 状態になる前に、Nチャネルトランジスタ 22 を ON することができる。

【0017】

よって、図 1 に示した所定の Pチャネルトランジスタ 10 のウェル電圧 V_B は、ウェル電圧の昇圧電位 V_{pp} の電位が下がると、ソース電圧 V_S の側から電位を供給し、ウェルとソースの PN 接合が順方向バイアスされて ON 状態にならないよう、所定の電圧以上になるよう保障している。したがって、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がった場合でも、ソースとウェルの PN 接合が順方向バイアスされて ON 状態になることを抑止し、素子に悪影響を及ぼすことを防ぐことができる。

【0018】

なお、ソースとウェルの PN 接合は、ウェル電圧 V_B がソース電圧 V_S よりも低い場合、ソースとウェルの PN 接合の閾値以下のときであっても、多少の電荷が流れることがあるが、基板に大量のキャリアが発生して、寄生トランジスタがラッチアップしたり、大電流が流れることはないため、素子に悪影響を及ぼすことはない。

【0019】

また、本実施の形態では、比較的簡易な回路によって実現することができるため、小スペースに設けることができ、有効である。また、所定のトランジスタ一つに対して、本回路を一つ設けてもよいし、所定のトランジスタ複数に対して、本回路を一つ設けてもよい。また、所定のトランジスタの近くに、比較的簡易な回路で設けることができるため、信号

10

20

30

40

50

の遅延や分配による誤動作を低減することができ、容易に形成することができる。

【0020】

(第2の実施の形態)

図3に本発明の第2の実施の形態に係る半導体装置を示す。

例えば、半導体記憶装置では、メモリセルを制御する制御回路がメモリセルの周辺に形成されている。この制御回路は、トランジスタやダイオードなどの素子によって構成されており、例えば、前記した第1の実施の形態と同様に、図1(a)に示すようなPチャネルトランジスタ10がある。Pチャネルトランジスタ10は、例えば基板に形成されたウェル内に形成されており、ゲート電圧 V_G 、ソース電圧 V_S 、ドレイン電圧 V_D の他に、ウェル電圧(バックゲート電圧) V_B が供給されている。ウェル電圧に限定されず、基板電圧であってもよい。

10

【0021】

また、Pチャネルトランジスタ10は、図1(b)に示すように、N型ウェル(または半導体基板)の第1の半導体領域11と、第1の半導体領域11内に形成されたP型の第2の半導体領域12、13と、第1の半導体領域11上にゲート絶縁膜を介して形成されたゲート電極14からなる。ゲート電極14、第2の半導体領域12、13、第1の半導体領域11には、それぞれ、ゲート電圧 V_G 、ソース電圧 V_S 、ドレイン電圧 V_D 、ウェル電圧 V_B が供給されている。

【0022】

図1に示した所定のPチャネルトランジスタ10のウェル電圧 V_B に供給される電位は、図3に示したウェル電圧発生回路によって、調整された昇圧電位 V_{pp}' が供給されている。図3に示したウェル電圧発生回路には、半導体記憶装置内のチャージポンプ回路(図示しない)による第2の電源から供給されている昇圧電位 V_{pp} を供給する端子Aと、第1の電源から供給されている電源電位 V_{cc} を供給する端子Bが設けられ、調整された昇圧電位 V_{pp}' が出力端子から出力されている。端子Aと端子Bの間には、Pチャネルトランジスタ21とNチャネルトランジスタ22が直列に接続されている。

20

【0023】

端子A側には、Pチャネルトランジスタ21のソースが接続され、Pチャネルトランジスタ21のゲートは、比較回路24の出力に接続されている。比較回路24は、負荷としてカレントミラー部が一部に接続された差動増幅回路25によって構成される。カレントミラー部は2つのPチャネルトランジスタによって構成されており、差動増幅回路の入力には、Nチャネルトランジスタからなる2つの差動トランジスタが構成されている。差動増幅回路の2入力には、昇圧電位 V_{pp} 及び電位 $V_{cc} - V_{thn}$ が入力されている。差動増幅回路の1入力は、端子Aに接続されている。また、 V_{thn} は、差動増幅回路の他の入力に接続された電源電位 V_{cc} と接続されているNチャネルトランジスタ26の閾値であり、電位 $V_{cc} - V_{thn}$ は、ソースとゲートが接続されたNチャネルトランジスタ26のソースに、電源電位 V_{cc} が接続されることによって生成されている。また、Pチャネルトランジスタ21のバックゲートとドレインが接続されている。

30

【0024】

また、端子B側には、Nチャネルトランジスタ22のソースが接続されている。Nチャネルトランジスタ22のソースとゲートは接続されており、ダイオード接続されている。Nチャネルトランジスタ22のウェル電圧は、基準電位 V_{ss} であり、例えば、接地電位となっている。接続されたPチャネルトランジスタ21及びNチャネルトランジスタ22のドレイン電圧が、所定のPチャネルトランジスタ10のウェルに印加されるウェル電圧 V_B となる。Nチャネルトランジスタ22の閾値 V_{thn} は、Pチャネルトランジスタ21の閾値 V_{thp} よりも低く、Nチャネルトランジスタ22の閾値 V_{thn} は、例えば、約0.2V~0.3Vであり、Pチャネルトランジスタ21の閾値 V_{thp} は、例えば、約0.6Vである。Nチャネルトランジスタ22と、差動増幅回路の入力に接続されたNチャネルトランジスタ26は、同じタイプのトランジスタで形成されており、閾値はほぼ同じである。ウェル電圧発生回路を構成するPチャネルトランジスタ21及びNチャネルト

40

50

ランジスタ 22 は、ウェル電圧を発生するために設けられており、電流量が比較的少ないため、低消費型の素子で構成することができる。

【0025】

続いて、図 3 に示したウェル電圧発生回路の動作について説明する。例えば、動作セルが多く、端子 A に電位を供給している電源に大電流が流れた場合やノイズが発生した場合、端子 A に印加されている昇圧電位 V_{pp} が低くなることがある。比較回路 24 では、端子 A に印加されている電圧が低くなるなどして、比較回路 24 への入力電圧の差が生じると、両差動トランジスタの電流関係を保持する方向で出力電流が増減する。カレントミラー部を構成する P チャネルトランジスタの電流を出力側の差動トランジスタと出力電流とで分配することになるため、出力電流は、出力端子に接続されている負荷には関係なく一定電流となる。入力電圧の差が出力電圧となり、その増幅度は、外部からコントロールすることが可能である。

10

【0026】

比較回路 24 は、昇圧電位 V_{pp} がある設定レベル以下のときに、'H' レベルを出力する。すなわち、 V_{pp} が電位 $V_{cc} - V_{thn}$ 以下であるときに、'H' レベルを出力し、昇圧電位 V_{pp} が設定レベル以上のときには、'L' レベルを出力する。よって、端子 A に印加されている電圧が低くなり、閾値の低い N チャネルトランジスタ 22 が ON すると同時に、P チャネルトランジスタ 21 が OFF するように、設定することが可能である。ウェル電圧 V_B は、 $V_B = V_{cc} - V_{thn}$ となり、ほぼ電源電位 V_{cc} である。N チャネルトランジスタ 22 は、閾値の低いトランジスタで構成しているため、ウェルとソースの PN 接合が順方向バイアスされる前に速やかに ON することができる。

20

【0027】

よって、図 1 に示した所定の P チャネルトランジスタ 10 のウェル電圧 V_B は、ウェル電圧を供給している昇圧電位 V_{pp} の電位が一定電位よりも下がると、ソース電圧の電源電位 V_{cc} 側から電位を供給し、ウェルとソースの PN 接合が順方向バイアスされて ON 状態にならないよう、所定の電圧以上になるよう保障している。したがって、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がった場合でも、ソースとウェルの PN 接合が順方向バイアスされて ON 状態になることを抑止し、素子に悪影響を及ぼすことを防ぐことができる。

【0028】

なお、ソースとウェルの PN 接合は、ウェル電圧 V_B がソース電圧 V_S よりも低い場合、ソースとウェルの PN 接合の閾値以下のときであっても、多少の電荷が流れることがあるが、基板に大量のキャリアが発生して、寄生トランジスタがラッチアップしたり、大電流が流れることはないため、素子に悪影響を及ぼすことはない。

30

【0029】

また、本実施の形態では、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がり、N チャネルトランジスタ 22 が ON すると同時に、P チャネルトランジスタ 21 が OFF することができるため、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がり始めたときに、P チャネルトランジスタ 21 が OFF し、N チャネルトランジスタ 22 が完全に ON する間の電位のフローティング状態を防ぐことができる。

40

【0030】

【発明の効果】

以上詳述したように、本発明によれば、第 1 のトランジスタを構成している第 1 の半導体領域の電圧を供給している昇圧電位 V_{pp} の電位が下がった場合でも、第 2 の半導体領域と第 1 の半導体領域の PN 接合が順方向バイアスされて ON 状態になることを抑止し、素子に悪影響を及ぼすことを防ぐことができる。

【図面の簡単な説明】

【図 1】本発明の第 1 及び第 2 の実施の形態に係る半導体装置を示す回路図及び要部断面図である。

【図 2】本発明の第 1 の実施の形態に係る半導体装置を示す回路図である。

50

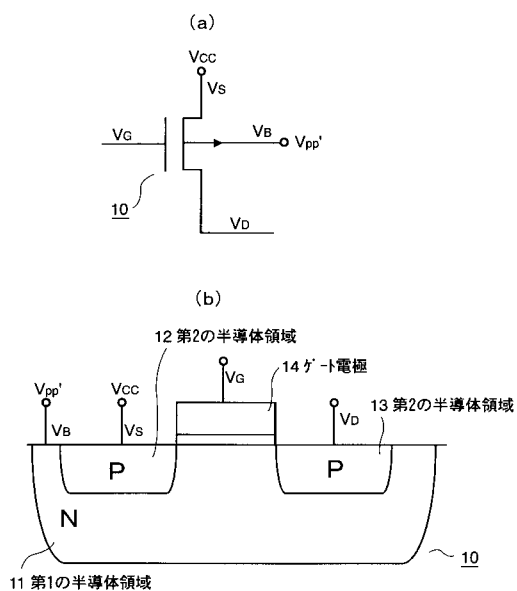
【図 3】本発明の第 2 の実施の形態に係る半導体装置を示す回路図である。

【図 4】従来の半導体装置を示す回路図及び要部断面図である。

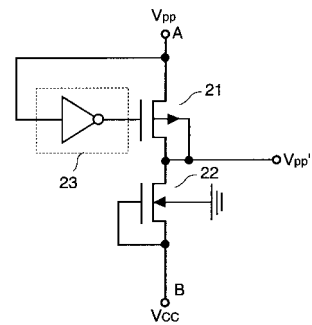
【符号の説明】

- 10, 21, 40 Pチャネルトランジスタ
 11, 51 第 1 の半導体領域
 12, 13, 52, 53 第 2 の半導体領域
 14, 54 ゲート電極
 22, 26 Nチャネルトランジスタ
 23 インバータ回路
 24 比較回路
 25 差動増幅回路

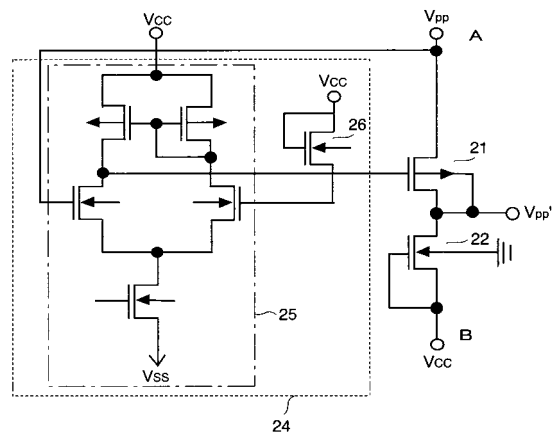
【図 1】



【図 2】



【図 3】



フロントページの続き

(72)発明者 牧野 英一

東京都港区芝浦一丁目1番1号 株式会社東芝本社事務所内

Fターム(参考) 5F038 AV06 BG01 BG03 BG05 BG06 EZ20

5J056 AA00 AA37 BB10 CC00 CC02 CC09 CC29 DD12 DD28 EE04

FF08 GG09 KK02