

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号

特開2004-235499
(P2004-235499A)

(43) 公開日 平成16年8月19日(2004.8.19)

(51) Int. Cl. 7
HO 1 L 21/822
HO 1 L 27/04
HO 3 K 19/00
HO 3 K 19/0948

F 1
HO 1 L 27/04
HO 3 K 19/00
HO 3 K 19/094

テーマコード（参考）

5 F 038

5 J 056

審査請求 未請求 請求項の数 10 O.L. (全 10 頁)

(21) 出願番号 特願2003-23324 (P2003-23324)
(22) 出願日 平成15年1月31日 (2003. 1. 31)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目 1 番 1 号

(74) 代理人 100083161
弁理士 外川 英明

(72) 発明者 川端 真己
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72) 発明者 吉原 正浩
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

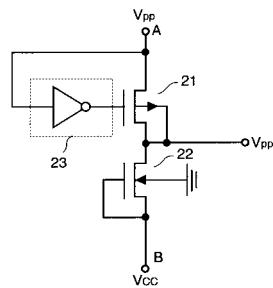
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】第1のトランジスタの第2の半導体領域と第1の半導体領域のP N接合が順方向バイアスされてON状態になることを抑止する。

【解決手段】第2導電型の第2の半導体領域に第1の電位V Sが供給され、第1導電型の第1の半導体領域に第2の電位V Bが供給された第1のトランジスタと、第2の電位V Bを発生する電位発生回路とを具備し、前記電位発生回路は、第1の電源から供給された第1の電源電位V c cと、第2の電源から供給されるとともに第1の電源電位V c c以上に設定された第2の電源電位V p pが供給された二端子を有し、第2の電源電位V p pが所定の電位以上の場合は、前記第2の電源電位を出力し、第2の電源電位V p pが前記所定の電位よりも低くなると、前記第1の電源電位を出力することによって、前記所定の電位以上となる電位を発生する半導体装置である。



○

【選択図】 図 2

【特許請求の範囲】**【請求項 1】**

第1導電型の第1の半導体領域と前記第1の半導体領域内に形成された第2導電型の第2の半導体領域を少なくとも有し、前記第2の半導体領域に第1の電位が供給され、前記第1の半導体領域に第2の電位が供給された第1のトランジスタと、前記第2の電位を発生する電位発生回路とを具備し、

前記電位発生回路は、第1の電源から供給された第1の電源電位と、第2の電源から供給されるとともに前記第1の電源電位以上に設定された第2の電源電位が供給された二端子を有し、

前記第2の電源電位が所定の電位以上の場合は、前記第2の電源電位を出力し、前記第2の電源電位が前記所定の電位よりも低くなると、前記第1の電源電位を出力することによって、前記所定の電位以上となる電位を発生することを特徴とする半導体装置。 10

【請求項 2】

前記第1のトランジスタは、Pチャネルトランジスタであることを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記所定の電位は、ほぼ前記第1の電源電位と同じであることを特徴とする請求項1または2に記載の半導体装置。

【請求項 4】

前記電位発生回路は、

ソースが、前記第2の電源電位が供給された第1の端子に接続し、ドレインが前記第2の電位を出力する出力端子に接続した第2のトランジスタと、

ソース及びゲートが、前記第1の電源電位が供給された第2の端子に接続し、ドレインが前記出力端子に接続した第3のトランジスタと、

入力端子が前記第1の端子に接続し、出力端子が前記第2のトランジスタのゲートに接続したインバータ回路と、

を有することを特徴とする請求項1乃至3のいずれか一項に記載の半導体装置。 20

【請求項 5】

前記電位発生回路は、前記第2の電源電位が、前記所定の電位以上の場合は、前記第2のトランジスタをオン状態にし、前記所定の電位よりも低くなると、前記第2のトランジスタをオフ状態にして、前記第3のトランジスタをオン状態にすることによって、前記所定の電位以上となる電位を発生することを特徴とする請求項4に記載の半導体装置。 30

【請求項 6】

前記電位発生回路は、

ソースが、前記第2の電源電位が供給された第1の端子に接続し、ドレインが前記第2の電位を出力する出力端子に接続した第2のトランジスタと、

ソース及びゲートが、前記第1の電源電位が供給された第2の端子に接続し、ドレインが前記出力端子に接続した第3のトランジスタと、

入力端子が前記第1の端子に接続し、出力端子が前記第2のトランジスタのゲートに接続した比較回路とを有し、

前記比較回路は、差動增幅回路を有し、前記差動增幅回路の入力端子には、ソース及びゲートが前記第1の電源電位に接続された、第4のトランジスタのドレインの電位と、第2の電源電位とが供給されていることを特徴とする請求項1乃至3のいずれか一項に記載の半導体装置。 40

【請求項 7】

前記電位発生回路は、前記第2の電源電位が、前記所定の電位以上場合は、前記第2のトランジスタをオン状態にし、前記所定の電位よりも低くなると、前記前記第3のトランジスタをオン状態にすると同時に、前記第2のトランジスタをオフ状態にすることによって、前記所定の電位以上となる電位を発生することを特徴とする請求項6に記載の半導体装置。 50

【請求項 8】

前記第2のトランジスタは、Pチャネルトランジスタであり、前記第3及び第4のトランジスタは、Nチャネルトランジスタであることを特徴とする請求項4乃至7のいずれか一項に記載の半導体装置。

【請求項 9】

前記第3のトランジスタは、前記第2のトランジスタよりも閾値が低いことを特徴とする請求項8に記載の半導体装置。

【請求項 10】

前記第4のトランジスタの閾値は、前記第3のトランジスタの閾値とほぼ同じであることを特徴とする請求項9に記載の半導体装置。

10

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、半導体装置に係り、特にウェル電圧を印加するPチャネルトランジスタを有する半導体装置に関する。

【0002】**【従来の技術】**

半導体記憶装置では、メモリセルを制御する制御回路がメモリセルの周辺に形成されている。この制御回路は、トランジスタやダイオードなどの素子によって構成されており、例えば、図4(a)に示すようなPチャネルトランジスタ40がある。Pチャネルトランジスタ40は、基板に形成されたウェル内に形成されており、ゲート電圧VG、ソース電圧VS、ドレイン電圧VDの他に、ウェル電圧VBが供給されている。ソース電圧VSは、第1の電源から供給されており、電源電位Vccである。また、ウェル電圧VBは、半導体記憶装置内のチャージポンプ回路による第2の電源から供給されており、通常、ソース電圧以上に設定された昇圧電位Vppに保障されている。すなわち、VB = Vpp - VS = Vccである。

20

【0003】

また、Pチャネルトランジスタ40は、図4(b)に示すように、N型ウェル(または半導体基板)の第1の半導体領域51と、第1の半導体領域51内に形成されたP型の第2の半導体領域52, 53と、第1の半導体領域51上にゲート絶縁膜を介して形成されたゲート電極54からなる。ゲート電極54, 第2の半導体領域52, 53, 第1の半導体領域51には、それぞれ、ゲート電圧VG, ソース電圧VS, ドレイン電圧VD, ウェル電圧VBが供給されている。

30

【0004】

P-c-hのMOSトランジスタとN-c-hのMOSトランジスタを直列接続して、両者の接続点を出力端とするCMOS回路に関する文献として、出力側からの逆流電流を阻止して非所望の電流が流れない回路について記載した特許文献1がある。

30

【0005】**【特許文献1】**

特開平7-131332号公報(図1)

40

【0006】**【発明が解決しようとする課題】**

このようなPチャネルトランジスタ40において、通常、ウェル電圧VBがソース電圧VS以上となるよう保障した場合でも、動作セル量が多く、大電流が流れると、ウェル電圧を供給している昇圧電位Vppの電位が下がり、ウェル電圧VBがソース電圧VSよりも低くなってしまうことがある。また、ノイズが発生した場合にも、ウェル電圧を供給している昇圧電位Vppの電位が下がり、ウェル電圧VBがソース電圧VSよりも低くなってしまうことがある。ウェル電圧を供給している昇圧電位Vppの電位が下がり、ウェル電圧VBがソース電圧VSよりも、ソースとウェルのPN接合の閾値以上低くなると、順方向バイアスされてON状態になり、図4(b)内の矢印に示すように、基板に大量のキャ

50

リアが発生し、基板、ソース、ウェル等からなる寄生トランジスタがラッチアップしたり、大電流が流れることによって、素子に悪影響を及ぼすという問題があった。

【0007】

本発明は、上記した問題点を解決すべくなされたもので、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がった場合でも、ソースとウェルのPN接合が順方向バイアスされてON状態になることを抑止し、素子に悪影響を及ぼすことを防ぐことが可能な半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記した目的を達成するための本発明の半導体装置の一形態は、第1導電型の第1の半導体領域と前記第1の半導体領域内に形成された第2導電型の第2の半導体領域を少なくとも有し、前記第2の半導体領域に第1の電位が供給され、前記第1の半導体領域に第2の電位が供給された第1のトランジスタと、前記第2の電位を発生する電位発生回路とを具備し、

前記電位発生回路は、第1の電源から供給された第1の電源電位と、第2の電源から供給されるとともに前記第1の電源電位以上に設定された第2の電源電位が供給された二端子を有し、

前記第2の電源電位が所定の電位以上の場合は、前記第2の電源電位を出力し、前記第2の電源電位が前記所定の電位よりも低くなると、前記第1の電源電位を出力することによって、前記所定の電位以上となる電位を発生することを特徴としている。

【0009】

上記した本発明の一形態によれば、第1のトランジスタを構成している第1の半導体領域の電圧を供給している昇圧電位 V_{pp} の電位が下がった場合でも、第2の半導体領域と第1の半導体領域のPN接合が順方向バイアスされてON状態になることを抑止し、素子に悪影響を及ぼすことを防ぐことができる。

【0010】

【発明の実施の形態】

以下、図面を参照して、本発明の実施の形態について詳細に説明する。

【0011】

(第1の実施の形態)

図1及び図2に本発明の第1の実施の形態に係る半導体装置を示す。

例えば、半導体記憶装置では、メモリセルを制御する制御回路がメモリセルの周辺に形成されている。この制御回路は、トランジスタやダイオードなどの素子によって構成されており、例えば、図1(a)に示すようなPチャネルトランジスタ10がある。Pチャネルトランジスタ10は、例えば基板に形成されたウェル内に形成されており、ゲート電圧 V_G 、ソース電圧 V_S 、ドレイン電圧 V_D の他に、ウェル電圧(バックゲート電圧) V_B が供給されている。ウェル電圧に限定されず、基板電圧であってもよい。

【0012】

また、Pチャネルトランジスタ10は、図1(b)に示すように、N型ウェル(または半導体基板)の第1の半導体領域11と、第1の半導体領域11内に形成されたP型の第2の半導体領域12, 13と、第1の半導体領域11上にゲート絶縁膜を介して形成されたゲート電極14からなる。ゲート電極14, 第2の半導体領域12, 13, 第1の半導体領域11には、それぞれ、ゲート電圧 V_G 、ソース電圧 V_S 、ドレイン電圧 V_D 、ウェル電圧 V_B が供給されている。

【0013】

図1に示した所定のPチャネルトランジスタ10のウェル電圧 V_B に供給される電位は、図2に示したウェル電圧発生回路によって、調整された昇圧電位 V_{pp}' が供給されている。図2に示したウェル電圧発生回路には、半導体記憶装置内のチャージポンプ回路(図示しない)による第2の電源から供給されている昇圧電位 V_{pp} を供給する端子Aと、第1の電源から供給されている電源電位 V_{cc} を供給する端子Bが設けられ、調整された昇

10

20

30

40

50

圧電位 V_{pp} が出力端子から出力されている。

【0014】

端子 A と端子 B の間には、電位切り替え回路として、P チャネルトランジスタ 21 と N チャネルトランジスタ 22 が直列に接続されている。端子 A 側には、P チャネルトランジスタ 21 のソースが接続され、P チャネルトランジスタ 21 のゲートは、インバータ回路 23 の出力に接続されている。インバータ回路 23 の入力は、端子 A に接続されている。また、P チャネルトランジスタ 21 のバックゲートとドレインが接続されている。インバータ回路 23 は、CMOS 回路で構成され、第 1 の電源電位 V_{cc} 及び基準電位 V_{ss} (例えは、接地電位) に接続されている。

【0015】

また、端子 B 側には、N チャネルトランジスタ 22 のソースが接続されている。N チャネルトランジスタ 22 のソースとゲートは接続されており、ダイオード接続されている。N チャネルトランジスタ 22 のウェル電圧は、基準電位 V_{ss} であり、例えは、接地電位となっている。接続された P チャネルトランジスタ 21 及び N チャネルトランジスタ 22 のドレイン電圧が、所定の P チャネルトランジスタ 10 のウェルに印加されるウェル電圧 V_B となる。N チャネルトランジスタ 22 の閾値 V_{thn} は、P チャネルトランジスタ 21 の閾値 V_{thp} よりも低く、N チャネルトランジスタ 22 の閾値 V_{thn} は、例えは、約 0.2V ~ 0.3V であり、P チャネルトランジスタ 21 の閾値 V_{thp} は、例えは、約 0.6V である。ウェル電圧発生回路を構成する P チャネルトランジスタ 21 及び N チャネルトランジスタ 22 は、ウェル電圧を発生するために設けられており、電流量が比較的小ないため、低消費型の素子で構成することができる。

【0016】

続いて、図 2 に示したウェル電圧発生回路の動作について説明する。端子 A の電圧 V_{pp} が、端子 B の電圧 V_{cc} 以上、すなわち、 $V_{pp} > V_{cc}$ である場合は、P チャネルトランジスタ 21 が ON し、N チャネルトランジスタ 22 が OFF するため、ウェル電位 V_B は、端子 A に印加された昇圧電位 V_{pp} である。すなわち、 $V_B = V_{pp}$ である。例えは、動作セル量が多く、大電流が流れた場合やノイズが発生した場合に、端子 A に印加されている昇圧電位 V_{pp} が低くなることがある。端子 A に印加されている電圧が低くなると、P チャネルトランジスタ 21 が OFF する。続いて、閾値が低い N チャネルトランジスタ 22 が ON するため、ウェル電圧 V_B は、 $V_B = V_{cc} - V_{thn}$ となり、ほぼ電源電位 V_{cc} である。N チャネルトランジスタ 22 は、閾値の低いトランジスタで構成しているため、ウェルとソースの PN 接合が順方向バイアスされて ON 状態になる前に、N チャネルトランジスタ 22 を ON することができる。

【0017】

よって、図 1 に示した所定の P チャネルトランジスタ 10 のウェル電圧 V_B は、ウェル電圧の昇圧電位 V_{pp} の電位が下がると、ソース電圧 V_S の側から電位を供給し、ウェルとソースの PN 接合が順方向バイアスされて ON 状態にならないよう、所定の電圧以上になるよう保障している。したがって、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がった場合でも、ソースとウェルの PN 接合が順方向バイアスされて ON 状態になることを抑止し、素子に悪影響を及ぼすことを防ぐことができる。

【0018】

なお、ソースとウェルの PN 接合は、ウェル電圧 V_B がソース電圧 V_S よりも低い場合、ソースとウェルの PN 接合の閾値以下のときであっても、多少の電荷が流れることがあるが、基板に大量のキャリアが発生して、寄生トランジスタがラッチアップしたり、大電流が流れることはないため、素子に悪影響を及ぼすことはない。

【0019】

また、本実施の形態では、比較的簡易な回路によって実現することができるため、小スペースに設けることができ、有効である。また、所定のトランジスタ一つに対して、本回路を一つ設けてよいし、所定のトランジスタ複数に対して、本回路を一つ設けてよい。また、所定のトランジスタの近くに、比較的簡易な回路で設けることができるため、信号

10

20

30

40

50

の遅延や分配による誤動作を低減することができ、容易に形成することができる。

【0020】

(第2の実施の形態)

図3に本発明の第2の実施の形態に係る半導体装置を示す。

例えば、半導体記憶装置では、メモリセルを制御する制御回路がメモリセルの周辺に形成されている。この制御回路は、トランジスタやダイオードなどの素子によって構成されており、例えば、前記した第1の実施の形態と同様に、図1(a)に示すようなPチャネルトランジスタ10がある。Pチャネルトランジスタ10は、例えば基板に形成されたウェル内に形成されており、ゲート電圧VG、ソース電圧VS、ドレイン電圧VDの他に、ウェル電圧(バックゲート電圧)VBが供給されている。ウェル電圧に限定されず、基板電圧であってもよい。

【0021】

また、Pチャネルトランジスタ10は、図1(b)に示すように、N型ウェル(または半導体基板)の第1の半導体領域11と、第1の半導体領域11内に形成されたP型の第2の半導体領域12, 13と、第1の半導体領域11上にゲート絶縁膜を介して形成されたゲート電極14からなる。ゲート電極14, 第2の半導体領域12, 13, 第1の半導体領域11には、それぞれ、ゲート電圧VG, ソース電圧VS, ドレイン電圧VD, ウェル電圧VBが供給されている。

【0022】

図1に示した所定のPチャネルトランジスタ10のウェル電圧VBに供給される電位は、図3に示したウェル電圧発生回路によって、調整された昇圧電位Vpp'が供給されている。図3に示したウェル電圧発生回路には、半導体記憶装置内のチャージポンプ回路(図示しない)による第2の電源から供給されている昇圧電位Vppを供給する端子Aと、第1の電源から供給されている電源電位Vccを供給する端子Bが設けられ、調整された昇圧電位Vpp'が出力端子から出力されている。端子Aと端子Bの間には、Pチャネルトランジスタ21とNチャネルトランジスタ22が直列に接続されている。

【0023】

端子A側には、Pチャネルトランジスタ21のソースが接続され、Pチャネルトランジスタ21のゲートは、比較回路24の出力に接続されている。比較回路24は、負荷としてカレントミラー部が一部に接続された差動増幅回路25によって構成される。カレントミラー部は2つのPチャネルトランジスタによって構成されており、差動増幅回路の入力には、Nチャネルトランジスタからなる2つの差動トランジスタが構成されている。差動増幅回路の2入力には、昇圧電位Vpp及び電位Vcc-Vthnが入力されている。差動増幅回路の1入力は、端子Aに接続されている。また、Vthnは、差動増幅回路の他の入力に接続された電源電位Vccと接続されているNチャネルトランジスタ26の閾値であり、電位Vcc-Vthnは、ソースとゲートが接続されたNチャネルトランジスタ26のソースに、電源電位Vccが接続されることによって生成されている。また、Pチャネルトランジスタ21のバックゲートとドレインが接続されている。

【0024】

また、端子B側には、Nチャネルトランジスタ22のソースが接続されている。Nチャネルトランジスタ22のソースとゲートは接続されており、ダイオード接続されている。Nチャネルトランジスタ22のウェル電圧は、基準電位Vssであり、例えば、接地電位となっている。接続されたPチャネルトランジスタ21及びNチャネルトランジスタ22のドレイン電圧が、所定のPチャネルトランジスタ10のウェルに印加されるウェル電圧VBとなる。Nチャネルトランジスタ22の閾値Vthnは、Pチャネルトランジスタ21の閾値Vthpよりも低く、Nチャネルトランジスタ22の閾値Vthnは、例えば、約0.2V~0.3Vであり、Pチャネルトランジスタ21の閾値Vthpは、例えば、約0.6Vである。Nチャネルトランジスタ26は、同じタイプのトランジスタで形成されており、閾値はほぼ同じである。ウェル電圧発生回路を構成するPチャネルトランジスタ21及びNチャネルト

ランジスタ22は、ウェル電圧を発生するために設けられており、電流量が比較的少ないため、低消費型の素子で構成することができる。

【0025】

続いて、図3に示したウェル電圧発生回路の動作について説明する。例えば、動作セルが多く、端子Aに電位を供給している電源に大電流が流れた場合やノイズが発生した場合、端子Aに印加されている昇圧電位 V_{pp} が低くなることがある。比較回路24では、端子Aに印加されている電圧が低くなるなどして、比較回路24への入力電圧の差が生じると、両差動トランジスタの電流関係を保持する方向で出力電流が増減する。カレントミラーノードを構成するPチャネルトランジスタの電流を出力側の差動トランジスタと出力電流とで分配することになるため、出力電流は、出力端子に接続されている負荷には関係なく一定電流となる。入力電圧の差が出力電圧となり、その増幅度は、外部からコントロールすることが可能である。

10

【0026】

比較回路24は、昇圧電位 V_{pp} がある設定レベル以下のときに、「H」レベルを出力する。すなわち、 V_{pp} が電位 $V_{cc} - V_{thn}$ 以下であるときに、「H」レベルを出力し、昇圧電位 V_{pp} が設定レベル以上のときには、「L」レベルを出力する。よって、端子Aに印加されている電圧が低くなり、閾値の低いNチャネルトランジスタ22がONすると同時に、Pチャネルトランジスタ21がOFFするよう、設定することが可能である。ウェル電圧 V_B は、 $V_B = V_{cc} - V_{thn}$ となり、ほぼ電源電位 V_{cc} である。Nチャネルトランジスタ22は、閾値の低いトランジスタで構成しているため、ウェルとソースのPN接合が順方向バイアスされる前に速やかにONすることができる。

20

【0027】

よって、図1に示した所定のPチャネルトランジスタ10のウェル電圧 V_B は、ウェル電圧を供給している昇圧電位 V_{pp} の電位が一定電位よりも下がると、ソース電圧の電源電位 V_{cc} 側から電位を供給し、ウェルとソースのPN接合が順方向バイアスされてON状態にならないよう、所定の電圧以上になるよう保障している。したがって、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がった場合でも、ソースとウェルのPN接合が順方向バイアスされてON状態になることを抑止し、素子に悪影響を及ぼすことを防ぐことができる。

30

【0028】

なお、ソースとウェルのPN接合は、ウェル電圧 V_B がソース電圧 V_S よりも低い場合、ソースとウェルのPN接合の閾値以下のときであっても、多少の電荷が流れることがあるが、基板に大量のキャリアが発生して、寄生トランジスタがラッチアップしたり、大電流が流れることはないため、素子に悪影響を及ぼすことはない。

40

【0029】

また、本実施の形態では、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がり、Nチャネルトランジスタ22がONすると同時に、Pチャネルトランジスタ21がOFFすることができるため、ウェル電圧を供給している昇圧電位 V_{pp} の電位が下がり始めたときに、Pチャネルトランジスタ21がOFFし、Nチャネルトランジスタ22が完全にONする間の電位のフローティング状態を防ぐことができる。

【0030】

【発明の効果】

以上詳述したように、本発明によれば、第1のトランジスタを構成している第1の半導体領域の電圧を供給している昇圧電位 V_{pp} の電位が下がった場合でも、第2の半導体領域と第1の半導体領域のPN接合が順方向バイアスされてON状態になることを抑止し、素子に悪影響を及ぼすことを防ぐことができる。

【図面の簡単な説明】

【図1】本発明の第1及び第2の実施の形態に係る半導体装置を示す回路図及び要部断面図である。

【図2】本発明の第1の実施の形態に係る半導体装置を示す回路図である。

50

【図3】本発明の第2の実施の形態に係る半導体装置を示す回路図である。

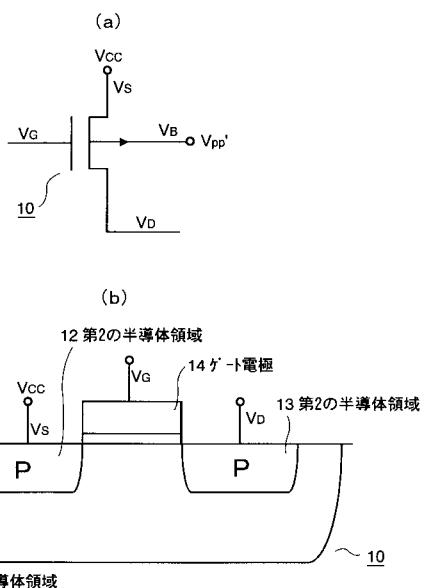
【図4】従来の半導体装置を示す回路図及び要部断面図である。

【符号の説明】

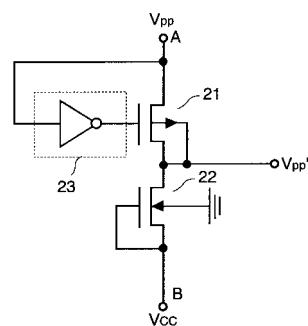
- 10, 21, 40 Pチャネルトランジスタ
- 11, 51 第1の半導体領域
- 12, 13, 52, 53 第2の半導体領域
- 14, 54 ゲート電極
- 22, 26 Nチャネルトランジスタ
- 23 インバータ回路
- 24 比較回路
- 25 差動増幅回路

10

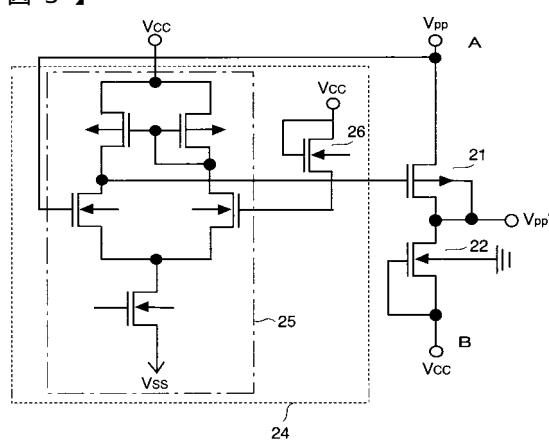
【図1】



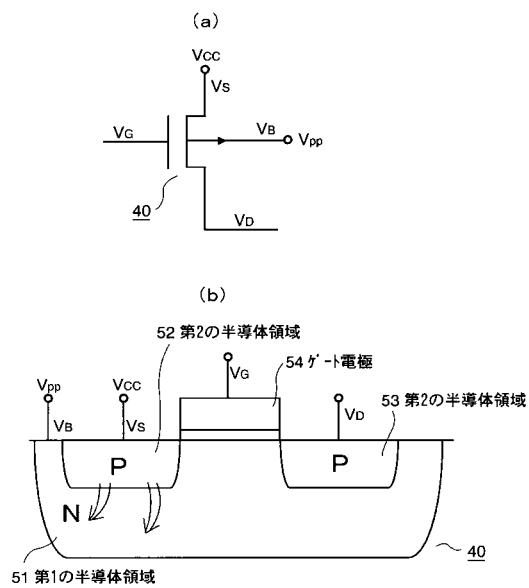
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 牧野 英一

東京都港区芝浦一丁目1番1号 株式会社東芝本社事務所内

F ターク(参考) 5F038 AV06 BG01 BG03 BG05 BG06 EZ20

5J056 AA00 AA37 BB10 CC00 CC02 CC09 CC29 DD12 DD28 EE04

FF08 GG09 KK02