

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年7月27日(27.07.2017)



(10) 国際公開番号
WO 2017/126023 A1

- (51) 国際特許分類:
H02M 7/06 (2006.01)
- (21) 国際出願番号: PCT/JP2016/051383
- (22) 国際出願日: 2016年1月19日(19.01.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: サンケン電気株式会社(SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野3丁目6番3号 Saitama (JP).
- (72) 発明者: 照井 洋光(TERUI, Hiromitsu); 〒3528666 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内 Saitama (JP).
- (74) 代理人: 三好 秀和, 外(MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目2番8号 虎ノ門琴平タワー Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

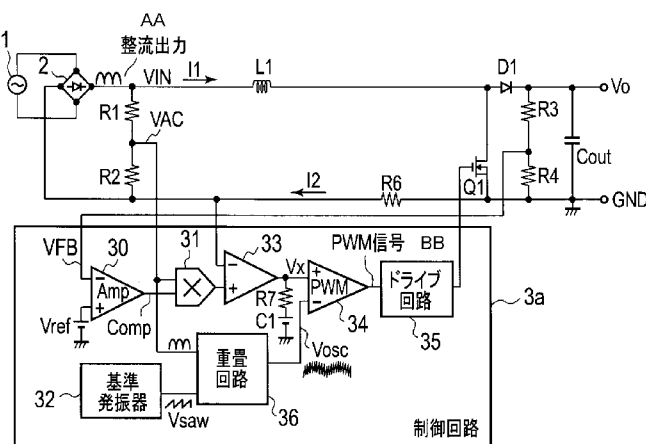
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: POWER FACTOR IMPROVEMENT CIRCUIT AND DC/DC CONVERTER

(54) 発明の名称: 力率改善回路及びDC/DCコンバータ



- 3a Control circuit
32 Reference oscillator
35 Drive circuit
36 Superimposing circuit
AA Rectified output
BB PWM signal

(57) Abstract: The present invention is provided with: a series circuit comprising a coil L1 connected to an output terminal of a rectifying circuit 2 and a switching element Q1; a rectifying and smoothing circuit comprising a rectifying element D1 and a smoothing capacitor Co; an arithmetic unit 33 which performs an arithmetic operation on a multiplied voltage and a voltage corresponding to a current flowing through the switching element or a current from the output terminal of the rectifying circuit, said multiplied voltage being obtained by multiplying an error voltage between an output voltage of the smoothing capacitor and a reference voltage by an output of the rectifying circuit; a superimposing circuit 36 which superimposes a signal based on the output of the rectifying circuit on a reference signal of a reference oscillator 32; and a control circuit 34 which generates a pulse signal by comparing an output of the superimposing circuit with an output from the arithmetic unit, and which turns on/off the switching element using the pulse signal.

(57) 要約: 本発明は、整流回路2の出力端子に接続されたコイルL1とスイッチング素子Q1とからなる直列回路と、整流素子D1と平滑コンデンサCoとからなる整流平滑回路と、平滑コンデンサの出力電圧と基準電圧との誤差電圧と整流回路の出力とを乗算した乗算電圧と、ス

スイッチング素子に流れる電流又は整流回路の出力端子からの電流に対応する電圧とを演算する演算器33と、整流回路の出力に基づく信号を基準発振器32の基準信号に重畳させる重畳回路36と、重畳回路の出力と演算器からの出力と比較することによりパルス信号を生成しパルス信号によりスイッチング素子をオン/オフさせる制御回路34とを備える。

WO 2017/126023 A1

明 細 書

発明の名称： 力率改善回路及びDC／DCコンバータ

技術分野

[0001] 本発明は、高力率で安定性の高い力率改善回路及びDC／DCコンバータに関する。

背景技術

[0002] 従来の電流連続モード力率改善回路（CCM PFC）は、特許文献1に記載されるように、出力電圧を検出し、検出された出力電圧に基づいて力率改善制御を行っている。

[0003] また、従来のCCM PFCは、特許文献2に記載されるように、入力電圧変動の応答性を向上させるために、入力電圧の変動を出力電圧のフィードバックループに入力し、出力電圧を制御している。

[0004] 図1は、従来の力率改善回路の回路構成図である。図1において、電流連続モード力率改善回路は、交流電源1の交流電圧を整流器2によりブリッジ整流し、整流された整流出力 V_{IN} を直流電圧に変換して出力電圧 V_o を図示しない負荷に供給し、力率改善を行う。

[0005] 図1に示すように力率改善回路（PFC）は、昇圧型力率改善回路であり、コイル L_1 、スイッチング素子 Q_1 、第1のダイオード D_1 および出力コンデンサ C_{out} 、制御回路3Aを備える。また、PFC回路は、制御回路3Aからスイッチング素子 Q_1 に高周波スイッチング制御信号を出力し、スイッチング素子 Q_1 を高周波でオン／オフ制御する。これにより、コイル L_1 に流れる電流が高周波でオン／オフされて力率が改善されるとともに、PFC回路の出力電圧 V_o が昇圧される。

[0006] 図1に示すように、制御回路3Aは、誤差増幅器30、乗算器31、基準発振器32、演算器33、PWMコンパレータ34、ドライブ回路35を備える。誤差増幅器30は、出力電圧 V_o を抵抗 R_3 と抵抗 R_4 とで分圧した電圧であるフィードバック電圧 V_{FB} と基準電圧 V_{ref} との誤差電圧を増

幅して出力電圧 V_{IN} として出力する。乗算器 31 は、整流器 2 で整流した整流出力 V_{IN} を抵抗 R_1 と抵抗 R_2 で分圧した整流分圧電圧 V_{AC} と、誤差増幅器 30 の出力電圧 V_{Comp} とを乗算し、得られた値を入力電流の目標値とする。

[0007] 電流検出抵抗 R_6 は、スイッチング素子 Q_1 に流れる電流に対応する電圧を演算器 33 の反転入力端子に出力する。演算器 33 は、乗算器 31 からの乗算出力から、電流検出抵抗 R_6 で検出された電流に対応する電圧を演算し、信号 V_x を PWM コンパレータ 34 の非反転入力端子に出力する。演算器 33 の出力には、位相補正用に抵抗 R_7 とコンデンサ C_1 との直列回路が接続される。

[0008] 入力電圧に相似な電流を生成し力率改善動作になるように、PWM コンパレータ 34 は、演算器 33 からの信号 V_x と基準発振器 32 からの鋸波信号 V_{saw} とを比較し制御する。スイッチング素子 Q_1 のデューティは、上記フィードバック制御により、適切な値になる。制御回路 3 は、出力電圧 V_o を検出し、出力電圧 V_o に基づきスイッチング素子 Q_1 のデューティを制御することにより出力電圧 V_o を所定値にさせる。

先行技術文献

特許文献

[0009] 特許文献1：特開平 2－7869 号公報

特許文献2：特開 2013－63003 号公報

発明の概要

発明が解決しようとする課題

[0010] しかしながら、制御回路 3A は、整流出力 V_{IN} を検出してから、入力電流 I_1 の平均値が、整流出力 V_{IN} と相似にさせるために、演算器 33 の位相補正回路である抵抗 R_7 、コンデンサ C_1 の時定数の遅れによる応答時間が必要となる。このため、入力電流 I_1 の平均値が、整流出力 V_{IN} と相似になるのが、応答時間分、遅れる。

[0011] 応答時間を早くするためには、演算器 33 の位相補正回路である抵抗 R7、コンデンサ C1 の時定数を調整し、応答時間を短くする必要がある。しかし、演算器 33 の位相補正を調整するため、安定性が低下する。

[0012] また、特許文献 2 では、入力電圧の変動を出力電圧のフィードバックループに入力しているため、入力電圧変動時の出力電圧の応答時間は、短くなるが、力率改善につながる入力電流 I1 の遅れは、改善することができなかった。

[0013] 本発明の課題は、簡易な構成により高力率と安定性の向上とを両立することができる力率改善回路及び DC/DC コンバータを提供することである

課題を解決するための手段

[0014] 前記課題を解決するために、本発明の力率改善回路は、交流電源の交流電圧を整流する整流回路と、前記整流回路の出力端子に、直列に接続されたコイルとスイッチング素子とからなる直列回路と、前記スイッチング素子の主電極間に、直列に接続された整流素子と平滑コンデンサとからなる整流平滑回路と、前記平滑コンデンサの出力電圧と基準電圧との誤差電圧と前記整流回路の出力とを乗算した乗算電圧と、前記スイッチング素子に流れる電流又は前記整流回路の出力端子からの電流に対応する電圧とを演算する演算器と、基準信号を発生する基準発振器と、前記整流回路の出力に基づく信号を前記基準発振器の基準信号に重畳させる重畳回路と、前記重畳回路の出力と前記演算器からの出力と比較することによりパルス信号を生成し前記パルス信号により前記スイッチング素子をオン／オフさせる制御回路とを備える。

発明の効果

[0015] 本発明によれば、制御回路は、平滑コンデンサの出力電圧と基準電圧との誤差電圧によるフィードバック制御と、整流回路の出力に基づく信号を基準信号の出力に重畳させた信号と誤差電圧との比較によるフィードフォワード制御とを組み合わせることで、高力率と安定性の向上とを両立することができる。

図面の簡単な説明

[0016] [図1]図 1 は、従来の力率改善回路の回路構成図である。

[図2]図 2 は、実施例 1 の力率改善回路の回路構成図である。

[図3]図 3 は、実施例 1 の力率改善回路に設けられた重畳回路の回路構成図である。

[図4]図 4 は、従来の力率改善回路の PWM コンパレータの動作を説明するための各部の波形図である。

[図5]図 5 は、実施例 1 の力率改善回路の PWM コンパレータの動作を説明するための各部の波形図である。

[図6]図 6 は、実施例 2 の力率改善回路の回路構成図である。

[図7]図 7 は、実施例 3 の力率改善回路の回路構成図である。

[図8]図 8 は、実施例 3 の力率改善回路に設けられた重畳回路の回路構成図である。

[図9]図 9 は、実施例 4 の力率改善回路の回路構成図である

[図10]図 10 は、実施例 4 の力率改善回路に設けられた重畳回路の回路構成図である。

[図11]図 11 は、実施例 5 の昇圧型 DC / DC コンバータの回路構成図である。

[図12]図 12 は、実施例 6 の降圧型 DC / DC コンバータの回路構成図である。

[図13]図 13 は、実施例 7 の昇降圧型 DC / DC コンバータの回路構成図である。

発明を実施するための形態

[0017] 以下に、本発明の力率改善回路及び DC / DC コンバータの実施例を、図面を参照しながら、説明する。ここでは、力率改善回路として、電流連続モード力率改善回路を説明する。

(実施例 1)

図 2 は、実施例 1 の力率改善回路の回路構成図である。図 2 において、力率改善回路は、昇圧型力率改善回路であり、交流電源 1、整流器 2、コイル

L 1、スイッチング素子 Q 1、第 1 のダイオード D 1 および出力コンデンサ C o u t、制御回路 3 a を備える。

[0018] 整流器 2 は、交流電源 1 から入力された交流電圧を全波整流し整流出力 V I N を出力し、抵抗 R 1 と抵抗 R 2 とは、整流出力 V I N を抵抗分圧した整流分圧出力 V A C を出力する。

[0019] 整流器 1 の出力端には、コイル L 1 と MOS F E T からなるスイッチング素子 Q 1 とが直列に接続される。コイル L 1 とスイッチング素子 Q 1 との接続点にはダイオード D 1 のアノードが接続され、ダイオード D 1 のカソードは、平滑コンデンサ C o を介して接地されている。

[0020] 整流器 2 の出力端には、分圧抵抗として、抵抗 R 1 と抵抗 R 2 との直列回路が接続されている。また、平滑コンデンサ C o の両端には、分圧抵抗として、抵抗 R 3 と抵抗 R 4 との直列回路が接続されている。

[0021] 制御回路 3 a は、抵抗 R 1 と抵抗 R 2 との分圧比に基づく整流分圧出力 V A C と抵抗 R 3 と抵抗 R 4 との分圧比に基づくフィードバック電圧 V F B とを入力し、整流分圧出力 V A C とフィードバック電圧 V F B とに基づき駆動信号を生成して、スイッチング素子 Q 1 のゲートに駆動信号を出力する。整流分圧出力 V A C とフィードバック電圧 V F B とを得るための分圧比は、後述のフィードフォワードの動作から互いに等しく設定されることが好ましい。

[0022] スwitching素子 Q 1 のグラウンド G N D に接続される端子と抵抗 R 2 の間には、電流検出抵抗 R 6 が接続されている。電流検出抵抗 R 6 は、スイッチング素子 Q 1 の G N D 側端子と抵抗 R 2 間に流れる電流 I 2 を電圧に変換し、変換された電圧を演算器 3 3 の反転端子に出力する。尚、電流 I 2 は、P F C の入力電流である整流器 2 の出力電流 I 1 と同じ電流が流れる。

[0023] 制御回路 3 a は、誤差増幅器 3 0、乗算器 3 1、基準発振器 3 2、演算器 3 3、PWMコンパレータ 3 4、ドライブ回路 3 5、重畳回路 3 6 を備える。

[0024] 誤差増幅器 3 0 は、出力電圧 V o を抵抗 R 3 と抵抗 R 4 とで分圧した電圧

であるフィードバック電圧 V_{FB} と基準電圧 V_{ref} との誤差電圧を増幅して出力電圧 C_{omp} として出力する。乗算器31は、整流器2で整流した整流出力 V_{IN} を抵抗 R_1 と抵抗 R_2 で分圧した整流分圧出力 V_{AC} と、誤差増幅器30の出力電圧 C_{omp} とを乗算し、得られた値を入力電流の目標値とする。

[0025] 電流検出抵抗 R_6 は、スイッチング素子 Q_1 に流れる電流に対応する電圧を演算器33の反転入力端子に出力する。演算器33は、乗算器31からの乗算出力から、電流検出抵抗 R_6 で検出された電流に対応する電圧を演算し、信号 V_x をPWMコンパレータ34の非反転入力端子に出力する。演算器33の出力には、位相補正用に抵抗 R_7 とコンデンサ C_1 との直列回路が接続される。

[0026] 基準発振器32は、基準信号である鋸波信号 V_{saw} を発生し、鋸波信号 V_{saw} を重畳回路36に出力する。重畳回路36は、整流器2で整流した整流出力 V_{IN} を抵抗 R_1 と抵抗 R_2 で分圧した整流分圧出力 V_{AC} に、基準発振器32からの鋸波信号 V_{saw} を重畳し、重畳信号 V_{osc} としてPWMコンパレータ34の反転入力端子に出力する。

[0027] PWMコンパレータ34は、本発明の制御回路に対応し、演算器33からの信号 V_x と重畳回路36からの重畳信号 V_{osc} とを比較することにより、パルス信号PWMを生成してドライブ回路35に出力する。即ち、PWMコンパレータ34は、重畳信号 V_{osc} と信号 V_x と比較することでフィードフォワード制御を行い、演算器33の位相補正を浅くすることができる。フィードフォワード制御の詳細は、後述する。

[0028] ドライブ回路35は、駆動信号をスイッチング素子 Q_1 のゲートに印加することで、スイッチング素子 Q_1 をオンオフさせる。PWMコンパレータ34は、スイッチング素子 Q_1 のオンオフ比であるデューティを制御することで、出力電圧 V_o を一定に制御することができる。

[0029] 図3は重畳回路36の回路構成図である。重畳回路36は、カレントミラー回路361、オペアンプOP1、抵抗 R_a 、抵抗 R_b 、抵抗 R_c 、N型の

MOSFET Q a, PNPバイポーラ型のトランジスタ Q b、NPNバイポーラ型のトランジスタ Q c を備える。

[0030] オペアンプ OP 1 の非反転入力には、整流分圧出力 V A C が入力される。オペアンプ OP 1 の反転入力端子は、MOSFET Q a のソースに接続され、抵抗 R a を介して接地される。オペアンプ OP 1 の出力は、MOSFET Q a のゲートに接続され、ドレインはカレントミラー回路 3 6 1 に接続される。カレントミラー回路 3 6 1 には、電源 V c c が印加されている。

[0031] MOSFET Q a のドレイン電流は、カレントミラー回路 3 6 1 を介して、直列接続された抵抗 R b とトランジスタ Q b に流れる。トランジスタ Q b のエミッタは、抵抗 R b に接続され、トランジスタ Q b のコレクタは接地される。トランジスタ Q b のベースには、基準発振器 3 2 から鋸波信号 V s a w が入力される。

[0032] 抵抗 R b とカレントミラー回路 3 6 1 との接続点には、トランジスタ Q c のベースが接続される。トランジスタ Q c のコレクタは、電源 V c c に接続され、トランジスタ Q c のエミッタは、抵抗 R c の一端に接続され、抵抗 R c の他端は接地される。トランジスタ Q c のエミッタは、重畳回路 3 6 の出力端となり、重畳信号 V o s c を出力する。

[0033] 図 3 に示す重畳回路 3 6 によれば、整流分圧出力 V A C は、抵抗 R a により電流に変換され、変換された電流は、カレントミラー回路 3 6 1 を介して抵抗 R b により電圧に変換される。抵抗 R b の電圧 V F F は、式 (1) で表される。

[0034] [数1]

$$V_{FF} = \frac{R_b}{R_a} V_{AC} \cdots (1)$$

重畳信号 V o s c は、鋸波出力 V s a w に電圧 V F F が加算された電圧となり、この電圧は、式 (2) で表される。ここで、電圧 V B E 1 はトランジスタ Q b のベース－エミッタ間の電圧、V B E 2 は、トランジスタ Q c のベース－エミッタ間の電圧である。抵抗 R a と抵抗 R b との比を変化させることで、

重畳信号 V_{osc} に対する整流出力 V_{AC} の比率を調整できる。即ち、フィードフォワード量を、抵抗 R_a 、抵抗 R_b の比を変化させることで調整できる。

[0035] [数2]

$$V_{osc} = V_{saw} + V_{FF} = V_{saw} + V_{BE1} + V_{FF} - V_{BE2} = V_{saw} + \frac{R_b}{R_a} V_{AC} \cdots (2)$$

次に、フィードフォワード制御の動作の詳細を示す。従来の $CCMPFC$ の制御では、乗算器 31 が整流分圧出力 V_{AC} と誤差増幅器 30 の出力電圧 C_{omp} とを乗算し、演算器 33 が乗算器 31 の出力値から、整流器 2 から出力される電流を、演算して電圧 V_x を得る。PWMコンパレータ 34 は、電圧 V_x と鋸波出力 V_{saw} とを比較する。従来の $CCMPFC$ の制御は、整流分圧出力 V_{AC} と出力電圧 C_{omp} とを乗算した値と、 GND 電流 I_2 とを比較することにより、入力電圧に相似な電流を生成し、力率改善動作を行う。

[0036] スイッチング素子 Q_1 のデューティは、フィードバック制御により、適切な値になり、 CCM 動作時のデューティは整流出力 V_{IN} と出力電圧 V_o から決まる。

[0037] これに対して、本発明では、さらに、このデューティが自然に決まるフィードフォワード制御を制御回路 3a に組み込むことにより、フィードバック制御の負担を減らすことができ、より安定・高速に動作させることができる。以下、フィードフォワード制御について説明する。

[0038] 以下に、PWMコンパレータ 34 の入力である信号 V_x 及び重畳信号 V_{osc} と、PWMコンパレータ 34 の出力との関係を、従来の制御と本発明の制御とで比較する。

[0039] 従来の制御の動作波形を図 4 に示し、本発明の制御の動作波形を図 5 に示す。図 4 (a)、図 5 (a) は整流出力 V_{AC} を示す。図 4 (b) は鋸波出力 V_{saw} 及び PWMコンパレータ 34 の非反転入力信号 V_x を示す。図 5 (b) は重畳信号 V_{osc} ($= V_{saw} + V_{FF}$) と信号 V_x を示す。図 4

(c)、図5(c)はPWMコンパレータ34の出力OUTを示す。図4(d)、図5(d)はPWMコンパレータ34を示す。

[0040] また、 V_a は鋸波出力 V_{saw} の下限值、 V_b は鋸波出力 V_{saw} の上限値、 D_{off} はPWMコンパレータ出力のオフデューティ、 V_{FB} は出力電圧 V_o を抵抗 R_3 と抵抗 R_4 とで抵抗分圧された電圧とする。

[0041] 従来の制御では、式(4)に示すように、整流分圧出力 V_{AC} の変化に伴い、信号 V_x が変化する。

[0042] [数3]

$$\Delta V_m \equiv V_b - V_a \cdots (3)$$

$$D_{off} = \frac{V_b - V_x}{\Delta V_m} \cdots (4)$$

CCM動作の場合

[0043] [数4]

$$D_{off} = \frac{V_{in}}{V_{out}} \cdots (5)$$

$R_1 : R_2 = R_3 : R_4$ の場合でかつ電圧 V_{FB} が基準電圧 V_{ref} と同等電圧である2.5V付近で動作している場合、上式は

[0044] [数5]

$$D_{off} = \frac{V_{AC}}{V_{FB}} \cong \frac{V_{AC}}{2.5V} \cdots (6)$$

式(4)、式(6)から、PFC制御した時、信号 V_x がどのように変化するか求めると、式(5)に示すように、信号 V_x は、整流分圧出力 V_{AC} に伴い変化する。

[0045] [数6]

$$V_x = V_b - \frac{\Delta V_m}{2.5} V_{AC} \cdots (7)$$

従来の制御では、図4(b)の点線で示すように、信号 V_x は、演算器33の位相補正回路 R_7 、 C_1 による位相補正の影響で、整流分圧出力 V_{AC}

に対して遅れが発生する。このため、応答性が低下して力率が低下する。

[0046] これに対して、本発明の制御では、信号 V_x を一定値又は略一定値にすることにより、位相補正による遅れがあっても、信号 V_x の整流分圧出力 V_{AC} に対する遅れの影響が発生しない。即ち、応答性が良くなる。

[0047] 従来の $CCMPFC$ では、信号 V_x と鋸波出力 V_{saw} とが PWM コンパレータ 34 により比較され、入力電流 I_1 の平均値は整流出力 V_{IN} と相似になるように制御される。スイッチング素子 Q_1 のデューティは、整流出力 V_{IN} と出力電圧 V_o との比で決定される。整流出力 V_{IN} は、交流電圧 A_C を整流した電圧となることから変動する。この整流電圧である整流出力 V_{IN} の変動に伴い、信号 V_x も変動する。

[0048] これに対して、実施例 1 では、図 5 (b) に示すように、基準発振器 32 からの鋸波出力 V_{saw} に整流出力 V_{IN} と同期した整流分圧出力 V_{AC} を重畳させて重畳信号 V_{osc} を変動させ、信号 V_x を一定値にさせる。信号 V_x が一定値であるため、抵抗 R_7 とコンデンサ C_1 との位相遅れがあっても、応答特性が良くなる。このため、信号 V_x が一定値でも、スイッチング素子 Q_1 のデューティは、出力電圧 V_o が一定になるように制御される。

[0049] 次に、鋸波出力 V_{saw} に VFF 信号を加えた場合、信号 V_x が一定値になる方法を計算式から導く。

[0050] [数7]

$$V_{FF} = \frac{\Delta V_m}{2.5} V_{AC} \cdots (8)$$

PWM コンパレータ 34 より

[0051] [数8]

$$D_{off} = \frac{V_b + V_{FF} - V_x}{\Delta V_m} = \frac{V_b}{\Delta V_m} + \frac{V_{AC}}{2.5} - \frac{V_x}{\Delta V_m} \cdots (9)$$

CCM 動作の場合、 D_{off} の理論的な値は式 (10) に示すように、従来の制御と同様になる。

[0052]

[数9]

$$D_{off} = \frac{V_{in}}{V_{out}} \cdots (10)$$

R1 : R2 = R3 : R4 の場合でかつ電圧 VFB が基準電圧 Vref と同等電圧である 2.5V 付近で動作している場合、Doff は、式 (11) で表される。

[0053] [数10]

$$D_{off} = \frac{V_{AC}}{V_{FB}} \cong \frac{V_{AC}}{2.5V} \cdots (11)$$

式 (9)、式 (11) から信号 Vx がどのように変化するか求めると 交流波形によって変化する VAC 成分がキャンセルされ、式 (12) に示すように商用の交流波形によらず、信号 Vx を鋸波出力 Vsa の上限値 Vb とすればよい。即ち、一定の信号 Vx によって、目的のデューティが得られる。

[0054] [数11]

$$V_x = V_b \cdots (12)$$

従って、比較的容易な重畳回路 36 を追加することにより、CCMPFC のデューティ制御にフィードフォワード信号を作ることができる。フィードフォワード制御の追加により、フィードバックゲイン量を下げ、安定・高速に動作させることができる。

[0055] このように、従来の制御では、図 4 に示すように、PWM コンパレータ 34 の入力信号である信号 Vx が、整流出力 VAC と相似に近い波形になっている。本発明の制御では、フィードフォワード制御を追加することで、図 5 に示すように、信号 Vx は、重畳信号 Vosc = Vsa + VFF と比較される。これにより、信号 Vx は、直流電圧に近い電圧となり、適切に制御される。信号 Vx は、直流電圧に近い電圧となるため、位相補正の影響が小さくなり、応答性が改善される。このため、実施例 1 では、従来の制御方式に比べ、位相補正を浅くしても、同等以上の応答性が確保できる。力率について

ても、位相補正の影響が小さいため、従来の制御に比べ、改善される。

[0056] 仮に、フィードフォワード回路である重畳回路36が故障し、フィードフォワード量が大きくなった場合には、スイッチング素子Q1のオンデューティは、狭くなる。このため、出力電圧 V_o が低下することから、安全方向となる。また、フィードフォワード量が小さくなった場合には、フィードフォワードがない、PFCとして動作する。このため、力率、安定性が低下するが、PFC制御となるため、問題はない。

[0057] なお、本発明は、CCMPFCとして記載しているが、電流不連続モード力率改善回路(DCMPFC)でも、フィードフォワード量を低下させることで、制御可能である。CCMPFCでも、負荷電流が小さい場合、DCMPFCとなる。DCM領域での制御が必要な場合には、フィードフォワード量を低下させた制御を行う。

(実施例2)

図5は、実施例2の力率改善回路の回路構成図である。実施例1の力率改善回路は、電流検出抵抗 R_6 により電流 I_2 を検出して検出された電流を電圧に変換していた。しかし、電流検出抵抗 R_6 により電流を電圧に変換すると、効率が低下する。実施例2の力率改善回路は、カレントトランス T_1 を用い、電流検出を行うことを特徴とする。

[0058] カレントトランス T_1 は、一次巻線 P_1 と二次巻線 S_1 とを有し、一次巻線 P_1 と二次巻線 S_1 との巻数比は、 $1:N$ である。一次巻線 P_1 は、コイル L_1 とスイッチング素子Q1のドレインとの間に接続されている。一次巻線 P_1 の両端には、ダイオード D_2 と抵抗 R_5 との直列回路が接続され、ダイオード D_2 と抵抗 R_5 との接続点における信号 CS_1 は制御回路3の電流電圧変換回路37に出力される。トランス T_1 とダイオード D_2 と抵抗 R_5 とは、スイッチング素子Q1に流れる電流を検出する電流検出器を構成する。電流電圧変換回路32は、電流検出器で検出した電流に比例した電圧 V_L を演算器33の反転入力端子に出力する。

[0059] このように実施例2の力率改善回路によれば、カレントトランス T_1 を用

い、電流検出を行うので、実施例 1 の力率改善回路よりも効率が良くなる。

(実施例 3)

図 7 は、実施例 3 の力率改善回路の回路構成図である。実施例 3 の力率改善回路は、ゼロクロス回路 38 を設けたことを特徴とする。ゼロクロス回路 38 は、コイル L 1 とダイオード D 1 との接続点に接続され、コイル L 1 とダイオード D 1 の接続点の電圧を検出することで、コイル L 1 に流れる電流が連続領域か、不連続領域かを判定し、判定出力を重畳回路 36 a に出力する。ゼロクロス回路 38 は、本発明の領域判定部に対応する。

[0060] 図 8 は、実施例 3 の力率改善回路に設けられた重畳回路 36 a の回路構成図である。重畳回路 36 a は、連続領域、不連続領域によって、整流回路 2 の出力に基づく信号を基準発振器 32 の基準信号に重畳させる比率を切り替える。重畳回路 36 a は、図 8 に示すように、MOSFET Q a のソースに抵抗 R a 1 と抵抗 R a 2 とが直列に接続されている。抵抗 R a 2 の両端には並列にスイッチ SW 1 が接続されている。

[0061] スイッチ SW 1 は、ゼロクロス回路 38 の判定出力により、オンオフする。スイッチ SW 1 がオンすると、MOSFET Q a のドレイン電流が大きくなり、重畳信号 V o s c が大きくなる。また、スイッチ SW 1 がオフすると、MOSFET Q a のドレイン電流が小さくなり、重畳信号 V o s c が小さくなる。即ち、スイッチ SW 1 がオンオフすることで、フィードフォワード量を切り替えている。これにより、コイル L 1 に流れる電流が連続領域か、不連続領域かによって、最適なフィードフォワード量を設定することができる。

(実施例 4)

図 9 は、実施例 4 の力率改善回路の回路構成図である。実施例 4 の力率改善回路は、電流検出回路 39 を設けたことを特徴とする。電流検出回路 39 は、電流検出抵抗 R 6 に接続され、電流検出抵抗 R 6 により負荷電流を検出する。

[0062] 図 10 は、実施例 4 の力率改善回路に設けられた重畳回路 36 b の回路構

成図である。重畳回路 36b は、MOSFET Qa のドレインに接続された可変抵抗 R_x を有し、整流回路 2 の出力に基づく信号を基準発振器 32 の基準信号に重畳させる比率であるフィードフォワード量を可変させる。可変抵抗 R_x は、電流検出回路 39 で検出された負荷電流に応じたフィードフォワード量になるように抵抗値を可変させる。これにより、コイル L_1 に流れる電流で、連続してフィードフォワード量を設定することができ、特にコイル L_1 に流れる電流が不連続領域では、不連続量に応じたフィードフォワード量を設定することができる。

(実施例 5)

図 11 は、実施例 5 の昇圧型 DC/DC コンバータの回路構成図である。実施例 5 は、実施例 1 の入力電源である交流電源 1 を直流電源 V_{in} に変更したことを特徴とする。直流電源 V_{in} の両端には、入力コンデンサ C_{in} が並列に接続されるとともに、抵抗 R_1 と抵抗 R_2 との直列回路が並列に接続される。重畳回路 36 は、直流電源 V_{in} の出力に基づく信号を基準発振器 32 の基準信号に重畳させる。PWM コンパレータ 34 は、平滑コンデンサ C_o の出力電圧と基準電圧 V_{ref} との誤差電圧と重畳回路 36 の出力とを比較することによりパルス信号を生成しパルス信号によりスイッチング素子 Q_1 をオン/オフさせる。実施例 1 では、入力電圧が商用の交流電圧で、昇圧型の PFC 制御について記載しているが、入力電圧は直流電圧でもよい。入力電圧が直流電圧の場合でも、入力電源の瞬断や、ロードレギュレーションで変動した場合についても、鋸波出力に入力電圧を重畳させるフィードフォワードの制御によって、出力電圧の応答性が改善される。実施例 5 の昇圧型 DC/DC コンバータに、実施例 3 のフィードフォワード量を調整するゼロクロス回路 38 及びスイッチ SW_1 や、実施例 4 のフィードフォワード量を調整する電流検出回路 39 及び可変抵抗 R_x を追加してもよい。

(実施例 6)

図 12 は、実施例 6 の降圧型 DC/DC コンバータ回路である。降圧型 DC/DC コンバータは、直流電源 V_{in} の出力端にスイッチング素子 Q_1 の

ソースが接続され、スイッチング素子Q1のドレインにダイオードD1のカソードとコイルL1の一端とが接続されている。降圧型DC/DCコンバータでも、入力電源の瞬断や、ロードレギュレーションで、変動した場合についても、鋸波出力に入力電圧を重畳させるフィードフォワードの制御で、出力電圧の応答性が改善される。実施例6の降圧型DC/DCコンバータに、実施例3のフィードフォワード量を調整するゼロクロス回路38及びスイッチSW1や、実施例4のフィードフォワード量を調整する電流検出回路39及び可変抵抗Rxを追加してもよい。

(実施例7)

図13は、実施例7の昇降圧型DC/DCコンバータ回路である。昇降圧型DC/DCコンバータは、直流電源Vinの出力端にスイッチング素子Q1とコイルL1とが直列に接続され、スイッチング素子Q1とコイルL1との接続点にダイオードD1が接続され、コイルL1とダイオードD2の接続点にスイッチング素子Q2が接続される。制御部40は、平滑コンデンサCoの出力電圧と基準電圧Vrefとの誤差電圧と重畳回路36の出力とを比較することにより第1パルス信号及び第2パルス信号を生成し第1パルス信号によりスイッチング素子Q1をオン/オフさせ、第2パルス信号によりスイッチング素子Q2をオン/オフさせる。昇降圧型DC/DCコンバータでも、入力電源の瞬断や、ロードレギュレーションで、変動した場合についても、鋸波出力に入力電圧を重畳させるフィードフォワードの制御で、出力電圧の応答性が改善される。

[0063] なお、本発明は、実施例1乃至実施例7の力率改善回路、DC/DCコンバータに限定されるものではない。実施例1乃至実施例7では、スイッチング素子Q1は、MOSFETであったが、MOSFET以外の半導体スイッチ、例えばIGBT、バイポーラトランジスタであってもよい。

[0064] 実施例1乃至実施例5の力率改善回路では、整流素子は、ダイオードとなっているが、ダイオード以外の半導体スイッチでもよい。

産業上の利用可能性

[0065] 本発明は、DC／DCコンバータに適用可能である。

符号の説明

- [0066] 1 交流電源
2 整流器
3, 3 A, 3 a～3 g 制御回路
3 0 誤差増幅器
3 1 乗算器
3 2 基準発振器
3 3 演算器
3 4 PWMコンパレータ
3 5 ドライブ回路
3 6, 3 6 a 重畳回路
3 7 電流電圧変換回路
3 8 ゼロクロス回路
3 9 電流検出回路
4 0 制御部
3 6 1 カレントミラー回路
L 1 コイル
T 1 カレントトランス
D 1～D 2 ダイオード
Q 1, Q 2 スイッチング素子
O P 1 オペアンプ
R 1～R 6 抵抗
C o 出力コンデンサ
C i n 入力コンデンサ

請求の範囲

- [請求項1] 交流電源の交流電圧を整流する整流回路と、
 前記整流回路の出力端子に、直列に接続されたコイルとスイッチング素子とからなる直列回路と、
 前記スイッチング素子の主電極間に、直列に接続された整流素子と平滑コンデンサとからなる整流平滑回路と、
 前記平滑コンデンサの出力電圧と基準電圧との誤差電圧と前記整流回路の出力とを乗算した乗算電圧と、前記スイッチング素子に流れる電流又は前記整流回路の出力端子からの電流に対応する電圧とを演算する演算器と、
 基準信号を発生する基準発振器と、
 前記整流回路の出力に基づく信号を前記基準発振器の基準信号に重畳させる重畳回路と、
 前記重畳回路の出力と前記演算器からの出力と比較することによりパルス信号を生成し前記パルス信号により前記スイッチング素子をオン／オフさせる制御回路と、
 を備える力率改善回路。
- [請求項2] 前記演算器からの出力は、一定電圧又は略一定電圧からなる脈流電圧である請求項1記載の力率改善回路。
- [請求項3] 負荷に流れる負荷電流を検出する電流検出回路を備え、
 前記重畳回路は、前記電流検出回路で検出された負荷電流により、前記整流回路の出力に基づく信号を前記基準発振器の基準信号に重畳させる比率を可変させる請求項1又は2記載の力率改善回路。
- [請求項4] 前記コイルに流れる電流が連続領域か不連続領域かを判定する領域判定部を備え、
 前記重畳回路は、前記領域判定部で判定された連続領域、不連続領域によって、前記整流回路の出力に基づく信号を前記基準発振器の基準信号に重畳させる比率を切り替える請求項1、2、3のいずれか1

項記載の力率改善回路。

[請求項5]

直流電源と、

前記直流電源の出力端にコイルの一端が接続され、コイルの他端にスイッチング素子と整流素子とが接続されたコンバータ部と、

前記コンバータ部の出力端子に接続される平滑コンデンサと、

基準信号を発生する基準発振器と、

前記直流電源の出力に基づく信号を前記基準発振器の基準信号に重畳させる重畳回路と、

前記平滑コンデンサの出力電圧と基準電圧との誤差電圧と前記重畳回路の出力とを比較することによりパルス信号を生成し前記パルス信号により前記スイッチング素子をオン／オフさせる制御回路と、
を備えるDC／DCコンバータ。

[請求項6]

直流電源と、

前記直流電源の出力端にスイッチング素子の一端が接続され、スイッチング素子の他端に整流素子とコイルとが接続されたコンバータ部と、

前記コンバータ部の出力端子に接続される平滑コンデンサと、

基準信号を発生する基準発振器と、

前記直流電源の出力に基づく信号を前記基準発振器の基準信号に重畳させる重畳回路と、

前記平滑コンデンサの出力電圧と基準電圧との誤差電圧と前記重畳回路の出力とを比較することによりパルス信号を生成し前記パルス信号により前記スイッチング素子をオン／オフさせる制御回路と、
を備えるDC／DCコンバータ。

[請求項7]

直流電源と、

前記直流電源の出力端に第1スイッチング素子とコイルとが直列に接続され、第1スイッチング素子とコイルとの接続点に第1整流素子が接続され、コイルと第2整流素子の接続点に第2スイッチング素子

が接続されるコンバータ部と、

前記コンバータ部の出力端子に接続される平滑コンデンサと、

基準信号を発生する基準発振器と、

前記直流電源の出力に基づく信号を前記基準発振器の基準信号に重畳させる重畳回路と、

前記平滑コンデンサの出力電圧と基準電圧との誤差電圧と前記重畳回路の出力とを比較することにより第1パルス信号及び第2パルス信号を生成し前記第1パルス信号により前記第1スイッチング素子をオン／オフさせ、前記第2パルス信号により前記第2スイッチング素子をオン／オフさせる制御回路と、

を備えるDC／DCコンバータ。

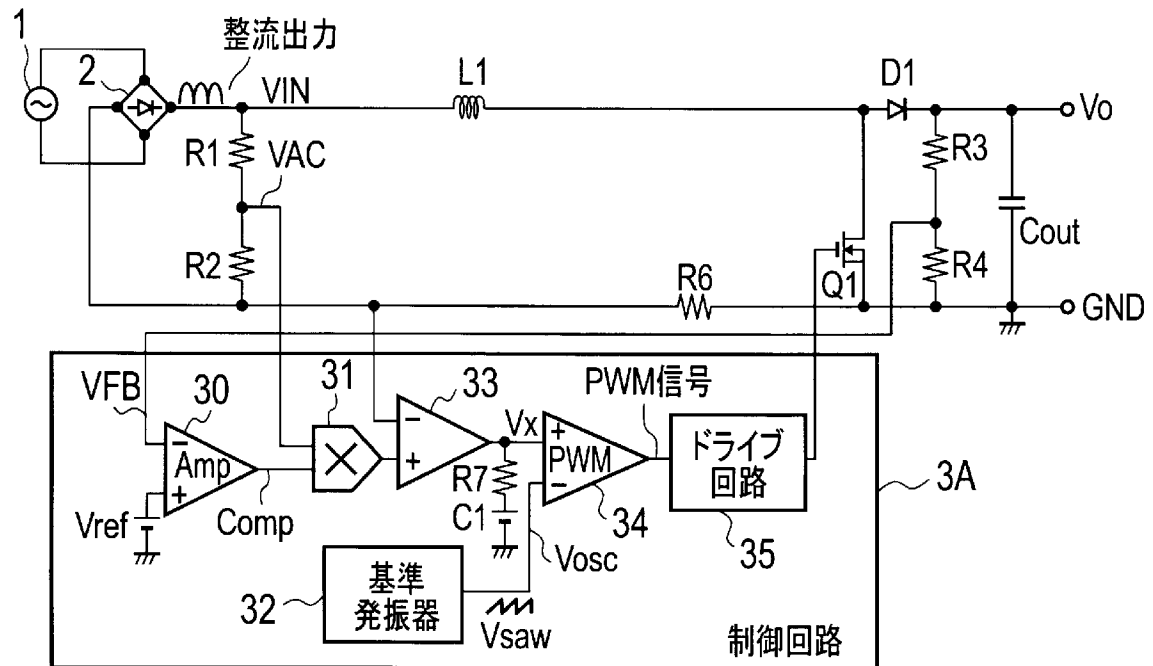
[請求項8] 前記誤差電圧は、一定電圧又は略一定電圧からなる脈流電圧である請求項5、6、7のいずれか1項記載のDC／DCコンバータ。

[請求項9] 負荷に流れる負荷電流を検出する電流検出回路を備え、
前記重畳回路は、前記電流検出回路で検出された負荷電流により、前記整流回路の出力に基づく信号を前記基準発振器の基準信号に重畳させる比率を可変させる請求項5、6、7、8のいずれか1項記載のDC／DCコンバータ。

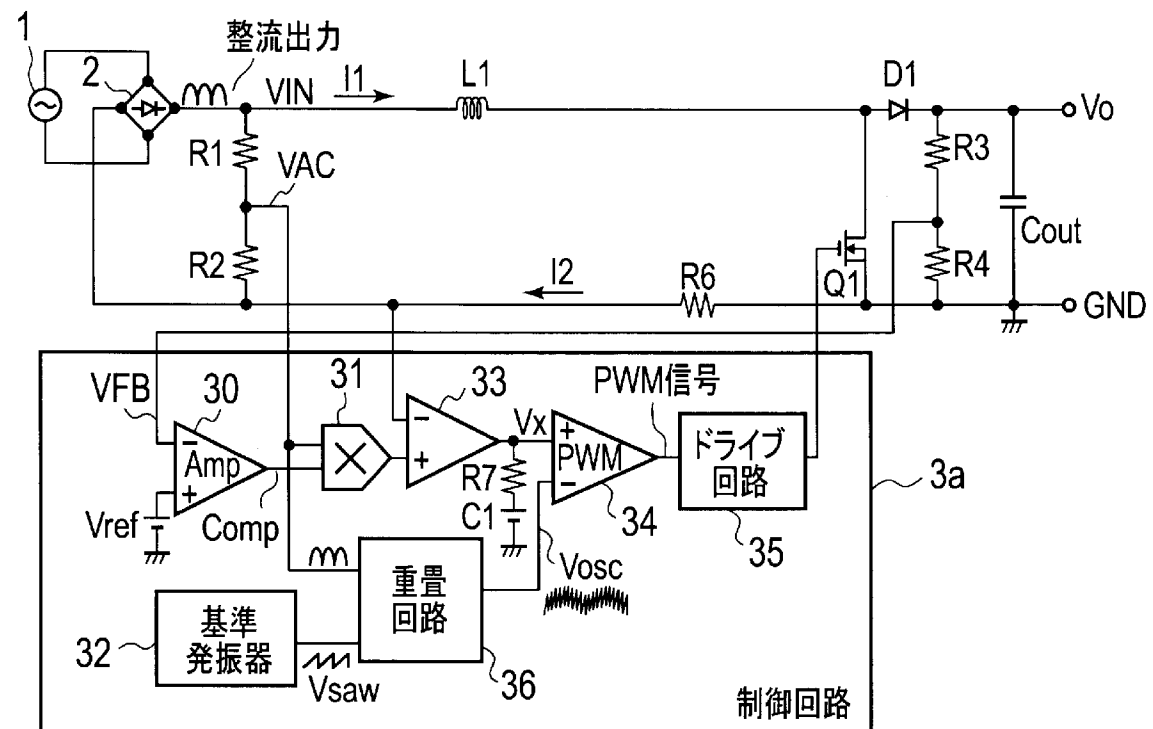
[請求項10] 前記コイルに流れる電流が連続領域か不連続領域かを判定する領域判定部を備え、

前記重畳回路は、前記領域判定部で判定された連続領域、不連続領域によって、前記整流回路の出力に基づく信号を前記基準発振器の基準信号に重畳させる比率を切り替える請求項5、6、7、8、9のいずれか1項記載のDC／DCコンバータ。

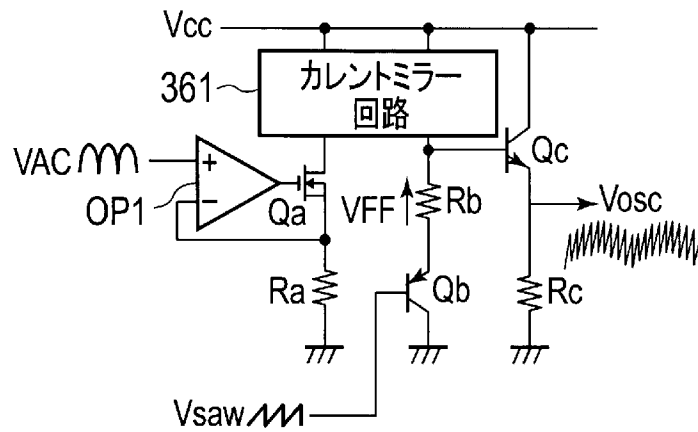
[図1]



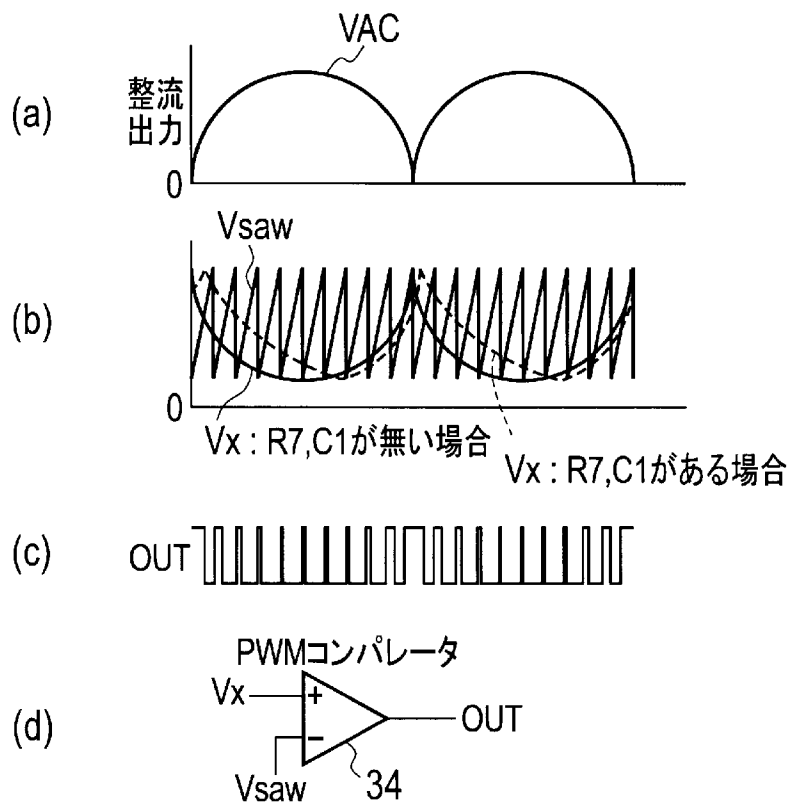
[図2]



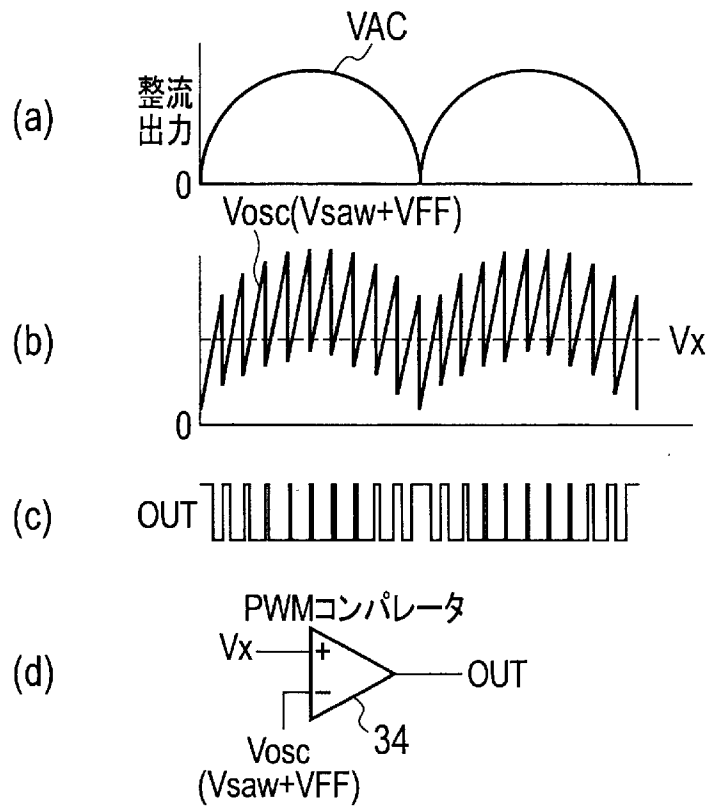
[図3]



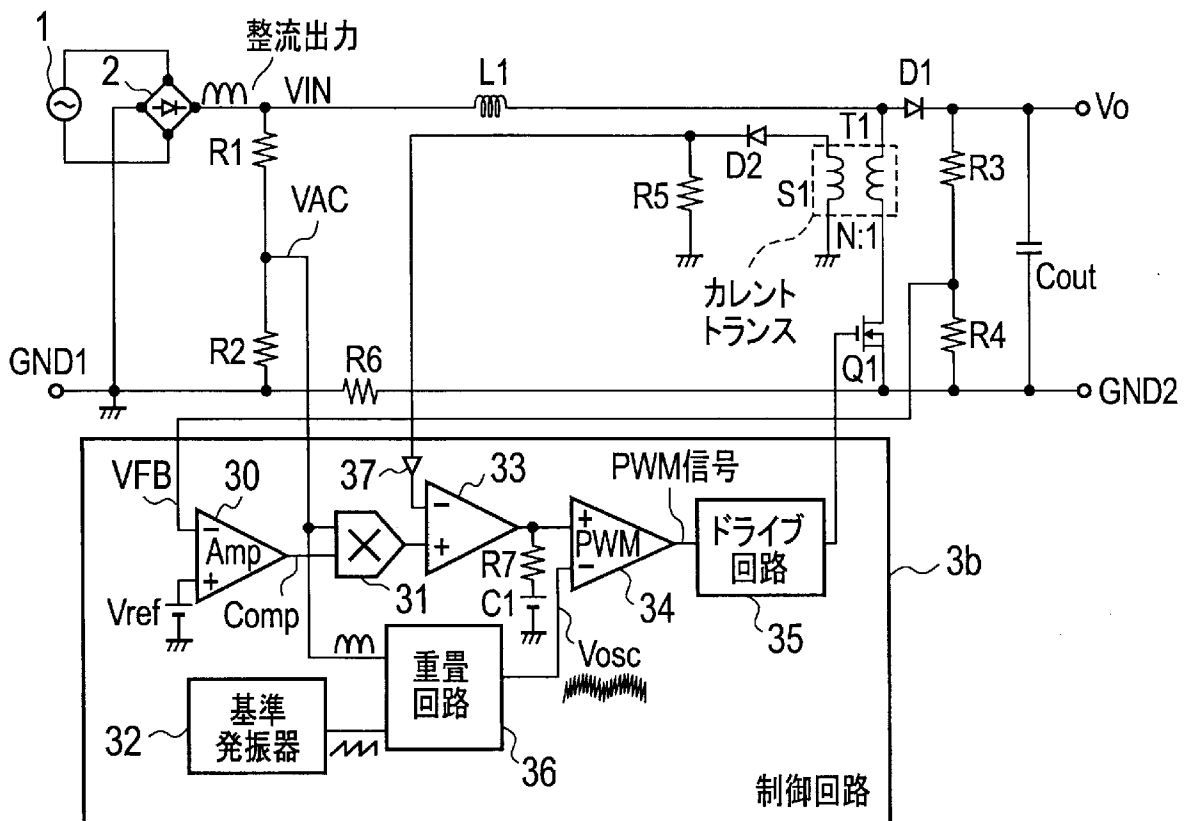
[図4]



[図5]

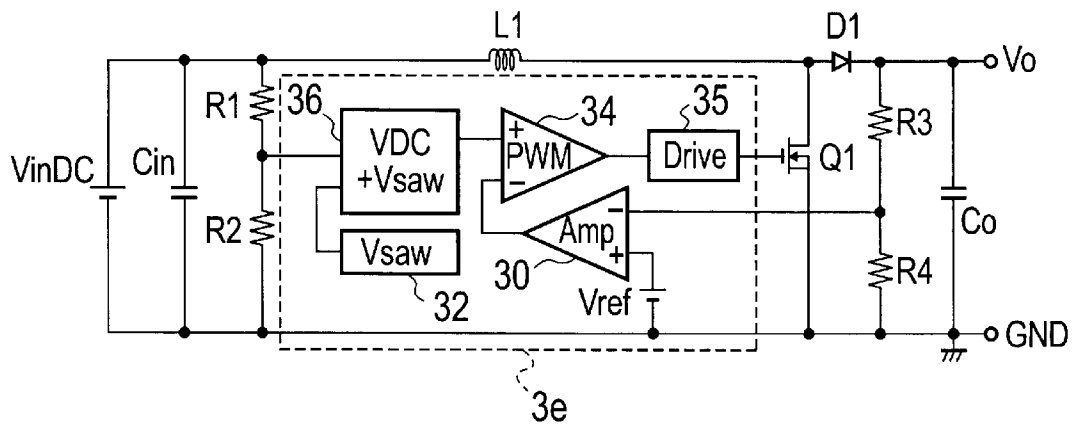


[図6]

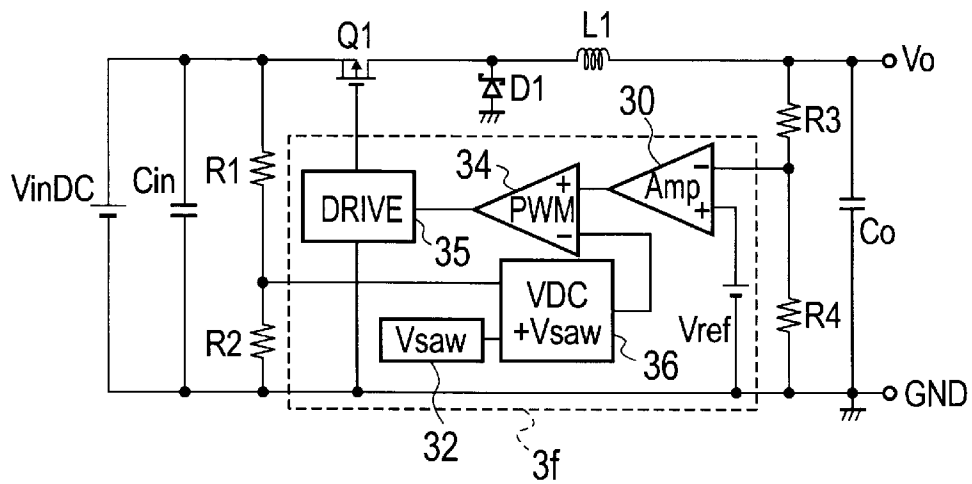


The diagram illustrates a power supply system 300. The power section 30 includes an AC input 1, a rectifier 2, a filter capacitor 3, a zero-current circuit 38, a MOSFET 39, a diode 40, and an output capacitor 41. The control section 3c includes a reference voltage source 32, a feedback amplifier 30, a zero-current circuit 31, a PWM generator 34, and a driver circuit 35. The feedback loop includes a voltage divider 33 and a feedback capacitor 36a. The output voltage is V_o .

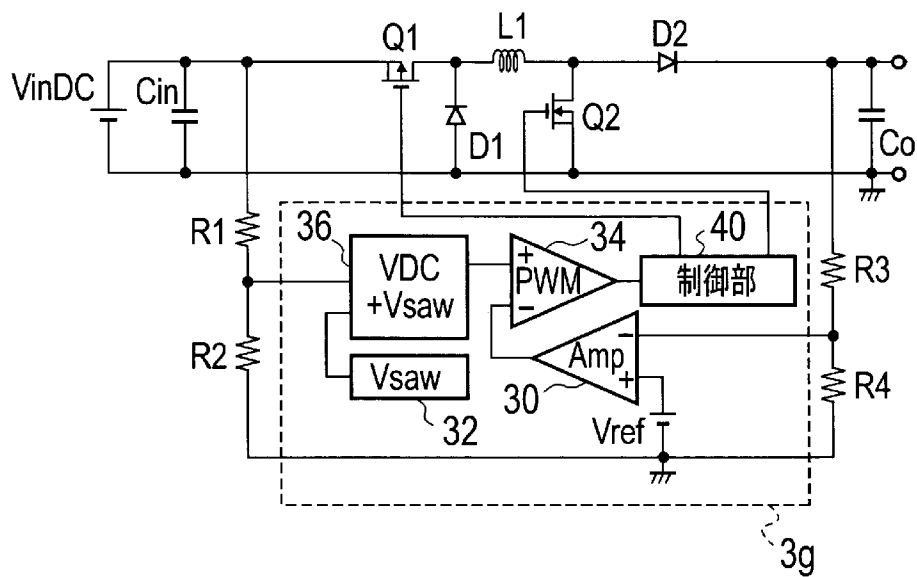
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/051383

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/06(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-91733 A (Toshiba Lighting & Technology Corp.), 09 April 1993 (09.04.1993), paragraphs [0016] to [0024]; fig. 1 (Family: none)	1-10
A	JP 5-244768 A (Toshiba Lighting & Technology Corp.), 21 September 1993 (21.09.1993), paragraphs [0025] to [0038]; fig. 1 (Family: none)	1-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
28 March 2016 (28.03.16)

Date of mailing of the international search report
05 April 2016 (05.04.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M7/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M7/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5-91733 A（東芝ライテック株式会社）1993.04.09, 段落[0016]－[0024], 図1（ファミリーなし）	1-10
A	JP 5-244768 A（東芝ライテック株式会社）1993.09.21, 段落[0025]－[0038], 図1（ファミリーなし）	1-10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

28.03.2016

国際調査報告の発送日

05.04.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

安食 泰秀

3 V

3740

電話番号 03-3581-1101 内線 3357