

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200610147850. X

[51] Int. Cl.

H01L 21/768 (2006.01)

H01L 21/28 (2006.01)

H01L 21/31 (2006.01)

H01L 21/60 (2006.01)

[45] 授权公告日 2009 年 12 月 30 日

[11] 授权公告号 CN 100576497C

[22] 申请日 2006.12.20

[21] 申请号 200610147850. X

[73] 专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

[72] 发明人 康 劲 王明卿

[56] 参考文献

US6165880A 2000.12.26

CN1434501A 2003.8.6

US6159808A 2000.12.12

CN1383192A 2002.12.4

审查员 戴丽娟

[74] 专利代理机构 北京集佳知识产权代理有限公司

代理人 徐 谦 杨红梅

权利要求书 2 页 说明书 9 页 附图 4 页

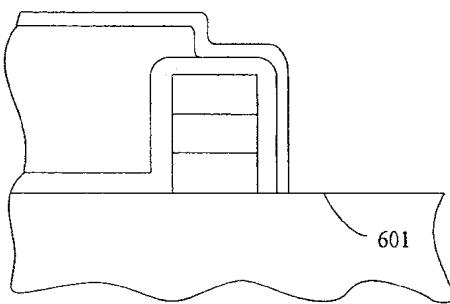
[54] 发明名称

形成集成电路器件自对准接触的方法

[57] 摘要

本发明公开了一种包括形成自对准接触区的加工集成电路器件的方法。所述方法包括提供部分完成的半导体晶片，所述晶片包括一个或多个半导体芯片，其中每个所述芯片包括多个 MOS 栅极结构。每个所述栅极结构在衬底上形成，且具有覆盖在包括所述栅极结构之间的接触区的部分上形成的第一氮化硅层。每个所述芯片具有覆盖在所述氮化硅层和所述栅极结构上的具有预定厚度的共形的掺杂硅玻璃层。然后所述方法将等离子体蚀刻工艺应用于所述掺杂硅玻璃，采用各向异性的蚀刻成分垂直去除部分所述掺杂硅玻璃，从而暴露一部分所述第一氮化硅层。所述方法还包括采用各向同性的成分清洁所述氮化硅的暴露部分的步骤。所述方法在所述第一氮化硅层的暴露部分上形成第二氮化硅层，并去除所述第二氮化硅层及所述第一氮化硅层的暴露

部分，从而暴露所述衬底上的接触区。所述方法利用软蚀刻技术加工所述暴露的接触区。



1. 一种包括形成自对准接触区的加工集成电路器件的方法，所述方法包括：

提供部分完成的半导体晶片，所述晶片包括一个或多个半导体芯片，每个所述芯片包括多个 MOS 栅极结构，每个所述栅极结构在衬底上形成，且具有覆盖在包括所述栅极结构之间的接触区的部分上形成的第一氮化硅层，每个所述芯片具有覆盖在所述氮化硅层和所述栅极结构上的预定厚度的共形的掺杂硅玻璃层；

将等离子体蚀刻工艺应用于所述掺杂硅玻璃，采用各向异性的蚀刻成分垂直去除部分所述掺杂硅玻璃，从而暴露出一部分所述第一氮化硅层；

采用各向同性的成分清洁所述氮化硅的暴露部分；

在所述第一氮化硅层的暴露部分上形成第二氮化硅层；

去除所述第二氮化硅层及所述第一氮化硅层的暴露部分，从而暴露所述衬底上的所述接触区；

加工所述暴露的接触区。

2. 如权利要求 1 所述的方法，其中采用剥离工艺及湿法蚀刻工艺提供所述清洁。

3. 如权利要求 2 所述的方法，其中所述湿法蚀刻工艺采用 H_3PO_4 。

4. 如权利要求 2 所述的方法，其中所述湿法蚀刻工艺的温度保持在 160 °C。

5. 如权利要求 1 所述的方法，其中所述掺杂硅玻璃为 BPSG、PSG 或 FSG。

6. 如权利要求 1 所述的方法，其中采用下游中间掩膜工具提供所述加工。

7. 如权利要求 1 所述的方法，其中用湿法蚀刻剂提供所述清洁。

8. 如权利要求 1 所述的方法，其中所述接触区的尺度为 0.35 微米及更小。

9. 如权利要求 1 所述的方法，其中所述清洁为剥离工艺。

10. 如权利要求 1 所述的方法，其中所述应用所述等离子体蚀刻工艺是通过覆盖在所述掺杂硅玻璃上的图案化掩膜。

11. 一种用于加工集成电路存储器件的方法，所述方法包括：

提供部分完成的半导体晶片，所述晶片包括一个或多个半导体芯片，每个所述芯片包括多个 MOS 栅极结构，每个所述栅极结构在衬底上形成，且具有覆盖在包括所述栅极结构之间的接触区的部分上形成的第一氮

化硅层，每个 **MOS** 栅极结构上有 **TEOS** 隔离物，每个所述芯片具有覆盖在所述氮化硅层和所述栅极结构上的预定厚度的共形的掺杂硅玻璃层；

将等离子体蚀刻工艺应用于所述掺杂硅玻璃，采用各向异性的蚀刻成分垂直去除部分所述掺杂硅玻璃以暴露所述第一氮化硅层，从而暴露出一部分所述第一氮化硅层；

利用各向同性的成分清洁所述氮化硅的暴露部分；

去除所述第一氮化硅层预定厚度的暴露部分，从而增加相邻的第一栅极结构和第二栅极结构之间具有对 **TEOS** 的高选择性的接触区的较低区的临界尺度，所述第一栅极结构和所述第二栅极结构来自所述栅极结构；

去除所述接触区中暴露的第一氮化硅层的一部分，从而暴露所述衬底上的所述接触区；以及

加工所述暴露的接触区。

12. 如权利要求 11 所述的方法，其中所述加工为去除一部分所述暴露的接触区上引起的任何等离子体损伤的软蚀刻工艺。

13. 如权利要求 11 所述的方法，其中所述掺杂硅玻璃为 **BPSG**、**PSG** 或 **FSG**。

14. 如权利要求 11 所述的方法，其中由下游等离子体源提供所述加工。

15. 如权利要求 11 所述的方法，其中采用含氟类物质提供所述各向异性蚀刻。

16. 如权利要求 15 所述的方法，其中所述含氟类物质从 C_4F_8 或 CH_2F_2 中选择。

17. 如权利要求 11 所述的方法，其中采用至少含氟类物质和含氧类物质提供所述加工。

形成集成电路器件自对准接触的方法

技术领域

本发明涉及用于半导体器件制造的集成电路及其加工。特别地，本发明提供了一种为集成电路器件结构形成如接触的小特征尺寸的方法。但是应该认识到，本发明的适用范围要广泛得多。例如，本发明可应用于多种器件，如动态随机存取存储器（DRAM）、静态随机存取存储器（SRAM）、专用集成电路器件（ASIC）、微处理器和微控制器、闪存器件等。

背景技术

集成电路或“IC”已经将在单个硅片上制造的互连器件由几个发展到数百万个。目前，集成电路所提供的性能及复杂程度已远远超过了最初所想象的。为了改善复杂度和电路密度（即，在给定的芯片面积上能够封装的器件数量），最小的器件特征尺寸，也被称为器件“几何形状”，已经随着集成电路的发展变得更小。如今正在制造具有小于四分之一微米宽的特征的半导体器件。

增加电路密度不仅改善了集成电路的复杂度和性能，而且为用户提供了较低成本的零件。一套集成电路生产设备可能要花费几亿甚至几十亿美元。每个生产设备有一定的晶片生产量，而且每个晶片上有一定数量的集成电路。因此，通过把一个集成电路上的各个器件做得更小，就可以在每一个晶片上制造更多的器件，这样就可以增加生产设备的产量。将器件做得更小是非常具有挑战性的，因为 IC 制造过程中所采用的每一个工艺有一个极限。也就是说，典型地，一个特定的工艺只能将器件减小到某个特征尺寸，然后就需要改变工艺或器件布局。这种极限的一个例子是去除层并形成用作接触区的图案化结构的能力。该接触区应该没有会导致电阻的不理想的材料。

仅作为示例，图案化工艺和蚀刻工艺经常用于去除或部分去除层，从而形成接触结构。经常采用诸如干法蚀刻机或湿法蚀刻机等蚀刻工具进行蚀刻。湿法蚀刻机通常包括装有蚀刻剂化学制品的容器，以选择性

地将一种材料从另一种材料上去除。干法蚀刻机则通常包括等离子体源及处理室。干法蚀刻机通常采用诸如含氟类物质或含氯类物质的气体去除半导体材料，如硅，或金属材料，如铝。遗憾的是，蚀刻通常不精确。蚀刻也经常无法从接触区去除所有的材料，这会导致接触区和上覆的金属层之间产生不理想的接触电阻。这种电阻通常很难看到甚至很难检测到，直到器件全部制造完成。这种有缺陷的器件常常会导致器件成品率损失以及器件的可靠性问题。这种缺陷在加工过程中通常难以发现，并且在发现之后甚至更加难以修正。这些传统的半导体器件通常要经过可导致这种缺陷的数百个工艺。

[05] 从上可以看出，需要一种改进的技术来加工半导体器件。

发明内容

[06] 根据本发明，提供了包括半导体器件制造方法的技术。特别地，本发明提供了一种为集成电路器件结构形成如接触的小特征的方法。但是应该认识到，本发明的适用范围要广泛得多。例如，本发明可应用于多种器件，诸如动态随机存取存储器（DRAM）、静态随机存取存储器（SRAM）、专用集成电路器件（ASIC）、微处理器和微控制器、闪存器件等。

[07] 在一个具体的实施例中，本发明提供了一种包括形成自对准接触区的加工集成电路器件的方法。所述方法包括提供部分完成的半导体晶片，所述晶片包括一个或多个半导体芯片，其中每个所述芯片包括多个MOS栅极结构。每个所述栅极结构都在衬底上形成，且都具有覆盖在包括所述栅极结构之间的接触区的部分上形成的第一氮化硅层。每个所述芯片有覆盖在所述氮化硅层和栅极结构上的具有预定厚度的共形的掺杂硅玻璃层。然后所述方法将等离子体蚀刻工艺应用于所述掺杂硅玻璃，采用各向异性的蚀刻成分垂直去除部分所述掺杂硅玻璃，从而暴露出一部分所述第一氮化硅层。所述方法还包括采用各向同性的成分清洁所述氮化硅暴露部分的步骤。所述方法在所述第一氮化硅层的暴露部分上形成第二氮化硅层，并去除所述第二氮化硅层及所述第一氮化硅层的暴露部分，从而暴露出所述衬底上的接触区。所述方法利用软蚀刻技术加工所述暴露的接触区。可选地，其中采用剥离工艺及湿法蚀刻工艺提供所述清洁。可选地，其中所述湿法蚀刻工艺采用 H₃PO₄ 类物质，并且，还可选

地，其中所述湿法蚀刻工艺的温度保持在大约 160℃。可选地，其中用湿法蚀刻剂提供所述清洁。可选地，其中所述接触区的尺度约为 0.35 微米及更小。可选地，其中所述清洁为剥离工艺。

[08] 在一个可替换的具体实施例中，本发明提供了一种用于加工集成电路存储器件的方法。所述方法包括提供部分完成的具有一个或多个半导体芯片的半导体晶片。每个所述芯片包括多个 MOS 栅极结构。每个所述栅极结构形成在衬底上，且具有覆盖在包括所述栅极结构之间的接触区的部分上形成的第一氮化硅层。每个所述芯片具有覆盖在所述氮化硅层和栅极结构上的具有预定厚度的共形的掺杂硅玻璃层。然后所述方法将等离子体蚀刻工艺应用于所述掺杂硅玻璃，采用各向异性的蚀刻成分垂直去除部分所述掺杂硅玻璃以暴露所述第一氮化硅层，从而暴露出一部分所述第一氮化硅层。所述方法还利用各向同性的成分清洁所述氮化硅的暴露部分。所述方法去除所述第一氮化硅层预定厚度的暴露部分，从而增加第一栅极结构和第二栅极结构之间至少较低部分附近的接触区中的间隔尺度。所述第一栅极结构和第二栅极结构来自于所述栅极结构。所述方法还去除所述接触区中一部分暴露的第一氮化硅层，从而暴露出所述衬底上的接触区。所述方法还包括加工所述暴露的接触区的步骤。

[09] 本发明与传统技术相比，可以获得很多益处。例如，本技术提供了一种依赖于传统技术的易于使用的工艺。在一些实施例中，该方法提供了每晶片上管芯数的较高器件成品率。此外，所述方法无需对传统的设备和工艺进行实质的修改，提供了一种与传统工艺技术相兼容的工艺。优选地，本发明可应用于多种应用，如存储器、ASIC、微处理器及其他器件。依赖于实施例，可以获得这些益处中的一个或多个。下面将贯穿本说明书，对这些及其他益处做更加详细的描述。

[10] 结合详细说明和后面的附图，将更加全面地说明本发明的各种其他的目的、特征及优点。

附图说明

[11] 图 1 至图 6 所示为根据本发明实施例的方法；以及

[12] 图 7 为根据本发明的可替换的实施例的某些实验结果的简化图。

具体实施方式

[13]根据本发明，提供了包括半导体器件制造方法的技术。特别地，本发明提供了一种为集成电路器件结构形成如接触的小特征的方法。但是应该认识到，本发明的适用范围要广泛得多。例如，本发明可应用于多种器件，如动态随机存取存储器（DRAM）、静态随机存取存储器（SRAM）、专用集成电路器件（ASIC）、微处理器和微控制器、闪存器件等。

[14]传统方法可概述如下：

1. 提供半导体衬底；
2. 在衬底上形成图案化的 MOS 栅极结构；
3. 在 MOS 栅极结构上形成氮化硅层；
4. 形成覆盖在氮化硅层上的共形的硼磷硅酸盐玻璃（BPSG）层；
5. 进行 BPSG 蚀刻以形成接触开口；
6. 进行氮化硅蚀刻；
7. 进行衬垫氮化硅蚀刻以暴露出衬底接触部分；
8. 在暴露的衬底接触部分上形成接触金属化，而氮化物衬垫的某些部分保留，引起接触区增加的电阻；以及
9. 根据需要，执行其它步骤。

[15]上述步骤序列提供了形成接触的传统方法。然而，这种传统方法会在接触区上留下残余的含氮化物材料。所述含氮化物材料导致增加的电阻，这就导致存储器相关器件的位故障。这种传统的方法还存在其他局限性。利用本发明可解决这些及其他局限性，这在下面通过本说明书更详细地说明。

[16]根据本发明实施例的方法可概述如下：

1. 提供衬底；

2. 在衬底上形成图案化的 **MOS** 栅极结构；
3. 在 **MOS** 栅极结构上形成氮化硅层；
4. 形成覆盖在氮化硅层上的平面化的 **BPSG** 层；
5. 进行无图案的 **BPSG** 蚀刻以形成接触区并停止在氮化硅上。
6. 用灰化设备/清洗设备清洁接触区中来自 **BPSG** 蚀刻的开口；
7. 采用热 H_3PO_4 蚀刻氮化硅层部分并打开接触区的底部部分，而不损伤衬底；
8. 生长第二氮化硅衬垫；
9. 进行衬垫氮化硅蚀刻以暴露衬底接触区；
10. 在暴露的衬底接触区上进行软蚀刻；以及
11. 根据需要执行其它步骤。

[17] 上述步骤序列提供了根据本发明实施例的方法。如上所示，该方法采用了包括在动态随机存取存储器器件中形成用于自对准接触的改进的接触区的途径的步骤组合。此处，在不背离权利要求范围的情况下，也可以提供其他可替换方案，其中增加一些步骤、去掉一个或多个步骤或者按照不同的顺序提供一个或多个步骤。下面通过本说明书，更详细地说明本方法的进一步细节。

[18] 根据本发明一可替换实施例的方法可概述如下：

1. 提供衬底；
2. 在衬底上形成图案化的 **MOS** 栅极结构；
3. 在 **MOS** 栅极结构上形成氮化硅层；
4. 形成覆盖在氮化硅层上的平面化的 **BPSG** 层；
5. 进行无图案的 **BPSG** 蚀刻以形成接触区；

6. 清洁接触区中来自 **BPSG** 蚀刻的开口；
7. 选择性地湿法蚀刻氮化硅层的部分并打开接触区的底部部分，而不损伤衬底；
8. 在蚀刻的部分再生长氮化硅衬垫；
9. 进行衬垫氮化硅蚀刻以暴露衬底接触区；
10. 在暴露的衬底接触区上进行软蚀刻；以及
11. 根据需要执行其它步骤。

[19] 上述步骤序列提供了根据本发明实施例的方法。如上所示，该方法采用了包括在动态随机存取存储器器件中形成自对准接触的改进的接触区的途径的步骤组合。此处，在不背离权利要求范围的情况下，也可以提供其他可替换方案，其中增加一些步骤、去掉一个或多个步骤或者按照不同的顺序提供一个或多个步骤。下面通过本说明书，更详细地说明本方法的进一步细节。

[20] 根据本发明另一可替换实施例的方法可概述如下：

1. 提供衬底；
2. 在衬底上形成图案化的 **MOS** 栅极结构，每个 **MOS** 栅极结构上具有 **TEOS** 隔离物；
3. 在每个 **MOS** 栅极结构上形成氮化硅层；
4. 形成覆盖在氮化硅层上的平面化的 **BPSG** 层；
5. 进行无图案的 **BPSG** 蚀刻以形成接触区并停止在氮化硅层上；
6. 采用灰化设备/清洗设备清洁接触区中来自 **BPSG** 蚀刻的开口；
7. 采用各向同性蚀刻成分在停止氮化硅上进行软蚀刻，以减小氮化硅层的厚度并扩大具有对 **TEOS** 的高选择性的接触区的较低区的临界尺度，且不损伤置于下面的衬底；

8. 采用各向异性蚀刻成分进行衬垫氮化硅蚀刻，以暴露衬底接触区；
9. 在暴露的衬底接触区上进行软蚀刻；以及
10. 根据需要执行其它步骤。

[21] 上述步骤序列提供了根据本发明实施例的方法。如上所示，该方法采用了包括在动态随机存取存储器器件中形成自对准接触的改进的接触区的途径的步骤组合。此处，在不背离权利要求范围的情况下，也可以提供其他可替换方案，其中增加一些步骤、去掉一个或多个步骤或者按照不同的顺序提供一个或多个步骤。下面通过本说明书，更详细地说明本方法的进一步细节。

[22] 图 1 至图 6 为根据本发明实施例为动态存取存储器器件制造接触区的方法的简化图。该图仅为一个示例，此处不应不适当当地限制权利要求的范围。本领域的技术人员可以做出多种变化、修改和变更。如图所示，本发明提供了一种包括形成自对准接触区的加工集成电路器件的方法。该方法包括提供部分完成的半导体晶片 100。如图所示，晶片包括一个或多个半导体芯片，其中每个芯片包括多个 MOS 棚极结构。每个棚极结构在衬底 101（例如硅晶片）上形成，且具有覆盖在包括棚极结构之间的接触区的部分上形成的第一氮化硅层 105。每个棚极结构还包括覆盖层 109 和金属层 107。可选地，每个棚极结构可以包括由如二氧化硅、氮化硅、TEOS 等合适材料制成的侧壁隔离物。当然，本领域的技术人员可以做出其他变化、修改和变更。

[23] 参考图 2，每个芯片具有覆盖在氮化硅层和棚极结构上的具有预定厚度的共形的掺杂硅玻璃层 111。该共形层基本没有引脚固定器且是平面化的。其中，已经利用回流技术、化学机械平面化技术和/或阻回蚀等对该层进行了平面化。玻璃层可以为硼磷硅酸盐玻璃（BPSG）、磷硅酸盐玻璃（PSG）、氟硅酸盐玻璃（FSG）。当然，本领域的技术人员可以做出多种变化、修改和变更。

[24] 如图 3 的简化图所示，该方法将等离子体蚀刻工艺应用于掺杂硅玻璃，采用各向异性的蚀刻成分垂直去除部分掺杂硅玻璃，从而暴露出一部分第一氮化硅层。如图所示，形成接触开口 301，从而暴露出氮化物

蚀刻停止层 305。依赖于具体实施例，利用如 C_4F_8 或 CH_2F_2 等含氟类物质或任何其他合适的气体或气体组合提供蚀刻。

[25] 现在参考图 4，所述方法采用各向同性的成分对氮化硅的暴露部分进行清洁。各向同性成分可以利用灰化设备/清洗设备工具和所选的气体化学物质提供。该工具可来自下游的等离子体源，这样会减少能够导致接触区损伤的任何有害的带电粒子。依赖于具体实施例，所述等离子体源可以采用含氧类物质和含氟类物质以及其他合适的化学物质。

[26] 如图 5 所示，所述方法在氮化硅层的暴露部分形成第二氮化硅层 501。第二氮化硅层是采用淀积技术形成的。这种淀积技术采用含硅烷类和含铵类物质。仅作为一个示例，这种技术采用 LPCVD。第二氮化硅层的厚度约为 15nm 及更小。然后如图 6 的简化图所示，所述方法去除第二氮化硅层和第一氮化硅层的暴露部分，从而暴露衬底上的接触区 601。所述方法采用软蚀刻技术加工暴露的接触区。所述软蚀刻技术以各向同性成分为特征，并且可以利用灰化设备/清洗设备工具及所选的气体化学物质提供。该工具可来自下游的等离子体源，这样会减少能够导致接触区损伤的任何有害的带电粒子。依赖于所述实施例，等离子体源可以采用含氧类物质和含氟类物质以及其他合适的化学物质。

[27] 上述步骤序列提供了根据本发明实施例的方法。如上所示，该方法采用了包括在动态随机存取存储器器件中形成自对准接触的改进的接触区的途径的步骤组合。此处，在不背离权利要求范围的情况下，也可以提供其他可替换方案，其中增加一些步骤、去掉一个或多个步骤或者按照不同的顺序提供一个或多个步骤。下面通过本说明书，更详细地说明本方法的进一步细节。

示例：

[28] 为了证实本发明的原理和操作，我们采用动态随机存取存储器器件的 0.2 微米加工进行了实验。这些器件是采用上述的技术制备的，且包括自对准的接触区。所述接触区采用以下方法制成，此处，该方法不应以任何方式不适当限制权利要求的范围。

1. 在硅衬底上提供包括氮化物层及 TEOS 侧壁隔离物的部分完成的

栅极结构；

2. 形成平面化的上覆的 BPSG 层；
3. 形成覆盖在 BPSG 层上的掩膜图案；
4. 采用光掩膜图案，用等离子体蚀刻机蚀刻 BPSG 并停止在氮化硅层上，从而形成接触区；
5. 剥离光掩膜；
6. 在接触区上执行清洁步骤；
7. 用下游工具（即中间掩膜工具）对接触区中的停止氮化硅进行软蚀刻，从而减小氮化硅的厚度并扩大底部临界尺寸，这对 TEOS 具有高的选择性且通过各向同性的蚀刻成分不损伤衬底；
8. 等离子体蚀刻，从而打开接触区的底部部分上的较薄的氮化硅并停止在硅衬底上，这样可以获得较大的底部临界尺寸，通过各向异性的蚀刻成分不会对接触区暴露的硅部分造成太多损伤。
9. 利用中间掩膜工具在暴露的硅接触区上进行软蚀刻；以及
10. 根据需要执行其他步骤。

[29] 图 7 为根据本发明可替换的实施例的某些实验结果的简化图 700。该图仅作为一个示例，此处不应不适当限制本发明的范围。本领域的技术人员可以做出多种其它变化、修改和变更。如图所示，根据具体实施例使用本方法，该结果包括不损失太多硅材料的清洁的接触开口。当然，也可以有其他变化、修改和变更。

[30] 应该理解，此处的例子和实施例仅是示例性的，并且依照其的各种修改或变更对于本领域的技术人员而言是可想到的，并且它们应当包括在本申请的精神和范围以及所附权利要求的范围内。

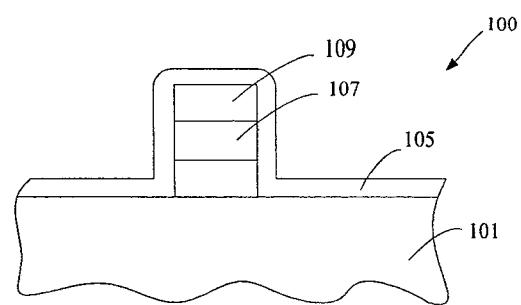


图 1

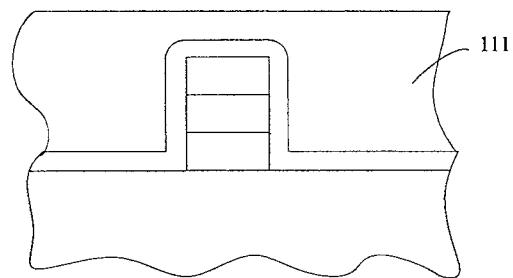


图 2

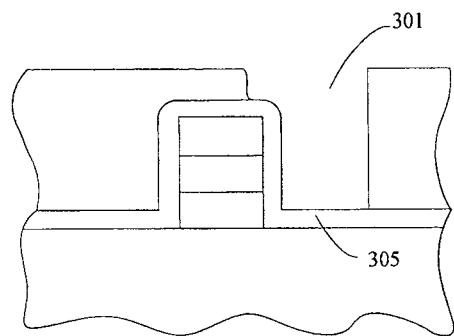


图 3

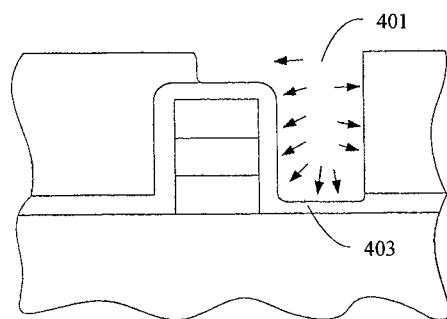


图 4

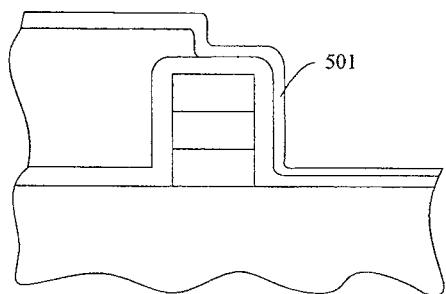


图 5

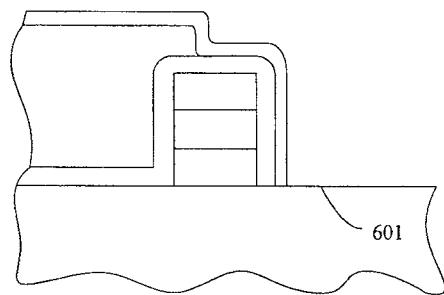


图 6

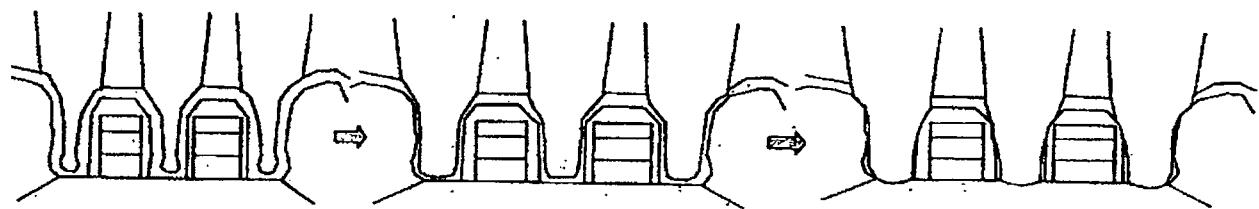
现有技术的 SAC 形成方法**BPSG 蚀刻****衬垫 SiN 蚀刻****本发明的 SAC 形成方法****BPSG 蚀刻****SiN 软蚀刻****衬垫 SiN 蚀刻****两种方法比较**

图 7