(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 697 21 411 T2** 2004.03.18

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 825 646 B1**
(21) Deutsches Aktenzeichen: **697 21 411.7**
(96) Europäisches Aktenzeichen: **97 114 374.8**
(96) Europäischer Anmeldetag: **20.08.1997**
(97) Erstveröffentlichung durch das EPA: **25.02.1998**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **02.05.2003**
(47) Veröffentlichungstag im Patentblatt: **18.03.2004**

(51) Int Cl.[7]: **H01L 23/485**
H01L 23/31

(30) Unionspriorität:
21998796 21.08.1996 JP

(84) Benannte Vertragsstaaten:
DE, FR, GB

(73) Patentinhaber:
Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa, JP

(74) Vertreter:
HOFFMANN · EITLE, 81925 München

(72) Erfinder:
Anand, Minakshisundaran Balasubramanian, 1-1 Shibaura 1-chome, Tokyo 105, JP

(54) Bezeichnung: **Halbleiteranordnung und Herstellungsverfahren dafür**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

HINTERGRUND DER ERFINDUNG

[0001] Die vorliegende Erfindung betrifft eine Halbleitervorrichtung mit einer Multi-Schichtverdrahtungsstruktur, hergestellt durch einen Damaszene-Prozess oder einen Dual-Damaszene-Prozess, und ein Verfahren zum Herstellen solch einer Vorrichtung.

[0002] Eine integrierte Schaltung mit ultragroßen Abmessungen (ULSI) verwendet eine Mehrebenenverdrahtungsstruktur, bei der Verdrahtungsschichten von drei Ebenen oder mehr ausgebildet sind.

[0003] Die **Fig.** 1 und 2 zeigen eine mit einem bekannten Verdrahtungsprozess bereitete Halbleitervorrichtung. **Fig.** 2 zeigt eine Querschnittsansicht entlang der Linie II-II, in **Fig.** 1 bezeichnet.

[0004] Wie in der Figur ersichtlich, ist eine Feldoxydschicht **12** auf einem Halbleitersubstrat **11** ausgebildet. In einem durch die Feldoxydschicht **12** umgebenen Elementbereich ist ein MOS Transistor mit einem Source-Drainbereich **13** und einer Gateelektrode **14** ausgebildet.

[0005] Auf dem Halbleitersubstrat **11** ist eine Isolierschicht **15** so ausgebildet, dass sie den MOS Transistor vollständig abdeckt. Kontaktlöcher **16** sind in der Isolierschicht **15** ausgebildet, von deren Oberfläche hindurch zum Source-Drainbereich **13**. Auf der Isolierschicht **15** ist eine Verdrahtungsschicht der ersten Ebene mit einer Vielzahl von Drähten **17** ausgebildet. Jeder der Vielzahl von Drähten **17** ist mit dem Source-Drainbereich **13** des MOS Transistors über die Kontaktlöcher **16** verbunden.

[0006] Auf der Isolierschicht **15** ist eine Isolierschicht (Zwischenschichtdielektrikum) **18** ausgebildet, um so die Vielzahl von Drähten **17** vollständig abzudecken. Kontaktlöcher **19** sind in der Isolierschicht **18** von deren Oberfläche durch zu der Vielzahl von Drähten **17** ausgebildet. Auf der Isolierschicht (Zwischenschichtdielektrikum) **18** ist eine Verdrahtungsschicht der zweiten Ebene mit einer Vielzahl von Drähten **20** ausgebildet. Jede der Vielzahl von Drähten **20** ist mit den Drähten **17** der Verdrahtungsschicht der ersten Ebene über die Kontaktlöcher **19** verbunden.

[0007] Auf der Isolierschicht (Zwischenschichtdielektrikum) **18** ist ein Bonding-Pad (Bonding-Kontaktbereich) **21** ausgebildet. Weiter ist auf der Isolierschicht (Zwischenschichtdielektrikum) **18** eine Isolierschicht (Passivierungsdielektrikum) **22** so ausgebildet, dass sie die Vielzahl von Drähten **20** und den Bonding-Kontaktbereich **21** vollständig abdeckt. Eine Öffnung **23** ist in dem Isolierfilm (Passivierungsdielektrikum) **22** ausgebildet, so dass der Bonding-Kontaktbereich **21** freiliegt.

[0008] Bei einer mit dem bekannten Verdrahtungsprozess hergestellten Halbleitervorrichtung ist eine Vielzahl von Drähten **17** der Verdrahtungsschicht der ersten Ebene, eine Vielzahl von Drähten **20** der Verdrahtungsschicht der zweiten Ebene und das Bonding-Pad **21** mit einem Photograviervorgang (PEP) ausgebildet, bei dem ein Resistmuster ausgebildet wird, und, unter Verwendung des Resistmusters als Maske, Metallschichten mit einem anisotropen Ätzen (wie beispielsweise RIE (raktives Ionenätzen)) geätzt sind.

[0009] Bei einer ULSI wird jedoch der Abstand zwischen Drähten der gleichen Ebene sehr klein.

[0010] Daher ergeben sich die folgenden Nachteile.

[0011] Zuerst ist es sehr schwierig, die Drähte **17** und **20** genau zu mustern. Dieses rührt daher, dass anisotropes Ätzen von Metallschichten sehr schwierig wird, wenn die Muster feiner werden.

[0012] Zweitens ist es sehr schwierig, sich zwischen Verdrahtungen der gleichen Ebene ergebende Rinnen mit einer Isolierschicht zu füllen, und daher werden unvermeidlicher Weise Hohlräume zwischen den Verdrahtungen erzeugt. Dieses rührt von einem schlechten Bedeckungsschritt der Isolierschicht her. Solche Hohlräume beeinflussen die Zuverlässigkeit der Verdrahtung negativ.

[0013] Die **Fig.** 3 und 4 zeigen eine Halbleitervorrichtung, die durch einen Dual-Damaszene-Prozess hergestellt ist. **Fig.** 4 zeigt eine Querschnittsansicht entlang der Linie IV-IV, in **Fig.** 3 gezeigt.

[0014] Wie es aus der Figur ersichtlich ist, ist eine Feldoxydschicht auf einem Halbleitersubstrat **11** ausgebildet. In einem durch die Feldoxydschicht **12** umgebenen Elementbereich ist ein MOS Transistor mit einem Source-Drainbereich **13** und einer Gateelektrode **14** ausgebildet.

[0015] Auf dem Halbleitersubstrat **11** sind Isolierschichten **15** und **24** ausgebildet, um so vollständig den MOS Transistor abzudecken. Kontaktlöcher **16** sind in den Isolierschichten **15** und **14** ausgebildet, von deren Oberfläche hindurch zu dem Source-Drainbereich **13**.

[0016] Die Isolierschicht **25** ist auf der Isolierschicht **24** ausgebildet. In der Isolierschicht **25** ist eine Vielzahl von Rinnen **16b** ausgebildet, verwendet für ein Ausbilden einer Verdrahtungsschicht einer ersten Ebene. Bodenabschnitte der Vielzahl von Rinnen **16b** sind durch das Kontaktloch **16a** ausgebildet.

[0017] Eine Barrierenmetall **17a** ist auf einer inneren Oberfläche sowohl des Kontaktlochs **16a** als auch der Rinnen **16b** ausgebildet. Weiter ist auf jedem der Barrieremetalle **17a** ein Metall (oder Metalllegierungs-) Abschnitt **17b** ausgebildet, um so vollständig ein jedes der Kontaktlöcher **16a** und die Rinnen **16b** zu füllen. Die Vielzahl von Drähten, die die Verdrahtungsschicht der ersten Ebene ausmachen, bestehen aus den Barrieremetallen **17a** und den Metallabschnitten **17b**.

[0018] Die Oberfläche der Isolierschicht **25** trifft die der Verdrahtungsschicht der ersten Ebene, und die Oberfläche ist flach ausgebildet. Jeder der Vielzahl von Drähten, die die Verdrahtungsschicht der ersten Ebene ergeben, ist mit dem Source-Drainbereich **13** des MOS Transistors verbunden.

[0019] Auf der Isolierschicht **25** und der Verdrah-

tungsschicht der ersten Ebene sind die Isolierschicht (Zwischenschichtdielektrikum) **18** und die Isolierschicht **26** ausgebildet. Kontaktlöcher **19a** sind in den Isolierschichten **18** und **26** ausgebildet, von deren Oberfläche hindurch zu der Verdrahtungsschicht der ersten Ebene.

[0020] Eine Isolierschicht **27** ist auf dem Isolierfilm **26** ausgebildet. Eine Vielzahl von Rinnen **19b**, verwendet für ein Ausbilden der Verdrahtungsschicht der zweiten Ebene, ist in der Isolierschicht **27** ausgebildet. Bodenbereiche der Vielzahl von Rinnen **19b** bestehen hindurch bis zum Kontaktloch **19a**.

[0021] Ein Barrieremetall **20a** ist auf einer inneren Oberfläche eines jeden des Kontaktlochs **19a** und der Rinnen **19b** ausgebildet. Weiter ist auf einem jeden der Barrieremetalle **20a** ein Metall- (oder Metalllegierungs-) Abschnitt **20b** so ausgebildet, dass er vollständig das Kontaktloch **19a** und auch die Rinnen **19b** ausfüllt. Die Vielzahl von Drähte, die die Verdrahtungsschicht der zweiten Ebene ausmachen, bestehen aus den Barrieremetallen **20a** und den Metallabschnitten **20b**.

[0022] Die Oberfläche der Isolierschicht **27** trifft die der Verdrahtungsschicht der zweiten Ebene, und die Oberfläche ist flach ausgebildet. Ein jeder der Vielzahl von Drähte, die die Verdrahtungsschicht der zweiten Ebene ausmachen, ist mit der Verdrahtungsschicht der ersten Ebene verbunden.

[0023] Falls die Verdrahtungsschicht der zweiten Ebene die oberste Schicht ist, stellt ein Teil der Verdrahtungsschicht der zweiten Ebene ein Bonding-Pad **21** dar. Das Bonding-Pad **21** besteht aus einem Metall (oder einer Metalllegierung), wie im Falle der Verdrahtungsschicht der zweiten Ebene.

[0024] Eine Isolierschicht (Passivierungsdielektrikum) **22** ist auf der Isolierschicht **27**, der Verdrahtungsschicht der zweiten Ebene und dem Bonding-Pad **21** ausgebildet. Eine Öffnung **23** ist in der Isolierschicht **22** ausgebildet, um so das Bonding-Pad **21** freizulegen.

[0025] Hinsichtlich der mit dem oben beschriebenen Dual-Damaszene-Prozess hergestellten Halbleitervorrichtung ist es möglich, die Nachteile des bekannten Verdrahtungsprozesses zu vermeiden, d. h. die Bildung von feinen Verdrahtungsmustern, und die Verhinderung von Hohlräumen zwischen Drähten.

[0026] Jedoch wird beim Dual-Damaszene-Prozess oder Damaszene-Prozess das chemisch-mechanische Polieren (CMP) – Verfahren verwendet. Falls ein Bonding-Pad **21** durch das CMP Verfahren ausgebildet wird, wird der Zentralbereich des Bonding-Pads **21** übermäßig geätzt, was ein "Dishing" (Tellerformbildung) ergibt, das heißt, das Bonding-Pad **21** wird in eine tellerartige Form gebracht.

[0027] **Fig.** 5 veranschaulicht, wie ein Dishing auftritt.

[0028] Genauer gesagt, ätzt CMP die Metallschicht **21'** nicht nur mechanisch, sondern auch chemisch. Falls die Metallschicht **21** (Bonding-Pad) in einer Rinne **19b** verbleibt, die eine Breite aufweist, die ausreichend groß im Vergleich zu ihrer Tiefe ist (es wird darauf hingewiesen, dass die Größe eines Bonding-Pads normalerweise 100 μm × 100 μm ist), wird der Zentralbereich der Metallschicht **21** in der Rinne **19b** übermäßig geätzt, hauptsächlich durch chemisches Ätzen.

[0029] Solch ein Dishing bewirkt sehr leicht einen Bonding-Fehler, das heißt, ein Draht kann während eines Verdrahtungs-Bonding-Vorgangs nicht genau am Bonding-Pad **21** gebondet werden, was eine Verschlechterung der Produktionsausbeute zur Folge hat.

[0030] Die **Fig.** 6 und 7 zeigen eine durch den Dual-Damaszene-Prozess gebildete Halbleitervorrichtung, die vorgeschlagen wurde, um das Problem eines Dishings zu lösen. **Fig.** 7 zeigt eine Querschnittsansicht entlang der Linie VII-VII, in **Fig.** 6 gezeigt.

[0031] Wie es in der Figur ersichtlich ist, wird eine Feldoxydschicht **12** auf einem Halbleitersubstrat **11** ausgebildet. In einem durch die Feldoxydschicht **12** umgebenen Elementbereich wird ein MOS Transistor mit einem Source-Drainbereich **13** und einer Gateelektrode **14** ausgebildet.

[0032] Auf dem Halbleitersubstrat **11** werden Isolierschichten **15** und **24** so ausgebildet, dass sie vollständig den MOS Transistor abdecken. Kontaktlöcher **16** sind in den Isolierschichten **15** und **24** ausgebildet, von deren Oberfläche hindurch zum Source-Drainbereich **13**.

[0033] Die Isolierschicht **25** ist auf der Isolierschicht **24** ausgebildet. In der Isolierschicht **25** ist eine Vielzahl von Rinnen **16b** ausgebildet, verwendet für ein Ausbilden einer Verdrahtungsschicht einer ersten Ebene. Bodenbereiche der Vielzahl von Rinnen **16bb** verlaufen hindurch zum Kontaktloch **16a**.

[0034] Ein Barrierematerial **17a** ist auf einer inneren Oberfläche von sowohl dem Kontaktloch **16a** als auch dem Rinnen **16** ausgebildet. Weiter ist auf einem jeden der Barrieremetalle **17a** ein Metall (oder Metalllegierungs-) Abschnitt **17b** so ausgebildet, dass er vollständig sowohl das Kontaktloch **16a** als auch die Rinnen **16b** ausfüllt. Die Vielzahl von Drähten, die die Verdrahtungsschicht der ersten Ebene ausmachen, bestehen aus den Barrieremetallen **17a** und den Metallabschnitten **17b**.

[0035] Die Oberfläche der Isolierschicht **25** trifft die der Verdrahtungsschicht der ersten Ebene, und die Oberfläche ist flach ausgebildet. Ein jeder der Vielzahl von Drähten, die Verdrahtungsschicht der ersten Ebene ausmachen, ist mit dem Source-Drainbereich **13** des MOS Transistors verbunden.

[0036] Auf der Isolierschicht **25** und der Verdrahtungsschicht der ersten Ebene sind die Isolierschicht (Zwischenschichtdielektrikum) **18** und die Isolierschicht **26** ausgebildet. Kontaktlöcher **19a** sind in den Isolierschichten **18** und **26** ausgebildet, von deren Oberfläche hindurch zur Verdrahtungsschicht der ersten Ebene.

[0037] Eine Isolierschicht **27** ist auf dem Isolierfilm **26** ausgebildet. Eine Vielzahl von Rinnen **19b**, ver-

wendet für ein Ausbilden der Verdrahtungsschicht der zweiten Ebene, ist in der Isolierschicht **27** ausgebildet. Bodenbereiche der Vielzahl von Rinne **19b** verlaufen durch zum Kontaktloch **19a**.

[0038] Ein Barrieremetall **20a** ist auf einer inneren Oberfläche vom Kontaktloch **19a** und den Rinnen **19b** ausgebildet. Weiter ist auf jedem der Barrieremetallen **20a** ein Metall- (oder Metalllegierungs-) Abschnitt **20b** so ausgebildet, dass er vollständig sowohl das Kontaktloch **19a** als auch die Rinnen **19b** ausfüllt. Die Vielzahl von Drähten, die die Verdrahtungsschicht der zweiten Ebene ausmachen, besteht aus den Barrieremetallen **20a** und den Metallabschnitten **20b**.

[0039] Die Oberfläche der Isolierschicht **27** trifft die der Verdrahtungsschicht der zweiten Ebene, und die Oberfläche ist flach ausgebildet. Jede der Vielzahl von Drähte, der die Verdrahtungsschicht der zweiten Ebene ausmacht, ist mit der Verdrahtungsschicht der ersten Ebene verbunden.

[0040] Falls die Verdrahtungsschicht der zweiten Ebene die oberste Schicht ist, stellt ein Teil der Verdrahtungsschicht der zweiten Ebene ein Bonding-Pad **21** dar. Das Bonding-Pad **21** besteht aus einem Metall (oder einer Metalllegierung), wie im Fall der Verdrahtungsschicht der zweiten Ebene.

[0041] Um das Dishing zu verhindern, was während dem CMP auftreten kann, ist jedoch das Bonding-Pad **21** so ausgebildet, dass es eine gitterartige Form aufweist. Genauer gesagt sind in dem Bonding-Pad **21** eine Vielzahl von punktartigen Löchern ausgebildet, die matrixartig angeordnet sind.

[0042] Eine Isolierschicht (Passivierungsdielektrikum) **22** ist auf der Isolierschicht **27** und der Verdrahtungsschicht der zweiten Ebene ausgebildet. Eine Öffnung **23** ist in der Isolierschicht **22** ausgebildet, um das Bonding-Pad **21** freizulegen.

[0043] Bei der mit dem Dual-Damaszene-Prozess hergestellten Halbleitervorrichtung ist das Bonding-Pad **21** so ausgebildet, dass es eine gitterartige Form aufweist. Daher wird, auch wenn das Bonding-Pad **21** unter Verwendung des CMP-Verfahrens ausgeformt wird, der notwendige Abschnitt nicht übermäßig geätzt, wodurch das Dishing effektiv verhindert wird.

[0044] Als nächstes wird das Verfahren zum Herstellen einer in den **Fig.** 6 und 7 gezeigten Halbleitervorrichtung beschrieben.

[0045] Zuerst, wie es in **Fig.** 8 zu sehen ist, wird mit dem LOCOS-Verfahren eine Feldoxydschicht **12** auf einem Siliziumsubstrat **11** ausgebildet. Danach wird in einem durch die Feldoxydschicht **12** umgebenen Elementbereich ein MOS Transistor mit einem Source-Drainbereich **13** und einer Gateelektrode **14** ausgebildet.

[0046] Weiter wird ein Isolierfilm (Borophosporsilikatglas (BPSG) oder ähnliches) **15** mit einer Dicke von ungefähr 1 μm auf dem Siliziumsubstrat **11** ausgebildet, was vollständig den MOS Transistor abdeckt. Die Oberfläche der Isolierschicht **15** wird durch das CMP flach gemacht.

[0047] Als nächstes, wie es in **Fig.** 9 zu sehen ist, wird eine Ätzstoppschicht **24** und eine Isolierschicht **25** kontinuierlich auf den Isolierfilm **15** beispielsweise mit dem CVD-Verfahren ausgebildet und die Isolierschicht besteht beispielsweise aus Siliziumoxyd. Falls die Isolierschicht **25** aus Siliziumoxyd besteht, wird die Ätzstoppschicht **24** aus einem Material mit einer hohen Ätzselektivität beim reaktiven Ionenätzen (RIE) gegenüber Siliziumoxyd erstellt, beispielsweise Siliziumnitrid.

[0048] Die Dicke der Ätzstoppschicht **24** ist auf ungefähr 50 nm eingestellt, und die Dicke des Isolierfilms **25** ist auf den gleichen Wert wie die Verdrahtungen eingestellt, die die Verdrahtungsschicht der ersten Ebene bereitstellen, d. h. beispielsweise ungefähr 0,6 μm.

[0049] Als nächstes, wie es in **Fig.** 10 ersichtlich ist, wird eine Vielzahl von Rinnen **16b** in der Isolierschicht **25** ausgebildet. Die Vielzahl von Rinnen **16b** werden mit einem Photogravierungsprozess ausgebildet, genauer gesagt, durch die Anbringung eines Resists auf der Isolierschicht **25**, das Mustern des Resists, das Ätzen der Isolierschicht **25** mit RIE unter Verwendung des Resist als eine Maske, und die Entfernung des Resist. Die Ätzstoppschicht **24** dient als ein Ätzstopper für RIE.

[0050] Es wird darauf hingewiesen, dass das Muster der Vielzahl von Rinnen **16b** so angefertigt ist, dass es mit dem Muster der Drähte, die die Verdrahtungsschicht der ersten Ebene darstellen, übereinstimmt.

[0051] Als nächstes, wie es in **Fig.** 11 ersichtlich ist, sind Kontaktlöcher **16a** in den Isolierschichten **15** und **24** ausgebildet. Die Kontaktlöcher **16a** sind ebenso mit dem Photogravierprozess gebildet, wie bei der Bildung der Vielzahl von Rinnen **16b**. Insbesondere sind die Kontaktlöcher **16a** hergestellt durch ein Anbringen eines Resists auf der Isolierschicht **25** und in den Rinnen **16b**, ein Mustern des Resists, ein Ätzen der Isolierschicht **15** und **24** mittels RIE, unter Verwendung des Resist als Maske, und durch Entfernen des Resists.

[0052] Dann, wie es in **Fig.** 12 ersichtlich ist, wird ein Barrieremetall **17a** auf der Isolierschicht **25**, an den inneren Oberflächen der Kontaktlöcher **16a** und den inneren Oberflächen der Rinnen **16b** mit dem CVD-Verfahren oder PVD-Verfahren ausgebildet. Das Barrieremetall **17a** besteht beispielsweise aus einer Laminierung von Titan und Titannitrid, oder Siliziumtitannitrid, oder ähnlichem.

[0053] Als nächstes, wie es in **Fig.** 13 ersichtlich ist, wird ein Metall- (oder Metalllegierungs-) Abschnitt **17'** auf dem Barrieremetall **17a** mit dem CVD- oder PVD-Verfahren ausgebildet, was vollständig die Kontaktlöcher **16** und die Rinnen **16b** abdeckt. Der Metallabschnitt **17'** besteht beispielsweise aus Aluminium, Kupfer, oder einer Legierung dieser Metalle.

[0054] Falls das PVD-Verfahren zur Bildung des Metallabschnitts **17'** verwendet wird, wird das Hoch-

temperatur PVD-Verfahren verwendet, oder ein PVD-Verfahren, das solch einen Temperaturprozess enthält, der vollständig die Kontaktlöcher **16a** und die Rinnen **16b** ausfüllen kann.

[0055] Als nächstes, wie in **Fig.** 14 ersichtlich ist, werden die Abschnitte des Barrieremetalls **17a** und der Metallabschnitte **17'**, welche außerhalb der Kontaktlöcher **16a** und der Rinnen **16b** liegen, mit dem CMP-Verfahren geätzt, so dass das Barrieremetall **17a** und der Metallabschnitt **17b** nur in den Kontaktlöchern **16a** und den Rinnen **16b** verbleibt.

[0056] Auf diese Weise wird die Verdrahtungsschicht der ersten Ebene gebildet, und zur gleichen Zeit wird ein Kontaktpfropf gebildet, der dazu dient, die Verdrahtungsschicht der ersten Ebene und die Diffusionsschicht (Source-Drainbereich) des Substrats elektrisch miteinander zu verbinden.

[0057] Als nächstes, wie es in **Fig.** 15 ersichtlich ist, wird eine Isolierschicht (beispielsweise Siliziumoxyd) **18** mit einer Dicke von ungefähr 1 μm, auf der Isolierschicht **25** und der Verdrahtungsschicht der ersten Ebene mittels dem CVD-Verfahren ausgebildet. Weiter wird eine Ätzstoppschicht **26** und eine Isolierschicht **27** kontinuierlich auf dem Isolierfilm **18**, beispielsweise mit dem CVD-Verfahren, ausgebildet. Die Isolierschicht **27** besteht beispielsweise aus Siliziumoxyd. Falls die Isolierschicht **27** aus Siliziumoxyd besteht, wird die Ätzstoppschicht **26** aus einem Material gefertigt, das eine hohe Ätzselektivität gegenüber Siliziumoxyd bei einem reaktiven Ionenätzen (RIE) aufweist, beispielsweise Siliziumnitrid.

[0058] Die Dicke der Ätzstoppschicht **26** ist auf ungefähr 50 nm eingestellt, und die Dicke des Isolierfilms **27** ist auf die Gleiche eingestellt wie die der Verdrahtungen, die die Verdrahtungsschicht der zweiten Ebene bilden, d. h. beispielsweise ungefähr 0,6 μm.

[0059] Als nächstes, wie es in **Fig.** 16 und 17 ersichtlich ist, wird eine Vielzahl von Rinnen **19b** und **19b'** in der Isolierschicht **25** ausgebildet. Die Vielzahl von Rinnen **19b** und **19b'** werden mit einem Photogravierprozess gebildet, insbesondere durch die Anwendung eines Resists auf der Isolierschicht **27**, durch die Musterung des Resists, das Ätzen der Isolierschicht **27** mittels RIE, unter Verwendung des Resists als eine Maske, und durch die Entfernung des Resists. Die Ätzstoppschicht **26** dient als ein Ätzstopper für das RIE.

[0060] Es wird darauf hingewiesen, dass das Mustern der Vielzahl von Rinnen **19b** so durchgeführt wird, dass es mit dem Muster der Verdrahtungen abgestimmt ist, welche die Verdrahtungsschicht der zweiten Ebene bilden. Die Muster der Rinne **19b'** sind die Gleichen wie die des Bonding-Pads (gitterartige Form) (falls die Verdrahtungsschicht der zweiten Ebene die oberste Schicht ist).

[0061] Weiter werden Kontaktlöcher **19a** in den Isolierschichten **18** und **26** ausgebildet. Die Kontaktlöcher **19a** werden ebenso durch den Photogravierprozess geformt, wie bei der Bildung der Vielzahl von Rinnen **19b** und **19b**. Genauer gesagt wird das Kontaktloch **19a** erstellt durch ein Anbringen eines Resists an der Isolierschicht **27** und in den Rinnen **19b** und **19b**`, ein Mustern des Resists, ein Ätzen der Isolierschichten **18** und **26** mittels RIE, unter Verwendung des Resists als einer Maske, und ein Entfernen des Resists.

[0062] Danach, wie es in den **Fig.** 18 und 19 ersichtlich ist, wird ein Barrieremetall **20a** auf der Isolierschicht **27** ausgebildet, auf der inneren Oberfläche der Kontaktlöcher **19a** und den inneren Oberflächen der Rinnen **19b** und **19b'**, mittels dem CVD-Verfahren oder PVD-Verfahren. Das Barrieremetall **20a** besteht beispielsweise aus einer Laminierung von Titan und Titaniumnitrid, oder Siliziumtitannitrid, oder ähnlichem.

[0063] Weiter werden Metall- (oder Metalllegierungs-) Abschnitte **20b** und **21** auf dem Barrieremetall **20** mit dem CVD- oder PVD-Verfahren ausgebildet, die vollständig das Kontaktloch **19a** und die Rinnen **19b** und **19b'** abdecken. Die Metallabschnitte **20b** und **21** bestehen beispielsweise aus Aluminium, Kupfer oder einer Legierung dieser Metalle.

[0064] Falls das PVD-Verfahren zur Ausbildung der Metallabschnitte **20b** und **21** verwendet wird, wird ein Hochtemperatur PVD-Verfahren angewendet, oder ein PVD-Verfahren, das solch einen Temperaturprozess enthält, der vollständig das Kontaktloch **19a** und die Rinne **19b** und **19b'** ausfüllen kann.

[0065] Danach werden die Abschnitte des Barrieremetalls **20a** und der Metallabschnitte **20b** und **21**, die außerhalb der Kontaktlöcher **19a** und der Rinne **19b** und **19b'** liegen, mit dem CMP-Verfahren geätzt, so dass das Barrieremetall **20a** und die Metallabschnitte **20b** und **21** nur in den Kontaktlöchern **19a** und den Rinnen **19b** und **19b'** verbleiben.

[0066] Auf diese Weise wird die Verdrahtungsschicht der zweiten Ebene und das Bonding-Pad mit einer gitterartigen Form ausgebildet, und zur gleichen Zeit wird ein Kontaktpfropf gebildet, der dazu dient, elektrisch die Verdrahtungsschicht der ersten Ebene und die Verdrahtungsschicht der zweiten Ebene miteinander zu verbinden.

[0067] Als nächstes, wie es in **Fig.** 20 ersichtlich ist, wird eine Passivierungsschicht **22** auf der Isolierschicht **27**, der Verdrahtungsschicht der zweiten Ebene, und dem Bonding-Pad ausgebildet, beispielsweise mittels dem CVD-Verfahren. Die Passivierungsschicht **22** besteht beispielsweise aus Siliziumoxyd.

[0068] Als nächstes, wie es in den **Fig.** 21 und 22 ersichtlich ist, wird eine Öffnung **23** in der Passivierungsschicht **22** ausgebildet. Die Öffnung **23** liegt zum gitterförmigen Bonding-Pad **21**, und ist durch einen Photogravierprozess gebildet, genauer gesagt, durch die Anbringung eines Resists auf der Isolierschicht **22**, das Mustern des Resists, das Ätzen der Isolierschicht **22** mit RIE, unter Verwendung des Resists als einer Maske, und das Entfernen des Resists.

[0069] Beim RIE-Vorgang zum Herstellen der Öffnung **23** wird normalerweise die Isolierschicht **27** ebenso geätzt, da die Isolierschichten **22** und **27** aus

dem gleichen Material bestehen (beispielsweise Siliziumoxyd).

[0070] Die Eigenschaft der Halbleitervorrichtung, hergestellt durch den oben beschriebenen Dual-Damaszene-Prozess oder Damaszene-Prozess, ist es, dass der Metallabschnitt selbst, der die Drähte bildet, nicht gemustert wird, sondern die Isolierschicht gemustert wird. Da es keine Notwendigkeit dafür gibt, die Abschnitte zwischen den Drähten mit der Isolierschicht zu füllen, werden keine Hohlräume zwischen Verdrahtungen gebildet.

[0071] Weiter wird in einigen Fällen Kupfer, was einen niedrigen Widerstand aufweist, verwendet, um Verdrahtungen zu bilden; es ist jedoch bekannt, dass es sehr schwierig ist, ein Ätzen von Kupfer durchzuführen. Beim Dual-Damaszene-Prozess oder Damaszene-Prozess wird das Mustern von Kupfer nicht durchgeführt, sondern es werden die Verdrahtungen durch ein Auffüllen von Rinnen einer Isolierschicht mit Kupfer ausgebildet. Somit werden die Verdrahtungen mit Kupfer realisiert.

[0072] Weiter können beim Dual-Damaszene-Prozess die Verdrahtungen und der Kontaktpfropf zur gleichen Zeit ausgebildet werden, und daher können die Produktionskosten reduziert werden.

[0073] Jedoch wird beim Dual-Damaszene-Prozess, bei dem das RIE angewendet wird, um die Öffnung **23** zum Freilegen des Bonding-Pads **21** herzustellen, unvermeidlicher Weise gleichzeitig auch die Isolierschicht **27** geätzt. Dieses rührt daher, dass die Isolierschichten **22** und **27** aus dem gleichen Material bestehen (beispielsweise Siliziumdioxyd), wie oben beschrieben.

[0074] Im oben beschriebenen Fall, wie in **Fig.** 23 und 24 gezeigt, kann eine Drahtbondierungoperation leicht zur Folge haben, dass der Draht **28** das gitterförmige Bonding-Pad **21** zerdrückt, was einen Bonding-Fehler bewirken kann. Dies rührt daher, dass Abschnitte des gitterförmigen Bonding-Pads **21** Hohlräume sind, die die Deformation des Bonding-Pads **21** leicht hervorrufen können.

[0075] Die englische Zusammenfassung der JP-A-58197865 offenbart eine Halbleitervorrichtung mit Harzabdichtung. Durch Anordnen eines dünnen Films aus PSG (Phosphorsilikatglas), oder CVD (chemisches Dampfphasenabscheidungs)-SiO_2 Glas zwischen einem Plasmanitridfilm, ausgebildet auf der Oberfläche eines Halbleiterelements als letzter Schutzfilm, und einem harzgeformten Körper, wird die Anhaftungseigenschaft zwischen beiden erhöht, die Abblätterung des harzgeformten Körpers zwischen dem Passivierungsfilm wird nicht bewirkt, teilweise da der durch den harzgeformten Körper infiltrierte Wassersumpf, etc., eliminiert sind, und demzufolge kann eine Feuchtigkeitswiderstandsfähigkeit verbessert werden.

[0076] In Übereinstimmung mit der englischen Zusammenfassung der JP-A-6318590 wird ein säulenförmiger Isolator innerhalb einer zweiten Rinne für eine Verdrahtung ausgebildet.

[0077] Die EP-A-0710981 offenbart eine Halbleitervorrichtung und einen Prozess zum Herstellen derselben. Eingebettete Säulen werden dazu verwendet, eine Beschädigung an Damaszene-Leitern zu verhindern. Ein Kanal kann in einer Isolierschicht so ausgebildet sein, dass während einer Kanalätzung eine oder mehrere Isoliersäulen innerhalb des Kanals intakt verbleiben. Ein leitfähiger Film kann über der Isolierschicht abgelagert werden. Dann wird ein chemisch-mechanisches Polieren dazu verwendet, Abschnitte der Isolierschicht zu entfernen, um einen eingelegten Leiter zu bilden. Säulen können in einem breiten Leiter verwendet werden, um eine Polierbeschädigung an solch einem Leiter zu kontrollieren.

KURZE ZUSAMMENFASSUNG DER ERFINDUNG

[0078] Die vorliegende Erfindung wurde als eine Lösung für den obig erwähnten Nachteil des bekannten Verfahrens vorgeschlagen, und es ist die Aufgabe der Erfindung wie folgt. Bezüglich der mit dem Dual-Damaszene-Prozess oder dem Damaszene-Prozess hergestellten Halbleitervorrichtung wird das Bonding-Pad gitterförmig ausgebildet, und die Deformation des gitterförmigen Bonding-Pads wird verhindert, um so einen Bondingfehler zu vermeiden, wodurch die Zuverlässigkeit und die Produktausbeute verbessert wird.

[0079] Diese Aufgabe wird durch eine Halbleitervorrichtung gelöst, wie sie im Anspruch 1 beschrieben ist, und ein Verfahren zum Herstellen einer Halbleitervorrichtung, wie in Anspruch 6 beschrieben. Die jeweiligen abhängigen Ansprüche 2–5 und 7–11 zeigen vorteilhafte weitere Ausführungen der Halbleitervorrichtung nach Anspruch 1 und dem Verfahren zum Herstellen einer Halbleitervorrichtung nach Anspruch 6.

[0080] Um die oben beschriebene Aufgabe zu lösen ist in Übereinstimmung mit der vorliegenden Erfindung eine Halbleitervorrichtung bereitgestellt, umfassend: ein Bonding-Pad, bereitgestellt durch einen leitfähigen Bestandteil, der in einer Isolierschicht mit einer flachen Oberfläche ausgebildeten Rinnen eingefüllt ist; eine Ätzstoppschicht, die auf der Isolierschicht ausgebildet ist und eine Öffnung aufweist, um das Bonding-Pad freizulegen; und eine Passivierungsschicht, die auf der Ätzstoppschicht ausgebildet ist, und eine Öffnung aufweist, um das Bonding-Pad freizulegen.

[0081] Die Rinnen der Isolierschicht sind von gitterartiger Form und das Bonding-Pad weist eine gitterartige Form auf. Die Isolierschicht und die Passivierungsschicht bestehen aus Siliziumoxyd, und die Ätzstoppschicht besteht aus Siliziumnitrid.

[0082] Weiter ist in Übereinstimmung mit der vorliegenden Erfindung ein Verfahren zum Herstellen einer Halbleitervorrichtung bereitgestellt, bei der ein Bonding-Pad ausgebildet ist durch Bereitstellen von Rinnen in einer Isolierschicht mit einer flachen Oberfläche, und Füllen der Rinnen mit einem leitfähigen Ma-

terial, wobei das Verfahren die Schritte umfasst: Bilden einer Ätzstoppschicht auf der Isolierschicht und dem Bonding-Pad, wobei die Ätzstoppschicht aus einem Material besteht, das mindestens mit Bezug auf ein Material, das zum Ausbilden der Isolierschicht verwendet wird, selektiv geätzt werden kann; Bilden einer Passivierungsschicht auf der Ätzstoppschicht, wobei die Passivierungsschicht aus einem Material bereitgestellt ist, das mit Bezug auf mindestens das Material, das zur Ausbildung der Ätzstoppschicht verwendet ist, selektiv geätzt werden kann; Entfernen nur des Abschnitts der Passivierungsschicht, der über dem Bonding-Pad angeordnet ist; und Entfernen nur eines Bereichs der Ätzstoppschicht, der über dem Bonding-Pad angeordnet ist.

[0083] Das Bonding-Pad wird durch ein Ausbilden einer leitfähigen Materialschicht ausgeformt, die vollständig die Rinnen der Isolierschicht abdeckt, gefolgt durch ein Polieren der Schicht aus leitfähigem Material mit CMP. Die Passivierungsschicht wird durch RIE geätzt, und die Ätzstoppschicht wird durch RIE oder CDE geätzt.

[0084] Da die Rinnen mit dem leitfähigen Material gefüllt sind, werden das Bonding-Pad und die oberste Verdrahtungsschicht zur gleichen Zeit ausgebildet.

[0085] Zusätzliche Aufgaben und Vorteile der Erfindung werden in der folgenden Beschreibung ausgeführt, und werden sich teilweise aus der Beschreibung ergeben, oder können durch eine Realisierung der Erfindung erfahren werden. Die Aufgaben und Vorteile der Erfindung können realisiert und erhalten werden mittels der Instrumentalitäten und Kombinationen, die in den angefügten Ansprüchen speziell ausgeführt sind.

KURZE BESCHREIBUNG DER VERSCHIEDENEN ANSICHTEN DER ZEICHNUNUNGEN

[0086] Die begleitenden Zeichnungen, die hierin einbezogen sind und einen Teil der Beschreibung darstellen, veranschaulichen gegenwärtig bevorzugte Ausführungsbeispiele der Erfindung, und dienen zusammen mit der allgemeinen Beschreibung, oberhalb gegeben, und der detaillierten Beschreibung der bevorzugten Ausführungsbeispiele, unterhalb beschrieben, eine Erläuterung der Prinzipien der Erfindung.

[0087] **Fig.** 1 zeigt eine Aufsicht einer bekannten Halbleitervorrichtung;

[0088] **Fig.** 2 zeigt eine Querschnittsansicht entlang der Linie II-II, in **Fig.** 1 bezeichnet;

[0089] **Fig.** 3 zeigt eine Aufsicht einer bekannten Halbleitervorrichtung;

[0090] **Fig.** 4 zeigt eine Querschnittsansicht entlang der Linie IV-IV, in **Fig.** 3 bezeichnet;

[0091] **Fig.** 5 zeigt in einem Diagramm ein Keller-Problem, das bei einem bekannten Damaszene-Prozess auftreten kann;

[0092] **Fig.** 6 zeigt eine Aufsicht einer bekannten Halbleitervorrichtung;

[0093] **Fig.** 7 zeigt eine Querschnittsansicht entlang der Linie VII-VII, in **Fig.** 6 bezeichnet;

[0094] **Fig.** 8 zeigt eine Querschnittsansicht einer Vorrichtung, was einen Schritt eines bekannten Herstellungsverfahrens veranschaulicht;

[0095] **Fig.** 9 zeigt eine Querschnittsansicht einer Vorrichtung, was einen weiteren Schritt des bekannten Herstellungsverfahrens veranschaulicht;

[0096] **Fig.** 10 zeigt eine Querschnittsansicht einer Vorrichtung, was noch einen weiteren Schritt des bekannten Herstellungsverfahrens veranschaulicht;

[0097] **Fig.** 11 zeigt eine Querschnittsansicht einer Vorrichtung, was noch einen weiteren Schritt des bekannten Herstellungsverfahrens veranschaulicht;

[0098] **Fig.** 12 zeigt eine Querschnittsansicht einer Vorrichtung, was noch einen weiteren Schritt des bekannten Herstellungsverfahrens veranschaulicht;

[0099] **Fig.** 13 zeigt eine Querschnittsansicht einer Vorrichtung, was noch einen weiteren Schritt des bekannten Herstellungsverfahrens veranschaulicht;

[0100] **Fig.** 14 zeigt eine Querschnittsansicht einer Vorrichtung, was noch einen weiteren Schritt des bekannten Herstellungsverfahrens veranschaulicht;

[0101] **Fig.** 15 zeigt eine Querschnittsansicht einer Vorrichtung, was noch einen weiteren Schritt des bekannten Herstellungsverfahrens veranschaulicht;

[0102] **Fig.** 16 zeigt eine Aufsicht einer Vorrichtung, was eine Schritt des bekannten Herstellungsverfahrens veranschaulicht;

[0103] **Fig.** 17 zeigt eine Querschnittsansicht entlang der Linie XVII-XVII, in **Fig.** 16 bezeichnet;

[0104] **Fig.** 18 zeigt eine Aufsicht einer Vorrichtung, was einen Schritt des bekannten Herstellungsverfahrens veranschaulicht;

[0105] **Fig.** 19 zeigt eine Querschnittsansicht entlang der Linie XIX-XIX, in **Fig.** 18 bezeichnet;

[0106] **Fig.** 20 zeigt eine Querschnittsansicht einer Vorrichtung, was einen Schritt des bekannten Herstellungsverfahrens veranschaulicht;

[0107] **Fig.** 21 zeigt eine Aufsicht einer Vorrichtung, was einen Schritt des bekannten Herstellungsverfahrens veranschaulicht;

[0108] **Fig.** 22 zeigt eine Querschnittsansicht entlang der Linie XXII-XXII, in **Fig.** 21 bezeichnet;

[0109] **Fig.** 23 zeigt eine Aufsicht, die einen Zustand veranschaulicht, in dem ein Drahtbondieren mit der Vorrichtung aus **Fig.** 6 durchgeführt wird;

[0110] **Fig.** 24 zeigt eine Querschnittsansicht entlang der Linie XXIV-XXIV, in **Fig.** 23 bezeichnet;

[0111] **Fig.** 25 zeigt eine Aufsicht einer Halbleitervorrichtung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;

[0112] **Fig.** 26 zeigt eine Querschnittsansicht entlang der Linie XXVI-XXVI, in **Fig.** 25 bezeichnet;

[0113] **Fig.** 27 zeigt eine Querschnittsansicht einer Vorrichtung, was einen Schritt eines Herstellungsverfahrens gemäß einem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht;

[0114] **Fig.** 28 zeigt eine Querschnittsansicht einer Vorrichtung, was noch einen weiteren Schritt eines

Herstellungsverfahrens gemäß dem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht;

[0115] **Fig.** 29 zeigt eine Querschnittsansicht einer Vorrichtung, was noch einen weiteren Schritt eines Herstellungsverfahrens gemäß dem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht;

[0116] **Fig.** 30 zeigt eine Querschnittsansicht einer Vorrichtung, was noch einen weiteren Schritt eines Herstellungsverfahrens gemäß dem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht;

[0117] **Fig.** 31 zeigt eine Querschnittsansicht einer Vorrichtung, was noch einen weiteren Schritt eines Herstellungsverfahrens gemäß dem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht;

[0118] **Fig.** 32 zeigt eine Querschnittsansicht einer Vorrichtung, was noch einen weiteren Schritt eines Herstellungsverfahrens gemäß dem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht;

[0119] **Fig.** 33 zeigt eine Querschnittsansicht einer Vorrichtung, was noch einen weiteren Schritt eines Herstellungsverfahrens gemäß dem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht;

[0120] **Fig.** 34 zeigt eine Querschnittsansicht einer Vorrichtung, was noch einen weiteren Schritt eines Herstellungsverfahrens gemäß dem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht;

[0121] **Fig.** 35 zeigt eine Aufsicht einer Vorrichtung, was einen Schritt eines Herstellungsverfahrens gemäß einem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht;

[0122] **Fig.** 36 zeigt eine Querschnittsansicht entlang der Linie XXXVI-XXXVI, in **Fig.** 35 bezeichnet;

[0123] **Fig.** 37 zeigt eine Aufsicht einer Vorrichtung, was einen Schritt eines Herstellungsverfahrens gemäß einem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht;

[0124] **Fig.** 38 zeigt eine Querschnittsansicht entlang der Linie XXXVIII-XXXVIII, in **Fig.** 37 bezeichnet;

[0125] **Fig.** 39 zeigt eine Querschnittsansicht einer Vorrichtung, was einen Schritt eines Herstellungsverfahrens gemäß einem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht;

[0126] **Fig.** 40 zeigt eine Aufsicht einer Vorrichtung, was einen Schritt eines Herstellungsverfahrens gemäß dem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht;

[0127] **Fig.** 41 zeigt eine Querschnittsansicht entlang der Linie XLI-XLI, in **Fig.** 40 bezeichnet;

[0128] **Fig.** 42 zeigt eine Aufsicht einer Vorrichtung, was einen Schritt eines Herstellungsverfahrens gemäß einem Ausführungsbeispiel der vorliegenden Erfindung veranschaulicht;

[0129] **Fig.** 43 zeigt eine Querschnittsansicht entlang der Linie XLIII-XLIII, in **Fig.** 42 bezeichnet;

[0130] **Fig.** 44 zeigt eine Aufsicht, was einen Zustand veranschaulicht, in dem ein Drahtbondieren mit der in **Fig.** 25 gezeigten Vorrichtung durchgeführt wird; und

[0131] **Fig.** 45 zeigt eine Querschnittsansicht entlang der Linie XLV-XLV, in **Fig.** 44 bezeichnet;

DETAILLIERTE BESCHREIBUNG DER ERFINDUNG

[0132] Halbleitervorrichtungen der vorliegenden Erfindung und Verfahren zum Herstellen dieser werden nunmehr detailliert in Bezug auf die in den begleitenden Zeichnungen gezeigten Ausführungsbeispielen davon beschrieben.

[0133] Die **Fig.** 25 und 26 zeigen eine mit dem Dual-Damaszene-Prozess gemäß einem Ausführungsbeispiel der vorliegenden Erfindung hergestellte Halbleitervorrichtung. **Fig.** 26 zeigt eine Querschnittsansicht entlang der Linie XXVI-XXVI, in **Fig.** 25 bezeichnet.

[0134] Wie es in der Figur ersichtlich ist, ist eine Feldoxydschicht **12** auf einem Halbleitersubstrat **11** ausgebildet. In einen durch die Feldoxydschicht **12** umgebenen Elementbereich ist ein MOS Transistor mit einem Source-Drainbereich **13** und einer Gateelektrode **14** ausgebildet.

[0135] Auf dem Halbleitersubstrat **11** sind Isolierschichten **15** und **24** so ausgebildet, dass sie vollständig den MOS Transistor abdecken. Kontaktlöcher sind in den Isolierschichten **15** und **24** von deren Oberfläche hindurch zum Source-Drainbereich **13** ausgebildet.

[0136] Die Isolierschicht **25** ist auf der Isolierschicht **24** ausgebildet. In der Isolierschicht **25** wird eine Vielzahl von für ein Ausbilden der Verdrahtungsschicht der ersten Ebene verwendeten Rinnen **16b** ausgebildet. Bodenabschnitte der Vielzahl von Rinnen **16b** werden durchgeführt zum Kontaktloch **16a**.

[0137] Ein Barrieremetall **17a** wird an einer inneren Oberfläche sowohl des Kontaktlochs **16a** als auch der Rinnen **16** ausgebildet. Weiter wird auf jedem der Barrieremetalle **17a** ein Metall- (oder Metalllegierungs-) Abschnitt **17b** so ausgebildet, dass er vollständig sowohl das Kontaktloch **16a** als auch die Rinnen **16b** ausfüllt. Die Vielzahl von Drähten, die die Verdrahtungsschicht der ersten Ebene ausmachen, bestehen aus den Barrieremetallen **17a** und den Metallabschnitten **17b**.

[0138] Ein Kontaktpfropf, verwendet für ein Verbinden der Verdrahtungsschicht der ersten Ebene und des Source-Drainbereichs **13** des MOS Transistors miteinander, besteht ebenso aus dem Barrieremetall **17** und dem Metallabschnitt **17b**. Die Oberfläche der Isolierschicht **25** trifft die der Verdrahtungsschicht der ersten Ebene, und die Oberfläche ist flach ausgebildet.

[0139] Auf der Isolierschicht **25** und der Verdrahtungsschicht der ersten Ebene ist die Isolierschicht (Zwischenschichtdielektrikum) **18** und die Isolierschicht **26** ausgebildet. Kontaktlöcher **19a** sind in den Isolierschichten **18** und **26** von deren Oberfläche hindurch zur Verdrahtungsschicht der ersten Ebene ausgebildet.

[0140] Eine Isolierschicht **27** ist auf dem Isolierfilm

26 ausgebildet. Eine Vielzahl von Rinnen **19b**, verwendet für ein Ausbilden der Verdrahtungsschicht der zweiten Ebene, ist in der Isolierschicht **27** ausgebildet. Bodenabschnitte der Vielzahl von Rinnen **19b** sind hindurchgeführt zum Kontaktloch **19a**.

[0141] Ein Barrieremetall **20a** ist auf einer inneren Oberfläche von sowohl den Kontaktlöchern **19a** und den Rinnen **19b** ausgebildet. Weiter ist auf einem jeden der Barrieremetalle **20a** ein Metall- (oder Metalllegierungs-) Abschnitt **20b** so ausgebildet, dass er vollständig sowohl die Kontaktlöcher **19a** als auch die Rinnen **19b** ausfüllt. Die Vielzahl von Drähten, die die Verdrahtungsschicht der zweiten Ebene ausmachen, bestehen aus dem Barrieremetall **20a** und den Metallabschnitten **20b**.

[0142] Ein Kontaktpfropf wird dazu verwendet, die Verdrahtungsschicht der ersten Ebene und die Verdrahtungsschicht der zweiten Ebene miteinander zu verbinden, und besteht ebenso aus dem Barrieremetall **20a** und dem Metallabschnitt **20b**. Die Oberfläche der Isolierschicht **27** trifft die der Verdrahtungsschicht der zweiten Ebene, und die Oberfläche ist flach ausgebildet.

[0143] Falls die Verdrahtungsschicht der zweiten Ebene die oberste Schicht ist, stellt ein Teil der Verdrahtungsschicht der zweiten Ebene ein Bonding-Pad **21** dar. Das Bonding-Pad **21** besteht aus einem Metall (oder einer Metalllegierung), wie im Falle der Verdrahtungsschicht der zweiten Ebene. Um jedoch ein Dishing (Tellerformbilden bzw. Vertiefungsbilden) zu verhindern, was während dem CMP auftreten kann, ist das Bonding-Pad **21** so ausgebildet, dass es beispielsweise eine gitterartige Form aufweist.

[0144] Weiter ist eine Ätzstoppschicht **29** auf der Isolierschicht **27** und der Verdrahtungsschicht der zweiten Ebene ausgebildet, und eine Passivierungsschicht (Passivierungsdielektrikum) **22** ist auf der Ätzstoppschicht **29** ausgebildet.

[0145] Die Ätzstoppschicht **29** besteht aus einem Material, das mit Bezug auf das für die Isolierschicht **27** und die Passivierungsschicht **22** verwendete Material selektiv geätzt werden kann. Weiter besteht in dem Fall, in dem die Isolierschicht **27** und die Passivierungsschicht **22** aus Siliziumoxyd bestehen, die Ätzstoppschicht **29** aus Siliziumnitrid. Die Ätzstoppschicht **29** ist so ausgebildet, dass sie eine Dicke von ungefähr 50 nm aufweist.

[0146] Eine Öffnung **23** ist in der Passivierungsschicht **22** und der Ätzstoppschicht **29** ausgebildet, um so das Bonding-Pad **21** freizulegen.

[0147] Bei der mit dem Dual-Damaszene-Prozess hergestellten Halbleitervorrichtung ist das Bonding-Pad **21** mit einer gitterartigen Form ausgebildet. Daher wird auch in dem Fall, in dem das Bonding-Pad **21** durch Verwendung des CMP-Verfahrens ausgebildet wird, der benötigte Abschnitt davon nicht übermäßig geätzt, wodurch ein Dishing effektiv verhindert wird.

[0148] Weiter werden die Bereiche zwischen den Rinnen des Bonding-Pads vollständig mit der Isolierschicht **27** ausgefüllt. Mit dieser Struktur wird das Bonding-Pad **21** nicht zerdrückt oder deformiert, wenn der Draht mittels Drucks während eines Drahtbondierens daran bondiert wird. Daher wird das Auftreten von Bondingfehlern vermieden, und dies trägt der Verbesserung der Zuverlässigkeit und der Ausbeute des Produkts bei.

[0149] Diese Struktur wird realisiert, da direkt unterhalb der Passivierungsschicht **22** die Ätzstoppschicht **29** angeordnet ist, die aus einem Material besteht, das mit Bezug auf das für die Bildung der Passivierungsschicht **22** und der Isolierschicht **27** verwendetem Material selektiv geätzt werden kann. Mit dieser Struktur werden die Abschnitte der Isolierschicht **27**, die in den gitterartigen Ausbildungen des Bonding-Pads **21** angeordnet sind, nicht geätzt, wenn in der Passivierungsschicht **22** die Öffnung **23** ausgebildet wird.

[0150] Als nächstes wird das Verfahren zum Herstellen einer Halbleitervorrichtung, in **Fig.** 25 und 26 gezeigt, beschrieben.

[0151] Zuerst, wie in **Fig.** 27 zu sehen, wird mit dem LOCOS-Verfahren eine Feldoxydschicht **12** auf einem Siliziumsubstrat **11** gebildet. Danach wird in einem von der Feldoxydschicht **12** umgebenen Elementbereich ein MOS Transistor mit einem Source-Drainbereich **13** und einer Gateelektrode **14** ausgebildet.

[0152] Weiter wird eine Isolierschicht (auf Borophosphorsilikatglas (BPSG) oder ähnliches) **15** mit einer Dicke von ungefähr 1 μm auf dem Siliziumsubstrat **11** ausgebildet, was vollständig den MOS Transistor abdeckt. Die Oberfläche der Isolierschicht **15** wird mit CMP flach ausgebildet.

[0153] Als nächstes, wie in **Fig.** 28 zu sehen, werden eine Ätzstoppschicht **24** und eine Isolierschicht **25** kontinuierlich auf dem Isolierfilm **15** beispielsweise mittels des CVD-Verfahrens ausgebildet. Die Isolierschicht **25** besteht beispielsweise aus Siliziumoxyd. Im Falle, dass die Isolierschicht **25** aus Siliziumoxyd besteht, wir die Ätzstoppschicht **24** aus einem Material gebildet, das eine beim reaktiven Ionenätzen RIE hohe Ätzselektivität gegenüber Siliziumoxyd aufweist, beispielsweise Siliziumnitrid.

[0154] Die Dicke der Ätzstoppschicht **24** ist auf ungefähr 50 nm eingestellt, und die Dicke des Isolierfilms **25** ist auf die gleiche eingestellt wie die der Verdrahtungen, die die Verdrahtungsschicht der ersten Ebene bilden, d. h. beispielsweise auf ungefähr 0,6 μm.

[0155] Als nächstes, wie in **Fig.** 29 zu sehen, wird eine Vielzahl von Rinnen **16b** in der Isolierschicht **25** ausgebildet. Die Vielzahl von Rinnen **16b** wird mit einem Photogravierprozess ausgebildet, genauer gesagt durch die Anbringung eines Resists auf der Isolierschicht **25**, das Mustern des Resists, das Ätzen der Isolierschicht **25** mittels RIE, unter Verwendung des Resists als einer Maske, und das Entfernen des Resists. Die Ätzstoppschicht **24** dient als ein Ätzstop-

per für das RIE.

[0156] Es wird darauf hingewiesen, dass das Muster der Vielzahl von Rinnen **16b** so ausgebildet ist, dass es mit dem Muster der Drähte, die die Verdrahtungsschicht der ersten Ebene bilden, abgeglichen ist.

[0157] Als nächstes, wie in **Fig.** 30 ersichtlich, werden Kontaktlöcher **16a** in den Isolierschichten **15** und **24** ausgebildet. Die Kontaktlöcher **16a** werden ebenso durch den Photogravierprozess hergestellt, wie bei der Bildung der Vielzahl von Rinnen **16b**. Genauer gesagt werden die Kontaktlöcher **16a** hergestellt durch eine Anbringen eines Resists auf der Isolierschicht **25** und in den Rinnen **16b**, ein Mustern des Resists, ein Ätzen der Isolierschichten **15** und **24** mittels RIE unter Verwendung des Resists als einer Maske, und ein Entfernen des Resists.

[0158] Dann, wie in **Fig.** 31 zu sehen, wird eine Barriereметall **17a** auf der Isolierschicht **25**, auf den inneren Oberflächen der Kontaktlöcher **16a**, und den inneren Oberflächen der Rinnen **16b**, mittels dem CVD-Verfahren oder PVD-Verfahren gebildet. Das Barriereметall **17** besteht beispielsweise aus einer Laminierung von Titan und Titannitrid, oder Siliziumtitannitrid, oder ähnlichem.

[0159] Als nächstes, wie in **Fig.** 32 zu sehen, wird ein Metall- (oder Metalllegierungs-) Abschnitt **17'** auf dem Barriereметall **17a** mittels dem CVD- oder PVD-Verfahren ausgebildet, welcher vollständig die Kontaktlöcher **16a** und die Rinnen **16b** abdeckt. Der Metallabschnitt **17'** besteht beispielsweise aus Aluminium, Kupfer, oder einer Legierung dieser Metalle.

[0160] Falls das PVD-Verfahren verwendet wird, um den Metallabschnitt **17'** zu bilden, wird das Hochtemperatur PVD-Verfahren oder ein PVD-Verfahren mit solch einem Temperaturprozess verwendet, der vollständig die Kontaktlöcher **16a** und die Rinnen **16b** füllen kann.

[0161] Als nächstes, wie in **Fig.** 33 zu sehen, werden die Abschnitte des Barriereметalls **17a** und des Metallabschnitts **17b**, die außerhalb der Kontaktlöcher **16a** und der Rinnen **16b** angeordnet sind, mit dem CMP-Verfahren geätzt, so dass das Barriereметall **17a** und der Metallabschnitt **17b** lediglich in den Kontaktlöchern **16a** und den Rinnen **16b** verbleibt.

[0162] Auf diese Weise wird die Verdrahtungsschicht der ersten Ebene gebildet, zur gleichen Zeit wird ein Kontaktpfropf gebildet, der dazu dient, die Verdrahtungsschicht der ersten Ebene und die Diffusionsschicht (Source-Drainbereich) des Substrats miteinander elektrisch zu verbinden.

[0163] Als nächstes, wie in **Fig.** 34 zu sehen, wird eine Isolierschicht (beispielsweise Siliziumoxyd) **18** mit einer Dicke von ungefähr 1 μm auf der Isolierschicht **25** und der Verdrahtungsschicht der ersten Ebene mittels dem CVD-Verfahren ausgebildet. Weiter werden eine Ätzstoppschicht **26** und eine Isolierschicht **27** so ausgebildet, dass sie kontinuierlich auf dem Isolierfilm **18** vorliegen, beispielsweise mittels des CVD-Verfahrens. Die Isolierschicht **27** besteht beispielsweise aus Siliziumoxyd. Falls die Isolierschicht **27** aus Siliziumoxyd besteht, ist die Ätzstoppschicht **26** aus einem Material gebildet, das beim reaktiven Ionenätzen (RIE) eine hohe Ätzselektivität gegenüber Siliziumoxyd aufweist, das heißt, beispielsweise Siliziumnitrid.

[0164] Die Dicke der Ätzstoppschicht **26** ist auf ungefähr 50 nm eingestellt, und die Dicke des Isolierfilms **27** ist auf die Gleiche eingestellt, wie die der Verdrahtungen, die die Verdrahtungsschicht der zweiten Ebene bilden.

[0165] Als nächstes, wie in den **Fig.** 35 und 36 zu sehen, wird eine Vielzahl von Rinnen **19b** und **19b'** in der Isolierschicht **25** ausgebildet. Die Vielzahl von Rinnen **19b** und **19b'** werden mit einem Photogravierprozess gebildet, insbesondere durch die Anbringung eines Resists auf der Isolierschicht **27**, das Mustern des Resists, das Ätzen der Isolierschicht **27** mittels RIE, unter Verwendung des Resists als einer Maske, und das Entfernen des Resists. Die Ätzstoppschicht **26** dient als ein Ätzstopper für RIE.

[0166] Es wird darauf hingewiesen, dass das Muster der Vielzahl von Rinnen **19b** und **19b'** so angeordnet ist, dass es mit dem Muster der die Verdrahtungsschicht der zweiten Ebene bildenden Drähten übereinstimmt. Das Muster der Rinnen **19b'** ist das Gleiche wie das des Bonding-Pads (gitterartige Form) (falls die Verdrahtungsschicht der zweiten Ebene die oberste Schicht ist) .

[0167] Als nächstes, wie in den **Fig.** 37 und 28 zu sehen, werden Kontaktlöcher **19a** in den Isolierschichten **18** und **26** ausgebildet. Die Kontaktlöcher **19a** werden ebenso durch den Photogravierprozess gebildet, wie bei der Bildung der Vielzahl von Rinnen **19b** und **19b'**. Genauer gesagt, werden die Kontaktlöcher **19a** hergestellt durch ein Anbringen eines Resists auf der Isolierschicht **27** und in den Rinnen **19b** und **19b'**, ein Mustern des Resists, ein Ätzen der Isolierschichten **18** und **26** mittels RIE unter Verwendung des Resists als einer Maske, und das Entfernen des Resists.

[0168] Danach wird ein Barriereметall **20a** auf der Isolierschicht **27** ausgebildet, auf einer inneren Oberfläche des Kontaktlochs **19a**, und den inneren Oberflächen der Rinnen **19b** und **19b'**, mittels dem CVD-Verfahren oder PVD-Verfahren. Das Barriereметall **20a** besteht beispielsweise aus einer Laminierung von Titan und Titannitrid, oder Siliziumtitannitrid oder ähnlichem.

[0169] Als nächstes wird ein Metall- (oder Metalllegierungs-) Abschnitt **20b** und **21** auf dem Barriereметall **20a** mit dem CVD- oder PVD-Verfahren ausgebildet, die vollständig die Kontakte für **19a** und die Rinnen **19b** und **19b'** abdecken. Die Metallabschnitte **20b** und **21** bestehen beispielsweise aus Aluminium, Kupfer, oder einer Legierung dieser Metalle.

[0170] Falls das PVD-Verfahren zur Bildung der Metallabschnitte **20b** und **21** verwendet wird, wird das Hochtemperatur PVD-Verfahren verwendet, oder ein PVD-Verfahren mit einem solchen Temperaturpro-

zess, der vollständig das Kontaktloch **16a** und die Rinnen **19b** und **19b'** ausfüllen kann.

[0171] Als nächstes werden die Abschnitte des Barrieremetalls **20a** und der Metallabschnitte **20b** und **21**, die außerhalb der Kontaktlöcher **19a** und der Rinnen **19b** und **19b'** angeordnet sind, mittels dem CMP-Verfahren geätzt, so dass das Barrieremetall **20a** und die Metallabschnitte **20b** und **21** nur in dem Kontaktloch **19a** und den Rinnen **19b** und **19b'** verbleiben.

[0172] Auf diese Weise werden die Verdrahtungsschicht der zweiten Ebene und das Bonding-Pad mit einer gitterartigen Form ausgebildet, und zur gleichen Zeit wird ein Kontaktpfropf gebildet, der dazu dient, die Verdrahtungsschicht der ersten Ebene und die Verdrahtungsschicht der zweiten Ebene miteinander elektrisch zu verbinden.

[0173] Als nächstes, wie in **Fig.** 39 zu sehen, wird eine Ätzstoppschicht **29** und eine Passivierungsschicht **22** fortlaufend auf der Isolierschicht **27**, der Verdrahtungsschicht der zweiten Ebene und dem Bonding-Pad ausgebildet, beispielsweise mittels dem CVD-Verfahren.

[0174] Die Passivierungsschicht **22** besteht beispielsweise aus Siliziumoxyd. Falls die Passivierungsschicht **22** aus Siliziumoxyd besteht, wird die Ätzstoppschicht **29** aus einem Material hergestellt, das beim reaktiven Ionenätzen (RIE) eine hohe Ätzselektivität gegenüber Siliziumoxyd aufweist, d. h. beispielsweise Siliziumnitrid. Die Dicke der Ätzstoppschicht **29** ist auf ungefähr 50 nm eingestellt.

[0175] Als nächstes, wie in den **Fig.** 40 und 41 zu sehen, wird eine Öffnung **23** in der Passivierungsschicht **22** gebildet. Die Öffnung **23** ist so an dem gitterartigen Bonding-Pad **21** angeordnet, und wird durch einen Photogravierprozess gebildet, genauer gesagt, durch die Anbringung eines Resists auf der Isolierschicht **22**, das Mustern des Resists, das Ätzen der Isolierschicht **22** mittels RIE unter Verwendung des Resists als einer Maske, und das Entfernen des Resists.

[0176] Bei der RIE-Operation zum Ausbilden der Öffnung **23**, wird die Isolierschicht **27** bei Vorhandensein der Isolierschicht **27** nicht geätzt.

[0177] Dann, wie in den **Fig.** 42 und 43 zu sehen, wird nur die Ätzstoppschicht **29**, die am Boden der Öffnung **23** der Passivierungsschicht **22** verbleibt, entfernt. Das Entfernen der Ätzstoppschicht **29** kann mittels eines anisotrophen Ätzens erzielt werden, wie beispielsweise RIE, oder einem isotrophen Ätzen, wie beispielsweise einem chemischen Trockenätzen (CDE).

[0178] Wie oben beschrieben, ist die Halbleitervorrichtung in den **Fig.** 25 und 26 vervollständigt.

[0179] Das Merkmal des oben beschriebenen Verfahrens ist es, dass die Ätzstoppschicht **29** direkt unterhalb der Passivierungsschicht **22** bereitgestellt ist. Mit dieser Struktur werden bei der RIE-Operation, durchgeführt, um die Öffnung **23** in dem Bonding-Pad **21** herzustellen, die Abschnitte der Isolierschicht **27**, die in dem gitterförmigen Muster des Bonding-Pads **21** angeordnet sind, nicht geätzt.

[0180] Insbesondere, wie in den **Fig.** 44 und 45 zu sehen, wird das zurückgesetzte Muster des gitterförmigen Bonding-Pads **21** mit der Isolierschicht **27** gefüllt. Mit dieser Struktur wird auch dann, wenn ein Drahtbondieren durchgeführt wird, das gitterartige Bonding-Pad **21** durch den Draht **28** nicht zerdrückt oder deformiert.

[0181] Daher kann der Bondingfehler vermieden werden, wodurch es möglich gemacht wird, die Zuverlässigkeit und die Ausbeute des Produkts zu verbessern.

[0182] Wie oben beschrieben, kann mit der Halbleitervorrichtung und dem Verfahren zum Herstellen einer solchen Vorrichtung, gemäß der vorliegenden Erfindung, der folgende Effekt erzielt werden.

[0183] Direkt unterhalb der Passivierungsschicht wird eine Ätzstoppschicht bereitgestellt. Daher werden bei der RIE-Operation zum Ausbilden einer Öffnung zum Freilegen des Bonding-Pads die Abschnitte der Isolierschicht, die an den zurückgesetzten Abschnitten der Gitterform angeordnet sind, nicht geätzt. Demzufolge wird jeder Abschnitt zwischen benachbarten zurückgesetzten Abschnitten mit der Isolierschicht gefüllt. Dieser Struktur kann auch dann, wenn ein Drahtbondieren durchgeführt wird, der Draht das Bonding-Pad mit der gitterartigen Form nicht zerdrücken oder deformieren. Somit kann ein Bondingfehler vermieden werden, wodurch es möglich gemacht wird, die Zuverlässigkeit und die Ausbeute des Produkts zu erhöhen.

[0184] Zusätzliche Vorteile und Modifikationen werden dem Fachmann sofort offensichtlich. Daher ist die Erfindung in ihrem weiteren Gesichtspunkten nicht auf die bestimmten Details und repräsentativen Ausführungsbeispiele beschränkt, die hierin gezeigt und beschrieben sind. Demzufolge können verschiedene Modifikationen durchgeführt werden, ohne vom Umfang des allgemeinen erfinderischen Konzepts abzuweichen, das durch die angefügten Ansprüche und deren Äquivalente definiert ist.

Patentansprüche

1. Halbleitervorrichtung umfassend:
ein Halbleiter-Substrat (**11**);
ein Halbleiterelement (**13**, **14**), das auf dem Halbleiter-Substrat (**11**) ausgebildet ist;
eine erste isolierende Schicht (**27**), die oberhalb des Halbleiterelements (**13**, **14**) ausgebildet ist und eine flache obere Fläche, eine Vielzahl von ersten Nuten (**19b'**) und eine zweite Nut (**19a**, **19b**), die darin ausgebildet sind, hat, wobei die Vielzahl von ersten Nuten (**19b'**) eine Vielzahl von isolierenden Säulen (**27**) in einem Gittermuster trennt, wobei jede Säule eine flache obere Fläche hat;
eine erste Schicht aus leitendem Material (**20a**, **21**), die in den ersten Nuten (**19b'**) ausgebildet ist, wobei die erste Schicht aus leitendem Material (**20a**, **21**) als

ein Bonding-Pad funktioniert und eine flache obere Fläche hat;
eine Passivierungsschicht (**22**), die oberhalb der ersten isolierenden Schicht (**27**) ausgebildet ist und eine Öffnung (**23**) hat, die die erste Schicht aus leitendem Material (**20a**, **21**) freilegt; und
eine zweite Schicht aus leitendem Material (**20a**, **20b**), die in der zweiten Nut (**19a**, **19b**) ausgebildet ist, die eine Verdrahtungsschicht bildet;
gekennzeichnet durch
eine zweite isolierende Schicht (**29**), die zwischen der ersten isolierenden Schicht (**27**) und der Passivierungsschicht (**22**) ausgebildet ist, wobei die zweite isolierende Schicht (**29**) aus einem Material mit einer hohen Ätzselektivität verglichen mit der Passivierungsschicht (**22**) ist, die zweite isolierende Schicht (**29**) eine Öffnung hat, die mit der Öffnung (**23**) in der Passivierungsschicht (**22**) zusammenfällt;
wobei die oberen Flächen der ersten isolierenden Schicht (**27**), der isolierenden Säulen (**27**) und der oberen Schicht aus leitendem Material (**20a**, **21**) koplanar sind; die zweite Nut (**19a**, **19b**) eine Vertiefung (**19b**) zum Enthalten der Verdrahtungsschicht und eine Bohrung (**19a**) enthaltend einen Kontaktstecker umfasst, sich die Bohrung (**19a**) direkt unter der Vertiefung (**19b**) befindet, die zweite Nut (**19a**, **19b**) dadurch eine Dual-Damaszene-Struktur hat.

2. Halbleitervorrichtung nach Anspruch 1, gekennzeichnet dadurch, dass die erste isolierende Schicht (**27**) und die Passivierungsschicht (**22**) aus Siliziumsoxid hergestellt sind, und die zweite isolierende Schicht (**29**) aus Siliziumnitrit hergestellt ist.

3. Halbleitervorrichtung nach einem beliebigen der vorangehenden Ansprüche, gekennzeichnet dadurch, dass die erste Schicht aus leitendem Material (**20a**, **21**) und die zweite Schicht aus leitendem Material (**20a**, **20b**) durch eine erste Metallschicht (**20a**) und eine zweite Metallschicht (**20b**, **21**) gebildet werden, die aus verschiedenen Materialien hergestellt sind.

4. Halbleitervorrichtung nach Anspruch 3, gekennzeichnet dadurch, dass die erste Metallschicht (**20a**) aus einem von Titanium und Titaniumnitrit oder Silizium-Titanium-Nitrit hergestellt ist und die zweite Metallschicht (**20b**, **21**) aus einem von Aluminium, Kupfer oder einer Legierung daraus hergestellt ist.

5. Halbleitervorrichtung nach einem beliebigen der vorangehenden Ansprüche, gekennzeichnet durch ferneres Umfassen eines Bonding-Drahtes (**28**), der mit der ersten Schicht aus leitendem Material (**20a**, **21**) verbunden ist.

6. Verfahren zum Herstellen einer Halbleitervorrichtung, die Schritte umfassend:
Ausbilden eines Halbleiterelementes (**13**, **14**) auf einem Halbleiter-Substrat (**11**);
Ausbilden einer isolierenden Schicht (**27**) oberhalb des Halbleiterelementes (**13**, **14**), wobei die isolierende Schicht (**27**) eine flache obere Fläche hat;
Ausbilden einer Vielzahl von ersten Nuten (**19b'**) und einer zweiten Nut (**19a**, **19b**) in der isolierenden Schicht (**27**), wobei die Vielzahl von ersten Nuten (**19b'**) eine Vielzahl von isolierenden Säulen (**47**) in einem Gittermuster trennt, wobei jede Säule eine flache obere Fläche hat;
Füllen der ersten Nuten (**19b'**) mit einer ersten Schicht aus leitendem Material (**20a**, **21**), um ein Bonding-Pad zu bilden; und
Füllen der zweiten Nut (**19a**, **19b**) mit einer zweiten Schicht aus leitendem Material (**20a**, **20b**), um eine Verdrahtungsschicht zu bilden;
Ausbilden einer Ätzstopperschicht (**29**) auf der isolierenden Schicht (**47**) und den ersten und zweiten Schichten aus leitendem Material (**20a**, **21** und **20a**, **20b**);
Ausbilden einer Passivierungsschicht (**22**) auf der Ätzstopperschicht (**29**);
Ätzen eine Öffnung (**23**) in der Passivierungsschicht (**22**) oberhalb der ersten Schicht aus leitendem Material (**20a**, **21**), wobei die Passivierungsschicht (**22**) in Bezug auf die Ätzstopperschicht (**29**) selektiv geätzt wird, wodurch nur die Passivierungsschicht (**22**) entfernt wird; und danach Entfernen nur von Abschnitten der Ätzstopperschicht (**29**), die durch die Öffnung freigelegt sind, derart, um die flachen oberen Flächen der isolierenden Schicht (**27**) übrigzulassen, die isolierenden Säulen (**27**) und die erste Schicht aus leitendem Material (**20a**, **21**) koplanar sein zu lassen.

7. Verfahren zum Herstellen einer Halbleitervorrichtung nach Anspruch 6, gekennzeichnet dadurch, dass
die ersten und zweiten Schichten aus leitendem Material (**20a**, **21** und **20a**, **20b**) durch einen Schritt zum Ausbilden einer leitenden Schicht auf der isolierenden Schicht (**27**) derart, um die ersten und zweiten Nuten (**19a**, **19b**, **19b'**) damit vollständig zu füllen, und einen Schritt zum Glätten der leitenden Schicht durch eine CMP(chemisch-mechanisches Polieren)-Technik ausgebildet werden.

8. Verfahren zum Herstellen einer Halbleitervorrichtung nach Anspruch 6 oder 7, gekennzeichnet dadurch, dass
die Passivierungsschicht (**22**) durch eine RIE-(reaktives Ionenätzen)-Technik geätzt wird und die Ätzstopperschicht (**29**) durch eine RIE- oder CDE-(chemisches Trockenätzen)-Technik geätzt wird.

9. Verfahren zum Herstellen einer Halbleitervorrichtung nach einem beliebigen der Ansprüche 6 bis 8, gekennzeichnet dadurch, dass
die ersten und zweiten Schichten aus leitendem Material (**20a**, **20b**, **21**) zur gleichen Zeit durch Füllen der ersten und zweiten Nuten (**19a**, **19b**, **19b'**) mit einer leitenden Schicht ausgebildet werden.

10. Verfahren zum Herstellen einer Halbleitervorrichtung nach beliebigen der Ansprüche 6 bis 9, gekennzeichnet dadurch, dass
die ersten und zweiten Schichten aus leitendem Material (**20a**, **20b**, **21**) durch einen Dual-Damaszene-Prozess oder einen Damaszene-Prozess ausgebildet werden.

11. Verfahren zum Herstellen einer Halbleitervorrichtung nach einem beliebigen der Ansprüche 6 bis 10, gekennzeichnet durch Umfassen eines Schritts:
Ausbilden eines Bonding-Drahtes (**28**), der mit der ersten Schicht aus leitendem Material (**20a**, **21**) verbunden ist, durch einen Draht-Bonding-Prozess.

Es folgen 22 Blatt Zeichnungen

Anhängende Zeichnungen

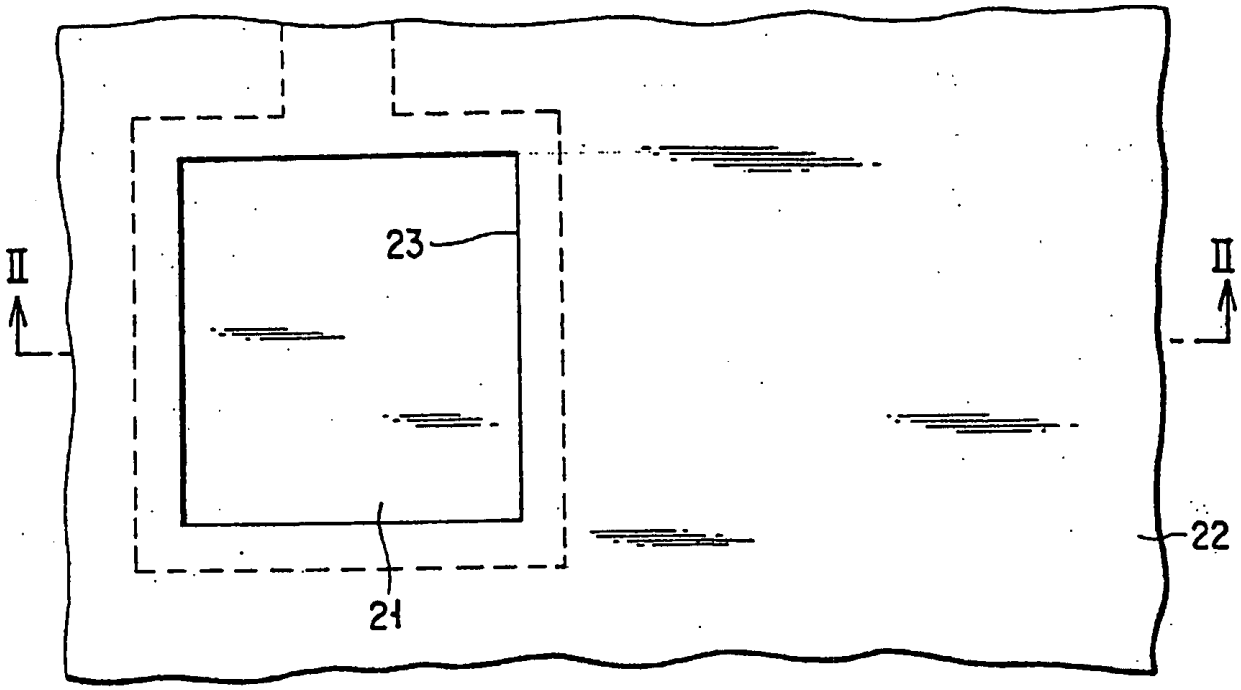

FIG. 1

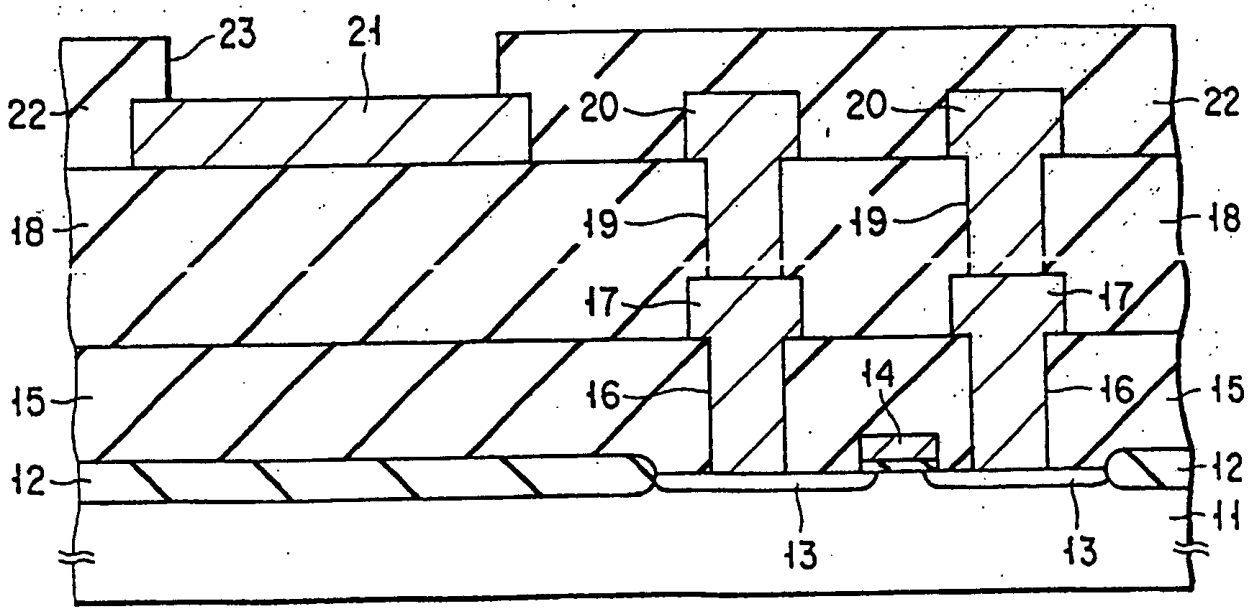

FIG. 2

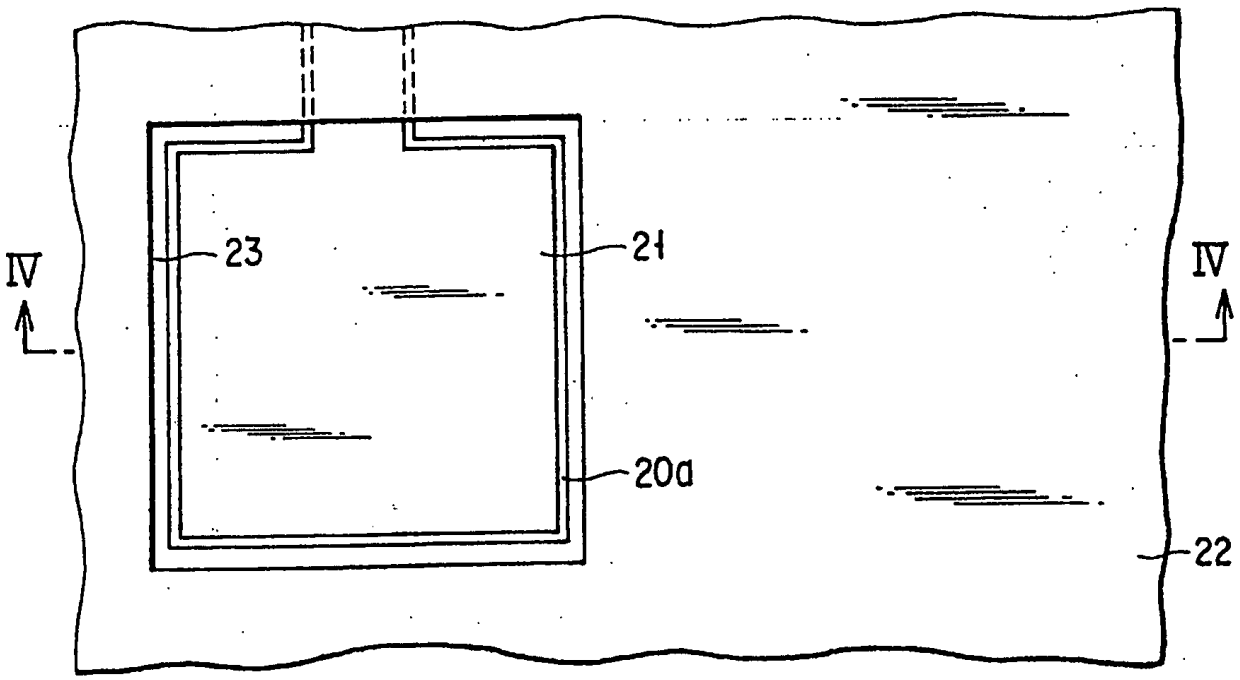
IV
23
21
IV
20a
22

FIG. 3

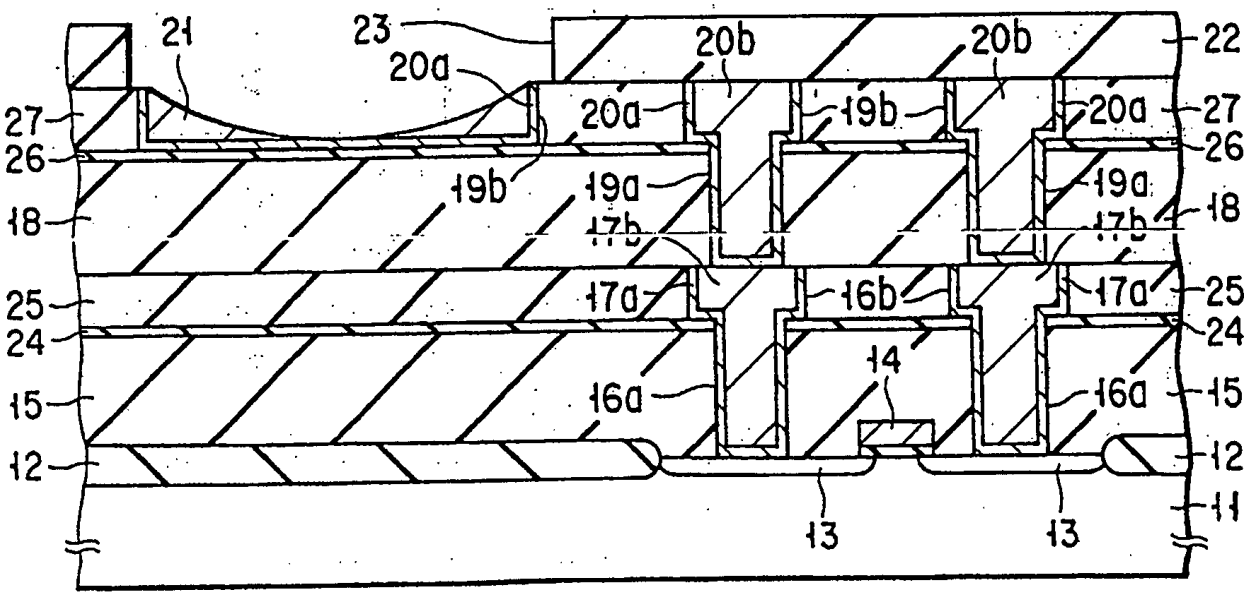
21
23
20a
20b
20b
22
27
20a
19b
20a
27
26
26
19b
19a
19a
18
17b
17b
18
25
17a
16b
17a
25
24
24
14
15
16a
16a
15
12
12
13
13
11

FIG. 4

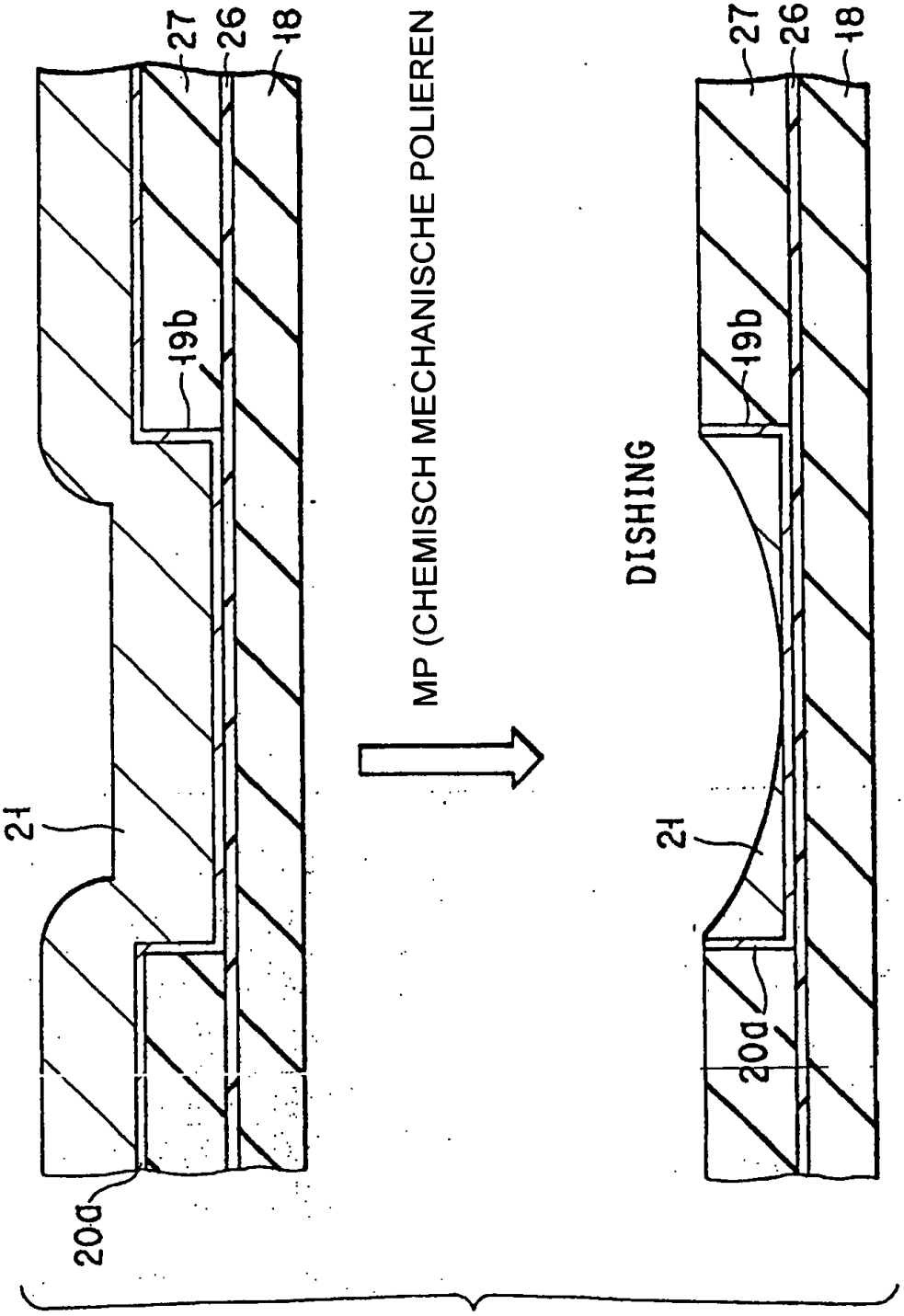
27
26
18
19b
21
20a
MP (CHEMISCH MECHANISCHE POLIEREN
DISHING
27
26
18
19b
21
20a

FIG. 5

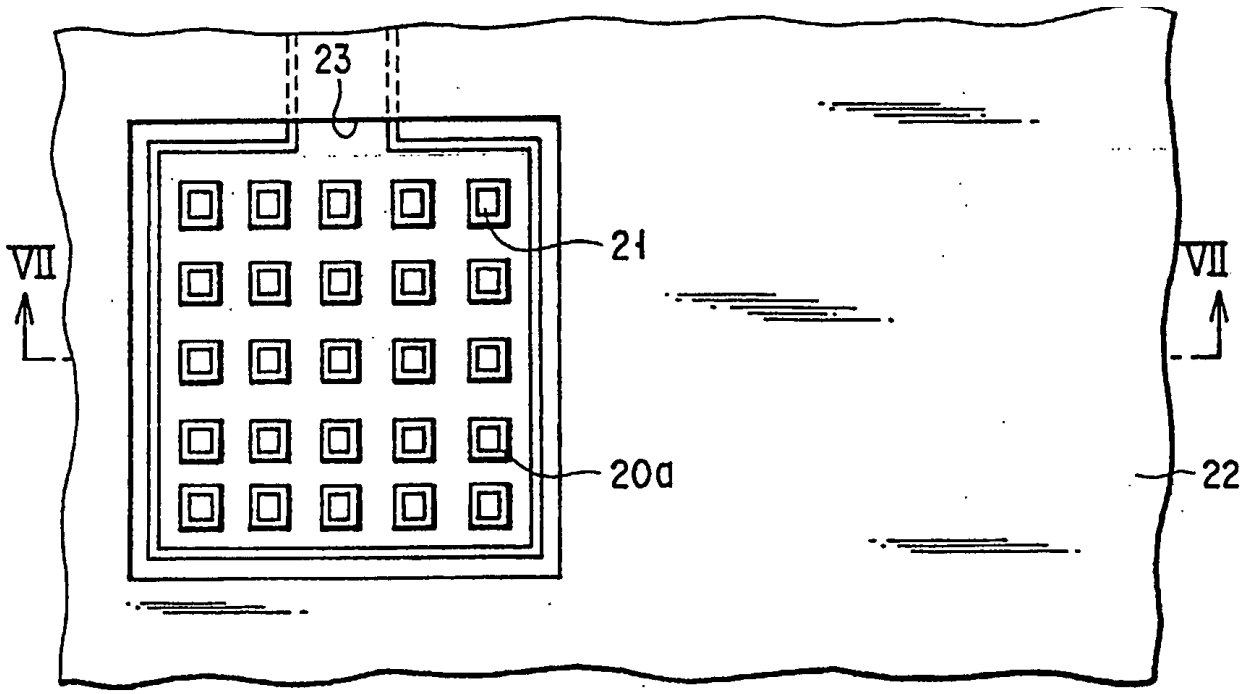
23
21
VII
VII
20a
22

FIG. 6

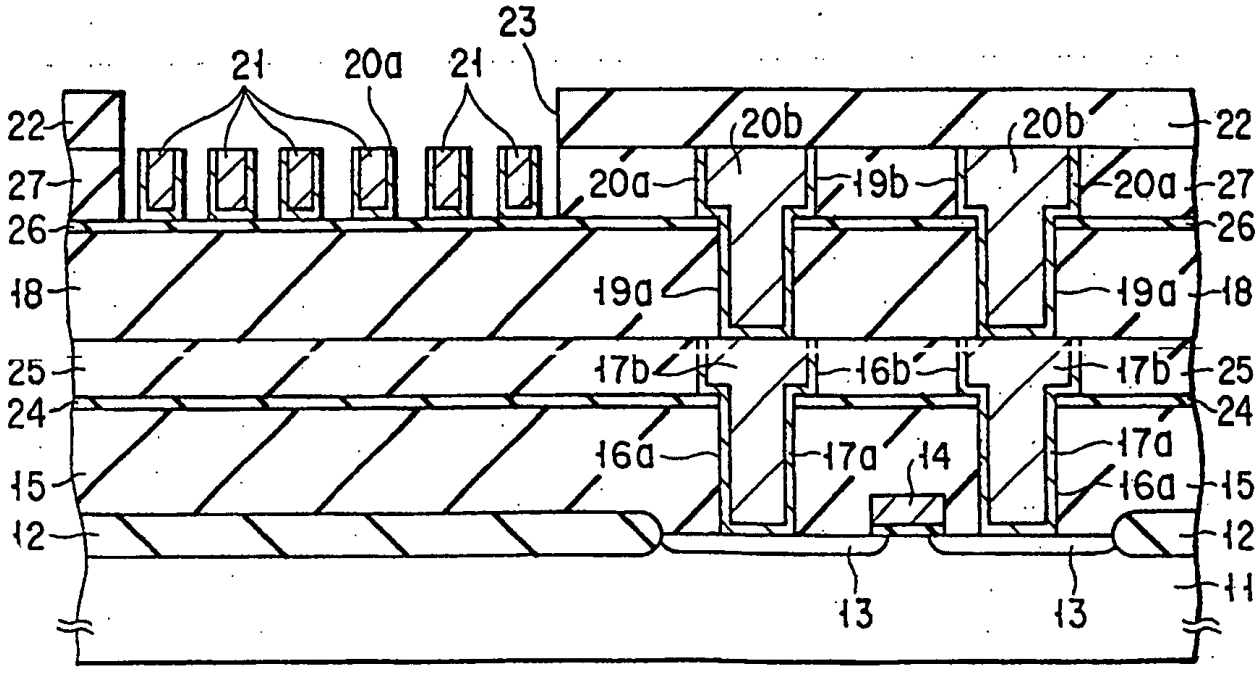
23
21
20a
21
22
20b
20b
22
27
20a
19b
20a
27
26
26
18
19a
19a
18
25
17b
16b
17b
25
24
24
16a
17a
14
17a
15
16a
15
12
12
11
13
13

FIG. 7

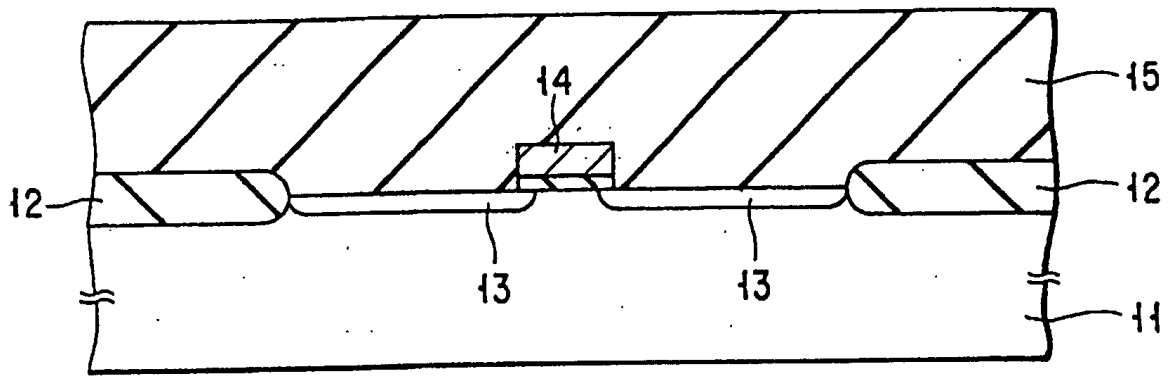

FIG. 8

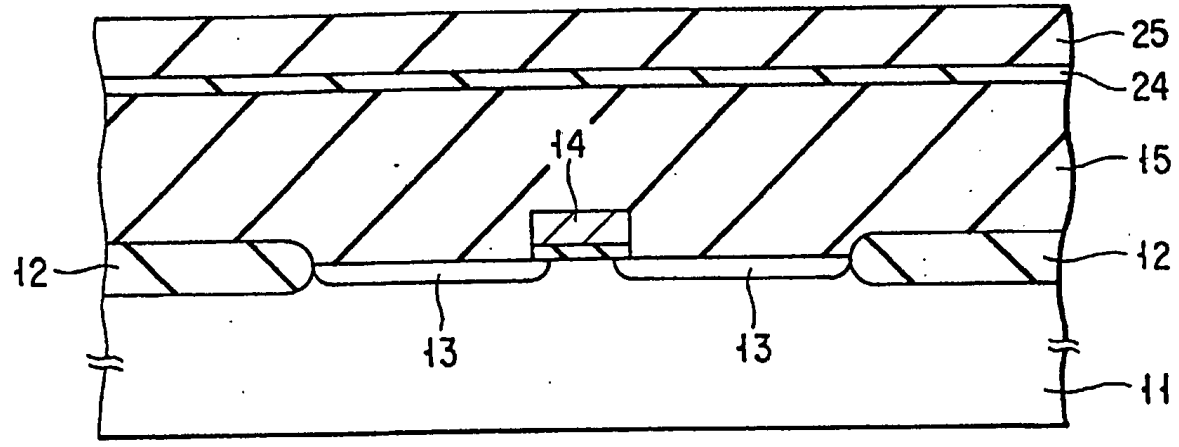

FIG. 9

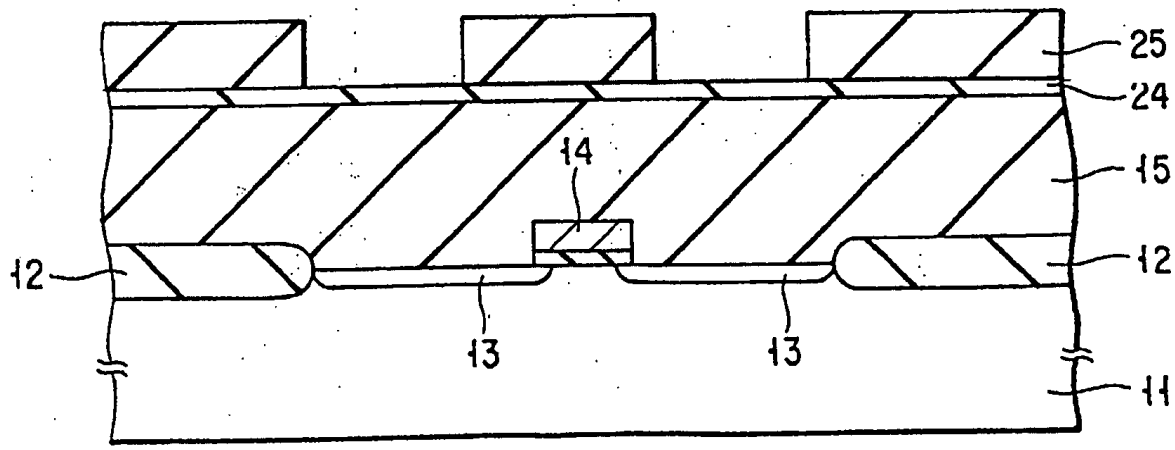

FIG. 10

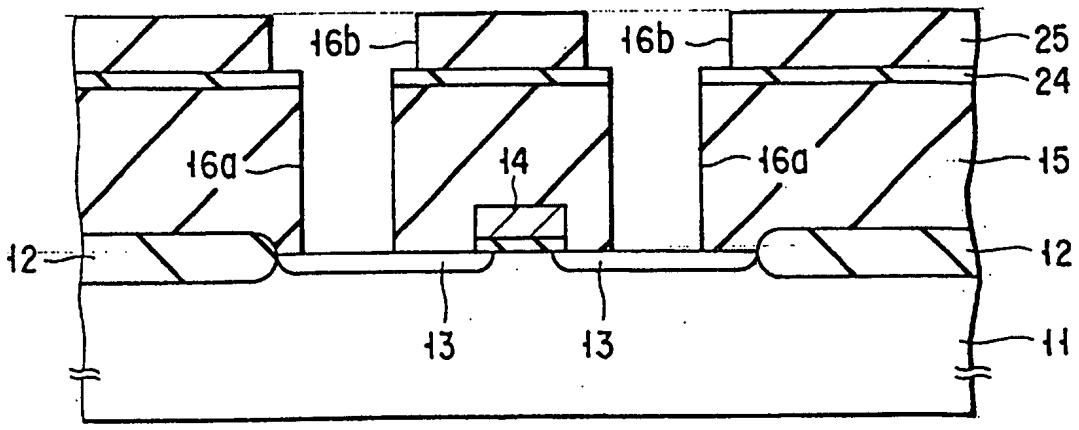

FIG. 11

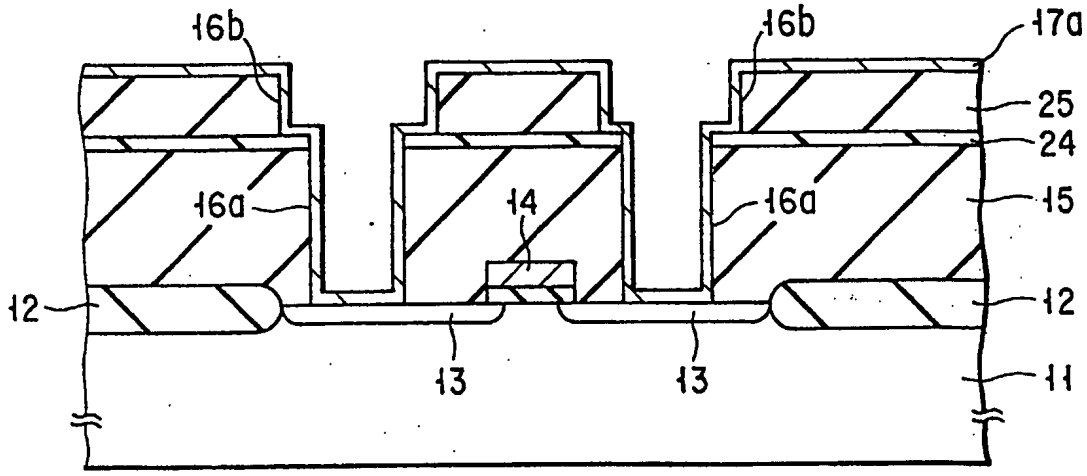

FIG. 12

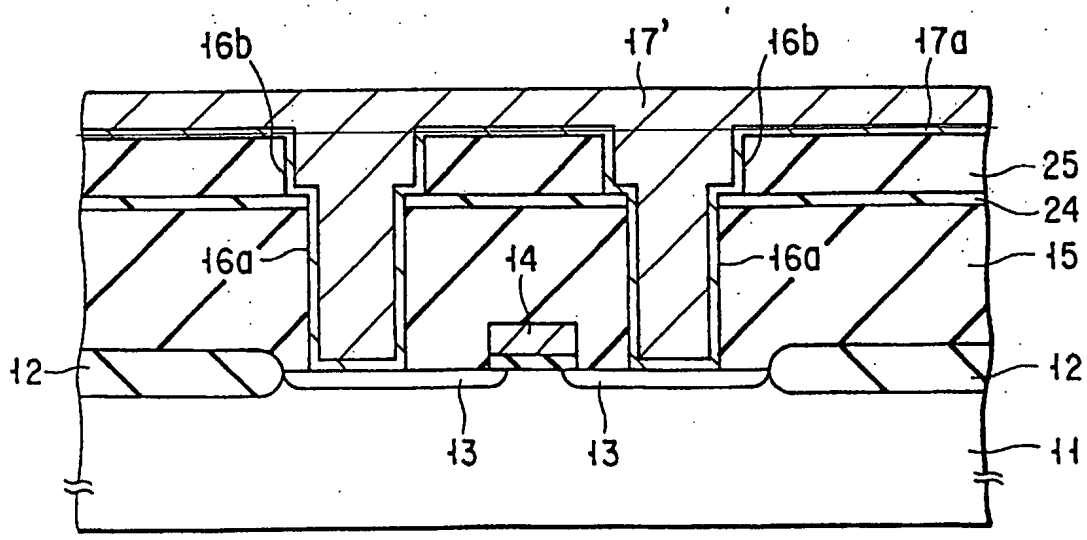

FIG. 13

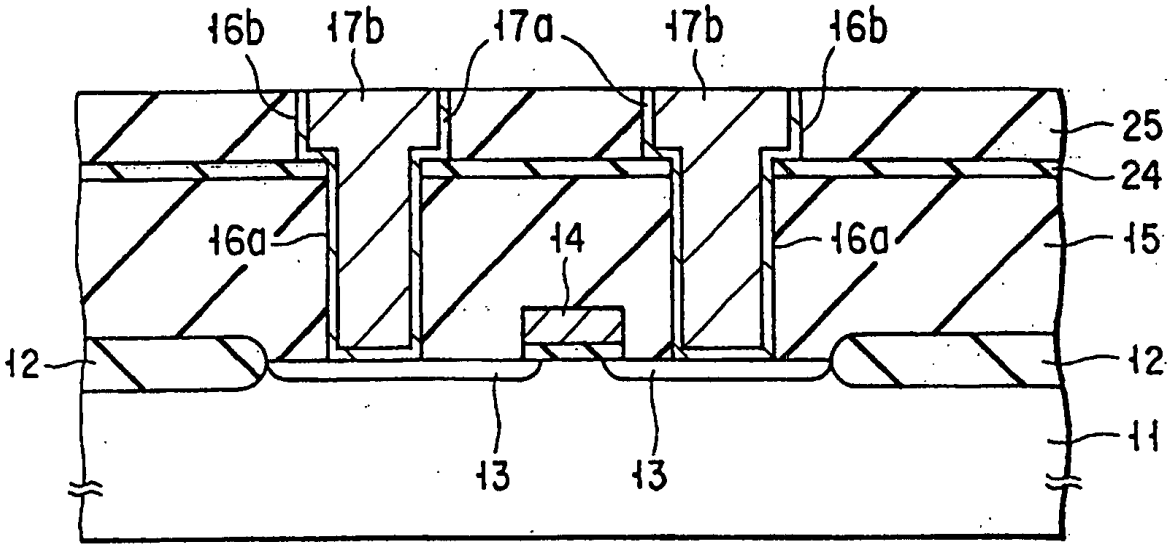
16b
17b
17a
17b
16b
25
24
16a
14
16a
15
12
12
11
13
13

FIG. 14

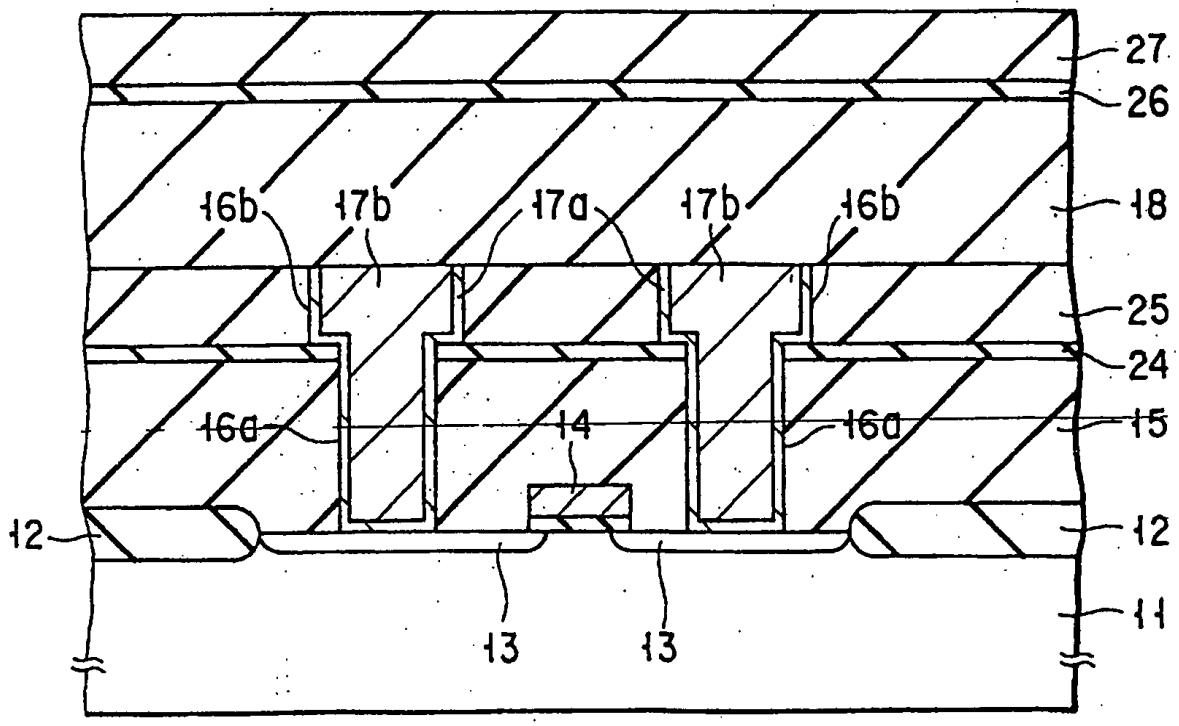
27
26
16b
17b
17a
17b
16b
18
25
24
16a
14
16a
15
12
12
11
13
13

FIG. 15

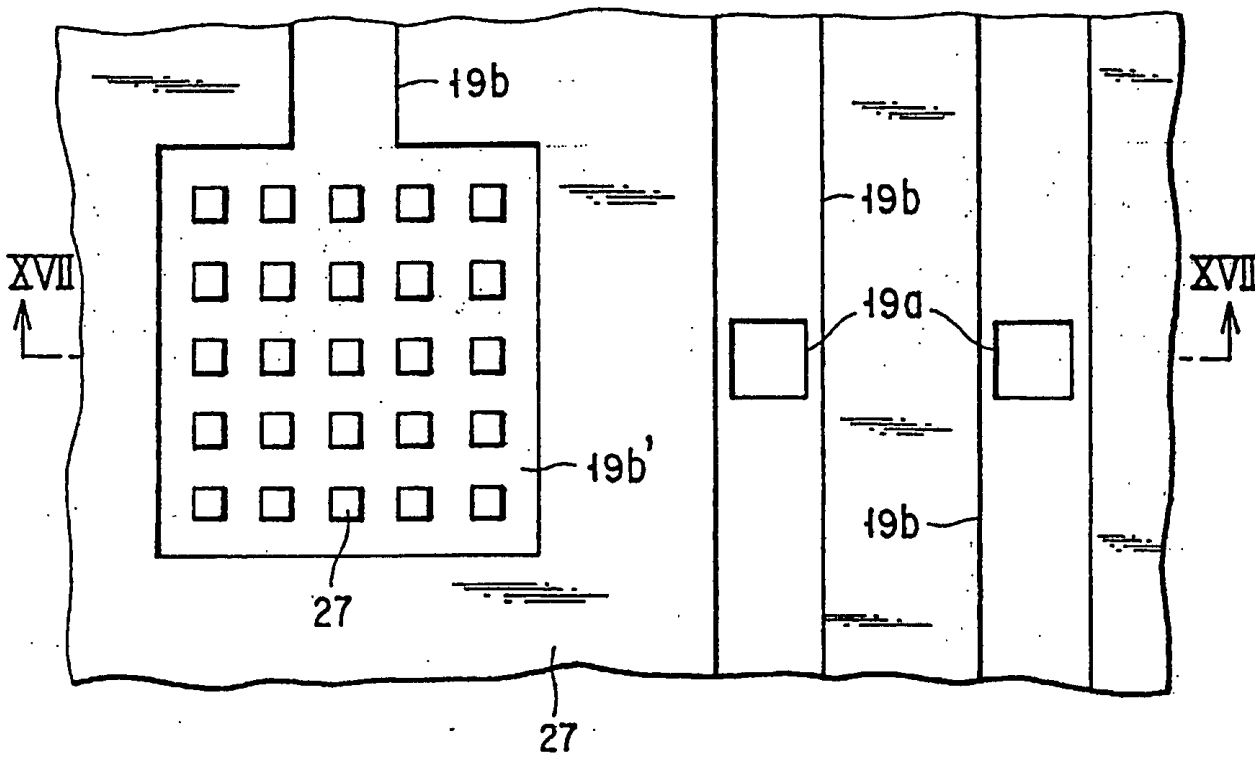
19b
19b
19a
19b'
19b
XVII
XVII
27
27

FIG. 16

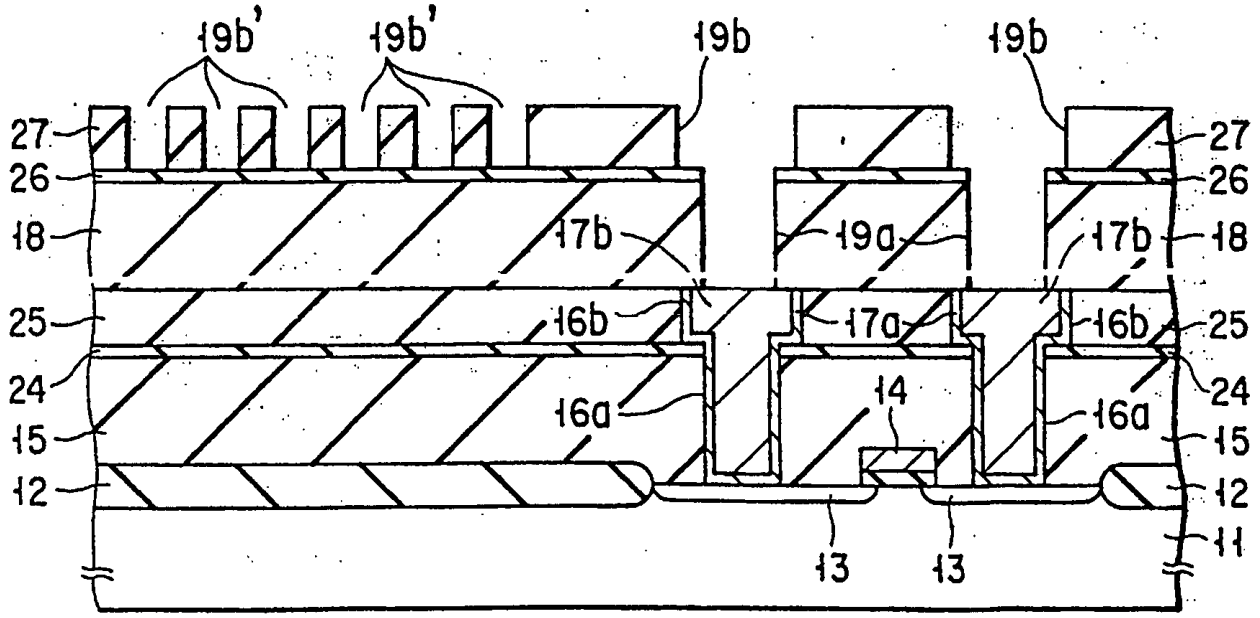
19b'
19b'
19b
19b
27
26
18
17b
19a
17b
18
25
16b
17a
16b
25
24
16a
14
16a
24
15
15
12
12
13
13
11

FIG. 17

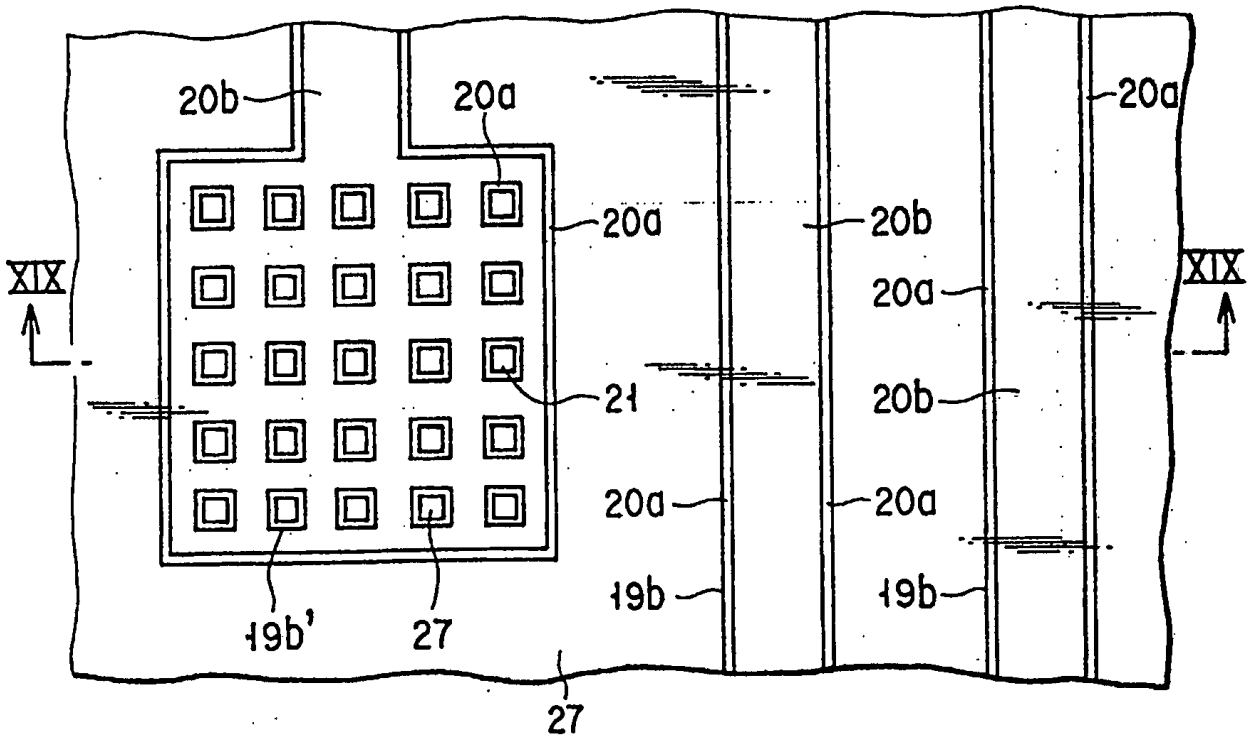
20b
20a
20a
20a
20b
XIX
XIX
20a
21
20b
20a
20a
19b
19b
19b'
27
27

FIG. 18

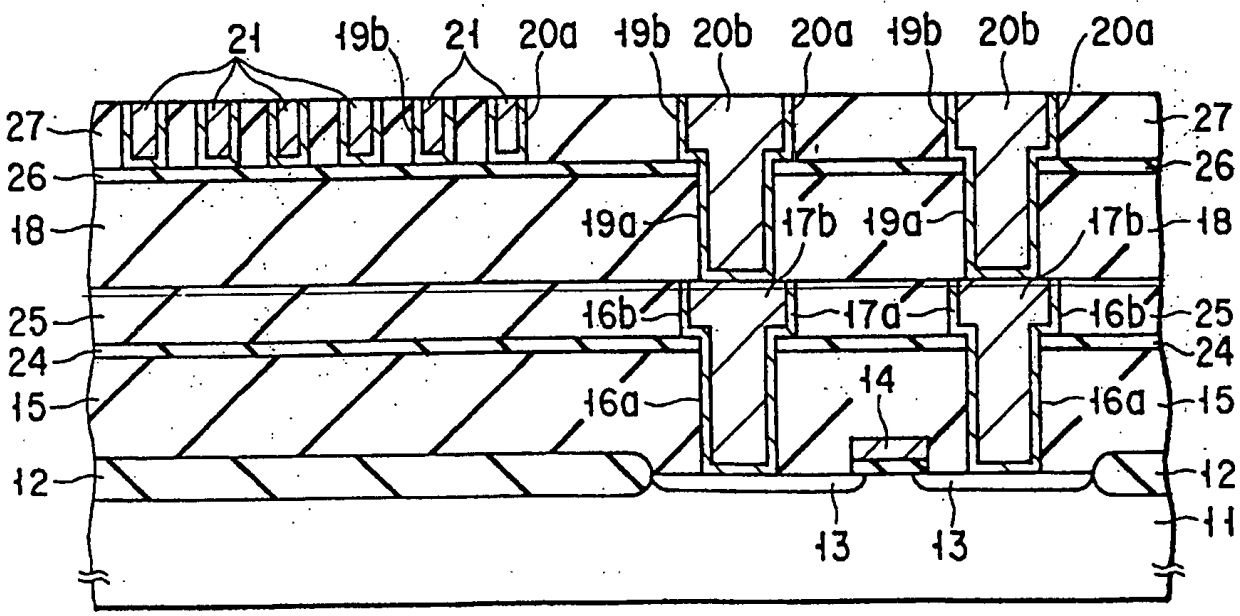
21
19b
21
20a
19b
20b
20a
19b
20b
20a
27
26
18
25
24
15
12
19a
17b
19a
17b
16b
17a
16b
14
16a
16a
13
13
27
26
18
25
24
15
12
11

FIG. 19

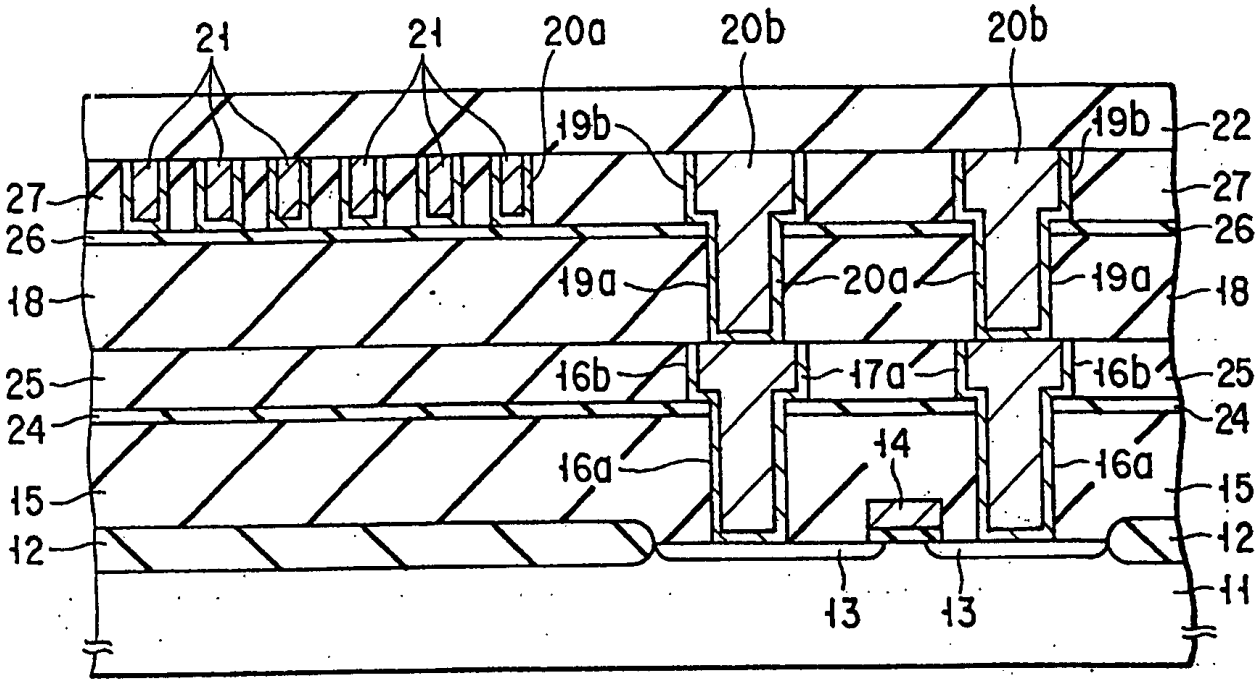
21
21
20a
20b
20b
19b
19b
22
27
27
26
26
18
19a
20a
19a
18
25
16b
17a
16b
25
24
24
14
16a
16a
15
15
12
12
13
13
11

FIG. 20

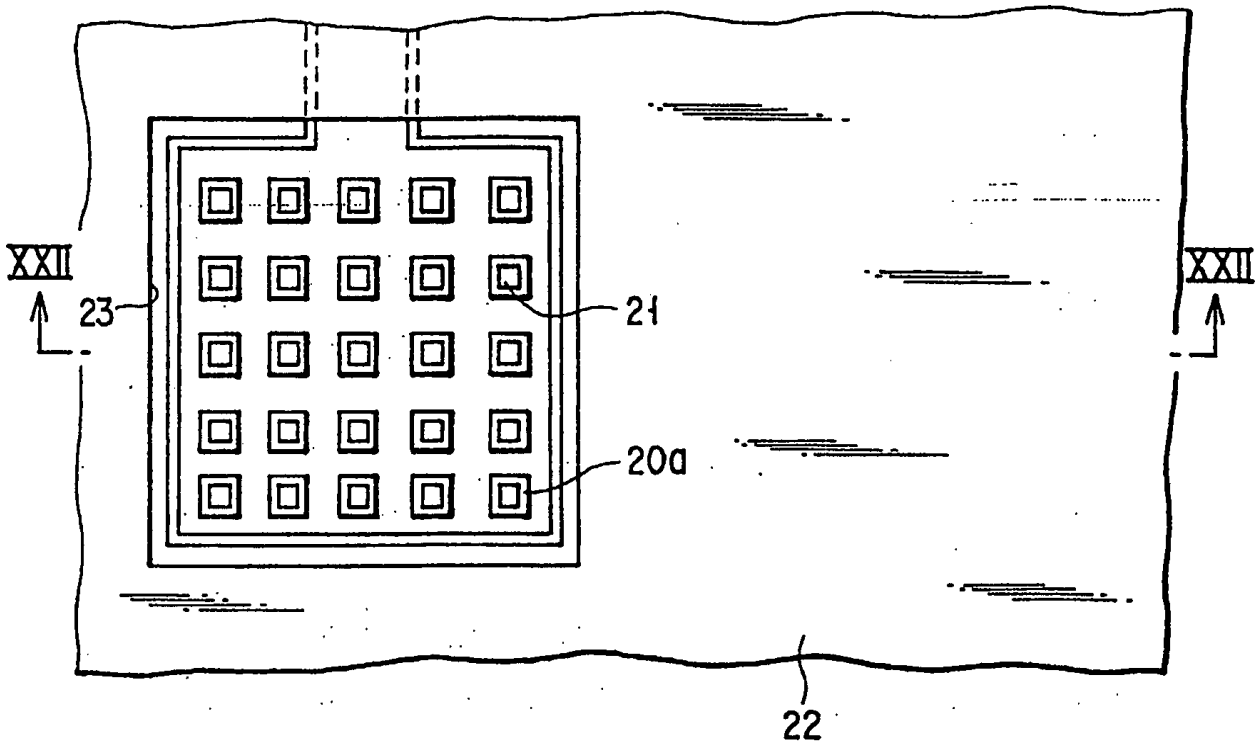
XXII
23
21
20a
XXII
22

FIG. 21

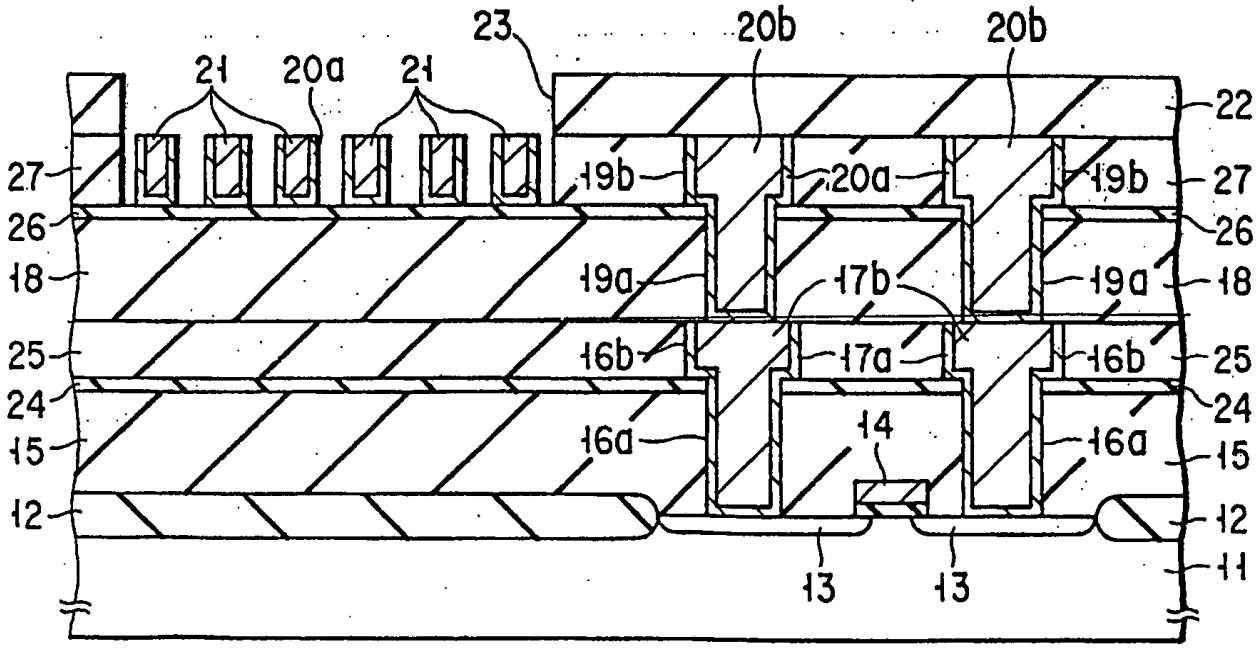
23
20b
20b
21
20a
21
22
27
19b
20a
19b
27
26
26
18
19a
17b
19a
18
25
16b
17a
16b
25
24
24
15
16a
14
16a
15
12
12
13
13
11

FIG. 22

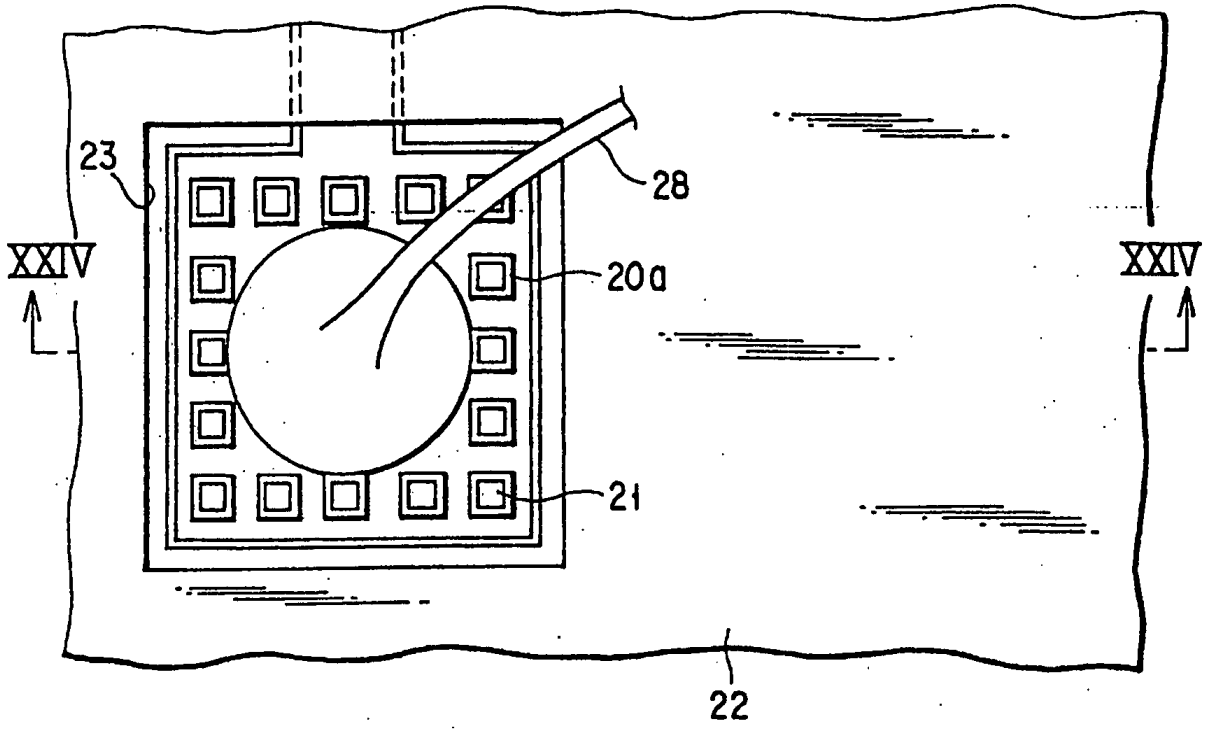
23
28
XXIV
20a
XXIV
21
22

FIG. 23

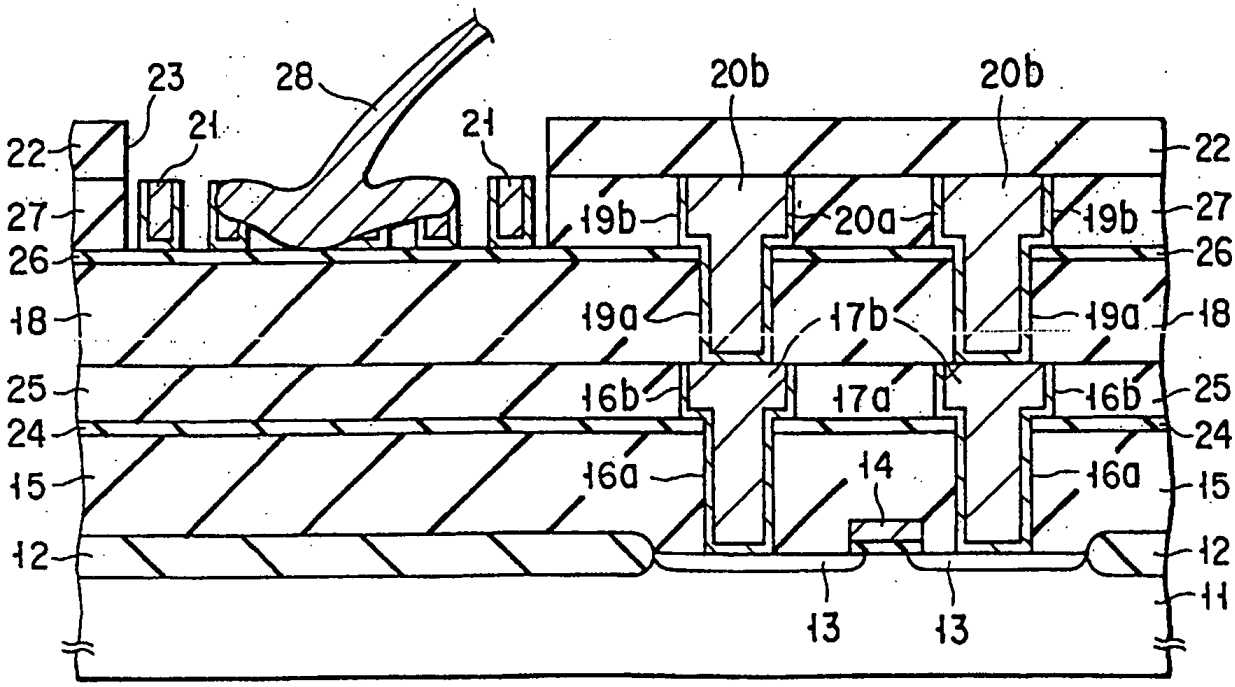
23
28
20b
20b
22
21
21
22
27
19b
20a
19b
27
26
26
18
19a
17b
19a
18
25
16b
17a
16b
25
24
24
15
16a
14
16a
15
12
12
11
13
13

FIG. 24

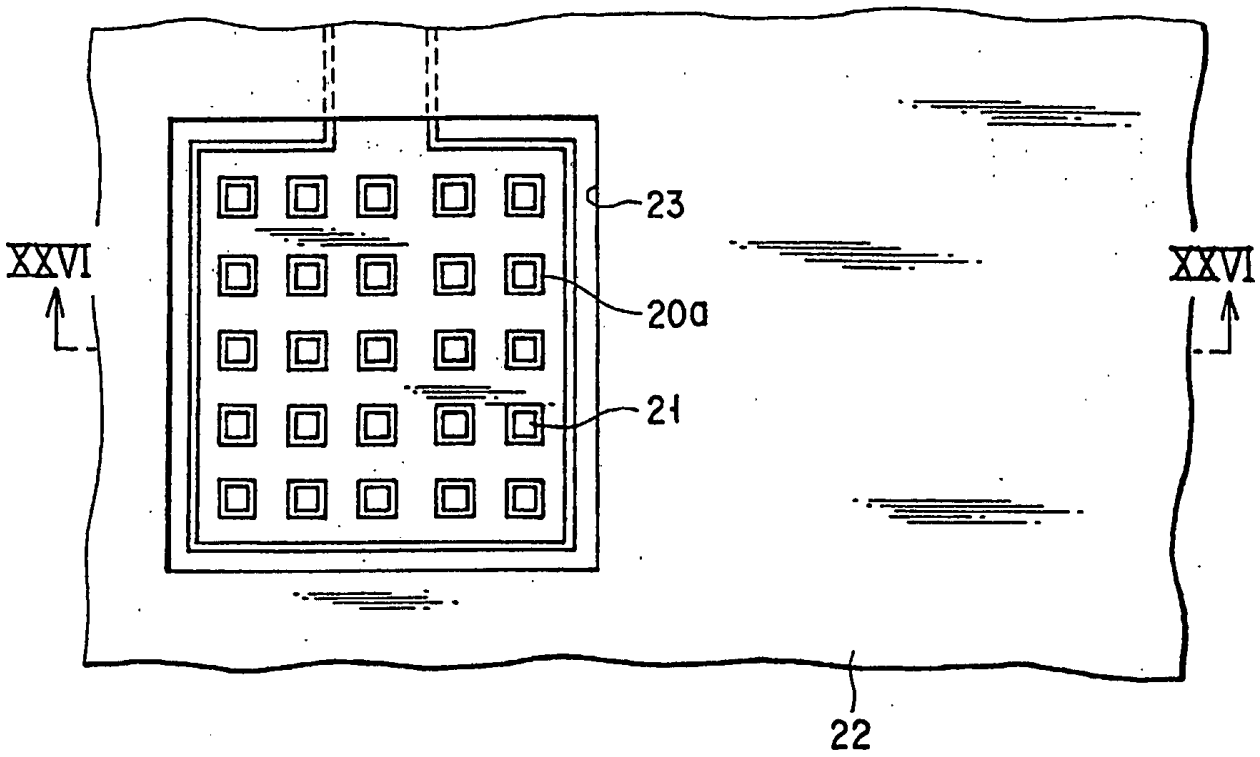
XXVI
XXVI
23
20a
21
22

FIG. 25

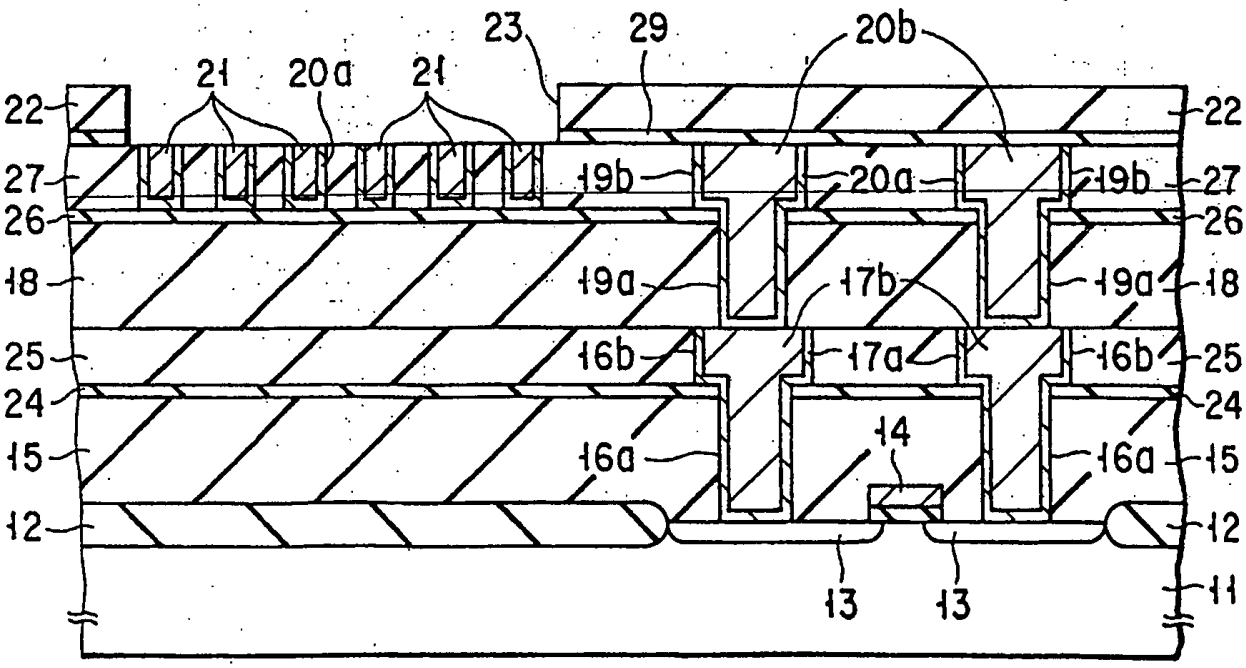
23
29
20b
21
20a
21
22
22
27
19b
20a
19b
27
26
26
18
19a
17b
19a
18
25
16b
17a
16b
25
24
24
15
16a
14
16a
15
12
12
13
13
11

FIG. 26

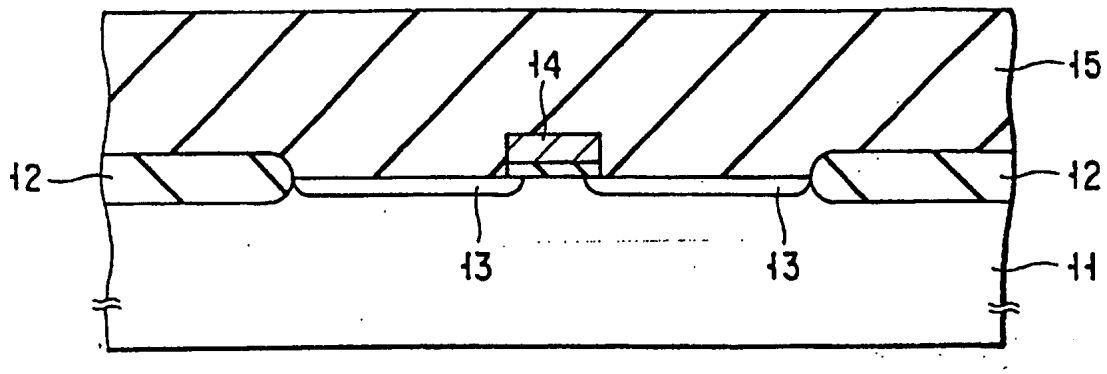

FIG. 27

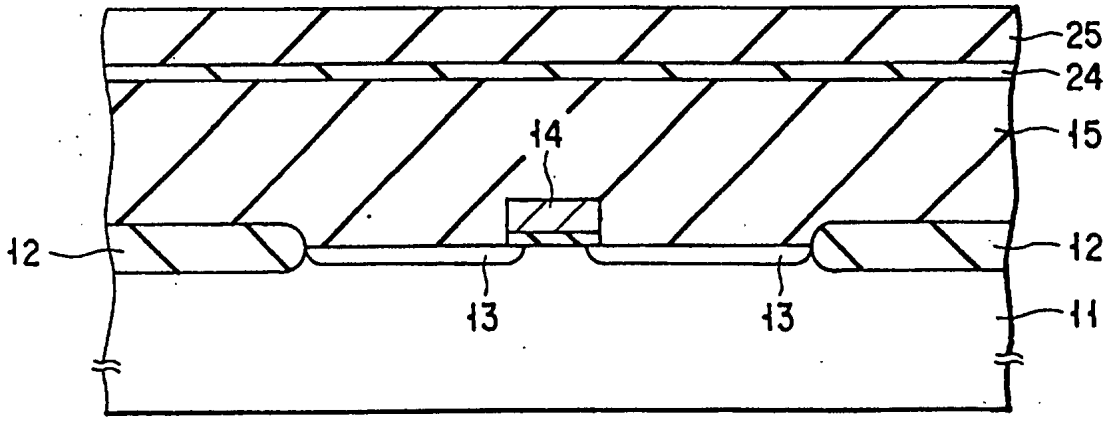

FIG. 28

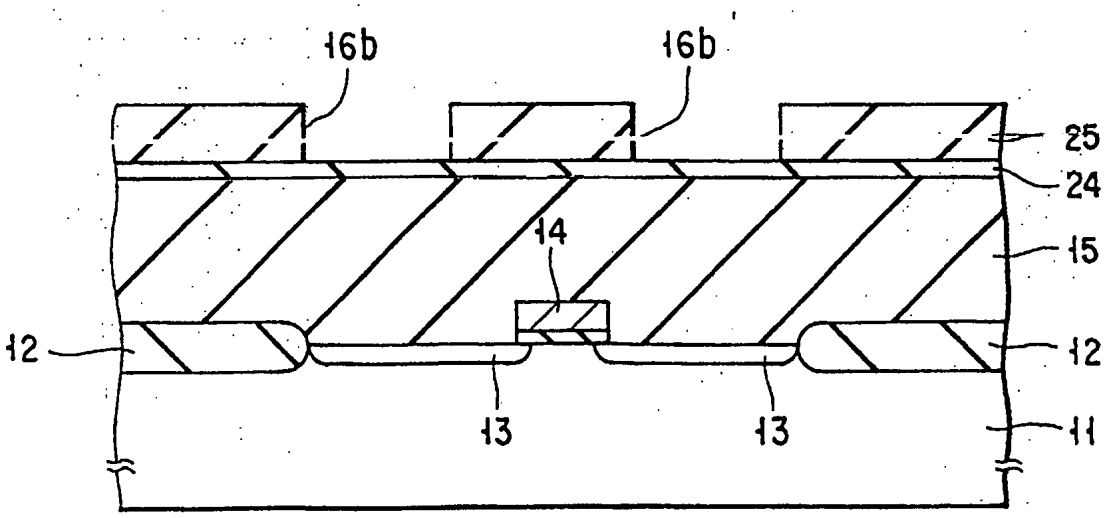

FIG. 29

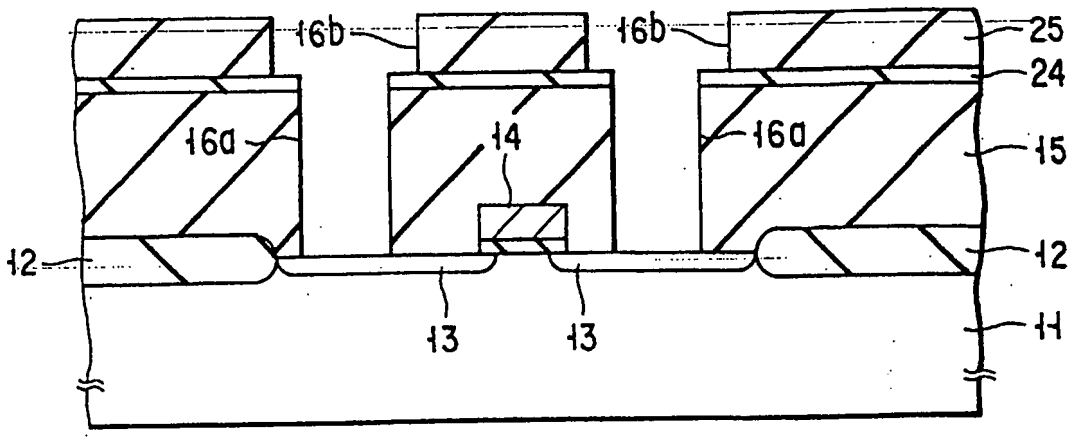

FIG. 30

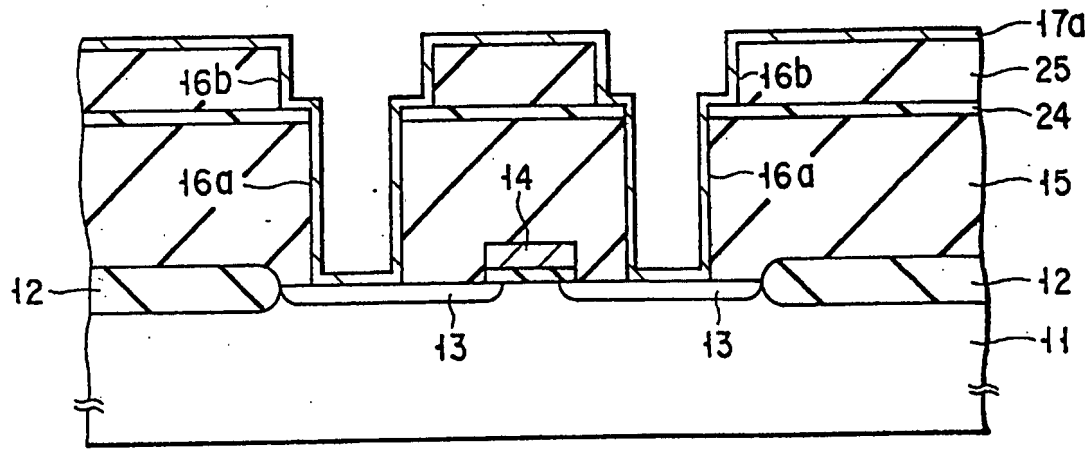

FIG. 31

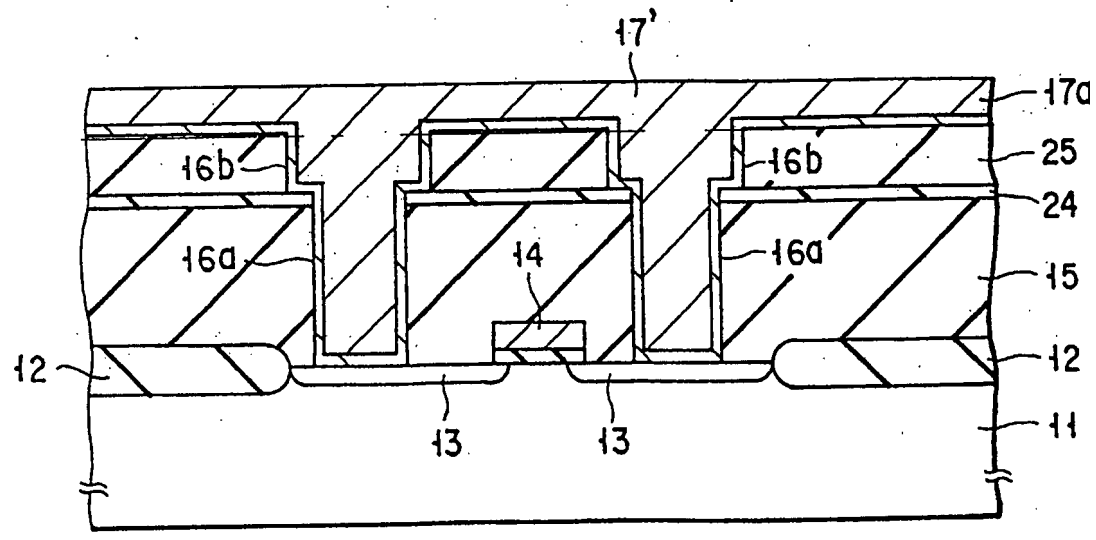

FIG. 32

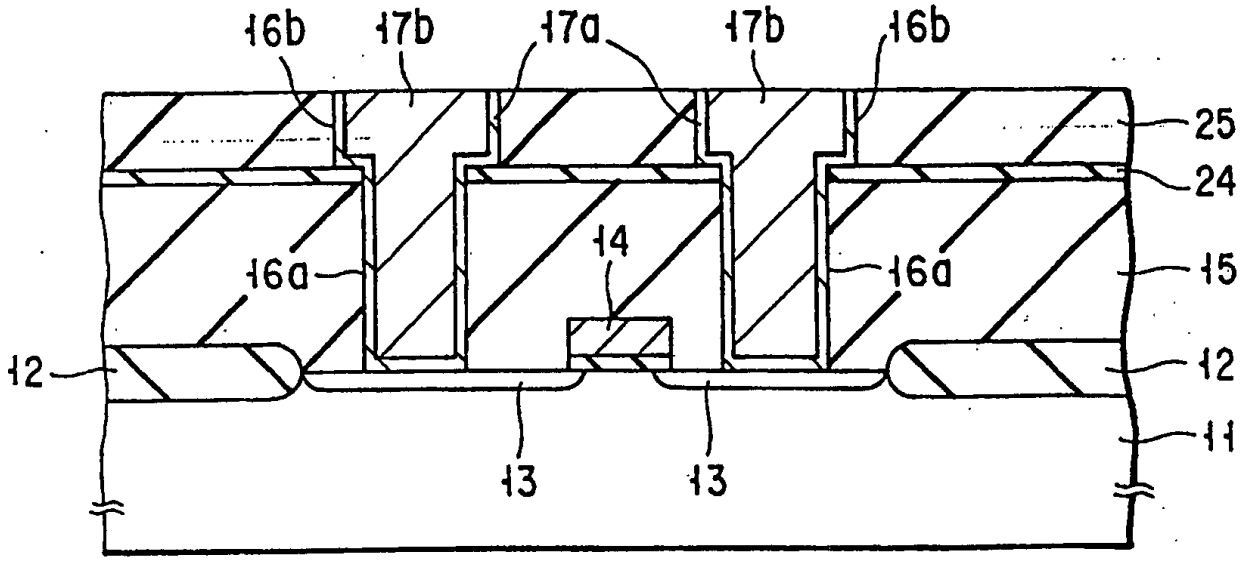
16b
17b
17a
17b
16b
25
24
14
16a
16a
15
12
12
11
13
13

FIG. 33

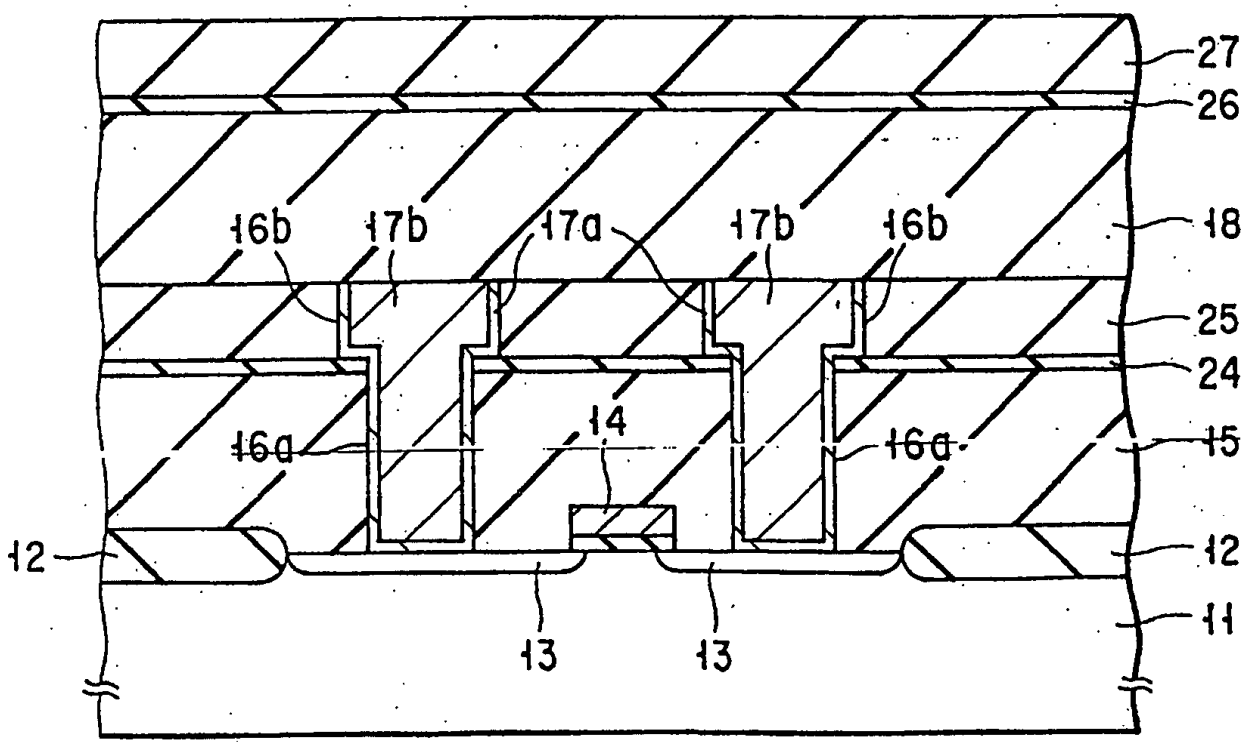
27
26
16b
17b
17a
17b
16b
18
25
24
14
16a
16a
15
12
12
11
13
13

FIG. 34

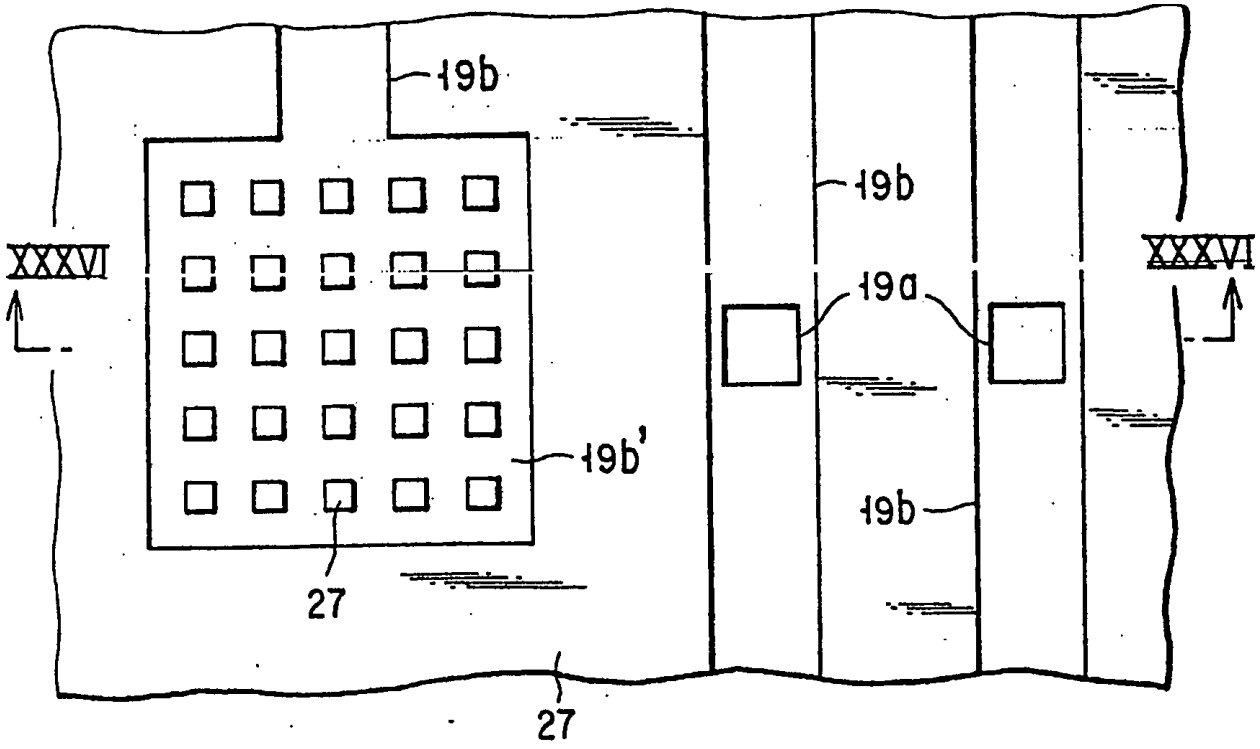
19b
19b
19a
19b'
19b
XXXVI
XXXVI
27
27

FIG. 35

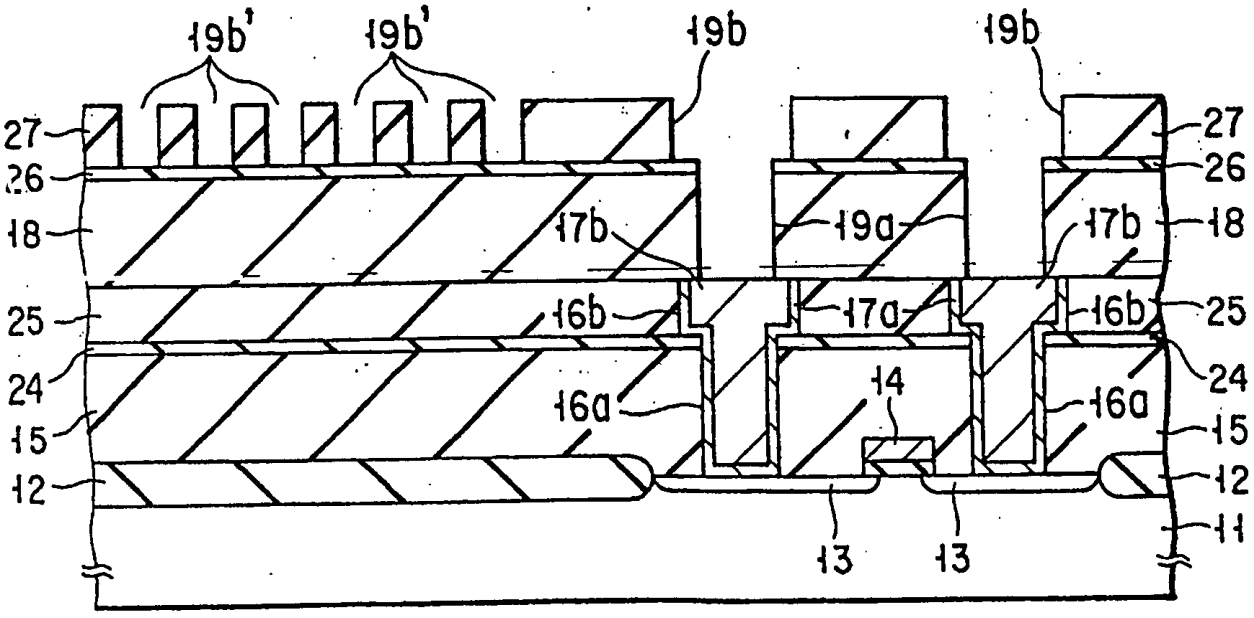
19b'
19b'
19b
19b
27
26
18
17b
19a
17b
18
25
16b
17a
16b
25
24
16a
14
16a
24
15
15
12
12
13
13
11

FIG. 36

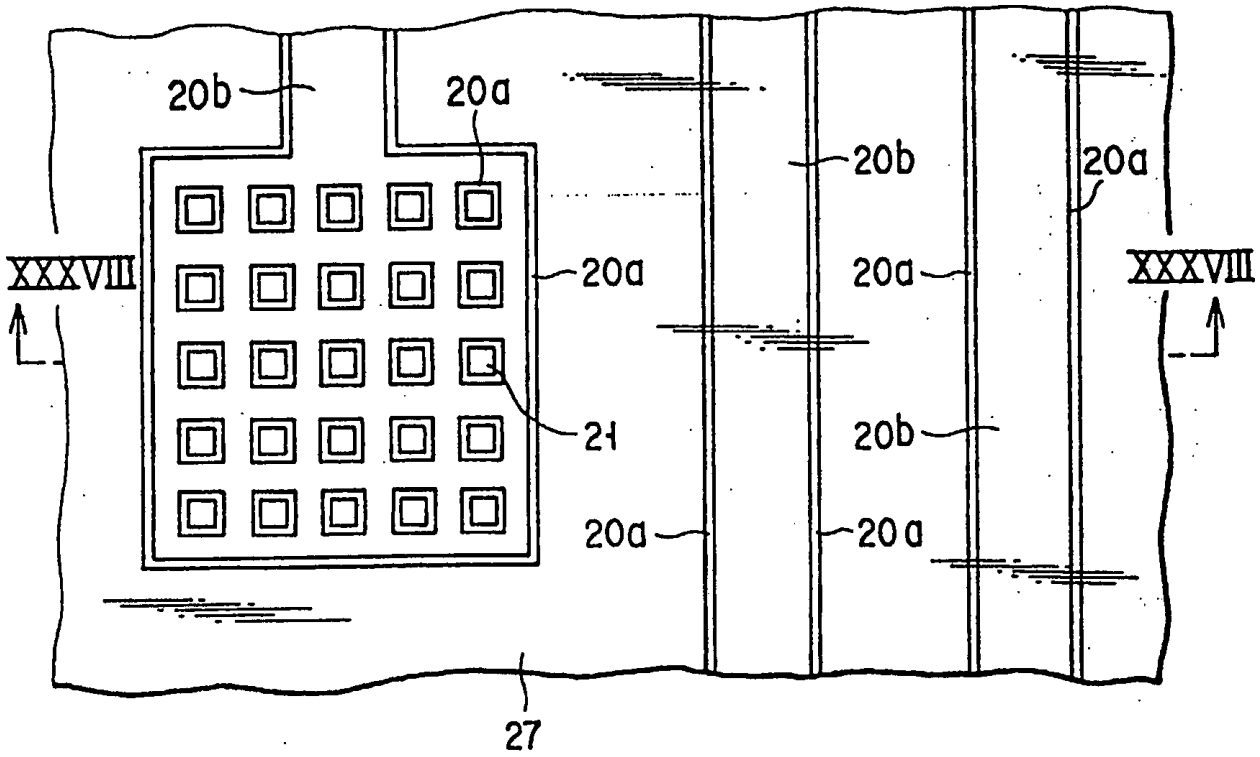
20b
20a
20b
20a
XXXVIII
20a
XXXVIII
20a
21
20b
20a
20a
27

FIG. 37

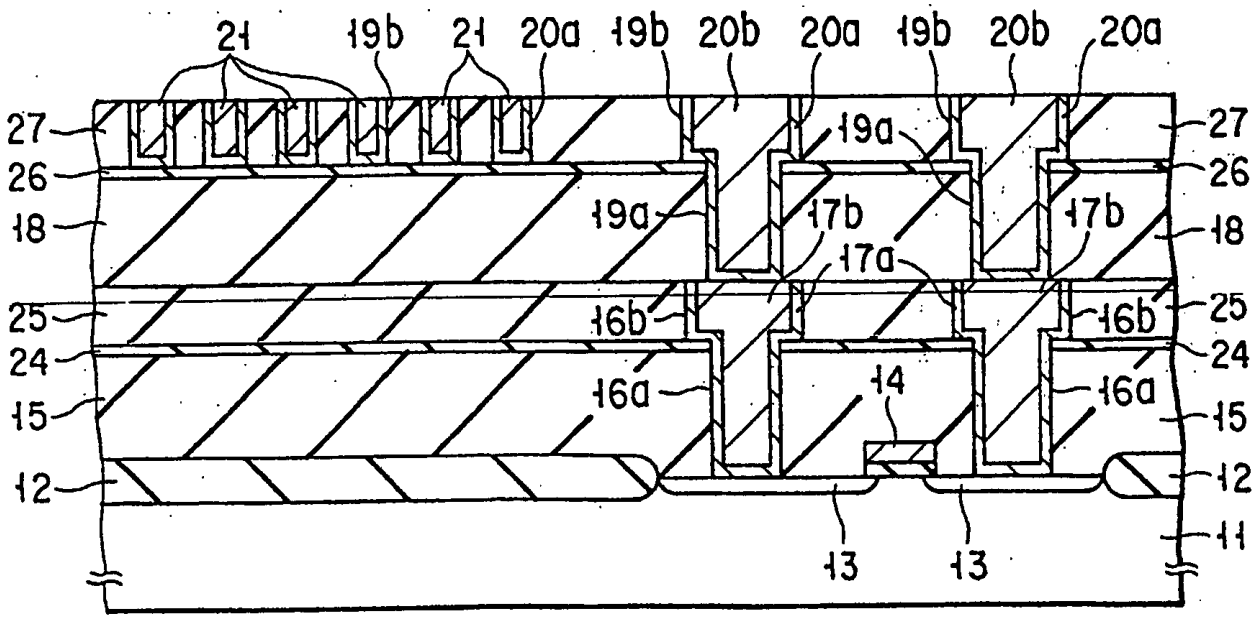
21
19b
21
20a
19b
20b
20a
19b
20b
20a
27
26
18
25
24
15
12
19a
17b
17a
16b
16a
14
13
13
27
26
18
25
24
15
12
11

FIG. 38

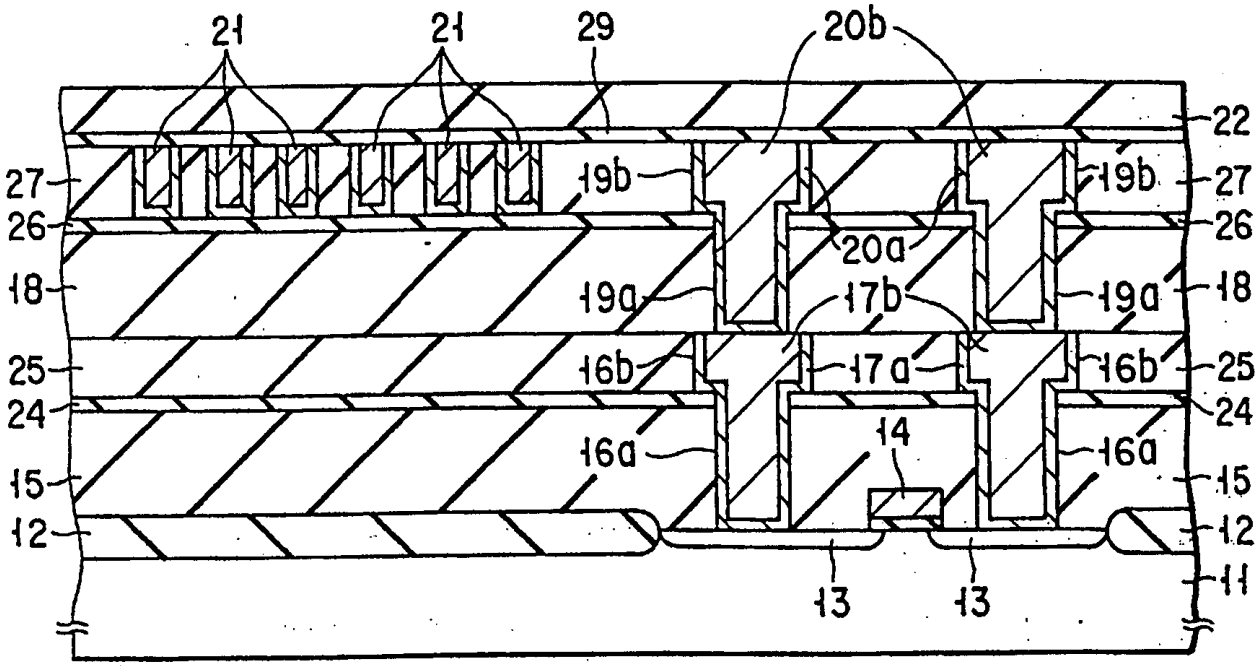
21
21
29
20b
22
27
19b
19b
27
26
26
20a
18
19a
17b
19a
18
25
16b
17a
16b
25
24
24
14
16a
16a
15
15
12
12
11
13
13

FIG. 39

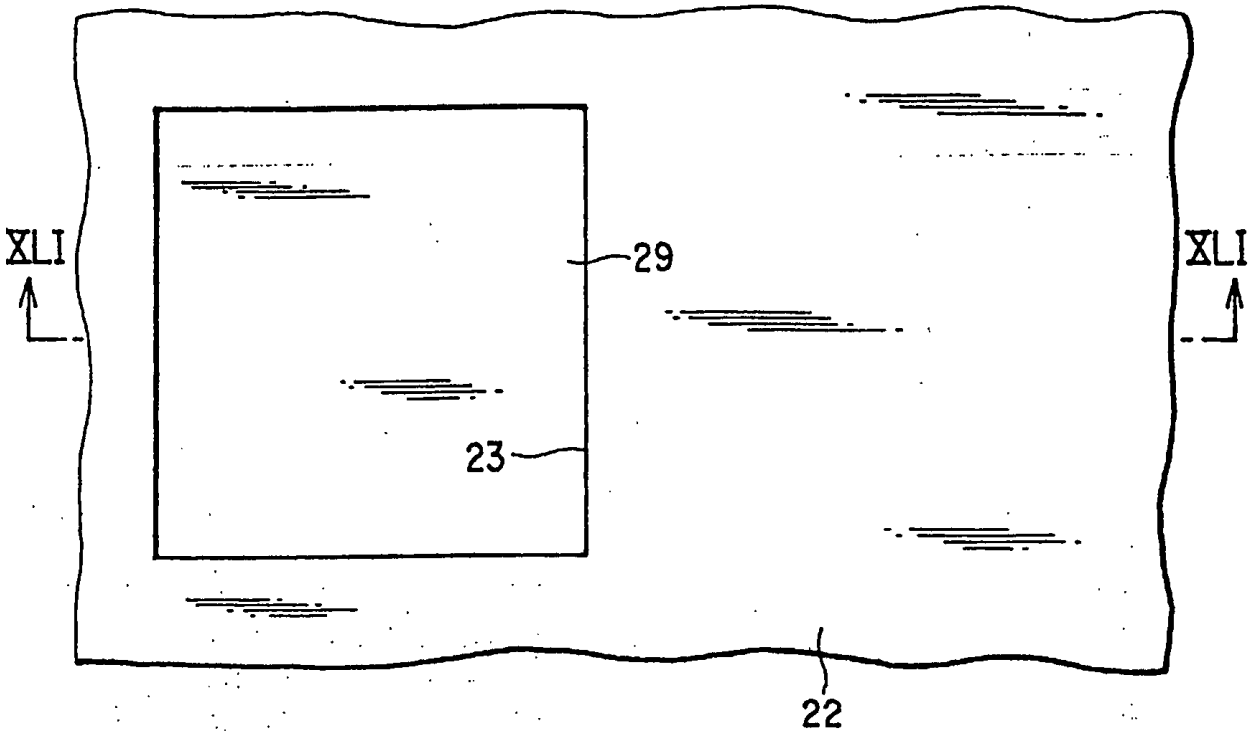
XLI
29
XLI
23
22

FIG. 40

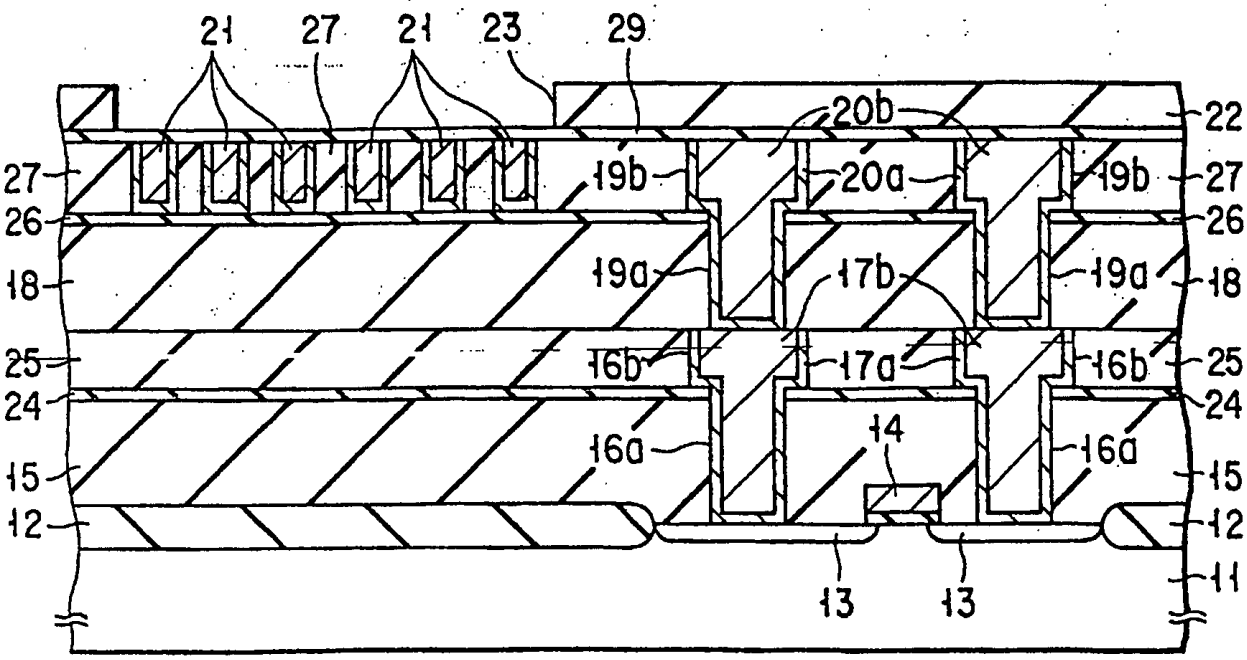
21
27
21
23
29
20b
22
27
19b
20a
19b
27
26
26
19a
17b
19a
18
18
25
16b
17a
16b
25
24
24
14
16a
16a
15
15
12
12
13
13
11

FIG. 41

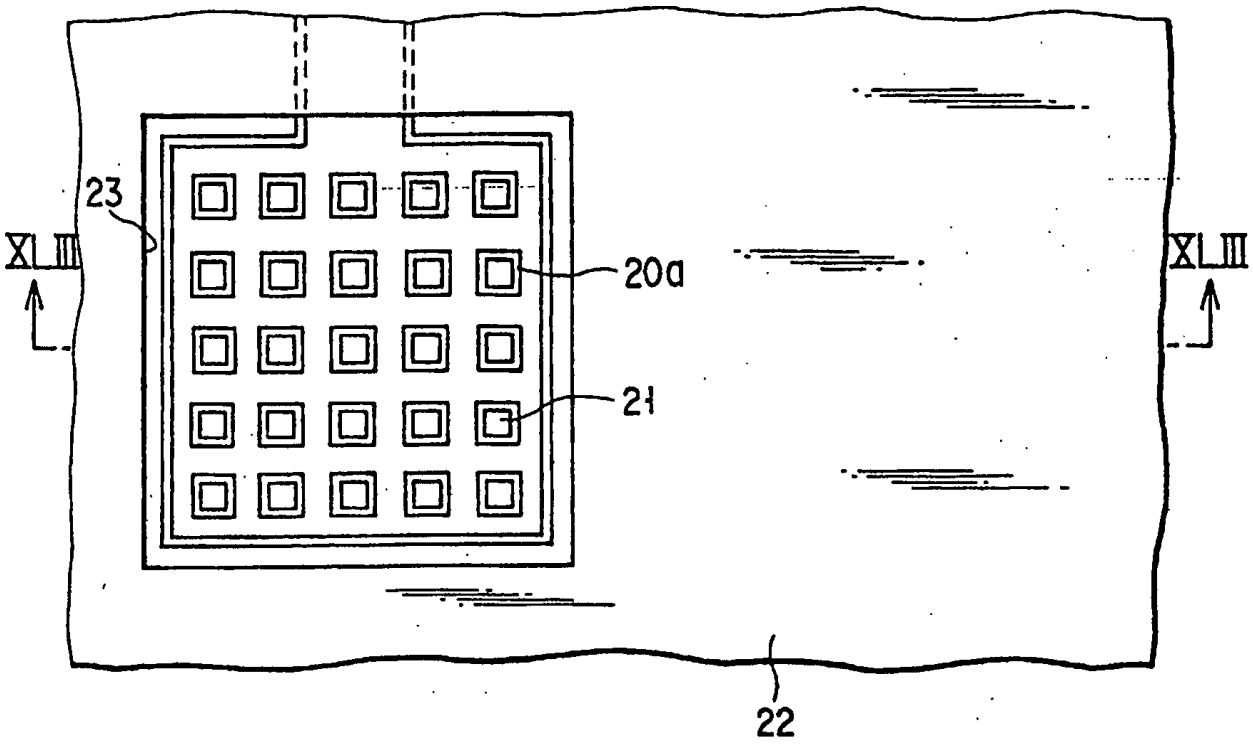
23
XLIII
20a
21
XLIII
22

FIG. 42

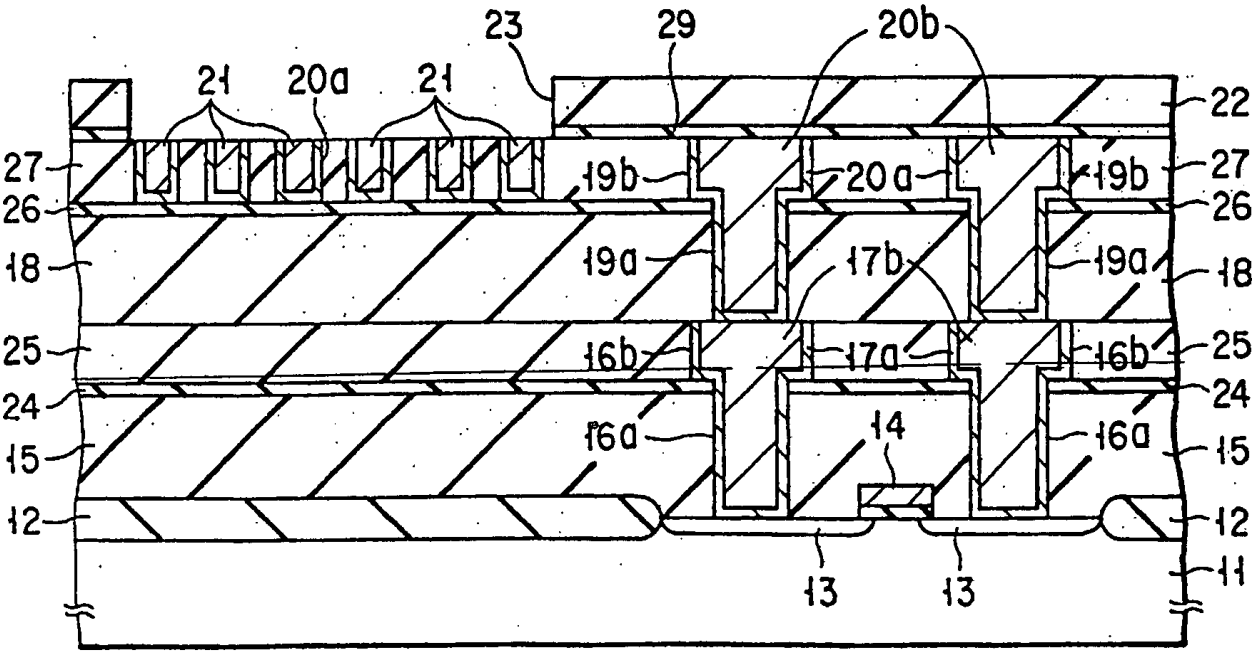
23
29
20b
21
20a
21
22
27
19b
20a
19b
27
26
26
18
19a
17b
19a
18
25
16b
17a
16b
25
24
24
15
16a
14
16a
15
12
12
13
13
11

FIG. 43

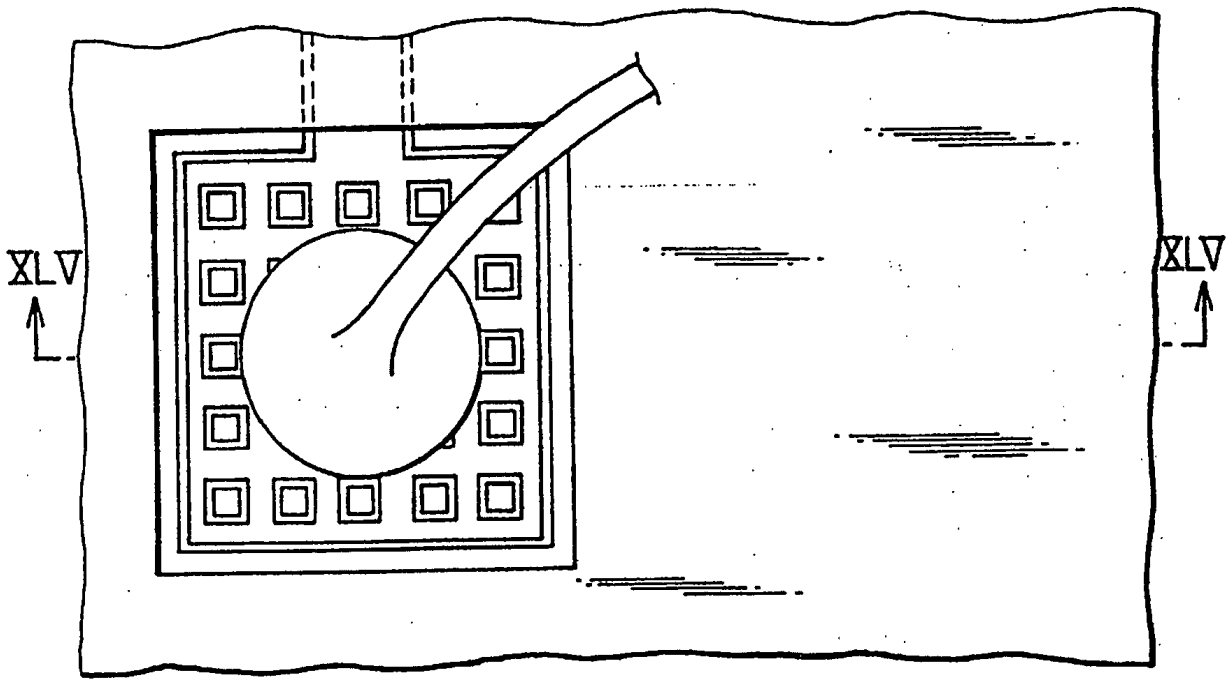
XLV
XLV

FIG. 44

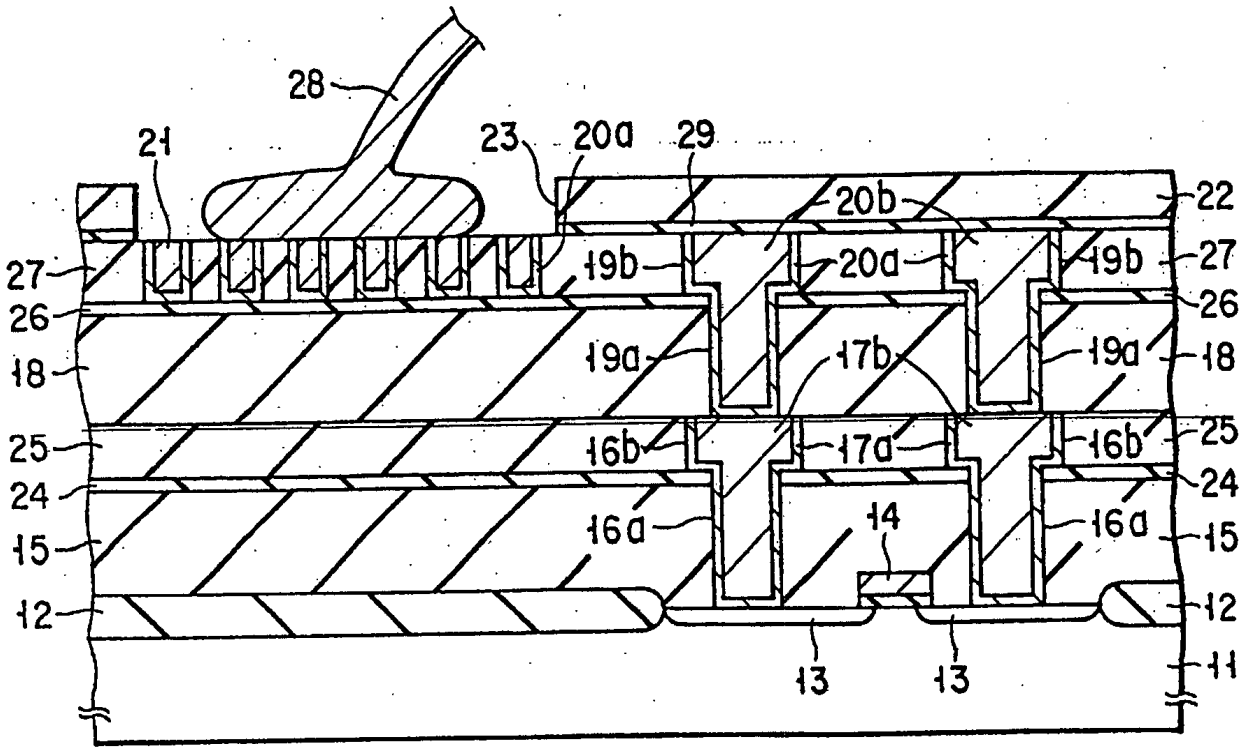
28
21
23
20a
29
20b
22
27
19b
20a
19b
27
26
26
19a
17b
19a
18
18
25
16b
17a
16b
25
24
24
16a
14
16a
15
15
12
12
13
13
11

FIG. 45