

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-262014
(P2004-262014A)

(43) 公開日 平成16年9月24日(2004.9.24)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
B 4 1 J 2/32	B 4 1 J 3/20 1 O 9 Z	2 C 0 6 5
// B 4 1 J 2/44	B 4 1 J 3/21 L	2 C 1 6 2
B 4 1 J 2/45	B 4 1 J 3/10 1 O 1 A	
B 4 1 J 2/455		
B 4 1 J 2/515		
審査請求 未請求 請求項の数 2 O L (全 9 頁)		

(21) 出願番号 特願2003-53042 (P2003-53042)	(71) 出願人 000130581
(22) 出願日 平成15年2月28日 (2003.2.28)	株式会社サトー 東京都渋谷区恵比寿4丁目9番10号
	(72) 発明者 坂巻 秀一 東京都渋谷区渋谷1丁目15番5号 株式会社サトー内
	Fターム(参考) 2C065 CZ02 2C162 AE33 AE47 AF14 AF60

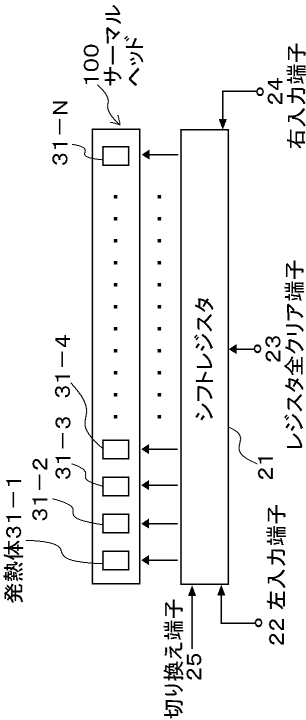
(54) 【発明の名称】 サーマルヘッド

(57) 【要約】

【課題】サーマルヘッドに供給する印字データのデータ量を削減することができるようにする。

【解決手段】印字データに対応するビットマップイメージにおいて、印字すべき文字が左寄りにある場合、レジスタ全クリア端子23からクリア信号を入力して全桁をクリアした後、切り換え端子25から所定の切り換え信号を入力し、各ラインの印字データのうち、右端の空欄部分を除いた部分の所定ドット数分の印字データのみを左入力端子22から入力する。印字すべき文字が右寄りにある場合、切り換え端子25から所定の切り換え信号を入力し、各ラインの印字データのうち、左端の空欄部分を除いた部分の所定ドット数分の印字データのみを右入力端子24から入力する。入力された印字データは所定のタイミングで平行に各発熱体31-1乃至31-Nに供給される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

クロック信号に同期してシリアルに入力された所定の印字データを記憶する N 桁のシフトレジスタと、

前記シフトレジスタから平行に出力された前記印字データに応じて発熱し、前記印字データを所定の用紙に印字する N 個の発熱抵抗体と

を備え、

前記シフトレジスタには、前記印字データをシリアルに入力する第 1 の端子と、前記印字データをシリアルに入力する第 2 の端子と、前記第 1 の端子または前記第 2 の端子から入力された前記印字データをシフトさせる方向を切り換えるための切り換え信号を入力する切り換え端子と、前記シフトレジスタの全桁を同時にクリアするためのクリア信号を入力するクリア端子と、前記印字データを平行に出力する出力端子とが設けられ、

前記切り換え端子から入力された前記切り換え信号に応じて、前記第 1 の端子から前記印字データが入力されたとき、前記印字データは第 1 の方向にシフトされながらシリアルに入力され、前記第 2 の端子から前記印字データが入力されたとき、前記印字データは前記第 1 の方向とは逆の第 2 の方向にシフトされながらシリアルに入力される

ことを特徴とするサーマルヘッド。

【請求項 2】

前記シフトレジスタは、前記切り換え信号が第 1 のレベルのとき、前記クロック信号に同期して、前記第 1 の端子から入力された前記印字データを前記第 1 の方向にシフトさせながらシリアルに入力し、前記切り換え信号が第 2 のレベルのとき、前記第 2 の端子から入力された前記印字データを前記第 2 の方向にシフトさせながらシリアルに入力する

ことを特徴とする請求項 1 に記載のサーマルヘッド。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、サーマルヘッドに関し、特に、ラベルプリンタ等の印字に使用されるサーマルヘッドに関する。

【0002】

【従来の技術】

従来のサーマルヘッドは、印字データをセットする場合、各ラインの全てのドットに対応する印字データをライン毎にセットする。空欄が多いデータ、例えば、文字等が左側に偏っており、右側は全て空欄のときでも、ライン上の全てのドットに対応する印字データをサーマルヘッドのシフトレジスタに供給するようにしていた。

また、シフトレジスタの出力信号を印字データ信号として使用するだけでなく、STROBE 信号に代わる信号として用いることにより、STROBE 信号回路を省略して、サーマルヘッドの小型、軽量、低コスト化を可能としたものがある（例えば、特許文献 1 参照）。

【0003】

【特許文献 1】

特開平 2-172765 号公報（図 5）

【0004】

【発明が解決しようとする課題】

しかしながら、従来のサーマルヘッドでは、印字データに拘わらず各ラインの全てのドットに対応する印字データをセットする必要があるという問題があった。また、特許文献 1 に記載の発明では、シフトレジスタの全桁を一旦クリアし、シフトレジスタの出力信号を用いて STROBE 信号の代わりとすることができるとはできるが、この場合でも印字データに拘わらず各ラインの全てのドットに対応する印字データをセットする必要がある、非効率的であるという問題があった。

【0005】

本発明はこのような状況に鑑みてなされたものであり、印字データに応じて、サーマルヘッドに転送するデータを削減することができるようにするものである。

【0006】

【課題を解決するための手段】

請求項1に記載のサーマルヘッドは、クロック信号に同期してシリアルに入力された所定の印字データを記憶するN桁のシフトレジスタと、シフトレジスタからパラレルに出力された印字データに応じて発熱し、印字データを所定の用紙に印字するN個の発熱抵抗体とを備え、シフトレジスタには、印字データをシリアルに入力する第1の端子と、印字データをシリアルに入力する第2の端子と、第1の端子または第2の端子から入力された印字データをシフトさせる方向を切り換えるための切り換え信号を入力する切り換え端子と、シフトレジスタの全桁を同時にクリアするためのクリア信号を入力するクリア端子と、印字データをパラレルに出力する出力端子とが設けられ、切り換え端子から入力された切り換え信号に応じて、第1の端子から印字データが入力されたとき、印字データは第1の方向にシフトされながらシリアルに入力され、第2の端子から印字データが入力されたとき、印字データは第1の方向とは逆の第2の方向にシフトされながらシリアルに入力されることを特徴とする。

また、シフトレジスタは、切り換え信号が第1のレベルのとき、クロック信号に同期して、第1の端子から入力された印字データを第1の方向にシフトさせながらシリアルに入力し、切り換え信号が第2のレベルのとき、第2の端子から入力された印字データを第2の方向にシフトさせながらシリアルに入力するようにすることができる。

【0007】

【発明の実施の形態】

図1は、本発明のサーマルヘッドの一実施の形態の概略構成例を示すブロック図である。同図に示すように、サーマルヘッド100は、印字データをシリアルに入力して記憶し、記憶した印字データをパラレルに出力するシフトレジスタ21と、シフトレジスタ21から出力された印字データに従って印字を行う発熱体31-1乃至31-N（以下では、各発熱体31-1乃至31-Nを特に区別する必要がない場合、適宜単に発熱体31と記載する）等により構成されている。発熱体31の数はサーマルヘッド100の解像度によって異なるが、例えば2048個とすることができる。その場合、変数Nの値は2048となる。

【0008】

シフトレジスタ21には、印字データを左方向からシリアルに入力する左入力端子22と、シフトレジスタ21の全桁をパラレルにクリアするレジスタ全クリア端子23と、印字データを右方向からシリアルに入力する右入力端子24と、シフトレジスタ21に入力された印字データがシフトされる方向を切り換える切り換え端子25が設けられている。シフトレジスタ21に入力された印字データは、所定のタイミングでパラレルに出力され、発熱体31に供給されるようになっている。

【0009】

各発熱体31-1乃至31-Nは、シフトレジスタ21からパラレルに出力されたNドット分の印字データが入力されると、入力された印字データに応じて発熱し、所定の用紙に印字データを印字するようになっている。

【0010】

本実施の形態では、図2に示すように、レジスタ全クリア端子23に所定の電圧を印加して、シフトレジスタ21の全桁をクリアし、次に、左入力端子22または右入力端子24から印字データを入力する。このとき、シフトレジスタ21には、印字データの各ラインの先頭の黒のドットの部分までが入力される。

【0011】

図2（A）の場合、切り換え端子25には、左入力端子22から入力された印字データを右方向にシフトさせるための切り換え信号が入力され、シフトレジスタ21の全桁をクリアした後、7ドット目までの印字データが左入力端子22から入力される。図2（B）の

場合、シフトレジスタ 21 の全桁をクリアした後、8 ドット目までの印字データが左入力端子 22 から入力される。図 2 (C) の場合、切り換え端子 25 には、右入力端子 24 から入力された印字データを左方向にシフトさせるための切り換え信号が入力され、シフトレジスタ 21 の全桁をクリアした後、10 ドット目までの印字データが右入力端子 24 から入力される。

【0012】

図 3 (A) は、文字が紙面の中央から左寄りに印字される場合の印字データのビットマップイメージを示している。文字「A」、「B」、「C」は、左寄りに位置しているため、シフトレジスタ 21 の全桁をクリアした後、各ラインの左端から M 桁目までの印字データをシフトレジスタ 21 に左入力端子 22 からセットするだけでよい。図 3 (B) は、文字が紙面の中央から右寄りに印字される場合の印字データのビットマップイメージを示している。文字「A」、「B」、「C」は、右寄りに位置しているため、シフトレジスタ 21 の全桁をクリアした後、各ラインの右端から N 桁目までの印字データをシフトレジスタ 21 に右入力端子 24 からセットするだけでよい。

10

【0013】

図 4 および図 5 は、シフトレジスタ 21 の詳細な構成例を示すブロック図である。ここでは、説明を簡単にするために、シフトレジスタ 21 が 8 桁の場合について説明する。以下、図 4 および図 5 を参照して、シフトレジスタ 21 の構成および動作について説明する。なお、図 4 の信号線 L1 乃至 L6 は、図 5 の信号線 L1 乃至 L6 にそれぞれ接続されているものとする。同図に示すように、シフトレジスタ 21 は、左入力端子 22 と、レジスタ全クリア端子 23 と、右入力端子 24 と、切り換え端子 25 と、インバータ 201, 202, 244 と、バッファ 203, 245 と、AND ゲート 204, 205, 208, 209, 212, 213, 216, 217, 220, 221, 224, 225, 228, 229, 232, 233 と、OR ゲート 206, 210, 214, 218, 222, 226, 230, 234 と、フリップフロップ 207, 211, 215, 219, 223, 227, 231, 235 と、出力端子 236 乃至 243 と、クロック端子 26 と、左出力端子 27 と、右出力端子 28 とにより構成されている。

20

【0014】

クロック端子 26 からは所定のクロック信号が入力され、バッファ 245 を介してフリップフロップ 207, 211, 215, 219, 223, 227, 231, 235 にそれぞれ供給される。まず、シフトレジスタ 21 のレジスタ全クリア端子 23 から入力されたクリア信号がインバータ 244 を介してフリップフロップ 207, 211, 215, 219, 223, 227, 231, 235 にそれぞれ供給されると、各フリップフロップ 207, 211, 215, 219, 223, 227, 231, 235 はそれぞれリセットされて出力端子 Q からの出力信号 (Q 出力) がローレベルとなり、出力端子 /Q からの出力信号 (/Q 出力) がハイレベルとなる。ここで、文字「/」は、図 4、図 5 において、オーバー・バーに対応している。

30

【0015】

フリップフロップ 207 のローレベルの Q 出力は、AND ゲート 208 の一方の端子に入力され、フリップフロップ 211 のローレベルの Q 出力は、AND ゲート 205, 212 にそれぞれ入力され、フリップフロップ 215 のローレベルの Q 出力は、AND ゲート 209, 216 にそれぞれ入力され、フリップフロップ 219 のローレベルの Q 出力は、AND ゲート 213, 220 にそれぞれ入力され、フリップフロップ 223 のローレベルの Q 出力は、AND ゲート 217, 224 にそれぞれ入力され、フリップフロップ 227 のローレベルの Q 出力は、AND ゲート 221, 228 にそれぞれ入力され、フリップフロップ 231 のローレベルの Q 出力は、AND ゲート 225, 232 にそれぞれ入力され、フリップフロップ 235 のローレベルの Q 出力は、AND ゲート 229 に入力されるとともに、右出力端子 28 から出力される。

40

【0016】

次に、切り換え端子 25 からローレベルの切り換え信号が入力されると、インバータ 20

50

1を介してハイレベルの切り換え信号がANDゲート204, 208, 212, 216, 220, 224, 228, 232にそれぞれ入力される。また、インバータ201から出力されたハイレベルの切り換え信号は、インバータ202を介してローレベルの切り換え信号となり、ANDゲート205, 209, 213, 217, 221, 225, 229, 233にそれぞれ入力される。

【0017】

次に、左入力端子22から印字データに対応するローレベルまたはハイレベルの信号が入力されると、バッファ203を介してANDゲート204に入力される。ANDゲート204には、インバータ201からハイレベルの切り換え信号が入力されているので、ANDゲート204からは、左入力端子22から入力された印字データと同一のレベルの信号が出力される。また、ANDゲート205の2つの端子にはともにローレベルの信号が入力されているので、ANDゲート205の出力信号のレベルはローレベルとなる。ANDゲート204の出力と、ANDゲート205の出力とはORゲート206の入力となり、ORゲート206からは、ANDゲート204の出力信号のレベルと同一のレベルの信号が出力される。 10

【0018】

ORゲート206からの出力信号は、フリップフロップ207のD端子に入力され、クロック信号の立ち上がりと同時に、Q端子から出力される。Q端子から出力された信号は、ANDゲート208に入力される。ANDゲート208には、インバータ201からハイレベルの切り換え信号が入力されているので、ANDゲート208からは、フリップフロップ207のQ端子から出力された信号と同一のレベルの信号が出力される。また、ANDゲート209の2つの端子にはともにローレベルの信号が入力されているので、ANDゲート209の出力信号のレベルはローレベルとなる。ANDゲート208の出力と、ANDゲート209の出力とはORゲート210の入力となり、ORゲート210からは、ANDゲート208の出力信号のレベルと同一のレベルの信号が出力される。 20

【0019】

ORゲート210からの出力信号は、フリップフロップ211のD端子に入力され、クロック信号の立ち上がりと同時に、Q端子から出力される。Q端子から出力された信号は、ANDゲート212に入力される。また、このとき、フリップフロップ207のD端子には、次の印字データが入力される。 30

【0020】

以下同様にして、左入力端子22から入力された印字データが、順次右方向にシフトされながら、フリップフロップ207, 211, 215, 219, 223, 227, 231, 235に記憶される。各フリップフロップ207, 211, 215, 219, 223, 227, 231, 235に記憶された印字データは、クロック信号の立ち上がりと同時に出力端子236乃至243から出力される。このようにして、左入力端子22から印字データを必要なドット数分だけ入力し、出力することができる。また、フリップフロップ235のQ端子から出力された信号は、出力端子243から出力されるとともに、右出力端子28からも出力される。従って、右出力端子28より以降に、図5に示したような回路を必要な数だけ接続することにより、シフトレジスタ21を任意の桁数(N)に拡張することができる。 40

【0021】

次に、右入力端子24から入力された印字データが左方向にシフトされながらシフトレジスタ21に記憶される手順について説明する。まず、シフトレジスタ21のレジスタ全クリア端子23から入力されたクリア信号がインバータ244を介してフリップフロップ207, 211, 215, 219, 223, 227, 231, 235にそれぞれ供給されると、各フリップフロップ207, 211, 215, 219, 223, 227, 231, 235はそれぞれリセットされて出力端子Qからの出力信号(Q出力)がローレベルとなり、出力端子/Qからの出力信号(/Q出力)がハイレベルとなる。

【0022】

フリップフロップ 207 のローレベルの Q 出力は、AND ゲート 208 に入力され、フリップフロップ 211 のローレベルの Q 出力は、AND ゲート 205, 212 にそれぞれ入力され、フリップフロップ 215 のローレベルの Q 出力は、AND ゲート 209, 216 にそれぞれ入力され、フリップフロップ 219 のローレベルの Q 出力は、AND ゲート 213, 220 にそれぞれ入力され、フリップフロップ 223 のローレベルの Q 出力は、AND ゲート 217, 224 にそれぞれ入力され、フリップフロップ 227 のローレベルの Q 出力は、AND ゲート 221, 228 にそれぞれ入力され、フリップフロップ 231 のローレベルの Q 出力は、AND ゲート 225, 232 にそれぞれ入力され、フリップフロップ 235 のローレベルの Q 出力は、AND ゲート 229 に入力される。

【0023】

10

次に、切り換え端子 25 からハイレベルの切り換え信号が入力されると、インバータ 201 を介してローレベルの切り換え信号が AND ゲート 204, 208, 212, 216, 220, 224, 228, 232 にそれぞれ入力される。また、インバータ 201 から出力されたローレベルの切り換え信号は、インバータ 202 を介してハイレベルの切り換え信号となり、AND ゲート 205, 209, 213, 217, 221, 225, 229, 233 にそれぞれ入力される。

【0024】

次に、右入力端子 24 から入力された印字データに対応するローレベルまたはハイレベルの信号が、AND ゲート 233 に入力される。AND ゲート 233 には、インバータ 202 からハイレベルの切り換え信号が入力されているので、AND ゲート 233 からは、右入力端子 24 から入力された印字データと同一のレベルの信号が出力される。また、AND ゲート 232 には常にローレベルの切り換え信号が入力されているので、AND ゲート 232 の出力信号のレベルはローレベルとなる。AND ゲート 233 の出力と、AND ゲート 232 の出力とは OR ゲート 234 の入力となり、OR ゲート 234 からは、AND ゲート 233 の出力信号のレベルと同一のレベルの信号が出力される。

20

【0025】

OR ゲート 234 からの出力信号は、フリップフロップ 235 の D 端子に入力され、クロック信号の立ち上がりと同時に、Q 端子から出力される。Q 端子から出力された信号は、AND ゲート 229 に入力される。AND ゲート 229 には、インバータ 202 からのハイレベルの切り換え信号が入力されているので、AND ゲート 229 からは、フリップフロップ 235 の Q 端子から出力された信号と同一のレベルの信号が出力される。また、AND ゲート 228 の一方の端子には常にローレベルの切り換え信号が入力されているので、AND ゲート 228 の出力信号のレベルはローレベルとなる。AND ゲート 229 の出力と、AND ゲート 228 の出力とは OR ゲート 230 の入力となり、OR ゲート 230 からは、AND ゲート 229 の出力信号のレベルと同一のレベルの信号が出力される。

30

【0026】

OR ゲート 230 からの出力信号は、フリップフロップ 231 の D 端子に入力され、クロック信号の立ち上がりと同時に、Q 端子から出力される。Q 端子から出力された信号は、AND ゲート 225 に入力される。また、このとき、フリップフロップ 235 の D 端子には、次の印字データが入力される。

40

【0027】

以下同様にして、右入力端子 24 から入力された印字データが、順次左方向にシフトされながら、フリップフロップ 235, 231, 227, 223, 219, 215, 211, 207 に記憶される。各フリップフロップ 235, 231, 227, 223, 219, 215, 211, 207 に記憶された印字データは、クロック信号の立ち上がりと同時に出力端子 243 乃至 236 から出力される。このようにして、右入力端子 24 から必要なビット数分だけ印字データを入力し、出力することができる。

【0028】

このようなシフトレジスタ 21 からなるサーマルヘッド 100 をプリンタに用いる場合、例えば、図 3 (A) に示すように、印字データのビットマップイメージにおいて、印字す

50

べき文字等が左寄りになるとき、サーマルヘッド100のシフトレジスタ21の左入力端子22から、印字データの各ラインの左からM桁目（Mドット目）までを入力すればよい。Mの値はライン毎に異なる場合がある。また、図3（B）に示すように、印字データのビットマップイメージにおいて、印字すべき文字等が右寄りになるとき、サーマルヘッド100のシフトレジスタ21の右入力端子24から、印字データの各ラインの右からN桁目（Nドット目）までを入力すればよい。Nの値はライン毎に異なる場合がある。

【0029】

以上説明したように、本実施の形態は、印字データに応じて、必要なデータのみをサーマルヘッド100を構成するシフトレジスタ21の左入力端子22または右入力端子24からデータ転送方向を切り換えて入力することができるので、印字データによってはデータ転送量を削減することができる。また、データ転送量を削減することにより、クロック数を削減することができるので、クロックの寿命を延ばすことができる。また、データ転送量が減ることにより、1ライン分のデータ転送に要する時間を短くすることができ、印字速度を上げることができる。また、印字速度が速くなることにより、空いた時間を他の処理、例えば、センサを用いてインクリボンの有無を判断する処理等に割り当てることができる。他の処理の精度等を向上させることが可能となる。さらに、データ転送時間が短くなるため、印字速度を変えずに発熱体31に電圧を印加する時間を長くすることができる。

10

【0030】

なお、上記実施の形態の構成及び動作は例であって、本発明の趣旨を逸脱しない範囲で適宜変更することができることは言うまでもない。

20

【0031】

【発明の効果】

以上の如く、本発明に係るサーマルヘッドによれば、シフトレジスタの切り換え端子から入力された切り換え信号に応じて、第1の端子から印字データが入力されたとき、印字データが第1の方向にシフトされながらシリアルに入力され、第2の端子から印字データが入力されたとき、印字データが第1の方向とは逆の第2の方向にシフトされながらシリアルに入力されるようにしたので、印字データに応じて、印字データを第1の端子または第2の端子から必要なドット数だけ入力することができ、データ転送効率を上げることができる。

30

【図面の簡単な説明】

【図1】本発明のサーマルヘッドの一実施の形態の構成例を示す図である。

【図2】シフトレジスタに印字データをセットする手順を示す図である。

【図3】印字データに対応する印字レイアウトを示す図である。

【図4】シフトレジスタの構成例を示すブロック図である。

【図5】図4に続くシフトレジスタの構成例を示すブロック図である。

【符号の説明】

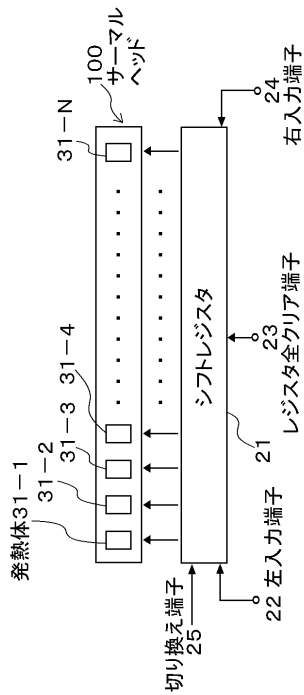
21 シフトレジスタ
 22 左入力端子
 23 レジスタ全クリア端子
 24 右入力端子
 25 切り換え端子
 26 クロック端子
 27 左出力端子
 28 右出力端子
 31-1乃至31-N 発熱体
 100 サーマルヘッド
 201, 202, 244 インバータ
 203, 245 バッファ
 204, 205, 208, 209, 212, 213, 216, 217, 220, 221, 224, 225, 228, 229, 232, 233 ANDゲート

40

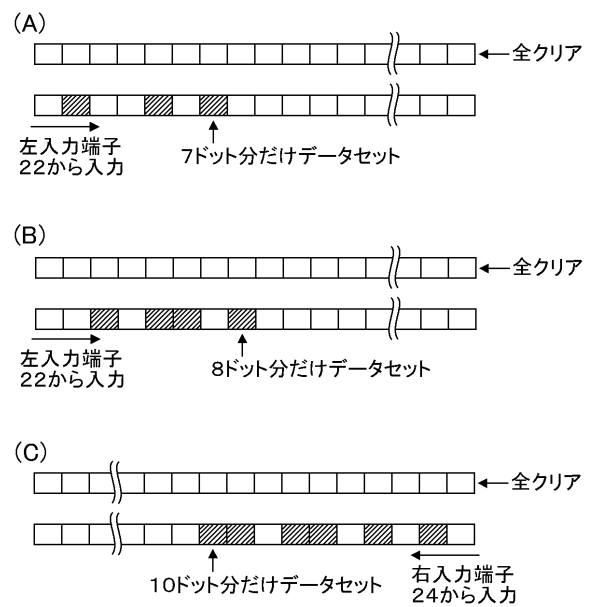
50

206, 210, 214, 218, 222, 226, 230, 234 ORゲート
 207, 211, 215, 219, 223, 227, 231, 235 フリップフロップ
 236乃至243 出力端子

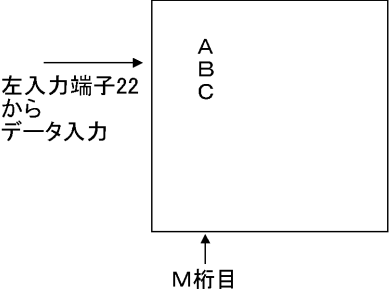
【図1】



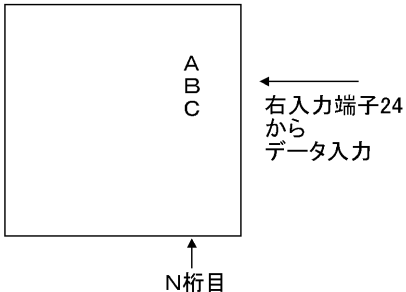
【図2】



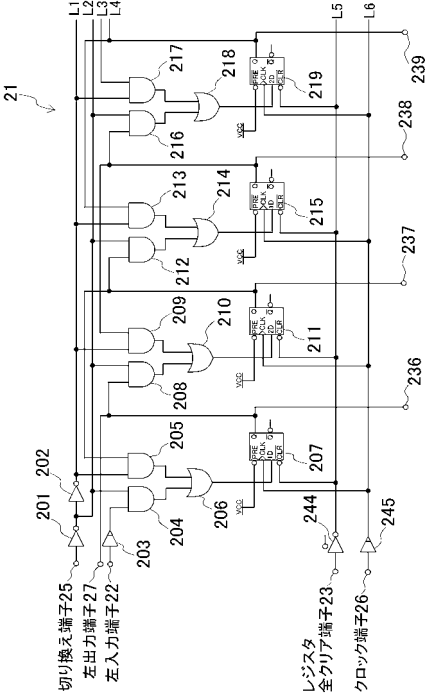
【図 3】
(A) データが左に寄った例



(B) データが右に寄った例



【図 4】



【図 5】

