

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-201665

(P2017-201665A)

(43) 公開日 平成29年11月9日(2017.11.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 S	3 K 1 0 7
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 0 4 8
HO 1 L 27/06 (2006.01)	HO 1 L 29/78 6 1 2 B	5 F 1 1 0
HO 1 L 51/50 (2006.01)	HO 1 L 27/06 1 0 2 A	
HO 1 L 27/08 (2006.01)	HO 1 L 29/78 6 1 6 V	

審査請求 未請求 請求項の数 16 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2016-93071 (P2016-93071)
 (22) 出願日 平成28年5月6日 (2016.5.6)

(71) 出願人 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110000350
 ポレール特許業務法人
 (72) 発明者 山口 陽平
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内
 (72) 発明者 鈴木 功
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内
 (72) 発明者 三宅 秀和
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内

最終頁に続く

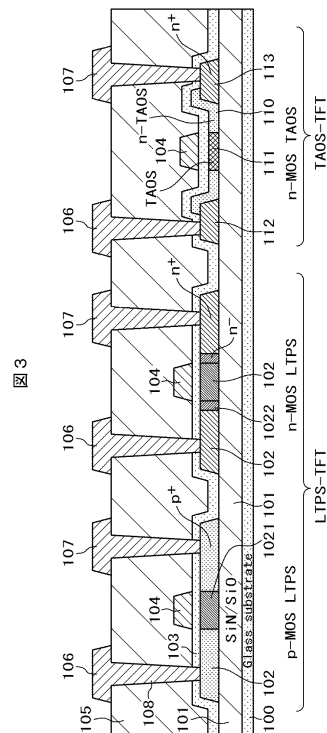
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】同一基板内にLTPS TFTとTAOS TFTを形成することを可能とする。

【解決手段】画素が形成された表示領域を有する基板を含む表示装置であって、前記画素はTAOSを用いた第1のTFTを含み、前記第1のTFTのドレインには第1のLTPS 112が形成され、前記第1のTFTのソースには第2のLTPS 113が形成され、前記第1のLTPS 112は、前記第1のTFTを覆う絶縁膜105に形成された第1のスルーホール108を介して第1の電極106と接続し、前記第2のLTPS 113は、前記第2のTFTを覆う絶縁膜に形成された第2のスルーホール108を介して第2の電極107と接続していることを特徴とする表示装置。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

画素が形成された表示領域を有する基板を含む表示装置であって、
前記画素は酸化物半導体を用いた第 1 の T F T を含み、
前記第 1 の T F T のドレインには第 1 のポリシリコンが形成され、
前記第 1 の T F T のソースには第 2 のポリシリコンが形成され、
前記第 1 のポリシリコンは、前記第 1 の T F T を覆う絶縁膜に形成された第 1 のスルーホールを介して第 1 の電極と接続し、
前記第 2 のポリシリコンは、前記第 1 の T F T を覆う絶縁膜に形成された第 2 のスルーホールを介して第 2 の電極と接続していることを特徴とする表示装置。

10

【請求項 2】

前記基板は、前記表示領域の外側に駆動回路を含み、前記駆動回路はポリシリコンによる第 2 の T F T を含むことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記第 1 の T F T は、n - M O S T F T であることを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記第 2 の T F T は、n - M O S T F T と p - M O S T F T を含むことを特徴とする請求項 2 に記載の表示装置。

【請求項 5】

前記表示領域は、さらに、第 2 の T F T を有することを特徴とする請求項 1 に記載の表示装置。

20

【請求項 6】

前記駆動回路は、さらに、第 1 の T F T を含むことを特徴とする請求項 2 に記載の表示装置。

【請求項 7】

前記表示装置は液晶表示装置であることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の表示装置。

【請求項 8】

前記表示装置は有機 E L 表示装置であることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の表示装置。

30

【請求項 9】

画素が形成された表示領域を有する基板を含む表示装置であって、
前記画素は酸化物半導体を用いた第 1 の T F T を含み、
前記第 1 の T F T のドレインには第 1 のポリシリコンが形成され、
前記第 1 の T F T のソースには第 2 のポリシリコンが形成され、
前記第 1 のポリシリコンは、前記第 1 の T F T を覆う絶縁膜に形成された第 1 のスルーホールを介して第 1 の電極と接続し、
前記第 2 のポリシリコンは、前記第 2 の T F T を覆う絶縁膜に形成された第 2 のスルーホールを介して第 2 の電極と接続しており、
前記第 1 の L T P S と前記酸化物半導体は p n 接合をしているか、
前記第 2 の L T P S と前記酸化物半導体は p n 接合していることを特徴とする表示領域。

40

【請求項 10】

前記基板は、前記表示領域の外側に駆動回路を含み、前記駆動回路はポリシリコンによる第 2 の T F T を含むことを特徴とする請求項 9 に記載の表示装置。

【請求項 11】

前記第 1 の T F T は、n - M O S T F T であることを特徴とする請求項 9 に記載の表示装置。

【請求項 12】

50

前記第2のTFTは、n-MOS TFTとp-MOS TFTを含むことを特徴とする請求項10に記載の表示装置。

【請求項13】

前記表示領域は、さらに、第2のTFTを有することを特徴とする請求項9に記載の表示装置。

【請求項14】

前記駆動回路は、さらに、第1のTFTを含むことを特徴とする請求項10に記載の表示装置。

【請求項15】

前記表示装置は液晶表示装置であることを特徴とする請求項9乃至14のいずれか1項に記載の表示装置。 10

【請求項16】

前記表示装置は有機EL表示装置であることを特徴とする請求項9乃至14のいずれか1項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置に係り、ポリシリコン：Poly-Siを用いたTFTと酸化物半導体を用いたTFTの両者による、ハイブリッド構造を用いた表示装置に関する。

【背景技術】

【0002】

液晶表示装置では画素電極および薄膜トランジスタ(TFT)等を有する画素がマトリクス状に形成されたTFT基板と、TFT基板に対向して対向基板が配置され、TFT基板と対向基板の間に液晶が挟持されている構成となっている。そして液晶分子による光の透過率を画素毎に制御することによって画像を形成している。

【0003】

LTPS(Low Temperature Poly-Si)は移動度が高いので、駆動回路用TFTとして適している。一方、酸化物半導体は、OFF抵抗が高く、これをTFTに用いるとOFF電流を小さくすることが出来る。

【0004】

LTPSによるTFTと酸化物半導体によるTFTを同じ基板に形成するには、種々克服すべき課題がある。特許文献1には、LTPSによるTFTと酸化物半導体を用いたTFTを同一基板に形成するための構成が記載されている。特許文献1では、ドーパされたLTPSを酸化物半導体のゲートとして使用する構成が記載されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】WO2015/194419

【発明の概要】

【発明が解決しようとする課題】

【0006】

画素のスイッチングとして用いられるTFTは、リーク電流が小さいことが必要である。透明酸化物半導体によるTFTは、リーク電流を小さくすることが出来る。以後透明酸化物半導体をTAOS(Transparent Amorphous Oxide Semiconductor)と呼ぶ。TAOSには、IGZO(Indium Gallium Zinc Oxide)、ITZO(Indium Tin Zinc Oxide)、ZnON(Zinc Oxide Nitride)、IZO(Indium Zinc Oxide)、IGO(Indium Gallium Oxide)、ZnO(Zinc Oxide)等がある。しかしTAOSはキャリアの移動度が小さいので、表示装置内に内蔵する駆動回路を、TAOSを用いたTFTで形成することは難しい場 40 50

合がある。以後T A O Sは、T A O Sを用いたT F Tの意味でも使用する。

【0007】

一方、L T P Sで形成したT F Tは移動度が大きいので、駆動回路をL T P Sを用いたT F Tで形成することが出来る。以後L T P Sは、L T P Sを用いたT F Tの意味でも使用する。しかし、L T P Sを画素におけるスイッチングT F Tとして使用する場合には、L T P Sはリーク電流が大きいので、通常は、2個のL T P Sを直列にして使用する。

【0008】

そこで、表示領域における画素のスイッチング素子としてT A O Sを用い、周辺駆動回路のT F TにL T P Sを用いれば、合理的である。しかし、L T P SとT A O Sでは、材料の性質が異なるために、同一基板に形成するには課題がある。すなわち、L T P Sにソース電極とドレイン電極を形成する場合、表面酸化物を除去するためにL T P Sを佛酸(H F)洗浄する必要があるが、T A O Sは佛酸(H F)によって溶解してしまうので、同じプロセスを用いることが出来ない。

10

【0009】

本発明は、このような課題を解決することによって、L T P SによるT F TをT A O SによるT F Tと同じ基板に形成することを可能にすることである。

【課題を解決するための手段】

【0010】

本発明は上記問題を克服するものであり、具体的な手段は次のとおりである。

【0011】

(1)画素が形成された表示領域を有する基板を含む表示装置であって、前記画素は酸化半導体を用いた第1のT F Tを含み、前記第1のT F Tのドレインには第1のポリシリコンが形成され、前記第1のT F Tのソースには第2のポリシリコンが形成され、前記第1のポリシリコンは、前記第1のT F Tを覆う絶縁膜に形成された第1のスルーホールを介して第1の電極と接続し、前記第2のポリシリコンは、前記第1のT F Tを覆う絶縁膜に形成された第2のスルーホールを介して第2の電極と接続していることを特徴とする表示装置。

20

【0012】

(2)前記基板は、前記表示領域の外側に駆動回路を含み、前記駆動回路はポリシリコンによる第2のT F Tを含むことを特徴とする(1)に記載の表示装置。

30

【0013】

(3)前記第1のポリシリコンと前記酸化半導体はp n接合をしているか、前記第2のポリシリコンと前記酸化半導体はp n接合していることを特徴とする(1)に記載の表示装置。

【図面の簡単な説明】

【0014】

【図1】液晶表示装置の平面図である。

【図2】図1のA - A断面図である。

【図3】本発明によるT F T構造を示す断面図である。

【図4】基板に下地膜とa - S iを形成した状態を示す断面図である。

40

【図5】a - S iをレーザによりP o l y - S iに変換した状態を示す断面図である。

【図6】P o l y - S i層をパターンングした状態を示す断面図である。

【図7】P (燐)をイオンインプランテーションしている状態を示す断面図である。

【図8】T A O Sを形成した状態を示す断面図である。

【図9】ゲート絶縁膜を形成し、その上にゲート電極を形成した状態を示す断面図である。

。

【図10】P (燐)をイオンインプランテーションしている状態を示す断面図である。

【図11】B (ボロン)をイオンインプランテーションしている状態を示す断面図である。

。

【図12】層間絶縁膜を形成した状態を示す断面図である。

50

【図13】本発明によるTFTの平面図である。

【図14】実施例2によるTFTの断面図である。

【図15】B(ボロン)をイオンインプラントしている状態を示す断面図である。

【図16】層間絶縁膜を形成した状態を示す断面図である。

【図17】液晶表示装置の断面図である。

【図18】本発明を液晶表示装置に適用した他の形態を示す断面図である。

【図19】有機EL表示装置の平面図である。

【図20】図19のB-B断面図である。

【図21】有機EL表示装置の断面図である。

【発明を実施するための形態】

【0015】

以下、実施例によって本発明の内容を詳細に説明する。

【実施例1】

【0016】

図1は、本発明が適用される液晶表示装置の平面図である。図2は、図1のA-A断面図である。図1および図2において、TFT基板100と対向基板200が対向して形成され、TFT基板100と対向基板200の間に液晶が挟持されている。TFT基板100の下には下偏光板130が貼り付けられ、対向基板200の上側には上偏光板230が貼り付けられている。TFT基板100、対向基板200、下偏光板130、上偏光板230の組み合わせを液晶表示パネル500と呼ぶ。

【0017】

TFT基板100は対向基板200よりも大きく形成され、TFT基板100が1枚になっている部分が端子部150となっており、液晶表示装置に外部から信号や電力を供給するためのフレキシブル配線基板130が接続される。液晶表示パネル500は自身では発光しないので、背面にバックライト400が配置している。

【0018】

液晶表示装置は図1に示すように、表示領域10と周辺領域20に分けることができる。表示領域には多数の画素がマトリクス状に形成され、各画素はスイッチングTFTを有している。周辺領域には、走査線、映像信号線等を駆動するための、駆動回路が形成されている。

【0019】

画素に使用されるTFTは、リーク電流が小さいことが必要なので、TAOSを用い、周辺駆動回路に使用されるTFTは移動度が大きい必要があるため、LTFSを使用することが合理的である。LTFS工程において、LTFSとドレイン電極あるいはソース電極を接続する場合は、LTFSを覆っている絶縁膜にスルーホールを形成し、かつ、スルーホールにおけるLTFSの表面酸化物を除去するために佛酸(HF)洗浄する必要がある。

【0020】

しかし、同じプロセスを、TAOSを用いたTFTに適用するとTAOSが佛酸(HF)に溶けてしまい、TFTを形成することが出来ない。したがって、同一基板にLTFSによるTFTとTAOSによるTFTを形成するためには、この問題を解決しなければならない。図3はこの問題を解決する本発明の構成を示すものである。図4乃至図12は、図3の構成を実現するためのプロセスである。

【0021】

図3において、同一基板100上にLTFSによるTFTとTAOSによるTFTが形成されている。LTFSによるTFTは周辺駆動回路に使用される。LTFSによるTFTはp-MOSとn-MOSを含んでいる。一方、TAOSによるTFTは表示領域の画素のスイッチングとして使用される。

【0022】

10

20

30

40

50

本発明の特徴はTAOSによるTFTの構造にある。すなわち、画素電極あるいは、映像信号線と接続するために、TFTの上に形成された層間絶縁膜105にスルーホール108を形成する必要がある。本発明においては、TAOS110で形成されたTFTで、このスルーホール108において接続する材料は、TAOS110ではなく、LTPS112あるいはLTPS113である。これによってスルーホールを佛酸(HF)洗浄する時も、佛酸(HF)は、TAOSとは接触しないので、TAOSによるTFTが佛酸(HF)によって破壊されることは無い。

【0023】

図3に示す本発明の構成を実現するプロセスを図4乃至図12によって説明する。図4において、ガラスで形成されたTFT基板100の上に、下地膜101がSiNx(SiNxはSiNの場合もある)およびSiOx(SiOxはSiO₂の場合もある)で形成される。下地膜101はガラス基板からの不純物がTFTを構成する半導体層を汚染することを防止することである。SiNxは例えば50nm、SiOxは例えば300nmである。下地膜101の上にアモルファス(非晶質)シリコン:a-Si115が形成される。SiNx、SiOx、a-SiはCVDによって連続して形成される。a-Siは、厚さ50nm程度で形成される。その後、図5に示すように、エキシマレーザを照射することによって、a-Si115をLTPS102に変換する。

10

【0024】

その後、図6に示すように、フォトリソグラフィによって、LTPSのアイランドを形成する。TFTは、LTPSによるp-MOS TFT(以後p-MOS LTPS)、LTPSによるn-MOS TFT(以後n-MOS LTPS)、TAOSによるn-MOS TFT(以後n-MOS TAOS)の3種類のTFTが形成される。本発明は、TAOS TFTのドレイン電極およびソース電極にLTPSを使用するので、LTPSのパターニングでは、n-MOS TAOSのドレイン電極、ソース電極も同時に形成する。

20

【0025】

その後、p-MOS LTPS全体と、n-MOS TAOSのチャネル部にレジスト50を形成し、イオンインプランテーションによってP(燐)をドーブし、レジストで覆われた以外の部分をn+に変換する。これによってn-MOS LTPSおよびn-MOS TAOSのドレインおよびソースが形成される。

30

【0026】

その後、図8に示すように、n-MOS TAOS TFT部分にTAOS110を形成する。TAOSは例えば、10nm~100nmの範囲で形成される。TAOSの材料としては、例えば、IGZO、ITZO、ZnON、IZO、IGO、ZnO等が挙げられる。その後、図9に示すように、ゲート絶縁膜103を形成する。ゲート絶縁膜103はTEOS(テトラエトキシシラン)を原料にしてCVDによって形成したSiOx(SiO₂)である。ゲート絶縁膜103の上にゲート電極104を形成する。

【0027】

その後、図10に示すように、ゲート電極104をマスクにしてP(燐)をイオンインプランテーションによってドーブする。これによってp-MOS LTPSのドレインおよびソースをn-で形成する。n-MOS LTPSのドレインおよびソースはn+に変換される。また、n-MOS LTPSにおいて、レジスト50で覆われていたが、ゲート電極104で覆われていない部分はn-となる。この層はチャネル1021の両側に形成される。この層はLDD1022(Light Doped Drain)とよばれ、チャネルとソースあるいはドレインとの電界強度を緩和して、この部分における絶縁破壊を防止する。図10のn-MOS TAOSにおいて、ゲート電極104で覆われていない部分のTAOSは、P(燐)ドーブによってn-TAOSとなり、導電性が付与される。

40

【0028】

その後、図11に示すように、n-MOS LTPSおよびn-MOS TAOSをレジ

50

スト50で覆い、p-MOS LTPSに、ゲート電極104をマスクとして、イオンインプラネーションによってB(ボロン)をドーピングする。これによってp-MOSのドレインおよびソースをp+に変換し、十分な導電性を与える。

【0029】

その後、レジスト50を剥離し、図12に示すように、各TFTを覆って層間絶縁膜105を形成する。層間絶縁膜105はSiNxをCVDによって形成したものである。

【0030】

図3に戻り、その後、層間絶縁膜105にスルーホール108を形成する。このスルーホールにドレイン電極106とソース電極107を形成する。ドレイン電極106は例えば映像信号線と接続し、ソース電極107は例えば画素電極と接続する。ドレイン電極106およびソース電極107は、例えば、Ti-Al合金-Tiの三層で形成される。TiはAl合金からのヒロック等を防止するためである。Tiの代わりにMo、あるいはWの合金が使用される場合もある。

10

【0031】

スルーホール108を形成した後、ドレイン電極106およびソース電極107を形成する前に、LTPSの表面酸化膜を除去するために佛酸(HF)洗浄を行う。ところが、TAOSは佛酸(HF)に溶解するので、従来は、LTPSのTFTとTAOSのTFTは並行して形成することはできなかった。これに対して本発明では、TAOS TFTのドレインおよびソースにそれぞれ、LTPS 112およびLTPS 113を形成し、この部分にスルーホールを対応させているので、佛酸(HF)によってドレインおよびソースが溶解されることが無い。

20

【0032】

このように、本発明によれば、LTPSによるTFTとTAOSによるTFTを同一基板上に並行して形成することが出来るので、画素領域に適したTFT、駆動回路に適したTFTを同時に形成することが出来る。

【0033】

図13は、図3に対応する各TFTの平面図である。図13において左側から、p-MOS LTPS、n-MOS LTPS、n-MOS TAOSである。n-MOS TAOSにおいても、スルーホールの部分にはLTPSが形成されているので、p-MOS LTPS、n-MOS LTPSと同じプロセスでスルーホールを形成することが出来る。

30

【実施例2】

【0034】

図14は本発明の実施例2を示す断面図である。図14が図13と異なる点は、図14のn-MOS TAOSにおけるドレイン電極112の部分である。n-MOS TAOSのドレインを構成するLTPS 112はp+となっているのに対して、TAOS 110の部分はn-となっている。したがって、TAOSとドレインを構成するLTPSとの間にはpn接合によるダイオードが形成されている。

【0035】

このダイオードによって、リーク電流を防止することが出来る。液晶表示装置の画素領域では、TFTのソースとドレインは定期的に入れ替わる。したがって、映像信号が+のときと-のときのいずれかにおいて、リーク電流が阻止される。つまり、pn接合によってリーク電流を半分にすることが出来る。

40

【0036】

一方、有機EL表示装置は、映像信号の符号が入れ替わることは無い。したがって、図14のn-MOS TAOSのドレインあるいはソースのいずれかにpn接合を形成して、リーク電流を大幅に低下させることができる。

【0037】

図15及び図16は、図14の構造を実現するためのプロセスの例である。本実施例において、ガラス基板100の上に下地膜101とa-Si 115を形成(図4)し、a-SiをレーザアニールによってPoly-Siに変換し、TAOSを形成し、ゲート絶縁

50

膜103の上にゲート電極104を形成して、P(燐)をイオンインプランテーションするまでは、実施例1における図4乃至図10と同じである。

【0038】

図15はn-MOS LTPSとn-MOS TAOSにレジスト50をかぶせ、p-MOS LTPSのドレインとソースにB(ボロン)をイオンインプランテーションするものである。図15が実施例1の図11と異なる点は、n-MOS TAOSのドレインを構成するLTPS112の部分はレジストで覆わず、イオンインプランテーションによってLTPSドレイン112をp+にしている点である。これによって、LTPSドレイン112とTAOS110との間にpn接合が形成される。

【0039】

その後、図16に示すように、各TFTを覆って層間絶縁膜105が形成される。その後、層間絶縁膜105にスルーホール108を形成し、スルーホール108を佛酸(HF)洗浄し、ドレイン電極106とソース電極107を形成することは実施例1と同様である。本実施例においても、スルーホール108が形成される部分には、n-MOS TAOSにおいてもLTPSとなっているので、スルーホール108においてTAOS110が溶解することは無い。

【0040】

以上の説明では、n-MOS TAOSにおいて、LTPSドレイン112側にpn接合を形成したが、逆に、LTPSソース113側にpn接合を形成しても良い。このように、本実施例によれば、リーク電流が小さい、かつ、信頼性の高いTAOS TFTを形成することが出来る。

【実施例3】

【0041】

図17は、実施例1および2で説明した、n-MOS TAOSによるTFTを表示領域に適用した場合を示す断面図である。図17において、TFT基板100の上にTFTアレイ層120が形成されている。TFTアレイ層120は図3あるいは図14で示すTAOS TFTの層構造を有しており、その上に有機パッシベーション膜が形成されている。

【0042】

図17はIPS方式の液晶表示装置の場合であり、TFTアレイ層120の上にコモン電極121が平面状に形成されている。コモン電極121を覆って容量絶縁膜122が形成され、その上に画素電極123が形成されている。画素電極123は、櫛歯状あるいはストライプ状である。画素電極123を覆って液晶分子301を初期配向させるための配向膜が形成されている。

【0043】

画素電極123とコモン電極121の間に映像信号が印加されると、矢印で示すように電気力線が発生し、液晶分子301を回転させて液晶層300の透過率を制御することによって、画像を形成する。

【0044】

図17において液晶層300を挟んで対向基板200が配置している。対向基板200にはカラーフィルタ201とブラックマトリクス202が形成されている。カラーフィルタ201とブラックマトリクス202を覆ってオーバーコート膜203が形成され、その上に液晶分子301を初期配向させるための配向膜124が形成されている。

【0045】

図18は、図17のTFTアレイ層120の他の例である。図18では、画素のスイッチングTFTとして、LTPS TFTとTAOS TFTが直列接続されたものが使用されている。図18において、左側がLTPS TFTであり、右側がTAOS TFTである。

【0046】

図18において、TFTを覆って有機パッシベーション膜109が形成されている。有

10

20

30

40

50

機パッシベーション膜 109 の上にコモン電極 121 が平面状に形成され、これを覆って容量絶縁膜 122 が形成されている。容量絶縁膜 122 の上に画素電極 123 が櫛歯状あるいはストライプ状に形成されている。

【0047】

図 18 において、画素電極 123 は有機パッシベーション膜 109 および容量絶縁膜 122 に形成されたスルーホール 140 を介して T A O S T F T から延在したソース電極 107 と接続している。本発明によれば、L T P S T F T と T A O S T F T とで、共通のプロセスを使用することが出来るので、目的に応じて、図 18 に示すように、L T P S T F T と T A O S T F T の様々な組み合わせを行うことが出来る。

【0048】

液晶表示装置において、画素電極 123 に映像信号が書き込まれると、画素電極 123 とコモン電極 121 と容量絶縁膜 122 によって形成される保持容量によって、1 フレームの間、電圧が保持される。この時 T F T のリーク電流が大きいと、画素電極 123 の電圧が変化し、フリッカ等が発生して、良好な画像を形成できなくなる。本発明の T A O S T F T を用いることによって、リーク電流が小さい、良好な画像を有する液晶表示装置を実現することが出来る。

【実施例 4】

【0049】

実施例 1 および 2 で説明した L T P S T F T と T A O S T F T の組み合わせは、有機 E L 表示装置にも適用することが出来る。図 19 は、有機 E L 表示装置 2 の平面図である。図 19 において、表示領域 10 と周辺回路領域 20 が形成されている。表示領域 10 には、有機 E L 駆動 T F T やスイッチング T F T が形成されている。スイッチング T F T には、リーク電流の小さい T A O S T F T が好適である。周辺駆動回路は T F T によって形成されるが、主に、L T P S T F T が用いられる。

【0050】

図 19 において、表示領域 10 を覆って反射防止用偏光板 220 が貼り付けられている。有機 E L 表示装置には反射電極が形成されているので、外光反射を抑えるために偏光板 220 が使用されている。表示領域 20 以外の部分に端子部 150 が形成され、端子部 150 には有機 E L 表示装置に電源や信号を供給するためのフレキシブル配線基板 160 が接続している。

【0051】

図 20 は図 19 の B - B 断面図である。図 20 において、T F T 基板 100 に有機 E L 層を含む表示素子層 210 が形成されている。表示素子層 210 は図 19 の表示領域 10 に対応して形成されている。有機 E L 材料は水分によって分解するので、外部からの水分の侵入を防止するために、表示素子層 210 を覆って保護層 215 が S i N x 等によって形成されている。保護層 215 の上に偏光板 220 が貼り付けられている。また、表示素子層 215 以外の部分には端子部 150 が形成され、端子部 150 にフレキシブル配線基板 160 が接続している。

【0052】

図 21 は有機 E L 表示装置の表示領域の断面図である。図 21 において、T F T 基板 100 の上に T F T アレイ層 120 が形成されている。T F T アレイ層 120 は図 3 あるいは図 14 で示す T A O S T F T の層構造を含むものであり、その上に有機パッシベーション膜 109 が形成されている。

【0053】

図 21 において、T F T アレイ層 120 の上に反射電極 211 が A l 合金等によって形成され、その上に下部電極 212 が I T O 等によって形成されている。下部電極 212 の上には、有機 E L 層 213 が形成されている。有機 E L 層 213 は、例えば電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層等で形成される。有機 E L 層 213 の上には、カソードとしての上部電極 214 が形成される。上部電極 214 は、透明導電膜である I Z O (I n d i u m Z i n c O x i d e)、I T O (I n d i u m T i n

10

20

30

40

50

Oxide)等によって形成されるほか、銀等の金属の薄膜で形成される場合もある。上部電極213を覆って保護膜215がSiNx等によって形成され、保護膜215には反射を防止するための偏光板220が粘着材216によって接着している。

【0054】

TFTアレイ層には、駆動TFT、スイッチングTFT等の種々のTFTが形成されるが、本発明を用いることによって、LTFS TFTとTAOS TFTを共通のプロセスで形成できるので、LTFS TFTとTAOS TFTの種々の組み合わせを用いることが出来るため、画像品質の優れた、かつ、消費電力を小さくすることができる有機EL表示装置を実現することが出来る。

【0055】

実施例1及び2で説明した、本発明におけるLTFSによるTFTは、n-MOS TFTとp-MOS TFTのペアであるとして説明したが、これに限る必要ななく、製品仕様の要求、製造プロセスの要求等からn-MOSあるいはp-MOSのいずれかのTFTでもよい。

【0056】

また、以上の説明では、TAOS TFTを表示領域に使用し、LTFS TFTを周辺駆動回路に使用するとして説明したが、製品仕様に応じて、周辺回路にTAOS TFTを加えても良いし、表示領域にLTFS TFTを加えても良い。

【0057】

また、実施例1及び2で説明した、本発明におけるTAOSによるTFTは、n-MOSとして説明したが、これに限らず、p-MOSのTAOSとすることも出来る。いずれにせよ、ドレインあるいはソースにLTFSを用いることによって、製造プロセスをLTFS TFTの場合と共通にすることが出来る。

【符号の説明】

【0058】

1...液晶表示装置、 2...有機EL表示装置、 10...表示領域、 20...周辺回路領域、 50...レジスト、 100...TFT基板、 101...下地膜、 102...LTFS半導体層、 103...ゲート絶縁膜、 104...ゲート電極、 105...層間絶縁膜、 106...ドレイン電極、 107...ソース電極、 108...スルーホール、 109...有機パッシベーション膜、 110...TAOS層、 111...チャンネル層、 112...LTFSドレイン、 113...LTFSソース、 115...a-Si半導体、 120...TFTアレイ層、 121...コモン電極、 122...容量絶縁膜、 123...画素電極、 124...配向膜、 130...下偏光板、 140...スルーホール、 150...端子部、 160...フレキシブル配線基板、 200...対向基板、 201...カラーフィルタ、 202...ブラックマトリクス、 203...オーバーコート膜、 210...表示素子層、 211...反射電極、 212...下部電極、 213...有機EL層、 214...上部電極、 215...保護層、 216...粘着材、 220...反射防止用偏光板、 230...上偏光板、 300...液晶層、 301...液晶分子、 400...バックライト、 500...液晶表示パネル、 1021...LTFSチャンネル層、 1022...LD層

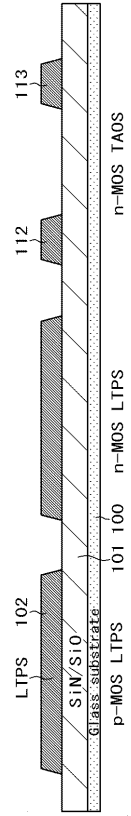
10

20

30

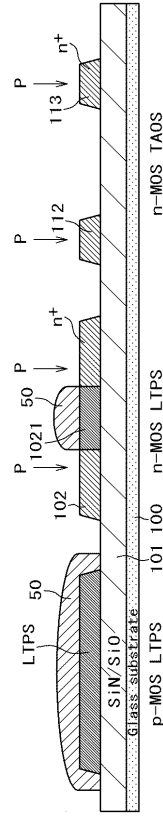
【 図 6 】

図 6



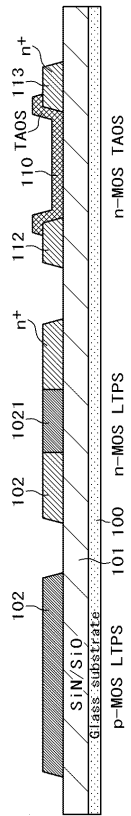
【 図 7 】

図 7



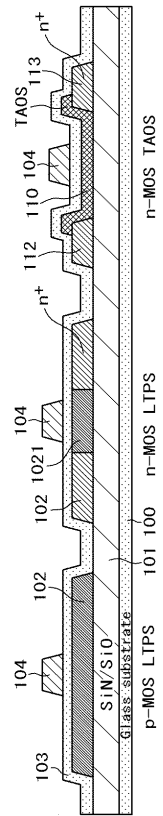
【 図 8 】

図 8



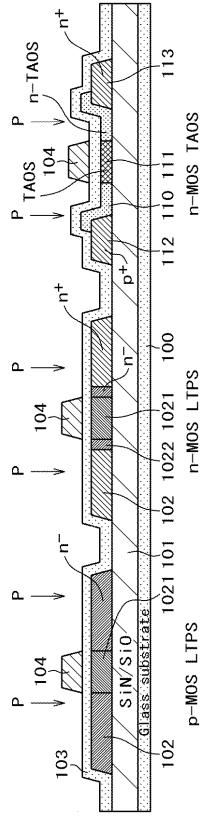
【 図 9 】

図 9



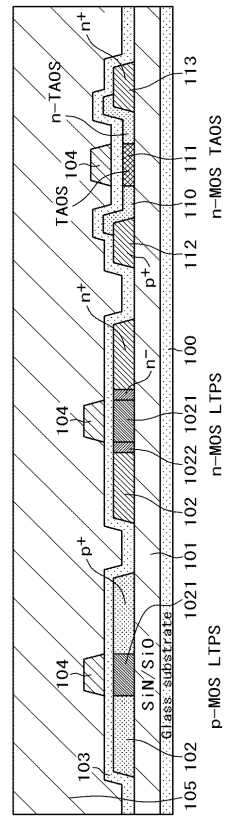
【 10 】

図 10



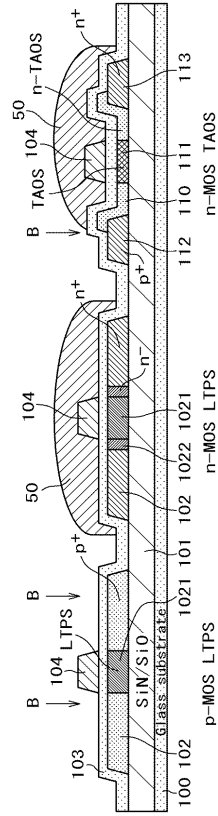
【 12 】

図 12



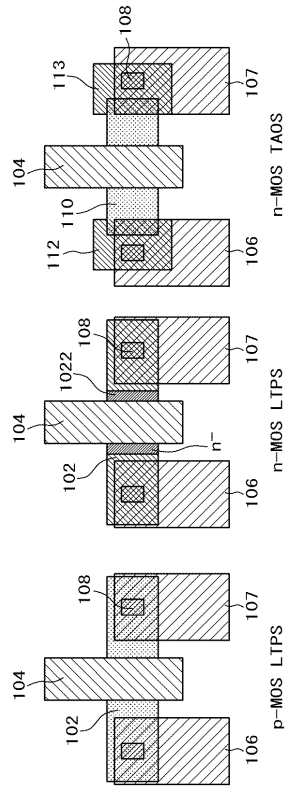
【 11 】

図 11



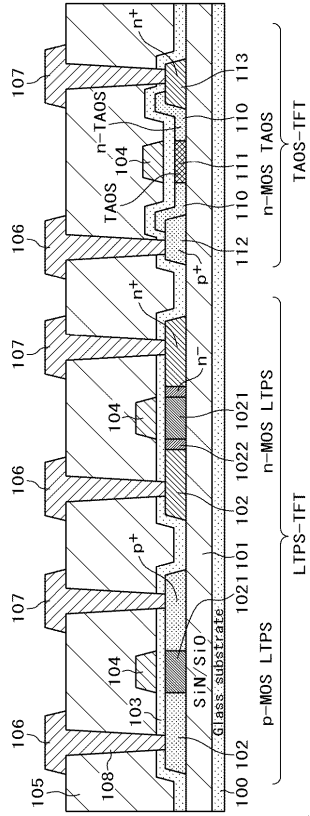
【 13 】

図 13



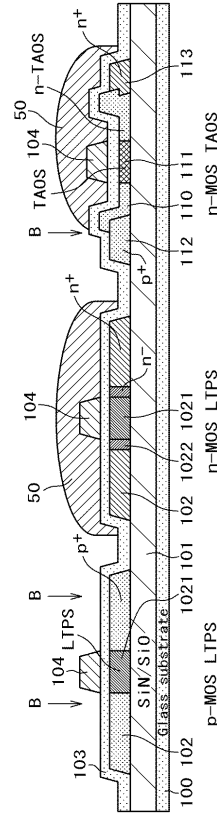
【 図 1 4 】

図 1 4



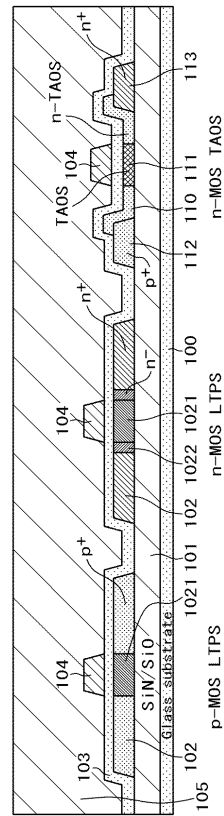
【 図 1 5 】

図 1 5



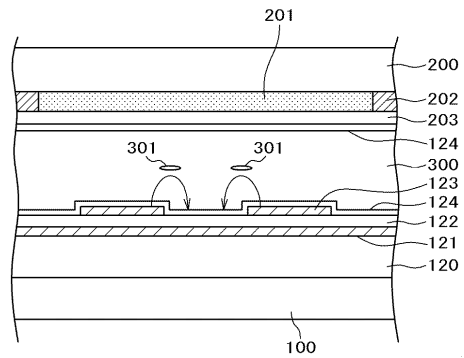
【 図 1 6 】

図 1 6

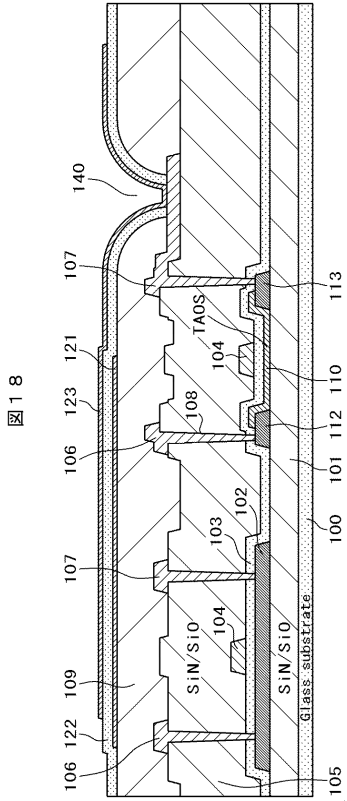


【 図 1 7 】

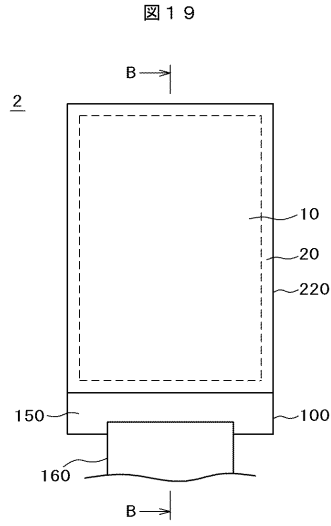
図 1 7



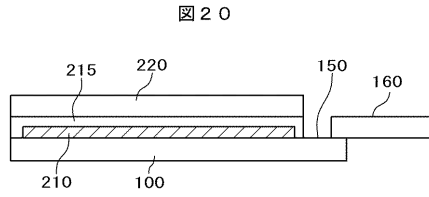
【 図 1 8 】



【 図 1 9 】

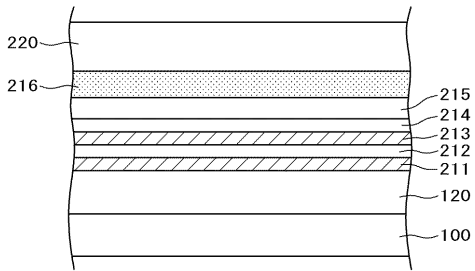


【 図 2 0 】



【 図 2 1 】

図 2 1



 フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 27/088 (2006.01)	H 0 5 B 33/14	A
	H 0 1 L 27/08	3 3 1 E
	H 0 1 L 27/08	1 0 2 A

Fターム(参考)	3K107	AA01	BB01	CC11	CC21	EE04	HH04								
	5F048	AC01	AC03	BA01	BA14	BA16	BC06	BC16	BC18	BF04	BF07				
			BF16												
	5F110	AA06	BB01	BB04	CC02	CC06	DD02	DD13	DD14	DD17	DD24				
		FF02	FF29	GG01	GG02	GG13	GG25	HJ01	HJ13	HJ30	HK09				
		HK14	HK25	HL04	HL06	HL12	HM07	HM15	HM17	NN02	NN03				
		NN23	NN24	NN27	NN35	NN71	NN72	NN78	PP03	QQ09	QQ11				