



# [12] 发明专利申请公开说明书

[21] 申请号 03103197.8

[43] 公开日 2004年8月18日

[11] 公开号 CN 1521634A

[22] 申请日 2003.2.11 [21] 申请号 03103197.8

[71] 申请人 连邦科技股份有限公司

地址 台湾省新竹科学园区园区二路40号2楼

[72] 发明人 崔开平 梅林天

[74] 专利代理机构 中原信达知识产权代理有限责任公司

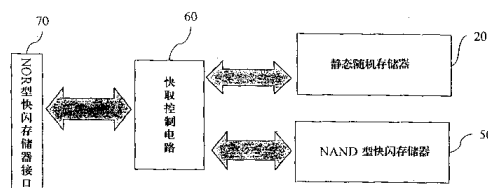
代理人 文琦 陈肖梅

权利要求书3页 说明书7页 附图3页

[54] 发明名称 虚拟 NOR 型闪存

[57] 摘要

一种虚拟 NOR 型闪存，一静态随机存储器，用以作为高速缓存；一 NAND 型闪存，用以储存一程序与数据；以及一快取控制电路，通过一 NOR 型闪存接口与外部系统进行数据传递与沟通，并与该静态随机存储器以及该 NAND 型闪存相接，用以将一时脉周期中的一第一读取命令转换成一第二读取命令，以读取储存于该静态随机存储器中快取数据，将一第一写入命令转换成一第二写入命令，以将数据写入该 NAND 型闪存中，将一第一移除命令转换成一第二移除命令，以将数据自该 NAND 型闪存中移除。



1. 一种虚拟NOR型闪存，用以根据一NOR型闪存的时脉周期进行一读取操作、写入操作或移除操作，其特征在于，该存储器包括有：  
5 一静态随机存储器，用以作为高速缓存；  
一NAND型闪存，用以储存一程序与数据；以及  
一快取控制电路，通过一NOR型闪存接口与外部系统进行数据传递与沟通，并与该静态随机存储器以及该NAND型闪存相接，用以将一时脉周期中的一第一读取命令转换成一第二读取命令，以读取储存于该静态随机存储器中快取数据，将一第一写入命令转换成一第二写入命令，以将数据写入该NAND型闪存中，将一第一移除命令转换成一第二移除命令，以将数据自该NAND型闪存中移除。  
10

2. 如权利要求1所述的虚拟NOR型闪存，其特征在于，该快取控制电路更包括有一接口转换电路，与该NOR型闪存接口相接，用以将该第一读取命令、该第一写入命令与该第一移除命令转换成该第二读取命令、该第二写入命令以及该第二移除命令。  
15

3. 如权利要求1所述的虚拟NOR型闪存，其特征在于，更包括有一快取管理电路，用以执行一管理高速缓存操作以及一预载高速缓存操作，其中该管理高速缓存操作用以根据该NAND型闪存中所执行的程序以决定高速缓存所需的容量，该预载高速缓存操作则根据该管理高速缓存操作所决定的高速缓存容量在该静态随机存储器预载一区域作为高速缓存。  
20

4. 如权利要求1所述的虚拟NOR型闪存，其特征在于，该快取控制电路更包括有一静态随机存储器接口，使得该第二读取命令可通过该接口读取该静态随机存储器中的数据。  
25

5. 如权利要求1所述的虚拟NOR型闪存，其特征在于，该快取控  
30

制电路更包括有一NAND型闪存接口，使得该第二写入命令与第二移除命令可通过该接口将数据写入该NAND型闪存中或自该NAND型闪存中移除。

5           6. 如权利要求1所述的虚拟NOR型闪存，其特征在于，该第一读取命令与该NOR型闪存兼容。

7. 如权利要求1所述的虚拟NOR型闪存，其特征在于，该第一写入命令与该NOR型闪存兼容。

10

8. 如权利要求1所述的虚拟NOR型闪存，其特征在于，该第一移除命令与该NOR型闪存兼容。

15

9. 如权利要求1所述的虚拟NOR型闪存，其特征在于，该第二读取命令与该静态随机存储器兼容。

10. 如权利要求1所述的虚拟NOR型闪存，其特征在于，该第二写入命令与该NAND闪存兼容。

20

11. 如权利要求1所述的虚拟NOR型闪存，其特征在于，该第二移除命令与该NAND闪存兼容。

25

12. 一种虚拟NOR型闪存的快取控制电路，用以根据一NOR型闪存的时脉周期对一静态随机存储器与一NAND型闪存进行一读取操作、写入操作或移除操作，包括有：

一接口转换电路，与一NOR型闪存接口相接，用以将一时脉周期中的一第一读取命令、第一写入命令与一第一移除命令转换成一第二读取命令、一第二写入命令以及一第二移除命令；

30

一快取管理电路，与该接口转换电路相接，用以执行一管理高速缓存操作以及一预载高速缓存操作，其中该管理高速缓存操作用以根

据该NAND型闪存中所执行的程序以决定高速缓存所需的容量，该预  
载高速缓存操作则根据该管理高速缓存操作所决定的高速缓存容量在  
该静态随机存储器预载一区域作为高速缓存；

5 一静态随机存储器接口，使得该第二读取命令可通过该接口读取  
该静态随机存储器中的数据；以及

一NAND型闪存接口，使得该第二写入命令与第二移除命令可通  
过该接口将数据写入该NAND型闪存中或自该NAND型闪存中移除。

10 13. 如权利要求12所述的虚虚拟NOR型闪存的快取控制电路，其  
特征在于，该第一读取命令与该NOR型闪存兼容。

14. 如权利要求12所述的虚拟NOR型闪存的快取控制电路，其特  
征在于，该第一写入命令与该NOR型闪存兼容。

15 15. 如权利要求12所述的虚拟NOR型闪存的快取控制电路，其特  
征在于，该第一移除命令与该NOR型闪存兼容。

16. 如权利要求12所述的虚拟NOR型闪存的快取控制电路，其特  
征在于，该第二读取命令与该静态随机存储器兼容。

20

17. 如权利要求12所述的虚拟NOR型闪存控制电路，其特征在  
于，该第二写入命令与该NANNAND闪存兼容。

25 18. 如权利要求12所述的虚拟NOR型闪存的快取控制电路，其  
特征在于，该第二移除命令与该NAND闪存兼容。

## 虚拟 NOR 型闪存

### 5 技术领域

本发明涉及一种闪存（Flash Memory），特别是一种虚拟NOR型闪存于行动电话、计算机、个人数字助理、手持式计算机等的电子设备或信息处理装置。

### 10 背景技术

就闪存（Flash Memory）的结构而言，一般可分成分成NOR与NAND两大结构，其技术特色有些差异，分别说明如下。

15 NOR型闪存：又称为程序转换型闪存，这是由英特尔（Intel）所发展的结构，写入速度慢，读取速度较快，而且可在单位区块（Block）上进行指令程序的读取/写入，其特性为高电压、较长的抹除时间以及较大量的抹除区块。此类型产品大都应用在程序指令的储存与读取/写入以及PC记忆卡。然而其具有成本以及容量的问题。

20 NAND型闪存：又称为数据存取型闪存，由日本东芝（Toshiba）所发展的结构，读写数据速度较慢，但具有较小记忆面积（Memory Cell），在相同密度下，成本较NOR Type Flash低。适用于更高容量的产品开发及大量储存装置上，可用以替代磁盘驱动器在可携式市场的地位，或做为消费性电子产品数据储存用。

25 目前许多使用NOR型闪存的结构如图1所示，为习知使用NOR型闪存的方块图，其存储器结构主要包括NOR型闪存10以及静态随机存储器20，其中NOR型闪存用以储存程序或数据，而静态随机存储器20则用作程序执行时的高速缓存。NOR型闪存10以及静态随机存储器20  
30 通过通过总线40与系统电路存储器接口30相接，系统电路存储器接口

30为NOR型闪存接口，用以根据时脉中的读取周期、写入周期以及移除周期进行读取操作、写入操作以及以移除操作。

5 在这种存储器为了要符合需求高储存容量的要求，仅能采用更多的NOR型闪存以增加记忆容量。主要是其本身容量限制的关系。

10 在目前随身数字产品不断推陈出新，功能也日新月异，不断的增加，因此在受限于其体积的条件下，其储存的空间短时间内无法得到一个较佳的解决方式。主要是因为需要较高储存容量的存储器以储存程序代码，又必须同时符合低成本与小面积的要求，因此，一种存储器可以同时具有NOR型闪存的数据存取速度以及NAND型闪存储存容量的优点，对于手持式或携带式电子信息产品而言，实为一亟待解决的技术课题。

## 15 发明内容

鉴于以上的问题，本发明的主要目的在于提供一种虚拟NOR型闪存，藉以同时解决上述NOR型闪存与NAND型闪存所存在的问题，并同时具有NOR型闪存与NAND型闪存的优点。

20 本发明所揭示的虚拟NOR型闪存，主要是利用一NOR型闪存接口电路作为与系统传递数据的接口，而存储器的储存核心则采用NAND型闪存，并以静态随机存储器作为高速缓存。由于目前许多的系统设计均仅能与NOR型闪存做沟通，因此，在系统本身的限制下，可以通过原本的NOR型闪存接口与本发明所揭示的虚拟NOR型闪存沟通传递数据。之所以称为虚拟，是因为系统与存储器以NOR型闪存接口作为数据沟通的依据，而实际上程序与数据储存在NAND型闪存中。通过此设计，可以兼顾NOR型闪存与NAND型闪存的优点，解决目前手持式信息装置或电子式装置储存容量无法提升的问题。

30 根据本发明所揭示的NOR型闪存的概念，借助于一快取控制电路

5 作为数据转换的接口，亦即，与系统进行数据沟通与传递的接口为NOR型闪存接口。首先通过NOR型闪存接口接收一第一数据存取命令，接着通过快取控制电路将第一数据存取命令转换成第二数据存取命令，使得第二数据存取命令可通过静态随机存储器接口以对静态随机存储器进行数据存取（读取/写入/移除）的操作，或通过NAND型闪存接口对NAND型闪存进行数据存取（读取/写入/移除）的操作。数据存取命令中在不同的时脉周期中，分别有读取（read）、写入（write）以及移除（erase）的命令。当在读取周期时，快取控制电路将会执行一快取功能，以检查所要读取的数据是否在静态随机存储器中，若数据不存在，则进行一数据擷取的命令并取代高速缓存中的hit page。在写入以及移除周期时，快取控制电路则将第一写入命令/第一移除命令转换成可控制NAND型高速缓存的第二写入命令/第二移除命令。

15 因此，为达上述目的，本发明所揭示的虚拟NOR型闪存，包括有一静态随机存储器，用以作为高速缓存；一NAND型闪存，用以储存一程序与数据；以及一快取控制电路，通过一NOR型闪存接口与外部系统进行数据传递与沟通，并与该静态随机存储器以及该NAND型闪存相接，用以将一时脉周期中的一第一读取命令转换成一第二读取命令，以读取储存于该静态随机存储器中快取数据，将一第一写入命令转换成一第二写入命令，以将数据写入该NAND型闪存中，将一第一移除命令转换成一第二移除命令，以将数据自该NAND型闪存中移除。

25 其中，快取控制电路更执行一管理高速缓存操作以及一预载高速缓存操作，其中该管理高速缓存操作用以根据该NAND型闪存中所执行的程序以决定高速缓存所需的容量，该预载高速缓存操作则根据该管理高速缓存操作所决定的高速缓存容量在该静态随机存储器预载一区域作为高速缓存。

30 通过本发明所揭示的接口控制电路，使得在目前的行动装置、手持式电子装置上将存储器的主要结构由NAND型闪存来取代，在目前

的限制下，提供较高的记忆容量，且不需要增加存储器芯片的面积以及成本。

5 有关本发明的特征与实施，兹配合附图作最佳实施例详细说明如下。

### 附图说明

10 图1为习知使用NOR型闪存的方块图；  
图2为本发明所揭示的虚拟NOR型闪存的方块图；以及  
图3为本发明所揭示的虚拟NOR型闪存中的快取控制电路的方块图。

### 图中符号说明

10	NOR型闪存
15 20	静态随机存储器
30	系统电路存储器接口
40	总线
50	NAND型闪存
60	快取控制电路
20 61	接口转换电路
62	快取管理电路
63	静态随机存储器接口
64	NAND闪存接口
70	NOR型闪存接口

25

### 具体实施方式

30 本发明主要在揭示一种快取控制电路，用以将与NOR型闪存兼容的数据存取控制时脉中的第一数据存取命令（读取/写入/移除）转换成可控制NAND型闪存与静态随机存储器的第二数据存取命令，此转换机制通过一快取控制电路完成。

关于本发明所揭示的虚拟NOR型闪存，请参考图2，为本发明所揭示的虚拟NOR型闪存的方块图，包括有一NAND型闪存50，一静态随机存储器20，一快取控制电路60，以及一NOR型闪存接口70。

5

快取控制电路60中电路方块图请参考图3，包括有一接口转换电路61、一快取管理电路62、一静态随机存储器接口63以及一NAND闪存接口64。以下的说明请同时参考图2与图3。

10

首先通过NOR型闪存接口70接收一第一数据存取命令，接着通过快取控制电路60将第一数据存取命令转换成第二数据存取命令，使得第二数据存取命令可通过静态随机存储器接口63以对静态随机存储器20进行数据存取（读取/写入/移除）的操作，或通过NAND型闪存接口64对NAND型闪存50进行数据存取（读取/写入/移除）的操作。数据存取命令中在不同的时脉周期中，分别有读取（read）、写入（write）以及移除（erase）的命令。当在读取周期时，快取控制电路60将会执行一快取功能，以检查所要读取的数据是否在静态随机存储器20中，若数据不存在，则进行**hold the data available command and replace the cache memory to the hit page**。在写入以及移除周期时，快取控制电路

15 则将第一写入命令/第一移除命令转换成可控制NAND型高速缓存的第二写入命令/第二移除命令。

20

使用本发明所揭示的存储器的其数据存取速度必须要与NOR型闪存相近，通过软件的协助，使得高速缓存（cache memory）的hit rate

25 可以提升到100%，以避免数据的遗失。

25

快取控制电路60中的快取管理电路62分别为管理高速缓存操作以及预载高速缓存操作。管理高速缓存操作用以根据NAND型闪存中所执行的程序以决定高速缓存所需的容量，而预载高速缓存操作则根据管理高速缓存操作所决定的高速缓存容量在静态随机存储器20载一区

30

30

域作为高速缓存。藉以缩短数据存取的时间，并且提供无遗失（no-miss）的快取管理（cache management）。

5 本发明并非直接将接口控制电路直接连接于NAND型闪存以及系统电路存储器接口之间。直接连接将有一个问题发生，因为快取管理不允许数据遗失，如果有存取数据遗失的状况，将造成系统当机。因此配合本发明所揭示的存储器结构，提出一程序管理软件。在程序研发人员将程序撰写完成后，再将程序编译成最后的执行文件的前，通过程序管理软件将程序做扫描以及重整（pre-arrangement）。在重整  
10 操作中，用以确认远程跳跃（far-jump）的指令以及相对的地址。因为在汇编语言的程序代码中，远程跳跃的指令容易使系统发生当机的状况，也容易在本发明的存储器结构中发生数据遗失的状况。因此，在编成执行档之前，先行将程序代码重新整理，通过插入一预载（pre-load）命令于快取控制电路中，在原先的指令执行前，以要求  
15 pre-load指令码，即可避免数据遗失的情形。

在存储器的功用中，一般将静态随机存储器用作高速缓存。本发明同样以静态随机存储器作为高速缓存。由于不同的程序，可能需要不同的高速缓存大小，因此，快取管理电路62将根据求规划高速缓存  
20 大小的功能。

系统以NOR型闪存接口与本发明所揭示的存储器结构作数据的传递与沟通，亦即读取（read）、写入（write）与移除（erase）三种操作将通过NOR型闪存接口与本发明所揭示存储器结构来完成，以下分  
25 别说明如何达成这三种操作。

通过快取控制电路60中的快取管理电路62执行预载高速缓存操作，所有的数据将预先预载于随机存储器63中，因此当时脉讯号中的读取周期到来时，接口转换电路会将第一读取命令转换成与静态随机  
30 存储器20兼容的第二读取命令，快取控制电路60将根据此读取周期将

5 储存于高速缓存中的数据加载系统中，其读取速度将比NOR型闪存快。这是因为，NOR型闪存的存取速度大约在55ns左右，因此后级的数据读取速度必须要比55ns快，才不会有数据遗失的情形发生。通过本发明所揭示的结构，其读取速度大约在35ns左右。因此，可以符合这个要求。

在进行写入与读取操作时，快取管理电路62进入闲置模式，详细过程说明如下。

10 当时脉位于写入的周期时，接口转换电路61会将第一写入命令转换成与NAND型闪存64兼容的第二写入命令，接着快取管理电路62将数据先写入静态随机存储器20中的高速缓存，当快取管理电路62进入闲置模式后，再将数据写入NAND型闪存64中。

15 同样的，当时脉位于移除的周期时，接口转换电路61将会将第一移除命令转换成与NAND型闪存64兼容的第二移除命令，再清除前将先移除高速缓存中的数据，当快取管理电路62进入闲置模式（idle mode）后再清除储存于NAND型闪存64中的数据。

20 当新的程序执行时，快取指针（cache pointer）会在原来的值上增加1。通过快取管理的功能，指针将会永远指在最适合的地址。

25 通过本发明所揭示的接口控制电路，使得在目前的行动装置、手持式电子装置上将存储器的主要结构由NAND型闪存来取代，在目前的限制下，提供较高的记忆容量，且不需要增加存储器芯片的面积以及成本。

30 虽然本发明以前述的较佳实施例揭示如上，然其并非用以限定本发明，任何熟习本领域技术者，在不脱离本发明的精神和范围内，当可作些许的更动与润饰，因此本发明的专利保护范围须视本说明书和权利要求书范围所界定者为准。

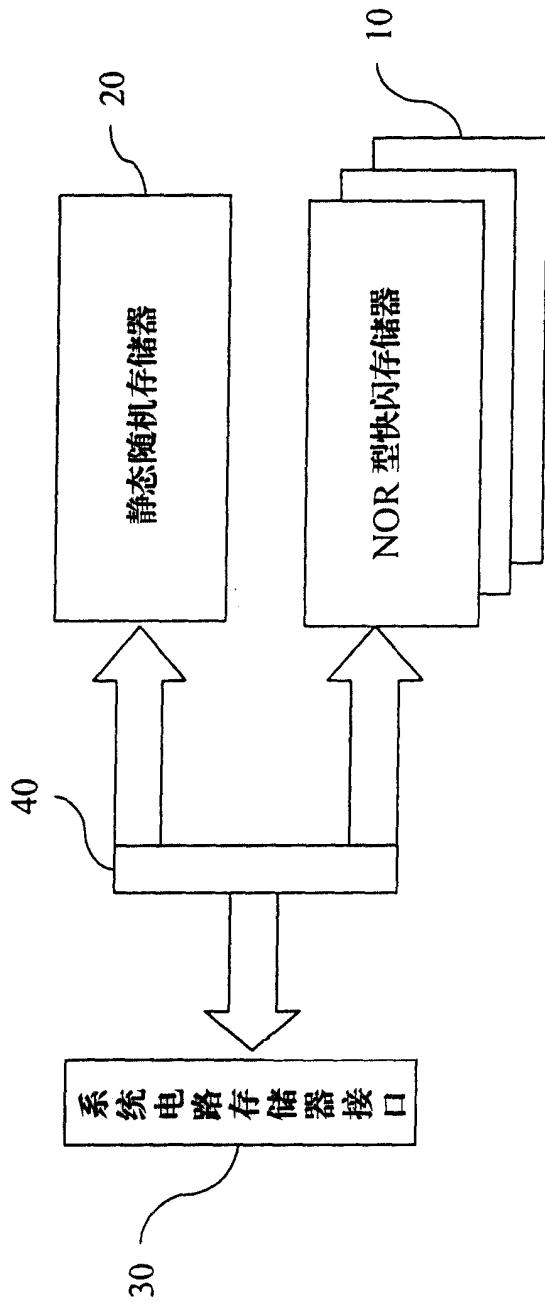


图1

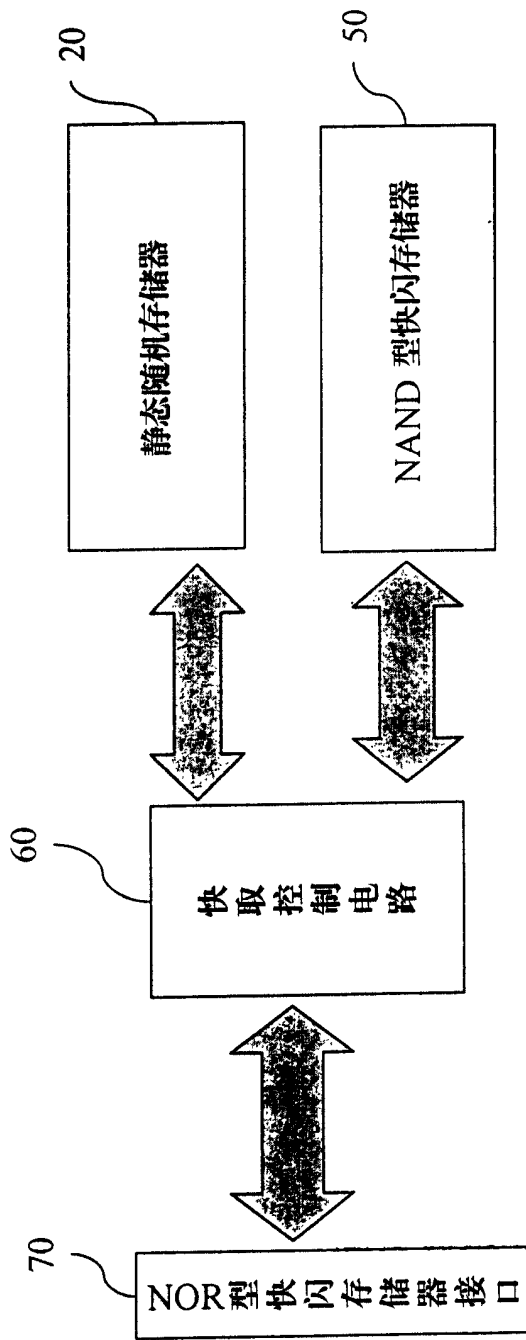


图2

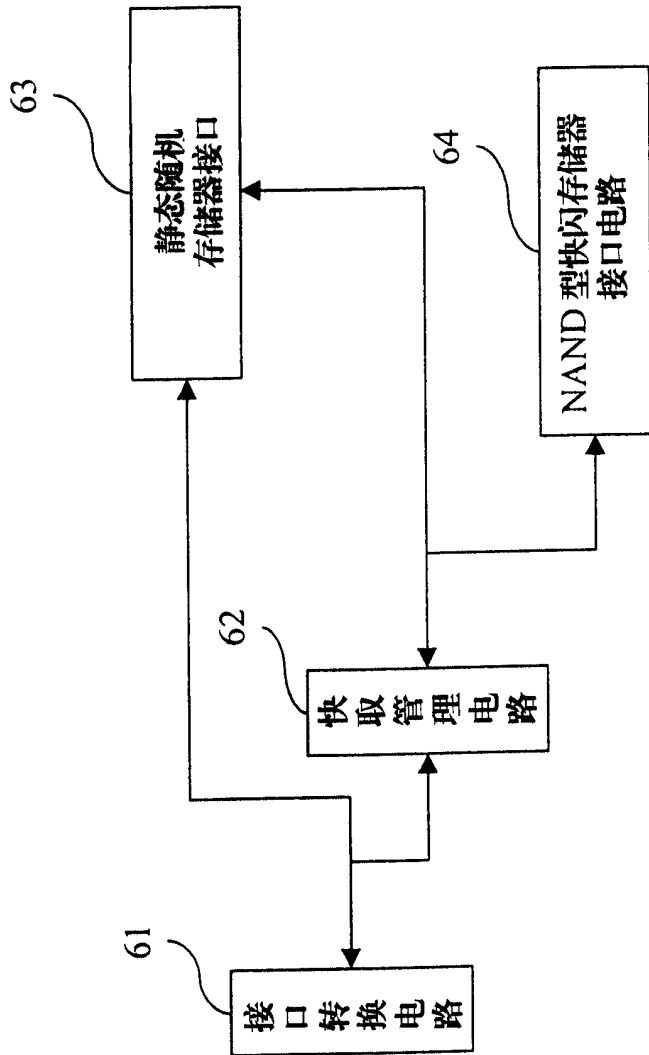


图3