



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU

## K AUTORSKÉMU OSVĚDČENÍ

251 049

(11) (B1)

(61)

(23) Výstavní priorita  
(22) Přihlášeno 26 11 85  
(21) PV 8512-85

(51) Int. Cl.<sup>4</sup>  
G 06 F 3/14

(40) Zveřejněno 16 10 86  
(45) Vydáno 01 09 88

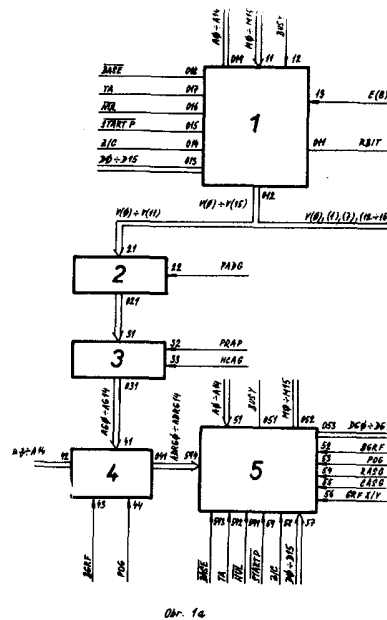
(75)  
Autor vynálezu

BUREŠ JAROSLAV ing., BRNO

(54)

Zapojení inteligentního terminálu s grafikou

Cílem řešení je dosáhnout toho, že bez použití speciálních řídících obvodů a s minimálním počtem prvků lze zpracovávat a zobrazovat jak abecedně-číslicové, tak i grafické informace, přičemž je dosaženo velké rychlosti kritických operací, jako jsou rotace obsahu obrazovky, generace znaků, generace vektorů a přenosy obrazu. Uvedeného cíle se dosáhne zapojením s procesorem, pamětí, řadičem zobrazení, vychylovacími obvody, obrazovkou, registrem počáteční adresy, čítačem adres a multiplexorem adres. Řešení lze použít u inteligentních terminálů s grafikou, případně u stolních počítačů.



251 049

Vynález se týká zapojení inteligentního terminálu s grafikou.

Dosud známá zapojení inteligentních terminálů s grafikou používají pro řízení grafických operací nákladných řídících obvodů velké integrace nebo zvláštních grafických procesorů, které jsou připojovány k centrálnímu procesoru inteligentních terminálů. Existují též zapojení, která využívají pro zpracování grafické informace operační paměť centrálního procesoru. Tato zapojení však nevyhovují pro většinu aplikací z důvodů malé rychlosti nebo z toho důvodu, že mají oddělené obvody pro zobrazování abecedně-číslíkových a grafických informací, což vede ke složitosti a velkému rozsahu.

Uvedené nevýhody odstraňuje zapojení inteligentního terminálu s grafikou podle vynálezu, jehož podstatou je, že přepínací výstup procesoru je připojen na přepínací vstup paměti, jeho synchronizační výstup na synchronizační vstup paměti a jeho nastavovací výstup na nastavovací vstup paměti, startovací výstup procesoru je připojen na startovací vstup paměti, jeho první řídící výstup na řídící vstup paměti a jeho druhý řídící výstup na řídící vstup řadiče zobrazení, skupina adresových výstupů procesoru je připojena na skupinu adresových vstupů paměti a na druhou skupinu adresových vstupů multiplexoru adresy, první skupina datových výstupů procesoru je připojena na skupinu datových vstupů paměti, kdežto jeho druhá skupina datových výstupů je připojena na skupinu datových vstupů registru počáteční adresy a na druhou skupinu datových vstupů řadiče zobrazení, skupina adresových výstupů registru počáteční adresy je připojena na skupinu adresových vstupů čítače adres, jehož skupina adresových výstupů je připojena na první skupinu adresových vstupů multiplexoru adresy, skupina adresových výstupů multiplexoru adresy je připojena na první skupinu adresových vstupů paměti, jejíž

druhá skupina datových výstupů je připojena na skupinu datových vstupů procesoru a jejíž první skupina datových výstupů je připojena na první skupinu datových vstupů řadiče zobrazení, stavový výstup paměti je připojen na první stavový vstup procesoru, první řídicí výstup řadiče zobrazení je připojen na řídicí vstup čítače adres, jeho čítací výstup na čítací vstup čítače adres a jeho druhý řídicí výstup na řídicí vstup registru počáteční adresy, první stavový výstup řadiče zobrazení je připojen na druhý stavový vstup procesoru, jeho modulační výstup je připojen na modulační vstup obrazovky a jeho horizontální synchronizační výstup je připojen na horizontální synchronizační vstup vychylovacích obvodů, vertikální synchronizační výstup řadiče zobrazení je připojen na vertikální synchronizační vstup vychylovacích obvodů, jeho druhý stavový výstup je připojen na druhý stavový vstup paměti a na druhý stavový vstup multiplexoru adresy, kdežto jeho třetí stavový výstup řadiče zobrazení je připojen na první stavový vstup paměti a na první stavový vstup multiplexoru adresy, první vybavovací výstup řadiče zobrazení je připojen na první vybavovací vstup paměti, jeho druhý vybavovací výstup na druhý vybavovací vstup paměti a jeho třetí vybavovací výstup na třetí vybavovací vstup paměti, vertikální vychylovací výstup vychylovacích obvodů je připojen na vertikální vychylovací vstup obrazovky, kdežto jejich horizontální vychylovací výstup je připojen na horizontální vychylovací vstup obrazovky.

Výhodou zapojení inteligentního terminálu s grafikou podle vynálezu je, že se dosáhne toho, že bez použití speciálních řídicích obvodů a s minimálním počtem prvků lze zpracovávat a zobrazovat jak abecedně-číslicové, tak i grafické informace, přičemž je dosaženo velké rychlosti kritických operací, jako jsou rotace obsahu obrazovky, generace znaků, generace vektorů a přenosy obrazu.

Příklad zapojení inteligentního terminálu s grafikou podle vynálezu je znázorněn na připojených výkresech *obr. 1a a 1b* v blokovém schématu.

Přepínací výstup 018 procesoru 1 pro signál BASE je připojen na přepínací vstup 593 paměti 2, jeho synchronizační výstup 017 pro signál TA na synchronizační vstup 592 paměti 2 a jeho nastavovací výstup 016 pro signál NUL na nastavovací vstup 591 paměti 2. Startovací výstup 015 procesoru 1 pro signál STARTF je připojen na startovací vstup 59 paměti 2, jeho první řídicí vý-

stup 014 pro signál Z/C na řídicí vstup 58 paměti 5 a jeho druhý řídicí výstup 011 pro signál RBIT na řídicí vstup 61 řadiče 6 zobrazení. Skupina adresových výstupů 019 procesoru 1 pro signály A0 až A14 je připojena na skupinu adresových vstupů 51 paměti 5 a na druhou skupinu adresových vstupů 42 multiplexoru 4 adresy. První skupina datových výstupů 013 procesoru 1 pro signály D0 až D15 je připojena na skupinu datových vstupů 57 paměti 5, kdežto jeho druhá skupina datových výstupů 012 pro signály V(0) až V(15) je připojena na skupinu datových vstupů 21 registru 2 počáteční adresy, a sice pro signály V(0) až V(11) a na druhou skupinu datových vstupů 62 řadiče 6 zobrazení, a sice pro signály V(0), V(1), V(7), V(12) až V(15). Skupina adresových výstupů 021 registru 2 počáteční adresy je připojena na skupinu adresových vstupů 31 čítače 3 adres, jehož skupina adresových výstupů 031 pro signály AG0 až AG14 je připojena na první skupinu adresových vstupů 41 multiplexoru 4 adresy. Skupina adresových výstupů 041 multiplexoru 4 adresy pro signály ADRG0 až ADRG14 je připojena na první skupinu adresových vstupů 594 paměti 5, jejíž druhá skupina datových výstupů 052 pro signály M0 až M15 je připojena na skupinu datových vstupů 11 procesoru 1 a jejíž první skupina datových výstupů 053 pro signály DGO až DG15 je připojena na první skupinu datových vstupů 63 řadiče 6 zobrazení. Stavový výstup 051 paměti 5 pro signál BUSY je připojen na první stavový vstup 12 procesoru 1. První řídicí výstup 061 řadiče 6 zobrazení pro signál PRAP je připojen na řídicí vstup 32 čítače 3 adres, jeho čítací výstup 062 pro signál HCAG na čítací vstup 33 čítače 3 adres a jeho druhý řídicí výstup 063 pro signál PADG na řídicí vstup 22 registru 2 počáteční adresy. První stavový výstup 064 řadiče 6 zobrazení pro signál E/8 je připojen na druhý stavový vstup 13 procesoru 1, jeho modulační výstup 065 pro signál MOD je připojen na modulační vstup 83 obrazovky 8 a jeho horizontální synchronizační výstup 066 pro signál HSYN je připojen na horizontální synchronizační vstup 71 vychylovacích obvodů 7. Vertikální synchronizační výstup 067 řadiče 6 zobrazení pro signál VSYN je připojen na vertikální synchronizační vstup 72 vychylovacích obvodů 7, jeho druhý stavový výstup 068 pro signál POG je připojen na druhý stavový vstup 53 paměti 5 a na druhý stavový vstup 44 multiplexoru 4 adresy, kdežto jeho třetí stavový výstup 069 řadiče 6 zobrazení pro signál BGRF je připojen na první stavový vstup 52 paměti 5 a na první stavový vstup 43 multiplexoru 4 adresy. První vybavovací výstup 0691 řadiče 6 zobra-

zení pro signál GRFX/Y je připojen na první vybavovací vstup 56 paměti 2, jeho druhý vybavovací výstup 0692 pro signál CASG na druhý vybavovací vstup 55 paměti 2 a jeho třetí vybavovací výstup 0693 pro signál RASG na třetí vybavovací vstup 54 paměti 2. Vertikální vychylovací výstup 072 vychylovacích obvodů 7 je připojen na vertikální vychylovací vstup 82 obrazovky 8, kdežto jejich horizontální vychylovací výstup 071 je připojen na horizontální vychylovací vstup 81 obrazovky 8.

Procesor 1 vysílá do řadiče 6 zobrazení a do registru 2 počáteční adresy tří základní příkazy, a sice "stop zobrazení" signálem V(1), "převezmi adresu" signálem V(7) a "start zobrazení" signálem V(0). Příkazy jsou vysílány na základě připravenosti řadiče 6 zobrazení, dané signálem E(8). Příkazem "stop zobrazení" se systém uvede do stavu "zatemněno", kdy celá paměť 2, obsahující grafickou bázi a pracovní bázi, je přidělena procesoru 1. Data z grafické báze paměti 1 nejsou čtena do řadiče 6 zobrazení a na obrazovku 8 není přiváděn žádný modulační signál MOD. Obrazovka 8 je tedy zatemněna. Činnost paměti 2 je synchronizována s procesorem 1 pomocí signálu TA. Signálem NUL je zajištěn počáteční stav po zapnutí stroje. Uvedený příkaz "stop zobrazení" vyšle procesor 1 do řadiče 6 zobrazení tak, že nastaví signál V(1) do stavu logické jedničky, signály V(12) až V(15) do stavu odpovídajícího výběrovému kódu řadiče 6 zobrazení, například výběrový kód 14, a vyšle řídicí signál RBIT. Řadič 6 zobrazení převezme signálem RBIT tento příkaz a přejde do stavu "zatemněno". V tomto stavu řadič 6 zobrazení vysílá pomocí signálů BGRF a POG kombinaci, která přísluší odpovídajícímu stavu, například POG se rovná logické nule. Signál POG ve stavu logické nuly způsobí trvalé přepnutí multiplexoru 4 adresy do stavu, kdy signály adresy A0 až A14 z procesoru 1 prochází multiplexorem 4 adresy do paměti 2. Stav "zatemněno" dále způsobí při signálu POG rovném logické nule, zavedeném do paměti 2, že paměť 2 respektuje start zápisu a čtení do všechází paměti 2 pouze z procesoru 1, to je akceptuje signály STARTP, Z/C, zatímco signály pro čtení z grafické báze paměti 2 RASG, CASG, GRFX/Y, přicházející z řadiče 6 zobrazení, jsou paměti 2 ignorovány. Adresace pracovníchází paměti 2 nebo grafické báze se vysílá z procesoru 1 pomocí signálů D0 až D4, je-li signál BASE aktivní. Data zapisovaná z procesoru 1 do paměti 2 jsou přítomna na signálech D0 až D15, data čtená z paměti 2 do procesoru 1 na signálech M0 až M15. V popsaném stavu "zatemněno" má procesor 1 trvalý přístup do grafické

báze paměti 5, zatímco zobrazovací část je od paměti 5 logicky odpojena. Signál BUSY, indikující obsazenost paměti 5, je v tomto případě aktivní pouze během zápisu nebo čtení dat vyvolaného procesorem 1. Příkazem "převezmi adresu" se určí počáteční adresa, od které bude začínat snímek na obrazovce 8. Změna počáteční adresy potom způsobí automaticky rotaci obsahu celé obrazovky 8. Tím je docíleno rychlého posuvu kresby nebo textu na obrazovce 8 nahoru nebo dolů, bez nutnosti zdlouhavého přepisování celého obsahu grafické báze paměti 5. Uvedený příkaz "převezmi adresu" vyšle procesor 1 ve dvou krocích, a to tak, že v prvním kroku nastaví signál V(7) do stavu logické jedničky, signály V(12) až V(15) do stavu odpovídajícího výběrovému kódu řadiče 6 zobrazení a vyšle signál RBIT. Řadič 6 zobrazení po přijetí příkazu vyšle signál PADG, kterým ve druhém kroku příkazu převezme zkrácenou počáteční adresu vystavenou signály V(0) až V(11) a uloží ji do registru 2 počáteční adresy. Příkazem "start zobrazení" se systém uvede do stavu, kdy celá paměť 5 kromě grafické báze je přidělena procesoru 1, zatímco grafická báze paměti 5 je sdílena mezi řadičem 6 zobrazení a procesorem 1 tak, že během aktivního běhu paprsku na obrazovce 8 je paměť 5 přidělena řadiči 6 zobrazení a během zpětných běhů řádku i snímku je přidělena procesoru 1. Po převzetí příkazu, obdobným způsobem jako v předchozích případech, začne řadič 6 zobrazení opakovaně generovat posloupnost stavů "aktivní běh", "zpětný běh řádku", "zpětný běh snímku". Stavy jsou zakódovány pomocí signálů POG a BGRF. Ve stavu "aktivní běh" je multiplexor 4 adresy přepnut do stavu, kdy signály adresy AGO až AG14 z čítače 3 adres procházejí multiplexorem 4 adresy na vstup 594 paměti 5 jako signály ADRGO až ADRG14. Paměť 5 přitom respektuje start zápisu a čtení do všechází paměti 5 kromě grafické báze pouze z procesoru 1 činností signálů STARTP a Z/C, zatímco čtení z grafické báze paměti 5 respektuje pouze z řadiče 6 zobrazení činností signálů RASG, CASG, GRFX/Y. Po ukončení každého cyklu čtení z grafické báze paměti 5 zvýší se obsah čítače 3 adres o jednu signálem HCAG. Data čtená z grafické báze paměti 5 do řadiče 6 zobrazení jsou přítomna na signálech DGO až DG15, v řadiči 6 zobrazení je provedena jejich serializace a zpracování do tvaru modulačního signálu MOD na výstupu. Po ukončení aktivního běhu paprsku přejde řadič 6 zobrazení do stavu "zpětný běh řádku", který způsobí analogickou činnost, jako ve stavu "zatemněno", Podobně stav "zpětný běh snímku", ve kterém je však navíc řadičem 6 zobrazení generován signál PRAP,

který přepíše do čítače 3 adres obsah registru 2 počáteční adresy, a proces zobrazení snímku se nadále periodicky opakuje.

Vynálezu lze použít v inteligentních terminálech s grafikou, případně u stolních počítačů.

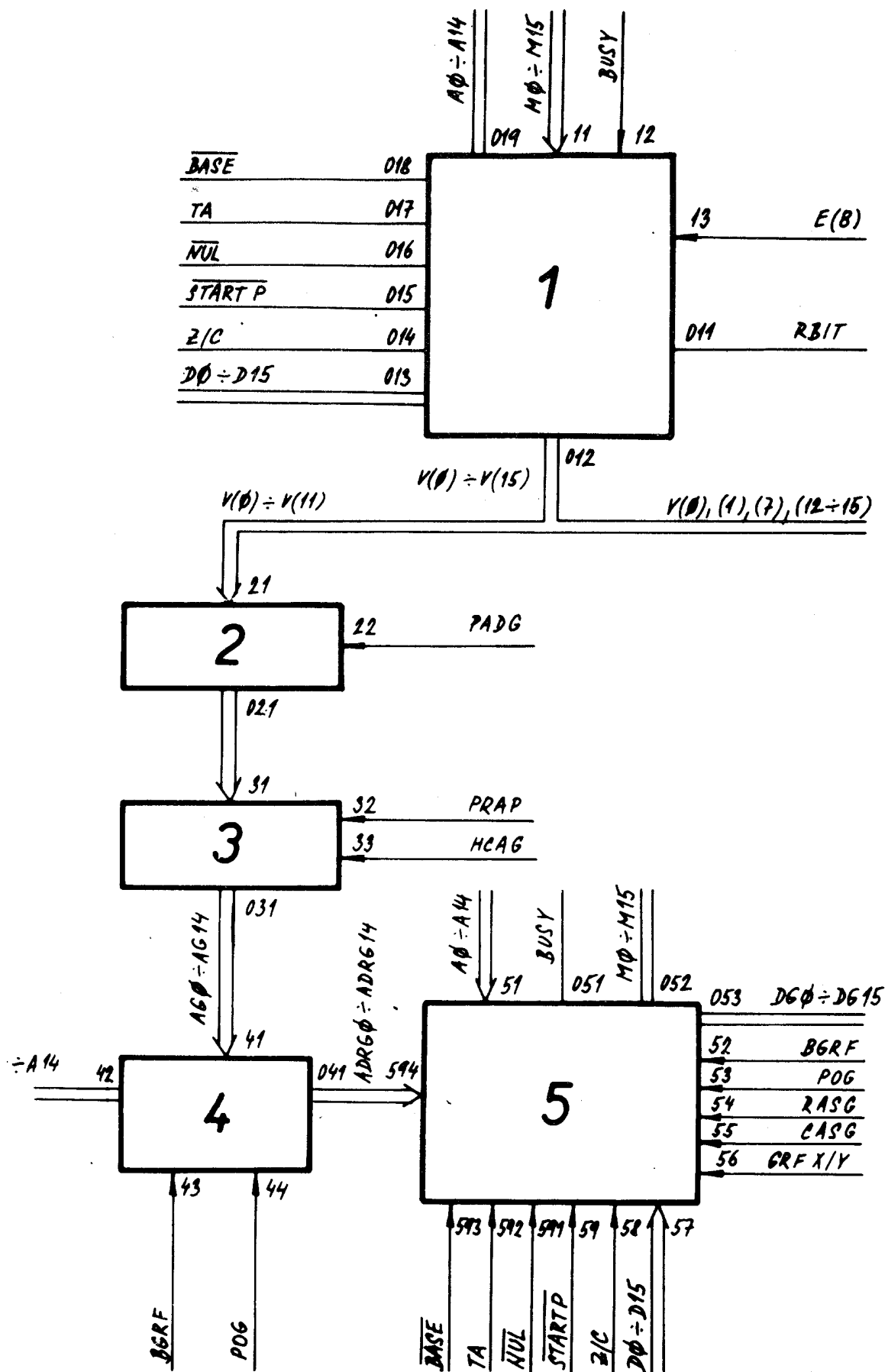
## P Ř E D M Ě T V Y N Á L E Z U

251 049

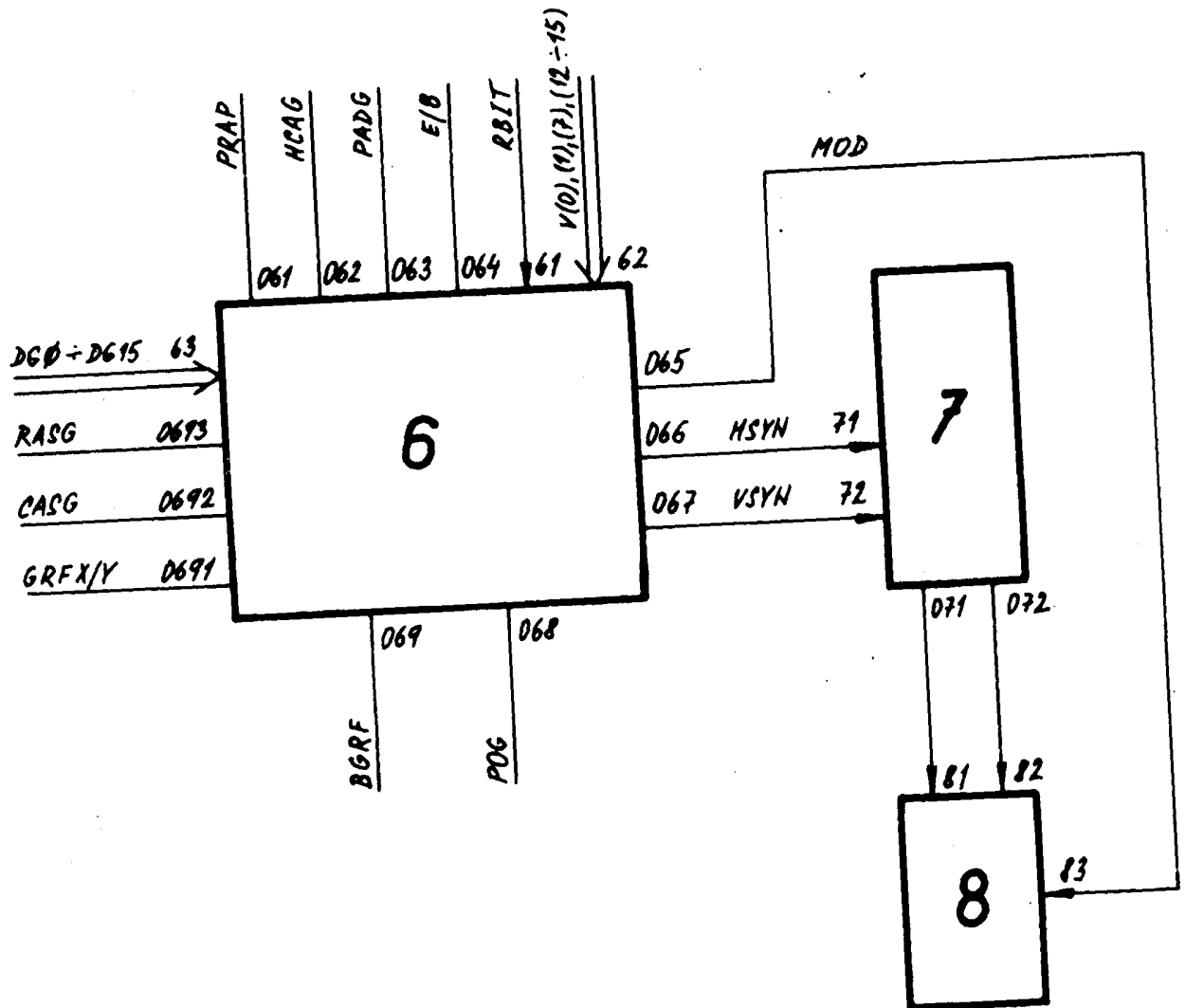
Zapojení inteligentního terminálu s grafikou, s procesorem, pamětí, řadičem zobrazení, vychylovacími obvody a obrazovkou, vyznačené tím, že přepínací výstup (018) procesoru (1) je připojen na přepínací vstup (593) paměti (5), jeho synchronizační výstup (017) na synchronizační vstup (592) paměti (5) a jeho nastavovací výstup (016) na nastavovací vstup (591) paměti (5), startovací výstup (015) procesoru (1) je připojen na startovací vstup (59) paměti (5), jeho první řídící výstup (014) na řídící vstup (58) paměti (5) a jeho druhý řídící výstup (011) na řídící vstup (61) řadiče (6) zobrazení, skupina adresových výstupů (019) procesoru (1) je připojena na skupinu adresových vstupů (51) paměti (5) a na druhou skupinu adresových vstupů (42) multiplexoru (4) adresy, první skupina datových výstupů (013) procesoru (1) je připojena na skupinu datových vstupů (57) paměti (5), kdežto jeho druhá skupina datových výstupů (012) je připojena na skupinu datových vstupů (21) registru (2) počáteční adresy a na druhou skupinu datových vstupů (62) řadiče (6) zobrazení, skupina adresových výstupů (021) registru (2) počáteční adresy je připojena na skupinu adresových vstupů (31) čítače (3) adres, jehož skupina adresových výstupů (031) je připojena na první skupinu adresových vstupů (41) multiplexoru (4) adresy, skupina adresových výstupů (041) multiplexoru (4) adresy je připojena na první skupinu adresových vstupů (594) paměti (5), jejíž druhá skupina datových výstupů (052) je připojena na skupinu datových vstupů (11) procesoru (1) a jejíž první skupina datových výstupů (053) je připojena na první skupinu datových vstupů (63) řadiče (6) zobrazení, stavový výstup (051) paměti (5) je připojen na první stavový vstup (12) procesoru (1), první řídící výstup (061) řadiče (6) zobrazení je připojen na řídící vstup (32) čítače (3) adres, jeho čítací výstup (062) na čítací vstup (33) čítače (3) adres a jeho druhý řídící výstup (063) na řídící vstup (22) registru (2) počáteční adresy, první stavový výstup (064) řadiče (6) zobrazení je připojen na druhý stavový vstup (13) procesoru (1), jeho modulační výstup (065) je připojen na modulační vstup (83) obrazovky (8) a jeho horizontální synchronizační výstup (066) je připojen na horizontální synchronizační vstup (71) vychylovacích obvodů (7), vertikální synchronizační výstup (067) řadiče (6) zobrazení je připojen na vertikální synchronizační vstup (72) vychylovacích obvodů (7), jeho druhý stavový výstup (068) je připojen

na druhý stavový vstup (53) paměti (5) a na druhý stavový vstup (44) multiplexoru (4) adresy, kdežto jeho třetí stavový výstup (069) řadiče (6) zobrazení je připojen na první stavový vstup (52) paměti (5) a na první stavový vstup (43) multiplexoru (4) adresy, první vybavovací výstup (0691) řadiče (6) zobrazení je připojen na první vybavovací vstup (56) paměti (5), jeho druhý vybavovací výstup (0692) na druhý vybavovací vstup (55) paměti (5) a jeho třetí vybavovací výstup (0693) na třetí vybavovací vstup (54) paměti (5), vertikální vychylovací výstup (072) vychylovacích obvodů (7) je připojen na vertikální vychylovací vstup (82) obrazovky (8), kdežto jejich horizontální vychylovací výstup (071) je připojen na horizontální vychylovací vstup (81) obrazovky (8).

2 výkresy



Obr. 1a

Obr. 1b