(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11B 20/18

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0200770
(24) 등록일자 1999년03월11일

(21) 출원번호 10-1996-0069322
(22) 출원일자 1996년12월20일
(65) 공개번호 특1998-0050497
(43) 공개일자 1998년09월15일

(73) 특허권자 삼성전자주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 심태현
서울특별시 서초구 서초3동 1566-11 애플빌 B-301
(74) 대리인 권석흠, 노민식, 이영필

심사관 : 정해권

(54) 에러정정방법 및 장치

요약

에러 정정 방법 및 장치가 개시된다. 디지탈 신호 처리부로부터 데이타를 입력하여 버퍼링하는 데이타 입력부, 버퍼링된 데이타중 에러를 갖는 데이타를 입력하여 에러를 정정하는 에러 정정부 및 에러 정정된 데이타를 저장하는 데이타 저장부를 갖는 디지탈 디코더의 에러 정정부에서 수행되는 이 방법은, 최상위 면 및 최하위 면들에 있는 Q 코드 워드의 에러를 워드 단위로 동시에 정정하는 제1에러 정정 단계 및 최상위 면 및 최하위 면들에 있는 P 코드 워드의 에러를 워드 단위로 동시에 정정하는 제2에러 정정 단계를 구비하는 것을 특징으로 하고, 에러 정정을 워드 단위로 수행하기 때문에 호스트 컴퓨터로의 데이타 전송 속도를 향상시킬 수 있는 효과가 있다.

대표도

도7

명세서

도면의 간단한 설명

도 1은 CD-ROM 디코더에서 수행되는 종래의 에러 정정 방법을 설명하기 위한 플로우차트이다.

도 2는 1섹터의 데이타 포맷을 나타내는 도면이다.

도 3은 도 2에 도시된 1섹터의 데이타중 LSB 데이타만을 선택하여 만든 LSB 맵이다.

도 4는 종래의 CD-ROM 디코더의 블럭도이다.

도 5는 본 발명에 의한 에러 정정 방법을 설명하기 위한 플로우차트이다.

도 6은 도 5에 도시된 제100 또는 제102단계를 세부적으로 설명하기 위한 예시적인 플로우차트이다.

도 7은 본 발명에 의한 에러 정정 장치를 설명하기 위한 블럭도이다.

도 8은 데이타 선택부의 본 발명에 의한 바람직한 일실시예의 블럭도이다.

도 9의 (a)~(i)들은 도 7에 도시된 장치를 제어하는 각종 제어신호들의 파형도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 에러 정정에 관한 것으로서, 특히, 빠른 속도로 에러를 정정하는 에러 정정 방법 및 이를 수행하는 에러 정정 장치에 관한 것이다.

컴팩트 디스크 - 롬(CD-ROM:Compact Disk - Read Only Memory) 시스템, 디지탈 비디오 디스크 - 롬(DVD-ROM:Digital Versatile Disk - ROM) 시스템과 같은 광 디스크 데이타 재생 시스템 및 기타 에러 정정을 요구하는 시스템들에서, 그 에러 정정을 수행하는 디코더(decoder)의 동작을 다음과 같이 CD-ROM 시스템을 예로 하여 살펴본다.

CD-ROM 디코더는 크게 데이타 입력부, 데이타 에러 정정부 및 데이타 전송부로 나누어진다.

데이타 입력부는 컴팩트 디스크 플레이어용 디지탈 신호 처리기(DSP:Digital Signal Processor)로부터 데이타를 입력하여 디스크램블링(descrambling)한 후, 디스크램블링된 데이타를 버퍼 메모리에 임시 저장한다.

데이타 에러 정정부는 버퍼 메모리에 저장된 데이타를 독출하여 리드 -솔로몬(REED-SOLOMON) 부호에 인코딩된 Q 부호 및 P 부호에 대한 디코딩을 수행하고, 만일 에러가 발생했다면 그 에러를 정정한다.

데이타 전송부는 에러가 정정된 데이타를 입력하여 호스트 컴퓨터(미도시)로 전송한다.

이하, 종래의 에러 정정 방법 및 에러 정정 장치의 구성 및 동작을 첨부한 도면들을 참조하여 다음과 같이 설명한다.

도 1은 CD-ROM 디코더에서 수헹되는 종래의 에러 정정 방법을 설명하기 위한 플로우차트로서, 워드 단위의 데이타중 하위 바이트의 에러를 정정하는 단계(제10 및 12단계) 및 워드 단위의 데이타중 상위 바이트의 에러를 정정하는 단계(제14 및 16단계)로 이루어진다.

도 2는 1섹터의 데이타 포맷을 나타내는 도면으로서, L-CH는 왼쪽 채널의 데이타를, R-CH는 오른쪽 채널의 데이타를, L은 최하위 비트(LSB:Least Significant Bit)를, M은 최상위 비트(MSB:Most Significant Bit)를, 윗쪽 3행들(20)은 1블럭을 나타내는 동기 패턴을, 다음 585행들(22)은 데이타의 패턴을 각각 나타낸다. 여기서, 1섹터는 2352바이트 또는 1176개의 워드이다.

예를 들어, 1블럭의 동기 패턴(20) 뒤에 오는 첫번째 워드 '0000'은 첫번째 워드의 하위 바이트인 '0000L'과 상위 바이트인 '0000M'으로 구성되어 있다.

도 3은 도 2에 도시된 1섹터의 데이타중 하위 바이트만을 선택하여 만든 LSB 맵으로서, 최하위(LSB) 면(plane)이라고 한다. 윗쪽 24개의 열들(30)은 동기 패턴을 제외한 헤더 및 사용자 데이타를, 다음 2개의 열들(32)은 P 패러티 비트들을, 참조부호 34는 Q패러티 비트들을 각각 나타낸다.

최상위(MSB) 면은 도 3에 도시된 최하위 면과 동일한 형태로 구성된다.

종래의 CD-ROM 시스템의 CD-ROM 디코더에서 수행되는 에러 정정 방법에서는 먼저, 도 3에 도시된 LSB 면의 Q코드 워드를 디코딩한다(제10단계). 이는, CD-ROM 디코더에 입력되는 데이타가 CD-ROM 인코더에서 리드 솔로몬부호에 인코딩되어 있기 때문이다. 제10단계를 수행한 후에, LSB 면의 P코드 워드를 디코딩한다(제12단계). 제12단계를 수행한 후에, MSB 면의 Q코드 워드를 디코딩한다(제14단계). 제14단계를 수행한 후에, MSB 면의 P코드 워드를 디코딩한다(제16단계).

도 4는 종래의 CD-ROM 디코더의 블럭도로서, 다이나믹 램(DRAM:Dynamic RAM)(50), 데이타 저장부(80), 어드레스 발생부(90), 데이타 에러 정정부(60)를 구성하는 8비트 래치(62), 8비트 버퍼(64) 및 주 에러 정정부(70)를 구성하는 신드롬 계산부(72), 에러 계산부(74) 및 에러 정정부(76)로 구성된다.

도 4에 도시된 DRAM(50)은 CD-ROM 디지탈 신호 처리부(미도시)로부터 전송된 도 2에 도시된 섹터 데이타를 입력하여 임시 저장한다.

데이타 에러 정정부(60)는 도 1에 도시된 방법을 수행하는 종래의 에러 정정 장치로서, 8비트 래치(62)는 DRAM(50)에 버퍼링된 데이타를 선택신호(C1)에 응답하여 래치함과 동시에 이전에 래치하고 있던 데이타를 신드롬 계산부(72)로 출력한다. 주 에러 정정부(70)의 신드롬 계산부(72)는 제어신호(C2)에 응답하여 8비트 래치(62)로부터 데이타를 입력하고, 입력한 데이타를 이용하여 신드롬들(S0 및 S1)을 계산한다. 에러 계산부(74)는 신드롬 계산부(72)에서 계산된 신드롬들을 입력하여 에러의 수, 에러의 위치 및 에러값을 계산한다.

에러 계산부(74)는 에러가 2개 이상 발생하였거나 에러의 위치가 코드범위를 벗어났다면, 에러 정정 불능처리한다. 그러나, 에러가 1개 발생하고, 발생한 에러의 위치가 코드 범위내에 존재한다면, 에러 위치를 어드레스 발생부(90)로 출력한다. 어드레스 발생부(90)는 입력한 에러 위치에 상응하는 어드레스(ADD)를 발생하여 DRAM(50)으로 출력한다. 어드레스 발생부(90)로부터 DRAM(50)으로 입력된 어드레스(ADD)에 저장되어 있는 에러가 존재하는 데이타는 그 DRAM(50)으로부터 독출되어 8비트 래치(62)로 출력된다. 8비트 래치(62)는 에러가 존재하며 DRAM(50)으로부터 출력되는 데이타를 입력하여 래치한 후, 래치된 데이타를 에러 정정부(76)로 출력한다.

에러 정정부(76)는 8비트 래치(62)로부터 출력되는 에러가 존재하는 데이타 및 에러 계산부(74)로부터 출력되는 에러값을 입력하고, 제어신호(C3)에 응답하여 에러정정을 수행하고, 에러가 정정된 데이타를 8비트 버퍼(64)로 출력한다.

데이타 저장부(80)는 제어신호(C4)에 따라 8비트 버퍼(64)로부터 출력되는 에러 정정된 데이타를 입력하여 저장한다.

만일, CD-ROM 시스템이 1배속 또는 2배속과 같은 저배속일 경우는 디스크로부터 데이타가 읽혀지는 속도가 낮기 때문에 호스트 컴퓨터로 데이타를 전송하는데 문제가 발생하지 않는다. 그러나, 8배속 이상의 CD-ROM 시스템에서는 고속으로 입력한 데이타를 버퍼링하고, 에러 정정하고, 에러 정정된 데이타를 전송하는 동작이 동시에 진행된다. 그런데, 데이타의 버퍼링 및 에러 정정은 바이트 단위로 수행되고, 데이타의 전송은 워드(2 바이트)단위로 수행되기 때문에 호스트 컴퓨터로 데이타를 전송하는데 무리가 발생한다.

다시 말하면, 도 4에 도시된 종래의 CD-ROM 디코더는 전술한 세가지의 동작을 동시에 수행하는 다음과 같은 파이프 라인 방식을 채용하고 있다.

즉, 컴팩트 디스크 플레이어의 디지탈 신호 처리부로부터 입력한 N번째 섹터의 데이타를 외부 버퍼 램에 저장하는 동안, 데이타 에러 정정부는 N-1 번째 섹터 데이타를 에러 정정하고, 데이타 전송부는 에러 정정이 완료된 N-2번째 섹터 데이타를 호스트 컴퓨터로 전송한다. 이 때, 1섹터의 데이타를 외부 버퍼 램에 저장시키는 시간과 에러 정정을 수행하는 시간은 정해져 있으므로 호스트 컴퓨터로의 데이타 전송은 1섹

터의 데이타가 디코더에서 처리되는 시간에서 버퍼링과 에러 정정하는 시간을 제외한 시간동안에 이루어진다.

결국, 저배속 CD-ROM 시스템에서는 디코더로 입력되는 데이타의 전송율이 낮기 때문에 호스트 컴퓨터로의 데이타 전송에 문제가 없었지만, 8배속 이상의 고배속 CD-ROM 시스템에서는 전송율에 문제가 생길 수 있는 것이다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 에러 정정 시간을 줄이기 위해 워드 단위로 에러 정정을 수행하는 에러 정정 방법을 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는, 상기 에러 정정 방법을 수행하는 에러 정정 장치를 제공하는데 있다.

발명의 구성 및 작용

상기 과제를 이루기 위해, 디지탈 신호 처리부로부터 데이타를 입력하여 버퍼링하는 데이타 입력부, 상기 버퍼링된 데이타중 에러를 갖는 데이타를 입력하여 에러를 정정하는 에러 정정부 및 상기 에러 정정된 데이타를 저장하는 데이타 저장부를 갖는 디지탈 디코더의 상기 에러 정정부에서 수행되는 본 발명에 의한 에러 정정 방법은, 최상위 면 및 최하위 면들에 있는 Q 코드 워드의 에러를 워드 단위로 동시에 정정하는 제1에러 정정 단계 및 상기 최상위 면 및 상기 최하위 면들에 있는 P 코드 워드의 에러를 워드 단위로 동시에 정정하는 제2에러 정정 단계로 이루어지는 것이 바람직하다.

상기 다른 과제를 이루기 위해, 디지탈 신호 처리부로부터 입력한 데이타를 버퍼링하는 데이타 입력부, 상기 버퍼링된 데이타를 입력하여 에러를 정정하는 에러 정정 장치 및 에러 정정 완료된 데이타를 저장하는 데이타 저장부를 갖는 디지탈 디코더에서, 본 발명에 의한 에러 정정 장치는, 상기 데이타 입력부로부터 워드 단위로 입력되는 데이타중 최상위 면에 있는 8비트의 데이타를 래치하는 제1래치와, 상기 데이타 입력부로부터 상기 워드 단위로 입력되는 데이타중 최하위 면에 있는 8비트의 데이타를 래치하는 제2래치와, 상기 제1래치에 래치된 데이타를 입력하여 신드롬을 계산하고, 계산된 신드롬으로부터 에러 유무, 에러수, 에러 위치 및 에러값을 검사하여 제1-1제어신호를 출력하고, 제2-1제어신호에 응답하여 에러를 정정하고, 에러가 정정된 데이타를 출력하는 제1주 에러 정정 수단과, 상기 제2래치에 래치된 데이타를 입력하여 신드롬을 계산하고, 계산된 신드롬으로부터 에러 유무, 에러수, 에러 위치 및 에러값을 검사하여 제1-2제어신호를 출력하고, 제2-2제어신호에 응답하여 에러를 정정하고, 에러가 정정된 데이타를 출력하는 제2주 에러 정정 수단과, 입력한 상기 제1 및/또는 상기 제2주 에러 정정 수단의 출력들 및 상기 제1 또는 상기 제2래치의 출력들을 제3-1 및 제3-2제어신호에 응답하여 선택적으로 합성하여 출력하는 데이타 선택수단과, 상기 데이타 선택수단에서 합성된 데이타를 버퍼링하고, 버퍼링된 데이타를 상기 워드 단위로 상기 데이타 저장부로 출력하는 제1버퍼 및 상기 제1-1 및 상기 제1-2제어신호에 응답하여 상기 제2-1, 2-2, 3-1 및 3-2제어신호들을 출력하는 제어수단으로 구성되는 것이 바람직하다.

이하, 본 발명에 의한 에러 정정 방법을 첨부한 도면을 참조하여 다음과 같이 설명한다.

도 5는 본 발명에 의한 에러 정정 방법을 설명하기 위한 플로우차트로서, Q코드 워드를 정정하는 단계(제100단계) 및 P코드 워드를 정정하는 단계(제102단계)로 이루어져 있다.

본 발명에 의한 에러 정정 방법에서는, 최상위 면에서 Q코드워드의 데이타에 존재하는 에러 및 도 3에 도시된 최하위 면에서 Q코드 워드의 데이타에 존재하는 에러들을 동시에 정정한다(제100단계). Q코드 워드의 데이타에 존재하는 에러들(Q코드워드에러)을 정정한 후에, 최상위 면에서 P코드 워드의 데이타에 존재하는 에러 및 도 3에 도시된 최하위 면에서 P코드 워드의 데이타에 존재하는 에러들(P코드워드에러)을 동시에 정정한다(제102단계).

도 6은 도 5에 도시된 제100 또는 제102단계를 세부적으로 설명하기 위한 예시적인 플로우차트로서, 최상위 면의 데이타 및 최하위 면의 데이타별로 에러를 동시에 정정하는 단계(제110~126단계) 및 에러 정정되거나 되지 않은 데이타를 합하여 저장하는 단계(제128 및 130단계)로 이루어져 있다.

도 5에 도시된 제100단계 또는 제102단계를 도 6을 참조하여 설명하면, 데이타 입력부로부터 입력한 Q코드 워드(또는 P코드워드)의 최상위 면 및 최하위 면에 대해 신드롬을 계산한다(제112단계). 제112단계에서 계산한 신드롬을 이용하여 최상위 면 및 최하위 면들의 데이타에 에러가 존재하는가를 판단한다(제112단계). 제112단계에서, 최상위 면의 데이타 및 최하위 면의 데이타에 에러가 존재하지 않으면, 에러 정정을 종료한다. 그러나, 최상위 면 및/또는 최상위 면의 데이타에 에러가 존재하면, 먼저, 최상위 면의 데이타에 에러가 존재하는가를 판단한다(제114단계). 만일, 최상위 면의 데이타에 에러가 존재하면 존재하는 에러의 수가 2개 이상인가를 판단한다(제116단계). 존재하는 에러의 수가 2개 이상이면 에러 정정 불능 플래크를 발생한다(제120단계). 그러나, 존재하는 에러의 수가 1개이면 최상위 면의 데이타에 존재하는 에러를 정정한다(제118단계).

한편, 최상위 면의 데이타에 에러가 존재하지 않거나 최상위 데이타의 에러를 정정한 후에, 최하위 면의 데이타에 에러가 존재하는가를 판단한다(제122단계). 만일, 최하위 면의 데이타에 에러가 존재하면 에러의 수가 2개 이상인가를 판단한다(제124단계). 최하위 면의 데이타에 존재하는 에러가 2개 이상이면, 제120단계로 진행하여 에러 정정 불능 플래그를 발생한다. 그러나, 최하위 면의 데이타에 에러가 1개 존재하면, 최하위 면의 데이타에 존재하는 에러를 정정한다(제126단계). 최하위 면의 데이타에 에러가 존재하지 않거나, 최하위 면의 데이타에 존재하는 에러를 정정한 후, 에러 정정되거나 혹은 되지 않은 최상위 및/또는 최하위 데이타를 합친다(제128단계). 제128단계후에, 합쳐진 데이타를 데이타 저장부에 저장한다(제130단계).

도 6에 도시된 방법에서는 최상위 면의 데이타에 에러 정정을 먼저하고, 최하위 면의 데이타에 에러 정정

을 나중에 하였으나, 최하위 면의 데이타에 에러 정정이 먼저 수행될 수도 있다.

이하, 전술한 본 발명에 의한 에러 정정 방법을 수행하는 본 발명에 의한 에러 정정 장치의 구성 및 동작을 첨부한 도면을 참조하여 다음과 같이 설명한다.

도 7은 본 발명에 의한 에러 정정 장치를 설명하기 위한 블럭도로서, 어드레스 발생부(140), 데이타 입력부(142) 및 본 발명에 의한 에러 정정 장치를 구성하는 제1 및 제2래치들(152 및 154), 제1 및 제2주 에러 정정부들(156 및 158), 데이타 선택부(160) 및 제1, 2 및 3버퍼들(162, 164 및 166)로 구성된다.

도 7에 도시된 데이타 입력부(142)는 입력단자 IN을 통해 디코더(미도시)로부터 입력한 데이타를 버퍼링하고, 버퍼링한 16비트의 데이타를 각각이 8비트인 최상위 데이타와 최하위 데이타로 분리하여 제1 및 제2래치들(152 및 154)로 각각 출력한다. 제1 및 제2래치(152 및 154)는 최상위 데이타 및 최하위 데이타를 제1제어신호(CN1)에 응답하여 래치함과 동시에 이전에 래치하고 있던 데이타를 해당하는 주 에러 정정부로 출력한다.

제1 또는 제2주 에러 정정부(156 또는 158)는 도 4에 도시된 주 에러 정정부(70)와 구성 및 동작이 동일하다. 즉, 제1 또는 제2주 에러 정정부(156 및 158)는 제1 또는 제2래치(152 및 154)로부터 각각 출력되는 최상위 데이타 또는 최하위 데이타를 입력하고, 입력한 데이타로부터 N번 발생한 제2제어신호(CN2)에 응답하여 신드롬을 계산하고, 계산된 신드롬들을 이용하여 에러 유무, 에러수, 에러 위치 및 에러값등을 계산한다. 여기서, N은 에러 정정할 워드가 Q코드인 경우 45이고, P코드인 경우 26이다.

제1 또는 제2주 에러 정정부(156 또는 158)는 에러 위치를 제2 또는 제3버퍼(164 또는 166)로 출력하고, 제2 또는 제3버퍼(164 또는 166)는 에러 위치를 제3 또는 제4제어신호(CN3 또는 CN4)에 응답하여 버퍼링한 후, 버퍼링된 에러 위치를 어드레스 발생부(140)로 출력한다. 도 4의 설명에서 전술한 바와 같이, 어드레스 발생부(140)는 에러 위치에 상응하는 어드레스를 데이타 입력부(142)로 출력하고, 데이타 입력부(142)는 입력한 어드레스에 저장된 데이타를 제1 또는 제2래치(152 또는 154)를 통해 제1 또는 제2주 에러 정정부(156 또는 158)의 최상위 또는 최하위 에러 정정부(미도시)로 출력한다. 여기서, 최상위 또는 최하위 에러 정정부는 도 4에서 에러 정정부(76)에 대응한다.

최상위 또는 최하위 에러 정정부는 해당 래치를 통해 입력한 에러 데이타 및 에러 계산부로부터 출력되는 에러값으로부터 제5 또는 제6제어신호(CN5 또는 CN6)에 응답하여 데이타의 에러를 정정하고, 에러 정정된 데이타를 데이타 선택부(160)로 출력한다.

데이타 선택부(160)는 제1 및/또는 제2주 에러 정정부(156 및/또는 158)에서 에러가 정정된 데이타(들) 및/또는 제1 또는 제2래치(152 또는 154)의 출력을 입력하고, 입력한 데이타를 제7 및 제8제어신호들(CN7 및 CN8)에 응답하여 선택하고, 선택된 데이타를 제9제어신호(CN9)에 응답하여 제1버퍼(162)로 출력한다.

도 8은 데이타 선택부(160)의 본 발명에 의한 바람직한 일실시예의 블럭도로서, 제1멀티플렉서(MUX)(200), 제2멀티플렉서(MUX)(202) 및 제4버퍼(204) 로 구성된다.

도 8에 도시된 제1MUX(200)는 제1주 에러 정정부(156)에서 에러 정정된 데이타(D0) 및 제1래치(152)로부터 출력되는 데이타(D1)를 입력하고, 입력한 데이타들중 하나를 제7제어신호(CN7)에 응답하여 선택하고, 선택된 데이타를 제4버퍼(204)로 출력한다. 제2MUX(202)는 제2래치(154)로부터 출력되는 데이타(D2) 및 제2주 에러 정정부(158)에서 에러 정정되어 출력되는 데이타(D3)들 입력하고, 입력한 데이타들중 하나를 제8제어신호(CN8)에 응답하여 선택하고, 선택된 데이타를 제4버퍼(204)로 출력한다.

제4버퍼(204)는 제1 및 제2MUX들(200 및 202)의 출력을 제9제어신호(CN9)에 응답하여 버퍼링하고, 버퍼링된 데이타를 출력단자 OUT를 통해 제1버퍼(162)로 출력한다.

한편, 제1버퍼(162)는 데이타 선택부(160)로부터 출력되는 에러 정정된 데이타를 제10제어신호(CN10)에 응답하여 저장하며, 저장된 데이타는 필요에 따라 호스트 컴퓨터등으로 전송되기 위해 OUT를 통해 독출될 수 있다.

제어부(미도시)는 도 7에 도시된 데이타 입력부(142)에 저장된 데이타의 에러 존재 여부에 상응하여 제1~제10제어신호들을 해당부로 출력한다. 각종 제어신호들에 대해서는 후술되는 조건들에 따른 에러 정정 장치의 동작설명에서 자세히 보여진다.

도 9의 (a)~(i)들은 도 7에 도시된 장치를 제어하는 각종 제어신호들의 파형도들로서, 도 9의 (a)는 제1제어신호, 도 9의 (b)는 제2제어신호, 도 9의 (c)는 제3제어신호, 도 9의 (d)는 제4제어신호, 도 9의 (e)는 제5제어신호, 도 9의 (f)는 제6제어신호, 도 9의 (g)는 제7 또는 제8제어신호, 도 9의 (h)는 제9제어신호 및 도 9의 (i)는 제10제어신호를 각각 나타낸다.

첫번째 조건으로, 데이타 입력부(142)로부터 제1 및 제2래치들(152 및 154)로 각각 입력되는 최상위 데이타에는 에러가 존재하고, 최하위 데이타에는 에러가 존재하지 않는다고 가정한다.

도 7에 도시된 에러 정정 장치의 제1 및 제2래치들(152 및 154)은 도 9의 (a)에 도시된 제1제어신호(CN1)에 응답하여 최상위 데이타 및 최하위 데이타를 데이타 입력부(142)로부터 입력함과 동시에, 이전에 래치되어 있던 최상위 데이타 및 최하위 데이타를 제1 및 제2주 에러 정정부들(156 및 158)로 출력한다.

제1 및 제2주 에러 정정부들(156 및 158)은 도 9의 (b)에 도시된 바와 같이 N번 발생한(212) 제2제어신호(CN2)에 응답하여 신드롬, 에러 수, 에러값 및 에러 위치등을 동시에 계산한다. 제2버퍼(164)는 도 9의 (c)에 도시된 고레벨의 제3제어신호(220)에 응답하여 에러 위치를 버퍼링하고, 버퍼링된 에러 위치를 어드레스 발생부(140)로 출력하며, 도 4의 설명에서 전술한 바와 같이 제1주 에러 정정부(156)는 도 9의 (a)에 도시된 바와 같이 고레벨의 제1제어신호(222)에 응답하여 제1래치(152)로부터 입력한 에러 데이타와 에러값을 가지고, 도 9의 (e)에 도시된 고레벨의 제5제어신호(CN5)(224)에 응답하여 데이타의 에러를 정정하고, 에러 정정된 데이타(D0)를 제1MUX(200)로 출력한다. 이 때, 제2주 에러 정정부(158)는 최하위 데이타에 에러가 없으므로 에러 정정을 수행하지 않는다.

데이타 선택부(160)의 제1멀티플렉서(200)는 도 9의 (g)에 도시된 바와 같이, 저레벨의 제7제어신호

(CN7)(226)에 응답하여 에러 정정된 최상위 데이타(D0)를 선택하여 제4버퍼(204)로 출력하며, 제2멀티플렉서(202)는 제2래치(154)로부터 출력되는 데이타(D2)를 도 9의 (g)에 도시된 저레벨의 제8제어신호(CN8)(224)에 응답하여 선택한다. 제4버퍼(204)는 멀티플렉서들로부터 각각 입력한 8비트의 데이타를 합하고, 합해진 16비트 즉, 1워드의 데이타를 도 9의 (h)에 도시된 고레벨의 제9제어신호(228)에 응답하여 제1버퍼(162)로 출력한다. 제1버퍼(162)는 도 9의 (i)에 도시된 고레벨의 제10제어신호(CN10)(230)에 응답하여 입력한 데이타를 출력단자 OUT를 통해 데이타 저장부로 출력한다.

즉, 에러 정정 장치는 도 9에 도시된 시간(214) 동안 최상위 데이타의 에러를 정정하여 저장한다.

두번째 조건으로, 데이타 입력부(142)로부터 제1 및 제2래치들(152 및 154)로 각각 입력되는 최상위 데이타에는 에러가 존재하지 않고, 최하위 데이타에는 에러가 존재한다고 가정한다.

여기서는, 첫번째 조건의 제1주 에러 정정부 및 제1래치(156 및 152)가 수행하는 동작을 제2주 에러 정정부 및 제2래치(158 및 154)가 각각 수행한다.

다만, 데이타 선택부(160)의 동작이 달라진다. 즉, 데이타 선택부(160)의 제1멀티플렉서(200)는 도 9의 (g)에 도시된 바와 같이, 고레벨의 제7제어신호(CN7)(250)에 응답하여 제1래치(152)로부터 출력되는 최상위 데이타(D1)를 선택하여 제4버퍼(204)로 출력하며, 제2멀티플레서(202)는 제2주 제어 정정부(158)에서 에러가 정정된 최하위 데이타(D3)를 도 9의 (g)에 도시된 고레벨의 제8제어신호(CN8)(250)에 응답하여 선택한다. 제4버퍼(204)는 멀티플렉서들로부터 각각 입력한 8비트의 데이타를 합하여 16비트 즉, 1워드의 데이타를 도 9의 (h)에 도시된 고레벨의 제9제어신호(252)에 응답하여 제1버퍼(162)로 출력한다. 제1버퍼(162)는 도 9의 (i)에 도시된 고레벨의 제10제어신호(CN10)(254)에 응답하여 입력한 데이타를 출력단자 OUT를 통해 데이타 저장부로 출력한다.

즉, 에러 정정 장치는 도 9에 도시된 시간(216) 동안 최하위 데이타의 에러를 정정하여 저장한다.

세번째 조건으로, 데이타 입력부(142)로부터 제1 및 제2래치들(152 및 154)로 각각 입력되는 최상위 및 최하위 데이타들에 모두 에러가 존재한다고 제1가정한다. 또한, 최상위 데이타의 에러를 정정한 다음, 최하위 데이타의 에러를 정정한다고 제2가정한다.

여기서, 도 7에 도시된 본 발명에 의한 에러 정정 장치는 최상위 데이타의 에러를 먼저 정정한 다음 최하위 데이타의 에러를 정정할 수도 있고, 최하위 데이타의 에러를 먼저 정정한 다음 최상위 데이타의 에러를 정정할 수 있는데, 최상위 데이타의 에러 및 최하위 데이타의 에러를 동시에 정정할 수는 없다.

제1주 에러 정정부 및 제1래치(156 및 152)는 첫번째 조건에서의 동작을, 제2주 에러 정정부 및 제2래치(158 및 154)는 두번째 조건에서의 동작을 각각 수행한다.

이 때, 제1멀티플렉서(200)는 제1주 에러 정정부(156)에서 에러 정정된 최상위 데이타를 도 9의 (g)에 도시된 저레벨의 제7제어신호(226)에 응답하여 선택하고, 제2멀티플렉서(202)는 제2주 에러 정정부(158)에서 에러 정정된 최하위 데이타를 도 9의 (g)에 도시된 고레벨의 제7제어신호(250)에 응답하여 선택한다.

결국, 본 발명에 의한 에러 정정 장치는 최상위 면 및 최하위 면에 데이타의 에러를 동시에 정정하기 때문에, 에러 정정에 소요되는 시간이 줄어들고, 줄어든 시간 만큼을 데이타 전송에 활용할 수 있게 된다.

전술한 본 발명의 설명에서는 CD-ROM 시스템에 한정하였지만, 본 발명은 기타 다른 DVD-ROM 시스템과 같은 다른 광 디스크 데이타 재생계에도 적용될 수 있다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 의한 광 디스크 데이타 재생계의 에러 정정 방법 및 장치는 에러 정정을 워드 단위로 수행하기 때문에 호스트 컴퓨터로의 데이타 전송 속도를 향상시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

디지탈 신호 처리부로부터 데이타를 입력하여 버퍼링하는 데이타 입력부, 상기 버퍼링된 데이타중 에러를 갖는 데이타를 입력하여 에러를 정정하는 에러 정정부 및 상기 에러 정정된 데이타를 저장하는 데이타 저장부를 갖는 디지탈 디코더의 상기 에러 정정부에서 수행되는 에러 정정 방법에 있어서,

최상위 면 및 최하위 면들에 있는 Q 코드 워드의 에러를 워드 단위로 동시에 정정하는 제1에러 정정 단계; 및

상기 최상위 면 및 상기 최하위 면들에 있는 P 코드 워드의 에러를 워드 단위로 동시에 정정하는 제2에러 정정 단계를 구비하는 것을 특징으로 하는 에러 정정 방법.

청구항 2

제1항에 있어서, 상기 제1에러 정정 단계는

상기 Q코드워드의 상기 최상위 면 및 상기 최하위 면에 대해 신드롬을 계산하는 단계;

계산된 신드롬으로부터 상기 최상위 면의 데이타 및 상기 최하위 면의 데이타에 에러가 존재하는가를 판단하는 단계;

상기 최상위 면의 데이타에 에러가 존재하면, 에러수에 따라 상기 최상위 면의 데이타에 에러를 정정하거나 에러 정정 불능 처리하는 단계;

상기 최상위 면의 데이타에 에러가 존재하지 않으면, 상기 최하위 면의 데이타에 에러가 존재하는가를 판단하는 단계;

상기 최하위 면의 데이타에 에러가 존재하면, 에러수에 따라 상기 최하위 면의 에러를 정정하거나 에러 정정 불능 처리하는 단계;

상기 최하위 면의 데이타에 에러가 존재하지 않거나, 상기 최하위 면의 데이타에 존재하는 에러를 정정한 후에 상기 최상위 면의 데이타와 상기 최하위 면의 데이타를 합치는 단계; 및

합쳐진 데이타를 상기 데이타 저장부로 보내는 단계를 구비하는 것을 특징으로 하는 에러 정정 방법.

청구항 3

제1항에 있어서, 상기 제2에러 정정 단계는

상기 P코드 워드의 상기 최상위 면 및 상기 최하위 면에 대해 신드롬을 계산하는 단계;

계산된 신드롬으로부터 상기 최상위 면의 데이타 및 상기 최하위 면의 데이타에 에러가 존재하는가를 판단하는 단계;

상기 최상위면의 데이타에 에러가 존재하면, 에러수에 따라 상기 최상위 면의 에러를 정정하거나 에러 정정 불능 처리하는 단계;

상기 최상위면의 데이타에 에러가 존재하지 않으면, 상기 최하위 면의 데이타에 에러가 존재하는가를 판단하는 단계;

상기 최하위 면의 데이타에 에러가 존재하면, 에러수에 따라 상기 최하위 면의 데이타에 에러를 정정하거나 에러 정정 불능 처리하는 단계;

상기 최하위 면의 데이타에 에러가 존재하지 않거나, 상기 최하위 면의 데이타에 존재하는 에러를 정정한 후에 상기 최상위 면의 데이타와 상기 최하위 면의 데이타를 합치는 단계; 및

합쳐진 데이타를 상기 데이타 저장부로 보내는 단계를 구비하는 것을 특징으로 하는 에러 정정 방법.

청구항 4

제1항에 있어서, 상기 제1에러 정정 단계는

상기 Q코드워드의 상기 최상위 면 및 상기 최하위 면에 대해 신드롬을 계산하는 단계;

계산된 신드롬으로부터 상기 최상위 면의 데이타 및 상기 최하위 면의 데이타에 에러가 존재하는가를 판단하는 단계;

상기 최하위면의 데이타에 에러가 존재하면, 에러수에 따라 상기 최하위 면의 데이타에 에러를 정정하거나 에러 정정 불능 처리하는 단계;

상기 최하위면의 데이타에 에러가 존재하지 않으면, 상기 최상위 면의 데이타에 에러가 존재하는가를 판단하는 단계;

상기 최상위 면의 데이타에 에러가 존재하면, 에러수에 따라 상기 최상위 면의 데이타에 에러를 정정하거나 에러 정정 불능 처리하는 단계;

상기 최상위 면의 데이타에 에러가 존재하지 않거나, 상기 최상위 면의 데이타에 존재하는 에러를 정정한 후에 상기 최하위 면의 데이타와 상기 최상위 면의 데이타를 합치는 단계; 및

합쳐진 데이타를 상기 데이타 저장부로 보내는 단계를 구비하는 것을 특징으로 하는 에러 정정 방법.

청구항 5

제1항에 있어서, 상기 제2에러 정정 단계는

상기 P코드워드의 상기 최상위 면 및 상기 최하위 면에 대해 신드롬을 계산하는 단계;

계산된 신드롬으로부터 상기 최상위 면의 데이타 및 상기 최하위 면의 데이타에 에러가 존재하는가를 판단하는 단계;

상기 최하위 면의 데이타에 에러가 존재하면, 에러수에 따라 상기 최하위 면의 데이타에 에러를 정정하거나 에러 정정 불능 처리하는 단계;

상기 최하위 면의 데이타에 에러가 존재하지 않으면, 상기 최상위 면의 데이타에 에러가 존재하는가를 판단하는 단계;

상기 최상위 면의 데이타에 에러가 존재하면, 에러수에 따라 상기 최상위 면의 데이타에 에러를 정정하거나 에러 정정 불능 처리하는 단계;

상기 최상위 면의 데이타에 에러가 존재하지 않거나, 상기 최상위 면의 데이타에 존재하는 에러를 정정한 후에 상기 최상위 면의 데이타와 상기 최하위 면의 데이타를 합치는 단계; 및

합쳐진 데이타를 상기 데이타 저장부로 보내는 단계를 구비하는 것을 특징으로 하는 에러 정정 방법.

청구항 6

디지탈 신호 처리부로부터 입력한 데이타를 버퍼링하는 데이타 입력부, 상기 버퍼링된 데이타를 입력하여 에러를 정정하는 에러 정정 장치 및 에러 정정 완료된 데이타를 저장하는 데이타 저장부를 갖는 디지탈

디코더에서, 상기 에러 정정 장치는,

상기 데이타 입력부로부터 워드 단위로 입력되는 데이타중 최상위 면에 있는 8비트의 데이타를 래치하는 제1래치;

상기 데이타 입력부로부터 상기 워드 단위로 입력되는 데이타중 최하위 면에 있는 8비트의 데이타를 래치하는 제2래치;

상기 제1래치에 래치된 데이타를 입력하여 신드롬을 계산하고, 계산된 신드롬으로부터 에러 유무, 에러수, 에러 위치 및 에러값을 검사하여 제1-1제어신호를 출력하고, 제2-1제어신호에 응답하여 에러를 정정하고, 에러가 정정된 데이타를 출력하는 제1주 에러 정정 수단;

상기 제2래치에 래치된 데이타를 입력하여 신드롬을 계산하고, 계산된 신드롬으로부터 에러 유무, 에러수, 에러 위치 및 에러값을 검사하여 제1-2제어신호를 출력하고, 제2-2제어신호에 응답하여 에러를 정정하고, 에러가 정정된 데이타를 출력하는 제2주 에러 정정 수단;

입력한 상기 제1 및/또는 상기 제2주 에러 정정 수단의 출력들 및 상기 제1 또는 상기 제2래치의 출력들을 제3-1 및 제3-2제어신호에 응답하여 선택적으로 합성하여 출력하는 데이타 선택수단;

상기 데이타 선택수단에서 합성된 데이타를 버퍼링하고, 버퍼링된 데이타를 상기 워드 단위로 상기 데이타 저장부로 출력하는 제1버퍼; 및

상기 제1-1 및 상기 제1-2제어신호에 응답하여 상기 제2-1, 2-2, 3-1 및 3-2제어신호들을 출력하는 제어수단을 구비하는 것을 특징으로 하는 에러 정정 장치.

청구항 7

제6항에 있어서, 상기 데이타 선택수단은

상기 제1래치에 래치된 데이타 및 상기 제1주 에러 정정 수단의 출력을 상기 제3-1제어신호에 응답하여 선택적으로 출력하는 제1멀티플렉서;

상기 제2래치에 래치된 데이타 및 상기 제2주 에러 정정 수단의 출력을 상기 제3-2제어신호에 응답하여 선택적으로 출력하는 제2멀티플렉서; 및

입력한 상기 제1 및 상기 제2멀티플렉서들의 출력을 래치하여 상기 제1버퍼로 출력하는 제2버퍼를 구비하는 것을 특징으로 하는 에러 정정 장치.

청구항 8

제6항 또는 제7항에 있어서, 에러 위치를 입력하여 상기 데이타 입력부에 저장된 데이타의 어드레스를 출력하는 어드레스 발생수단을 갖는 상기 디지탈 디코더에서, 상기 에러 정정 장치는

상기 제1주 에러 정정 수단에서 발생되는 에러 위치를 래치하고, 래치된 에러 위치를 상기 어드레스 발생수단으로 출력하는 제3버퍼; 및

상기 제2주 에러 정정 수단으로부터 출력되는 에러 위치를 래치하고, 래치된 에러 위치를 상기 어드레스 발생수단으로 출력하는 제4버퍼를 더 구비하는 것을 특징으로 하는 에러 정정 장치.

청구항 9

제6항 또는 제7항에 있어서, 상기 제1주 에러 정정 장치는

상기 제1래치로부터 입력한 상기 최상위 데이타로부터 신드롬들을 계산하는 제1신드롬 계산수단;

상기 제1신드롬 계산수단에서 계산된 신드롬으로부터 에러 유무, 에러수, 에러 위치 및 에러값을 검사하여 상기 제1-1제어신호를 출력하는 제1에러 계산 수단; 및

상기 제1래치에 래치된 데이타 및 상기 제1에러 계산수단에서 계산된 상기 에러값을 입력하고, 상기 제2-1제어신호에 응답하여 에러를 정정하고, 에러가 정정된 데이타를 상기 데이타 선택수단으로 출력하는 제1최상위 에러 정정 수단을 구비하는 것을 특징으로 하는 에러 정정 장치.

청구항 10

제6항 또는 제7항에 있어서, 상기 제2주 에러 정정 장치는

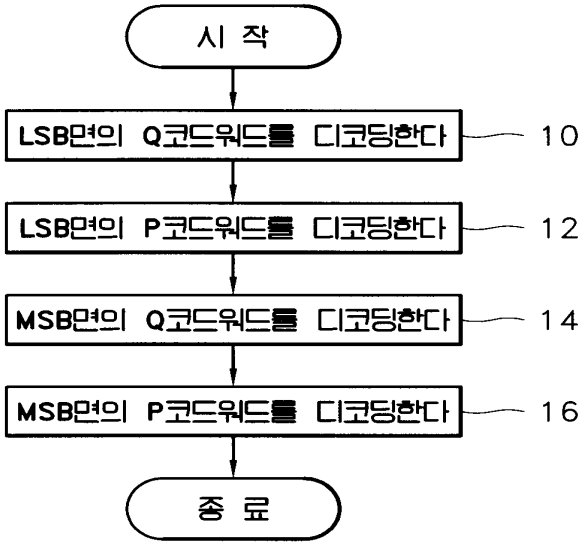
상기 제2래치로부터 입력한 상기 최하위 데이타로부터 신드롬들을 계산하는 제2신드롬 계산수단;

상기 제2신드롬 계산수단에서 계산된 신드롬으로부터 에러 유무, 에러수, 에러 위치 및 에러값을 검사하여 상기 제1-2제어신호를 출력하는 제2에러 계산 수단; 및

상기 제2래치에 래치된 데이타 및 상기 제2에러 계산수단에서 계산된 상기 에러값을 입력하고, 상기 제2-2제어신호에 응답하여 에러를 정정하고, 에러가 정정된 데이타를 상기 데이타 선택수단으로 출력하는 제2최상위 에러 정정 수단을 구비하는 것을 특징으로 하는 에러 정정 장치.

도면

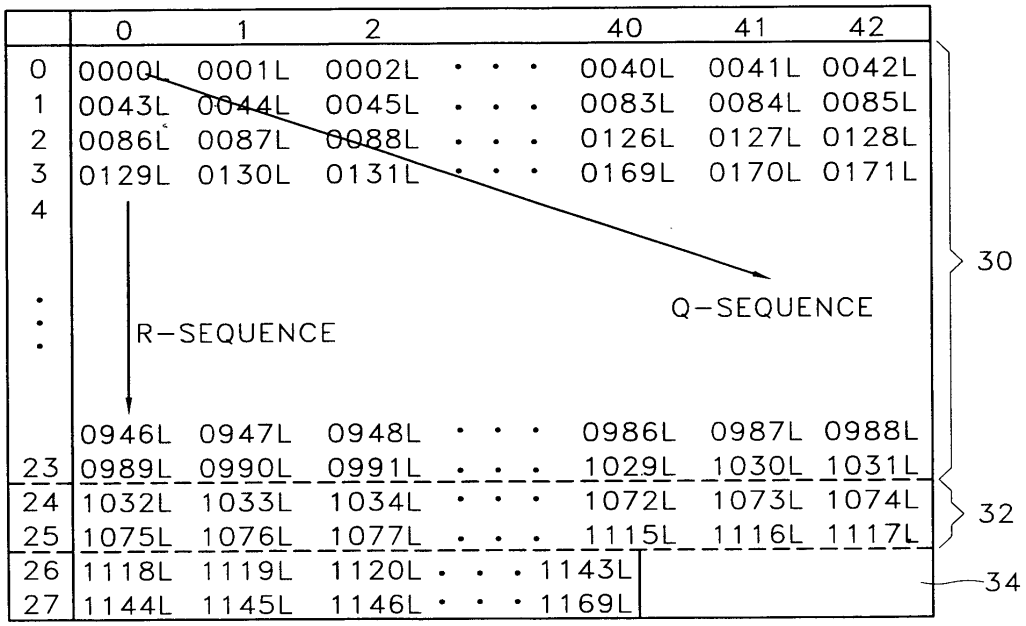
도면1



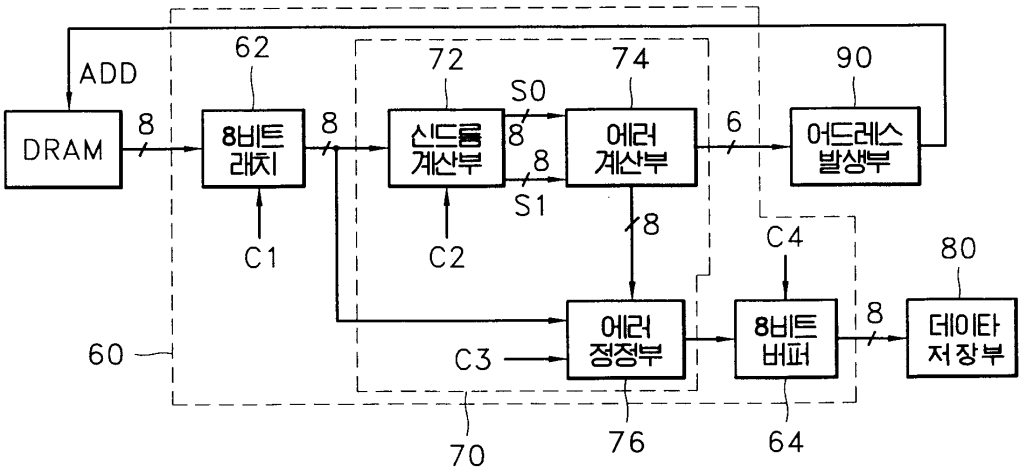
도면2

		L-CH		R-CH	
		L	M	L	M
20	1	00000000	11111111	11111111	11111111
	2	11111111	11111111	11111111	11111111
	3	11111111	11111111	11111111	00000000
22	4	0000L	0000M	0001L	0001M
	5	0002L	0002M	0003L	0003M
	6	0004L	0004M	0005L	0005M
	7	0006L	0006M	0007L	0007M
	⋮	⋮	⋮	⋮	⋮
	587	1166L	1166M	1167L	1167M
	588	1168L	1168M	1169L	1169M

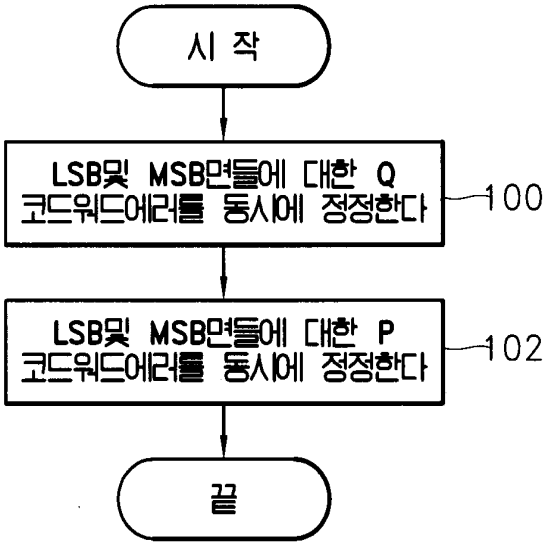
도면3


0
1
2
40
41
42
0000L 0001L 0002L 0040L 0041L 0042L
0043L 0044L 0045L 0083L 0084L 0085L
0086L 0087L 0088L 0126L 0127L 0128L
0129L 0130L 0131L 0169L 0170L 0171L
R-SEQUENCE
Q-SEQUENCE
0946L 0947L 0948L 0986L 0987L 0988L
23
0989L 0990L 0991L 1029L 1030L 1031L
24
1032L 1033L 1034L 1072L 1073L 1074L
25
1075L 1076L 1077L 1115L 1116L 1117L
26
1118L 1119L 1120L 1143L
27
1144L 1145L 1146L 1169L
30
32
34

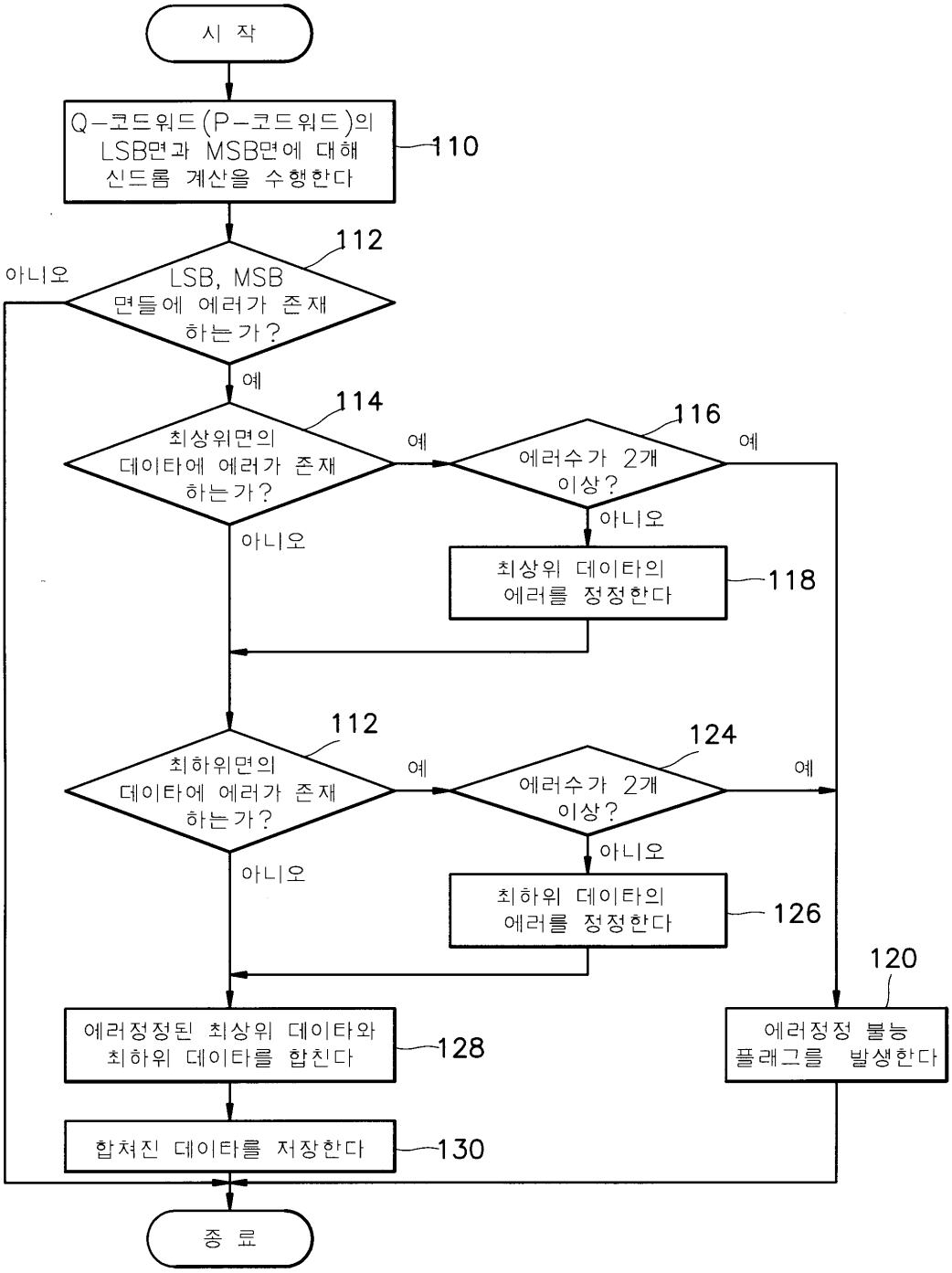
도면4


ADD
DRAM
8
62
8비트 래치
8
72
신드롬 계산부
S0
S1
8
8
74
에러 계산부
6
90
어드레스 발생부
C1
C2
8
C4
80
60
C3
에러 정정부
8비트 버퍼
8
데이타 저장부
70
76
64

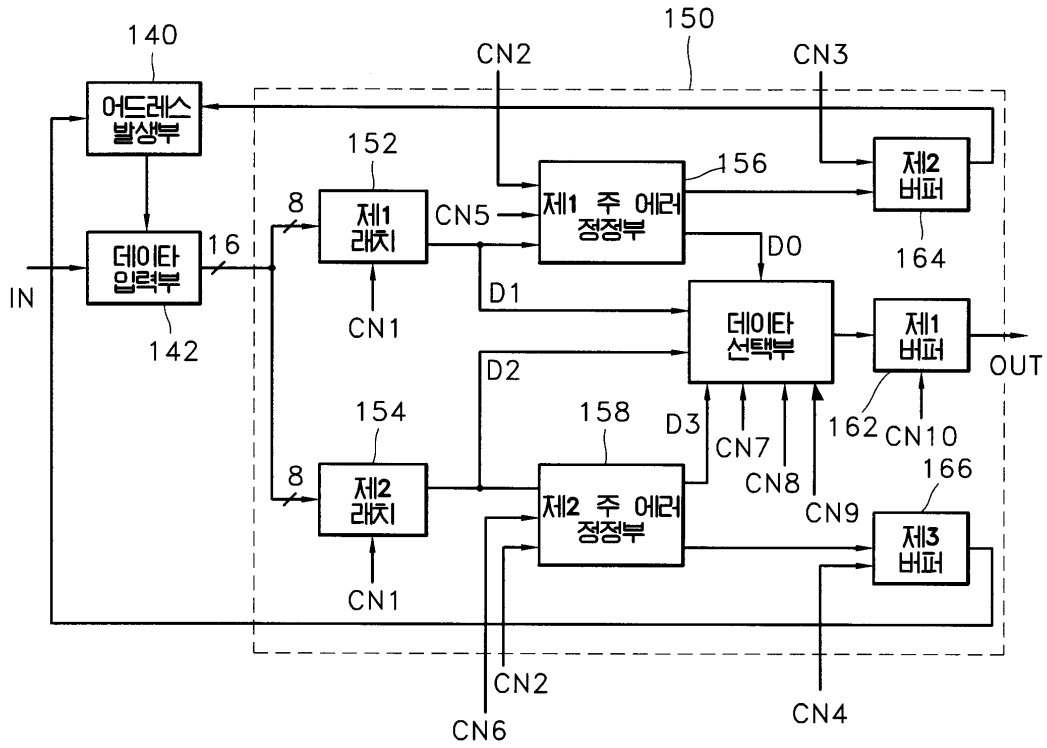
도면5


시 작
LSB및 MSB면들에 대한 Q 코드워드에러를 동시에 정정한다
100
LSB및 MSB면들에 대한 P 코드워드에러를 동시에 정정한다
102
끝

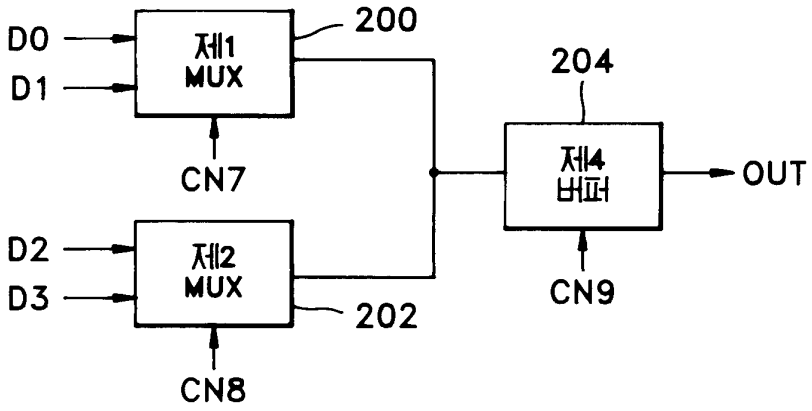
도면6


시 작
Q-코드워드(P-코드워드)의 LSB면과 MSB면에 대해 신드롬 계산을 수행한다
110
112
LSB, MSB 면들에 에러가 존재하는가?
아니오
예
114
최상위면의 데이타에 에러가 존재하는가?
예
116
에러수가 2개 이상?
예
아니오
아니오
최상위 데이타의 에러를 정정한다
118
112
최하위면의 데이타에 에러가 존재하는가?
예
124
에러수가 2개 이상?
예
아니오
아니오
최하위 데이타의 에러를 정정한다
126
120
에러정정 불능 플래그를 발생한다
에러정정된 최상위 데이타와 최하위 데이타를 합친다
128
합쳐진 데이타를 저장한다
130
종 료

도면7


140
150
CN2
CN3
어드레스 발생부
152
156
제2 버퍼
8
제1 래치
CN5
제1 주 에러 정정부
164
데이타 입력부
16
D0
IN
D1
CN1
데이타 선택부
제1 버퍼
OUT
142
D2
154
158
D3
CN7
162
CN10
166
8
제2 래치
제2 주 에러 정정부
CN8
CN9
제3 버퍼
CN1
CN2
CN6
CN4

도면8


D0
D1
제1 MUX
200
204
CN7
제4 버퍼
OUT
D2
D3
제2 MUX
202
CN9
CN8

도면9

